



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년11월13일
(11) 등록번호 10-1461328
(24) 등록일자 2014년11월06일

(51) 국제특허분류(Int. Cl.)

H03M 1/12 (2006.01)

(21) 출원번호 10-2013-0077603

(22) 출원일자 2013년07월03일

심사청구일자 2013년07월03일

(56) 선행기술조사문헌

KR1019960005199 B1*

US08390502 B2*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김철우

서울 성북구 길음로 16, 605동 1301호 (길음동, 삼성래미안3차아파트)

아으령거젹

방글라데시 샤키라 삼나가 호왈반기

(뒷면에 계속)

(74) 대리인

특허법인 무한

전체 청구항 수 : 총 10 항

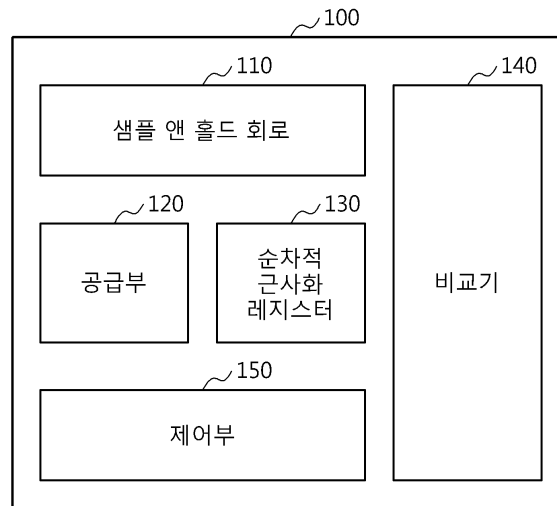
심사관 : 권성락

(54) 발명의 명칭 공통 모드 전압 기반의 캐패시터 전하 공유 기법을 이용한 아날로그-디지털 변환기

(57) 요약

공통 모드 전압 기반 캐패시터 전하 공유 기법을 이용한 아날로그 디지털 변환기 및 변환방법을 제공한다. 입력 신호를 샘플링하여 유지하고, 입력 신호와 기준 전압을 비교하여 그 결과를 출력한다. 동일한 캐패시턴스를 갖는 복수 개의 캐패시터를 포함하는 순차적 근사화 레지스터가 상기 비교 결과에 기초하여 기준 전압을 최상위 비트로부터 최하위 비트까지 스위칭에 의해 순차적으로 설정하는 아날로그-디지털 변환기를 제공한다. 또한, 상기 스위칭은 제어부에 의해 제어 되어 비교 결과에 따른 기준 전압을 설정할 수 있다.

대표도 - 도1



(72) 발명자

이호규

경기 의왕시 갈미로 64, 106동 1303호 (내손동, 반도보라빌리지1단지)

박세진

전북 전주시 완산구 새터로 100, 101동 1205호 (서신동, 대우대창아파트)

이 발명을 지원한 국가연구개발사업

과제고유번호 20120008839

부처명 한국연구재단

연구관리전문기관 연구지원부

연구사업명 (이공)기초연구실용성사업

연구과제명 그린 스마트패치 및 응용 소프트웨어 연구

기 여 율 1/1

주관기관 고려대학교 산학협력단

연구기간 2012.09.01 ~ 2013.08.31

특허청구의 범위

청구항 1

입력 신호를 샘플링하여 유지하는 샘플앤홀드회로;

전원 전압과 상이한 공통 모드 전압을 공급하는 공급부;

상기 입력 신호와 기준 전압을 비교하는 비교기;

동일한 캐패시턴스를 갖는 복수 개의 커패시터를 포함하고, 상기 비교 결과에 기초하여 상기 기준 전압을 최상위 비트로부터 최하위 비트까지 스위칭에 의해 순차적으로 설정하는 순차적 근사화 레지스터; 및

상기 스위칭을 제어하는 제어부를

포함하고,

상기 순차적 근사화 레지스터는,

상기 입력 신호가 상기 기준 전압보다 큰 경우, 상기 공통 모드 전압의 $1/(2^{(n-1)})$ 배 만큼 상기 기준 전압에 더해주고,

상기 입력 신호가 상기 기준 전압보다 작은 경우, 상기 공통 모드 전압의 $1/(2^{(n-1)})$ 배만큼 상기 기준 전압에서 빼서 상기 기준 전압을 설정하는-상기 n은 상기 기준 전압의 설정된 횟수임-, 아날로그-디지털 변환기.

청구항 2

제1항에 있어서,

상기 공통 모드 전압은 상기 전원 전압의 반인 아날로그-디지털 변환기.

청구항 3

제1항에 있어서,

상기 기준 전압의 초기 값은 상기 공통 모드 전압인

아날로그-디지털 변환기.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 제어부는,

차상위 비트부터 차상위로부터 하위 4비트를 결정하는 동안은, 상기 커패시터가 재충전 되도록 스위칭하고 전하가 재분배되도록 스위칭하여 상기 기준 전압이 설정되도록 제어하는

아날로그-디지털 변환기.

청구항 6

제1항에 있어서,

상기 제어부는,

차상위 비트의 하위 5비트부터 최하위 비트 까지는 전하가 재분배되도록 하는 스위칭을 통해서 상기 기준 전압이 설정되도록 제어하는

아날로그-디지털 변환기.

청구항 7

입력 신호를 샘플링하여 유지하는 단계;

전원 전압과 상이한 공통 모드 전압을 공급하는 단계;

상기 입력 신호와 기준 전압을 비교기가 비교하는 단계; 및

동일한 캐패시턴스를 갖는 복수 개의 커패시터를 포함하는 순차적 근사화 레지스터가 상기 비교 결과에 기초하여 상기 기준 전압을 최상위 비트로부터 최하위 비트까지 스위칭에 의해 순차적으로 설정하는 단계

를 포함하고,

상기 순차적으로 설정하는 단계는,

상기 입력 신호가 상기 기준 전압보다 큰 경우, 상기 공통 모드 전압의 $1/(2^{(n-1)})$ 배 만큼 상기 기준 전압에 더해주고,

상기 입력 신호가 상기 기준 전압보다 작은 경우, 상기 공통 모드 전압의 $1/(2^{(n-1)})$ 배만큼 상기 기준 전압에서 빼서 상기 기준 전압을 설정하는-상기 n 은 상기 기준 전압의 설정된 횟수임-, 아날로그-디지털 변환 방법.

청구항 8

제7항에 있어서,

상기 공통 모드 전압은 상기 전원 전압의 반인 아날로그-디지털 변환 방법.

청구항 9

제7항에 있어서,

상기 기준 전압의 초기 값은 상기 공통 모드 전압인

아날로그-디지털 변환 방법.

청구항 10

삭제

청구항 11

제7항에 있어서,

상기 순차적으로 설정하는 단계는,

차상위 비트부터 차상위로부터 하위 4비트를 결정하는 동안은, 상기 커패시터가 재충전 되도록 스위칭하고 전하가 재분배되도록 스위칭하여 상기 기준 전압이 설정되도록 제어부가 제어하는 단계

를 포함하는 아날로그-디지털 변환 방법.

청구항 12

제7항에 있어서,

상기 순차적으로 설정하는 단계는,

차상위 비트의 하위 5비트부터 최하위 비트 까지는 전하가 재분배되도록 하는 스위칭을 통해서 상기 기준 전압이 설정되도록 제어부가 제어하는 단계

를 포함하는 아날로그-디지털 변환 방법.

명세서

기술 분야

[0001] 아날로그 신호를 디지털 신호로 변환하는 장치 및 방법에 연관되며, 보다 구체적으로는 전하 공유(charge sharing) 기법을 이용한 축차 비교형 아날로그-디지털 변환기(Successive approximation Analog to Digital Converter)에 관한 것이다.

배경 기술

[0002] 휴대용 응용분야의 경우, 면적과 전력 소모의 감소가 가장 중요한 관심분야이다. 따라서, 최근 휴대용 기기들에 대한 저전력 설계에 대한 관심이 높아지고 있다. 게다가 작아지는 면적은 휴대용 기기의 실리콘 면적을 줄여줌으로써 저비용을 실현시킬 수 있다.

[0003] 일반적인 디지털-아날로그 변환기는 이진 가중형(binary weighted) 캐패시터를 사용하여 구성되어 있다. 캐패시터 들은 두 개의 기준 전압 사이를 스위칭 하게 되고, 이 구조는 N 비트의 해상도일 경우 2^N 개의 동일한 단일 캐패시터를 필요로 한다. 그러므로 해상도가 높아질수록 필요로 하는 캐패시터의 개수가 기하급수적으로 늘어나게 되므로 실리콘 면적이 증가하게 된다.

[0004] 일반적인 축차 비교형 아날로그-디지털 변환기의 경우, 두 개의 근접한 캐패시터 간의 비율이 1:2가 됨으로써 캐패시터 열이 큰 면적을 차지하게 된다. 따라서, 캐패시터가 차지하는 면적의 감소를 위하여 최근에 1:1 캐패시터 비율을 기반으로 하는 축차 비교형 아날로그-디지털 변환기가 연구되고 있다.

[0005] 다만, 1:1 캐패시터 비율을 기반으로 하는 축차 비교형 아날로그-디지털 변환기의 경우, 공정, 전압, 온도에 따라 값이 변하는 기생 캐패시턴스(capacitance)가 비교기의 마이너스 노드 및 플러스 노드에서 발생하게 된다. 이로인하여 비교기의 마이너스 노드에서 발생하는 캐패시터는 순차적 근사화 레지스터에 연결되기 때문에, 비교기의 마이너스 노드에서 발생하는 기생 캐패시턴스가 아날로그-디지털 변환기의 이진 특성을 깨뜨리는 문제가 있다.

[0006] 기생 캐패시턴스는 비교기의 마이너스 노드와 연결되어 있으므로, 기생 캐패시턴스에 의해 에러가 발생하게 되는 문제가 발생한다. 따라서, 이러한 기생 캐패시턴스에 의해 발생하는 에러를 줄이기 위한 연구가 지속되고 있다.

발명의 내용

과제의 해결 수단

[0007] 일측에 따르면, 입력 신호를 샘플링하여 유지하는 샘플앤홀드회로, 전원 전압과 상이한 공통 모드 전압을 공급하는 공급부, 상기 입력 신호와 기준 전압을 비교하는 비교기, 동일한 캐패시턴스를 갖는 복수 개의 커패시터를 포함하고, 상기 비교 결과에 기초하여 상기 기준 전압을 최상위 비트로부터 최하위 비트까지 스위칭에 의해 순차적으로 설정하는 순차적 근사화 레지스터 및 상기 스위칭을 제어하는 제어부를 포함하는 아날로그-디지털 변환기를 제공한다.

[0008] 일실시예에 따르면, 상기 공통 모드 전압은 상기 전원 전압의 반일 수 있다.

[0009] 일실시예에 따르면, 상기 기준 전압의 초기 값은 상기 공통 모드 전압일 수 있다.

[0010] 일실시예에 따르면, 상기 순차적 근사화 레지스터는 상기 입력 신호가 상기 기준 전압보다 큰 경우, 상기 공통 모드 전압의 $1/(2^{(n-1)})$ 배 만큼 상기 기준 전압에 더해주고, 상기 입력 신호가 상기 기준 전압보다 작은 경우, 상기 공통 모드 전압의 $1/(2^{(n-1)})$ 배만큼 상기 기준 전압에서 빼서 상기 기준 전압을 설정할 수 있다. -상기 n 은 상기 기준 전압의 설정 횟수임-

[0011] 일실시예에 따르면, 상기 제어부는 차상위 비트부터 차상위로부터 하위 4비트를 결정하는 동안은, 상기 캐패시터가 재충전 되도록 스위칭하고 전하가 재분배되도록 스위칭하여 상기 기준 전압이 설정되도록 제어할 수 있다.

[0012] 일실시예에 따르면, 상기 제어부는 차상위 비트의 하위 5비트부터 최하위 비트 까지는 전하가 재분배되도록 하는 스위칭을 통해서 상기 기준 전압이 설정되도록 제어할 수 있다.

[0013] 다른 일측에 따르면, 입력 신호를 샘플링하여 유지하는 단계, 전원 전압과 상이한 공통 모드 전압을 공급하는 단계, 상기 입력 신호와 기준 전압을 비교기가 비교하는 단계 및 동일한 캐패시턴스를 갖는 복수 개의 커패시터

를 포함하는 순차적 근사화 레지스터가 상기 비교 결과에 기초하여 상기 기준 전압을 최상위 비트로부터 최하위 비트까지 스위칭에 의해 순차적으로 설정하는 단계를 포함하는 아날로그-디지털 변환 방법을 제공한다.

[0014] 일실시예에 따르면, 상기 공통 모드 전압은 상기 전원 전압의 반일 수 있다.

[0015] 일실시예에 따르면, 상기 기준 전압의 초기 값은 상기 공통 모드 전압일 수 있다.

[0016] 일실시예에 따르면, 상기 순차적으로 설정하는 단계는 상기 입력 신호가 상기 기준 전압보다 큰 경우, 상기 공통 모드 전압의 $1/(2^{(n-1)})$ 배 만큼 상기 기준 전압에 더해주고, 상기 입력 신호가 상기 기준 전압보다 작은 경우, 상기 공통 모드 전압의 $1/(2^{(n-1)})$ 배만큼 상기 기준 전압에서 빼서 상기 기준 전압을 설정할 수 있다. -상기 n은 상기 기준 전압의 설정 횟수임-

[0017] 일실시예에 따르면, 상기 순차적으로 설정하는 단계는 차상위 비트부터 차상위로부터 하위 4비트를 결정하는 동안, 상기 캐패시터가 재충전 되도록 스위칭하고 전하가 재분배되도록 스위칭하여 상기 기준 전압이 설정되도록 제어부가 제어하는 단계를 포함할 수 있다.

[0018] 일실시예에 따르면, 상기 순차적으로 설정하는 단계는 차상위 비트의 하위 5비트부터 최하위 비트 까지는 전하가 재분배되도록 하는 스위칭을 통해서 상기 기준 전압이 설정되도록 제어부가 제어하는 단계를 포함할 수 있다.

도면의 간단한 설명

[0019] 도 1은 일실시예에 따른 축차 비교형 아날로그-디지털 변환기의 블록도이다.

도 2는 일실시예에 따른 축차 비교형 아날로그-디지털 변환기의 회로도이다.

도 3은 일실시예에 따른 축차 비교형 아날로그-디지털 변환기 스위칭 절차의 제 1 사이클을 도시한다.

도 4는 일실시예에 따른 축차 비교형 아날로그-디지털 변환기 스위칭 절차의 제2 사이클을 도시한다.

도 5는 일실시예에 따른 축차 비교형 아날로그-디지털 변환기 스위칭 절차의 제3 사이클을 도시한다.

도 6은 일실시예에 따른 축차 비교형 아날로그-디지털 변환기 스위칭 절차의 제4 사이클을 도시한다.

도 7은 일실시예에 따른 축차 비교형 아날로그-디지털 변환기 스위칭 절차의 제5 사이클을 도시한다.

도 8은 일실시예에 따른 축차 비교형 아날로그-디지털 변환기 스위칭 절차의 제6 사이클을 도시한다.

도 9는 일실시예에 따른 축차 비교형 아날로그-디지털 변환기 스위칭 절차의 제7 사이클을 도시한다.

도 10은 일실시예에 따른 축차 비교형 아날로그-디지털 변환기 스위칭 절차의 제8 사이클을 도시한다.

도 11은 일실시예에 따른 축차 비교형 아날로그-디지털 변환기 스위칭 절차의 제9 사이클을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0020] 이하에서, 일부 실시예들을, 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[0021] 도 1은 일실시예에 따른 축차 비교형 아날로그-디지털 변환기(100)의 블록도이다.

[0022] 일실시예에 따른 축차 비교형 아날로그-디지털 변환기는 샘플앤홀드회로(sample and hold circuit)(110), 공통 모드 전압을 공급하는 공급부(120), 순차적 근사화 레지스터(130), 비교기(comparator)(140) 및 제어부(150)를 포함한다.

[0023] 일실시예에 따르면 샘플앤홀드회로(110)는 연속 과형을 불연속 과형으로 변환시키는 조작, 다시 말해서, 입력 신호의 샘플링과 샘플링된 입력을 어느 정도의 시간만큼 홀드할 수 있다.

[0024] 또한, 일실시예에 따르면, 샘플앤홀드회로(110)에 일반적 MOSFET(Metal Oxide Silicon Field Effect Transistor)을 이용한 스위치가 아닌 부트스트랩 스위치(bootstrapped switch)를 사용할 수 있다.

[0025] 일반적 MOSFET을 이용한 스위치를 사용하게 된다면 스위치의 온-저항(on-resistance)이 일정하지 않고 MOSFET의 드레인에 인가되는 전압의 크기에 따라 저항의 크기가 달라 질 수 있다. 따라서, 입력 신호의 정확한 값이 전달되지 않을 수 있다..

[0026] 반면에, 부트스트랩 스위치를 사용한다면, 게이트와 드레인 사이에 캐패시터가 있는 것과 같은 역할을 하므로 양단의 전압을 유지하여 스위치의 저항이 일정하게 유지될 수 있다. 따라서, 입력 신호의 선형성을 유지하면서 정확한 값이 홀드될 수 있다.

[0027] 일실시예에 따르면, 공급부(120)는 공급되는 전원 전압과 상이한 공통 모드 전압을 공급할 수 있다. 일반적인 축차 비교형 아날로그 디지털 변환기의 경우, 비교기의 마이너스 단자 및 플러스 단자에서 공정, 전압, 온도에 따라 값이 변하는 기생 캐패시터가 생성될 수 있다.

[0028] 따라서, 비교기의 마이너스 단자에 전압이 인가될 경우, 그 전압이 기생 캐패시터에 충전될 수 있다. 따라서, 일실시예에 따르면, 2개의 동일한 캐패시터가 비교기의 마이너스 단자에 연결되어 있는 구조에서 기생 캐패시터가 생성되는 경우, 비교기의 마이너스 단자의 전압은 수학적 식 1과 같다.

수학적 식 1

$$V_{DAC}[0] = \frac{(C + C_p) * V_{DD}}{2 * C + C_p}$$

[0029]

[0030] 여기에서 V_{DAC} 는 비교기의 마이너스 단자 전압이고, V_{DD} 는 공급되는 전압 이고, C_p 는 기생 캐패시터를 의미한다. 이상적인 경우(기생 캐패시터가 없는 경우) 비교기의 마이너스 단자에 연결되어 있는 캐패시터가 동일하므로, V_{DAC} 는 $V_{DD}/2$ 가 될 수 있다.

[0031] 반면에, 기생 캐패시터가 연결된 다면 기생 캐패시터에도 비교기의 마이너스 단자 전압이 충전되므로 에러 전압은 수학적 식 2와 같다.

수학적 식 2

$$V_{error}[0] = \frac{V_{DD}}{2} - V_{DAC}[0] = \frac{C_p * V_{DD}}{2 * C + C_p}$$

[0032]

[0033] 수학적 식 2에 의하면, 비교기의 마이너스 단자에서 기생 캐패시터 때문에 발생하는 에러를 줄이기 위해서는 기생 캐패시터 값을 줄이든지, 전압 변화량을 줄이든지 또는 연결되는 단위 캐패시턴스의 크기를 키워야 한다. 다만, 기생 캐패시터는 공정, 전압, 온도에 따라 예측할 수 없으므로 전압 변화량의 감소 또는 단위 캐패시턴스 크기의 증가를 통해 에러를 줄일 수 있다.

[0034] 하지만, 단위 캐패시턴스의 크기를 증가 시키면 이 또한 아날로그-디지털 변환기의 면적을 증가시키는 결과가 되기 때문에, 전압 변화량의 감소를 위해 공급부(120)는 전원 전압과 상이한 공통 모드 전압을 공급 할 수 있다.

[0035] 일실시예에 따르면, 공통 모드 전압은 전원 전압의 반일 수 있다. 상기한 바와 같이 기생 캐패시터로 인한 에러 발생 문제로 인하여 단위 캐패시턴스의 크기를 줄이는 것이 문제가 될 수 있다. 따라서, 비교기의 마이너스 단자에서 전압 변화량을 감소시킴으로써 단위 캐패시턴스의 크기를 완화시킬 수 있다.

[0036] 일실시예에 따르면, 공통 모드 전압이 전원 전압의 반일 경우 최대 전압 변화가 $V_{DD}/4$ 이기 때문에 단위 캐패시턴스의 크기가 반으로 감소할 수 있다. 이 경우 실리콘 면적을 반으로 감소시킬 수 있다.

[0037] 따라서, 공급되는 전원 전압과는 상이한 공통 모드 전압을 공급하는 공급부(120)를 비교기의 마이너스 단자에 공급함으로써 기생 캐패시터로 인해 발생하는 에러를 줄일 수 있다.

- [0038] 일실시예에 따르면, 순차적 근사화 레지스터(130)는 비교기(140)의 비교 결과에 기초하여 기준 전압을 최상위 비트로부터 최하위 비트까지 스위칭에 의해 순차적으로 설정할 수 있다.
- [0039] 일실시예에 따르면, 순차적 근사화 레지스터(130)는 스위칭을 통해 캐패시터를 재충전하고 전하를 재분배함으로써 기준 전압을 설정할 수 있다. 최상위 비트의 경우 공통 모드 전압이 초기 기준 전압으로 설정되므로 캐패시터의 재충전이 필요하지 않을 수 있다. 따라서, 캐패시터의 재충전 주기 때문에 차상위 비트부터 차상위 비트로부터 하위 4비트까지는 각각 2 클록 주기를 필요로 할 수 있다.
- [0040] 일실시예에 따르면, 순차적 근사화 레지스터(130)는 동일한 캐패시턴스를 갖는 복수 개의 캐패시터를 포함할 수 있다. 일반적인 축차 비교형 아날로그-디지털 변환기의 경우 근접 캐패시터 간의 비율이 1:2로 구성되어 있다. 이 경우, 해상도가 높아 질수록 요구되는 단일 캐패시터의 개수가 기하급수적으로 늘어 나게 되므로 실리콘 면적이 그만큼 증가하게 될 수 있다.
- [0041] 따라서, 근접한 캐패시터 간 비율이 1:1이 되도록 순차적 근사화 레지스터(130)는 구성될 수 있다. 다만, 이 경우 캐패시터를 재충전하고 전하를 분배하는데 각각 1 사이클이 필요하게 될 수 있다.
- [0042] 또한, 공통 모드 전압을 통해 기준 전압의 초기 값이 공통 모드 전압으로 설정 될 수 있다. 이를 통해, 초기 기준 전압 설정을 위해 필요한 캐패시터가 필요하지 않게 되므로 캐패시터의 수를 줄일 수 있다.
- [0043] 결과적으로, 일반적인 축차 비교형 아날로그-디지털 변환기와 공통 모드 전압을 도입하지 않은 1:1 캐패시터 비율에 기초한 축차 비교형 아날로그-디지털 변환기에 비해 캐패시터의 수가 감소될 수 있다. 감소되는 캐패시터의 수는 해상도에 따라 표 1과 같이 나타날 수 있다.

표 1

[0044]	해상도	공통 모드 전압에 기반한 ADC	1:1 캐패시터 비율에 기반한 ADC	공통 모드 전압과 1:1 캐패시터 비율에 기반한 ADC
	10	512	64	24
	9	256	44	20
	8	128	28	16
	7	64	20	12
	6	32	12	8
	5	16	8	6
	4	8	6	4

- [0045] 표 1을 참조하면, 축차 비교형 아날로그-디지털 변환기에서 필요한 캐패시터의 수는 4비트 및 5비트의 경우 $N+(N-4)$ 가 되고, 6비트부터 10비트까지의 경우, $2*N+2*(N-8)$ 개가 될 수 있다. 여기에서 N은 해상도를 의미한다.
- [0046] 일실시예에 따르면, 순차적 근사화 레지스터(130)에 포함된 각 캐패시터는 전하의 충전, 리셋 공유를 위해 전원 전압, 공통 모드 전압, 그라운드, 비교기의 마이너스 노드와 연결되도록 4 개의 스위치를 필요로 할 수 있다. 또한, 각 스위치들은 기준 전압 생성을 위해 제어부(150)를 통해 제어될 수 있다.
- [0047] 일실시예에 따르면, 순차적 근사화 레지스터(130)는 비교기(140)의 비교 결과 입력 신호가 기준 전압보다 큰 경우, 상기 공통 모드 전압의 $1/(2^{(n-1)})$ 배 만큼 상기 기준 전압에 더해 기준 전압을 설정할 수 있다.
- [0048] 또한, 순차적 근사화 레지스터(130)는 비교기(140)의 비교 결과 상기 입력 신호가 상기 기준 전압보다 작은 경우, 상기 공통 모드 전압의 $1/(2^{(n-1)})$ 배만큼 상기 기준 전압에서 빼서 기준 전압을 설정할 수 있다.
- [0049] 상기한 두 경우, n은 상기 기준 전압의 설정 횟수일 수 있다. 다시 말해서, 초기 기준 전압은 공통 모드 전압이고, 이를 샘플링된 입력 신호와 비교기(140)가 비교할 수 있다. 그 비교 결과에 기초하여 샘플링된 입력 신호에 근접하도록 최상위비트로부터 순차적으로 근사화하기 위해, 상기한 바와 같이 기준 전압을 설정하고 이를 통해 최상위 비트부터 순차적으로 디지털 값을 생성할 수 있다.
- [0050] 일실시예에 따르면, 비교기(140)는 입력 신호와 순차적 근사화 레지스터(130)를 통해 설정된 기준 전압을 비교함으로써 디지털 값을 생성할 수 있다.
- [0051] 일실시예에 따르면, 비교기(140)는 입력 신호가 기준 전압보다 큰 경우에는 1을 결과값으로 출력할 수 있다.

반면에, 비교기(140)는 입력 신호가 기준 전압보다 작은 경우에는 0을 결과값으로 출력할 수 있다.

- [0052] 또한, 이 결과값은 제어부(150)에 전달됨으로써, 제어부(150)가 비교 결과에 기반하여 순차적 근사화 레지스터(130)가 기준 전압을 설정할 수 있도록 스위치를 제어 할 수 있다.
- [0053] 일실시예에 따르면, 제어부(150)는 순차적 근사화 레지스터(130)에 포함되어 있는 스위치를 제어할 수 있다. 스위치를 제어하여 각 캐패시터를 충전하거나 각 캐패시터 간 전하의 재분배가 이루어 지는 동작 각각에 1 사이클이 소모될 수 있다.
- [0054] 일실시예에 따르면, 차상위 비트부터 차상위로부터 하위 4비트를 결정하는 동안은, 캐패시터가 재충전 되도록 스위칭하고, 그 후 전하가 재분배되도록 스위칭하여 기준 전압이 설정되므로 2 사이클이 필요할 수 있다.
- [0055] 차상위 비트부터 차상위로부터 하위 4비트를 결정하는 동안은, 전압 변동량이 크기 때문에, 주어진 캐패시터를 통해 기존 기준 전압의 반이 되는 새로운 기준 전압을 설정하기 위해서는 캐패시터를 재충전할 필요가 있기 때문이다.
- [0056] 반면에, 차상위 비트의 하위 5비트부터 최하위 비트 까지는 전하가 재분배되도록 하는 스위칭을 통해서 기준 전압이 설정되므로 1 사이클이 필요할 수 있다.
- [0057] 차상위 비트의 하위 5비트부터 최하위 비트 까지는 전압 변동량이 작을 수 있다. 따라서, 기존 기준 전압의 반이 되는 새로운 기준 전압을 설정하기 위해서 캐패시터를 재충전 하지 않고도 기존에 존재하는 전압을 통해 전하 공유 기법으로 필요한 전압을 충분히 얻을 수 있다.
- [0058] 또한, 일실시예에 따르면 아날로그 신호가 디지털 신호로 변환이 계속 진행 될수록, 전압 변동량이 감소되므로 기준 전압 설정을 위해 필요한 캐패시터의 수는 감소 할 수 있다.
- [0059] 다시 말해서, 전압 변동량이 변환 단계가 계속 진행될수록 감소하므로, 각 캐패시터를 재충전하지 않고도 기존에 캐패시터에 저장되어 있는 전하를 캐패시터스의 전하 공유 기법을 이용할 수 있다. 따라서, 차상위 비트의 하위 5비트부터 최하위 비트 까지는 1사이클이 필요할 수 있다. 또한, 전하 재분배에 필요한 캐패시터의 수도 감소될 수 있다.
- [0060] 이하에서는, 공통모드 전압 기반 축차 비교형 아날로그-디지털 변환기의 구체적 회로도를 도 2에서 후술한다.
- [0061] 도 2는 일실시예에 따른 축차 비교형 아날로그-디지털 변환기의 회로도(200)이다.
- [0062] 일실시예에 따르면, 축차 비교형 아날로그-디지털 변환기의 회로도(200)는 샘플앤홀드회로(210), 공통 모드 전압(V_{cm})을 공급하는 공급부(220), 순차적 근사화 레지스터(230(a), 230(b)), 비교기(240) 및 제어부(250)를 포함할 수 있다.
- [0063] 일실시예에 따르면, 샘플앤홀드회로(210)는 입력 신호가 부트스트랩 스위치를 통해 샘플링 캐패시터(Cs)에 충전되고, 상기 샘플링된 입력 신호가 순차적 근사화 레지스터(230(a), 230(b))를 통해 생성된 기준 전압과 비교기(240)를 통해 비교될 수 있다.
- [0064] 또한, 일실시예에 따르면, 각 캐패시터는 근접한 캐패시터 간 비율이 1:1 비율로 구성될 수 있다. 또한, 각 캐패시터는 전원 전압(V_{DD}), 공통모드 전압(V_{cm}), 그라운드 및 비교기의 마이너스 노드 중 하나와 스위치를 통해 연결될 수 있다.
- [0065] 일실시예에 따르면, 초기 기준 전압은 공통 모드 전압이 인가될 수 있으므로, 비교기의 마이너스 노드와 공통 모드 전압이 최상위 비트 결정시에 스위치가 활성화되어 연결되고 그 이후에는 스위치가 비활성화될 수 있다.
- [0066] 이를 통해, 초기 기준 전압 설정에 캐패시터가 필요하지 않으므로, 이에 따른 캐패시터의 수가 감소할 수 있다. 또한 근접한 캐패시터간 비율이 1:1로 구성될 수 있으므로, 이에 따른 캐패시터의 수 또한 감소될 수 있다.
- [0067] 일실시예에 따르면, 제어부(250)는 비교기(240)의 비교 결과에 기초하여, 다음 기준 전압을 생성하기 위해 스위치를 제어할 수 있다. 샘플링된 입력 신호와 기준 전압의 비교 결과에 따라, 다음에 설정되는 기준 전압이 달라지게 되므로, 제어부(250)는 비교기(240)의 출력값을 수신할 수 있다.
- [0068] 다만, 도 2에서 도시된 회로도는 공통 모드 전압에 기반한 축차 비교형 아날로그-디지털 변환기 회로의 일실시예일 뿐이고, 이에 제한되거나 한정되어 해석되어서는 안 된다.
- [0069] 이하에서는 일실시예에 따른 축차 비교형 아날로그-디지털 변환기의 각 사이클 동작에 대해 구체적으로 후술한

다.

- [0070] 도 3은 일실시예에 따른 축차 비교형 아날로그-디지털 변환기 스위칭 절차의 제 1 사이클을 도시한다.
- [0071] 도 3 이하에서는, 일실시예에 따른 5 비트 축차 비교형 아날로그-디지털 변환기의 예시적 동작을 설명한다. 다만, 이 동작은 5 비트 축차 비교형 아날로그-디지털 변환기에만 국한되는 것이 아니며, 동일한 동작 원리로 다른 비트에도 적용될 수 있음은 당업자에게 있어서 자명한 것이다.
- [0072] 도 3을 참조하면, 일실시예에 따른 5 비트 축차 비교형 아날로그-디지털 변환기의 순차적 근사화 레지스터 부분의 회로도(300)와 이를 통해 생성된 기준 전압(V_{DAC})과 입력신호(V_{in})의 크기를 비교한 그래프(310)를 도시한다.
- [0073] 일실시예에 따르면, 공통 모드 전압은 전원 전압의 반일 수 있다. 또한, 순차적 근사화 레지스터에 포함된 캐패시터의 반은 공통 모드 전압에 연결되어 공통 모드 전압으로 충전될 수 있다.
- [0074] 상기한 바와 같이 캐패시터의 반이 공통 모드 전압으로 연결되는 이유는 나머지 반의 캐패시터는 처음 비교 후 그 결과에 따라 다음의 기준 전압 설정을 위해 그라운드 또는 전원 전압에 연결될 것인지 결정되어야 하기 때문이다.
- [0075] 일실시예에 따르면, 공통 모드 전압과 샘플링된 입력 신호와의 비교 결과 0의 디지털 값을 얻었다면, 나머지 반의 캐패시터는 그라운드에 스위칭을 통해 연결되어 전하를 공유할 수 있다.
- [0076] 반면에, 공통 모드 전압과 샘플링된 입력 신호와의 비교 결과 1의 디지털 값을 얻었다면, 나머지 반의 캐패시터는 공통 모드 전압으로 스위칭을 통해 연결되고, 기존의 공통 모드 전압으로 충전되어 있던 캐패시터는 전원 전압으로 스위칭을 통해 연결되어 전하를 공유할 수 있다.
- [0077] 또한, 일실시예에 따르면, 모든 노드가 처음부터 공통 모드 전압에 연결된 후 비교기의 비교 결과에 따라 스위칭이 일어 날 수 있다. 다만, 회로의 다이내믹 파워(dynamic power)의 감소를 위해 상기한 바와 같이 절반의 캐패시터만을 공통 전압 모드로 충전할 수 있다.
- [0078] 또한, 일실시예에 따르면 초기 기준 전압은 공통 모드 전압으로 설정되므로 공통 전압이 비교기의 마이너스 노드로 연결될 수 있다. 따라서, 최상위 비트에서는 공통 모드 전압과 샘플링된 입력 신호의 비교를 통해 결과값을 출력 할 수 있다.
- [0079] 생성된 기준 전압(V_{DAC})과 샘플링된 입력 신호(V_{in})를 비교한 그래프(310)에 따르면, 입력 신호(V_{in})가 기준 전압(V_{DAC}) 보다 큰 값을 가지므로, 비교기는 출력값으로 1을 출력할 수 있다.
- [0080] 반면에, 입력 신호(V_{in})가 기준 전압(V_{DAC}) 보다 작은 값을 가지게 되는 경우, 비교기는 출력값으로 0을 출력할 수 있다.
- [0081] 일실시예에 따르면, 입력 신호(V_{in})가 기준 전압(V_{DAC}) 보다 큰 값을 가지므로, 제어부에 비교기의 출력값 1이 전달될 수 있다. 이 경우, 제어부는 비교기의 비교 결과에 기초하여 공통 모드 전압의 1/2가 되는 값을 상기 기준 전압에 더해주기 위해 스위치를 제어할 수 있다.
- [0082] 반면에, 입력 신호(V_{in})가 기준 전압(V_{DAC}) 보다 작은 값을 가지게 되는 경우, 제어부에 비교기의 출력값 0이 전달될 수 있다. 이 경우, 제어부는 비교기의 비교 결과에 기초하여 공통 모드 전압의 1/2가 되는 값을 상기 기준 전압에 빼주기 위해 스위치를 제어할 수 있다.
- [0083] 상기한 바와 같이, 최상위 비트에서는 공통 모드 전압이 비교기의 마이너스 노드에 직접 연결되어 기준 전압이 되므로, 기준 전압 생성을 위한 캐패시터의 충전과정이 별도로 요구되지 않을 수 있다. 따라서, 최상위 비트 값 결정을 위해서는 1 사이클이 필요할 수 있다.
- [0084] 이하에서는 입력 신호(V_{in})가 기준 전압(V_{DAC})보다 큰 경우의 차상위 비트 값 결정을 위해 캐패시터의 충전 및 전하의 재분배 과정에 대해 도 4 및 도 5에서 후술한다. 입력 신호(V_{in})가 기준 전압(V_{DAC})보다 작은 경우 역시 기준 전압에 공통 모드 전압의 1/2배 되는 값을 빼주는 것을 제외하고는 동일한 원리로 스위칭이 제어되므로 생략한다.
- [0085] 도 4는 일실시예에 따른 축차 비교형 아날로그-디지털 변환기 스위칭 절차의 제2 사이클을 도시한다.

- [0086] 도 4를 참조하면, 일실시예에 따른 5 비트 축차 비교형 아날로그-디지털 변환기의 순차적 근사화 레지스터 부분의 회로도(400)와 이를 통해 각 캐패시터가 충전되는 전압과 입력신호(V_{in})의 크기를 비교한 그래프(410)를 도시한다.
- [0087] 일실시예에 따르면, 최상위 비트의 결과 값으로 1이 출력되었기 때문에 기존 기준 전압에 공통 모드 전압의 1/2배만큼 더해주도록 기준 전압을 설정할 수 있다.
- [0088] 따라서, 우선적으로 공통 모드 전압의 1/2배만큼 더해진 새로운 기준 전압을 설정하기 위하여 각 캐패시터를 충전하는 과정이 필요할 수 있다. 그러므로, 새로운 기준 전압을 설정하기 위해, 기존의 공통 모드 전압으로 충전되어 있던 캐패시터는 전원 전압으로 스위칭되어 충전되고, 나머지 반의 캐패시터는 공통 모드 전압으로 스위칭되어 충전될 수 있다.
- [0089] 이 과정은, 차상위 비트의 값을 결정하기 위해 새로운 기준 전압을 설정하도록 하는 스위칭을 통한 캐패시터 충전 과정으로 1 사이클이 필요할 수 있다.
- [0090] 또한, 이 사이클에서 컴페레이터는 아이들(idle) 상태에 있게 되므로, 이 사이클에서 비교기의 마이너스 노드의 값은 기존 기준 전압인 공통 모드 전압으로 유지될 수 있다.
- [0091] 일실시예에 따르면 각 캐패시터가 충전되는 전압과 입력신호(V_{in})의 크기를 비교한 그래프(410)에서는, 총 6개의 캐패시터중 반인 3개의 캐패시터는 전원 전압으로 충전되고, 나머지 반은 공통 모드 전압으로 충전되는 것을 도시한다.
- [0092] 또한, 각 캐패시터에 충전된 전압이 전하 공유를 통해 새롭게 생성될 기준 전압의 크기인 $3*V_{DD}/4$ 도 도시하고 있다. 이를 통해 차상위 비트 값을 결정하기 위해 생성될 기준 전압의 크기를 알 수 있다.
- [0093] 도 5는 일실시예에 따른 축차 비교형 아날로그-디지털 변환기 스위칭 절차의 제3 사이클을 도시한다.
- [0094] 도 5를 참조하면, 일실시예에 따른 5 비트 축차 비교형 아날로그-디지털 변환기의 순차적 근사화 레지스터 부분의 회로도(500)와 이를 통해 생성된 기준 전압(V_{DAC})과 입력신호(V_{in})의 크기를 비교한 그래프(510)를 도시한다.
- [0095] 일실시예에 따르면, 차상위 비트 값을 결정하기 위한 새로운 기준 전압(V_{DAC})을 설정하기 위해 충전된 모든 캐패시터가 비교기의 마이너스 노드에 같이 연결되어 전하가 재분배 될 수 있다.
- [0096] 도 4에서 설명한 바와 같이, 총 6개의 캐패시터 중 3개는 전원 전압으로 충전되고 나머지 3개는 공통 모드 전압으로 충전되어 있으므로, 전하 재분배를 통해 각 캐패시터의 전압은 $3*V_{DD}/4$ 가 될 수 있다.
- [0097] 상기한 바와 같은 전하 재분배의 과정도 제어부에 의해 제어되는 스위칭에 의해 이루어 지므로 1 사이클을 필요로 할 수 있다. 따라서, 차상위 비트 값을 결정하기 위해서는, 각 캐패시터의 충전을 위한 1사이클 및 전하 재분배를 위한 1사이클의 합인 총 2사이클을 필요로 할 수 있다.
- [0098] 일실시예에 따르면, 생성된 기준 전압(V_{DAC})과 입력신호(V_{in})의 크기를 비교한 그래프(510)에서 입력신호(V_{in})가 기준 전압(V_{DAC})보다 낮으므로, 비교기는 출력값으로 0을 출력할 수 있다.
- [0099] 또한, 출력값으로 0이 출력되는 경우, 그 다음 비트를 결정하기 위한 기준 전압 설정을 위해 공통 모드 전압의 1/4배의 값을 기존의 기준 전압에서 빼지도록 제어부가 스위치를 제어할 수 있다. 차상위 비트 다음의 비트는 기준 전압이 3번째로 설정되는 것이므로 공통 모드 전압의 1/4배의 값이 될 수 있다.
- [0100] 이하에서는 입력 신호(V_{in})가 기준 전압(V_{DAC})보다 작은 경우의 차상위 비트의 다음 비트 값 결정을 위해 캐패시터의 충전 및 전하의 재분배 과정에 대해 도 6 및 도 7에서 후술한다. 입력 신호(V_{in})가 기준 전압(V_{DAC})보다 큰 경우 역시 기존 기준 전압에 공통 모드 전압의 1/4배 값이 더해지는 것을 제외하고는 동일한 원리로 스위칭이 제어되므로 생략한다.
- [0101] 도 6은 일실시예에 따른 축차 비교형 아날로그-디지털 변환기 스위칭 절차의 제4 사이클을 도시한다.
- [0102] 도 6를 참조하면, 일실시예에 따른 5 비트 축차 비교형 아날로그-디지털 변환기의 순차적 근사화 레지스터 부분의 회로도(600)와 이를 통해 각 캐패시터가 충전되는 전압과 입력신호(V_{in})의 크기를 비교한 그래프(610)를 도시한다.

- [0103] 일실시예에 따르면, 차상위 비트의 결과 값으로 0이 출력되었기 때문에 기존 기준 전압에 공통 모드 전압의 1/4배만큼 빼주어서 기준 전압을 설정할 수 있다.
- [0104] 따라서, 우선적으로 공통 모드 전압의 1/4배만큼 더해준 새로운 기준 전압을 설정하기 위하여 각 캐패시터를 충전하는 과정이 필요할 수 있다. 그러므로, 새로운 기준 전압을 설정하기 위해, 2개의 캐패시터는 공통 모드 전압으로 스위칭되어 충전되고, 나머지 4개의 캐패시터는 플로팅(floating)이 될 수 있다.
- [0105] 이 과정은, 차상위 비트의 다음 비트 값을 결정하기 위해 새로운 기준 전압을 설정하도록 하는 스위칭을 통한 캐패시터 충전 과정으로 1 사이클이 필요할 수 있다.
- [0106] 또한, 이 사이클에서 컴페레이터는 아이들(idle) 상태에 있게 되므로, 이 사이클에서 비교기의 마이너스 노드의 값은 기존 기준 전압인 $3*V_{DD}/4$ 로 유지될 수 있다.
- [0107] 일실시예에 따르면 각 캐패시터가 충전되는 전압과 입력신호(V_{in})의 크기를 비교한 그래프(610)에서는, 총 6개의 캐패시터 중 2개의 캐패시터는 공통 모드 전압으로 충전되고, 나머지 캐패시터는 플로팅 되어 있으므로 기존 충전된 전압인 $3*V_{DD}/4$ 로 유지되고 있음을 도시한다.
- [0108] 또한, 각 캐패시터에 충전된 전압이 전하 공유를 통해 새롭게 생성될 기준 전압의 크기인 $5*V_{DD}/8$ 도 도시하고 있다. 이를 통해 차상위 비트 값을 결정하기 위해 생성될 기준 전압의 크기를 알 수 있다.
- [0109] 도 7은 일실시예에 따른 축차 비교형 아날로그-디지털 변환기 스위칭 절차의 제5 사이클을 도시한다.
- [0110] 도 7을 참조하면, 일실시예에 따른 5 비트 축차 비교형 아날로그-디지털 변환기의 순차적 근사화 레지스터 부분의 회로도(700)와 이를 통해 생성된 기준 전압(V_{DAC})과 입력신호(V_{in})의 크기를 비교한 그래프(710)를 도시한다.
- [0111] 도 6에서 설명한 바와 같이, 총 6개의 캐패시터 중 2개는 공통 모드 전압으로 충전되고 나머지 4개는 $3*V_{DD}/4$ 로 충전되어 있을 수 있다. 따라서, $5*V_{DD}/8$ 의 기준 전압을 생성하기 위해 공통 모드 전압으로 충전된 2개의 캐패시터와 $3*V_{DD}/4$ 로 충전된 캐패시터 중 2개의 전하 재분배를 통해 각 캐패시터의 전압은 $5*V_{DD}/8$ 가 될 수 있다.
- [0112] 상기한 바와 같은 전하 재분배의 과정도 제어부에 의해 제어되는 스위칭에 의해 이루어 지므로 1 사이클을 필요로 할 수 있다. 따라서, 차상위 비트의 다음 비트 값을 결정하기 위해서는, 각 캐패시터의 충전을 위한 1사이클 및 전하 재분배를 위한 1사이클의 합인 총 2사이클을 필요로 할 수 있다.
- [0113] 일실시예에 따르면, 생성된 기준 전압(V_{DAC})과 입력신호(V_{in})의 크기를 비교한 그래프(710)에서 입력신호(V_{in})가 기준 전압(V_{DAC})보다 크므로, 비교기는 출력값으로 1을 출력할 수 있다.
- [0114] 또한, 출력값으로 1이 출력되는 경우, 그 다음 비트를 결정하기 위한 기준 전압 설정을 위해 공통 모드 전압의 1/8배의 값을 기존의 기준 전압에서 더해지도록 제어부가 스위치를 제어할 수 있다. 차상위 비트 하위 2 비트는 기준 전압이 4번째로 설정되는 것이므로 공통 모드 전압의 1/8배의 값이 될 수 있다.
- [0115] 이하에서는 입력 신호(V_{in})가 기준 전압(V_{DAC})보다 큰 경우의 차상위 비트 하위 2비트 값 결정을 위해 캐패시터의 충전 및 전하의 재분배 과정에 대해 도 8 및 도 9에서 후술한다. 입력 신호(V_{in})가 기준 전압(V_{DAC})보다 작은 경우 역시 기존 기준 전압에 공통 모드 전압의 1/8배 값을 빼주는 것을 제외하고는 동일한 원리로 스위칭이 제어되므로 생략한다.
- [0116] 도 8은 일실시예에 따른 축차 비교형 아날로그-디지털 변환기 스위칭 절차의 제6 사이클을 도시한다.
- [0117] 도 8를 참조하면, 일실시예에 따른 5 비트 축차 비교형 아날로그-디지털 변환기의 순차적 근사화 레지스터 부분의 회로도(800)와 이를 통해 각 캐패시터가 충전되는 전압과 입력신호(V_{in})의 크기를 비교한 그래프(810)를 도시한다.
- [0118] 일실시예에 따르면, 차상위 비트 다음 비트의 결과 값으로 1이 출력되었기 때문에 기존 기준 전압에 공통 모드 전압의 1/8배만큼 더해서 기준 전압을 설정할 수 있다.
- [0119] 따라서, 우선적으로 공통 모드 전압의 1/8배만큼 더해준 새로운 기준 전압을 설정하기 위하여 각 캐패시터를 충전하는 과정이 필요할 수 있다. 다만, 기존의 각 캐패시터가 충전된 전압으로 새로운 기준 전압을 생성할 수 있으므로 모든 캐패시터는 플로팅(floating)이 될 수 있다.

- [0120] 이 과정은, 차상위 비트 하위 2비트 값을 결정하기 위해 새로운 기준 전압을 설정하도록 하는 스위칭을 통한 캐패시터 충전 과정으로 1 사이클이 필요할 수 있다.
- [0121] 또한, 이 사이클에서 컴페레이터는 아이들(idle) 상태에 있게 되므로, 이 사이클에서 비교기의 마이너스 노드의 값은 기존 기준 전압인 $5*V_{DD}/8$ 로 유지될 수 있다.
- [0122] 일실시예에 따르면 각 캐패시터가 충전되는 전압과 입력신호(V_{in})의 크기를 비교한 그래프(810)에서는, 모든 캐패시터는 플로팅 되어 기존에 충전된 전압 값을 유지하고 있으므로 2개의 캐패시터는 $3*V_{DD}/4$ 로 유지되고, 나머지 4개의 캐패시터는 기존 충전된 전압인 $5*V_{DD}/8$ 로 유지되고 있음을 도시한다.
- [0123] 또한, 각 캐패시터에 충전된 전압이 전하 공유를 통해 새롭게 생성될 기준 전압의 크기인 $11*V_{DD}/16$ 도 도시하고 있다. 이를 통해 차상위 비트 하위 2 비트값을 결정하기 위해 생성될 기준 전압의 크기를 알 수 있다.
- [0124] 도 9는 일실시예에 따른 축차 비교형 아날로그-디지털 변환기 스위칭 절차의 제7 사이클을 도시한다.
- [0125] 도 9를 참조하면, 일실시예에 따른 5 비트 축차 비교형 아날로그-디지털 변환기의 순차적 근사화 레지스터 부분의 회로도(900)와 이를 통해 생성된 기준 전압(V_{DAC})과 입력신호(V_{in})의 크기를 비교한 그래프(910)를 도시한다.
- [0126] 도 8에서 설명한 바와 같이, 총 6개의 캐패시터는 모두 플로팅 되어 2개의 캐패시터는 $3*V_{DD}/4$ 로 유지되고, 나머지 4개의 캐패시터는 기존 충전된 전압인 $5*V_{DD}/8$ 로 유지될 수 있다. 따라서, $11*V_{DD}/16$ 의 기준 전압을 생성하기 위해 $3*V_{DD}/4$ 로 충전된 2개의 캐패시터와 $5*V_{DD}/8$ 로 충전된 캐패시터 중 2개의 전하 재분배를 통해 각 캐패시터의 전압은 $11*V_{DD}/16$ 가 될 수 있다.
- [0127] 상기한 바와 같은 전하 재분배의 과정도 제어부에 의해 제어되는 스위칭에 의해 이루어 지므로 1 사이클을 필요로 할 수 있다. 따라서, 차상위 비트 하위 2비트 값을 결정하기 위해서는, 각 캐패시터의 충전을 위한 1사이클 및 전하 재분배를 위한 1사이클의 합인 총 2사이클을 필요로 할 수 있다.
- [0128] 일실시예에 따르면, 생성된 기준 전압(V_{DAC})과 입력신호(V_{in})의 크기를 비교한 그래프(910)에서 입력신호(V_{in})가 기준 전압(V_{DAC})보다 크므로, 비교기는 출력값으로 1을 출력할 수 있다.
- [0129] 또한, 출력값으로 1이 출력되는 경우, 그 다음 비트를 결정하기 위한 기준 전압 설정을 위해 공통 모드 전압의 1/16배의 값을 기존의 기준 전압에서 더해지도록 제어부가 스위치를 제어할 수 있다. 차상위 비트 하위 3 비트는 기준 전압이 5번째로 설정되는 것이므로 공통 모드 전압의 1/16배의 값이 될 수 있다.
- [0130] 이하에서는 입력 신호(V_{in})가 기준 전압(V_{DAC})보다 큰 경우의 차상위 비트 하위 3비트 값 결정을 위해 캐패시터의 충전 및 전하의 재분배 과정에 대해 도 9 및 도 10에서 후술한다. 입력 신호(V_{in})가 기준 전압(V_{DAC})보다 작은 경우 역시 기존 기준 전압에 공통 모드 전압의 1/16배 값을 빼주는 것을 제외하고는 동일한 원리로 스위칭이 제어되므로 생략한다.
- [0131] 도 10은 일실시예에 따른 축차 비교형 아날로그-디지털 변환기 스위칭 절차의 제8 사이클을 도시한다.
- [0132] 도 10를 참조하면, 일실시예에 따른 5 비트 축차 비교형 아날로그-디지털 변환기의 순차적 근사화 레지스터 부분의 회로도(1000)와 이를 통해 각 캐패시터가 충전되는 전압과 입력신호(V_{in})의 크기를 비교한 그래프(1010)를 도시한다.
- [0133] 일실시예에 따르면, 차상위 비트 하위 2비트의 결과 값으로 1이 출력되었기 때문에 기존 기준 전압에 공통 모드 전압의 1/16배만큼 더해져 기준 전압을 설정할 수 있다.
- [0134] 따라서, 우선적으로 공통 모드 전압의 1/16배만큼 더해준 새로운 기준 전압을 설정하기 위하여 각 캐패시터를 충전하는 과정이 필요할 수 있다. 그러므로, 1개의 캐패시터는 전원 전압으로 스위칭 되어 충전되고, 1개의 캐패시터는 공통 모드 전압으로 스위칭 되어 충전되고, 나머지 4개의 캐패시터는 플로팅(floating)이 될 수 있다.
- [0135] 이 과정은, 차상위 비트 하위 3비트 값을 결정하기 위해 새로운 기준 전압을 설정하도록 하는 스위칭을 통한 캐패시터 충전 과정으로 1 사이클이 필요할 수 있다.
- [0136] 또한, 이 사이클에서 컴페레이터는 아이들(idle) 상태에 있게 되므로, 이 사이클에서 비교기의 마이너스 노드의

값은 기존 기준 전압인 $11 \cdot V_{DD}/16$ 로 유지될 수 있다.

- [0137] 일실시예에 따르면 각 캐패시터가 충전되는 전압과 입력신호(V_{in})의 크기를 비교한 그래프(1010)에서는, 1개의 캐패시터는 전원 전압으로 충전되어 있고, 1개의 캐패시터는 공통 모드 전압으로 충전되어 있고, 나머지 4개의 캐패시터는 플로팅 되어 기존에 충전된 전압 값인 $11 \cdot V_{DD}/16$ 를 유지하고 있음을 도시한다.
- [0138] 또한, 각 캐패시터에 충전된 전압이 전하 공유를 통해 새롭게 생성될 기준 전압의 크기인 $23 \cdot V_{DD}/32$ 도 도시하고 있다. 이를 통해 차상위 비트 하위 3 비트 값을 결정하기 위해 생성될 기준 전압의 크기를 알 수 있다.
- [0139] 도 11은 일실시예에 따른 축차 비교형 아날로그-디지털 변환기 스위칭 절차의 제9 사이클을 도시한다.
- [0140] 도 11을 참조하면, 일실시예에 따른 5 비트 축차 비교형 아날로그-디지털 변환기의 순차적 근사화 레지스터 부분의 회로도(1100)와 이를 통해 생성된 기준 전압(V_{DAC})과 입력신호(V_{in})의 크기를 비교한 그래프(1110)를 도시한다.
- [0141] 도 10에서 설명한 바와 같이, 총 1개의 캐패시터는 전원 전압으로 충전되고, 1개의 캐패시터는 공통 모드 전압으로 충전되고 나머지 4개의 캐패시터는 플로팅 되어 $11 \cdot V_{DD}/16$ 로 유지될 수 있다.
- [0142] 따라서, $23 \cdot V_{DD}/32$ 의 기준 전압을 생성하기 위해 전원 전압으로 충전된 1개의 캐패시터와 공통 모드 전압으로 충전된 캐패시터 1개와 $11 \cdot V_{DD}/16$ 로 충전된 4개의 캐패시터중 2개의 캐패시터 간의 전하 재분배를 통해 각 캐패시터의 전압은 $23 \cdot V_{DD}/32$ 가 될 수 있다.
- [0143] 상기한 바와 같은 전하 재분배의 과정도 제어부에 의해 제어되는 스위칭에 의해 이루어 지므로 1 사이클을 필요로 할 수 있다. 따라서, 차상위 비트 하위 3비트 값을 결정하기 위해서는, 각 캐패시터의 충전을 위한 1사이클 및 전하 재분배를 위한 1사이클의 합인 총 2사이클을 필요로 할 수 있다.
- [0144] 일실시예에 따르면, 생성된 기준 전압(V_{DAC})과 입력신호(V_{in})의 크기를 비교한 그래프(1110)에서 입력신호(V_{in})가 기준 전압(V_{DAC})보다 크므로, 비교기는 출력값으로 1을 출력할 수 있다.
- [0145] 도 3부터 도 11까지 설명한 바와 같이, 일실시예에 따른 5 비트 축차 비교형 아날로그-디지털 변환기의 각 사이클에 대한 동작의 결과 10111의 디지털 값이 출력될 수 있다. 상기의 출력값은 설명을 위한 것이므로, 상기한 바와 같은 각 사이클에서의 동작으로 제한되거나 한정해서 해석되어서는 안 된다.
- [0146] 또한, 각 사이클에서 스위칭 제어의 방법은 이전 비트 값의 결과에 따라 제어될 수 있다. 다시 말해서, 이전 비트의 값이 1 또는 0으로 출력됨에 따라 기존 기준 전압에서 공통 모드의 $1/(2^{(n-1)})$ 배의 값이 더해지거나 빼질 수 있다.
- [0147] 따라서, 각 비트 별 생성될 기준 전압이 비교기의 비교 결과에 의해 정해지므로, 이 값을 생성하기 위해 스위칭 제어 방법을 다르게 할 수 있음은 당업자에게 있어 자명할 것이므로, 실시예들에서 설명된 스위칭 제어 방법의 의해 한정하거나 제한되어 해석되어서는 안 된다.
- [0148] 또한, 설명을 위해 일실시예에 따른 5 비트 축차 비교형 아날로그-디지털 변환기를 예를 들어 설명하였으나, 다른 비트에서도 동일한 원리로 동작할 수 있으므로, 실시예들로 제한되거나 한정해서 해석되어서는 안 된다.
- [0149] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서

(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0150] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

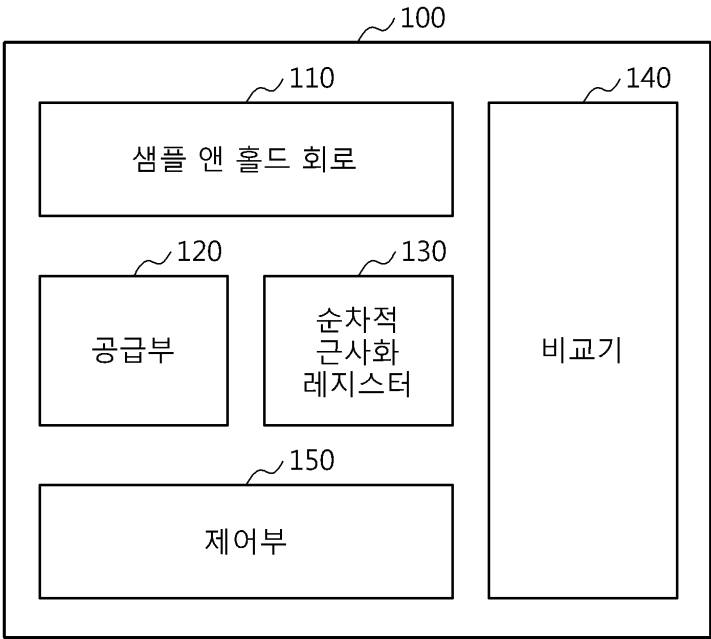
[0151] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0152] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

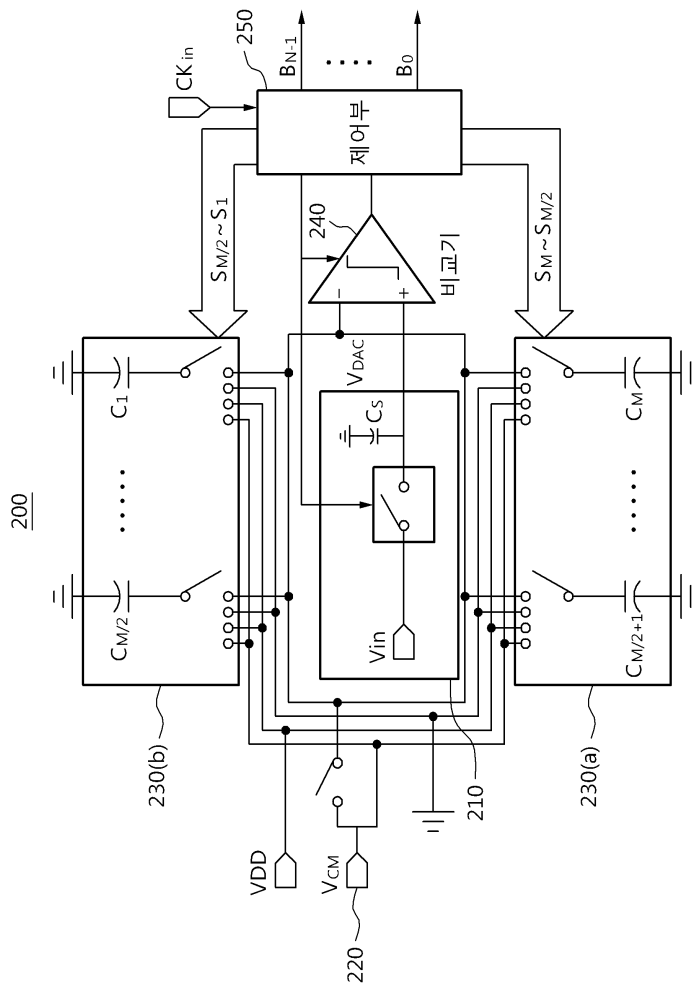
[0153] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

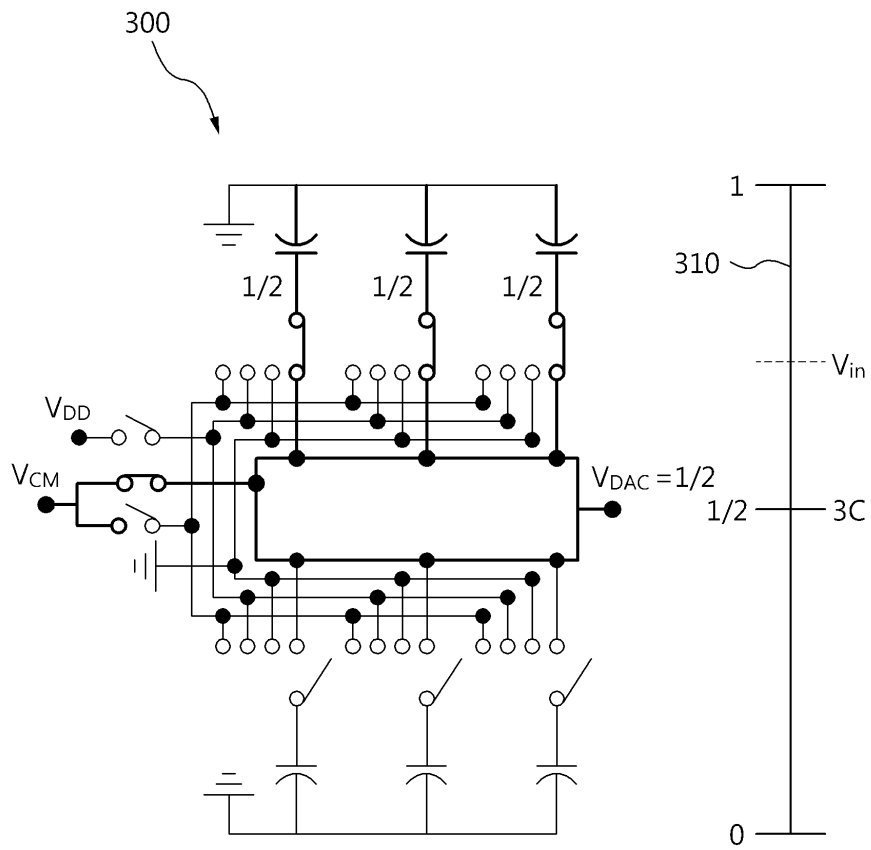
도면1



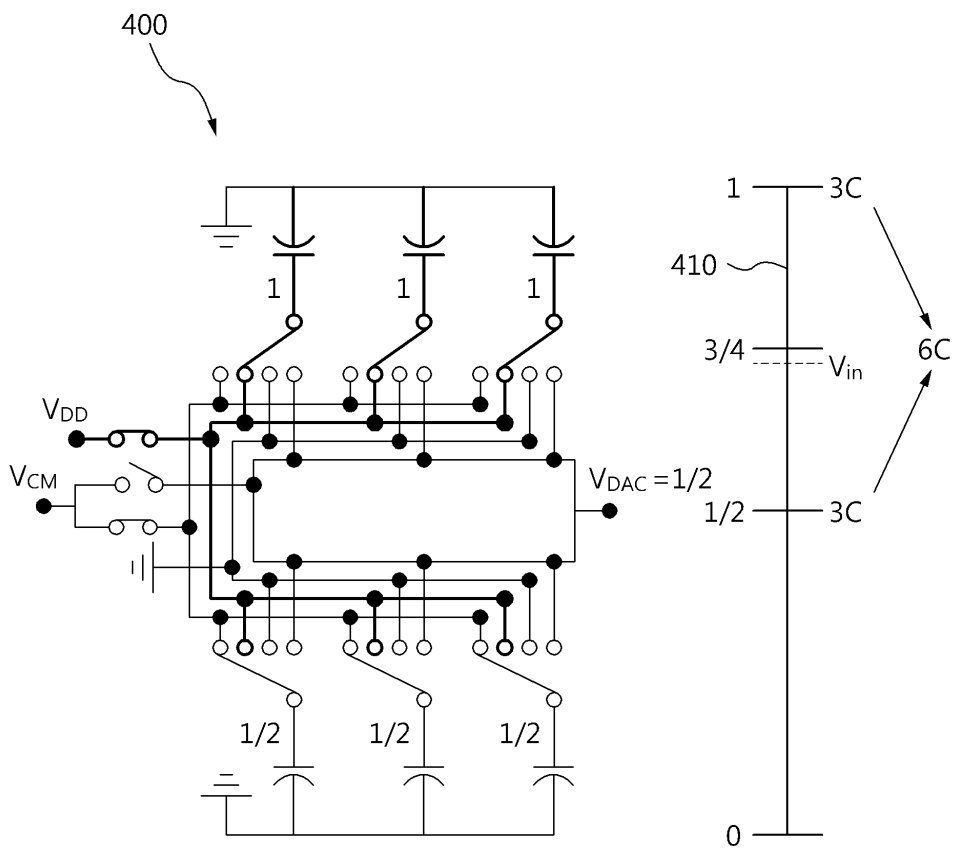
도면2



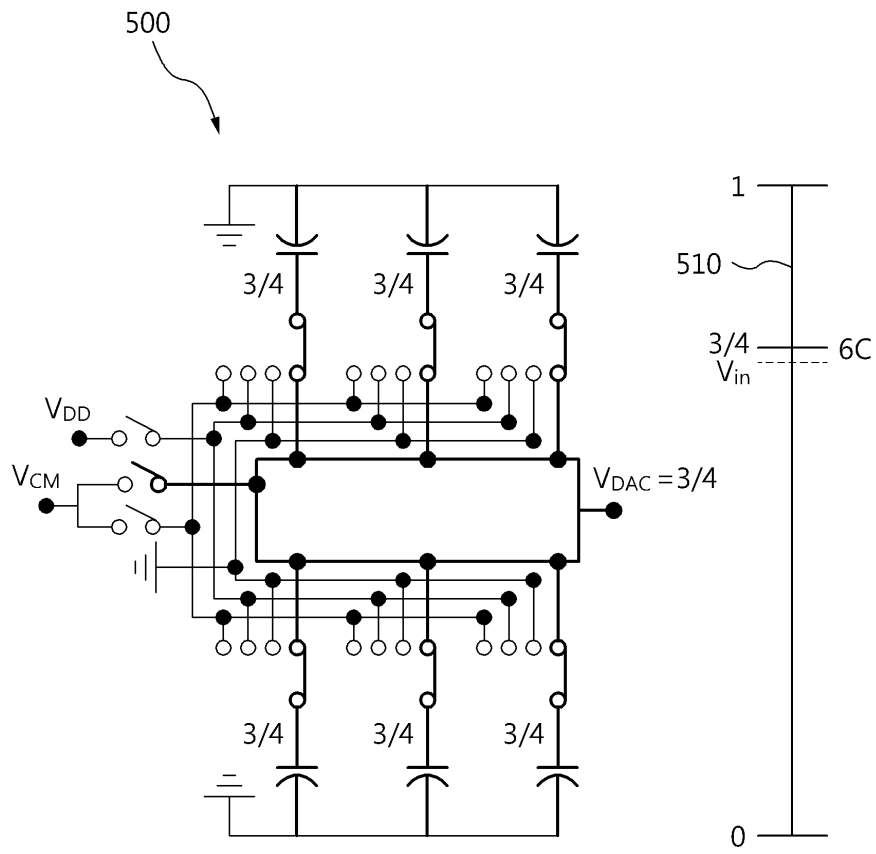
도면3



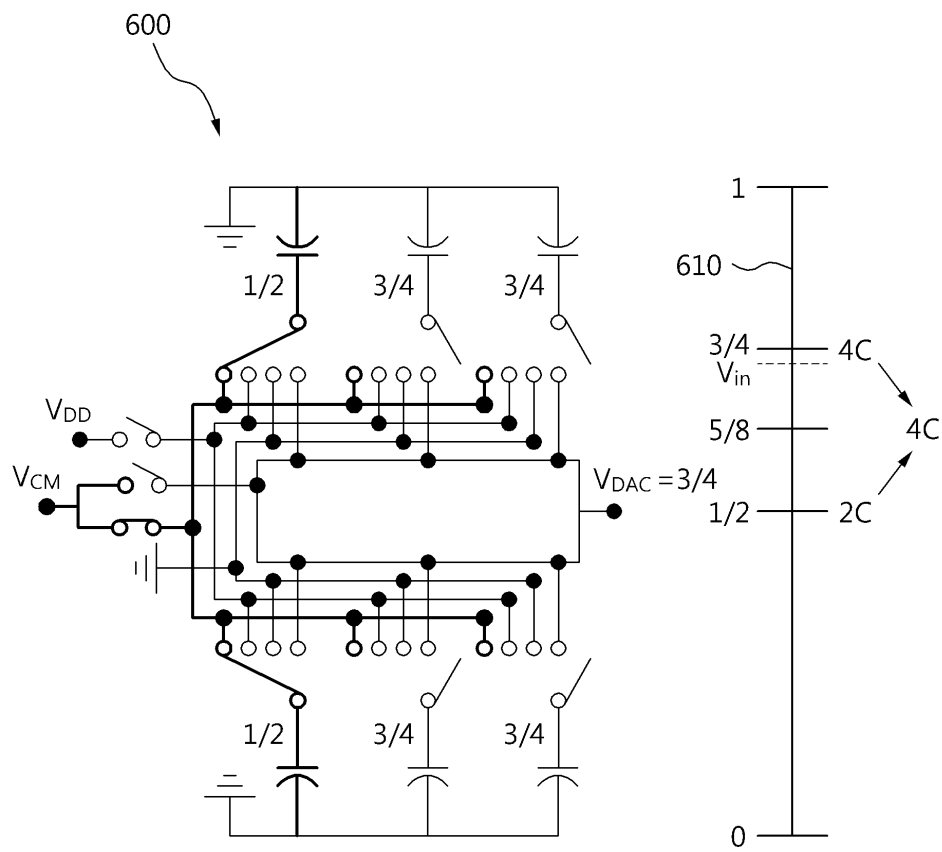
도면4



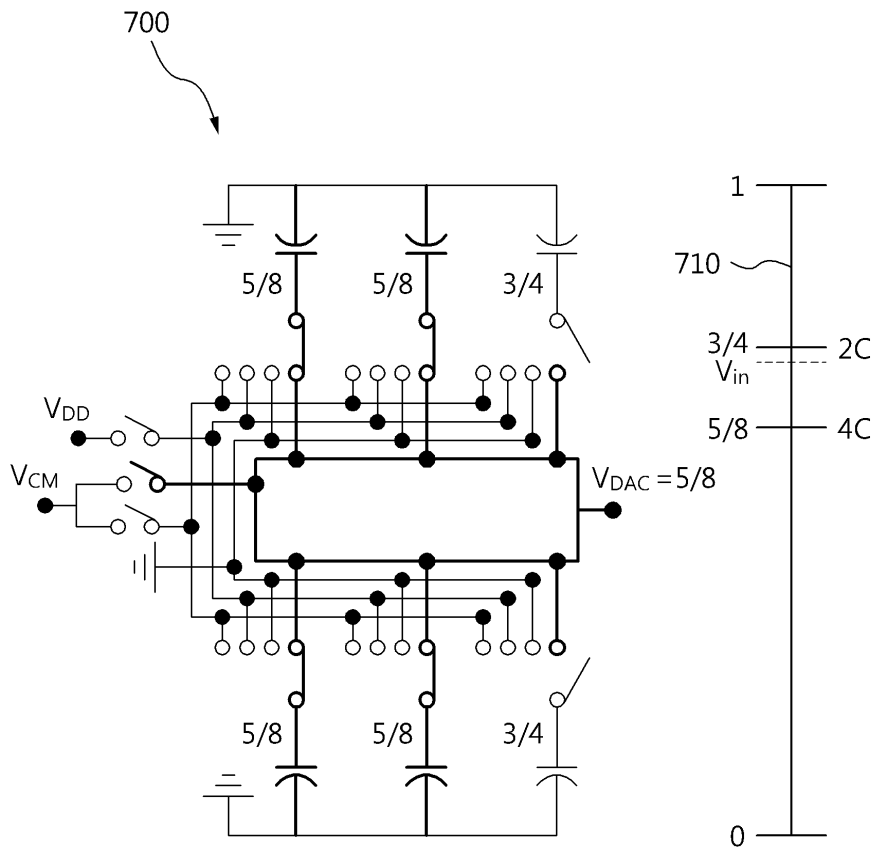
도면5



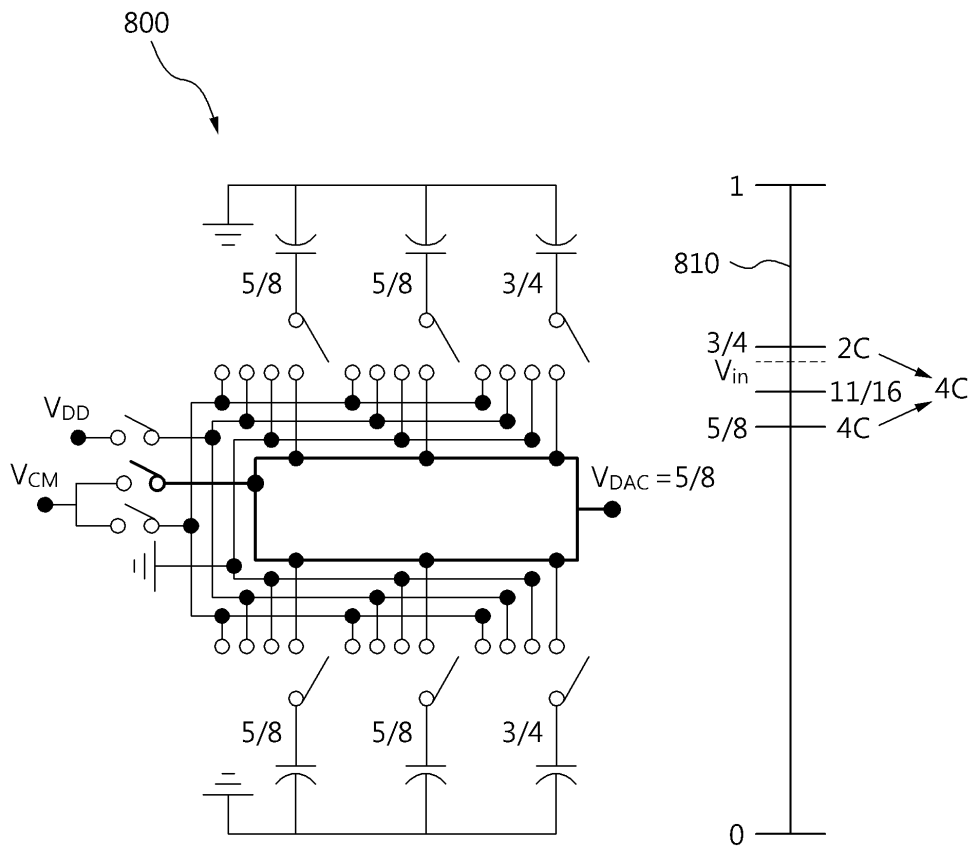
도면6



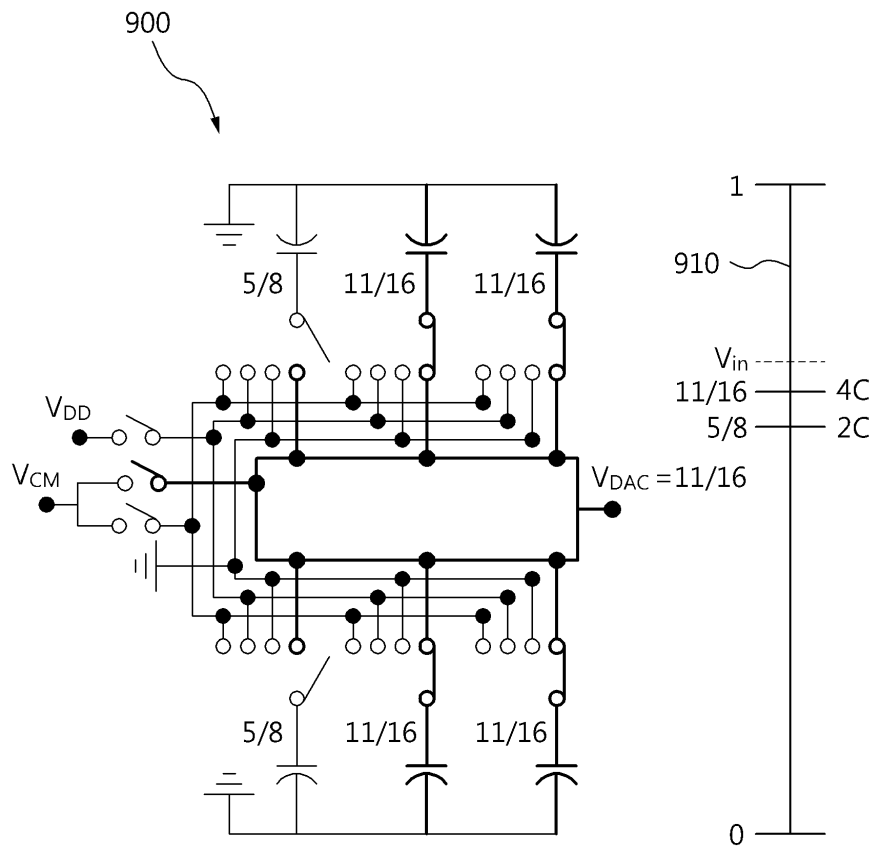
도면7



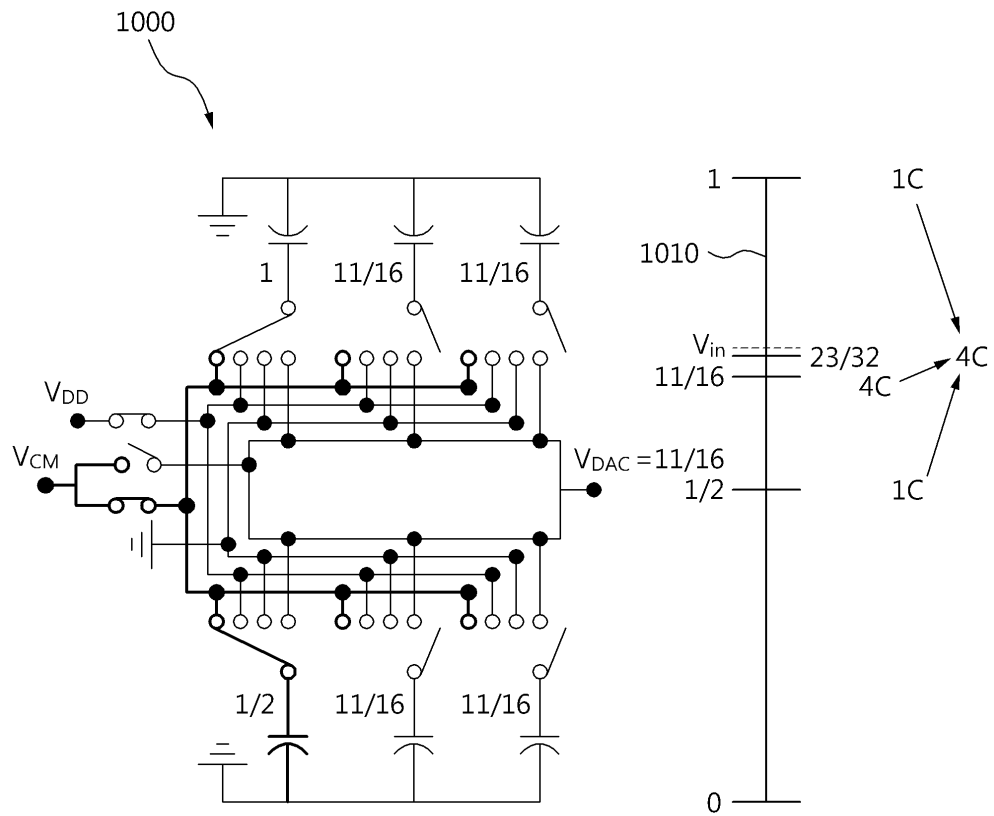
도면8



도면9



도면10



도면11

