(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3934173号
(P3934173)
(45)発行日　平成19年6月20日(2007.6.20)　(24)登録日　平成19年3月30日(2007.3.30)

(51)Int.Cl.　F I
H01L 29/786 (2006.01)　H01L 29/78 612B
G02F 1/133 (2006.01)　H01L 29/78 618C
G02F 1/1368 (2006.01)　H01L 29/78 618F
G02F 1/133 505
G02F 1/1368

請求項の数 4　(全 24 頁)

(21)出願番号　特願平8-101856
(22)出願日　平成8年4月1日(1996.4.1)
(65)公開番号　特開平9-270518
(43)公開日　平成9年10月14日(1997.10.14)
審査請求日　平成15年4月1日(2003.4.1)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　小山　潤
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　平形　吉晴
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　寺本　聡
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
最終頁に続く

(54)【発明の名称】表示装置

(57)【特許請求の範囲】
【請求項１】
アクティブマトリクス回路と周辺駆動回路とが同一基板上に形成された表示装置であって、
前記周辺駆動回路のバッファー回路に配置された薄膜トランジスタのみに、ＯＮ動作時におけるキャリアの移動経路がＯＦＦ動作時におけるキャリアの移動経路に比較して短くなるようにチャネル形成領域内にソース及びドレイン領域と同一導電型を有する領域が配置されていることを特徴とする表示装置。
【請求項２】
アクティブマトリクス回路と周辺駆動回路とが同一基板上に形成された表示装置であって、
前記周辺駆動回路のバッファー回路に配置された薄膜トランジスタのみに、ＯＮ動作時におけるキャリアの移動経路がＯＦＦ動作時におけるキャリアの移動経路に比較して短く、且つ前記ＯＮ動作時におけるキャリアの移動経路の幅が前記ＯＦＦ動作時におけるキャリアの移動経路の幅に比較して広くなるようにチャネル形成領域内にソース及びドレイン領域と同一導電型を有する領域が配置されていることを特徴とする表示装置。
【請求項３】
請求項１又は２において、前記アクティブマトリクス回路に配置された薄膜トランジスタは、ＬＤＤ領域又はオフセットゲイト領域を有することを特徴とする表示装置。
【請求項４】

請求項１又は２において、前記アクティブマトリクス回路に配置された薄膜トランジスタは、等価的に複数の薄膜トランジスタを直列に接続した構造であることを特徴とする表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本明細書で開示する発明は、アクティブマトリクス型の表示装置の構成に関する。代表的には、アクティブマトリクス型の液晶表示装置の構成に関する。

【０００２】

【従来の技術】

近年、フラットパネルディスプレイと呼ばれる表示装置が注目されている。フラットパネルディスプレイとは、液晶や発光材料、さらには蛍光材料を用いた厚さが数ｃｍ以下の薄型の表示装置の総称である。

【０００３】

例えば、液晶表示装置は一対のガラス基板間に液晶を挟んで保持した構造を有している。そして液晶に電界を加え、その光学特性を変化させることにより、液晶層を透過する光を変調する機能を有している。

【０００４】

フラットパネルディスプレイのさらに進んだ構造としてアクティブマトリクス型と称されるものが知られている。これは、マトリクス状に配置された各画素電極のそれぞれにスイッチング素子を配置した構成を有している。スイッチング素子としては、珪素薄膜を用いた薄膜トランジスタが一般には利用されている。

【０００５】

薄膜トランジスタを構成する珪素薄膜とは、非晶質珪素膜と結晶性珪素膜とに大別される。現状において実用化されているのは、非晶質珪素膜を用いたものである。

【０００６】

しかし、非晶質珪素膜を用いた薄膜トランジスタは、その動作速度が遅く、またＰチャネル型が実用にならないことから、周辺駆動回路を一体化することができないという問題がある。

【０００７】

これに対して、結晶性珪素膜を用いた場合には、高速動作可能なものが得られ、またＰチャネル型のものも得られる。よって、周辺駆動回路を薄膜トランジスタで構成することができる。そして周辺駆動回路をアクティブマトリクス回路と同一基板上に集積化することができる。

【０００８】

【発明が解決しようとする課題】

液晶表示装置においては、液晶に加える電圧が液晶材料によって決まるので、それに応じてアクティブマトリクス回路、およびアクティブマトリクス回路を駆動するための周辺駆動回路に必要とされる駆動電圧が決まる。

【０００９】

アクティブマトリクス型の液晶表示装置を必要する駆動電圧でもって動作させた場合、一般的に薄膜トランジスタでは耐圧が不足する。この耐圧の不足は、薄膜トランジスタの特性の劣化、回路動作の不良、さらにリーク電流の増加といった問題を引き起こす。一般にこれらの問題は、装置の信頼性の低下として認識される。

【００１０】

本明細書で開示する発明は、上記耐圧の問題を解決した周辺駆動回路一体型のアクティブマトリクス型の表示装置を提供することを課題とする。即ち、高い信頼性を有した周辺駆動回路一体型のアクティブマトリクス型の表示装置を提供することを課題とする。

【００１１】

【課題を解決するための手段】

本明細書で開示する発明は、同一基板上に形成されたアクティブマトリクス回路と周辺駆動回路とを集積化した構成において、各回路を構成する薄膜トランジスタを必要とする駆動電圧に耐えるものとする。また同時に各回路に必要とされる特性を備えた薄膜トランジスタを選択的に配置することを特徴とする。即ち、アクティブマトリクス回路と周辺駆動回路とにおいて、それぞれ異なる構造および異なる動作原理で動作する薄膜トランジスタを配置する。このような構成は、必要とする特性を要求する結果とて得られる。

【００１２】

上記の必要とする駆動電圧に耐える薄膜トランジスタ、換言すれば耐圧を高めた薄膜トランジスタとして、以下に示すような構成を採用する。

【００１３】

本明細書で開示する発明においては、高い耐圧と高速動作、さらに大ＯＮ電流特性が必要とされる周辺駆動回路のバッファー回路に以下に示すような構成上の特徴を有する素子を配置することを特徴とする。

【００１４】

この素子は、基本的に絶縁ゲイト型電界効果ランジスタの構成を有している。そして、ＯＮ動作時の電流経路とＯＦＦ動作時のリーク電流の経路とを異ならせた構造を有している。

【００１５】

即ち、ＯＮ動作時におけるキャリア（Ｎチャネル型であれば電子）の移動経路とＯＦＦ動作時のキャリア（Ｎチャネル型であればホール）の移動経路とを異ならせた構成を有している。

【００１６】

このような構成とすることにより、低ＯＦＦ電流特性、高耐圧、高信頼性を有した構成とすることができる。そして、高速動作させることができ、さらに大きなＯＮ電流値を流すことができる。

【００１７】

上記のような構成を実現するために、Ｎチャネル型の薄膜トランジスタであれば、実質的に真性または真性に近い導電型を有するチャネル形成領域内にＮ型の領域を配置する。（以下Ｎチャネル型を例として説明を加える）

【００１８】

一般にチャネル形成領域には、ＯＮ動作時においてＮ型層が形成される。従って、ＯＮ動作時においては、上記のＮ型の領域はチャネル形成領域を移動するキャリアの大きな障害とはならない。

【００１９】

一方、ゲイト電極に負の電圧が印加さえるＯＦＦ動作時（Ｎチャネル型の場合）においては、上記チャネル形成領域にはＰ型反転層が形成される。

【００２０】

しかし、前述のＮ型領域が存在する関係でこのＰ型半導体層はその通路幅が狭められたり、またその経路が曲がりくねった長いものとなる。勿論このようにするためには、前述のＮ型領域をこのＯＦＦ動作時のＰ型反転層でなる経路（ソースとドレインを結ぶ経路）の幅が狭くなるように、また長くなるように配置する必要がある。

【００２１】

このようにすることで、ＯＦＦ動作時にソース／ドレイン間を移動するキャリアの経路をＯＮ動作時のキャリアの移動経路（ソース／ドレイン間をつなぐ最短距離）に比較して長くすることができる。

【００２２】

そして、ＯＦＦ動作時におけるキャリアの移動を抑制し、耐圧を上げることができる。そして同時にＯＦＦ電流値を下げることができる。また、高い信頼性を得ることができる。

【００２３】

この素子の具体的な構成例を図１に示す。図１に示す構成は、ソース領域１０１およびド

レイン領域１０３の間において、ＯＮ電流の経路１１１とＯＦＦ電流の経路１０９とが異なっている構成を有している。

【００２４】

即ち、チャネル領域内にソース領域及びドレイン領域と同一導電型を有する領域１０４、１０６、１０７を配置することにより、ＯＦＦ動作時において、これらの領域によって、Ｐ型反転経路１０９が曲がりくねったものとなる。この経路１０９は、ソース領域とドレイン領域とを結ぶ距離（ＯＮ動作時のチャネル長）よりも長くなる。

【００２５】

またＯＦＦ動作時において、活性層１００の側面を経由して伝導するキャリアの経路を無くす構成とできることも耐圧や信頼性を向上させる上で重要となる。

【００２６】

活性層の側面には、パターニングの際に形成された高密度のトラップが存在しており、そこを経由してのキャリアの移動経路が形成されやすい。特にＯＦＦ動作時におけるＯＦＦ電流の原因は、この活性層の側面を経由したキャリアの移動によるものが大きい。また、この活性層の側面におけるキャリア移動経路は、不安定なもので装置の信頼性の低下を招く要因ともなる。

【００２７】

よって、ＯＦＦ動作におけるキャリアの移動経路を図１の１０９で示されるようなものとすることはＯＦＦ動作時の耐圧を高め、また高い信頼性を与えることに有用なものとなる。

【００２８】

また、図１に示す薄膜トランジスタは、ＯＮ動作時のキャリアの移動経路が短く（ＯＦＦ動作時に比較して）、またその幅が広いものとなるので、高速動作が可能でまた大電流を流すことができる特性を有している。

【００２９】

図２にアクティブマトリクス回路と周辺駆動回路とを同一ガラス基板上に集積化した構成例を示す。図２に示す構成においては、周辺駆動回路としてゲイトドライバー回路が示されている。また図３に図２に示す回路の詳細を示す。

【００３０】

なお、図示されていないソースドライバー回路は、図２に示すゲイトドライバー回路のバッファー回路の後にサンプリング回路が配置された構成となる。

【００３１】

図２に示すゲイトドライバー回路で特に高耐圧が要求されるのは、バッファー回路である。例えば、液晶電気光学装置においては、液晶を応答させるために所定の電圧が必要とされる。例えば、現状においては最低でもバッファー回路には１６Ｖ程度の耐圧が要求される。なおこの場合、シフトレジスタ回路は１２Ｖ程度の耐圧があればよいことが分かっている。

【００３２】

この場合、画素マトリクス回路に配置される薄膜トランジスタにもバッファー回路と同様な耐圧が要求される。しかし、画素に配置される薄膜トランジスタは、ＬＤＤ領域やオフセットゲイト領域を配置することで、その耐圧を高めることができる。また後述する等価的に複数の薄膜トランジスタが直列に接続された構成を採用することで、その耐圧を高めることができる。

【００３３】

一方、バッファー回路は高速動作が要求されるので、ＬＤＤ領域やオフセットゲイト領域を配置することによる耐圧の向上には限界がある。これは、ＬＤＤ領域やオフセットゲイト領域を配置すると、ソース／ドレイン間の抵抗が高くなり、高速動作には不利な構造となるからである。

【００３４】

またバッファー回路を構成する薄膜トランジスタは、大きなＯＮ電流を流す必要があり、

この観点からもソース／ドレイン間の抵抗を高くするＬＤＤ領域やオフセットゲイト領域を配置することは不利となる。

【００３５】

また、後述する複数の薄膜トランジスタを等価的に直列に接続した構成もソース／ドレイン間の距離が長くなるという意味で高速動作や大ＯＮ電流特性を得るには不利なものとなる。

【００３６】

そこで図１に示すような薄膜トランジスタをバッファー回路に配置する。こうすることで、バッファー回路に必要とされる高速動作と高ＯＮ電流特性、さらに高耐圧特性を得ることができる。特に動作や大きなＯＮ電流が流れるような動作を行わした場合の信頼性を高いものとすることができる。

【００３７】

本明細書で開示する発明は、アクティブマトリクス型の液晶表示装置のみではなく、アクティブマトリクス型を有するフラットパネルディスプレイに利用することができる。例えば、ＥＬ素子を用いたアクティブマトリクス型の液晶表示装置に利用することができる。

【００３８】

また直視型のフラットパネルディスプレイのではなく、ディスプテイで光学変調された像をスクリーンに投影する形式のプロジェクション型の表示装置に利用することができる。

【００３９】

本明細書で開示する発明の一つは、

アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、

前記アクティブマトリクス回路に配置された薄膜トランジスタと前記周辺駆動回路に配置された薄膜トランジスタとは本質的に動作原理が異なることを特徴とする。

【００４０】

上記構成の具体的な例を図１、図２、図１０を用いて説明する。図２には、周辺駆動回路一体型のアクティブマトリクス表示装置の一方の基板の概略の構成が示されている。

【００４１】

ここで周辺駆動回路２０４には、図１に示すような構成を有した薄膜トランジスタを配置する。また、周辺駆動回路のシフトレジスタ回路２０１には、図９（Ｂ）の左側の２つで示されるような薄膜トランジスタを配置する。また、アクティブマトリクス回路２０５には、図９（Ｂ）の右側に示されるような薄膜トランジスタを配置する。

【００４２】

ここで、図９に示される薄膜トランジスタは、本質的に同じ構造を有し、また同じ原理に基づいて動作する。しかし、図１に示す薄膜トランジスタは、それらとは異なる構造を有し、また異なる動作原理に基づいて動作する。

【００４３】

このような構成とするのは、それぞれの回路に必要とされる諸特性や特徴を満たすようにするためである。

【００４４】

他の発明は、

アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、

前記アクティブマトリクス回路に配置された薄膜トランジスタと前記周辺駆動回路に配置された薄膜トランジスタとは本質的に異なる構造を有していることを特徴とする。

【００４５】

ここでいう本質的に異なる構造の例としては、例えば、プレナー型とスタガー型、プレナー型と逆スタガー型、図１に示す構造と図９に示す構造とを挙げることができる。なお、ＬＤＤ領域の有無やその寸法の違い、また活性層の大きさの違い、電極の大きさの違い、ソース／ドレイン領域の抵抗や不純物濃度の違い、特性の違い（例えば活性層の大きさが異なると特性が異なるものとなる）、というような違いは、本質的に異なる構造とは見なされない。即ち、このような違いがあっても同じ構造と見なされる。

【００４６】
なお、一般に本質的に異なる動作原理に従う場合、当然その構造は本質的に異なるものとなる。
【００４７】
他の発明は、
アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、
前記周辺駆動回路には本質的に異なる構造を有する少なくとも２種類の薄膜トランジスタが配置されており、
前記２種類の薄膜トランジスタの一方はアクティブマトリクス回路に配置された薄膜トランジスタと本質的に同一の構造を有し、
前記２種類の薄膜トランジスタの他方はアクティブマトリクス回路に配置された薄膜トランジスタと本質的に異なる構造を有することを特徴とする。
【００４８】
他の発明は、
アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、
前記周辺駆動回路には本質的に異なる動作原理で動作する少なくとも２種類の薄膜トランジスタが配置されており、
前記２種類の薄膜トランジスタの一方はアクティブマトリクス回路に配置された薄膜トランジスタと本質的に同一の動作原理で動作し、
前記２種類の薄膜トランジスタの他方はアクティブマトリクス回路に配置された薄膜トランジスタと本質的に異なる動作原理で動作することを特徴とする。
【００４９】
他の発明の構成は、
アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、
前記アクティブマトリクス回路に配置された薄膜トランジスタと前記周辺駆動回路に配置された薄膜トランジスタとは本質的に異なる断面構造を有していることを特徴とする。
【００５０】
他の発明の構成は、
アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、
前記アクティブマトリクス回路に配置された薄膜トランジスタと前記周辺駆動回路に配置された薄膜トランジスタとは異なる構造を有し、
前記周辺駆動回路に配置された薄膜トランジスタはＯＮ電流の経路とＯＦＦ電流の経路とが異なる構造を有していることを特徴とする。
【００５１】
他の発明の構成は、
アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、
前記アクティブマトリクス回路に配置された薄膜トランジスタと前記周辺駆動回路に配置された薄膜トランジスタとは異なる構造を有し、
前記周辺駆動回路に配置された薄膜トランジスタはチャネル形成領域中にソース及びドレイン領域と同じ導電型を有する領域が複数配置されていることを特徴とする。
【００５２】
【発明の実施の形態】
図２に示すような周辺駆動回路一体型のアクティブマトリクス型の液晶表示装置において、特にバッファー回路２０４に図１に示すような構造を有する薄膜トランジスタを配置する。そしてアクティブマトリクス領域２０５には、ＬＤＤ領域を配置した薄膜トランジスタや図１３に示す等価的に複数の薄膜トランジスタが直列に接続された薄膜トランジスタを配置する。
【００５３】
このように周辺駆動回路とアクティブマトリクス回路とに本質的に異なる構造、異なる動作原理を有する薄膜トタンジスタを選択的に配置する。このようにすることで、各回路に

必要とされる耐圧や特性に見合った回路構成とすることができる。そして、高い性能を有し、また信頼性の高いアクティブマトリクス型の表示装置を得ることができる。

【００５４】

【実施例】

〔実施例１〕

本実施例は、アクティブマトリクス型を有する液晶表示装置に本明細書で開示する発明を利用する例を示す。図２に示すのは、アクティブマトリクス回路（画素マトリクス回路）とアクティブマトリクス回路を駆動するための周辺駆動回路の概略が示されている。

【００５５】

図２に示す構成においては、シフトレジスタ回路２０１、ＮＡＮＤ回路２０２、レベルシフタ２０４でもって周辺駆動回路であるゲイトドライバー回路が構成されている。しかしこの構成のみをもって周辺駆動回路が構成されるとは限らない。例えば所定の演算機能を有した回路や所定の機能を有した集積回路が必要に応じて配置される。なお本明細書でいう周辺駆動回路には、薄膜集積回路に加えて、外付けの集積回路（ＩＣチップ）を配置したような構成も含まれる。

【００５６】

なお図２には示されていないが、ソースドライバー回路は、ゲイトドライバー回路のバッファー回路の後にサンプリング回路を配置した構造を有している。

【００５７】

本明細書に開示する発明は、特にバッファー回路に図１に示すような構成を有する薄膜トランジスタを配置することを特徴とする。

【００５８】

図１に示すような薄膜トランジスタは、占有面積が大きくなるという欠点がある。これは、不純物領域１０４～１０７のような複雑なパターンを形成する必要があるので、マスク合わせのマージン等を考慮すると、全体を小型化することが困難であるからである。

【００５９】

液晶表示装置においては、光が透過する必要のあるアクティブマトリクス領域の開口率を極力大きくすることが要求される。

【００６０】

従って、占有面積の大きい図１に示すような構成を有する薄膜トランジスタをアクティブマトリクス領域に配置することは開口率の確保という観点からは不利なものとなる。

【００６１】

そこで、本実施例に示す構成では、耐圧が最も求められる周辺駆動回路のバッファー回路（図２の２０４）を図１に示すような構成を有する薄膜トランジスタで構成する。バッファー回路は図１に示す構成を有するＮチャネル型の薄膜トランジスタと同様な構成を有するＰチャネル型の薄膜トランジスタとで構成される相補型の回路が基本となって構成される。

【００６２】

以下に図１に示す薄膜トランジスタについて説明する。ここでは、Ｎチャネル型の薄膜トランジスタの構成について説明する。

【００６３】

図１（Ａ）に薄膜トランジスタを上面から見た概略を示す。図１（Ａ）に示す構成において、１０１がソース領域、１０２がチャネル形成領域、１０３がドレイン領域である。そして、この３つの領域を主要な構成要素として薄膜トランジスタの活性層１００が構成されている。

【００６４】

なお、チャネル形成領域１０２は、その内部の少なくとも一部にチャネルとなる通路（ソース領域とドレイン領域とを結ぶ通路）が形成される領域として定義される。

【００６５】

ソース領域１０１とドレイン領域１０３とはＮ型を有している。また、チャネル形成領域

１０２には実質的に真性な導電型（Ｉ型）を有している領域１０５が形成されている。この１０５で示される領域がＯＦＦ動作時にキャリアが移動する経路となる。

【００６６】

なお、ＴＦＴのしきい値特性を制御するために１０５で示される領域を弱いＰ型（一般にＰ⁻型とかＰ⁻⁻型とか表記される）とすることも有効である。

【００６７】

１０４、１０６、１０７で示されるのがチャネル形成領域１０２内に形成されたＮ型の領域である。また１０８で示されるのがゲイト電極である。図１に示す構成においては、活性層１００を覆って図示しないゲイト絶縁膜が形成され、その上にゲイト電極１０８が配置されている構成となっている。

【００６８】

ＯＮ動作時においては、ゲイト電極１０８に加えられる正の電圧により、静電誘導効果に従ってチャネルとなる１０５の領域はＮ型化する。この状態においては、１０４、１０６、１０７で示されるＮ型領域はチャネル形成領域内においてチャネルと一体となる。

【００６９】

従って、チャネル形成領域１０２の全体がキャリアの移動経路となる状態が実現される。即ち、ＯＮ電流の担体となるキャリアの移動は、１０２で示されるチャネル形成領域の全体において行われる。

【００７０】

このようにＯＮ電流の担体である電子は、ソース領域１０１からドレイン領域１０３へとチャネル形成領域１０２を最短距離でもって、またチャネル形成領域の全体を利用して移動する。

【００７１】

ゲイト電極１０８に負の電圧が印加されるＯＦＦ動作時においては、１０５で示される真性な領域の導電型がＰ型に反転する。しかし、Ｎ型領域１０４、１０６、１０７の領域の導電型は反転せずＮ型のままである。

【００７２】

ＯＦＦ電流（リーク電流）は、ドレイン領域１０３からチャネル形成領域１０２へとキャリア（この場合はホール）がトラップ準位や不純物準位を経由してＰＮ接合の障壁を乗り越えて移動することによって生じる。

【００７３】

しかし図１に示す構成においては、ドレイン領域１０３からソース領域１０１の方向へと移動するキャリア（ホール）の移動経路であるＰ型反転層は、１０５で示されるように細く曲がりくねったものとなっている。

【００７４】

よって結果的にＯＦＦ動作時において、ドレイン領域１０３からソース領域１０１へのキャリアの移動は大きく抑制されることになる。そして、その結果としてＯＦＦ電流値は大きく抑制される。また逆方向耐圧を高くすることができる。また、高い信頼性を得ることができる。

【００７５】

以上説明したように図１（Ａ）に示す構成においては、ＯＦＦ動作時においてチャネル形成領域１０２内に障壁となるＮ型領域１０４、１０６、１０７が配置され、そのことによりＯＦＦ動作時のキャリアの移動経路が制限される。そしてそのことにより、ＯＦＦ電流を低減させ、また耐圧を高めることができる。

【００７６】

また、ＯＮ動作時はＮ型となるチャネル形成領域１０５内において、Ｎ型の領域１０４、１０６、１０７は大きな障壁とならない。従って、ＯＮ動作時のキャリアの移動が阻害されず、大電流を流すことができる。また高速動作を行わすことができる。

【００７７】

このようなＴＦＴの動作の状態を図４を用いて説明する。図４においてＶｇはゲイト電圧

（Ｖｇ＞０）、Ｅｃは伝導帯、Ｅｖは価電子帯、Ｅｆはフェルミレベルを表している。
【００７８】
まず、Ｎチャネル型ＴＦＴがオン状態（ゲイトに正電圧が印加された状態）の時を考える。
【００７９】
この場合、１０５で示される領域は図４（Ｃ）のようなバンド状態となっている。即ち、電子が半導体表面に蓄積され電子が移動し易い状態となっている。
【００８０】
この時、１０４、１０６、１０７の領域においては図４（Ｄ）のようなバンド状態となっている。図４（Ｄ）の状態においては、元々フェルミレベルＥｆは伝導帯Ｅｃの近くに押し上げられているため、伝導体には多数の電子が常に存在している。
【００８１】
従って、ゲイトに正電圧を印加した場合、１０５の領域と同様、１０４、１０６、１０７の領域も電子が移動し易いバンド状態となっている。そして、それらの領域間におけるポテンシャルバリアも大きなものとはならない。従って、多数キャリアである電子がソース領域１０１からドレイン領域１０３へと移動する。即ち、１１１で示される経路を電子が移動する。
【００８２】
次にＮチャネル型ＴＦＴがＯＦＦ状態（ゲイトに負電圧が印加された状態）の場合を考える。この時、ＯＮ動作時にチャネルとなる領域１０５においては図４（Ａ）のようなバンド状態となっている。即ち、ホールが半導体表面（ゲイト絶縁膜との界面）に集まり、電子が払われた状態にある。このため、ソース／ドレイン間の電子の移動は極めて少ないものとなる。
【００８３】
一方、１０４、１０６、１０７で示されるＮ型領域は、フェルミレベルＥｆが伝導帯Ｅｃの近くへと押し上げられている。この状態では、ホールは少数キャリアであり、半導体表面の表面に集まらない。よって上記のＯＦＦ動作時において、上記Ｎ型領域は図４（Ｂ）に示すように、エネルギーバンドが僅かにしか曲がらない状態となる。即ち、ＯＦＦ動作時において１０４、１０６、１０７で示されるＮ型領域は、そのままＮ型を維持する。
【００８４】
ＯＦＦ動作時においては、図４（Ａ）と図４（Ｂ）を比較すれば判るようにＥｖ及びＥｃの値が異なる。この差がポテンシャルバリアとなる。このポテンシャルバリアが存在するためにホールにしろ電子にしろソース／ドレイン間を最短距離で移動することは阻害される。
【００８５】
図４（Ａ）に示されるようにＯＦＦ動作時にＰ型反転層が形成される１０５の領域においては、多数キャリアはホールとなる。しかし、上述のポテンシャルバリアが存在するので、この多数キャリアが移動するのは、１０９で示される曲がりくねった経路となる。
【００８６】
以上の様に、ＯＮ状態では１１１で示される経路がキャリアの移動経路となり、ＯＦＦ状態では１０９で示される経路がキャリアの移動経路となる。
【００８７】
ここでは、Ｎチャネル型の薄膜トランジスタの場合の例を示した。Ｐチャネル型の薄膜トランジスタの場合は、基本的にＮ型であった領域をＰ型に変更すればよい。
【００８８】
図５以下に図２のシフトレジスタ回路を構成するＣＭＯＳ構成の薄膜トランジスタ回路と、アクティブマトリクス回路の各画素に配置されるＮチャネル型の薄膜トランジスタとを同一ガラス基板上に形成する工程を示す。なお、図５に示す薄膜トランジスタは、その配置位置が異なるもの、その形状や動作原理は本質的に同じである。
【００８９】

図において、左側にＣＭＯＳ回路の作製工程を示す。また右側にアクティブマトリクス回路に配置されるＮチャネル型の薄膜トランジスタの作製工程を示す。

【００９０】

なお以下に示す作製工程における数値や条件は、１例を示すものである。即ち、必要に応じて変更あるいは最適化が可能なものであり、記載された値のみに限定されるものではない。

【００９１】

まず、ガラス基板（または石英基板）５０１上に下地膜５０２として酸化珪素膜を３０００Åの厚さに成膜する。成膜方法は、スパッタ法を用いる。

【００９２】

次に下地膜５０２上に非晶質珪素膜５０３を１０００Åの厚さにプラズマＣＶＤ法で成膜する。成膜方法は、減圧熱ＣＶＤ法で用いるのでもよい。こうして図５（Ａ）に示す状態を得る。

【００９３】

次に加熱処理を施すことにより、非晶質珪素膜１０３を結晶化させる。結晶化の方法は、レーザー光の照射やランプアニール、さらにそれらの方法と加熱処理を併用した方法を利用するのでもよい。

【００９４】

非晶質珪素膜５０３を結晶化させたら、パターニングを施すことにより、５０４、５０５、５０６で示される島状の領域を形成する。（図５（Ｂ））

【００９５】

図５（Ｂ）において、５０４は後にＣＭＯＳ回路を構成するＰチャネル型の薄膜トランジスタの活性層となる。５０５は後にＣＭＯＳ回路を構成するＮチャネル型の薄膜トランジスタの活性層となる。５０６は後に画素マトリクス回路に配置されるＮチャネル型の薄膜トランジスタの活性層となる。

【００９６】

こうして図５（Ｂ）に示す状態を得る。次にゲイト電極を構成するためのアルミニウム膜５０７を５０００Åの厚さにスパッタ法によって成膜する。このアルミニウム膜５０７中には、後にアルミニウムの異常成長に起因するヒロックやウィスカーの発生を抑制するためにスカンジウム（またはイットリウム）を0.1 ～0.2 重量％含有させる。（図５（Ｃ））

【００９７】

ヒロックやウィスカーというのは、加熱に従うアルミニウムの異常成長による針状あるいは刺状の突起物のことである。

【００９８】

アルミニウム膜５０７を成膜したら、緻密な膜質を有する陽極酸化膜５０８を形成する。この緻密な膜質を有する陽極酸化膜５０８の形成は、電解溶液として３％の酒石酸を含んだエチレングルコール溶液を用いて行う。

【００９９】

即ち、この電解溶液中において、アルミニウム膜５０７を陽極、白金を陰極として陽極酸化電流を流すことによって形成される。ここでは、印加電圧を制御して、陽極酸化膜５０８の膜厚を１００Å程度とする。

【０１００】

この陽極酸化膜は、後の工程において配置されるレジストマスクの密着性を向上させるために機能する。

【０１０１】

こうして図５（Ｃ）に示す状態を得る。次に図６（Ａ）に示すようにレジストマスク５１５、５１６、５１７を配置し、アルミニウム膜５０７（図５（Ｃ）参照）のパターニングを行う。この際、陽極酸化膜５０８（図５（Ｃ）参照）の膜厚が厚いとアルミニウム膜５０７のパターニングが困難になるので注意が必要である。

【０１０２】
図６（Ａ）において、５０９、５１１、５１３がそれぞれゲイト電極の原型となる（基となる）アルミニウムパターンである。また、５１０、５１２、５１４がアルミニウムパターン上に残存する緻密な膜質を有する陽極酸化膜である。
【０１０３】
図６（Ａ）に示す状態を得たら、再び陽極酸化を行う。ここでは、５１８、５１９、５２０で示される多孔質状を有する陽極酸化膜を形成する。（図６（Ｂ））
【０１０４】
この工程は、電解溶液として３％のシュウ酸を含んだ水溶液を用いる。そしてこの電解溶液中において、５０９、５１１、５１３で示されるアルンニウムパターンを陽極、また白金を陰極として陽極酸化を行う。
【０１０５】
この工程においては、レジストマスク５１５、５１６、５１７、さらに緻密な陽極酸化膜５１０、５１２、５１４が存在するために、アルミニウムパターン５０９、５１１、５１３の側面において陽極酸化が進行する。
【０１０６】
従って、図２（Ｂ）の５１８、５１９、５２０で示される部分が多孔質状の陽極酸化膜として形成される。この多孔質状の陽極酸化膜は、陽極酸化時間によって制御することができる。
【０１０７】
ここでは、この多孔質状の陽極酸化膜５１８、５１９、５２０を５０００Åの厚さに形成する。この多孔質状の陽極酸化膜は、後に低濃度不純物領域（ＬＤＤ領域）を形成する際に利用される。
【０１０８】
図６（Ｂ）に示す状態を得たら、レジストマスク５１５、５１６、５１７を専用の剥離液で除去する。そして再度、緻密な膜質を有する陽極酸化膜を形成する条件で陽極酸化を行う。
【０１０９】
この結果、５１、５２、５３で示される緻密な膜質を有する陽極酸化膜が形成される。ここでは、先に形成された陽極酸化膜５１０、５１２、５１４と一体化した状態で５１、５２、５３で示される陽極酸化膜が形成される。（図６（Ｃ））
【０１１０】
この工程においては、多孔質状の陽極酸化膜５１８～５２０の内部に電解溶液が侵入するので、図６（Ｃ）の５１、５２、５３で示されるような状態で緻密な膜質を有する陽極酸化膜が形成される。
【０１１１】
なお、緻密な膜質を有する陽極酸化膜５１、５２、５３の膜厚は、１０００Åとする。この陽極酸化膜は、ゲイト電極（およびそこから延在したゲイト配線）の表面を電気的および機械的に保護する機能を有している。具体的には、電気的絶縁性の向上、及びヒロックやウィスカーの発生を抑制する機能を有している。
【０１１２】
図６（Ｃ）に示す工程において、Ｐチャネル型の薄膜トランジスタのゲイト電極５２１、さらにＮチャネル型の薄膜トランジスタのゲイト電極５２２、５２３が画定する。
【０１１３】
図６（Ｃ）に示す状態を得たら、Ｐ（リン）イオンの注入を行う。この工程では、ソース及びドレイン領域を形成するためのドーズ量でもってＰイオンの注入を行う。Ｐイオンの注入は公知のプラズマドーピング法でもって行う。（図７（Ａ））
【０１１４】
この工程において、５２４、５２６、５２７、５２９、５３０、５３２の各領域に比較的高濃度にＰイオンが注入される。この工程におけるドーズ量は、1×10^{15}／cm^2 とす

る。またイオンの加速電圧は８０ｋＶとする。

【０１１５】

図７（Ａ）に示すＰイオンの注入工程において、５２５、５２８、５３１の各領域には、Ｐイオンは注入されない。従って、そのまま真性または実質的に真性な状態が維持される。

【０１１６】

図７（Ａ）に示すＰイオンの注入が終了したら、燐酸と酢酸と硝酸とを混合した混酸を用いて多孔質状の陽極酸化膜５１８、５１９、５２０を除去する。

【０１１７】

そして図７（Ｂ）に示すように再度Ｐイオンの注入を行う。この工程では、図７（Ａ）の工程におけるドーズ量よりも低いドーズ量でもってＰイオンの注入を行う。ここでは、ドーズ量を0.5 ～１×１０^{14}／ｃｍ^{2} とする。またイオンの加速電圧を７０ｋＶとする。

【０１１８】

この工程の結果、５３３、５３５、５３６、５３８、５５９、５４１で示される各領域がＮ$^{-}$ 型（弱いＮ型）領域となる。即ち、５２４、５２６、５２７、５２９、５３０、５３２の各領域よりも低い濃度でＰイオンが添加された低濃度不純物領域となる。（図７（Ｂ））

【０１１９】

そして、ゲイト電極直下の５３４、５３７、５４０の各領域がチャネル形成領域として画定する。

【０１２０】

なお、厳密にいうならば、図６（Ｃ）の工程で形成した緻密な膜質を有する陽極酸化膜５１、５２、５３の膜厚でもって、チャネル形成領域の両側にフセットゲイト領域が形成される。しかし、本実施例においては、陽極酸化膜５１、５２、５３の膜厚が１０００Å程度であるので、図中においては、オフセットゲイト領域の記載は省略してある。

【０１２１】

図７（Ｂ）に示す不純物イオンの注入が終了したら、図８（Ａ）に示すようにレジストマスク５４２を配置し、今度はＢ（ボロン）イオンの注入を行う。

【０１２２】

このＢイオンの注入によって、５４３、５４４、５４５、５４６の各領域は、Ｎ型からＰ型へと導電型が反転する。ここでは、Ｂイオンのドーズ量を２×１０^{15}／ｃｍ^{2} とする。またその加速電圧を６０ｋＶとする。

【０１２３】

図４（Ａ）に示すＢイオンの注入終了後、レジストマスク５４２を除去する。そして、全体にＫｒＦエキシマレーザーを照射して、不純物イオンが注入された領域のアニールと注入された不純物イオンの活性化とを行う。

【０１２４】

こうして、ＣＭＯＳ回路を構成するＰ及びＮチャネル型の薄膜トランジスタとアクティブマトリクス領域に配置されるＮチャネル型の薄膜トランジスタとを同時に形成する。

【０１２５】

そして図９（Ａ）に示すように層間絶縁膜５５１を成膜する。層間絶縁膜５５１は、酸化珪素膜で構成する。酸化珪素膜以外には、窒化珪素膜と酸化珪素膜の積層膜、酸化珪素膜や窒化珪素膜と樹脂膜との積層膜を利用することができる。

【０１２６】

層間絶縁膜５５１を成膜したら、コンタクトホールの形成を行う。そして、Ｐチャネル型の薄膜トランジスタのソース電極５５２とドレイン電極５５３、さらにＮチャネル型の薄膜トランジスタのドレイン電極５５３とソース電極５５４を形成する。

【０１２７】

こうして、Ｐチャネル型の薄膜トランジスタとＮチャネル型の薄膜トランジスタを相補型に構成したＣＭＯＳ回路が完成する。さらに同時にソース電極５５５（一般にマトリクス

状に配置された画像信号線（ソース配線）から延在して設けられる）とドレイン電極５５６を形成し、画素マトリクス部のＮチャネル型の薄膜トランジスタを完成させる。

【０１２８】

図９（Ａ）に状態を得たら、第２の層間絶縁膜５５７を成膜する。そしてコンタクトホールの形成を行い、ＩＴＯでなる画素電極５５８を形成する。

【０１２９】

そして、３５０℃の水素雰囲気中において１時間の加熱処理を行い、活性層中の欠陥の修復を行う。こうして、アクティブマトリクス回路（画素マトリクス回路）と周辺駆動回路の一部とを同時に配置した構成を得る。

【０１３０】

〔実施例２〕

本実施例は、図１に示す構造とは異なる薄膜トランジスタに関する。図１０（Ａ）に示すのが上面から見た本実施例の薄膜トランジスタの概略である。本実施例では、Ｎチャネル型の薄膜トランジスタの例を示す。

【０１３１】

なお図１０（Ｂ）に示すのは、図１０（Ａ）にその上面概略図を示す薄膜トランジスタの動作状態を示す模式図である。

【０１３２】

図１０（Ａ）において、１００１が薄膜トランジスタの活性層を構成する島状の珪素薄膜でなる半導体層である。１００２はＮ型を有する領域であり、ソース領域として機能する領域である。

【０１３３】

１００３はゲイト電極１００６の下部に存在する活性層の領域でチャネル形成領域となる領域である。チャネル形成領域１００３内にはＮ型を有する領域１００５が形成されている。チャネル形成領域の１００５で示される領域以外の領域は、真性または実質的に真性な導電型を有している。

【０１３４】

１００５で示される領域は、ＯＮ動作時においてＮ型となるチャネルと一体化する。またこの領域は、ＯＦＦ動作時において反転Ｐ型層となるチャネル形成領域１００３中においてＯＦＦ電流の原因となるキャリアの移動を阻害する障壁となる。

【０１３５】

１００４で示されるのがＮ型を有するドレイン領域である。また１００７で示されるのが、チャネル形成領域１００３とドレイン領域１００４との間に配置されたＬＤＤ（ライトドープドレイン）領域である。このＬＤＤ領域１００７は、ドレイン領域１００４よりも低濃度にＮ型を付与する不純物を含んでいる。

【０１３６】

このＬＤＤ領域１００７は、ＯＦＦ動作時において、チャネル形成領域１００３とドレイン領域１００４との間に形成される強電界を緩和し、ドレイン領域からチャネル形成領域へのキャリアの移動を抑制する機能を有している。

【０１３７】

図１０（Ａ）に示す構成の動作状態を以下に示す。図１０（Ｂ）に示すのは、本実施例で示す薄膜トランジスタのＯＮ動作時とＯＦＦ動作時とにおけるキャリアの移動の状態（経路）を示す模式図である。

【０１３８】

図１０の１００８で示すのは、薄膜トランジスタのＯＮ動作時においてキャリアが移動する経路である。ＯＮ動作時においては、ゲイト電極１００６に正の電圧が加わり、チャネル形成領域１００３はＮ型となる。この時、Ｎ型領域１００５はチャネル形成領域１００３と実質的に一体化してしまうので、ソース領域１００２からドレイン領域１００４へと１００８で示す経路を通ってキャリア（電子）は移動する。即ち、ＯＮ動作時においては、キャリアの移動はソース／ドレイン間を最短距離で、しかもチャネル形成領域１０３全

体において移動する。
【０１３９】
一方で、ＯＦＦ動作時においてはゲイト電極１００６には負の電圧が印加される。そして、チャネル形成領域１００３中の１００５で示される領域以外の領域の表面はＰ型に反転する。この時、１００５で示す領域はＮ型のまま残存する。
【０１４０】
このＯＦＦ動作時においては、Ｎ型の領域１００５が障壁となるので、ドレイン領域１００４からソース領域１００２へと移動するキャリア（ホール）の移動は１００９や１０１０で示される経路が大部分となる。
【０１４１】
しかし、１００９や１０１０で示される経路はＯＮ動作時におけるキャリアの移動経路１００８に比較して長く、またその幅が狭い。
【０１４２】
即ち、ＯＮ電流の経路は短くかつその幅が広く、ＯＦＦ電流の経路は長くかつその幅が狭い状態となる。
【０１４３】
このようにすることにより、相対的に大きなＯＮ電流値と小さなＯＦＦ電流値とを有する構成を実現することができる。そして高い耐圧を有したものとすることができる。また、高速動作が可能で高い信頼性を有したものとすることができる。
【０１４４】
〔実施例３〕
本実施例は、図１に示す薄膜トランジスタの作製工程を示す。図１１に図１に示す薄膜トランジスタの作製工程を示す。図１１において図１と同じ符号は、図１と同じ箇所を示す。図１１に示すのは、図１のＡ－Ａ’で切った断面部分の作製工程である。
【０１４５】
まず、ガラス基板１１０１上に下地膜として酸化珪素膜を３０００Åの厚さにスパッタ法を用いて成膜する。そして結晶性珪素膜でなる活性層１００を形成する。ここでは活性層の厚さは１０００Åとする。こうして図１１（Ａ）に示す状態を得る。
【０１４６】
次にゲイト絶縁膜として機能する酸化珪素膜１１０４をプラズマＣＶＤ法でもって成膜する。酸化珪素膜１１０４の厚さは１０００Åとする。
【０１４７】
次にレジストマスク１１０３を配置する。このレジストマスク１１０３は、図１の１０５で示される斜線部分のパターンを有している。こうして図１１（Ｂ）に示す状態を得る。
【０１４８】
次にＰイオンの注入を行う。この工程において、１０１、１０４、１０６、１０７、１０３で示される領域がＮ型化する。ここで、１０１はソース領域、１０３はドレイン領域、１０４、１０６、１０７はＮ型領域となる。こうして図１１（Ｃ）に示す状態を得る。
【０１４９】
次にゲイト電極１０８を形成する。ゲイト電極はアルミニウムでもって形成する。なお、図示されていないが、アルミニウムでなるゲイト電極１０８の表面には陽極酸化膜を形成する。こうして図１１（Ｄ）に示す状態を得る。
【０１５０】
ゲイト電極はアルミニウム以外に各種金属材料やシリサイド材料を利用して構成することもできる。
【０１５１】
次に層間絶縁膜として酸化珪素膜１１０５を５０００Åの厚さにプラズマＣＶＤ法でもって成膜する。
【０１５２】
そしてコンタクトホールの形成を行い、ソース電極１１０６とドレイン電極１１０７を形

成する。さらに３５０℃の水素雰囲気中において１時間の加熱処理を行うことにより、図１１（Ｅ）に示す薄膜トランジスタを完成させる。

【０１５３】

〔実施例４〕

本実施例を図１２を用いて説明する。本実施例に示す薄膜トランジスタは、ゲイト電極の位置が基板側にあるボトムゲイト型のものである。本実施例の半導体装置の主要な作製工程は下記の通りである。

【０１５４】

▲１▼ゲイト電極・配線、ゲイト絶縁膜、半導体活性層（薄膜半導体）の形成

▲２▼ドーピングマスクの形成

▲３▼ドーピングおよびドーピングされた不純物の活性化

▲４▼層間絶縁物の成膜

▲５▼ソース、ドレイン領域へのコンタクトホールの形成

▲６▼上層の導電性材料（金属等）を用いた配線の形成

【０１５５】

本実施例では、特開平５－２７５４５２、もしくは、同７－９９３１７公報に記載されるように、ボトムゲイト型の薄膜トランジスタを得るために、自己整合的なドーピングマスクの形成、薄膜半導体へのイオンドーピングと活性化を実施する。本実施例の詳細な条件、被膜の厚さ等は上記公報を参考にするとよい。

【０１５６】

まず工程▲１▼を図１２（Ａ）を用いて説明する。まず、ガラス基板４００上にゲイト電極４０９を形成する。ガラス基板は裏面露光技術を使用するため、露光に用いる光を透過することが要求される。

【０１５７】

ゲイト電極は各種金属材料やシリサイド材料を用いて形成する。ゲイト電極４０９上にはゲイト絶縁膜として機能する酸化珪素膜４１９をプラズマＣＶＤ法でもって成膜する。

【０１５８】

さらにゲイト絶縁膜４１９上には、図示しない非晶質のシリコン膜を減圧熱ＣＶＤ法でもって成膜する。この非晶質珪素膜は、レーザーアニール法によって結晶化させ結晶性珪素膜とする。さらにこれをパターニングすることにより、結晶性珪素膜でなる活性層４０８を形成する。

【０１５９】

次に工程▲２▼を説明する。この工程は裏面露光技術を用いる。すなわち、窒化珪素の被膜を堆積し、その上にフォトレジストを塗布した後、裏面より光を照射して、フォトレジストの露光をおこなう。そして、これによって窒化珪素膜のエッチングをおこない、ドーピングマスク４６５を得る。ドーピングマスク４６５は図では別々になっているように見えるが、裏面露光技術を採用したためゲイト電極４０９と同様、全てつながっている。（図１２（Ｂ））

【０１６０】

次に工程▲３▼を説明する。この工程は、公知の不純物ドーピング法を用いておこなう。ここではＰ（リン）イオンの注入を行う。

【０１６１】

この結果、ソース領域４０１、ドレイン領域４０２、Ｎ型領域４０３～４０５が自己整合的に形成される。（図１２（Ｂ））

【０１６２】

さらに、ドーピングによって薄膜半導体中に導入された不純物は、ランプアニールによって活性化される。

【０１６３】

次に工程▲４▼を図１２（Ｃ）を用いて説明する。この工程では、公知の絶縁被膜成膜技術によって、層間絶縁物として機能する酸化珪素被膜４５６を成膜する。（図１２（Ｃ）

）
【０１６４】
次に工程▲５▼を図１２（Ｄ）を用いて説明する。この工程は公知のコンタクトホール形成技術を用いておこなう。層間絶縁物４５６をエッチングして、ソース領域４０１およびドレイン領域４０２へのコンタクトホール４５７、４５８を形成する。（図１２（Ｄ））
【０１６５】
次に工程▲６▼を図１２（Ｅ）を用いて説明する。この工程は公知の金属被膜成膜技術およびエッチング技術を用いて行う。この工程の結果、ソース電極・配線４１０、ドレイン電極・配線４１２が形成される。さらに３５０℃の水素雰囲気中での加熱処理を行うことにより、図１２（Ｅ）に示す薄膜トランジスタを完成させる。
【０１６６】
〔実施例５〕
本実施例は、アクティブマトリクス領域にＯＦＦ電流値を軽減した薄膜トランジスタを配置した構成に関する。この薄膜トランジスタは、等価的に複数の薄膜トランジスタを直列に接続した構成を有している。
【０１６７】
ここで示す薄膜トランジスタは、以下に示すような構成を有している。
即ち、マトリクス状に配置された画像信号線（ソース線）およびゲイト信号線）と、
前記画像信号線およびゲイト信号線で囲まれた領域に配置された画素電極と、
を有し、
前記画素電極に隣接して同一導電型のｎ個の薄膜トランジスタが直列に接続されて配置されており、
前記複数の薄膜トランジスタのｎ＝１番目の薄膜トランジスタのソースまたはドレイン領域は前記画像信号線に接続されており、
前記複数の薄膜トランジスタのｎ番目の薄膜トランジスタのドレインまたはソース領域は前記画素電極に接続されており、
ｎ－ｍ（ｎ＞ｍ）個の薄膜トランジスタのゲイト電極は共通にゲイト信号線に接続されており、
ｍ個の薄膜トランジスタにおいて、チャネル形成領域がソース及びドレイン領域と同一導電型となる電位にゲイト電位が固定される構成となっていることを特徴とする。
【０１６８】
図１３に本実施例の概要を示す。ここでは代表的な例をとしてアクティブマトリクス領域の一部の概略の構成を示す。
【０１６９】
図１３に示す構成は、ゲイト信号線方向に隣合う２つの画素に配置される薄膜トランジスタ群において、容量線を共通にした構成を有している。このような構成は、開口率を高めるために有用なものとなる。
【０１７０】
図１３において、９０１が画像信号線であり、９０２と９０４がゲイト信号線である。９０５と９０６は画素電極であり、それぞれゲイト信号線９０２と９０４からの信号によって駆動される。
【０１７１】
９０７と９０８とが結晶性珪素膜で構成される島状の半導体領域（活性層）である。この島状の半導体領域がそれぞれ薄膜トランジスタの活性層を構成する。
【０１７２】
図１４に図１３の構成に対応する等価回路を示す。本実施例に示す構成においては、容量線の数を半分にすることができるので、画素の開口率を高めることができる。
【０１７３】
本実施例に示す薄膜トランジスタは、図１４の等価回路からも分かるように、複数の薄膜トランジスタが直列に接続され、またその間に容量が配置された構成となっている。

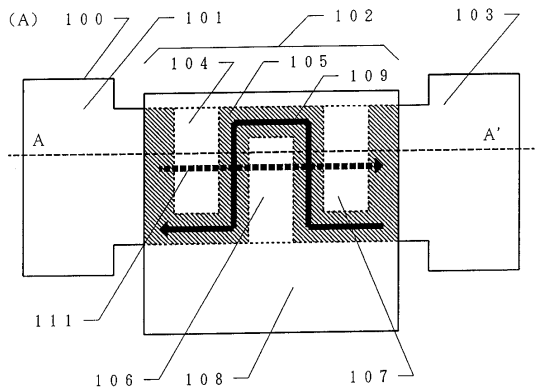
【０１７４】
このような構成とすることにより、画素電極９０５から画像信号線９０１に漏れ出る電荷の量、またはその割合を減少させることができる。このことは、画素電極から漏れ出る電荷を少なくする構成が最優先で必要とされるアクティブマトリクス回路において重要なこととなる。
【０１７５】
しかし一方で、等価的に複数の薄膜トランジスタを直列に接続した構造となるので、キャリアの移動する距離が長く、また移動するキャリアが多数の接合（少なからず障壁が存在する）を移動しなければならない構造となる。このことは、動作速度やＯＮ電流値を大きくとるためには不利となる。
【０１７６】
従って、図１３や図１４に示す薄膜トランジスタは、アクティブマトリクス回路に配置するには、最適なものといえるが、周辺駆動回路に配置するには不適当なものといえる。
【０１７７】
アクティブマトリクス回路を本実施例で示す薄膜トランジスタで構成し、周辺駆動回路を図９の左側で示されるＣＭＯＳ回路や図１に示す薄膜トランジスタでもって構成した場合、それぞれの回路に配置される薄膜トランジスタは本質的に異なる構造を有することになる。
【０１７８】
特に図１に示す薄膜トランジスタは、図９の左側のＣＭＯＳ回路を構成する薄膜トランジスタや図１３に示す薄膜トランジスタとは、動作原理をも本質的に異なるものとなる。
【０１７９】
このような配置は、周辺回路一体型のアクティブマトリクス構成において、各部分に必要とされる薄膜トランジスタの特性が異なることに起因する。即ち、各部分（例えばアクティブマトリクス回路やバッファー回路等）にそれぞれ最適な特性を有する薄膜トランジスタを配置することにその理由がある。
【０１８０】
〔実施例６〕
本実施例は、１枚のガラス基板上にプレナー型の薄膜トランジスタと逆スタガー型の薄膜トランジスタとを形成する工程に関する。本実施例に示す構成を採用した場合、動作原理は同じであるが、構造が本質的に異なる薄膜トランジスタを集積化した構成となる。（当然断面構造も異なるものとなる）
【０１８１】
図１５に本実施例の作製工程を示す。まずガラス基板６０１上に図示しあに下地膜として酸化珪素膜を成膜する。次に非晶質珪素膜を成膜し、加熱により結晶化させ、図示しない結晶性珪素膜を得る。
【０１８２】
この図示しない結晶性珪素膜をパターニングして６０２、６０３、６０４で示されるプレナー型の薄膜トランジスタの活性層を形成する。
【０１８３】
次に右側のプレナー型の薄膜トランジスタのゲイト絶縁膜として機能する酸化珪素膜６００を成膜する。
【０１８４】
さらにゲイト電極を形成するためのアルミニウム膜をスパッタ法でもって成膜する。そして多孔質状の陽極酸化膜６０６、６０９を形成し、さらに緻密な膜質を有する陽極酸化膜６０７、６１０を形成する。
【０１８５】
この工程でゲイト電極６０５と６０８が画定する。そして１回目の不純物イオンの注入を行い、ソース領域６０２とドレイン領域６０４を形成する。この工程においては、６０３の領域に不純物イオンは注入されない。（図１５（Ａ））

【０１８６】
次に多孔質状の陽極酸化膜６０９を除去して、２回目の不純物イオンの注入を行う。この工程は、１回目の不純物イオンの注入よりも低いドーズ量でもって行う。こうして、低濃度不純物領域６１と６２が形成される。（図１５（Ａ））
【０１８７】
次に左側の逆スタガー型の薄膜トランジスタのゲイト絶縁膜を構成する酸化珪素膜６１１を成膜する。こうして図１５（Ｂ）に示す状態を得る。
【０１８８】
次に左側の逆スタガー型の薄膜トランジスタの活性層を構成するための図示しない非晶質珪素膜を成膜する。そしてこの非晶質珪素膜にレーザー光を照射して結晶性珪素膜に変成する。さらにパターニングを施すことにより、活性層６１２を形成する。こうして図１５（Ｃ）に示す状態を得る。
【０１８９】
次にレジストマスク６１３と６１４を配置して、不純物イオンの注入を行う。そしてソース領域６１５とドレイン領域６１７を形成する。この際、６１６の領域には不純物イオンの注入はされない。（図１５（Ｄ））
【０１９０】
次に等方性のエッチングを行い、レジストマスク６１３を後退させ、再度の不純物イオンの注入を（Ｄ）で示す工程よりも低いドーズ量でもって行う。こうして低濃度不純物領域６１８と６１９を形成する。
【０１９１】
次に層間絶縁膜６２０を形成する。さらにコンタクトホールの形成を行い。逆スタガー型を有する薄膜トランジスタのソース電極６２１、ドレイン電極６２２、さらにプレナー型の薄膜トランジスタのソース電極６２３、ドレイン電極６２４を形成する。
【０１９２】
こうして本質的に異なる構造を有する（本質的な動作原理は同じである）２つの薄膜トランジスタを同一基板上に形成する。
【０１９３】
以上の本明細書においては、発明の応用例として液晶表示装置の場合を中心とした。しかし、本明細書で開示する発明は、アクティブマトリクス型を有する他の表示装置に利用することができる。例えば、アクティブマトリクス型を有するＥＬ型の表示装置に利用することができる。
【０１９４】
【発明の効果】
本明細書に開示する発明を採用することにより、薄膜トランジスタの耐圧不足に起因する問題を解決することができる。そして、安定した優れた性能を有する周辺駆動回路一体型構成を有するアクティブマトリクス型の表示装置を得ることができる。
【図面の簡単な説明】
【図１】　薄膜トランジスタの構成を示す図。
【図２】　周辺駆動回路とアクティブマトリクス回路が一体化された構成を示す図。
【図３】　回路の構成を示す図。
【図４】　薄膜トランジスタの動作状態を示すエネルギーバンド図。
【図５】　薄膜トランジスタの作製工程を示す図。
【図６】　薄膜トランジスタの作製工程を示す図。
【図７】　薄膜トランジスタの作製工程を示す図。
【図８】　薄膜トランジスタの作製工程を示す図。
【図９】　薄膜トランジスタの作製工程を示す図。
【図１０】　薄膜トランジスタの構成を示す図。
【図１１】　薄膜トランジスタの作製工程を示す図。
【図１２】　薄膜トランジスタの作製工程を示す図。

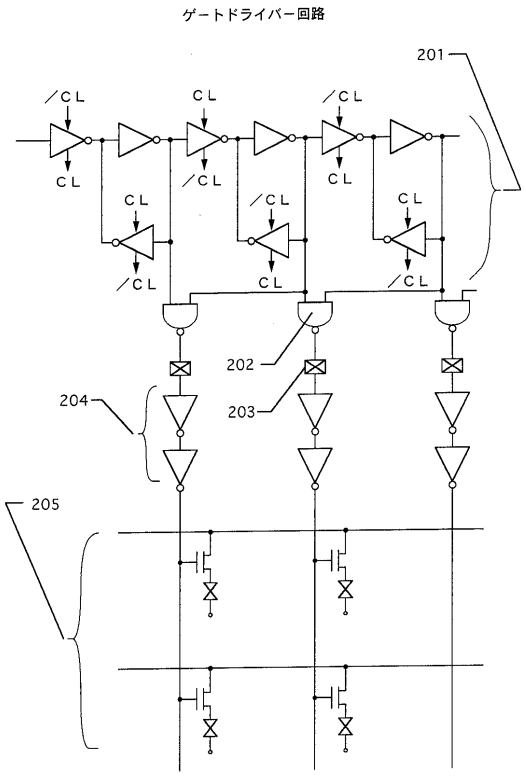
【図１３】　アクティブマトリクス回路の一部を示す図。
【図１４】　図１３の等価回路を示す図。
【図１５】　薄膜トランジスタの作製工程を示す。
【符号の説明】

１００	活性層
１０１	ソース領域
１０２	チャネル形成領域
１０３	ドレイン領域
１０４	Ｎ型領域
１０５	チャネル
１０６	Ｎ型領域
１０７	Ｎ型領域
１０８	ゲイト電極
１０９	ＯＦＦ動作時のキャリアの移動経路
１１０	ＬＤＤ（ライトドープドレイン）領域
１１１	ＯＮ動作時のキャリアの移動経路

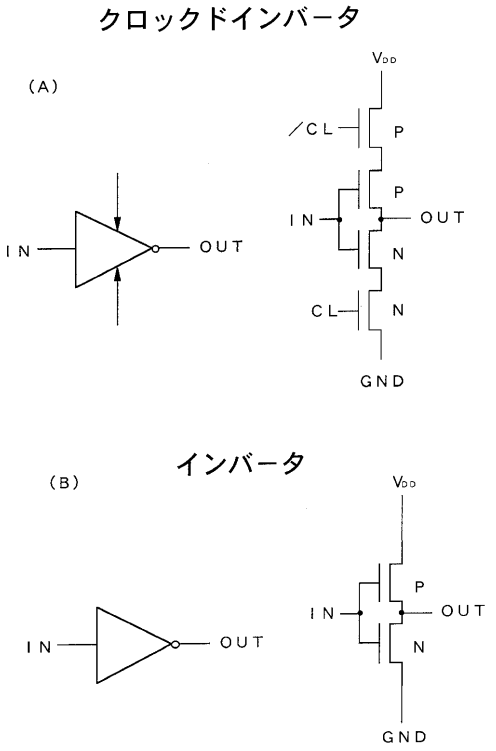
【図１】



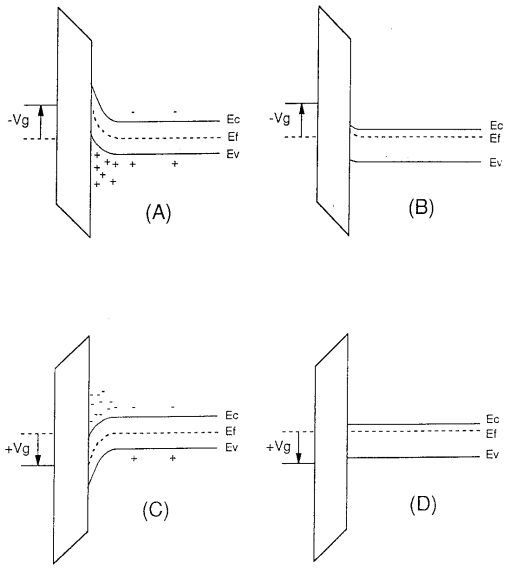
【図２】



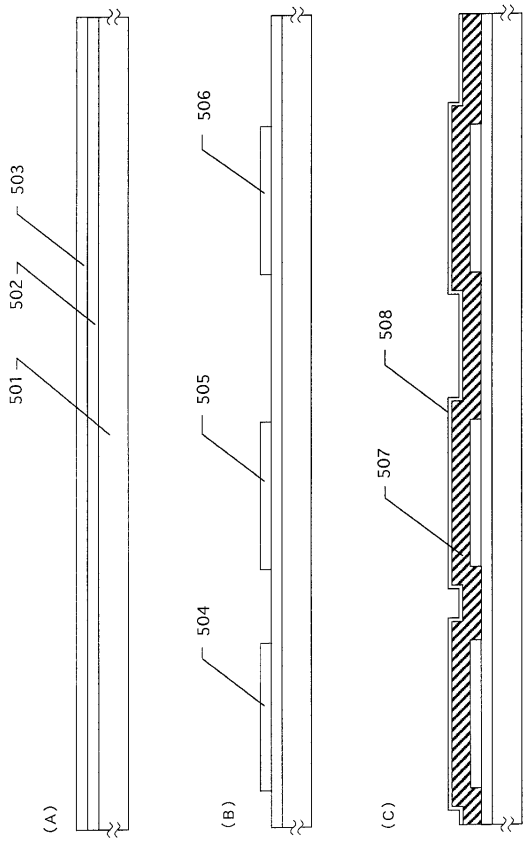
【図３】


クロックドインバータ
(A)
VDD
/CL
P
P
IN
OUT
N
CL
N
GND
IN
OUT
インバータ
(B)
VDD
P
IN
OUT
N
GND
IN
OUT

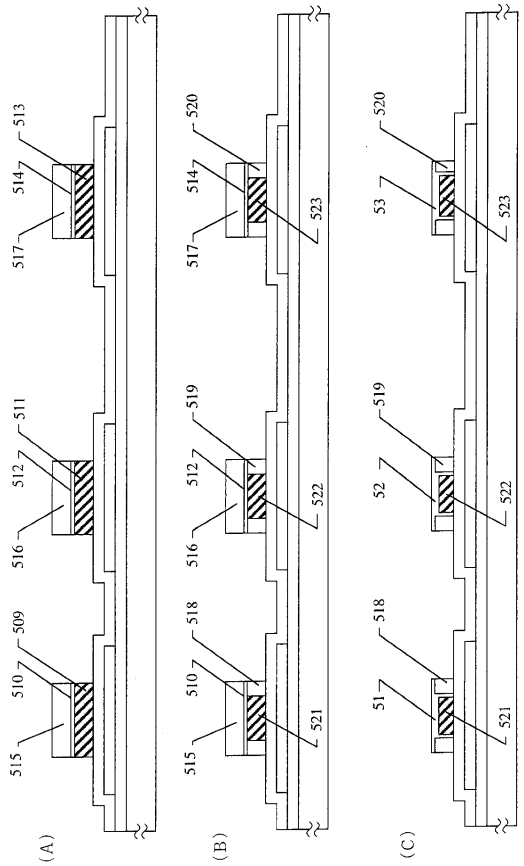
【図４】


-Vg
Ec
Ef
Ev
(A)
-Vg
Ec
Ef
Ev
(B)
+Vg
Ec
Ef
Ev
(C)
+Vg
Ec
Ef
Ev
(D)

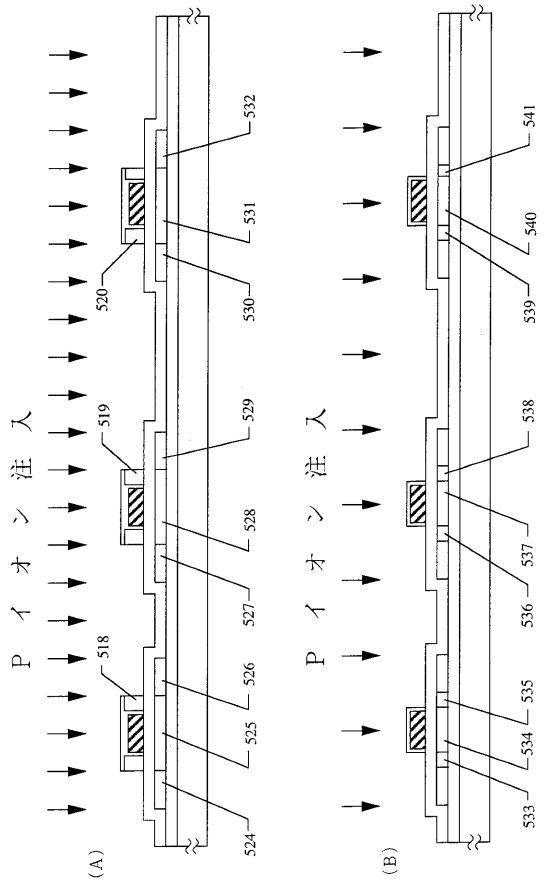
【図５】


503
502
501
(A)
506
505
504
(B)
508
507
(C)

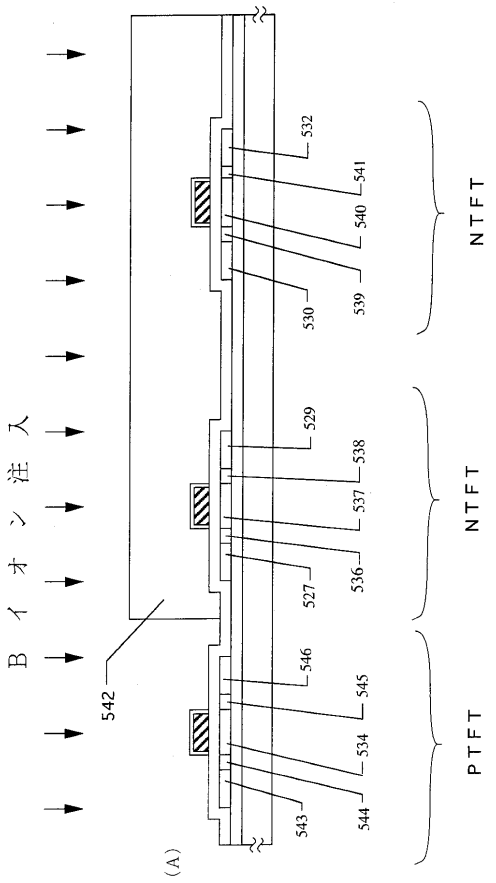
【図６】


513
514
517
511
512
516
509
510
515
(A)
520
514
517
523
519
512
516
522
518
510
515
521
(B)
520
53
523
519
52
522
518
51
521
(C)

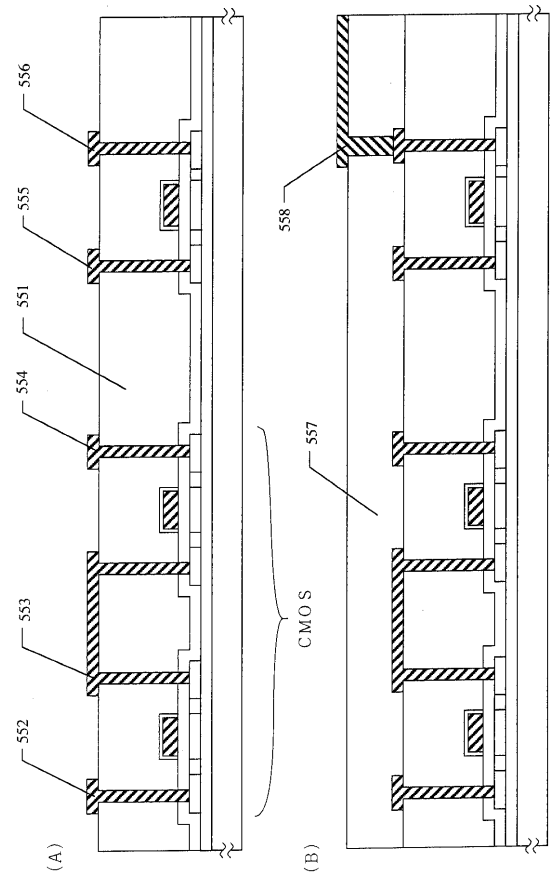
【図７】


Ｐ イ オ ン 注 入
518
519
520
524
525
526
527
528
529
530
531
532
(A)
Ｐ イ オ ン 注 入
533
534
535
536
537
538
539
540
541
(B)

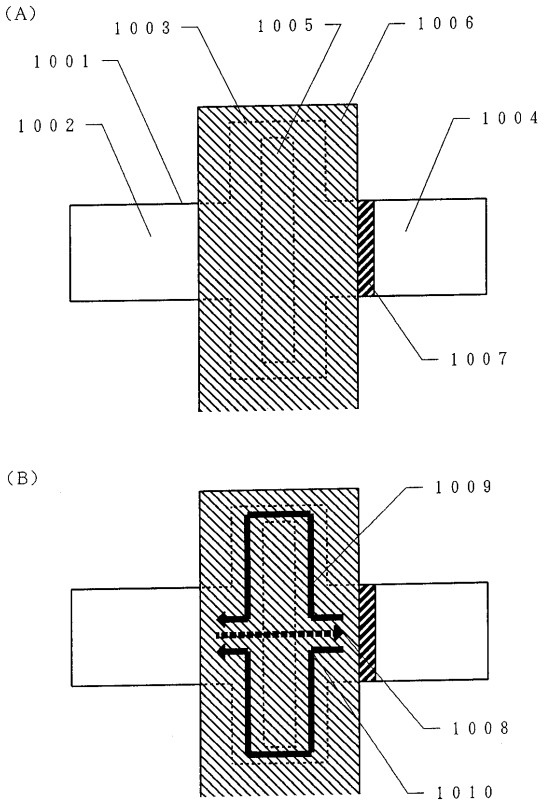
【図８】


Ｂ イ オ ン 注 入
542
543
544
545
546
527
529
530
532
536
537
538
539
540
541
NTFT
NTFT
PTFT
(A)

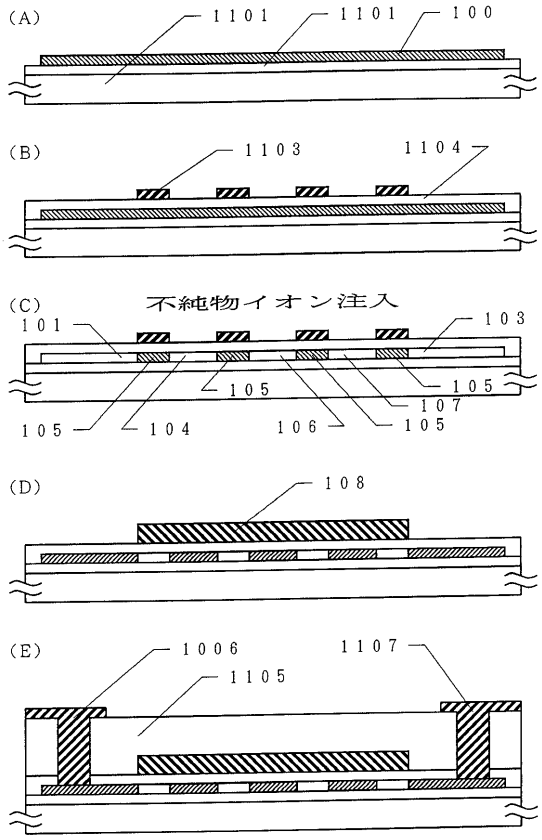
【図９】


552
553
554
551
555
556
557
558
CMOS
(A)
(B)

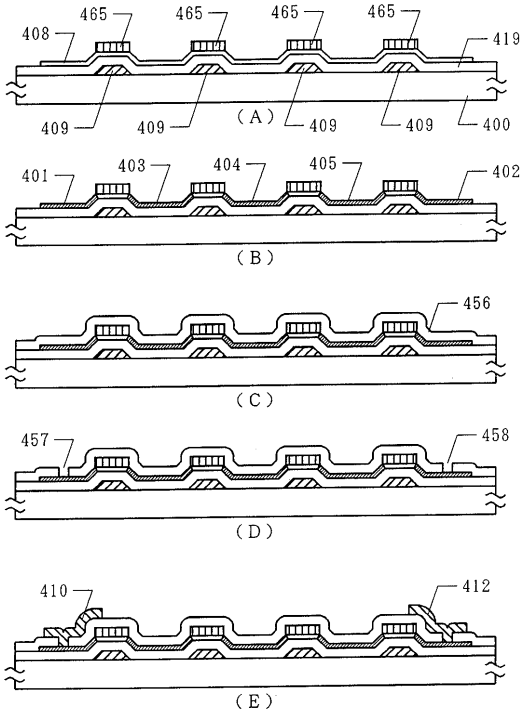
【図１０】


(A)
1001
1002
1003
1004
1005
1006
1007
(B)
1008
1009
1010

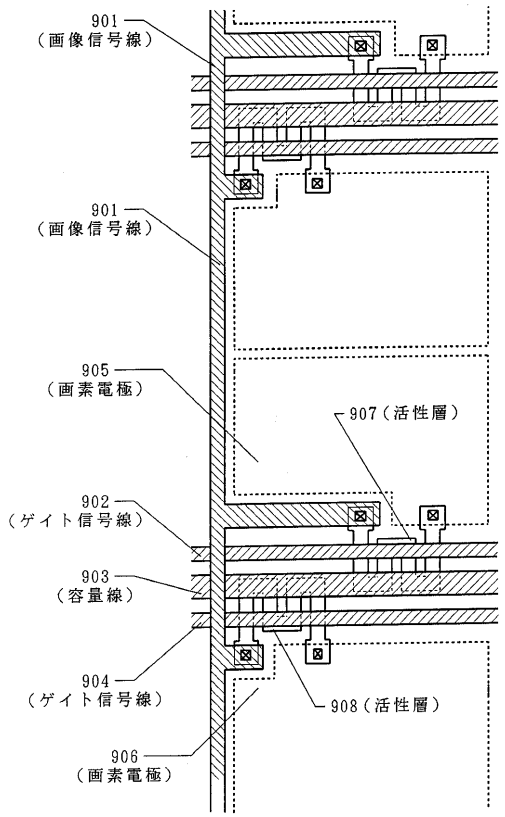
【図１１】



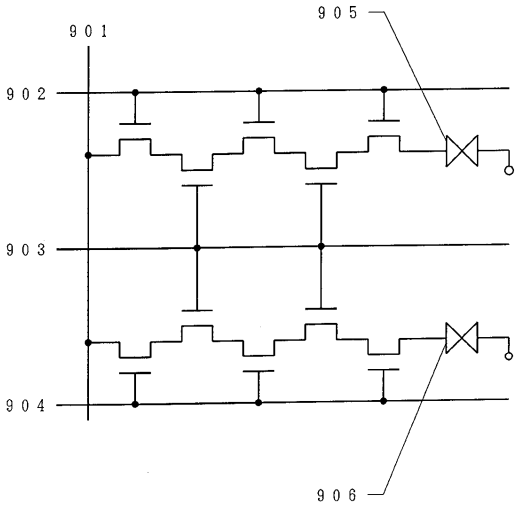
【図１２】



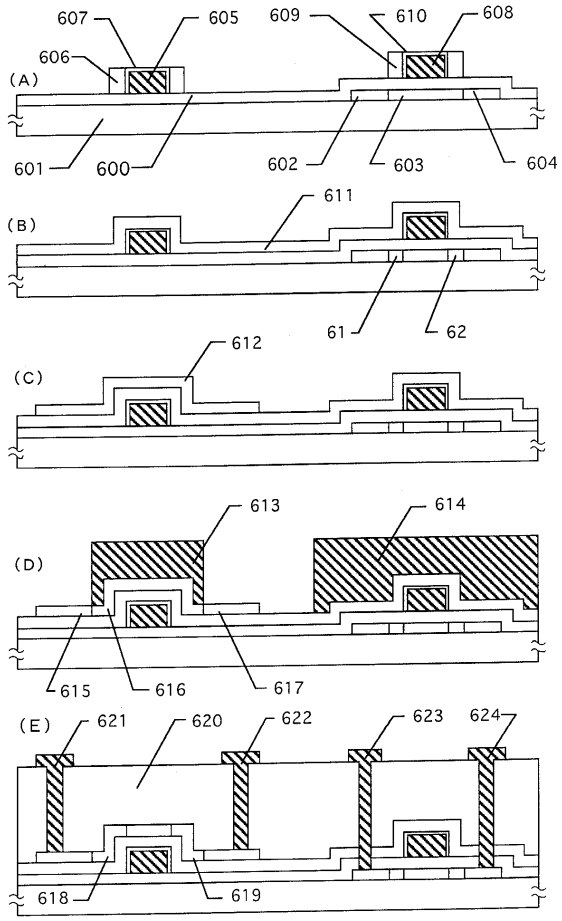
【図１３】



【図１４】



【図１５】


(A)
607
605
609
610
608
606
601
600
602
603
604
(B)
611
61
62
(C)
612
(D)
613
614
615
616
617
(E)
621
620
622
623
624
618
619

フロントページの続き

審査官　綿引　隆

(56)参考文献　特開平０８－０３２０８１（ＪＰ，Ａ）
特開平０８－０６４８３０（ＪＰ，Ａ）
特開平０７－３２６７６７（ＪＰ，Ａ）
特開平０９－１６２４１４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 29/78
H01L 21/336
G02F 1/133
G02F 1/1368