



(12)发明专利

(10)授权公告号 CN 107358915 B

(45)授权公告日 2020.01.07

(21)申请号 201710686824.2

(22)申请日 2017.08.11

(65)同一申请的已公布的文献号

申请公布号 CN 107358915 A

(43)申请公布日 2017.11.17

(73)专利权人 上海天马有机发光显示技术有限公司

地址 201201 上海市浦东新区龙东大道
6111号1幢509

(72)发明人 朱仁远 李玥 向东旭 高娅娜

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 黄志华

(51)Int.Cl.

G09G 3/3208(2016.01)

(56)对比文件

CN 105741779 A, 2016.07.06,

CN 105741779 A, 2016.07.06,

CN 106504699 A, 2017.03.15,

CN 105741781 A, 2016.07.06,

CN 105489165 A, 2016.04.13,

CN 105741781 A, 2016.07.06,

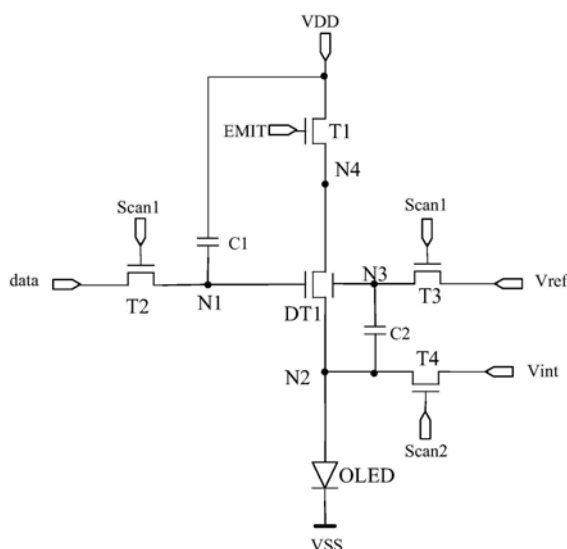
审查员 顾健健

(54)发明名称

一种像素电路、其驱动方法、显示面板及显示装置

(57)摘要

本发明公开了一种像素电路、其驱动方法、显示面板及显示装置,属于显示技术领域,包括:双栅结构的驱动晶体管、第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第一电容、第二电容和发光器件,通过上述各晶体管和电容的相互配合对驱动晶体管的阈值电压进行补偿,使驱动发光器件发光的驱动电流仅与数据信号的电压有关,避免驱动控制模块的阈值电压对发光器件的影响,在使用相同的数据信号加载到不同的像素单元时,能够得到亮度相同的图像,提高了显示装置显示区域图像亮度的均匀性,同时减小了像素电路调整gamma电压的难度,并且使数据信号的选择范围可以得到进一步的优化,有利于减少能耗。



1. 一种像素电路的驱动方法,其特征在于,所述像素电路包括:双栅结构的驱动晶体管、第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第一电容、第二电容和发光器件;其中,

所述第二开关晶体管用于在第一扫描信号端的控制下将数据信号端的信号提供给所述驱动晶体管的第一栅极;

所述第四开关晶体管用于在第二扫描信号端的控制下将复位信号端的信号提供给所述驱动晶体管的第一电极或所述驱动晶体管的第二电极;

所述第三开关晶体管用于在第一扫描信号端的控制下将参考信号端的信号提供给所述驱动晶体管的第二栅极;

所述第一开关晶体管用于在发光控制端的控制下将第一电压信号端的信号提供给所述驱动晶体管的所述第一电极;

所述第一电容用于使所述驱动晶体管的所述第一栅极和所述第一电压信号端之间的电压差保持稳定;

所述第二电容用于使所述驱动晶体管的所述第二电极和所述驱动晶体管的所述第二栅极之间的电压差保持稳定;

所述发光器件的第一端与所述驱动晶体管的所述第二电极连接,所述发光器件的第二端与第二电压信号端连接;

所述驱动晶体管用于在所述第一开关晶体管、所述第一电容和所述第二电容的控制下驱动所述发光器件发光;

所述驱动方法包括:

节点初始化阶段,向所述第一扫描信号端和所述第二扫描信号端提供第一电平信号,向所述发光控制端提供第二电平信号,向所述数据信号端提供参考电压信号;

保持阶段,向所述第一扫描信号端、所述第二扫描信号端和所述发光控制端提供所述第二电平信号,向所述数据信号端提供上一行的数据电压信号;

阈值侦测阶段,向所述第一扫描信号端和所述发光控制端提供所述第一电平信号,向所述第二扫描信号端提供所述第二电平信号,向所述数据信号端提供所述参考电压信号;

数据写入阶段,向所述第一扫描信号端提供所述第一电平信号,向所述第二扫描信号端和所述发光控制端提供所述第二电平信号,向所述数据信号端提供数据电压信号;

发光阶段,向所述发光控制端提供所述第一电平信号,向所述第一扫描信号端和所述第二扫描信号端提供所述第二电平信号。

2. 一种根据如权利要求1所述的驱动方法驱动的像素电路,其特征在于,包括:双栅结构的驱动晶体管、第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第一电容、第二电容和发光器件;其中,

所述第二开关晶体管用于在第一扫描信号端的控制下将数据信号端的信号提供给所述驱动晶体管的第一栅极;

所述第四开关晶体管用于在第二扫描信号端的控制下将复位信号端的信号提供给所述驱动晶体管的第一电极或所述驱动晶体管的第二电极;

所述第三开关晶体管用于在第一扫描信号端的控制下将参考信号端的信号提供给所述驱动晶体管的第二栅极;

所述第一开关晶体管用于在发光控制端的控制下将第一电压信号端的信号提供给所述驱动晶体管的所述第一电极；

所述第一电容用于使所述驱动晶体管的所述第一栅极和所述第一电压信号端之间的电压差保持稳定；

所述第二电容用于使所述驱动晶体管的所述第二电极和所述驱动晶体管的所述第二栅极之间的电压差保持稳定；

所述发光器件的第一端与所述驱动晶体管的所述第二电极连接，所述发光器件的第二端与第二电压信号端连接；

所述驱动晶体管用于在所述第一开关晶体管、所述第一电容和所述第二电容的控制下驱动所述发光器件发光。

3. 如权利要求2所述的像素电路，其特征在于，所述驱动晶体管的所述第一栅极和所述驱动晶体管的所述第二栅极分别位于所述驱动晶体管的有源层的两侧。

4. 如权利要求3所述的像素电路，其特征在于，所述驱动晶体管的所述第一栅极位于所述驱动晶体管的所述有源层的上方，所述驱动晶体管的所述第一栅极与所述驱动晶体管的所述有源层之间还设置有第一栅极绝缘层；

所述驱动晶体管的所述第二栅极位于所述驱动晶体管的所述有源层的下方，所述驱动晶体管的所述第二栅极与所述驱动晶体管的所述有源层之间还设置有第二栅极绝缘层。

5. 如权利要求3所述的像素电路，其特征在于，所述驱动晶体管的所述第一栅极位于所述驱动晶体管的所述有源层的下方，所述驱动晶体管的所述第一栅极与所述驱动晶体管的所述有源层之间还设置有第一栅极绝缘层；

所述驱动晶体管的所述第二栅极位于所述驱动晶体管的所述有源层的上方，所述驱动晶体管的所述第二栅极与所述驱动晶体管的所述有源层之间还设置有第二栅极绝缘层。

6. 如权利要求2所述的像素电路，其特征在于，所述第一开关晶体管的栅极与所述发光控制端连接，所述第一开关晶体管的第一电极与所述第一电压信号端连接，所述第一开关晶体管的第二电极与所述驱动晶体管的所述第一电极连接，或所述第一开关晶体管的第二电极分别与所述驱动晶体管的所述第一电极和所述第四开关晶体管的第二电极连接。

7. 如权利要求2所述的像素电路，其特征在于，所述第二开关晶体管的栅极与所述第一扫描信号端连接，所述第二开关晶体管的第一电极与所述数据信号端连接，所述第二开关晶体管的第二电极与所述驱动晶体管的所述第一栅极连接。

8. 如权利要求2所述的像素电路，其特征在于，所述第三开关晶体管的栅极与所述第一扫描信号端连接，所述第三开关晶体管的第一电极与所述参考信号端连接，所述第三开关晶体管的第二电极与所述驱动晶体管的所述第二栅极连接。

9. 如权利要求2所述的像素电路，其特征在于，所述第四开关晶体管的栅极与所述第二扫描信号端连接，所述第四开关晶体管的第一电极与所述复位信号端连接，所述第四开关晶体管的第二电极与所述驱动晶体管的所述第二电极连接，或所述第四开关晶体管的第二电极分别与所述驱动晶体管的所述第一电极和所述第一开关晶体管的第二电极连接。

10. 如权利要求2所述的像素电路，其特征在于，所述第一电容的第一端与所述驱动晶体管的所述第一栅极连接，所述第一电容的第二端与所述第一电压信号端连接。

11. 如权利要求2所述的像素电路，其特征在于，所述第二电容的第一端与所述驱动晶

体管的所述第二电极连接,所述第二电容的第二端分别与所述驱动晶体管的所述第二栅极和第三开关晶体管的第二电极连接。

12.如权利要求6-9任一项所述的像素电路,其特征在于,所有的开关晶体管均为N型晶体管或P型晶体管。

13.如权利要求12所述的像素电路,其特征在于,所有的开关晶体管中至少有一个所述开关晶体管为双栅结构。

14.一种有机电致发光显示面板,包括呈矩阵排列的多个像素电路,其特征在于,所述像素电路为如权利要求2-13任一项所述的像素电路。

15.一种显示装置,其特征在于,包括如权利要求14所述的有机电致发光显示面板。

一种像素电路、其驱动方法、显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤指一种像素电路、其驱动方法、显示面板及显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,OLED)是当今显示器研究领域的热点之一,与液晶显示器(Liquid Crystal Display,LCD)相比,OLED具有低能耗、生产成本低、自发光、宽视角及响应速度快等优点,目前,在手机、PDA、数码相机等显示领域OLED显示屏已经开始取代传统的LCD显示屏。其中,像素电路设计是OLED显示器核心技术内容,具有重要的研究意义。

[0003] 与LCD利用稳定的电压控制亮度不同,OLED属于电流驱动,需要稳定的电流来控制发光。由于工艺制程和器件老化等原因,会使像素电路的驱动晶体管的阈值电压 V_{th} 存在不均匀性,这样就导致了流过不同OLED像素的电流发生变化使得显示亮度不均,从而影响整个图像的显示效果,虽然现有的电路结构能够补偿驱动晶体管的阈值电压,但是仍存在一些问题,如,将发光电流中引入了电容分量和参考电压,以致于增加了像素电路调整gamma电压的难度,而且数据信号需求范围更大,不利于减少功耗。

[0004] 例如,如图1所示,图1为现有技术中的像素电路的电路示意图,该电路有1个驱动晶体管DT1,3个开关晶体管和2个电容组成,在进行驱动晶体管阈值补偿时,分为4个阶段,节点初始化阶段、阈值侦测阶段、数据写入阶段和发光阶段。具体过程如图2所示,图2为图1中提供的像素电路对应的时序图,在节点初始化阶段,第一开关晶体管T1和第二开关晶体管T2打开,第三开关晶体管T3截止,此时,第一节点N1的电压为数据信号端发出的参考电压 V_{ref} ,第二节点N2处的电压为复位信号端发出的复位信号 V_{int} ;阈值侦测阶段,第一开关晶体管T1和第三开关晶体管T3打开,第二开关晶体管T2截止,此时,第一节点N1的电压为数据信号端发出的参考电压 V_{ref} ,第二节点N2处的电压为 $V_{ref}-V_{th}$;数据写入阶段,第一开关晶体管T1和驱动晶体管DT1打开,第二开关晶体管T2和第三开关晶体管T3截止,此时,第一节点N1的电压为数据信号端发出的数据信号 V_{data} ,由于电容的耦合作用,第二节点N2处的电压为 $N2=V_{ref}-V_{th}+C1/(C1+C2+COLED)(V_{data}-V_{ref})$;发光阶段,第三开关晶体管T3和驱动晶体管DT1打开,第一开关晶体管T1和第二开关晶体管T2截止,此时,驱动电流为 $I=K(C2+COLED)(V_{data}-V_{ref})/(C1+C2+COLED)$ 。即驱动电流与电容、数据信号端的电压和参考电压有关,增加了像素电路调整gamma电压的难度,而且使数据信号的电压需求范围更大,这样不利于降低功耗。

发明内容

[0005] 本发明实施例提供一种像素电路、其驱动方法、显示面板及显示装置,用以改善现有像素电路中由于阈值电压 V_{th} 的变化导致显示画面不均匀的现象,并且使像素电路更加的稳定。

[0006] 本发明实施例提供一种像素电路,包括:双栅结构的驱动晶体管、第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第一电容、第二电容和发光器件;其中,

[0007] 所述第二开关晶体管用于在第一扫描信号端的控制下将数据信号端的信号提供给所述驱动晶体管的第一栅极;

[0008] 所述第四开关晶体管用于在第二扫描信号端的控制下将复位信号端的信号提供给所述驱动晶体管的第一电极或所述驱动晶体管的第二电极;

[0009] 所述第三开关晶体管用于在第一扫描信号端的控制下将所述参考信号端的信号提供给所述驱动晶体管的第二栅极;

[0010] 所述第一开关晶体管用于在发光控制端的控制下将第一电压信号端的信号提供给所述驱动晶体管的所述第一电极;

[0011] 所述第一电容用于使所述驱动晶体管的所述第一栅极和所述第一电压信号端之间的电压差保持稳定;

[0012] 所述第二电容用于使所述驱动晶体管的所述第二电极和所述驱动晶体管的所述第二栅极之间的电压差保持稳定;

[0013] 所述发光器件的第一端与所述驱动晶体管的所述第二电极连接,所述发光器件的第二端与第二电压信号端连接;

[0014] 所述驱动晶体管用于在所述第一开关晶体管、所述第一电容和所述第二电容的控制下驱动所述发光器件发光。

[0015] 另一方面,本发明实施例还提供了一种上述像素电路的驱动方法,包括:

[0016] 节点初始化阶段,向所述第一扫描信号端和所述第二扫描信号端提供第一电平信号,向所述发光控制端提供第二电平信号,向所述数据信号端提供参考电压信号;

[0017] 阈值侦测阶段,向所述第一扫描信号端和所述发光控制端提供所述第一电平信号,向所述第二扫描信号端提供所述第二电平信号,向所述数据信号端提供所述参考电压信号;

[0018] 数据写入阶段,向所述第一扫描信号端提供所述第一电平信号,向所述第二扫描信号端和所述发光控制端提供所述第二电平信号,向所述数据信号端提供数据电压信号;

[0019] 发光阶段,向所述发光控制端提供所述第一电平信号,向所述第一扫描信号端和所述第二扫描信号端提供所述第二电平信号。

[0020] 另一方面,本发明实施例还提供了一种有机电致发光显示面板,包括:呈矩阵排列的多个本发明实施例提供的上述像素电路。

[0021] 另一方面,本发明实施例还提供了一种显示装置,包括:本发明实施例提供的上述有机电致发光显示面板。

[0022] 本发明有益效果如下:

[0023] 本发明实施例提供一种像素电路、其驱动方法、显示面板及显示装置,包括:双栅结构的驱动晶体管、第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第一电容、第二电容和发光器件,通过上述各晶体管和电容的相互配合对驱动晶体管的阈值电压进行补偿,使驱动发光器件发光的驱动电流仅与数据信号的电压有关,避免驱动控制模块的阈值电压对发光器件的影响,在使用相同的数据信号加载到不同的像素单元

时,能够得到亮度相同的图像,提高了显示装置显示区域图像亮度的均匀性,同时减小了像素电路调整gamma电压的难度,并且使数据信号的选择范围可以得到进一步的优化,有利于减少能耗,其中驱动晶体管采用双栅结构使像素电路更加的稳定。

附图说明

- [0024] 图1为现有技术中的像素电路的电路示意图;
- [0025] 图2为图1中提供的像素电路对应的时序图;
- [0026] 图3为本发明实施例提供的像素电路的一种电路示意图;
- [0027] 图4为本发明实施例提供的像素电路的另一种电路示意图;
- [0028] 图5为本发明实施例提供的像素电路的又一种电路示意图;
- [0029] 图6为本发明实施例提供的像素电路的又一种电路示意图;
- [0030] 图7为本发明实施例提供的驱动晶体管的一种结构示意图;
- [0031] 图8为本发明实施例提供的驱动晶体管的另一种结构示意图;
- [0032] 图9为图3或图5中提供的像素电路对应的一种时序图;
- [0033] 图10为图3或图5中提供的像素电路对应的另一种时序图;
- [0034] 图11为图4或图6中提供的像素电路对应的一种时序图;
- [0035] 图12为图4或图6中提供的像素电路对应的另一种时序图;
- [0036] 图13为本发明实施例提供的像素电路的驱动方法的方法流程图;
- [0037] 图14为本发明实施例提供的有机发光显示面板中像素排列方式的结构示意图;
- [0038] 图15为本发明实施例提供的显示装置的结构示意图。

具体实施方式

[0039] 为了使本发明的目的,技术方案和优点更加清楚,下面结合附图,对本发明实施例提供的像素电路、驱动方法、显示面板及显示装置的具体实施方式进行详细地说明。应当理解,下面所描述的优选实施例仅用于说明和解释本发明,并不用于限定本发明。并且在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。

[0040] 具体地,本发明实施例提供了一种像素电路,如图2至图5所示,图2为本发明实施例提供的像素电路的一种电路示意图,图3为本发明实施例提供的像素电路的另一种电路示意图;图4为本发明实施例提供的像素电路的又一种电路示意图;图5为本发明实施例提供的像素电路的又一种电路示意图;包括:双栅结构的驱动晶体管DT1、第一开关晶体管T1、第二开关晶体管T2、第三开关晶体管T3、第四开关晶体管T4、第一电容C1、第二电容C2和发光器件OLED;其中,

[0041] 第二开关晶体管T2用于在第一扫描信号端Scan1的控制下将数据信号端data的信号提供给驱动晶体管DT1的第一栅极;

[0042] 如图3和图5所示,第四开关晶体管T4用于在第二扫描信号端Scan2的控制下将复位信号端Vint的信号提供给驱动晶体管DT1的第一电极;或者如图4和图6所示,第四开关晶体管T4用于在第二扫描信号端Scan2的控制下将复位信号端Vint的信号提供给驱动晶体管DT1的第二电极;

[0043] 第三开关晶体管T3用于在第一扫描信号端Scan1的控制下将参考信号端Vref的信

号提供给驱动晶体管DT1的第二栅极；

[0044] 第一开关晶体管T1用于在发光控制端EMIT的控制下将第一电压信号端VDD的信号提供给驱动晶体管DT1的第一电极；

[0045] 第一电容C1用于使驱动晶体管DT1的第一栅极和第一电压信号端VDD之间的电压差保持稳定；

[0046] 第二电容C2用于使驱动晶体管DT1的第二电极和驱动晶体管DT1的第二栅极之间的电压差保持稳定；

[0047] 发光器件OLED的第一端与驱动晶体管DT1的第二电极连接,发光器件OLED的第二端与第二电压信号端VSS连接；

[0048] 驱动晶体管DT1用于在第一开关晶体管T1、第一电容C1和第二电容C2的控制下驱动发光器件OLED发光。

[0049] 本发明实施例提供的上述像素电路,包括:双栅结构的驱动晶体管、第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第一电容、第二电容和发光器件,通过上述各晶体管和电容的相互配合对驱动晶体管的阈值电压进行补偿,使驱动发光器件发光的驱动电流仅与数据信号的电压有关,避免驱动控制模块的阈值电压对发光器件的影响,在使用相同的数据信号加载到不同的像素单元时,能够得到亮度相同的图像,提高了显示装置显示区域图像亮度的均匀性,同时减小了像素电路调整gamma电压的难度,并且使数据信号的选择范围可以得到进一步的优化,有利于减少能耗,其中驱动晶体管采用双栅结构使像素电路更加的稳定。

[0050] 需要说明的是,如图4和图6所示,当第四开关晶体管T4在第二扫描信号端Scan2的控制下将复位信号端Vint的信号提供给驱动晶体管DT1的第二电极时,即将复位信号端Vint的信号提供给第四节点N4时,在节点初始化阶段,向第二扫描信号端Scan2提供第一电平信号,即对驱动晶体管DT1的第二电极进行复位,此时驱动晶体管DT1的第二电极为低电位,使电流由驱动晶体管的第一电极流向驱动晶体管的第二电极,在其它阶段时,驱动晶体管DT1第二电极的电压大于驱动晶体管DT1第一电极的电压,使电流由驱动晶体管DT1的第二电极流向驱动晶体管DT1的第一电极,即在整个驱动过程中使驱动晶体管DT1的第一电极在节点初始化阶段为源电极,在其它阶段为漏电极,第二电极在节点初始化阶段为漏电极,在其它阶段为源电极,两个电极实现了源电极和漏电极功能上的互换,该种设置方式避免了驱动晶体管长期处于同向偏压状态下的问题,可以有效的缓解驱动晶体管的阈值和迁移率衰退的速率,改善残影现象。

[0051] 具体地,本发明实施例提供的上述像素电路中,驱动晶体管为N型晶体管。为了保证驱动晶体管能正常工作,对应的第一电压信号端输出的电压一般为正电压,第二电压信号端输出的电压一般接地或为负值。

[0052] 需要说明的是,本发明上述实施例中是以驱动晶体管为N型晶体管为例进行说明的,对于驱动晶体管为P型晶体管且采用相同设计原理的情况也属于本发明保护的范围。

[0053] 具体地,本发明实施例提供的像素电路中,如图7和图8所示,图7为本发明实施例提供的驱动晶体管的一种结构示意图,图8为本发明实施例提供的驱动晶体管的另一种结构示意图,驱动晶体管的第一栅极1和驱动晶体的第二栅极2分别位于驱动晶体管的有源层5的两侧。

[0054] 具体地,驱动晶体管的第一栅极和驱动晶体管的第二栅极分别位于驱动晶体管的有源层的两侧是指,当驱动晶体管的第一栅极位于驱动晶体管的有源层面向阵列基板的一侧时,驱动晶体管的第二栅极位于驱动晶体管的有源层背向阵列基板的一侧;当驱动晶体管的第二栅极位于驱动晶体管的有源层面向阵列基板的一侧时,驱动晶体管的第一栅极位于驱动晶体管的有源层背向阵列基板的一侧,在此不作具体限定。

[0055] 可选地,本发明实施例提供的像素电路中,如图7所示,驱动晶体管的第一栅极1位于驱动晶体管的有源层5的上方,驱动晶体管的第一栅极1与驱动晶体管的有源层5之间还设置有第一栅极绝缘层6;

[0056] 驱动晶体管的第二栅极2位于驱动晶体管的有源层5的下方,驱动晶体管的第二栅极2与驱动晶体管的有源层5之间还设置有第二栅极绝缘层4。

[0057] 可选地,本发明实施例提供的像素电路中,如图8所示,驱动晶体管的第一栅极1位于驱动晶体管的有源层5的下方,驱动晶体管的第一栅极1与驱动晶体管的有源层5之间还设置有第一栅极绝缘层6;

[0058] 驱动晶体管的第二栅极2位于驱动晶体管的有源层5的上方,驱动晶体管的第二栅极2与驱动晶体管的有源层5之间还设置有第二栅极绝缘层4。

[0059] 需要说明的是,有源层5的上方是指有源层5背向阵列基板3的一侧,有源层5的下方是指有源层5面向阵列基板3的一侧。

[0060] 具体地,本发明实施例提供的像素电路中,如图3至图6所示,第一开关晶体管T1的栅极与发光控制端EMIT连接,第一开关晶体管T1的第一电极与第一电压信号端VDD连接,如图3和图5所示,第一开关晶体管T1的第二电极与驱动晶体管DT1的第二电极连接,或如图4和图6所示,第一开关晶体管T1的第二电极分别与驱动晶体管DT1的第二电极和第四开关晶体管T4的第二电极连接。

[0061] 具体地,如图3和图5所示,第一开关晶体管T1可以为N型晶体管,此时,当发光控制端EMIT发出的发光控制信号为高电平时第一开关晶体管T1处于导通状态,当发光控制端EMIT发出的发光控制信号为低电平时第一开关晶体管T1处于截止状态;如图4和图6所示,第一开关晶体管T1也可以为P型晶体管,此时,当发光控制端EMIT发出的发光控制信号为低电平时第一开关晶体管T1处于导通状态,当发光控制端EMIT发出的发光控制信号为高电平时第一开关晶体管T1处于截止状态;在此不作限定。

[0062] 具体地,本发明实施例提供的上述像素电路中,当第一开关晶体管在发光控制端发出的发光控制信号的控制下处于导通状态时,第一电压信号端发出的第一电压信号就通过导通的第一开关晶体管传输给第四节点,以通过驱动晶体管形成驱动电流,驱动发光器件进行发光。

[0063] 具体地,本发明实施例提供的上述像素电路中,如图3至图6所示,第二开关晶体管T2的栅极与第一扫描信号端Scan1连接,第二开关晶体管T2的第一电极与数据信号端data连接,第二开关晶体管T2的第二电极与驱动晶体管DT1的第一栅极连接。

[0064] 可选地,如图3和图5所示,第二开关晶体管T2可以为N型晶体管,此时,当第一扫描信号端Scan1发出的第一扫描信号为高电平时第二开关晶体管T2处于导通状态,当第一扫描信号端Scan1发出的第一扫描信号为低电平时第二开关晶体管T2处于截止状态;如图4和图6所示,第二开关晶体管T2也可以为P型晶体管,此时,当第一扫描信号端Scan1发出的第

一扫描信号为低电平时第二开关晶体管T2处于导通状态,当第一扫描信号端Scan1发出的第一扫描信号为高电平时,第二开关晶体管T2处于截止状态;在此不作限定。

[0065] 具体地,本发明实施例提供的上述像素电路中,当第二开关晶体管在第一扫描信号端发出的第一扫描信号的控制下处于导通状态时,数据信号就通过导通的第二开关晶体管传输给第一节点,从而实现对第一节点的电压进行重置。

[0066] 具体地,本发明实施例提供的上述像素电路中,如图3至图6所示,第三开关晶体管T3的栅极与第一扫描信号端Scan1连接,第三开关晶体管T3的第一电极与参考信号端Vref连接,第三开关晶体管T3的第二电极与驱动晶体管DT1的第二栅极连接。

[0067] 可选地,如图3和图5所示,第三开关晶体管T3可以为N型晶体管,此时,当第一扫描信号端Scan1发出的第一扫描信号为高电平时第三开关晶体管T3处于导通状态,当第一扫描信号端Scan1发出的第一扫描信号为低电平时第三开关晶体管T3处于截止状态;如图4和图6所示,第三开关晶体管T3也可以为P型晶体管,此时,当第一扫描信号端Scan1发出的第一扫描信号为低电平时第三开关晶体管T3处于导通状态,当第一扫描信号端Scan1发出的第一扫描信号为高电平时第三开关晶体管T3处于截止状态;在此不作限定。

[0068] 具体地,本发明实施例提供的上述像素电路中,当第三开关晶体管在第一扫描信号端发出的第一扫描信号的控制下处于导通状态时,参考信号端发出的参考信号就通过导通的第三开关晶体管传输给第三节点,从而实现对第三节点的电压进行重置。

[0069] 具体地,本发明实施例提供的上述像素电路中,如图3至图6所示,第四开关晶体管T4的栅极与第二扫描信号端Scan2连接,第四开关晶体管T4的第一电极与复位信号端Vint连接,第四开关晶体管T4的第二电极与驱动晶体管DT1的第一电极连接,或第四开关晶体管T4的第二电极分别与驱动晶体管DT1的第二电极和第一开关晶体管T1的第二电极连接。

[0070] 可选地,如图3和图5所示,第四开关晶体管T4可以为N型晶体管,此时,当第二扫描信号端Scan2发出的第二扫描信号为高电平时第四开关晶体管T4处于导通状态,当第二扫描信号端Scan2发出的第二扫描信号为低电平时第四开关晶体管T4处于截止状态;如图4和图6所示,第四开关晶体管T4也可以为P型晶体管,此时,当第二扫描信号端Scan2发出的第二扫描信号为低电平时第四开关晶体管T4处于导通状态,当第二扫描信号端Scan2发出的第二扫描信号为高电平时第四开关晶体管T4处于截止状态;在此不作限定。

[0071] 具体地,本发明实施例提供的上述像素电路中,当第四开关晶体管在第二扫描信号端发出的第二扫描信号的控制下处于导通状态时,复位信号端发出的复位信号就通过导通的第四开关晶体管传输给第二节点或第四节点,从而实现对第二节点或第四节点的电压进行重置。

[0072] 具体地,本发明实施例提供的上述像素电路中,如图3至图6所示,第一电容C1的第一端分别与驱动晶体管DT1的第一栅极和第二开关晶体管T2的第二电极连接,第一电容C1的第二端与第一电压信号端VDD连接。

[0073] 其中,第一电容起到耦合的作用,以保证第一节点与第一电压信号端的电压差保持稳定。

[0074] 具体地,本发明实施例提供的上述像素电路中,如图3至图6所示,第二电容C2的第一端与驱动晶体管DT1的第一电极连接,第二电容C2的第二端分别与驱动晶体管DT1的第二栅极和第三开关晶体管T3的第二电极连接。

[0075] 其中,第二电容在第二节点和第三节之间起到耦合的作用,以保证第二节点和第三节的电压差保持稳定。

[0076] 具体地,本发明实施例提供的上述像素电路,所有的开关晶体管均为N型晶体管或P型晶体管,在此不作限定。

[0077] 可选地,本发明实施例提供的上述像素电路中提到的驱动晶体管和开关晶体管可以全部采用N型晶体管设计,这样可以简化像素电路的制作工艺流程。

[0078] 可选地,本发明实施例提供的上述像素电路中,驱动晶体管和开关晶体管可以是薄膜晶体管(TFT,Thin Film Transistor),也可以是金属氧化物半导体场效应管(MOS,Metal Oxide Semiconductor),在此不做限定。在具体实施中,这些晶体管的第一电极可为源电极时,第二电极可为漏电极,或第一电极可为漏电极时,第二电极可为源电极,根据晶体管类型以及输入信号的不同,其功能可以互换,在此不做具体区分。

[0079] 具体地,本发明实施例提供的上述像素电路中,所有的开关晶体管中至少有一个开关晶体管为双栅结构。

[0080] 其中,在实际应用中开关晶体管采用双栅结构可以减少开关晶体管在截止时的漏电流,防止开关晶体管产生的漏电流对驱动晶体管的干扰,以减少对驱动晶体管的驱动电流的影响。

[0081] 下面分别以图3和图5所示的像素电路的结构为例,结合电路时序图对本发明实施例提供的上述像素电路的工作过程作以描述。下述描述中以1表示高电位,0表示低电位。需要说明的是,1和0是逻辑电位,其仅是为了更好的解释本发明实施例的具体工作过程,而不是在具体实施时施加在各开关晶体管的栅极上的电压。

[0082] 实施例一

[0083] 可选地,以图3所示的像素电路的结构为例进行说明,对应的输入输出时序图如图9所示,图9为图3所示的结构对应的一种时序图。具体地,主要选取如图9所示的输入输出时序图中的节点初始化阶段P1、阈值侦测阶段P2、数据写入阶段P3和发光阶段P4四个阶段。

[0084] 在节点初始化阶段P1, $EMIT=0$, $Scan1=1$, $Scan2=1$ 。

[0085] 由于 $Scan1=1$,因此第二开关晶体管T2导通以将数据信号端data发出的参考信号V1提供给第一节点N1,第一节点N1的电位为V1;第三开关晶体管T3导通以将参考信号端Vref发出的参考信号V1提供给第三节点N3,第三节点N3的电位为V1。由于 $Scan2=1$,因此,第四开关晶体管T4导通以将复位信号端Vint发出的复位信号V2提供给第二节点N2,第二节点N2的电位为V2。由于 $EMIT=0$,因此第一开关晶体管T1截止,有机发光二极管OLED不发光。

[0086] 在阈值侦测阶段P2, $EMIT=1$, $Scan1=1$, $Scan2=0$ 。

[0087] 由于 $Scan1=1$,因此第二开关晶体管T2导通以将数据信号端data发出的参考信号V1提供给第一节点N1,第一节点N1的电位为V1;第三开关晶体管T3导通以将参考信号端Vref发出的参考信号V1提供给第三节点N3,第三节点N3的电位为V1,驱动晶体管DT1打开。由于 $Scan2=0$,因此,第四开关晶体管T4截止。由于 $EMIT=1$,因此第一开关晶体管T1导通以将第一电压信号端VDD发出的第一电压信号提供给驱动晶体管DT1,此时第二节点N2的电位为参考信号V1减去驱动晶体管的阈值电压 V_{th} ,因此第二节点N2的电位小于第二电压信号端VSS的电位与发光器件OLED本身的电位之和,即 $N2=V1-V_{th}<VSS+V_{OLED}$,因此有机发光二极管OLED不发光。

[0088] 在数据写入阶段P3, $EMIT=0$, $Scan1=1$, $Scan2=0$ 。

[0089] 由于 $Scan1=1$, 因此第二开关晶体管T2导通以将数据信号端data发出的数据信号Vdata提供给第一节点N1, 第一节点N1的电位为Vdata; 第三开关晶体管T3导通以将参考信号端Vref发出的参考信号V1提供给第三节点N3, 第三节点N3的电位为V1。由于 $Scan2=0$, 因此, 第四开关晶体管T4截止, 此时, 第二节点N2的电位为 $V1-V_{th}$ 。由于 $EMIT=0$, 因此第一开关晶体管T1截止, 有机发光二极管OLED不发光。

[0090] 发光阶段P4, $EMIT=1$, $Scan1=0$, $Scan2=0$ 。

[0091] 由于 $Scan1=0$, 第二开关晶体管T2和第三开关晶体管T3截止, 第一节点N1的电位保持P3阶段时的电位, 因此第一节点N1的电位为Vdata。由于 $EMIT=1$, 第一开关晶体管T1导通以将第一电压信号端VDD输出的电压提供给第四节点N4, 通过驱动晶体管DT1驱使发光器件OLED发光, 此时第二节点N2的电位为 $VSS+V_{OLED}$, 与第二节点N2在P3阶段的电位相比, 第二节点N2的电位变化量为 $\Delta V = VSS+V_{OLED}-V1+V_{th}$ 。由于第二电容C2的耦合作用, 此时第三节点N3的电位为 $V1+\Delta V = VSS+V_{OLED}+V_{th}$, 此时驱动晶体管DT1的栅极与漏极之间的电压差 $V_{gs} = N1+N3-N2 = Vdata+V_{th}$, 驱动晶体管DT1的驱动电流为 $I = k(V_{gs}-V_{th})^2 = k(Vdata+V_{th}-V_{th})^2 = k(Vdata)^2$; 以使驱动晶体管DT1的驱动电流驱动有机发光二极管OLED工作发光。

[0092] 实施例二

[0093] 可选地, 以图3所示的像素电路的结构为例进行说明, 对应的输入输出时序图如图10所示, 图10为图3所示的结构对应的另一种时序图。具体地, 主要选取如图10所示的输入输出时序图中的节点初始化阶段P1、保持阶段P5、阈值侦测阶段P2、数据写入阶段P3和发光阶段P4五个阶段。其中, 该时序适用于在第一行像素之前还包括一行第零行像素, 规定栅线的延伸方向为行方向。在各行像素电路的扫描过程中, 下一行像素的节点初始化阶段P1和保持阶段P5, 与上一行阈值侦测阶段P2和数据写入阶段P3是同时进行的, 该种时序的设置延长了阈值侦测阶段P2的时间, 如实施例一中, 完成四个阶段需要1H的时间, 其中1H的时间为扫描一行像素所需要的时间, 阈值侦测阶段P2占用1/4H的时间, 而在实施例二中的时序, 由于利用了上一行阈值侦测阶段P2和数据写入阶段P3的时间进行下一行的节点初始化阶段P1和保持阶段P5, 完成整个时序的四个阶段需要2H的时间, 阈值侦测阶段P2占用的时间为1/2H, 这样就延长了阈值侦测阶段P2的时间, 使阈值抓取的时间增大, 使阈值抓取更加准确, 有助于改善由于像素数量的增加, 导致阈值抓取时间变短, 使阈值抓取不准确, 而导致显示不均的现象。具体过程如下:

[0094] 在节点初始化阶段P1, $EMIT=0$, $Scan1=1$, $Scan2=1$ 。

[0095] 由于 $Scan1=1$, 因此第二开关晶体管T2导通以将数据信号端data发出的第一参考信号V1提供给第一节点N1, 第一节点N1的电位为V1; 第三开关晶体管T3导通以将参考信号端Vref发出的参考信号V1提供给第三节点N3, 第三节点N3的电位为V1。由于 $Scan2=1$, 因此, 第四开关晶体管T4导通以将复位信号端Vint发出的复位信号V2提供给第二节点N2, 第二节点N2的电位为V2。由于 $EMIT=0$, 因此第一开关晶体管T1截止, 有机发光二极管OLED不发光。

[0096] 在保持阶段P5, $EMIT=0$, $Scan1=0$, $Scan2=0$ 。

[0097] 由于 $EMIT=0$, $Scan1=0$ 和 $Scan2=0$, 因此各开关晶体管处于截止状态, 各节点保

持上一阶段的电位。

[0098] 在阈值侦测阶段P2, $EMIT=1$, $Scan1=1$, $Scan2=0$ 。

[0099] 由于 $Scan1=1$, 因此第二开关晶体管T2导通以将数据信号端data发出的参考信号V1提供给第一节点N1, 第一节点N1的电位为V1; 第三开关晶体管T3导通以将参考信号端Vref发出的参考信号V1提供给第三节点N3, 第三节点N3的电位为V1, 驱动晶体管DT1打开。由于 $Scan2=0$, 因此, 第四开关晶体管T4截止。由于 $EMIT=1$, 因此第一开关晶体管T1导通以将第一电压信号端VDD发出的第一电压信号提供给驱动晶体管DT1, 此时第二节点N2的电位为参考信号V1减去驱动晶体管的 V_{th} , 因此第二节点N2的电位小于第二电压信号端VSS的电位与发光器件OLED本身的电位之和, 即 $N2=V1-V_{th}<VSS+VOLED$, 因此有机发光二极管OLED不发光。

[0100] 在数据写入阶段P3, $EMIT=0$, $Scan1=1$, $Scan2=0$ 。

[0101] 由于 $Scan1=1$, 因此第二开关晶体管T2导通以将数据信号端data发出的数据信号Vdata提供给第一节点N1, 第一节点N1的电位为Vdata; 第三开关晶体管T3导通以将参考信号端Vref发出的参考信号V1提供给第三节点N3, 第三节点N3的电位为V1。由于 $Scan2=0$, 因此, 第四开关晶体管T4截止, 此时, 第二节点N2的电位为 $V1-V_{th}$ 。由于 $EMIT=0$, 因此第一开关晶体管T1截止, 有机发光二极管OLED不发光。

[0102] 发光阶段P4, $EMIT=1$, $Scan1=0$, $Scan2=0$ 。

[0103] 由于 $Scan1=0$, 第二开关晶体管T2和第三开关晶体管T3截止, 第一节点N1的电位保持P3阶段时的电位, 因此第一节点N1的电位为Vdata。由于 $EMIT=1$, 第一开关晶体管T1导通以将第一电压信号端VDD输出的电压提供给第四节点N4, 通过驱动晶体管DT1驱使发光器件OLED发光, 此时第二节点N2的电位为 $VSS+VOLED$, 与第二节点N2在P3阶段的电位相比, 第二节点N2的电位变化量为 $\Delta V=VSS+VOLED-V1+V_{th}$ 。由于第二电容C2的耦合作用, 此时第三节点N3的电位为 $V1+\Delta V=Vss+VOLED+V_{th}$, 此时驱动晶体管DT1的栅极与漏极之间的电压差 $V_{gs}=N1+N3-N2=Vdata+V_{th}$, 驱动晶体管DT1的驱动电流为 $I=k(V_{gs}-V_{th})^2=k(Vdata+V_{th}-V_{th})^2=k(Vdata)^2$; 以使驱动晶体管DT1的驱动电流驱动有机发光二极管OLED工作发光。

[0104] 实施例三

[0105] 可选地, 以图5所示的像素电路的结构为例进行说明, 对应的输入输出时序图如图9所示, 图9为图5所示的结构对应的一种时序图。具体地, 主要选取如图9所示的输入输出时序图中的节点初始化阶段P1、阈值侦测阶段P2、数据写入阶段P3和发光阶段P4四个阶段。

[0106] 在节点初始化阶段P1, $EMIT=0$, $Scan1=1$, $Scan2=1$ 。

[0107] 由于 $Scan1=1$, 因此第二开关晶体管T2导通以将数据信号端data发出的参考信号V1提供给第一节点N1, 第一节点N1的电位为V1; 第三开关晶体管T3导通以将参考信号端Vref发出的参考信号V1提供给第三节点N3, 第三节点N3的电位为V1。由于 $Scan2=1$, 因此, 第四开关晶体管T4导通以将复位信号端Vint发出的复位信号V2提供给第四节点N4, 第四节点N4的电位为V2。由于 $EMIT=0$, 因此第一开关晶体管T1截止, 有机发光二极管OLED不发光。

[0108] 在阈值侦测阶段P2, $EMIT=1$, $Scan1=1$, $Scan2=0$ 。

[0109] 由于 $Scan1=1$, 因此第二开关晶体管T2导通以将数据信号端data发出的参考信号V1提供给第一节点N1, 第一节点N1的电位为V1; 第三开关晶体管T3导通以将参考信号端

Vref发出的参考信号V1提供给第三节点N3,第三节点N3的电位为V1,驱动晶体管DT1打开。由于Scan2=0,因此,第四开关晶体管T4截止。由于EMIT=1,因此第一开关晶体管T1导通以将第一电压信号端VDD发出的第一电压信号提供给驱动晶体管DT1,此时第四节点N4的电位为参考信号V1减去驱动晶体管的阈值电压Vth,因此第四节点N4的电位小于第二电压信号端VSS的电位与发光器件OLED本身的电位之和,即 $N4 = V1 - V_{th} < VSS + V_{OLED}$,因此有机发光二极管OLED不发光。

[0110] 在数据写入阶段P3,EMIT=0,Scan1=1,Scan2=0。

[0111] 由于Scan1=1,因此第二开关晶体管T2导通以将数据信号端data发出的数据信号Vdata提供给第一节点N1,第一节点N1的电位为Vdata;第三开关晶体管T3导通以将参考信号端Vref发出的参考信号V1提供给第三节点N3,第三节点N3的电位为V1。由于Scan2=0,因此,第四开关晶体管T4截止,此时,第二节点N2的电位为 $V1 - V_{th}$ 。由于EMIT=0,因此第一开关晶体管T1截止,有机发光二极管OLED不发光。

[0112] 发光阶段P4,EMIT=1,Scan1=0,Scan2=0。

[0113] 由于Scan1=0,第二开关晶体管T2和第三开关晶体管T3截止,第一节点N1的电位保持P3阶段时的电位,因此第一节点N1的电位为Vdata。由于EMIT=1,第一开关晶体管T1导通以将第一电压信号端VDD输出的电压提供给第四节点N4,通过驱动晶体管DT1驱使发光器件OLED发光,此时第二节点N2的电位为 $VSS + V_{OLED}$,与第二节点N2在P3阶段的电位相比,第二节点N2的电位变化量为 $\Delta V = VSS + V_{OLED} - V1 + V_{th}$ 。由于第二电容C2的耦合作用,此时第三节点N3的电位为 $V1 + \Delta V = VSS + V_{OLED} + V_{th}$,此时驱动晶体管DT1的栅极与漏极之间的电压差 $V_{gs} = N1 + N3 - N2 = Vdata + V_{th}$,驱动晶体管DT1的驱动电流为 $I = k(V_{gs} - V_{th})^2 = k(Vdata + V_{th} - V_{th})^2 = k(Vdata)^2$;以使驱动晶体管DT1的驱动电流驱动有机发光二极管OLED工作发光。

[0114] 实施例四

[0115] 可选地,以图5所示的像素电路的结构为例进行说明,对应的输入输出时序图如图10所示,图10为图5所示的结构对应的另一种时序图。具体地,主要选取如图10所示的输入输出时序图中的节点初始化阶段P1、保持阶段P5、阈值侦测阶段P2、数据写入阶段P3和发光阶段P4五个阶段。其中,该时序适用于在第一行像素之前还包括一行第零行像素,规定栅线的延伸方向为行方向。在各行像素电路的扫描过程中,下一行像素的节点初始化阶段P1和保持阶段P5,与上一行阈值侦测阶段P2和数据写入阶段P3是同时进行的,该种时序的设置延长了阈值侦测阶段P2的时间,如实施例一中,完成四个阶段需要1H的时间,其中1H的时间为扫描一行像素所需要的时间,阈值侦测阶段P2占用1/4H的时间,而在实施例二中的时序,由于利用了上一行阈值侦测阶段P2和数据写入阶段P3的时间进行下一行的节点初始化阶段P1和保持阶段P5,完成整个时序的四个阶段需要2H的时间,阈值侦测阶段P2占用的时间为1/2H,这样就延长了阈值侦测阶段P2的时间,使阈值抓取的时间增大,使阈值抓取更加准确,有助于改善由于像素数量的增加,导致阈值抓取时间变短,使阈值抓取不准确,而导致显示不均的现象。具体过程如下:

[0116] 在节点初始化阶段P1,EMIT=0,Scan1=1,Scan2=1。

[0117] 由于Scan1=1,因此第二开关晶体管T2导通以将数据信号端data发出的第一参考信号V1提供给第一节点N1,第一节点N1的电位为V1;第三开关晶体管T3导通以将参考信号

端Vref发出的参考信号V1提供给第三节点N3,第三节点N3的电位为V1。由于Scan2=1,因此,第四开关晶体管T4导通以将复位信号端Vint发出的复位信号V2提供给第四节点N4,第四节点N4的电位为V2。由于EMIT=0,因此第一开关晶体管T1截止,有机发光二极管OLED不发光。

[0118] 在保持阶段P5,EMIT=0,Scan1=0,Scan2=0。

[0119] 由于EMIT=0,Scan1=0和Scan1=0,因此各开关晶体管处于截止状态,各节点保持上一节点的电位。

[0120] 在阈值侦测阶段P2,EMIT=1,Scan1=1,Scan2=0。

[0121] 由于Scan1=1,因此第二开关晶体管T2导通以将数据信号端data发出的参考信号V1提供给第一节点N1,第一节点N1的电位为V1;第三开关晶体管T3导通以将参考信号端Vref发出的参考信号V1提供给第三节点N3,第三节点N3的电位为V1,驱动晶体管DT1打开。由于Scan2=0,因此,第四开关晶体管T4截止。由于EMIT=1,因此第一开关晶体管T1导通以将第一电压信号端VDD发出的第一电压信号提供给驱动晶体管DT1,此时第二节点N2的电位为参考信号V1减去驱动晶体管的 V_{th} ,因此第二节点N2的电位小于第二电压信号端VSS的电位与发光器件OLED本身的电位之和,即 $N2 = V1 - V_{th} < VSS + V_{OLED}$,因此有机发光二极管OLED不发光。

[0122] 在数据写入阶段P3,EMIT=0,Scan1=1,Scan2=0。

[0123] 由于Scan1=1,因此第二开关晶体管T2导通以将数据信号端data发出的数据信号Vdata提供给第一节点N1,第一节点N1的电位为Vdata;第三开关晶体管T3导通以将参考信号端Vref发出的参考信号V1提供给第三节点N3,第三节点N3的电位为V1。由于Scan2=0,因此,第四开关晶体管T4截止,此时,第二节点N2的电位为 $V1 - V_{th}$ 。由于EMIT=0,因此第一开关晶体管T1截止,有机发光二极管OLED不发光。

[0124] 发光阶段P4,EMIT=1,Scan1=0,Scan2=0。

[0125] 由于Scan1=0,第二开关晶体管T2和第三开关晶体管T3截止,第一节点N1的电位保持P3阶段时的电位,因此第一节点N1的电位为Vdata。由于EMIT=1,第一开关晶体管T1导通以将第一电压信号端VDD输出的电压提供给第四节点N4,通过驱动晶体管DT1驱使发光器件OLED发光,此时第二节点N2的电位为 $VSS + V_{OLED}$,与第二节点N2在P3阶段的电位相比,第二节点N2的电位变化量为 $\Delta V = VSS + V_{OLED} - V1 + V_{th}$ 。由于第二电容C2的耦合作用,此时第三节点N3的电位为 $V1 + \Delta V = Vss + V_{OLED} + V_{th}$,此时驱动晶体管DT1的栅极与漏极之间的电压差 $V_{gs} = N1 + N3 - N2 = Vdata + V_{th}$,驱动晶体管DT1的驱动电流为 $I = k(V_{gs} - V_{th})^2 = k(Vdata + V_{th} - V_{th})^2 = k(Vdata)^2$;以使驱动晶体管DT1的驱动电流驱动有机发光二极管OLED工作发光。

[0126] 实施例五

[0127] 可选地,以图4所示的像素电路的结构为例进行说明,对应的输入输出时序图如图11所示,图11为图4所示的结构对应的一种时序图。具体地,主要选取如图11所示的输入输出时序图中的节点初始化阶段P1、阈值侦测阶段P2、数据写入阶段P3和发光阶段P4四个阶段。

[0128] 在节点初始化阶段P1,EMIT=1,Scan1=0,Scan2=0。

[0129] 由于Scan1=0,因此第二开关晶体管T2导通以将数据信号端data发出的参考信号

V1提供给第一节点N1,第一节点N1的电位为V1;第三开关晶体管T3导通以将参考信号端Vref发出的参考信号V1提供给第三节点N3,第三节点N3的电位为V1。由于Scan2=0,因此,第四开关晶体管T4导通以将复位信号端Vint发出的复位信号V2提供给第二节点N2,第二节点N2的电位为V2。由于EMIT=1,因此第一开关晶体管T1截止,有机发光二极管OLED不发光。

[0130] 在阈值侦测阶段P2,EMIT=0,Scan1=0,Scan2=1。

[0131] 由于Scan1=0,因此第二开关晶体管T2导通以将数据信号端data发出的参考信号V1提供给第一节点N1,第一节点N1的电位为V1;第三开关晶体管T3导通以将参考信号端Vref发出的参考信号V1提供给第三节点N3,第三节点N3的电位为V1,驱动晶体管DT1打开。由于Scan2=1,因此,第四开关晶体管T4截止。由于EMIT=0,因此第一开关晶体管T1导通以将第一电压信号端VDD发出的第一电压信号提供给驱动晶体管DT1,此时第二节点N2的电位为参考信号V1减去驱动晶体管的阈值电压Vth,因此第二节点N2的电位小于第二电压信号端VSS的电位与发光器件OLED本身的电位之和,即 $N2 = V1 - V_{th} < VSS + VOLED$,因此有机发光二极管OLED不发光。

[0132] 在数据写入阶段P3,EMIT=1,Scan1=0,Scan2=1。

[0133] 由于Scan1=0,因此第二开关晶体管T2导通以将数据信号端data发出的数据信号Vdata提供给第一节点N1,第一节点N1的电位为Vdata;第三开关晶体管T3导通以将参考信号端Vref发出的参考信号V1提供给第三节点N3,第三节点N3的电位为V1。由于Scan2=1,因此,第四开关晶体管T4截止,此时,第二节点N2的电位为 $V1 - V_{th}$ 。由于EMIT=1,因此第一开关晶体管T1截止,有机发光二极管OLED不发光。

[0134] 发光阶段P4,EMIT=0,Scan1=1,Scan2=1。

[0135] 由于Scan1=1,第二开关晶体管T2和第三开关晶体管T3截止,第一节点N1的电位保持P3阶段时的电位,因此第一节点N1的电位为Vdata。由于EMIT=0,第一开关晶体管T1导通以将第一电压信号端VDD输出的电压提供给第四节点N4,通过驱动晶体管DT1驱使发光器件OLED发光,此时第二节点N2的电位为 $VSS + VOLED$,与第二节点N2在P3阶段的电位相比,第二节点N2的电位变化量为 $\Delta V = VSS + VOLED - V1 + V_{th}$ 。由于第二电容C2的耦合作用,此时第三节点N3的电位为 $V1 + \Delta V = Vss + VOLED + V_{th}$,此时驱动晶体管DT1的栅极与漏极之间的电压差 $V_{gs} = N1 + N3 - N2 = Vdata + V_{th}$,驱动晶体管DT1的驱动电流为 $I = k(V_{gs} - V_{th})^2 = k(Vdata + V_{th} - V_{th})^2 = k(Vdata)^2$;以使驱动晶体管DT1的驱动电流驱动有机发光二极管OLED工作发光。

[0136] 实施例六

[0137] 可选地,以图6所示的像素电路的结构为例进行说明,对应的输入输出时序图如图12所示,图12为图6所示的结构对应的另一种时序图。具体地,主要选取如图12所示的输入输出时序图中的节点初始化阶段P1、保持阶段P5、阈值侦测阶段P2、数据写入阶段P3和发光阶段P4五个阶段。其中,该时序适用于在第一行像素之前还包括一行第零行像素,规定栅线的延伸方向为行方向。在各行像素电路的扫描过程中,下一行像素的节点初始化阶段P1和保持阶段P5,与上一行阈值侦测阶段P2和数据写入阶段P3是同时进行的,该种时序的设置延长了阈值侦测阶段P2的时间,如实施例一中,完成四个阶段需要1H的时间,其中1H的时间为扫描一行像素所需要的时间,阈值侦测阶段P2占用1/4H的时间,而在实施例二中的时序,由于利用了上一行阈值侦测阶段P2和数据写入阶段P3的时间进行下一行的节点初始化阶

段P1和保持阶段P5,完成整个时序的四个阶段需要2H的时间,阈值侦测阶段P2占用的时间为1/2H,这样就延长了阈值侦测阶段P2的时间,使阈值抓取的时间增大,使阈值抓取更加准确,有助于改善由于像素数量的增加,导致阈值抓取时间变短,使阈值抓取不准确,而导致显示不均的现象。具体过程如下:

[0138] 在节点初始化阶段P1, $EMIT=1$, $Scan1=0$, $Scan2=0$ 。

[0139] 由于 $Scan1=0$,因此第二开关晶体管T2导通以将数据信号端data发出的第一参考信号V1提供给第一节点N1,第一节点N1的电位为V1;第三开关晶体管T3导通以将参考信号端Vref发出的参考信号V1提供给第三节点N3,第三节点N3的电位为V1。由于 $Scan2=0$,因此,第四开关晶体管T4导通以将复位信号端Vint发出的复位信号V2提供给第四节点N4,第四节点N4的电位为V2。由于 $EMIT=1$,因此第一开关晶体管T1截止,有机发光二极管OLED不发光。

[0140] 在保持阶段P5, $EMIT=1$, $Scan1=1$, $Scan2=1$ 。

[0141] 由于 $EMIT=1$, $Scan1=1$ 和 $Scan1=1$,因此各开关晶体管处于截止状态,各节点保持上一节点的电位。

[0142] 在阈值侦测阶段P2, $EMIT=0$, $Scan1=0$, $Scan2=1$ 。

[0143] 由于 $Scan1=0$,因此第二开关晶体管T2导通以将数据信号端data发出的参考信号V1提供给第一节点N1,第一节点N1的电位为V1;第三开关晶体管T3导通以将参考信号端Vref发出的参考信号V1提供给第三节点N3,第三节点N3的电位为V1,驱动晶体管DT1打开。由于 $Scan2=1$,因此,第四开关晶体管T4截止。由于 $EMIT=0$,因此第一开关晶体管T1导通以将第一电压信号端VDD发出的第一电压信号提供给驱动晶体管DT1,此时第二节点N2的电位为参考信号V1减去驱动晶体管的 V_{th} ,因此第二节点N2的电位小于第二电压信号端VSS的电位与发光器件OLED本身的电位之和,即 $N2=V1-V_{th}<VSS+VOLED$,因此有机发光二极管OLED不发光。

[0144] 在数据写入阶段P3, $EMIT=1$, $Scan1=0$, $Scan2=1$ 。

[0145] 由于 $Scan1=0$,因此第二开关晶体管T2导通以将数据信号端data发出的数据信号Vdata提供给第一节点N1,第一节点N1的电位为Vdata;第三开关晶体管T3导通以将参考信号端Vref发出的参考信号V1提供给第三节点N3,第三节点N3的电位为V1。由于 $Scan2=1$,因此,第四开关晶体管T4截止,此时,第二节点N2的电位为 $V1-V_{th}$ 。由于 $EMIT=1$,因此第一开关晶体管T1截止,有机发光二极管OLED不发光。

[0146] 发光阶段P4, $EMIT=0$, $Scan1=1$, $Scan2=1$ 。

[0147] 由于 $Scan1=1$,第二开关晶体管T2和第三开关晶体管T3截止,第一节点N1的电位保持P3阶段时的电位,因此第一节点N1的电位为Vdata。由于 $EMIT=0$,第一开关晶体管T1导通以将第一电压信号端VDD输出的电压提供给第四节点N4,通过驱动晶体管DT1驱使发光器件OLED发光,此时第二节点N2的电位为 $VSS+VOLED$,与第二节点N2在P3阶段的电位相比,第二节点N2的电位变化量为 $\Delta V=VSS+VOLED-V1+V_{th}$ 。由于第二电容C2的耦合作用,此时第三节点N3的电位为 $V1+\Delta V=Vss+VOLED+V_{th}$,此时驱动晶体管DT1的栅极与漏极之间的电压差 $V_{gs}=N1+N3-N2=Vdata+V_{th}$,驱动晶体管DT1的驱动电流为 $I=k(V_{gs}-V_{th})^2=k(Vdata+V_{th}-V_{th})^2=k(Vdata)^2$;以使驱动晶体管DT1的驱动电流驱动有机发光二极管OLED工作发光。

[0148] 基于同一发明构思,本发明实施例还提供了一种像素电路的驱动方法,如图13所示,图13为本发明实施例提供的像素电路的驱动方法的方法流程图,包括:

[0149] S1301、节点初始化阶段,向第一扫描信号端和第二扫描信号端提供第一电平信号,向发光控制端提供第二电平信号,向数据信号端提供参考电压信号;

[0150] S1302、阈值侦测阶段,向第一扫描信号端和发光控制端提供第一电平信号,向第二扫描信号端提供第二电平信号,向数据信号端提供参考电压信号;

[0151] S1303、数据写入阶段,向第一扫描信号端提供第一电平信号,向第二扫描信号端和发光控制端提供第二电平信号,向数据信号端提供数据电压信号;

[0152] S1304、发光阶段,向发光控制端提供第一电平信号,向第一扫描信号端和第二扫描信号端提供第二电平信号。

[0153] 可选地,本发明实施例提供的上述像素电路的驱动方法中,在节点初始化阶段和阈值侦测阶段之间,还包括:

[0154] 保持阶段,向第一扫描信号端、第二扫描信号端和发光控制端提供第二电平信号,向数据信号端提供上一行的数据电压信号。

[0155] 与上述像素驱动方法相比,该驱动方法又增加了保持阶段,其中节点初始化阶段和保持阶段是与上一行阈值侦测阶段和数据写入阶段的是同步进行的,这样就延长了每一行像素阈值侦测阶段的时间,使抓取的驱动晶体管的阈值更加的准确,有助于改善由于像素数量的增加,导致阈值抓取时间变短,使阈值抓取不准确,而导致显示不均的现象。

[0156] 可选地,在本发明实施例提供的上述像素电路的驱动方法中,在所有的开关晶体管为N型晶体管时,则上述的第一电平信号为高电位信号,对应地,第二电平信号为低电位信号;或者,在所有的开关晶体管为P型晶体管时,第一电平信号可以为低电位信号,对应地,第二电平信号为高电位信号。在此不作具体限定,根据具体需要开关晶体管是N型晶体管还是P型晶体管而定。

[0157] 上述像素驱动电路的驱动方法的具体过程已经在实施例一至实施例四中进行了详尽的阐述,在此重复之处不再赘述。

[0158] 基于同一发明构思,本发明实施例还提供了一种有机电致发光显示面板,如图14所示,图14为本发明实施例提供的有机发光显示面板中像素排列方式的结构示意图,包括:阵列排布的多个本发明实施例提供的上述像素电路PX。该有机发光显示面板解决问题的原理与前述像素电路相似,因此该有机发光显示面板的实施可以参见前述像素电路的实施,重复之处在此不再赘述。

[0159] 基于同一发明构思,如图15所示,图15为本发明实施例提供的显示装置的结构示意图,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述有机发光显示面板。该显示装置可以是显示器、手机、电视、笔记本电脑、电子纸、数码相框、导航仪、一体机等,对于显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本发明的限制。

[0160] 本发明实施例提供一种像素电路、其驱动方法、显示面板及显示装置,包括:双栅结构的驱动晶体管、第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第一电容、第二电容和发光器件,通过上述各晶体管和电容的相互配合对驱动晶体管的阈值电压进行补偿,使驱动发光器件发光的驱动电流仅与数据信号的电压有关,避免驱动

控制模块的阈值电压对发光器件的影响,在使用相同的数据信号加载到不同的像素单元时,能够得到亮度相同的图像,提高了显示装置显示区域图像亮度的均匀性,同时减小了像素电路调整gamma电压的难度,并且使数据信号的选择范围可以得到进一步的优化,有利于减少能耗,其中驱动晶体管采用双栅结构使像素电路更加的稳定。

[0161] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

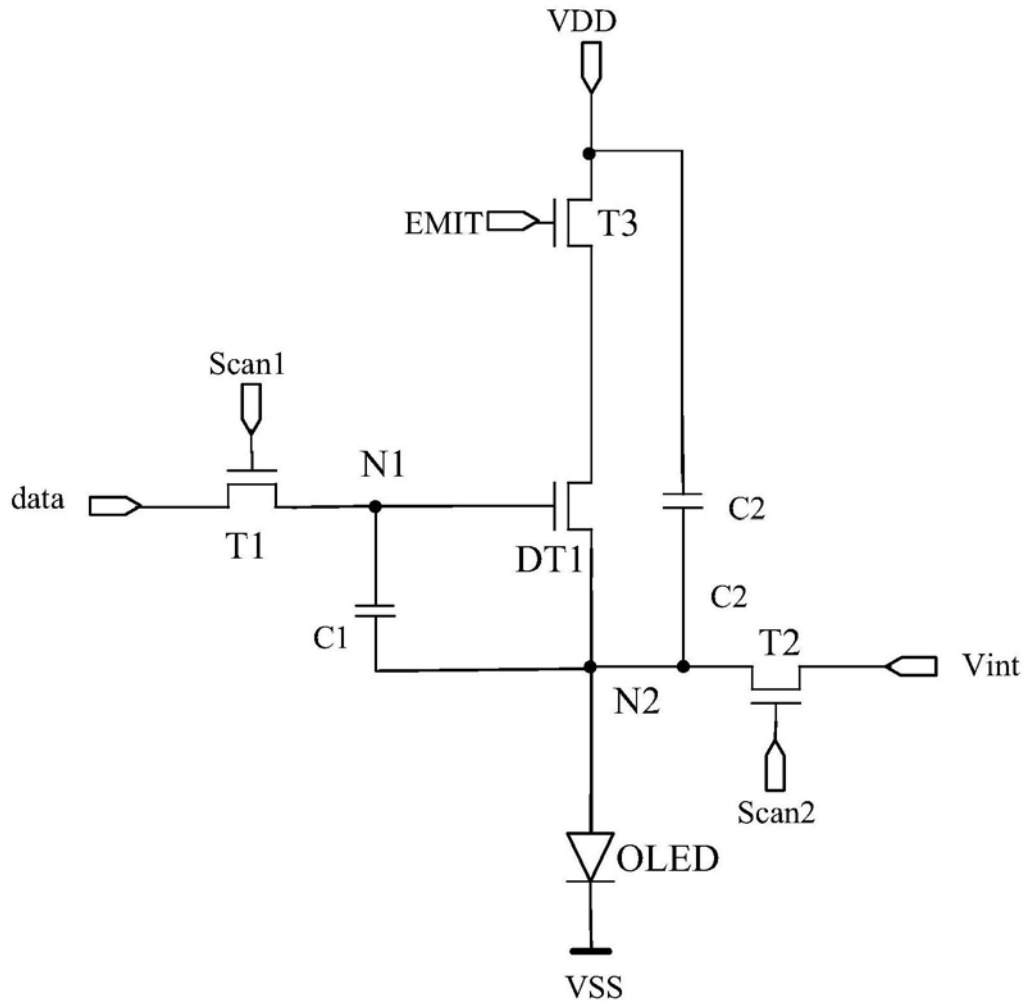


图1

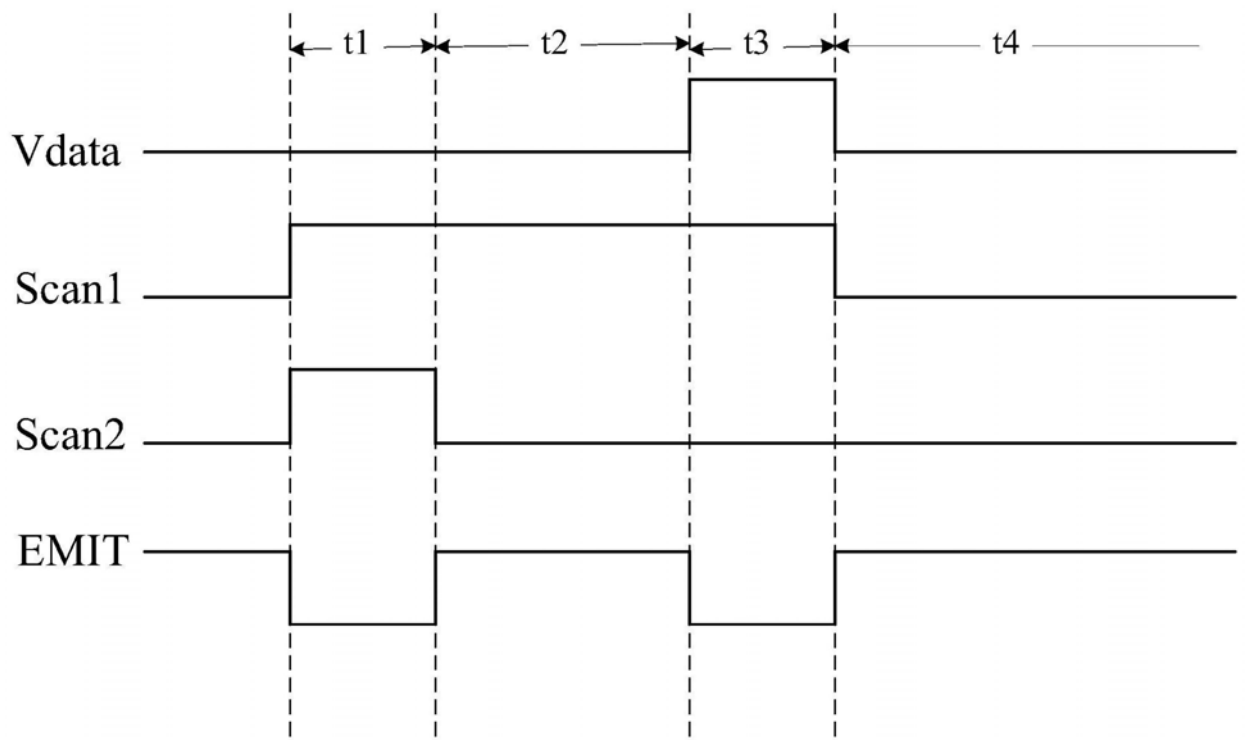


图2

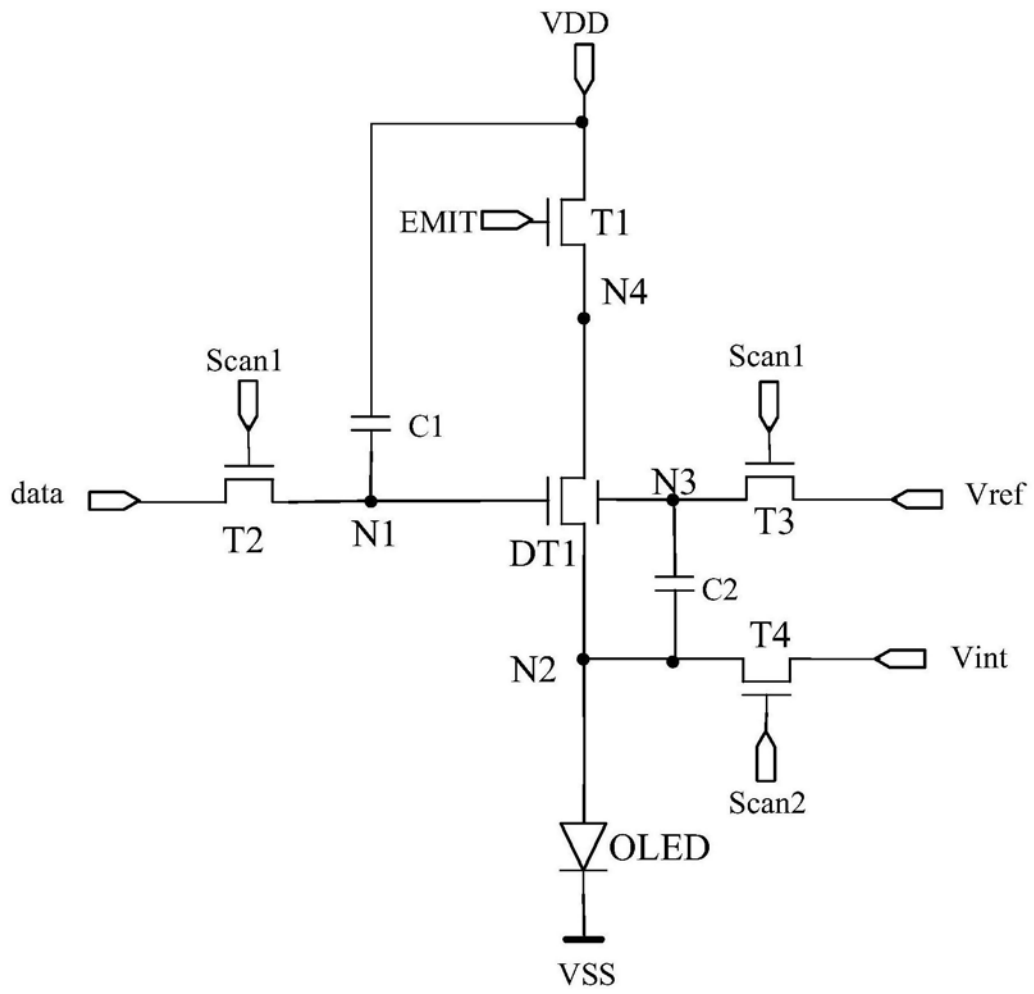


图3

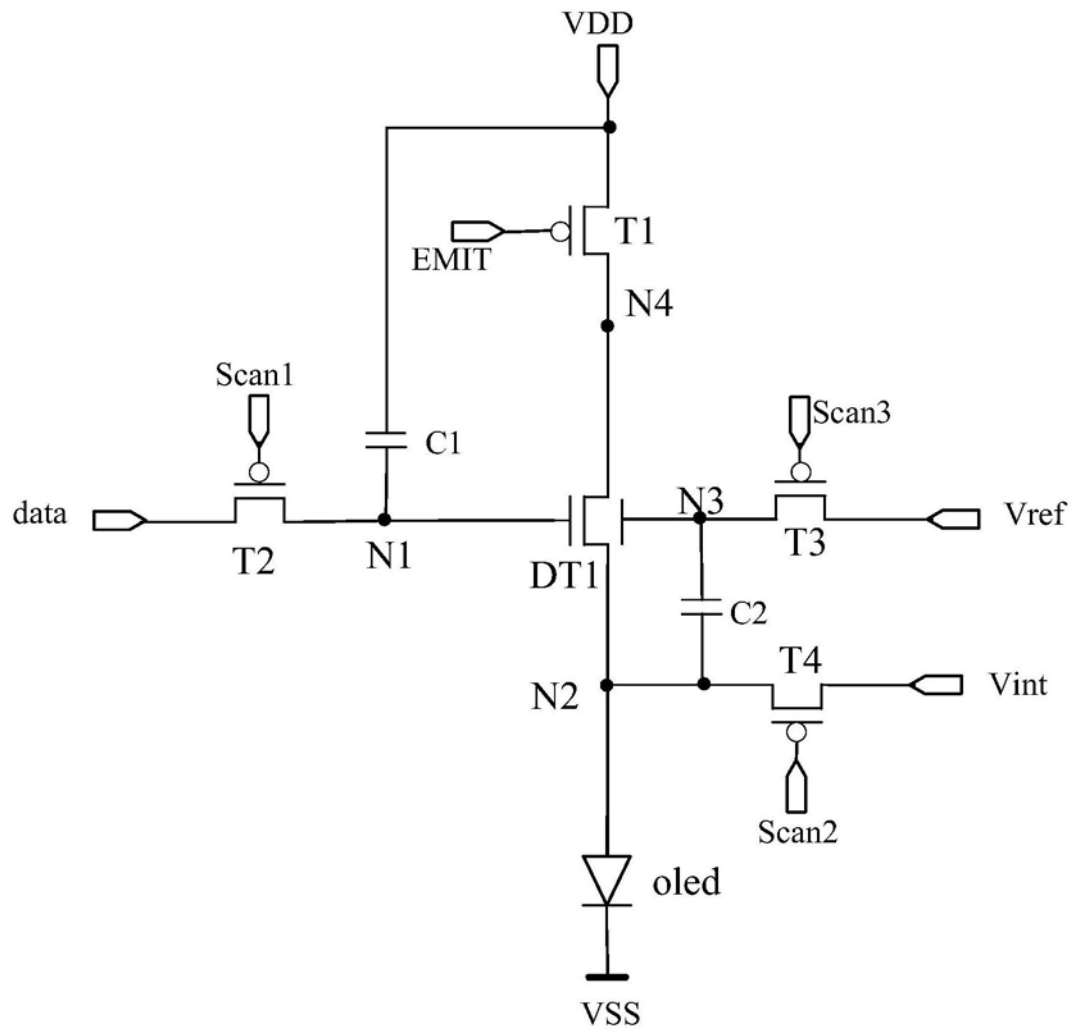


图4

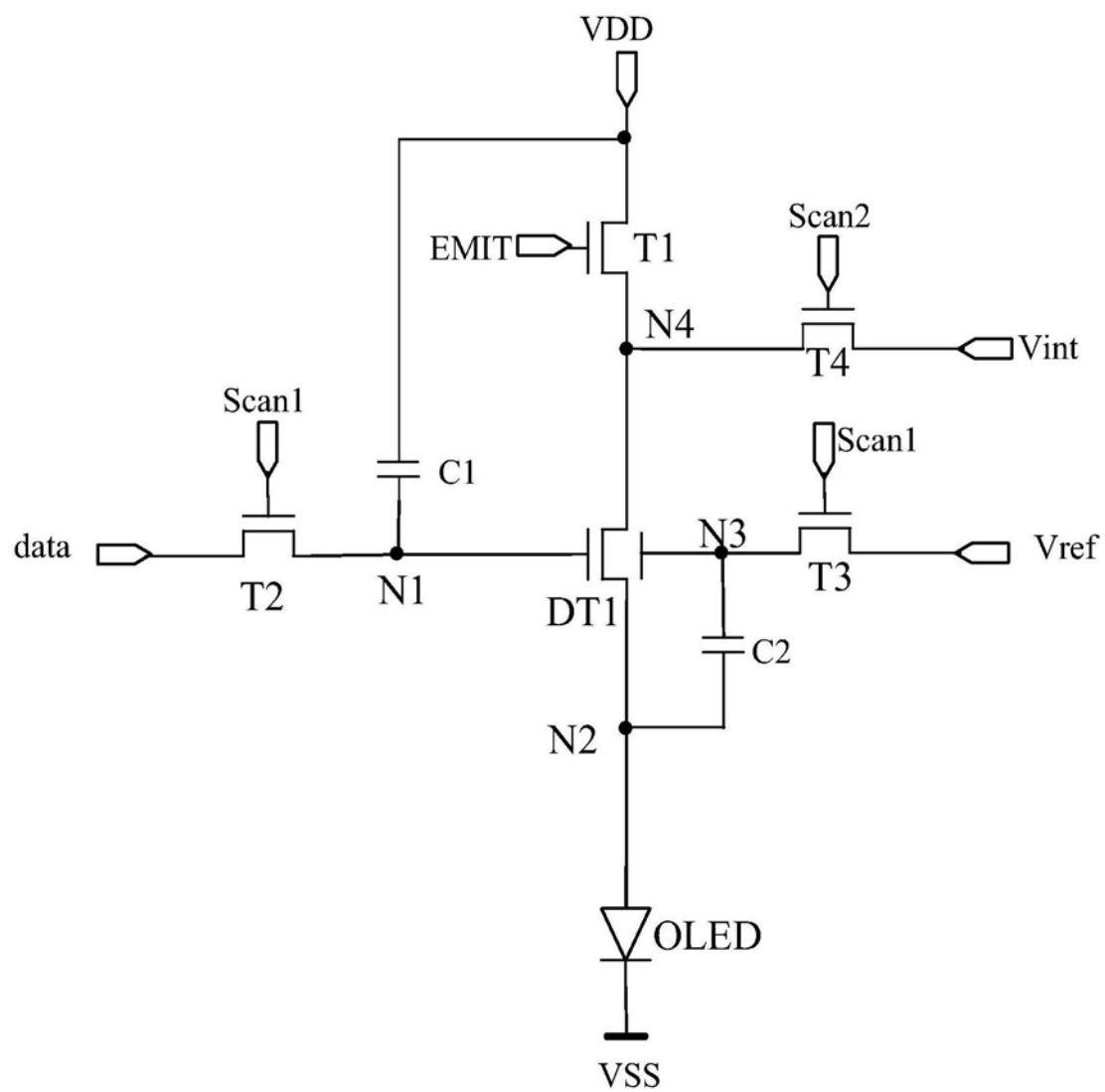


图5

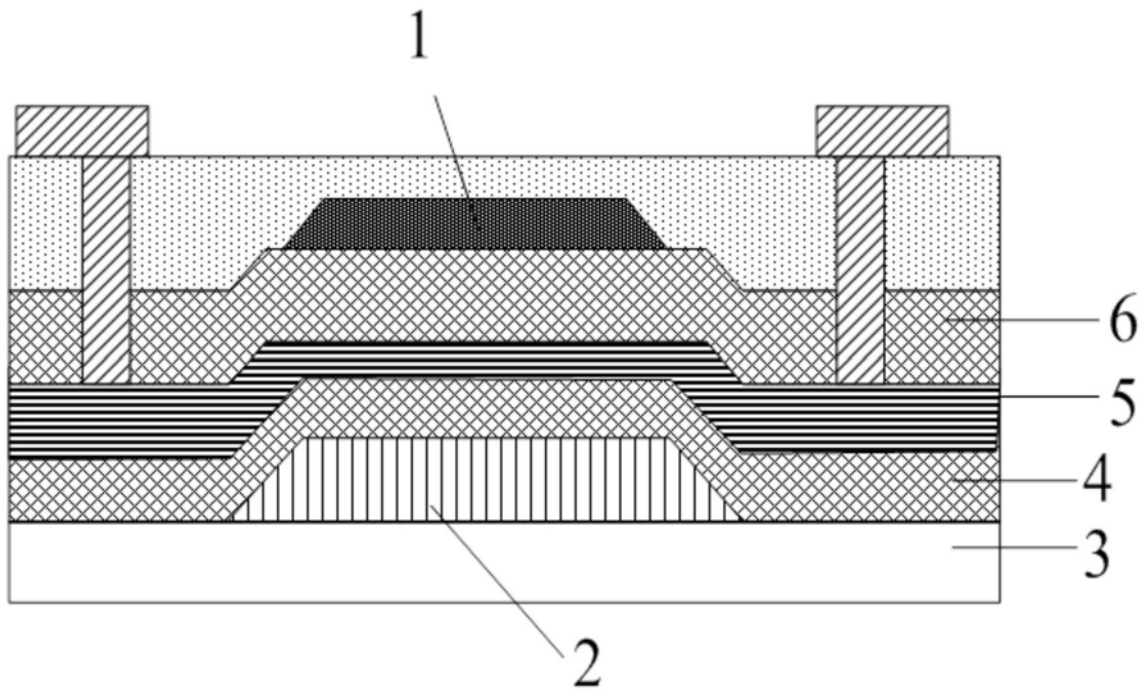


图7

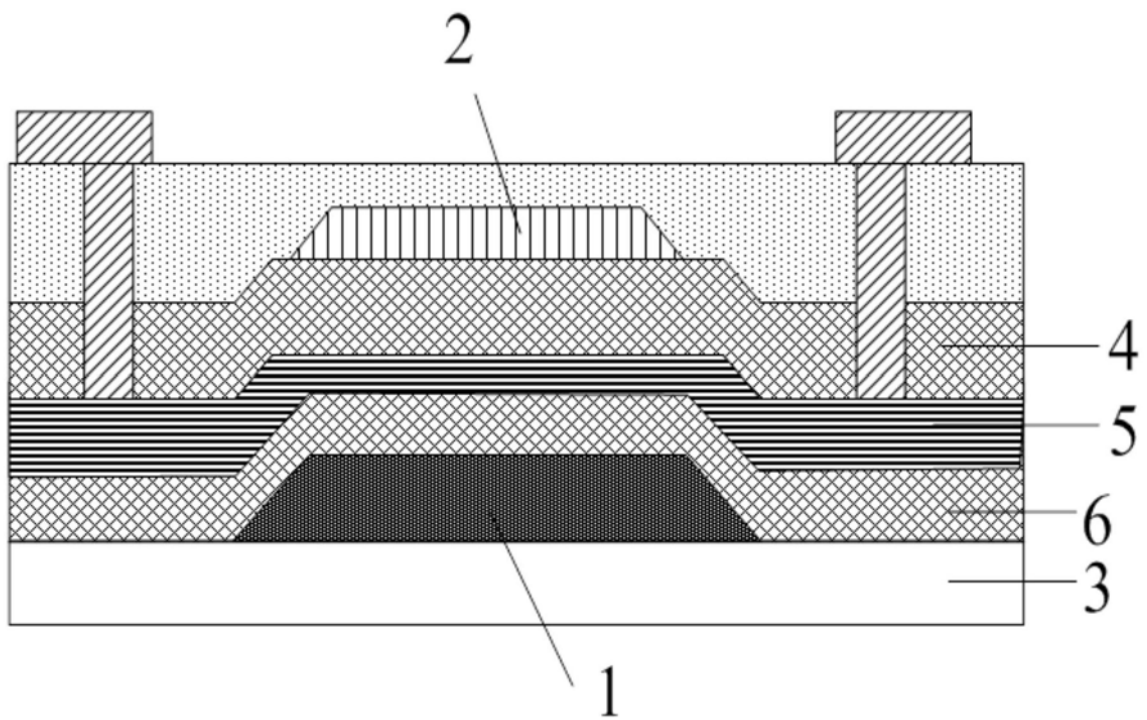


图8

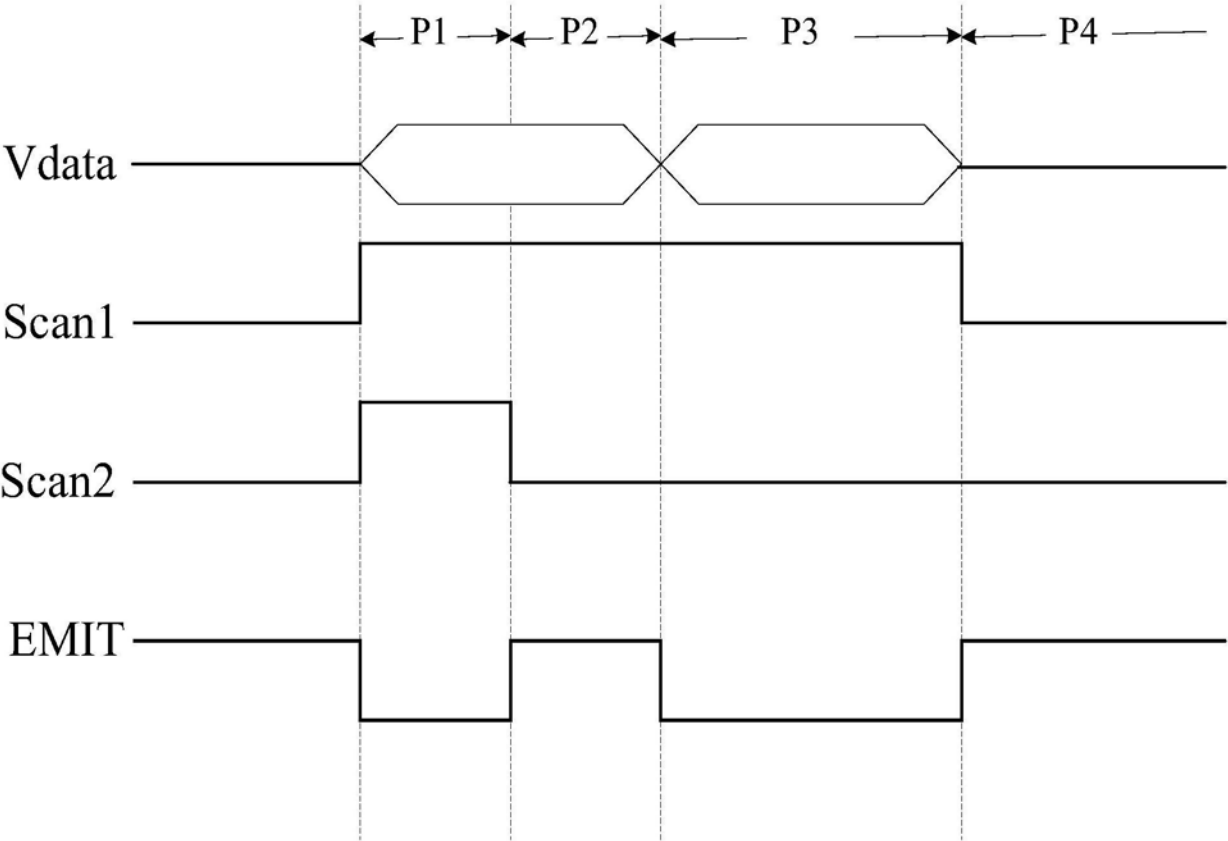


图9

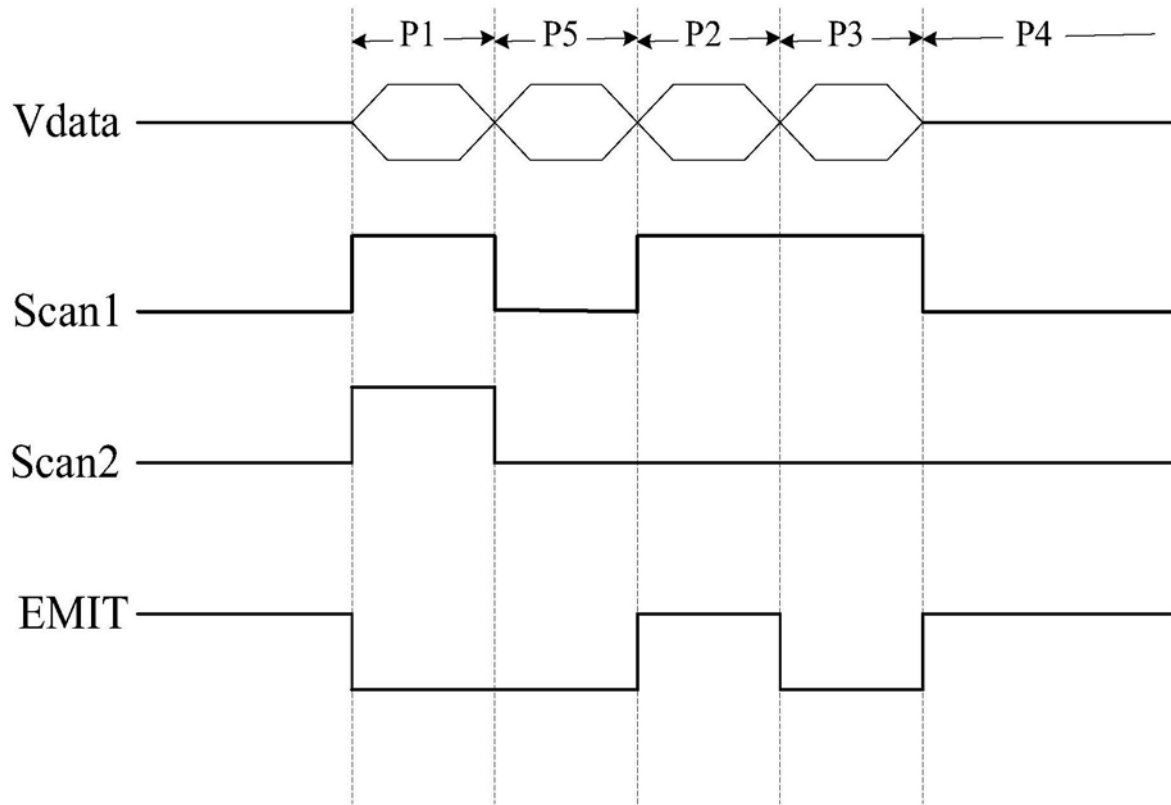


图10

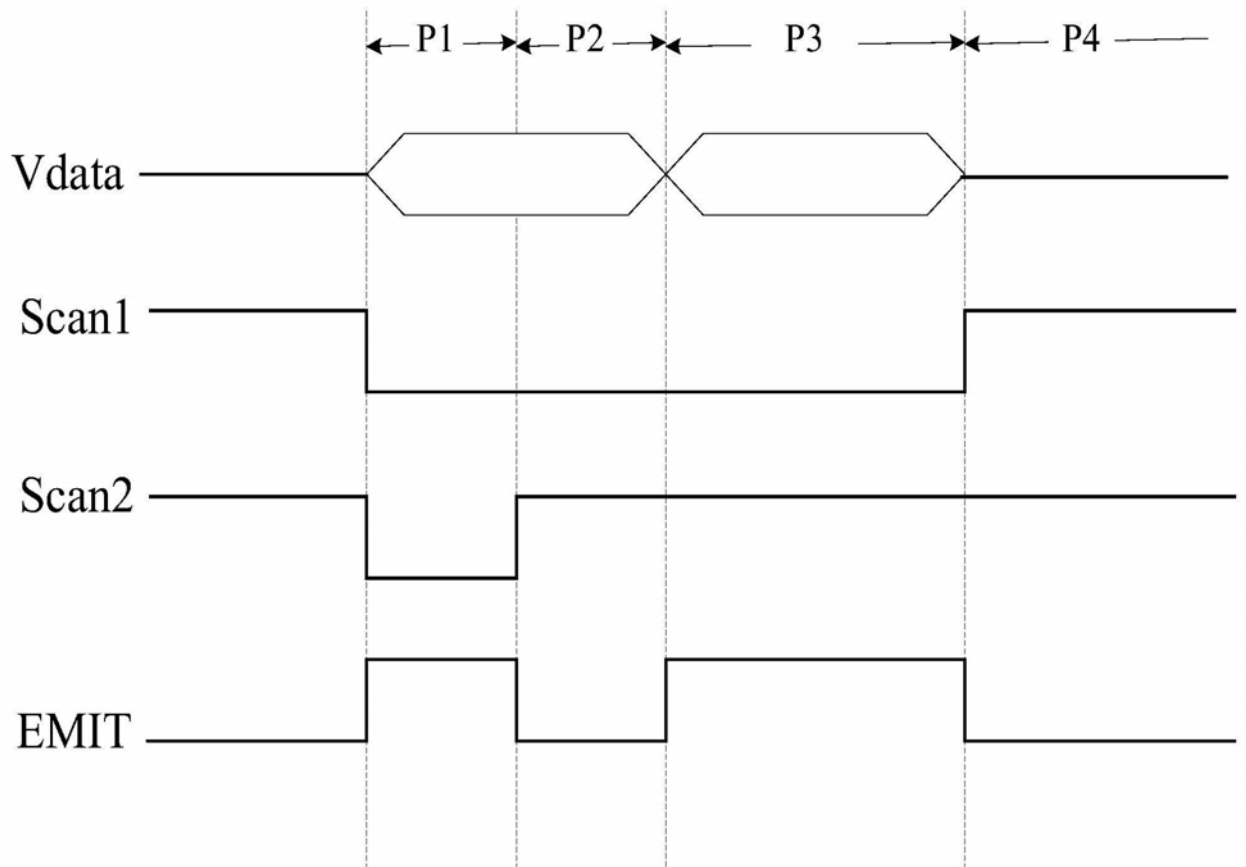


图11

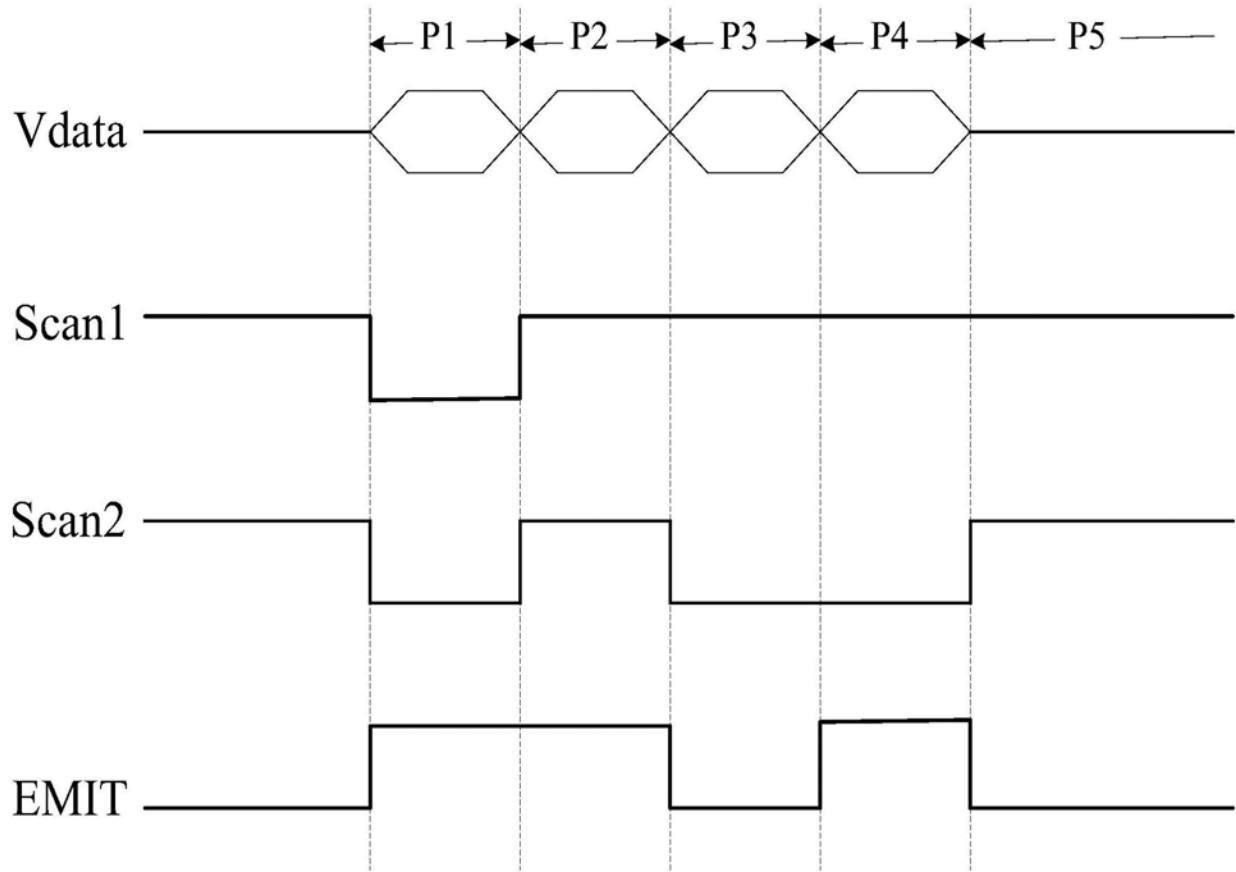


图12

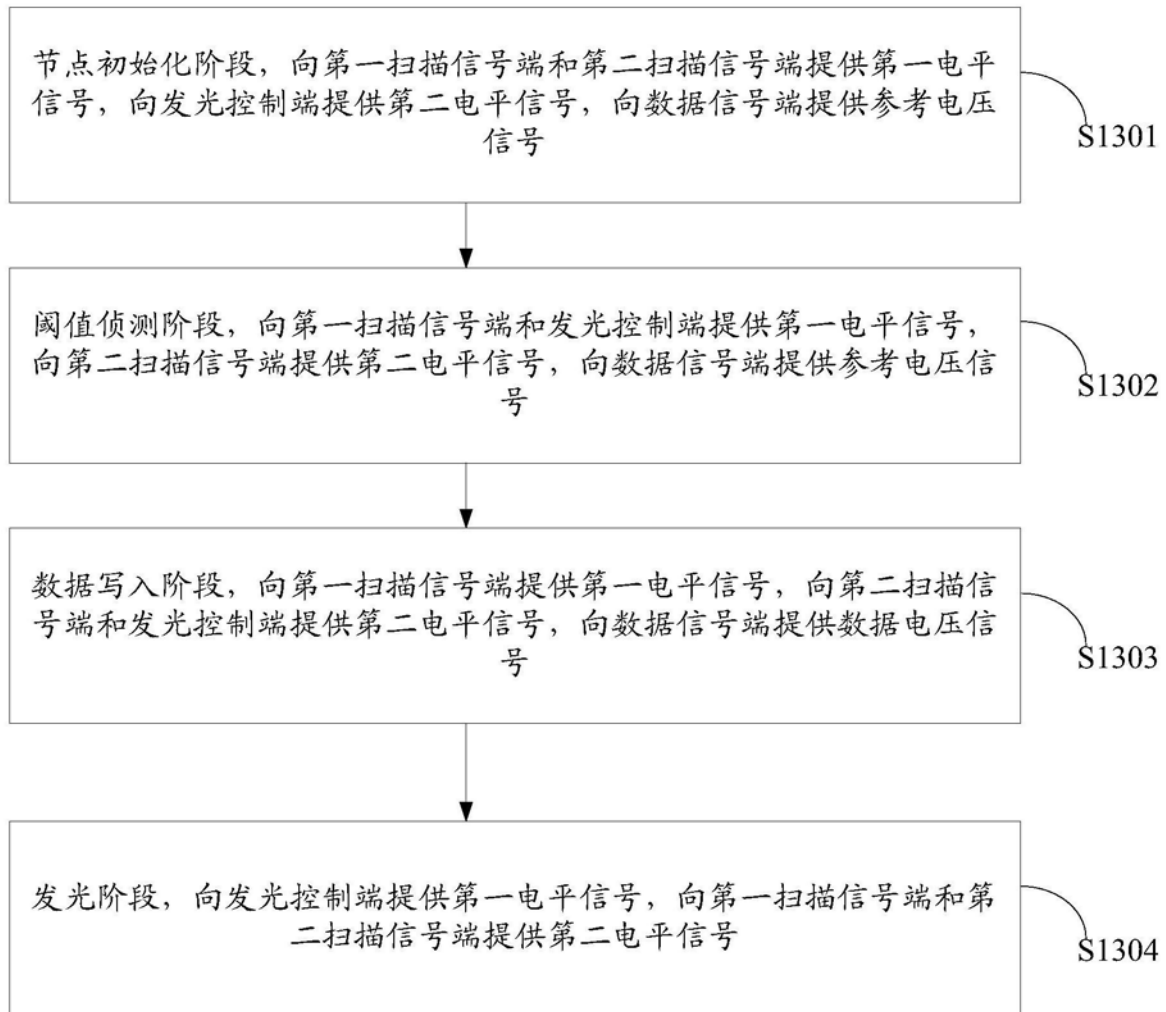


图13

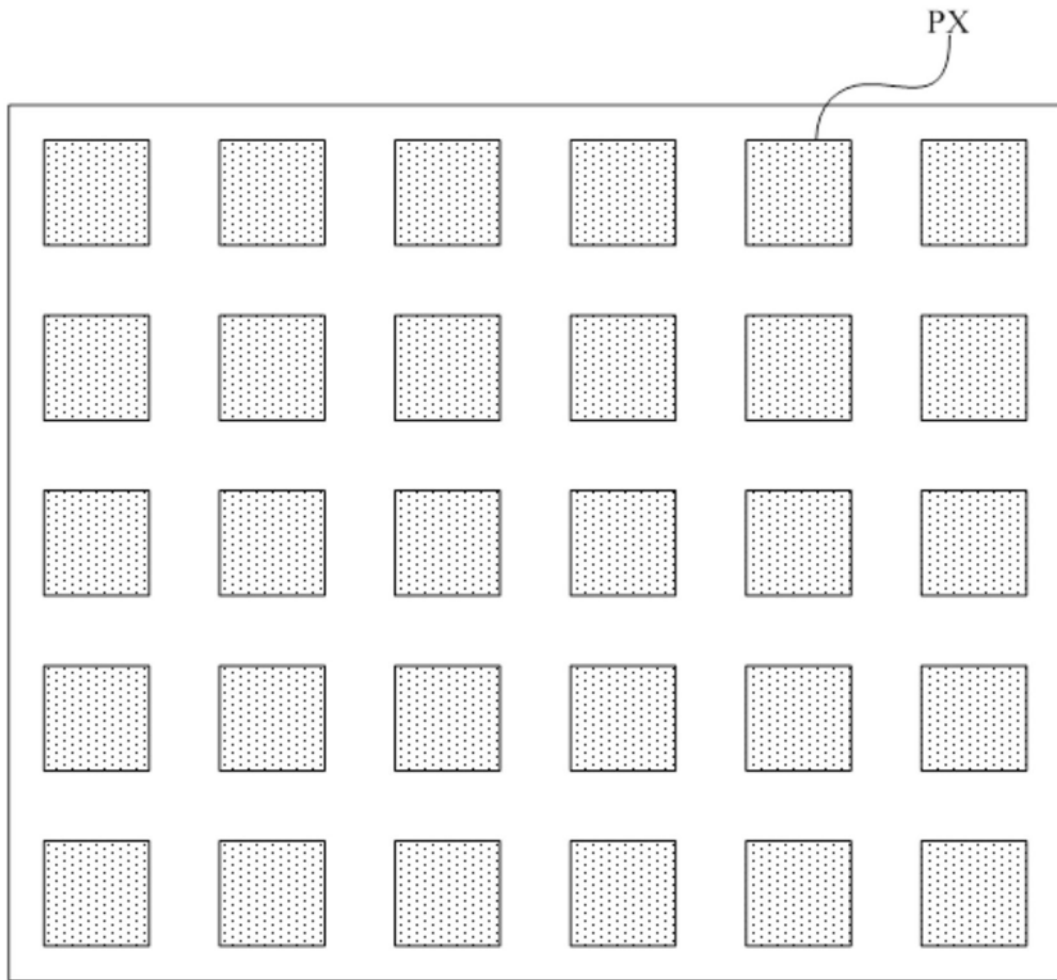


图14

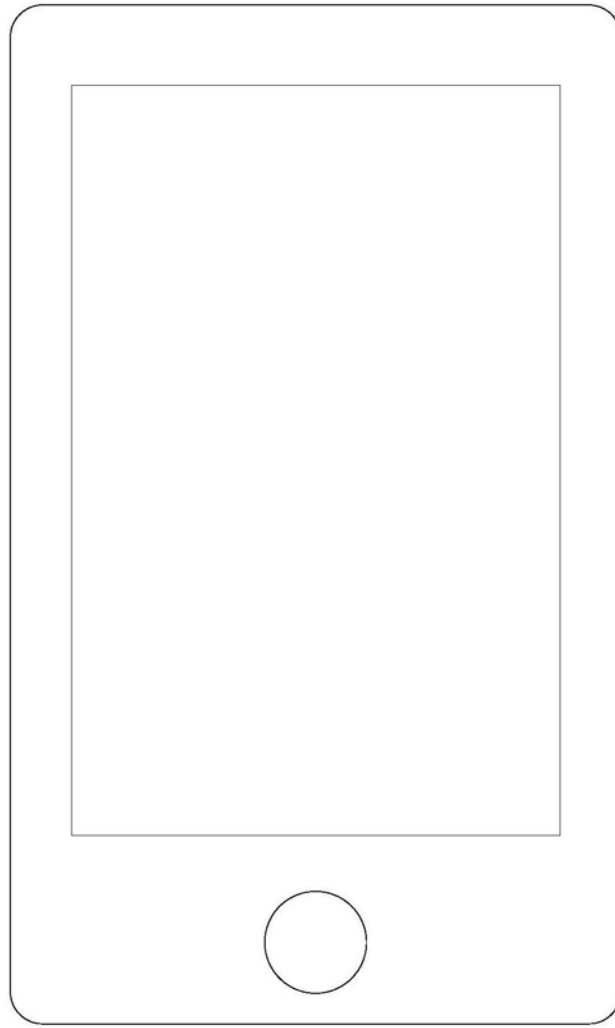


图15