

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96135728

※申請日期：96.9.26

※IPC 分類：H01L 29/786 (2006.01)

H01L 21/283 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置及半導體裝置之製造方法

SEMICONDUCTOR DEVICE AND METHOD OF
MANUFACTURING A SEMICONDUCTOR DEVICE

二、申請人：(共 2 人)

申請人 1.

姓名或名稱：(中文/英文)

國立大學法人 東北大學

NATIONAL UNIVERSITY CORPORATION TOHOKU
UNIVERSITY

代表人：(中文/英文) 井上 明久 / INOUE, AKIHISA

住居所或營業所地址：(中文/英文)

日本國宮城縣仙台市青葉區片平二丁目 1 番 1 號

1-1, Katahira 2-chome, Aoba-ku, Sendai-shi, Miyagi, Japan

國 籍：(中文/英文) 日本 JP

申請人 2.

姓名或名稱：(中文/英文)

日本傑恩股份有限公司 / ZEON CORPORATION

(日本ゼオン株式会社)

代表人：(中文/英文) 古河 直純 / FURUKAWA, NAOZUMI

住居所或營業所地址：(中文/英文)

日本國東京都千代田區丸之內一丁目 6 番 2 號

6-2, Marunouchi 1-chome, Chiyoda-ku, Tokyo, Japan

國 籍：(中文/英文) 日本 JP

三、發明人：(共 2 人)

1. 姓 名：(中文/英文) 大見 忠弘 / OHMI, TADAHIRO

國 籍：(中文/英文) 日本 JP

2. 姓 名：(中文/英文) 杉谷 耕一 / SUGITANI, KOICHI

國 籍：(中文/英文) 日本 JP

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 受理國家（地區）：日本 JP

申請日期：2006 年 9 月 22 日

申請案號：特願 2006-257848

2. 受理國家（地區）：日本 JP

申請日期：2006 年 11 月 20 日

申請案號：特願 2006-313492

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於半導體裝置，尤其關於薄膜電晶體(TFT)，以及其製造方法。

【先前技術】

一般而言，液晶顯示裝置、有機電致發光裝置(Organic Electro-luminescent device)，無機電致發光裝置等顯示裝置，係在具有平坦之一主面的基板上，將配線圖案、電極圖案等之導電圖案加以依序成膜且形成圖案，藉此所形成。又，將用以構成電極膜、顯示裝置之元件所需的各種膜等加以依序成膜且形成圖案，藉此而製造顯示裝置。

近年來，對此種顯示裝置之大型化要求逐漸提高。而形成大型之顯示裝置時，必須以高精度將更多顯示元件形成在基板上，且將該等元件與配線圖案電連接。此時，於基板上不但有配線圖案，亦有絕緣膜、TFT(薄膜電晶體)元件、發光元件等，呈多層化狀態而形成。其結果，於基板上，一般呈階梯狀地形成段落差，配線圖案則跨越該等段落差而配線。

而且，將顯示裝置大型化時，由於配線圖案本身變長，因此有必要降低該配線圖案的電阻。而消除配線圖案之段落差且進行低電阻化的方法，則如專利文獻1、專利文獻2、專利文獻3所揭示。專利文獻1~3揭示，為形成如液晶顯示器之平面顯示器用配線，在透明基板表面上，將配線以及與此相同透明度之絕緣材料相連至配線圖案而形成。又，專利文獻3進一步揭示一種藉由加熱加壓或化學機械研磨法(CMP, Chemical Mechanical Polishing)以使配線更平坦化的方法。

專利文獻1: W02004/110117 號公報

專利文獻2: 日本特願 2005-173050 號公報

專利文獻3: 日本特開 2005-210081 號公報

專利文獻 4: 日本特開 2002-296780 號公報

專利文獻 5: 日本特開 2001-188343 號公報

【發明內容】

發明所欲解決之課題

專利文獻 1 揭示，於樹脂圖案所形成之溝槽中埋設配線，將厚膜配線，藉此可提高顯示裝置的特性。又，就配線的形成方法而言，揭示噴墨法與網版印刷法等方式。

然而實驗可知，所揭示之方法中，對基板之密接附著性上存在有問題。

另一方面，如專利文獻 1 所載也可知，當以導電性噴墨或網版印刷等形成配線時，配線表面較粗，配線上所形成之絕緣層等的平坦性變差。又，將藉由導電性噴墨或網版印刷所形成配線作為閘電極使用時，由於配線表面之粗度，因此觀察到通過通道之載體的傳播率變差，高速動作不順暢的現象。而且可知，於導電性噴墨或網版印刷等，當配線變細時，則不易得到所希望的形狀。例如，即使欲以上述方法形成寬 $20\mu\text{m}$ 而長 $50\mu\text{m}$ 之閘電極，但電極材料不會繞遍整面，實用面上並不可能形成所希望的圖案。

專利文獻 2 為解決該等問題，提出一種至少包含以下步驟的製造方法，俾於提高對基板之密接附著性：修飾絕緣基板上表面；在該絕緣基板上形成樹脂膜；藉由將該樹脂膜作形成圖案，以形成用以收納電極或配線的凹部；施加觸媒到該凹部；將該樹脂膜加熱硬化；藉由電鍍法在該凹部形成導電性材料。加上，就 Cu 擴散抑制層而言，係藉由選擇性化學氣相沉積(CVD, Chemical Vapor Deposition)法以形成 W 層；或者藉由無電解電鍍法以形成 Ni 層，作為閘電極。

依此方法，對閘電極之基板的密接附著性獲得改善，甚至即使係寬 $20\mu\text{m}$ 而長 $50\mu\text{m}$ 之閘電極，仍無關尺寸大小地可形成所希望的圖案。然而可知，此方法同樣地閘電極表面亦較粗，閘電

極上所形成之閘絕緣層的平坦性亦較差。例如，以無電解電鍍法所形成之 Cu 層表面的平坦度 Ra 係 17.74nm，峰至谷值達 193.92nm；同樣地，其上所形成之 Ni 層表面的平坦度 Ra 係 8.58nm，峰至谷值係 68.7nm。由於此種表面的粗度，因此以 CVD 法作為閘絕緣膜所形成之氮化矽的表面；亦即可知，與半導體層之通道區域間的界面也較粗糙，且表面呈散亂之結果，載體的移動度變差。而且，為維持閘絕緣膜及通道區域二者之界面的平坦性，且防止載體於界面呈散亂，對於閘電極表面之平坦度，有必要令 Ra 係 1nm 以下，峰至谷值係 20nm 以下。

專利文獻 3 中，就用以解決配線表面之粗度問題的方法而言，係提出藉由加壓構件以推壓絕緣膜及嵌入配線的加熱加壓處理，以及 CMP 處理製程。然而近年來，隨著母玻璃之基板尺寸的大型化，尤其於第 5 世代之 1100mm×1300mm 以上之大小的玻璃基板，該等配線的平坦化方法並不能據以實施。加熱加壓處理中，些微之玻璃應變會造成破損，且以 CMP 對大型玻璃基板進行整面均一研磨係非常困難，會使成本增加。

又，電鍍層及周圍之樹脂膜二者間亦觀察到產生間隙的現象。其原因為：樹脂因電鍍處理時的高溫而膨脹，且於電鍍形成後收縮。當此種間隙產生時，電場集中在閘絕緣膜而絕緣被破壞，且閘電極與通道區域二者短路。

本發明之目的係提供一種閘絕緣膜具良好平坦性之薄膜電晶體(TFT)，以及其製造方法。

本發明之另一目的係提供一種用以解決閘電極表面之粗度，以及與周圍絕緣層之間隙之問題的半導體裝置，以及其製造方法。

本發明之又另一目的係提供一種包含良好之界面平坦性之薄膜電晶體的顯示裝置，以及其製造方法。

解決課題之手段

以下記載本發明之態樣。

(第 1 態樣)

依本發明之第 1 態樣，提供一種半導體裝置，具有以下之部分：基板；絕緣體層，設置於該基板上，且包含溝槽；導電體層，其表面與上述絕緣體層之表面約略齊平而設置於該溝槽中；絕緣膜，設置於該導電體層上；半導體層，於該導電體層的至少一部分之上方，設於該絕緣膜上。該半導體裝置的特徵為：上述絕緣膜係包含絕緣體塗佈膜。

(第 2 態樣)

依上述第 1 態樣之半導體裝置中，該絕緣膜僅由該絕緣體塗佈膜所構成。

(第 3 態樣)

依上述第 1 態樣之半導體裝置中，該絕緣膜可更包含另一絕緣體膜。

(第 4 態樣)

依上述第 3 態樣之半導體裝置中，上述另一絕緣體膜較佳為絕緣體 CVD 膜。

(第 5 態樣)

依上述第 3 態樣之半導體裝置中，上述另一絕緣體膜設置於該絕緣體塗佈膜與該半導體層二者間。

(第 6 態樣)

依上述第 3 態樣之半導體裝置中，上述另一絕緣體膜亦可設置於該絕緣體塗佈膜與該導電體層二者間。

(第 7 態樣)

依上述第 1 態樣之半導體裝置中，該導電體層之一部分係閘電極，該閘電極上之該絕緣膜係閘絕緣膜，且上述半導體層設置於該閘絕緣膜上。

(第 8 態樣)

依上述第 7 態樣之半導體裝置中，源極電極與汲極電極二者的至少其中一個電連接到上述半導體層。

(第 9 態樣)

依本發明之第 9 態樣，提供一種半導體裝置，於基板上之絕緣體層設置溝槽，且於該溝槽中形成閘電極，係該閘電極之表面與上述絕緣體層之表面約略齊平而形成。該閘電極上，隔著閘絕緣膜而配置半導體層，且將源極電極與汲極電極二者的至少其中一個加以電連接到該半導體層。該半導體裝置的特徵為：包含一設置該閘絕緣膜於該閘電極上的絕緣體塗佈膜，以及一其上所形成之絕緣體 CVD 膜而構成。

(第 10 態樣)

依上述第 1 或第 9 態樣之半導體裝置中，該絕緣體塗佈膜之表面的平坦度 Ra 係 1nm 以下，峰至谷值係 20nm 以下。

(第 11 態樣)

依上述第 7 或第 9 態樣之半導體裝置中，該閘電極之表面的平坦度 Ra 係 3nm 以上，峰至谷值係 30nm 以上。

(第 12 態樣)

依上述第 1 或第 9 態樣之半導體裝置中，該基板係實質上透明之絕緣體基板，該絕緣體層係實質上透明之樹脂層。

(第 13 態樣)

依上述第 12 態樣之半導體裝置中，該樹脂層由含有鹼可溶性脂環族烯烴系樹脂與感放射線成分二者之感光性樹脂組成物所形成。

(第 14 態樣)

依上述第 12 態樣之半導體裝置中，該樹脂層包含選自於由丙烯樹脂、矽氧系樹脂、氟素系樹脂、聚醯亞胺系樹脂、聚烯烴系樹脂、脂環族烯烴系樹脂與環氧系樹脂所構成群組之其中一種以上的樹脂。

(第 15 態樣)

依上述第 7 或第 9 態樣之半導體裝置中，該閘電極係至少包含底層密接附著層、導電金屬層與導電金屬擴散抑制層而構成。

(第 16 態樣)

依上述第 1 或第 9 態樣之半導體裝置中，該絕緣體塗佈膜充填於該導電體層及該絕緣體層之間的間隙，且延伸存在於該絕緣體層的表面上。

(第 17 態樣)

依上述第 7 或第 9 態樣之半導體裝置中，該絕緣體塗佈膜係實質上透明，充填於該閘電極及該絕緣體層之間的間隙，且延伸存在於該絕緣體層的表面上。

(第 18 態樣)

依上述第 4 或第 9 態樣之半導體裝置中，該絕緣體 CVD 膜係實質上透明，延伸存在於該絕緣體層之表面所延伸的該絕緣體塗佈膜上。

(第 19 態樣)

依上述第 1 或第 9 態樣之半導體裝置中，上述絕緣體塗佈膜係一種將液體狀塗佈膜加以乾燥、烘烤而製得的膜，該液體狀塗佈膜包含金屬有機化合物及金屬無機化合物二者的至少其中一個與溶媒。

(第 20 態樣)

該絕緣體層係實質上透明之樹脂層；上述絕緣體塗佈膜係一種將液體狀塗佈膜加以乾燥，且在 300°C 下烘烤而製得的膜，該液體狀塗佈膜包含金屬有機化合物及金屬無機化合物二者的至少其中一個與溶媒。

(第 21 態樣)

依上述第 1 或第 9 態樣之半導體裝置中，該絕緣體塗佈膜之介電常數較佳為 2.6 以上。

(第 22 態樣)

依上述第 4 或第 9 態樣之半導體裝置中，該絕緣體 CVD 膜之介電常數較佳為 4 以上。

(第 23 態樣)

依上述第 7 或第 9 態樣之半導體裝置中，該閘絕緣膜之厚度以 EOT(以二氧化矽換算之等效氧化層厚度)表示較佳為 95nm 至 200nm。

(第 24 態樣)

依上述第 4 或第 9 態樣之半導體裝置中，該絕緣體 CVD 膜之厚度以 EOT(以二氧化矽換算之等效氧化層厚度)表示較佳為 80nm 至 185nm。

(第 25 態樣)

依上述第 1 或第 9 態樣之半導體裝置中，該絕緣體塗佈膜之厚度以 EOT(以二氧化矽換算之等效氧化層厚度)表示較佳為 15nm 至 120nm。

(第 26 態樣)

依上述第 15 態樣之半導體裝置中，該導電金屬層包含 Cu 與 Ag 的至少其中之一，該導電金屬擴散抑制層包含任一種由 Ni、W、Ta、Nb 與 Ti 中所選出的金屬而構成。

(第 27 態樣)

依本發明，提供一種顯示裝置，係使用依前述第 1 或第 9 態樣之半導體裝置所製造。

(第 28 態樣)

依上述第 27 態樣之顯示裝置中，該顯示裝置係液晶顯示裝置或有機電致發光顯示裝置。

(第 29 態樣)

依本發明之第 29 態樣，提供一種半導體裝置的製造方法，其特徵為包含下列步驟：於基板上設置具有溝槽的絕緣體層；於該溝槽中形成導電體層，係該導電體層之表面與該絕緣體層之表面約略齊平而形成；於該導電體層上形成絕緣體塗佈膜；於該絕緣體塗佈膜的至少一部分之上方形形成半導體層。

(第 30 態樣)

依上述第 29 態樣之製造方法中，於形成該絕緣體塗佈膜的步

驟前或步驟後，可包括用以形成另一絕緣體膜的步驟。

(第 31 態樣)

依上述第 30 態樣之製造方法中，該另一絕緣體膜較佳係以 CVD 所形成。

(第 32 態樣)

依上述第 29 態樣之製造方法中，以該導電體層之一部分作為閘電極，以該閘電極上的該絕緣體塗佈膜作為閘絕緣膜的至少一部分，且可將上述半導體層設置於該閘絕緣膜上。

(第 33 態樣)

依上述第 32 態樣之製造方法中，更包含一步驟，其用以在該半導體層形成源極電極與汲極電極二者的至少其中一個。

(第 34 態樣)

依本發明之第 34 態樣，提供一種半導體裝置的製造方法，其特徵為包含下列步驟：於基板上設置具有溝槽的絕緣體層；於該溝槽中形成閘電極，係該閘電極之表面與該絕緣體層之表面約略齊平而形成；於該閘電極上形成絕緣體塗佈膜；於該絕緣體塗佈膜上以 CVD 形成電介質膜；於該電介質膜上形成半導體層；且將源極電極與汲極電極二者的至少其中一個電連接到該半導體層。

(第 35 態樣)

依本發明之第 32 或第 34 態樣的製造方法中，用以形成上述絕緣體塗佈膜之步驟包括下列步驟：將含金屬有機化合物及金屬無機化合物二者的至少其中一個與溶媒的液體狀材料加以塗佈在該閘電極上；乾燥經塗佈之膜；烘烤經乾燥之膜。

(第 36 態樣)

依本發明之第 32 或第 34 態樣的製造方法中，用以形成該閘電極之步驟，係包括一步驟，將導電金屬層以電鍍法、印刷法、噴墨法或濺鍍法而形成。

(第 37 態樣)

依本發明之第 35 態樣的製造方法中，用以形成該絕緣體塗佈

膜之步驟，係包括一步驟，將該液體狀材料加以充填在該閘電極與該絕緣體層之間的間隙，且延伸存在於該絕緣體層的表面而塗佈。

(第 38 態樣)

依本發明之第 29 或第 34 態樣的製造方法中，於該基板上設置具有溝槽之絕緣體層的步驟，係包括一步驟，於該基板上形成樹脂膜；與另一步驟，藉由將該樹脂膜作形成圖案，以形成用以收納該閘電極的溝槽。

(第 39 態樣)

依本發明之第 35 態樣的製造方法中，該烘烤處理係於惰性氣體環境中或大氣環境中進行。

(第 40 態樣)

依本發明，進一步提供一種液晶顯示裝置或有機電致發光顯示裝置的製造方法，其特徵為：具有一採用依本發明之第 29 或第 34 態樣之製造方法而形成半導體裝置的步驟。

發明之效果

依本發明，藉由在表面較粗之閘電極上設置絕緣體塗佈膜，可令其表面之平坦度 Ra 係 1nm 以下，峰至谷值係 20nm 以下。其結果，可使閘絕緣膜的表面呈平坦化，且與通道區域之界面變得平坦而防止載體於界面呈散亂，達到較高之載體移動度。又，將閘電極與其周圍的絕緣層之間的間隙加以充填，且從閘電極上塗遍絕緣層表面上而提供平坦的表面，可防止閘絕緣膜受破壞。

【實施方式】

實施發明之最佳形態

以下參照圖式，說明本發明之第 1 實施例。

[第 1 實施例]

圖 1 表示適用於液晶顯示裝置且依本發明之薄膜電晶體

(TFT:Thin Film Transistor)之構造的一例的剖面圖。參照圖 1，薄膜電晶體具有：透明樹脂膜(絕緣體層)11，由形成於玻璃基板(絕緣基板)10 上的透明感光性樹脂所構成；以及閘電極(導電體層)12，於透明樹脂膜 11 通達玻璃基板 10 而形成，且與透明樹脂膜 11 形成約略相同之高度。又，薄膜電晶體更具備閘絕緣膜 13，由塗遍透明樹脂膜 11 及閘電極 12 上所形成之絕緣體塗佈膜(保護膜)131 以及其上之 CVD 電介質膜(絕緣體 CVD 膜)132 所構成；半導體層 14，於閘電極 12 上，隔著閘絕緣膜 13 而形成；以及源極電極 15、汲極電極 16，連接到半導體層 14。

圖 2 係將依第 1 實施例之薄膜電晶體之閘電極部的構造加以放大顯示的剖面圖。所圖示之閘電極 12 埋設於平坦的透明樹脂膜 11 所形成之溝槽中，從玻璃基板 10 側往半導體層側(亦即，從圖式下側依序)，由底層密接附著層 121、觸媒層 122、導電金屬層 123、導電金屬擴散抑制層 124 所構成。如圖示，係埋設在透明樹脂膜 11 之溝槽，俾於閘電極 12 之表面與透明樹脂膜 11 二者約略形成同一平面。因此，雖可確保閘電極 12 之上部構造具平坦性，但微觀之，其平坦性仍有問題存在。亦即，進行當前為止的無電解電鍍時，其導電金屬層 123(Cu 層)表面之平坦度 Ra 係 17.74nm，峰至谷值達 193.92nm；同樣地，其上所形成之導電金屬擴散抑制層 124(無電解電鍍 Ni 層)表面之平坦度 Ra 係 8.58nm，峰至谷值係 68.7nm。

本發明中，閘電極 12 與透明樹脂膜 11 上形成厚 40nm 之絕緣體塗佈膜 131。此絕緣體塗佈膜 131 將閘電極 12 與透明樹脂膜 11 二者之間隙 112 加以充填，同時提供一平坦的表面，該表面使閘電極 12 表面之凹凸不會反應出來，且 Ra 係 0.24nm，峰至谷值係 2.16nm。該等數值即使當閘電極表面之平坦度 Ra 係 3nm 以上，峰至谷值係 30nm 以上時，仍可充分滿足絕緣體塗佈膜所必需之 Ra 係 1nm 以下，峰至谷值係 20nm 以下的數值。

圖 8 顯示對於由電鍍配線所形成之閘電極上形成絕緣體塗佈

膜(保護膜)的結構，藉由 FIB 加工以觀察剖面之狀態的電子顯微鏡像片。由圖 8 所示可知，與底層之粗度無關地形成平坦的表面。

其結果，於絕緣體塗佈膜(保護膜)131 上，由 CVD 法所形成之厚 150~160nm 的氮化矽電介質膜(CVD 電介質膜)132 的表面可得到平坦性 Ra 係 0.70nm，峰至谷值係 7.54nm(圖 2)。此結果下，由於在閘絕緣膜 13 上所形成之半導體層，不會產生一種起因於閘電極的凹凸且能形成薄膜電晶體(TFT)，故載體之移動度可大幅提高。

又，就絕緣體塗佈膜(保護膜)131 而言，可使用旋塗式玻璃(SOG, Spin-On Glass)。SOG 膜係由成為膜之矽氧烷成分與作為溶劑之乙醇成分等所調製而成。將該溶液藉由旋轉塗佈法塗佈到基板上，並且以熱處理使溶劑等蒸發，使膜硬化時，會形成 SOG 絕緣膜。所謂 SOG，係該等溶液，以及所形成之膜的總稱。SOG 依矽氧烷的構造分類為矽玻璃、烷基矽氧烷聚合物、甲基倍半矽氧烷聚合物(MSQ)、氫倍半矽氧烷聚合物(HSQ)、氫烷基倍半矽氧烷聚合物(HOSQ)。若以塗佈材分類，矽玻璃屬第 1 世代的無機 SOG，烷基矽氧烷屬第 1 世代的有機 SOG，HSQ 屬第 2 世代的無機 SOG，MSQ 與 HOSQ 屬第 2 世代的有機 SOG。至於塗佈膜，此等係多以 500℃ 以上烘烤，但無論何種塗佈膜，由於在使用透明樹脂層時係不能設定於高溫，因此烘烤溫度採用 300℃ 以下。又，可採用一種塗佈膜(尤其烘烤溫度係 300℃ 以下之塗佈膜)，將其他有機金屬化合物、金屬無機化合物之至少一種加以溶解到有機溶劑，以取代上述的矽有機化合物、矽無機化合物。而就其他金屬而言，可舉例如 Ti、Ta、Al、Sn、Zr 等。

在此，關於由絕緣體塗佈膜 131 以及其上之 CVD 電介質膜 132 所構成的閘絕緣膜 13 的厚度，當其太厚時，電晶體之驅動能力會變差，又因為閘電容增加而導致訊號延遲，故較佳為，於氮化矽電介質膜時係 350~360nm 左右以下，EOT 係 200nm 以下。所謂 EOT，係將二氧化矽的介電常數除以膜之平均介電常數，將所得商數

乘上膜厚而得到以二氧化矽換算之膜厚。當閘絕緣膜 13 的厚度太薄時，漏電流會增加，又因為若係一般之液晶顯示裝置，最大 15V 的電壓作用於 TFT 之閘極—源極間，故較佳為，耐壓係 15V 以上。因此，EOT 較佳係達 95nm 以上。

絕緣體塗佈膜 131 之厚度中，為了與底層之粗度無關地得到平坦的表面(底層之表面粗度於峰至谷值若係 30nm 左右)，其物理膜厚最低必需係 40nm。該膜雖可有各種介電常數，但當考慮到介電常數最大係 10 左右，則較佳為，令 EOT 為 15nm 以上。又，最大膜厚較佳為 120nm 左右以下。

CVD 電介質膜 132 之厚度中，當考慮到將耐壓主要由該膜承受時，較佳為，EOT 係 80nm 以上。其上限則較佳為，令 200nm—15nm=185nm。又，如後述之第 3 實施例，CVD 電介質膜 132 可形成在絕緣體塗佈膜 131 之下側而非上側，且如後述之第 2 實施例，也可省略。

另外，絕緣體塗佈膜 131 的介電常數較佳係 2.6 以上，CVD 電介質膜 132 的介電常數較佳係 4.0 以上。

其次，針對上述第 1 實施例之薄膜電晶體的形成方法，參照圖式以說明之。

圖 3~圖 7 係顯示依第 1 實施例之薄膜電晶體之製造方法的製程順序的示意圖。首先，參照圖 3，準備玻璃基板 10 作為基板。就該玻璃基板而言，可採用能形成 30cm 以上之大型畫面般的大型基板。將此玻璃基板以 0.5 體積%之氟酸水溶液進行處理 10 秒鐘，且以純水水洗而將表面的污染移除去掉。接著，將玻璃基板 10 以矽烷偶合劑(Silane Coupling Agents)溶液進行處理，該矽烷偶合劑溶液係藉由添加氫氧化鈉到純水，於控制 pH 值在 10 之水溶液，以 0.1 體積%的濃度而溶解矽烷偶合劑之胺丙基三乙氧基矽烷。亦即，於室溫下，浸漬在該矽烷偶合劑溶液 30 分鐘，且使矽烷偶合劑吸附到玻璃基板表面。其後，於熱平板上，進行 110°C 之 60 分鐘處理，使矽烷偶合劑化學結合到玻璃基板表面，作為底層

密接附著層(厚 10nm)121。於此狀態下，藉由形成底層密接附著層 121，可於玻璃基板 10 表面實質性地配置胺基，且製造一種金屬錯合物易配位的構造。又，因為矽烷偶合劑通常呈透明，故即使塗遍玻璃基板 10 整面而形成，仍可得到本發明之效果，而且從得到玻璃基板 10 以及後面的製程所用之透明感光性樹脂的密接附著性觀之，係屬較佳。

底層密接附著層 121 形成後，使用旋轉器將正型光阻液塗佈到底層密接附著層 121 之表面，且藉由在 100℃ 下，於熱平板上，加熱預烘烤處理 120 秒鐘，以形成具 2 μ m 厚度之感光性的透明樹脂膜 11。又，上述正型光阻係使用專利文獻 4（日本特開 2002-296780 號公報）所載之含有鹼可溶性脂環族烯烴系樹脂的光阻。就形成透明膜之有機材料而言，可使用選自於由丙烯樹脂、矽氧系樹脂、氟素系樹脂、聚醯亞胺系樹脂、聚烯烴系樹脂、脂環族烯烴系樹脂與環氧系樹脂所構成之群組的透明樹脂。然而，從使得往後的製程容易進行之觀點，就透明膜而言，含有鹼可溶性脂環族烯烴系樹脂與感放射線成分二者之感光性的透明樹脂膜係屬較適當；尤其，使用如專利文獻 4 或專利文獻 5（日本特開 2001-188343 號公報）所詳述之感光性的透明樹脂組成物更佳。

參照圖 4，感光性的透明樹脂膜 11 形成後，藉由光罩對準曝光機(Mask Aligner)，經由光罩圖案將 g、h、i 線之混合光選擇性地照射到感光性的透明樹脂膜 11。其後，以 0.3 重量%之四甲基氫氧化銨水溶液，顯影 90 秒鐘後，以純水進行 60 秒鐘的沖洗處理，而在玻璃基板 10 上形成具有既定圖案的溝槽。之後，於氮氣之環境氣體中，進行 230℃、60 分鐘的熱處理，將感光性的透明樹脂膜 11 硬化。接著，於室溫將此浸漬在氯化鈮—鹽酸水溶液(氯化鈮 0.005 體積%、鹽酸 0.01 體積%)計 3 分鐘。而且，藉由以還原劑(reducer, MAB-2; 上村工業公司製, C. Uyemura & CO., LTD.)處理並水洗，將鈮觸媒(觸媒層，厚 10~50nm)122 選擇性地施加在所形成之溝槽內。

參照圖 5，對於經施加鈹觸媒 122 之基板，將其浸漬在銅系無電解電鍍液(PGT；上村工業公司製，C. Uyemura & CO., LTD.)，且在上述溝槽內選擇性地形成銅層 123(導電金屬層，厚 $1.9\mu\text{m}$)。銅層 123 較佳為，在比感光性的透明樹脂膜 11 之表面高度較低的位置，亦即在低於相連之擴散抑制膜(導電金屬擴散抑制層)124 之膜厚度則結束處理。接著，浸漬在鎳系無電解電鍍液，於銅層 123 上形成鎳所形成之擴散抑制膜 124(厚 $0.1\mu\text{m}$)。在此，較佳之形態為，導電金屬層 123 至少包含 Cu 及 Ag 的其中之一，擴散抑制膜(導電金屬擴散抑制層)124 包含任一種由 Ni、W、Ta、Nb 與 Ti 中所選出的金屬。又，導電金屬層除電鍍法以外，也可藉由印刷法、噴墨法或濺鍍法而形成。例如，採濺鍍法時，金屬除 Cu 或 Ag 之外，Al 係屬適當；而採用 Al 時，可省略擴散抑制膜(導電金屬擴散抑制層)。

參照圖 6，接著從閘電極 12 之表面塗遍感光性的透明樹脂膜 11 而延伸存在地形成絕緣體塗佈膜 131。絕緣體塗佈膜 131 係塗佈一種溶解矽有機化合物之有機矽氧烷到有機溶媒(丙二醇單甲基醚)的液體，且於 120°C 下，在大氣中保持 90 秒鐘而使其乾燥；其次於 180°C 下，在大氣中(氮氣中亦可)烘烤 1 小時而得。接著，於微波激發輻射狀狹縫天線式(RLSA, Radial Line Slot Antenna)電漿處理裝置使 Si_3N_4 膜(氮化矽電介質膜)132 進行 CVD 成長，製造閘絕緣膜 13。接著，以公知的電漿輔助化學氣相沉積法(PECVD, Plasma Enhanced Chemical Vapor Deposition)連續堆積非晶矽膜 141、n+型非晶矽膜 142，並且除閘電極 12 上與其周邊部以外，藉由光微影法及公知的反應性離子蝕刻(Reactive Ion Etching)法去掉一部分非晶矽膜。

參照圖 7，為形成源極電極與汲極電極，繼續藉由公知的濺鍍法等，以 Ti、Al、Ti 之順序成膜；且藉由以光微影法進行形成圖案，形成源極電極 15 與汲極電極 16。接著，將所形成之源極電極 15 與汲極電極 16 作為光罩，以公知的方法蝕刻 n+型非晶矽膜

142，藉此分離源極區域與汲極區域。再來，藉公知的電漿輔助化學氣相沉積法，形成氮化矽膜(未圖示)以作為保護膜，完成第 1 實施例的薄膜電晶體。

[第 2 實施例]

針對本發明之第 2 實施例，參照圖式以說明之。

圖 9 係顯示適用於液晶顯示裝置，且依本發明之第 2 實施例的薄膜電晶體(TFT)構造的剖面圖。薄膜電晶體具有透明樹脂膜 11，由形成於玻璃基板(絕緣基板)10 上之透形感光性樹脂所構成；閘電極 12，於透明樹脂膜 11 通達玻璃基板 10，且與透明樹脂膜 11 達到約略同一高度而形成；閘絕緣膜 133，由塗遍透明樹脂膜 11 及閘電極 12 上所形成之絕緣體塗佈膜所構成；半導體層 14，於閘電極 12 上隔著閘絕緣膜 133 所形成；以及連接到半導體層 14 的源極電極 15 與汲極電極 16。

圖 10 係將依第 2 實施例之薄膜電晶體之閘電極部的構造加以放大顯示的剖面圖。所圖示之閘電極 12 從玻璃基板 10 側往半導體層側(亦即，從圖式下側依序)，由底層密接附著層 121、觸媒層 122、導電金屬層 123、導電金屬擴散抑制層 124 所構成。又，閘電極 12 係埋設在平坦之透明樹脂膜 11 所形成的溝槽。如圖示，閘電極 12 埋設在透明樹脂膜 11 之溝槽，俾於閘電極 12 之表面與透明樹脂膜 11 二者約略形成同一平面。因此，雖可確保閘電極 12 之上部構造具平坦性，但微觀之，其平坦性仍有問題存在。亦即，進行當前為止的無電解電鍍時，其導電金屬層 123(Cu 層)表面之平坦度 Ra 係 17.74nm，峰至谷值達 193.92nm；同樣地，其上所形成之導電金屬擴散抑制層 124(無電解電鍍 Ni 層)表面之平坦度 Ra 係 8.58nm，峰至谷值係 68.7nm。

本發明中，導電金屬擴散抑制層 124 上形成厚 250nm 之絕緣體塗佈膜(閘絕緣膜)133。藉由此絕緣體塗佈膜 133 將閘電極 12 與透明樹脂膜 11 二者之間隙 112 加以充填，同時可提供一具有平坦表面之閘絕緣膜，該表面使閘電極 12 表面之凹凸不會反應出

來，且 Ra 係 0.30nm，峰至谷值係 3.55nm。圖 17 係於此種閘電極上，對絕緣體塗佈膜所形成閘絕緣膜之結構的剖面狀態加以觀察後之電子顯微鏡像片。由圖 17 所示可知，與底層之粗度無關地形成平坦的表面。

其結果，於閘絕緣上所形成之半導體層，便不會產生起因於閘電極 12 的凹凸而能形成形成薄膜電晶體(TFT)。因此，載體的移動度可大幅提高。而且，藉由於閘絕緣膜之成膜製程省略用以形成 CVD 電介質膜的 CVD 製程，採簡易的塗佈製程成膜，可實現製程之簡略化。

其次，針對如上述第 2 實施例的薄膜電晶體之形成方法，參照圖式說明之。

圖 11～圖 15 係顯示依第 2 實施例之薄膜電晶體之製造方法的製程順序的示意圖。首先，參照圖 11，準備玻璃基板 10 作為基板。就該玻璃基板而言，可採用能形成 30cm 以上之大型畫面般的大型基板。將此玻璃基板以 0.5 體積%之氟酸水溶液進行處理 10 秒鐘，且以純水水洗而移除去掉表面的污染。接著，將玻璃基板 10 以矽烷偶合劑溶液進行處理，該矽烷偶合劑溶液係藉由添加氫氧化鈉到純水，於控制 pH 值在 10 之水溶液，以 0.1 體積%的濃度而溶解矽烷偶合劑之胺丙基三乙氧基矽烷。亦即，於室溫下，浸漬在該矽烷偶合劑溶液 30 分鐘，且使矽烷偶合劑吸附到玻璃基板 10 表面。其後，於熱平板上，進行 110℃之 60 分鐘處理，使矽烷偶合劑化學結合到玻璃基板 10 表面，作為底層密接附著層(厚 10nm)121。於此狀態下，藉由形成底層密接附著層 121，可於基板表面實質性地配置胺基，且製造一種金屬錯合物易配位的構造。又，因為矽烷偶合劑通常呈透明，故即使塗遍玻璃基板 10 整面而形成，仍可得到本發明之效果，而且從得到玻璃基板 10 以及後面的製程所用之透明感光性樹脂的密接附著性觀之，係屬較佳。

底層密接附著層 121 形成後，使用旋轉器將正型光阻液塗佈到底層密接附著層 121 之表面，且藉由在 100℃下，於熱平板上加

熱預烘烤處理 120 秒鐘，以形成具 $2\mu\text{m}$ 厚度之感光性的透明樹脂膜 11。又，上述正型光阻係使用專利文獻 4 號公報所載之含有鹼可溶性脂環族烯烴系樹脂的光阻。就形成透明膜之有機材料而言，可使用選自於由丙烯樹脂、矽氧系樹脂、氟素系樹脂、聚醯亞胺系樹脂、聚烯烴系樹脂、脂環族烯烴系樹脂與環氧系樹脂所構成之群組的透明樹脂。然而，從使得往後的製程容易進行之觀點，就透明膜而言，感光性的透明樹脂膜係屬較適當；尤其，使用如專利文獻 4 或專利文獻 5 所詳述之感光性的透明樹脂組成物更佳。

參照圖 12，感光性的透明樹脂膜 11 形成後，藉由光罩對準曝光機，經由光罩圖案將 g、h、i 線之混合光選擇性地照射到感光性的透明樹脂膜 11。其後，以 0.3 重量%之四甲基氫氧化銨水溶液，顯影 90 秒鐘後，以純水進行 60 秒鐘的沖洗處理，而在玻璃基板 10 上形成具有既定圖案的溝槽。之後，於氮氣之環境氣體中，進行 230°C 、60 分鐘的熱處理，將感光性的透明樹脂膜 11 硬化。接著，於室溫將此浸漬在氯化鈮—鹽酸水溶液(氯化鈮 0.005 體積%、鹽酸 0.01 體積%)計 3 分鐘。而且，藉由以還原劑(reducer, MAB-2; 上村工業公司製)處理並水洗，將鈮觸媒(觸媒層，厚 $10\sim 50\text{nm}$)122 選擇性地施加在所形成之溝槽內。

參照圖 13，對於經施加鈮觸媒 122 之玻璃基板 10，將其浸漬在銅系無電解電鍍液(PGT; 上村工業公司製)，且在上述溝槽內選擇性地形成銅層 123(厚 $1.9\mu\text{m}$)，作為導電金屬層。銅層 123 較佳為，在比感光性的透明樹脂膜 11 之表面高度較低的位置，亦即在低於相連之擴散抑制膜(導電金屬擴散抑制層)124 之膜厚度則結束處理。接著，浸漬在鎳系無電解電鍍液，於銅層 123 上形成鎳所形成之擴散抑制膜 124(厚 $0.1\mu\text{m}$)。

參照圖 14，接著從閘電極 12 之表面塗遍感光性的透明樹脂膜 11 而延伸存在地塗佈絕緣體膜，形成閘絕緣膜 133。該閘絕緣膜 133 係塗佈一種溶解矽有機化合物之有機矽氧烷到有機溶媒(丙二

醇單甲基醚)的液體，且於 120°C 下，在大氣中保持 90 秒鐘而使其乾燥；其次於 180°C 下，在大氣中(氮氣中亦可)烘烤 1 小時而得。接著，以公知的 PECVD 法連續堆積非晶矽膜 141、n+型非晶矽膜 142，並且除閘電極 12 上與其周邊部以外，藉由光微影法及公知的反應性離子蝕刻法去掉一部分非晶矽膜。

參照圖 15，為形成源極電極與汲極電極，繼續藉由公知的濺鍍法等，以 Ti、Al、Ti 之順序成膜；且藉由以光微影法進行形成圖案，形成源極電極 15 與汲極電極 16。接著，將所形成之源極電極 15 與汲極電極 16 作為光罩，以公知的方法蝕刻 n+型非晶矽膜 142，藉此分離源極區域與汲極區域。再來，藉公知的 PECVD 法，形成氮化矽膜(未圖示)以作為保護膜，完成第 2 實施例的薄膜電晶體。

[第 3 實施例]

圖 16 係說明，適用於液晶顯示裝置且依第 3 實施例的薄膜電晶體的形成方法。

第 2 實施例所明之薄膜電晶體的製造方法中，於銅層 123 上形成鎳所形成的擴散抑制膜 124(厚 0.1 μm)，形成閘電極 12。其後，從閘電極 12 的表面塗遍透明樹脂膜 11 表面之全部區域，於微波激發輻射狀狹縫天線式電漿處理裝置使 Si_3N_4 膜(氮化矽電介質膜)132 進行 CVD 成長，形成絕緣膜。其次，於 Si_3N_4 膜 132 整體，塗佈、形成絕緣體塗佈膜 131，形成閘絕緣膜 13。該絕緣體塗佈膜 131 係塗佈一種溶解矽有機化合物之有機矽氧烷到有機溶媒(丙二醇單甲基醚)的液體，且於 120°C 下，在大氣中保持 90 秒鐘而使其乾燥；接著於 180°C 下，在大氣中(氮氣中亦可)烘烤 1 小時而得。藉由形成此絕緣體塗佈膜 131，可降低絕緣膜(Si_3N_4 膜 132)因為往其下之表面粗度較大的閘電極 12 進行 CVD 成長所產生表面的表面粗度；也可降低通道層之閘絕緣膜及半導體層二者界面的粗度。圖 16 係此時之薄膜電晶體的剖面圖。

又，上述實施例中，僅說明適用於液晶顯示裝置的情況；但

本發明不但可適用在有機電致發光顯示裝置，也可適用在供作構成平面顯示器面板的各種基板、其他配線基板。

另外，就用以構成配線之材料而言，不僅銅、銀，也可形成例如氧化銦錫（ITO，Indium Tin Oxide）等之金屬氧化物的導電性膜。

產業上利用性

本發明可適用於液晶顯示裝置、有機電致發光裝置，無機電致發光裝置等顯示裝置，將該等顯示裝置大型化之同時，亦可適用於顯示裝置以外的配線。

【圖式簡單說明】

圖 1 係顯示依本發明第 1 實施例之薄膜電晶體之構造的一例的剖面圖。

圖 2 係將圖 1 所示薄膜電晶體之閘電極部的構造的一例加以放大顯示的剖面圖。

圖 3 係用以說明圖 1 所示薄膜電晶體之製造方法的一例之製程順序的剖面圖。

圖 4 係用以說明圖 1 所示薄膜電晶體之製造方法的一例之製程順序的剖面圖。

圖 5 係用以說明圖 1 所示薄膜電晶體之製造方法的一例之製程順序的剖面圖。

圖 6 係用以說明圖 1 所示薄膜電晶體之製造方法的一例之製程順序的剖面圖。

圖 7 係用以說明圖 1 所示薄膜電晶體之製造方法的一例之製程順序的剖面圖。

圖 8 係顯示依本發明第 1 實施例之薄膜電晶體之（保護膜）的 FIB 剖面之像片的模仿圖。

圖 9 係顯示依本發明第 2 實施例之薄膜電晶體之構造的一例

的剖面圖。

圖 10 係將圖 9 所示薄膜電晶體之閘電極部的構造的一例加以放大顯示的剖面圖。

圖 11 係用以說明圖 9 所示薄膜電晶體之製造方法的一例之製程順序的剖面圖。

圖 12 係用以說明圖 9 所示薄膜電晶體之製造方法的一例之製程順序的剖面圖。

圖 13 係用以說明圖 9 所示薄膜電晶體之製造方法的一例之製程順序的剖面圖。

圖 14 係用以說明圖 9 所示薄膜電晶體之製造方法的一例之製程順序的剖面圖。

圖 15 係用以說明圖 9 所示薄膜電晶體之製造方法的一例之製程順序的剖面圖。

圖 16 係顯示依本發明第 3 實施例之薄膜電晶體之構造的一例的剖面圖。

圖 17 係顯示依本發明第 2 實施例之薄膜電晶體之保護膜的 FIB 剖面之像片的模仿圖。

【主要元件符號說明】

10～玻璃基板

11～透明樹脂膜(絕緣體層)

12～閘電極(導電體層)

13～閘絕緣膜

14～半導體層

15～源極電極

16～汲極電極

112～閘電極與透明樹脂膜之間隙

121～底層密接附著層

122～觸媒層

123～導電金屬層(銅層)

124～導電金屬擴散抑制層

131～絕緣體塗佈膜(保護膜)

132～CVD 電介質膜(絕緣體 CVD 膜)

氮化矽電介質膜(CVD 電介質膜)

133～閘絕緣膜

141～非晶矽膜

142～n+型非晶矽膜

五、中文發明摘要：

依本發明之半導體裝置，於基板上的絕緣體層設有溝槽，於該溝槽中形成閘電極，係閘電極之表面與該絕緣體層之表面約略齊平而形成。該閘電極上隔著閘絕緣膜而設有半導體層，且源極電極與汲極電極二者的至少其中一個電連接到該半導體層。尤其，該閘絕緣膜係包含設置在該閘電極上的絕緣體塗佈膜，以及形成於其上的絕緣體 CVD 膜。

六、英文發明摘要：

In a semiconductor device according to this invention, an insulator layer on a substrate is provided with a groove. In the groove, a gate electrode is formed with its surface substantially flush with a surface of the insulator layer. On the gate electrode, a semiconductor layer is formed via a gate insulation film. On the semiconductor layer, at least one of a source electrode and a drain electrode is electrically connected. In particular, the gate insulation film includes an insulator coating film formed on the gate electrode and an insulator CVD film formed on the insulator coating film.

十、申請專利範圍：

1. 一種半導體裝置，包含：
基板；
絕緣體層，設置於該基板上，且具有溝槽；
導電體層，設置於該溝槽中，其表面與該絕緣體層之表面約略齊平；
絕緣膜，設置於該導電體層上；及
半導體層，於該導電體層的至少一部分之上方，設於該絕緣膜上；
其特徵為：
該絕緣膜係包括絕緣體塗佈膜。
2. 如申請專利範圍第 1 項之半導體裝置，其中，該絕緣膜僅由該絕緣體塗佈膜所構成。
3. 如申請專利範圍第 1 項之半導體裝置，其中，該絕緣膜更包括另一絕緣體膜。
4. 如申請專利範圍第 3 項之半導體裝置，其中，該另一絕緣體膜係絕緣體 CVD 膜。
5. 如申請專利範圍第 3 項之半導體裝置，其中，該另一絕緣體膜設置於該絕緣體塗佈膜與該半導體層二者間。
6. 如申請專利範圍第 3 項之半導體裝置，其中，該另一絕緣體膜設置於該絕緣體塗佈膜與該導電體層二者間。
7. 如申請專利範圍第 1 項之半導體裝置，其中，該導電體層之一部分係閘電極，該閘電極上之該絕緣膜係閘絕緣膜，且該半導體層設置於該閘絕緣膜上。
8. 如申請專利範圍第 7 項之半導體裝置，其中，於該半導體層電連接有源極電極與汲極電極二者之至少其中一個。
9. 一種半導體裝置，於基板上之絕緣體層設置溝槽，且於該溝槽中形成閘電極以作為導電體層，該閘電極之表面與該絕緣體層之表面約略齊平；該閘電極上，隔著閘絕緣膜而配置半導體層，

且於該半導體層電連接源極電極與汲極電極二者中至少其中一個；

其特徵係包含以下之部分而構成：

一絕緣體塗佈膜，於該閘電極上設置該閘絕緣膜而成；及

一絕緣體 CVD 膜，形成於該絕緣體塗佈膜上。

10. 如申請專利範圍第 1 或 9 項之半導體裝置，其中，該絕緣體塗佈膜之表面的平坦度 Ra 係 1nm 以下，峰至谷值係 20nm 以下。

11. 如申請專利範圍第 7 或 9 項之半導體裝置，其中，該閘電極之表面的平坦度 Ra 係 3nm 以上，峰至谷值係 30nm 以上。

12. 如申請專利範圍第 1 或 9 項之半導體裝置，其中，該基板係實質上透明之絕緣體基板，該絕緣體層係實質上透明之樹脂層。

13. 如申請專利範圍第 12 項之半導體裝置，其中，該透明樹脂層係由含有鹼可溶性脂環族烯烴系樹脂與感放射線成分二者之感光性樹脂組成物所形成。

14. 如申請專利範圍第 12 項之半導體裝置，其中，該透明樹脂層包含選自於由丙烯樹脂、矽氧系樹脂、氟素系樹脂、聚醯亞胺系樹脂、聚烯烴系樹脂、脂環族烯烴系樹脂與環氧系樹脂所構成群組之其中一種以上的樹脂。

15. 如申請專利範圍第 7 或 9 項之半導體裝置，其中，該閘電極係至少包含底層密接附著層、導電金屬層與導電金屬擴散抑制層而構成。

16. 如申請專利範圍第 1 或 9 項之半導體裝置，其中，該絕緣體塗佈膜充填於該導電體層與該絕緣體層之間的間隙，且延伸存在於該絕緣體層的表面上。

17. 如申請專利範圍第 7 或 9 項之半導體裝置，其中，該絕緣體塗佈膜為實質上透明，充填於該閘電極與該絕緣體層之間的間隙，且延伸存在於該絕緣體層的表面上。

18. 如申請專利範圍第 4 或 9 項之半導體裝置，其中，該絕緣體 CVD 膜呈實質上透明，延伸存在於該絕緣體層之表面上所延伸

的該絕緣體塗佈膜上。

19. 如申請專利範圍第 1 或 9 項之半導體裝置，其中，該絕緣體塗佈膜係將一液體狀塗佈膜加以乾燥、烘烤而製得的膜，該液體狀塗佈膜包含金屬有機化合物及金屬無機化合物二者至少其中一者與溶媒。

20. 如申請專利範圍第 1 或 9 項之半導體裝置，其中，該絕緣體層係實質上透明之樹脂層；

該絕緣體塗佈膜係將一液體狀塗佈膜加以乾燥，且在 300°C 下烘烤而製得的膜，該液體狀塗佈膜包含金屬有機化合物與金屬無機化合物二者至少其中一者與溶媒。

21. 如申請專利範圍第 1 或 9 項之半導體裝置，其中，該絕緣體塗佈膜之介電常數係 2.6 以上。

22. 如申請專利範圍第 4 或 9 項之半導體裝置，其中，該絕緣體 CVD 膜之介電常數係 4 以上。

23. 如申請專利範圍第 7 或 9 項之半導體裝置，其中，該絕緣膜之厚度以 EOT(以二氧化矽換算之等效氧化層厚度)表示為 95nm 至 200nm。

24. 如申請專利範圍第 4 或 9 項之半導體裝置，其中，該絕緣體 CVD 膜之厚度以 EOT(以二氧化矽換算之等效氧化層厚度)表示為 80nm 至 185nm。

25. 如申請專利範圍第 1 或 9 項之半導體裝置，其中，該絕緣體塗佈膜之厚度以 EOT(以二氧化矽換算之等效氧化層厚度)表示為 15nm 至 120nm。

26. 如申請專利範圍第 15 項之半導體裝置，其中，該導電金屬層包含 Cu 與 Ag 的至少其中之一，該導電金屬擴散抑制層包含由 Ni、W、Ta、Nb 與 Ti 中選出的任一種金屬。

27. 一種顯示裝置，係使用如申請專利範圍第 1 或 9 項之半導體裝置所製造。

28. 如申請專利範圍第 27 項之顯示裝置，其為液晶顯示裝置

或有機電致發光顯示裝置。

29. 一種半導體裝置的製造方法，其特徵為包含下列步驟：

於基板上設置具有溝槽的絕緣體層；

於該溝槽中形成導電體層，該導電體層之表面與該絕緣體層之表面約略齊平而形成；

於該導電體層上形成絕緣體塗佈膜；

於該絕緣體塗佈膜的至少一部分之上方形成半導體層。

30. 如申請專利範圍第 29 項之半導體裝置的製造方法，其中，於形成該絕緣體塗佈膜的步驟之前或之後，包括用以形成另一絕緣體膜的步驟。

31. 如申請專利範圍第 30 項之半導體裝置的製造方法，其中，該另一絕緣體膜係以 CVD 法所形成。

32. 如申請專利範圍第 29 項之半導體裝置的製造方法，其中，以該導電體層之一部分作為閘電極，以該閘電極上的該絕緣體塗佈膜作為閘絕緣膜的至少一部分，且將該半導體層設置於該閘絕緣膜上。

33. 如申請專利範圍第 32 項之半導體裝置的製造方法，其中，更包含在該半導體層形成源極電極與汲極電極二者中的至少其一之步驟。

34. 一種半導體裝置的製造方法，其特徵為包含下列步驟：

於基板上設置具有溝槽的絕緣體層；

於該溝槽中形成閘電極，該閘電極之表面係與該絕緣體層之表面約略齊平而形成；

於該閘電極上形成絕緣體塗佈膜；

於該絕緣體塗佈膜上以 CVD 法形成電介質膜；

於該電介質膜上形成半導體層；

將源極電極與汲極電極二者的至少其中一個電連接到該半導體層。

35. 如申請專利範圍第 32 或 34 項之半導體裝置的製造方法，

其中，用以形成該絕緣體塗佈膜之步驟包括以下之步驟：

將含金屬有機化合物及金屬無機化合物二者的至少其中一個與溶媒的液體狀材料加以塗佈在該閘電極上；

將塗佈後之膜乾燥；

將乾燥後之膜烘烤。

36. 如申請專利範圍第 32 或 34 項之半導體裝置的製造方法，其中，用以形成該閘電極之步驟，包括以電鍍法、印刷法、噴墨法或濺鍍法形成導電金屬層的步驟。

37. 如申請專利範圍第 35 項之半導體裝置的製造方法，其中，用以形成該絕緣體塗佈膜之步驟，包括將該液體狀材料充填在該閘電極與該絕緣體層間的間隙，且將其塗佈以延伸存在於該絕緣體層之表面上的步驟。

38. 如申請專利範圍第 29 或 34 項之半導體裝置的製造方法，其中，於該基板上設置具有溝槽之絕緣體層的步驟，係包括：於該基板上形成樹脂膜之步驟；及藉由將該樹脂膜形成圖案而形成用以收納該閘電極的溝槽之步驟。

39. 如申請專利範圍第 35 項之半導體裝置的製造方法，其中，將乾燥後之膜烘烤的步驟係於惰性氣體環境中或大氣環境中進行。

40. 一種液晶顯示裝置的製造方法，其特徵為包括採用如申請專利範圍第 29 或 34 項之半導體裝置的製造方法而形成半導體裝置的步驟。

41. 一種有機電致發光顯示裝置的製造方法，其特徵為包括採用如申請專利範圍第 29 或 34 項之半導體裝置的製造方法而形成半導體裝置的步驟。

十一、圖式：

其中，用以形成該絕緣體塗佈膜之步驟包括以下之步驟：

將含金屬有機化合物及金屬無機化合物二者的至少其中一個與溶媒的液體狀材料加以塗佈在該閘電極上；

將塗佈後之膜乾燥；

將乾燥後之膜烘烤。

36. 如申請專利範圍第 32 或 34 項之半導體裝置的製造方法，其中，用以形成該閘電極之步驟，包括以電鍍法、印刷法、噴墨法或濺鍍法形成導電金屬層的步驟。

37. 如申請專利範圍第 35 項之半導體裝置的製造方法，其中，用以形成該絕緣體塗佈膜之步驟，包括將該液體狀材料充填在該閘電極與該絕緣體層間的間隙，且將其塗佈以延伸存在於該絕緣體層之表面上的步驟。

38. 如申請專利範圍第 29 或 34 項之半導體裝置的製造方法，其中，於該基板上設置具有溝槽之絕緣體層的步驟，係包括：於該基板上形成樹脂膜之步驟；及藉由將該樹脂膜形成圖案而形成用以收納該閘電極的溝槽之步驟。

39. 如申請專利範圍第 35 項之半導體裝置的製造方法，其中，將乾燥後之膜烘烤的步驟係於惰性氣體環境中或大氣環境中進行。

40. 一種液晶顯示裝置的製造方法，其特徵為包括採用如申請專利範圍第 29 或 34 項之半導體裝置的製造方法而形成半導體裝置的步驟。

41. 一種有機電致發光顯示裝置的製造方法，其特徵為包括採用如申請專利範圍第 29 或 34 項之半導體裝置的製造方法而形成半導體裝置的步驟。

十一、圖式：

圖式

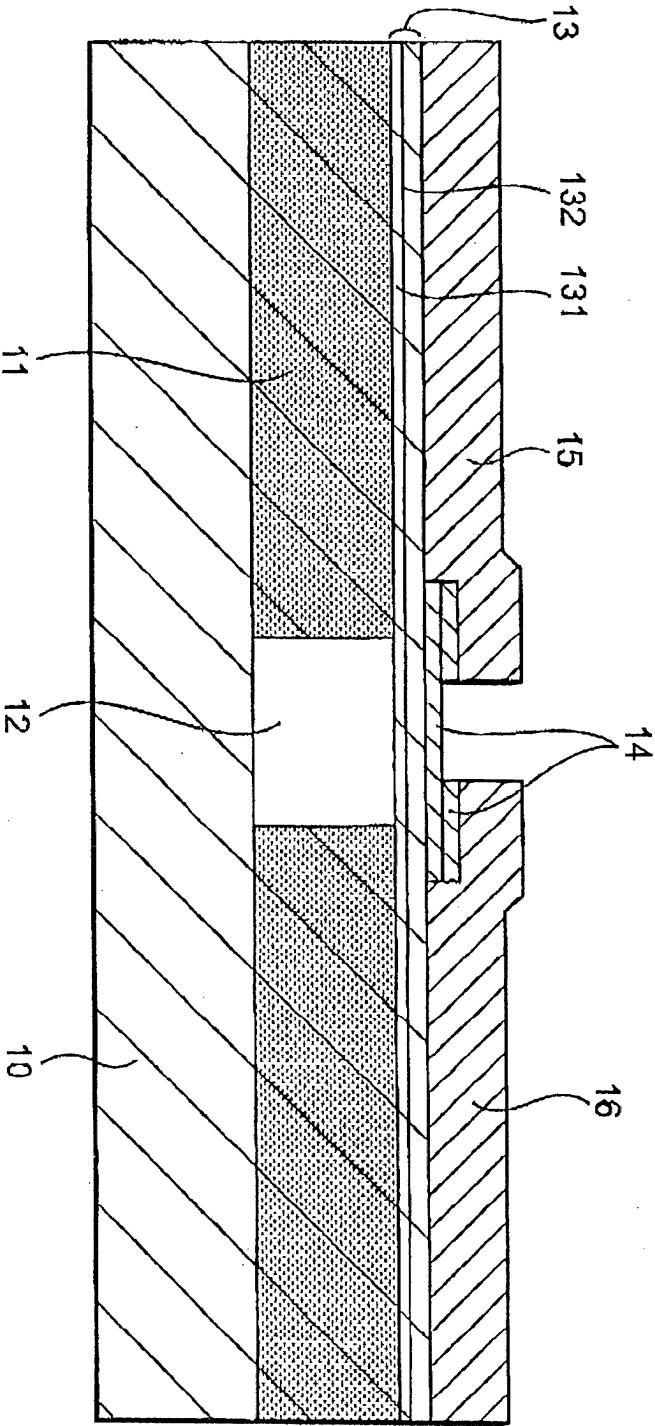


圖 1

圖式

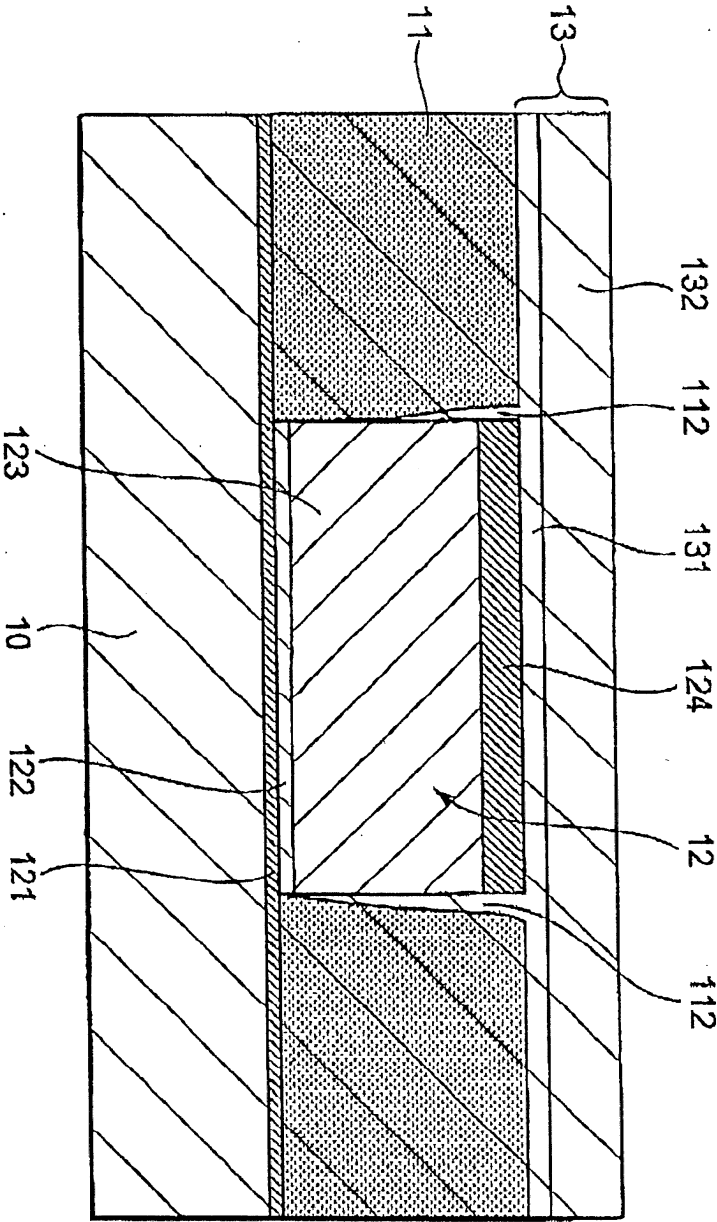
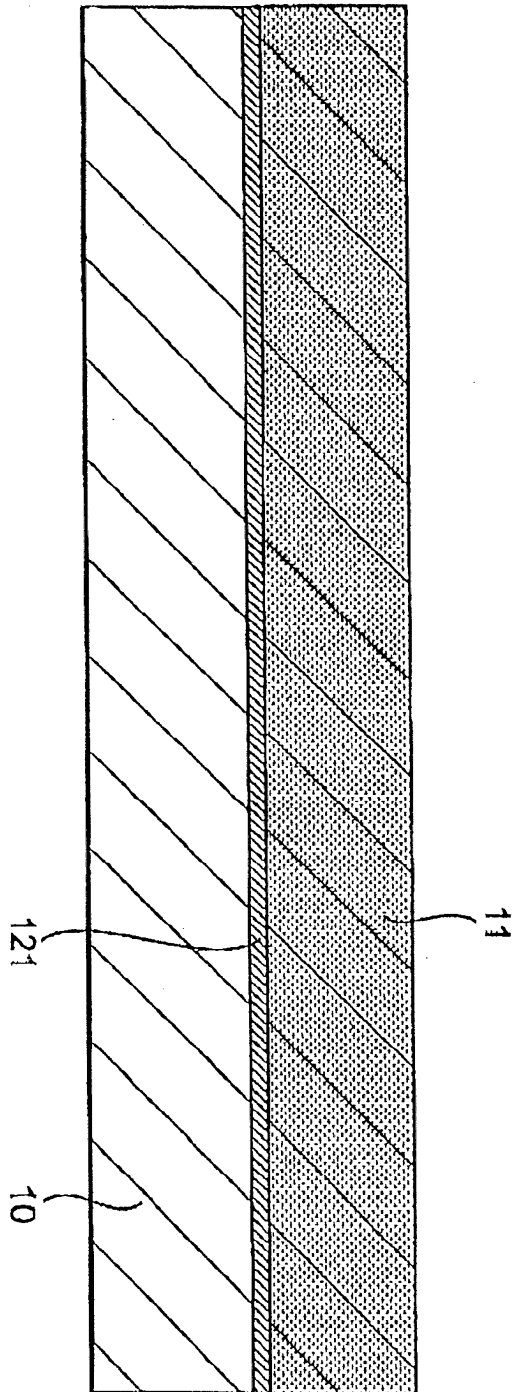


圖 2

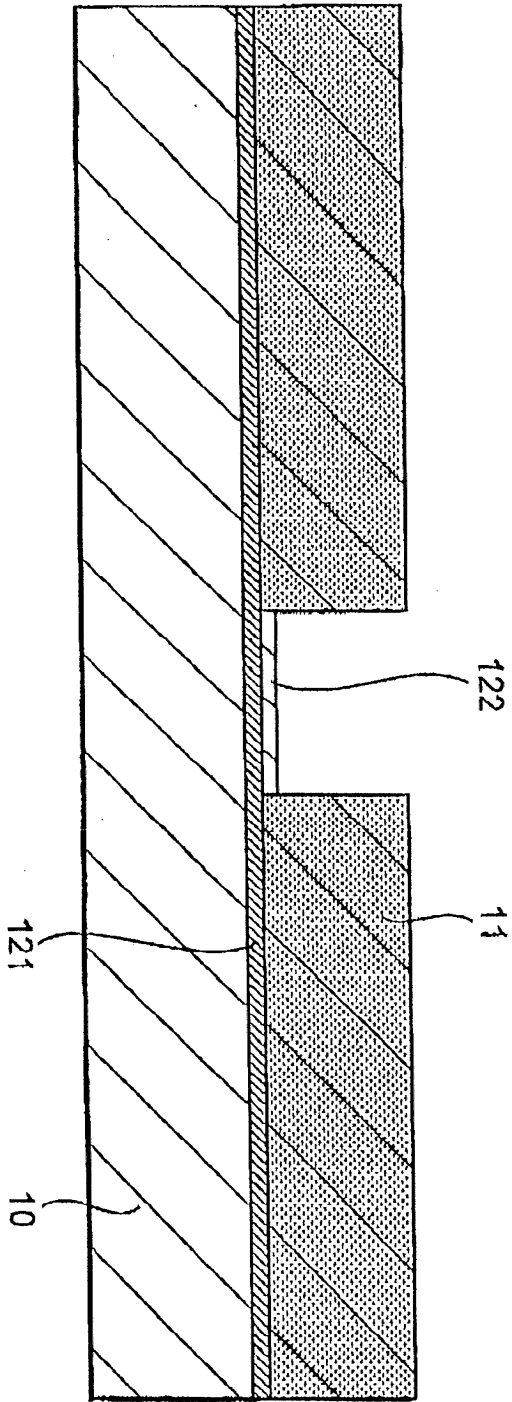
圖式

3



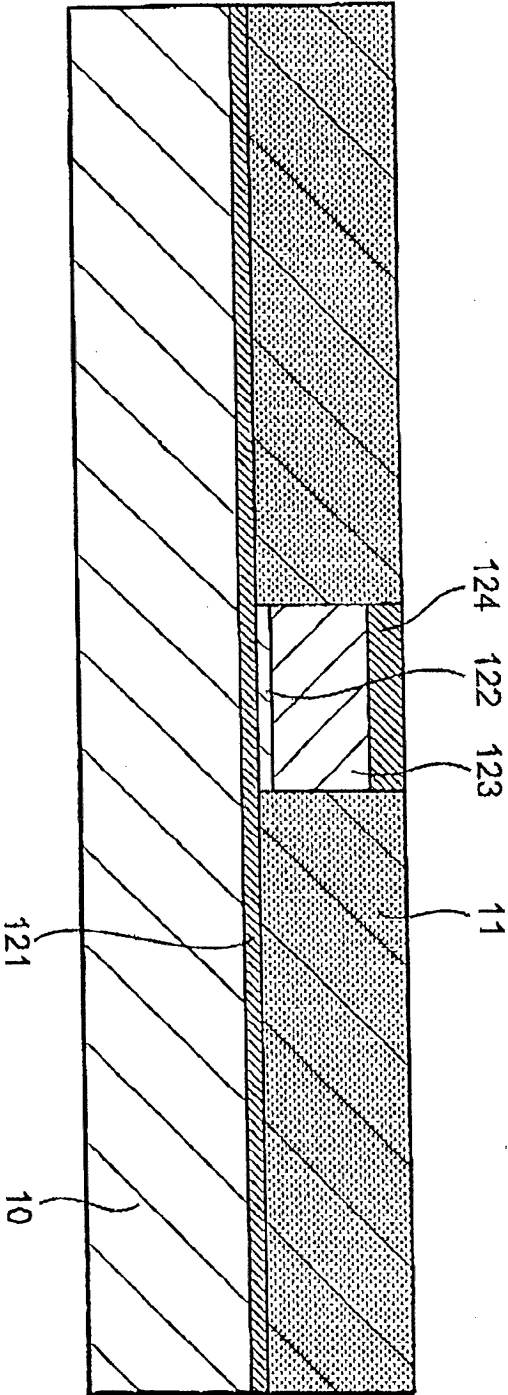
圖式

圖 4



圖式

圖 5



圖式

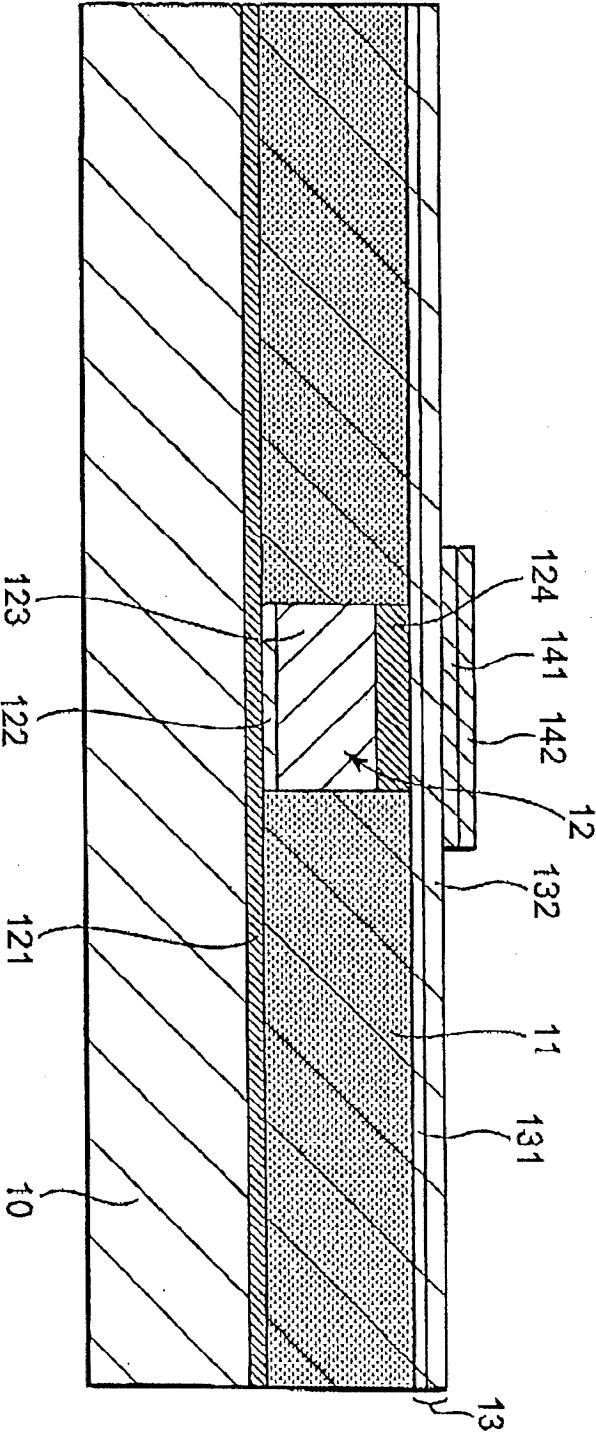
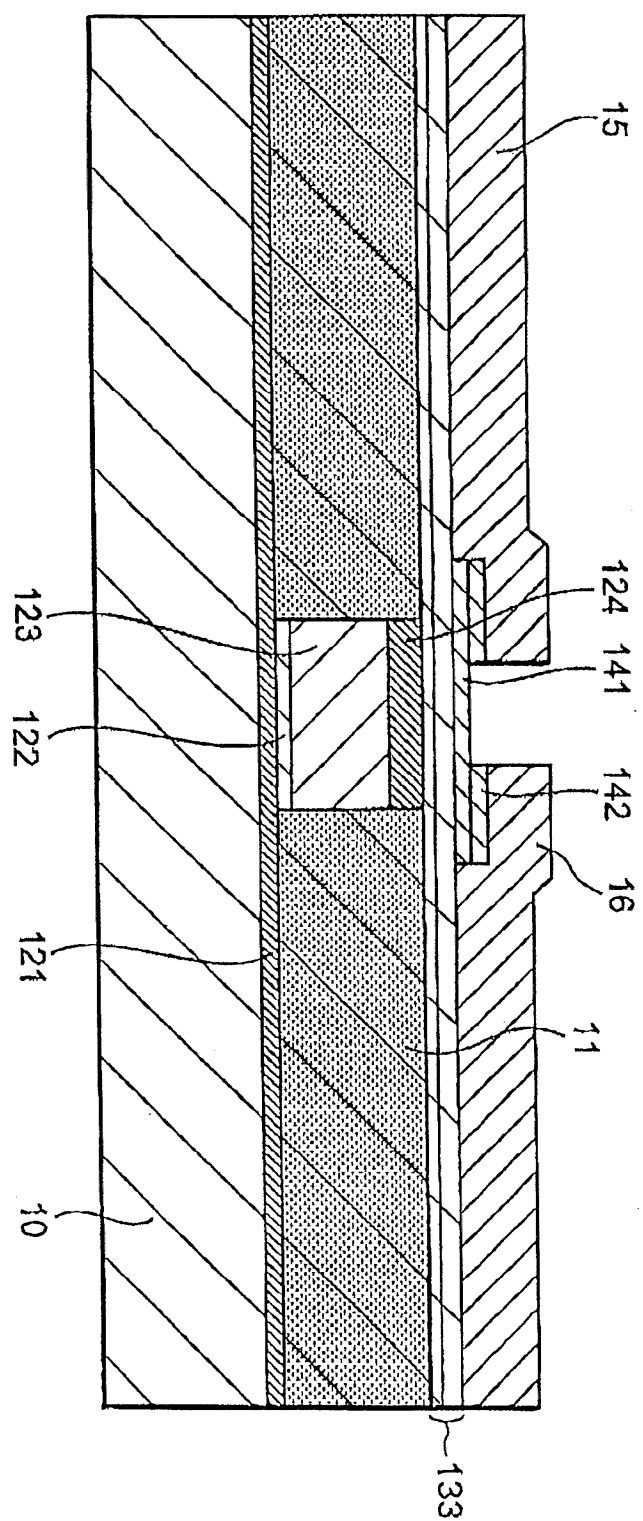


圖 6

圖式



7

圖式

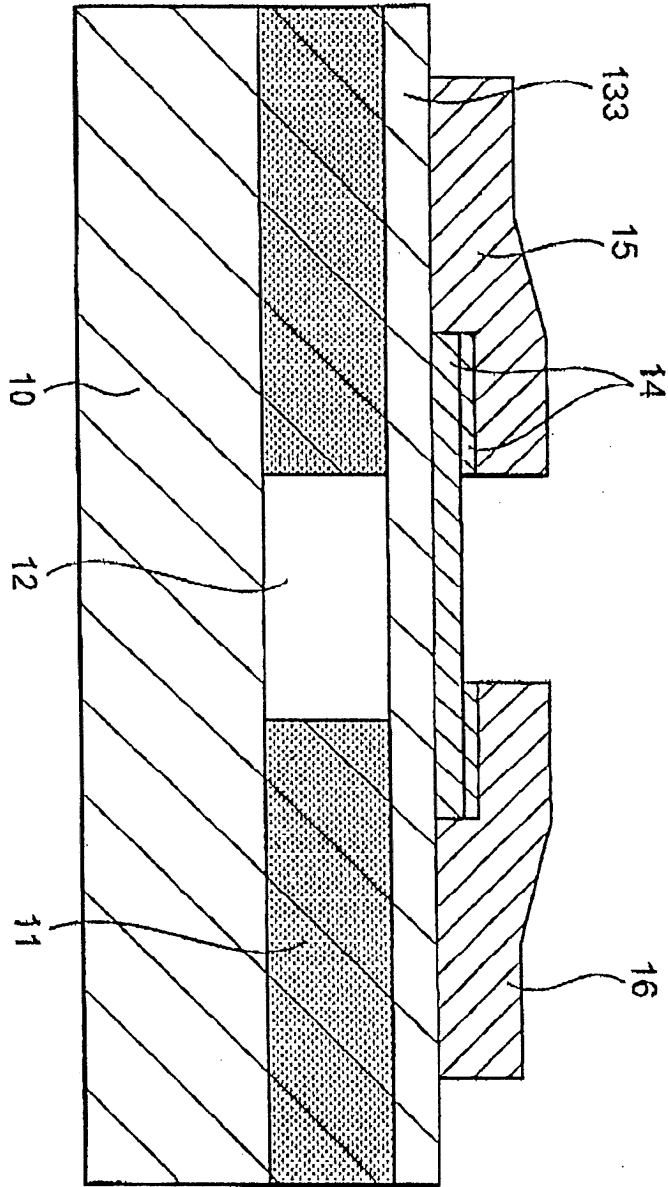


圖 9

圖式

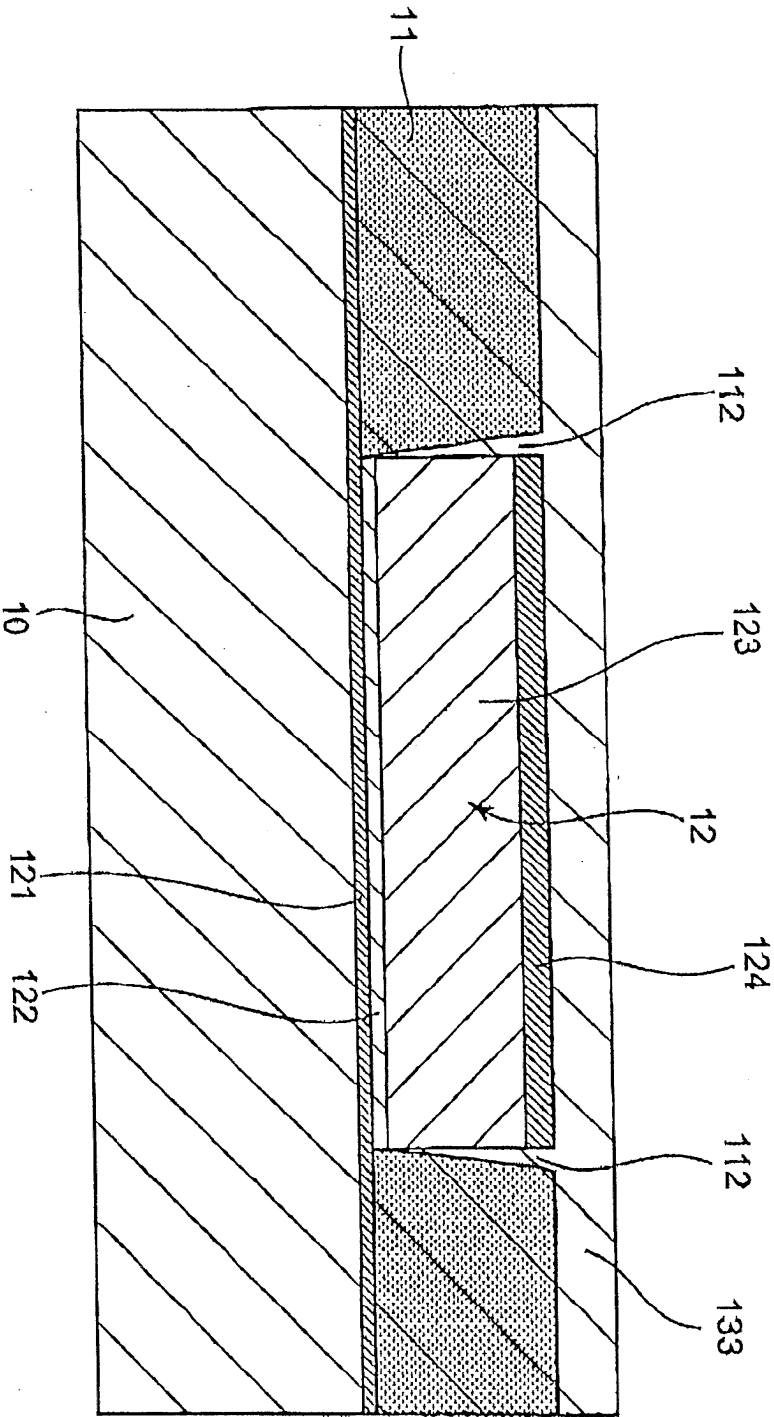
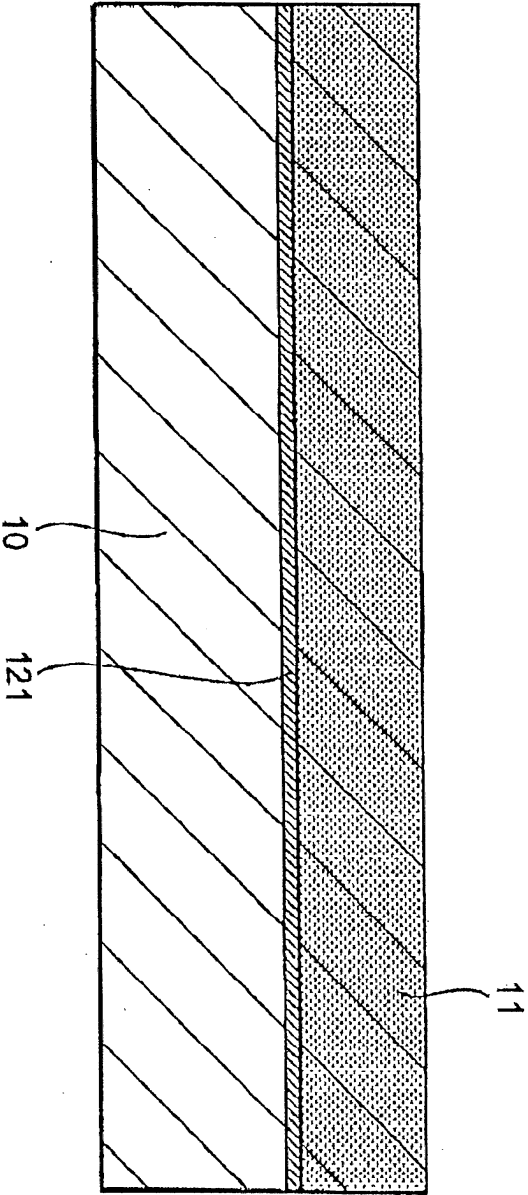


圖 10

圖式

圖 11



圖式

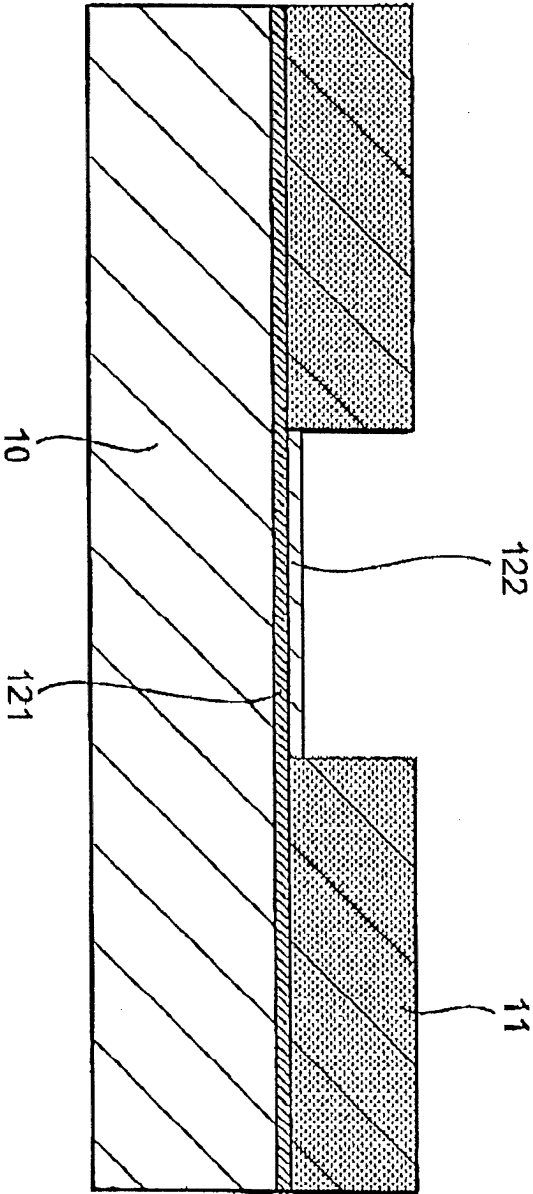


圖 12

圖式

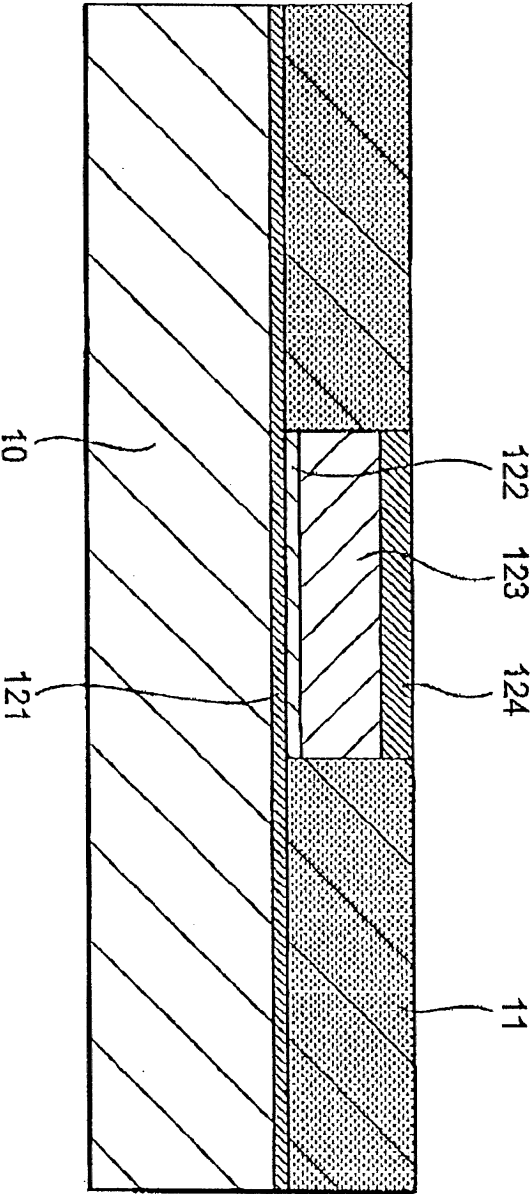


圖 13

圖式

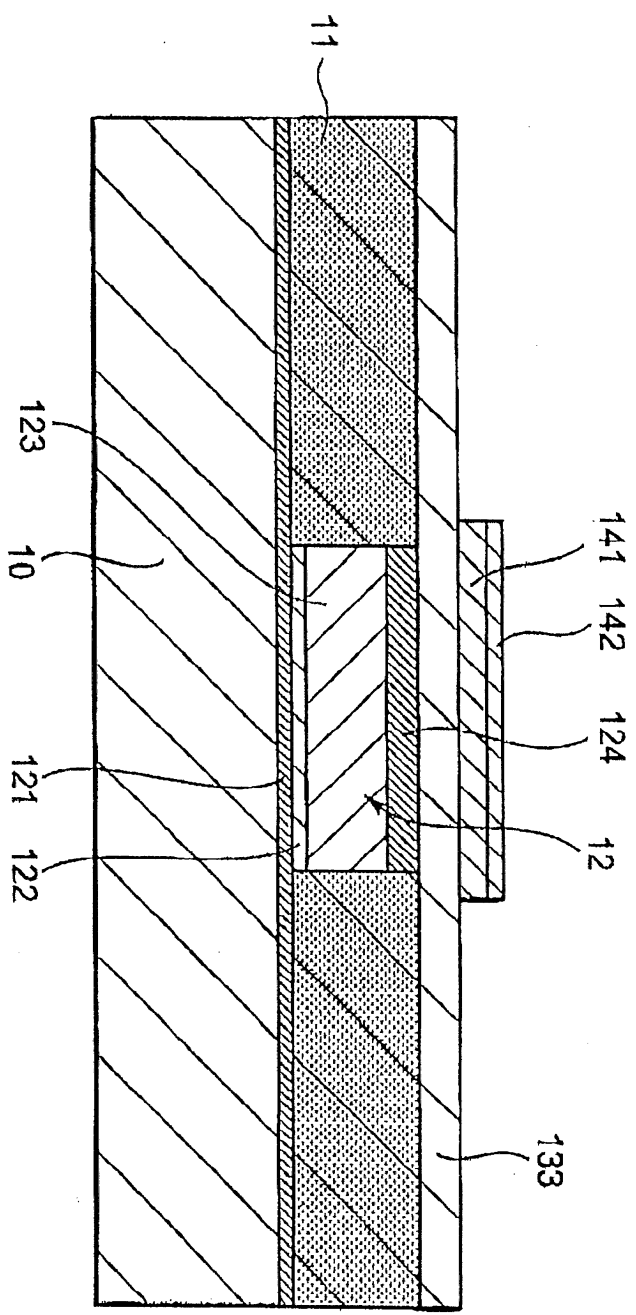


圖 14

圖式

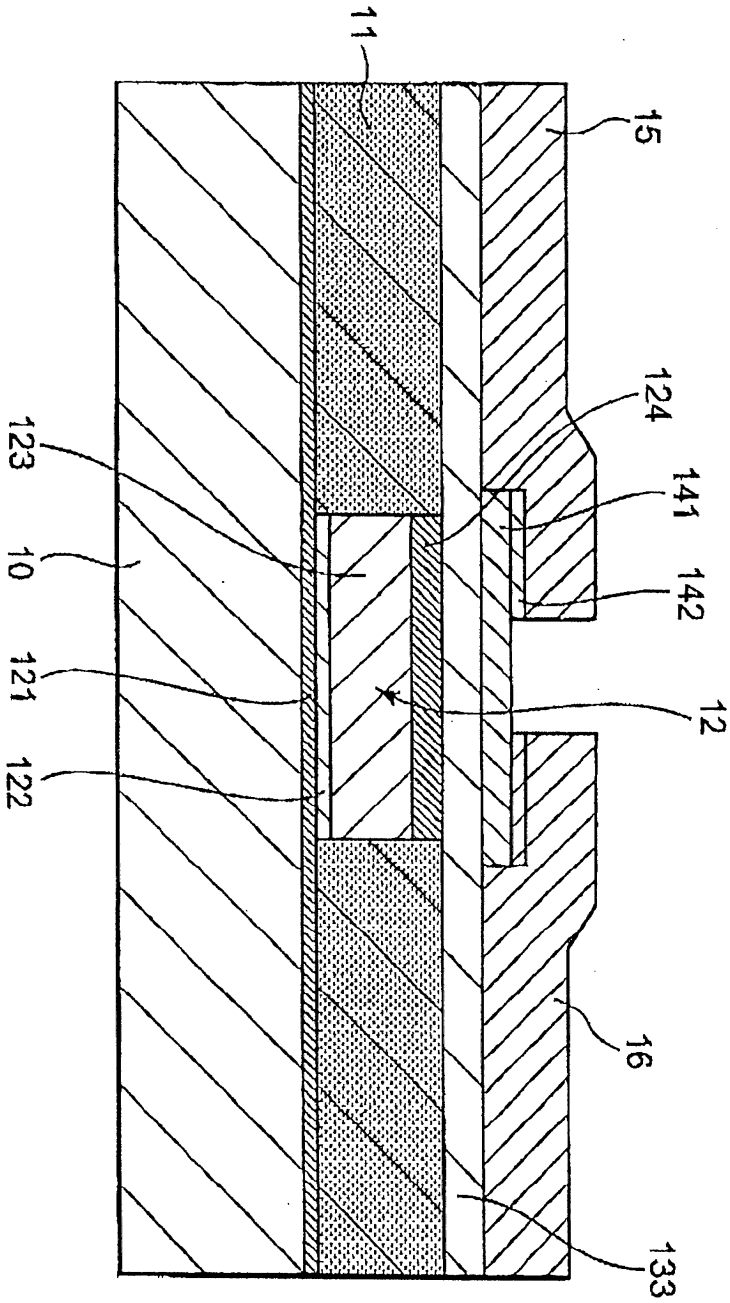


圖 15

圖式

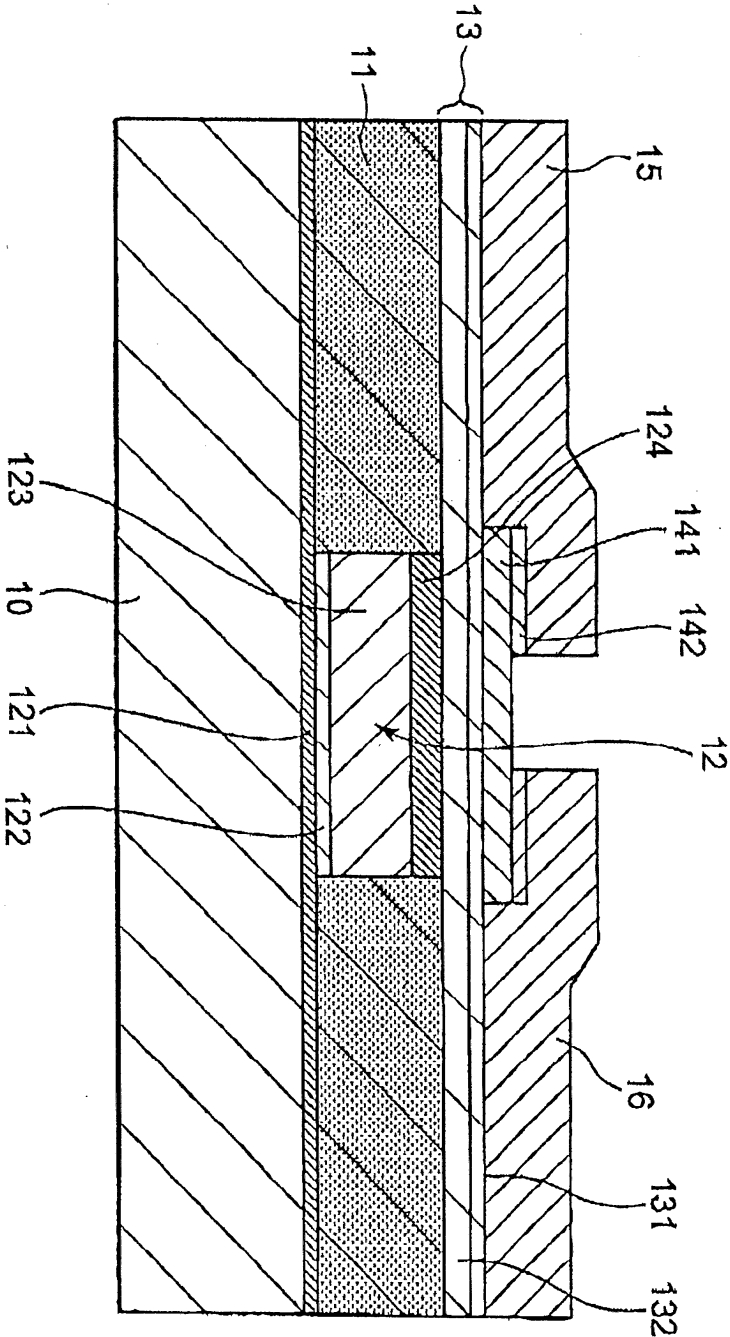


圖 16

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10～玻璃基板

11～透明樹脂膜(絕緣體層)

12～閘電極(導電體層)

13～閘絕緣膜

14～半導體層

15～源極電極

16～汲極電極

131～絕緣體塗佈膜(保護膜)

132～CVD 電介質膜(絕緣體 CVD 膜)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)