

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7311423号
(P7311423)

(45)発行日 令和5年7月19日(2023.7.19)

(24)登録日 令和5年7月10日(2023.7.10)

(51)国際特許分類	F I		
H 0 4 N 25/77 (2023.01)	H 0 4 N 25/77		
H 0 1 L 27/146 (2006.01)	H 0 1 L 27/146	A	
	H 0 1 L 27/146	F	
	H 0 1 L 27/146	D	

請求項の数 9 (全34頁)

(21)出願番号	特願2019-549846(P2019-549846)	(73)特許権者	316005926 ソニーセミコンダクタソリューションズ株式会社 神奈川県厚木市旭町四丁目14番1号
(86)(22)出願日	平成30年7月17日(2018.7.17)	(74)代理人	100112955 弁理士 丸島 敏一
(86)国際出願番号	PCT/JP2018/026757	(72)発明者	丹羽 篤親 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
(87)国際公開番号	WO2019/087471	審査官	橘 高志
(87)国際公開日	令和1年5月9日(2019.5.9)		
審査請求日	令和3年6月11日(2021.6.11)		
(31)優先権主張番号	特願2017-209045(P2017-209045)		
(32)優先日	平成29年10月30日(2017.10.30)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 固体撮像素子

(57)【特許請求の範囲】

【請求項1】

行駆動回路と、
列駆動回路と、
複数の画素とを備え、
前記複数の画素はそれぞれ、
入射光を光電変換して光電流を生成するフォトダイオードと、
前記光電流に応じた電圧信号を量子化して検出信号として出力する画素回路と、
接続部とを有し、
前記行駆動回路および前記列駆動回路は第2のチップに設けられ、
前記フォトダイオードは第1のチップに設けられ、
少なくとも一部の画素回路は前記第2のチップに設けられ、前記接続部を介して前記第1のチップに設けられた前記フォトダイオードに電氣的に接続される固体撮像素子であって、
前記画素回路において、前記第2のチップには、前記光電流を前記電圧信号に変換する電流電圧変換回路の少なくとも一部がさらに設けられ、
前記電流電圧変換回路は、複数段のループ回路を含み、
前記複数段のループ回路のそれぞれは、
第1のN型トランジスタと、
前記第1のN型トランジスタのソースにゲートが接続され、前記第1のN型トランジスタ

10

20

タのゲートにドレインが接続された第2のN型トランジスタとを備える固体撮像素子。

【請求項2】

入射光を光電変換して光電流を生成するフォトダイオードが設けられた受光チップと、前記光電流に応じた電圧信号を量子化して検出信号として出力する検出チップとを具備し、

前記検出チップには、前記光電流を前記電圧信号に変換する電流電圧変換回路がさらに設けられ、

前記電流電圧変換回路は、複数段のループ回路を含み、

前記複数段のループ回路のそれぞれは、

第1のN型トランジスタと、

前記第1のN型トランジスタのソースにゲートが接続され、前記第1のN型トランジスタのゲートにドレインが接続された第2のN型トランジスタとを備える固体撮像素子。

【請求項3】

前記検出信号を処理する信号処理チップをさらに具備する請求項2記載の固体撮像素子。

【請求項4】

前記受光チップには、所定数の前記フォトダイオードが二次元格子状に配列された受光部が設けられ、

前記検出チップには、前記検出信号を出力するアドレスイベント検出回路が設けられ、

前記アドレスイベント検出回路は、前記受光部内で隣接する複数のフォトダイオードに共通に接続され、

前記電流電圧変換回路は、前記アドレスイベント検出回路内に配置される

請求項2記載の固体撮像素子。

【請求項5】

前記検出チップには、前記複数のフォトダイオードのそれぞれの光電流のいずれかを選択して前記アドレスイベント検出回路に出力するマルチプレクサがさらに設けられる

請求項4記載の固体撮像素子。

【請求項6】

前記受光チップには、前記複数のフォトダイオードのそれぞれの光電流のいずれかを選択して前記アドレスイベント検出回路に出力するマルチプレクサがさらに設けられる

請求項4記載の固体撮像素子。

【請求項7】

前記受光チップと前記検出チップとの間に設けられたシールドをさらに具備する請求項2記載の固体撮像素子。

【請求項8】

前記フォトダイオードは、通常画素と位相差画素とのそれぞれに設けられ、

前記位相差画素のフォトダイオードの一部は遮光されている

請求項2記載の固体撮像素子。

【請求項9】

前記検出チップには、前記電圧信号と複数の閾値電圧とを比較して当該比較結果を示す複数ビットの信号を前記検出信号として出力する量子化器が設けられる

請求項2記載の固体撮像素子。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、固体撮像素子に関する。詳しくは、入射光の光量を閾値と比較する固体撮像素子に関する。

【背景技術】

10

20

30

40

50

【 0 0 0 2 】

従来より、垂直同期信号などの同期信号に同期して画像データ（フレーム）を撮像する同期型の固体撮像素子が撮像装置などにおいて用いられている。この一般的な同期型の固体撮像素子では、同期信号の周期（例えば、1 / 60 秒）ごとにしか画像データを取得することができないため、交通やロボットなどに関する分野において、より高速な処理が要求された場合に対応することが困難になる。そこで、画素アドレスごとに、その画素の光量が閾値を超えた旨をアドレスイベントとしてリアルタイムに検出するアドレスイベント検出回路を画素毎に設けた非同期型の固体撮像素子が提案されている（例えば、特許文献1参照。）。

【 先行技術文献 】

10

【 特許文献 】

【 0 0 0 3 】

【 文献 】 特表 2 0 1 6 - 5 3 3 1 4 0 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 4 】

上述の非同期型の固体撮像素子では、同期型の固体撮像素子よりも遥かに高速にデータを生成して出力することができる。このため、例えば、交通分野において、人や障害物を画像認識する処理を高速に実行して、安全性を向上させることができる。しかしながら、アドレスイベント検出回路は、同期型における画素回路よりも回路規模が大きく、そのような回路を画素毎に設けると、実装面積が同期型と比較して増大してしまうという問題がある。

20

【 0 0 0 5 】

本技術はこのような状況に鑑みて生み出されたものであり、アドレスイベントを検出する固体撮像素子において、実装面積を削減することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 6 】

本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、行駆動回路と、列駆動回路と、複数の画素とを備え、上記複数の画素はそれぞれ、入射光を光電変換して光電流を生成するフォトダイオードと、上記光電流に応じた電圧信号を量子化して検出信号として出力する画素回路と、接続部とを有し、上記行駆動回路および上記列駆動回路は第2のチップに設けられ、上記フォトダイオードは第1のチップに設けられ、少なくとも一部の上記画素回路は上記第2のチップに設けられ、上記接続部を介して上記第1のチップに設けられた上記フォトダイオードに電氣的に接続される固体撮像素子である。これにより、第1のチップと第2のチップとに回路が分散して配置されるという作用をもたらす。

30

【 0 0 0 7 】

また、この第1の側面において、上記画素回路において、上記第1のチップには、上記光電流を上記電圧信号に変換して出力する複数のN型トランジスタがさらに設けられ、上記第2のチップには、上記複数のN型トランジスタのいずれかに一定の電流を供給するP型トランジスタがさらに設けられてもよい。これにより、N型トランジスタおよびフォトダイオードが同一のチップに配置されるという作用をもたらす。

40

【 0 0 0 8 】

また、この第1の側面において、上記画素回路において、上記第2のチップには、上記光電流を上記電圧信号に変換する電流電圧変換回路がさらに設けられてもよい。これにより、電流電圧変換回路の分、第1のチップの回路規模が削減されるという作用をもたらす。

【 0 0 0 9 】

また、この第1の側面において、上記電流電圧変換回路は、上記フォトダイオードのカソードにドレインが接続され、ゲートおよびソースが電源に共通に接続されたN型トランジスタを含み、上記N型であってもよい。これにより、N型トランジスタのみにより光電

50

流が電圧信号に変換されるという作用をもたらす。

【 0 0 1 0 】

また、この第 1 の側面において、上記電流電圧変換回路は、上記フォトダイオードのカソードにアノードが接続され、カソードが電源に接続されたダイオードを含み、上記ダイオードと上記フォトダイオードとの接続点は、上記バッファの入力端子に接続されてもよい。これにより、ダイオードにより光電流が電圧信号に変換されるという作用をもたらす。

【 0 0 1 1 】

また、この第 1 の側面において、上記電流電圧変換回路は、所定のバイアス電圧がゲートに印加され、ドレインが上記フォトダイオードのカソードに接続された第 1 の N 型トランジスタと、上記フォトダイオードと上記第 1 トランジスタとの接続点にゲートが接続され、ドレインが上記第 1 の N 型トランジスタのソースに接続され、ソースが接地された第 2 の N 型トランジスタとを含み、上記第 1 および第 2 のトランジスタの接続点は、上記バッファの入力端子に接続されてもよい。これにより、ゲート接地回路を含む回路により低周波ノイズが抑制されるという作用をもたらす。

10

【 0 0 1 2 】

また、この第 1 の側面において、上記電流電圧変換回路は、複数段のループ回路を含み、上記複数段のループ回路のそれぞれは、第 1 の N 型トランジスタと、上記第 1 の N 型トランジスタのソースにゲートが接続され、上記第 1 の N 型トランジスタのゲートにドレインが接続された第 2 の N 型トランジスタとを備えてもよい。これにより、複数段のループ回路により、高いゲインで光電流が電圧信号に変換されるという作用をもたらす。

20

【 0 0 1 3 】

また、この第 1 の側面において、上記画素回路において、上記第 1 のチップには、上記光電流を上記電圧信号に変換する電流電圧変換回路と上記電圧信号を補正して出力するバッファとがさらに設けられてもよい。これにより、電流電圧変換回路およびバッファの分、第 2 のチップの回路規模が削減されるという作用をもたらす。

【 0 0 1 4 】

また、この第 1 の側面において、上記画素回路において、上記第 1 のチップには、上記バッファの出力端子に一端が接続された第 1 コンデンサがさらに設けられ、上記第 2 のチップには、上記第 1 コンデンサの他端に入力端子が接続されたインバータと上記インバータに並列に接続された第 2 コンデンサとがさらに設けられてもよい。これにより、第 1 コンデンサおよび第 2 コンデンサが第 1 のチップおよび第 2 のチップに分散して配置されるという作用をもたらす。

30

【 0 0 1 5 】

また、この第 1 の側面において、上記画素回路において、上記第 1 のチップには、上記バッファから出力された上記電圧信号のレベルを低下させる減算器と上記低下した電圧信号を量子化して上記検出信号として出力する量子化器とがさらに設けられてもよい。これにより、減算器および量子化器の分、第 2 のチップの回路規模が削減されるという作用をもたらす。

【 0 0 1 6 】

また、本技術の第 2 の側面は、入射光を光電変換して光電流を生成するフォトダイオードが設けられた受光チップと、上記光電流に応じた電圧信号を量子化して検出信号として出力する検出チップとを具備する固体撮像素子である。これにより、受光チップと検出チップとに回路が分散して配置されるという作用をもたらす。

40

【 0 0 1 7 】

また、この第 2 の側面において、上記受光チップには、上記光電流を上記電圧信号に変換して出力する複数の N 型トランジスタがさらに設けられ、上記検出チップには、上記複数の N 型トランジスタのいずれかに一定の電流を供給する P 型トランジスタがさらに設けられてもよい。これにより、N 型トランジスタおよびフォトダイオードが同一のチップに配置されるという作用をもたらす。

【 0 0 1 8 】

50

また、この第2の側面において、上記検出チップには、上記光電流を上記電圧信号に変換する電流電圧変換回路がさらに設けられてもよい。これにより、電流電圧変換回路の分、検出チップの回路規模が削減されるという作用をもたらす。

【0019】

また、この第2の側面において、上記電流電圧変換回路は、上記フォトダイオードのカソードにドレインが接続され、ゲートおよびソースが電源に共通に接続されたN型トランジスタを含み、上記N型トランジスタと上記フォトダイオードとの接続点は、上記バッファの入力端子に接続されてもよい。これにより、N型トランジスタのみにより光電流が電圧信号に変換されるという作用をもたらす。

【0020】

また、この第2の側面において、上記電流電圧変換回路は、上記フォトダイオードのカソードにアノードが接続され、カソードが電源に接続されたダイオードを含み、上記ダイオードと上記フォトダイオードとの接続点は、上記バッファの入力端子に接続されてもよい。これにより、ダイオードにより光電流が電圧信号に変換されるという作用をもたらす。

【0021】

また、この第2の側面において、上記電流電圧変換回路は、所定のバイアス電圧がゲートに印加され、ドレインが上記フォトダイオードのカソードに接続された第1のN型トランジスタと、上記フォトダイオードと上記第1トランジスタとの接続点にゲートが接続され、ドレインが上記第1のN型トランジスタのソースに接続され、ソースが接地された第2のN型トランジスタとを含み、上記第1および第2のトランジスタの接続点は、上記バッファの入力端子に接続されてもよい。これにより、ゲート接地回路を含む回路により低周波ノイズが抑制されるという作用をもたらす。

【0022】

また、この第2の側面において、上記電流電圧変換回路は、複数段のループ回路を含み、上記複数段のループ回路のそれぞれは、第1のN型トランジスタと、上記第1のN型トランジスタのソースにゲートが接続され、上記第1のN型トランジスタのゲートにドレインが接続された第2のN型トランジスタとを備えてもよい。これにより、複数段のループ回路により、高いゲインで光電流が電圧信号に変換されるという作用をもたらす。

【0023】

また、この第2の側面において、上記受光チップには、上記光電流を上記電圧信号に変換する電流電圧変換回路と上記電圧信号を補正して出力するバッファとがさらに設けられてもよい。これにより、電流電圧変換回路およびバッファの分、検出チップの回路規模が削減されるという作用をもたらす。

【0024】

また、この第2の側面において、上記受光チップには、上記バッファの出力端子に一端が接続された第1コンデンサがさらに設けられ、上記検出チップには、上記第1コンデンサの他端に入力端子が接続されたインバータと上記インバータに並列に接続された第2コンデンサとがさらに設けられてもよい。これにより、第1コンデンサおよび第2コンデンサが受光チップおよび検出チップに分散して配置されるという作用をもたらす。

【0025】

また、この第2の側面において、上記受光チップには、上記バッファから出力された上記電圧信号のレベルを低下させる減算器と上記低下した電圧信号を量子化して上記検出信号として出力する量子化器とがさらに設けられてもよい。これにより、減算器および量子化器の分、検出チップの回路規模が削減されるという作用をもたらす。

【0026】

また、この第2の側面において、上記検出信号を処理する信号処理チップをさらに具備することもできる。これにより、受光チップと検出チップと信号処理チップとに回路が分散して配置されるという作用をもたらす。

【0027】

また、この第2の側面において、上記受光チップには、所定数の上記フォトダイオード

10

20

30

40

50

が二次元格子状に配列された受光部が設けられ、上記検出チップには、上記検出信号を出力するアドレスイベント検出回路が設けられ、上記アドレスイベント検出回路は、上記受光部内で隣接する複数のフォトダイオードに共通に接続されてもよい。これにより、複数の画素によりアドレスイベント検出回路が共有されるという作用をもたらす。

【0028】

また、この第2の側面において、上記検出チップには、上記複数のフォトダイオードのそれぞれの光電流のいずれかを選択して上記アドレスイベント検出回路に出力するマルチプレクサがさらに設けられてもよい。これにより、マルチプレクサの分、受光チップの回路規模が削減されるという作用をもたらす。

【0029】

また、この第2の側面において、上記受光チップには、上記複数のフォトダイオードのそれぞれの光電流のいずれかを選択して上記アドレスイベント検出回路に出力するマルチプレクサがさらに設けられてもよい。これにより、マルチプレクサの分、検出チップの回路規模が削減されるという作用をもたらす。

【0030】

また、この第2の側面において、上記受光チップと上記検出チップとの間に設けられたシールドをさらに具備することもできる。これにより、電磁ノイズが抑制されるという作用をもたらす。

【0031】

また、この第2の側面において、上記フォトダイオードは、通常画素と位相差画素とのそれぞれに設けられ、上記位相差画素のフォトダイオードの一部は遮光されていてもよい。これにより、位相差が検出されるという作用をもたらす。

【0032】

また、この第2の側面において、上記受光チップには、二次元格子状に配列された所定数の上記フォトダイオードと上記光電流を上記電圧信号に変換する電流電圧変換回路とが設けられ、上記所定数の上記フォトダイオードのうち隣接する複数のフォトダイオードは、上記電流電圧変換回路に共通に接続されてもよい。これにより、複数の画素により電流電圧変換回路が共有されるという作用をもたらす。

【0033】

また、この第2の側面において、上記検出チップには、上記電圧信号と複数の閾値電圧とを比較して当該比較結果を示す複数ビットの信号を上記検出信号として出力する量子化器が設けられてもよい。これにより、複数ビットの検出信号からなる画像データが生成されるという作用をもたらす。

【発明の効果】

【0034】

本技術によれば、アドレスイベントを検出する固体撮像素子において、実装面積を削減するという優れた効果を奏し得る。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

【図面の簡単な説明】

【0035】

【図1】本技術の第1の実施の形態における撮像装置の一構成例を示すブロック図である。

【図2】本技術の第1の実施の形態における固体撮像素子の積層構造の一例を示す図である。

【図3】本技術の第1の実施の形態における受光チップの平面図の一例である。

【図4】本技術の第1の実施の形態における検出チップの平面図の一例である。

【図5】本技術の第1の実施の形態におけるアドレスイベント検出部の平面図の一例である。

【図6】本技術の第1の実施の形態におけるアドレスイベント検出回路の一構成例を示すブロック図である。

【図7】本技術の第1の実施の形態における電流電圧変換回路の一構成例を示す回路図で

10

20

30

40

50

ある。

【図 8】本技術の第 1 の実施の形態における減算器および量子化器の一構成例を示す回路図である。

【図 9】本技術の第 1 の実施の形態の変形例における受光チップおよび検出チップのそれぞれに設けられる回路の一例を示す回路図である。

【図 10】本技術の第 2 の実施の形態における受光チップおよび検出チップのそれぞれに設けられる回路の一例を示す回路図である。

【図 11】本技術の第 2 の実施の形態の第 1 の変形例における受光チップおよび検出チップのそれぞれに設けられる回路の一例を示す回路図である。

【図 12】本技術の第 2 の実施の形態の第 2 の変形例における受光チップおよび検出チップのそれぞれに設けられる回路の一例を示す回路図である。

10

【図 13】本技術の第 3 の実施の形態における電流電圧変換回路の一構成例を示す回路図である。

【図 14】本技術の第 4 の実施の形態における電流電圧変換回路の一構成例を示す回路図である。

【図 15】本技術の第 5 の実施の形態における電流電圧変換回路の一構成例を示す回路図である。

【図 16】本技術の第 6 の実施の形態における電流電圧変換回路の一構成例を示す回路図である。

【図 17】本技術の第 7 の実施の形態における固体撮像素子の積層構造の一例を示す図である。

20

【図 18】本技術の第 7 の実施の形態における検出チップの平面図の一例である。

【図 19】本技術の第 7 の実施の形態における信号処理チップの平面図の一例である。

【図 20】本技術の第 8 の実施の形態における受光チップの平面図の一例である。

【図 21】本技術の第 8 の実施の形態におけるアドレスイベント検出部の平面図の一例である。

【図 22】本技術の第 8 の実施の形態の変形例における受光チップの平面図の一例である。

【図 23】本技術の第 9 の実施の形態におけるシールドの配置箇所の一例を示す回路図である。

【図 24】本技術の第 10 の実施の形態における受光チップの平面図の一例である。

30

【図 25】本技術の第 10 の実施の形態における通常画素および位相差画素の一構成例を示す回路図である。

【図 26】本技術の第 11 の実施の形態における受光チップの平面図の一例である。

【図 27】本技術の第 11 の実施の形態におけるシールドの配置箇所の一例を示す回路図である。

【図 28】本技術の第 12 の実施の形態におけるバッファ、減算器および量子化器の一構成例を示す回路図である。

【図 29】車両制御システムの概略的な構成例を示すブロック図である。

【図 30】撮像部の設置位置の一例を示す説明図である。

【発明を実施するための形態】

40

【0036】

以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第 1 の実施の形態（受光チップにフォトダイオードを配置する例）
2. 第 2 の実施の形態（受光チップにフォトダイオード、電流電圧変換回路およびバッファを配置する例）
3. 第 3 の実施の形態（受光チップにフォトダイオードを配置し、電流電圧変換回路内に N 型トランジスタ 1 つを配置する例）
4. 第 4 の実施の形態（受光チップにフォトダイオードを配置し、電流電圧変換回路内にダイオードを配置する例）

50

５．第５の実施の形態（受光チップにフォトダイオードを配置し、電流電圧変換回路内にゲート接地回路を配置する例）

６．第６の実施の形態（受光チップにフォトダイオードを配置し、電流電圧変換回路内に２段のループ回路を配置する例）

７．第７の実施の形態（受光チップにフォトダイオードを配置し、残りを検出チップおよび信号処理チップに配置する例）

８．第８の実施の形態（受光チップにフォトダイオードを配置し、複数の画素でアドレスイベント検出回路を共有する例）

９．第９の実施の形態（受光チップにフォトダイオードを配置し、検出チップとの間にシールドを配置する例）

１０．第１０の実施の形態（受光チップ内の通常画素および位相差画素のそれぞれにフォトダイオードを配置する例）

１１．第１１の実施の形態（受光チップにフォトダイオードを配置し、複数の画素で電流電圧変換回路を共有する例）

１２．第１２の実施の形態（受光チップにフォトダイオードを配置し、電圧信号を複数の閾値電圧と比較する例）

１３．移動体への応用例

【 ０ ０ ３ ７ 】

< １．第１の実施の形態 >

[撮像装置の構成例]

図１は、本技術の第１の実施の形態における撮像装置１００の一構成例を示すブロック図である。この撮像装置１００は、撮像レンズ１１０、固体撮像素子２００、記録部１２０および制御部１３０を備える。撮像装置１００としては、産業用ロボットに搭載されるカメラや、車載カメラなどが想定される。

【 ０ ０ ３ ８ 】

撮像レンズ１１０は、入射光を集光して固体撮像素子２００に導くものである。固体撮像素子２００は、入射光を光電変換して画像データを撮像するものである。この固体撮像素子２００は、撮像した画像データに対して、画像認識処理などの所定の信号処理を画像データに対して実行し、その処理後のデータを記録部１２０に信号線２０９を介して出力する。

【 ０ ０ ３ ９ 】

記録部１２０は、固体撮像素子２００からのデータを記録するものである。制御部１３０は、固体撮像素子２００を制御して画像データを撮像させるものである。

【 ０ ０ ４ ０ 】

[固体撮像素子の構成例]

図２は、本技術の第１の実施の形態における固体撮像素子２００の積層構造の一例を示す図である。この固体撮像素子２００は、検出チップ２０２と、その検出チップ２０２に積層された受光チップ２０１とを備える。これらのチップは、ビアなどの接続部を介して電氣的に接続される。なお、ビアの他、Cu-Cu接合やバンプにより接続することもできる。なお、受光チップ２０１は、特許請求の範囲に記載の第１のチップの一例であり、検出チップ２０２は、特許請求の範囲に記載の第２のチップの一例である。

【 ０ ０ ４ １ 】

図３は、本技術の第１の実施の形態における受光チップ２０１の平面図の一例である。受光チップ２０１には、受光部２２０と、ビア配置部２１１、２１２および２１３とが設けられる。

【 ０ ０ ４ ２ 】

ビア配置部２１１、２１２および２１３には、検出チップ２０２と接続されるビアが配置される。また、受光部２２０には、二次元格子状に複数のフォトダイオード２２１が配列される。フォトダイオード２２１は、入射光を光電変換して光電流を生成するものである。これらのフォトダイオード２２１のそれぞれには、行アドレスおよび列アドレスから

10

20

30

40

50

なる画素アドレスが割り当てられ、画素として扱われる。

【0043】

図4は、本技術の第1の実施の形態における検出チップ202の平面図の一例である。この検出チップ202には、ビア配置部231、232および233と、信号処理回路240と、行駆動回路251と、列駆動回路252と、アドレスイベント検出部260とが設けられる。ビア配置部231、232および233には、受光チップ201と接続されるビアが配置される。

【0044】

アドレスイベント検出部260は、複数のフォトダイオード221のそれぞれの光電流から検出信号を生成して信号処理回路240に出力するものである。この検出信号は、入射光の光量が所定の閾値を超えた旨をアドレスイベントとして検出したか否かを示す1ビットの信号である。

10

【0045】

行駆動回路251は、行アドレスを選択して、その行アドレスに対応する検出信号をアドレスイベント検出部260に出力させるものである。

【0046】

列駆動回路252は、列アドレスを選択して、その列アドレスに対応する検出信号をアドレスイベント検出部260に出力させるものである。

【0047】

信号処理回路240は、アドレスイベント検出部260からの検出信号に対して所定の信号処理を実行するものである。この信号処理回路240は、検出信号を画素信号として二次元格子状に配列し、画素毎に1ビットの情報を有する画像データを取得する。そして、信号処理回路240は、その画像データに対して画像認識処理などの信号処理を実行する。

20

【0048】

図5は、本技術の第1の実施の形態におけるアドレスイベント検出部260の平面図の一例である。このアドレスイベント検出部260には、二次元格子状に複数のアドレスイベント検出回路300が配列される。アドレスイベント検出回路300のそれぞれには画素アドレスが割り当てられ、同一アドレスのフォトダイオード221と接続される。

【0049】

アドレスイベント検出回路300は、対応するフォトダイオード221からの光電流に応じた電圧信号を量子化して検出信号として出力するものである。

30

【0050】

[アドレスイベント検出回路の構成例]

図6は、本技術の第1の実施の形態におけるアドレスイベント検出回路300の一構成例を示すブロック図である。このアドレスイベント検出回路300は、電流電圧変換回路310、バッファ320、減算器330、量子化器340および転送回路350を備える。

【0051】

電流電圧変換回路310は、対応するフォトダイオード221からの光電流を電圧信号に変換するものである。この電流電圧変換回路310は、電圧信号をバッファ320に供給する。

40

【0052】

バッファ320は、電流電圧変換回路310からの電圧信号を補正するものである。このバッファ320は、補正後の電圧信号を減算器330に出力する。

【0053】

減算器330は、行駆動回路251からの行駆動信号に従ってバッファ320からの電圧信号のレベルを低下させるものである。この減算器330は、低下後の電圧信号を量子化器340に供給する。

【0054】

量子化器340は、減算器330からの電圧信号をデジタル信号に量子化して検出信号

50

として転送回路 350 に出力するものである。

【0055】

転送回路 350 は、列駆動回路 252 からの列駆動信号に従って、検出信号を量子化器 340 から信号処理回路 240 に転送するものである。

【0056】

[電流電圧変換回路の構成例]

図 7 は、本技術の第 1 の実施の形態における電流電圧変換回路 310 の一構成例を示す回路図である。この電流電圧変換回路 310 は、N 型トランジスタ 311 および 313 と P 型トランジスタ 312 とを備える。これらのトランジスタとして、例えば、MOS (Metal-Oxide-Semiconductor) トランジスタが用いられる。

10

【0057】

N 型トランジスタ 311 のソースはフォトダイオード 221 のカソードに接続され、ドレインは電源端子に接続される。P 型トランジスタ 312 および N 型トランジスタ 313 は、電源端子と接地端子との間において、直列に接続される。また、P 型トランジスタ 312 および N 型トランジスタ 313 の接続点は、N 型トランジスタ 311 のゲートとバッファ 320 の入力端子とに接続される。また、P 型トランジスタ 312 のゲートには、所定のバイアス電圧 V_{bias1} が印加される。

【0058】

N 型トランジスタ 311 および 313 のドレインは電源側に接続されており、このような回路はソースフォロワと呼ばれる。これらのループ状に接続された 2 つのソースフォロワにより、フォトダイオード 221 からの光電流は電圧信号に変換される。また、P 型トランジスタ 312 は、一定の電流を N 型トランジスタ 313 に供給する。

20

【0059】

また、受光チップ 201 のグランドと検出チップ 202 のグランドとは、干渉対策のために互いに分離されている。

【0060】

[減算器および量子化器の構成例]

図 8 は、本技術の第 1 の実施の形態における減算器 330 および量子化器 340 の一構成例を示す回路図である。減算器 330 は、コンデンサ 331 および 333 と、インバータ 332 と、スイッチ 334 とを備える。また、量子化器 340 は、コンパレータ 341 を備える。

30

【0061】

コンデンサ 331 の一端は、バッファ 320 の出力端子に接続され、他端は、インバータ 332 の入力端子に接続される。コンデンサ 333 は、インバータ 332 に並列に接続される。スイッチ 334 は、コンデンサ 333 の両端を接続する経路を行駆動信号に従って開閉するものである。

【0062】

インバータ 332 は、コンデンサ 331 を介して入力された電圧信号を反転するものである。このインバータ 332 は反転した信号をコンパレータ 341 の非反転入力端子 (+) に出力する。

40

【0063】

スイッチ 334 をオンした際にコンデンサ 331 のバッファ 320 側に電圧信号 V_{init} が入力され、その逆側は仮想接地端子となる。この仮想接地端子の電位を便宜上、ゼロとする。このとき、コンデンサ 331 に蓄積されている電位 Q_{init} は、コンデンサ 331 の容量を $C1$ とすると、次の式により表される。一方、コンデンサ 333 の両端は、短絡されているため、その蓄積電荷はゼロとなる。

$$Q_{init} = C1 \times V_{init} \quad \dots \text{式 1}$$

【0064】

次に、スイッチ 334 がオフされて、コンデンサ 331 のバッファ 320 側の電圧が変化して V_{after} になった場合を考えると、コンデンサ 331 に蓄積される電荷 Q_{aft}

50

e_r は、次の式により表される。

【0065】

$$Q_{after} = C_1 \times V_{after} \quad \dots \text{式 2}$$

一方、コンデンサ333に蓄積される電荷 Q_2 は、出力電圧を V_{out} とすると、次の式により表される。

$$Q_2 = -C_2 \times V_{out} \quad \dots \text{式 3}$$

【0066】

このとき、コンデンサ331および333の総電荷量は変化しないため、次の式が成立する。

$$Q_{init} = Q_{after} + Q_2 \quad \dots \text{式 4}$$

10

【0067】

式4に式1乃至式3を代入して変形すると、次の式が得られる。

$$V_{out} = - (C_1 / C_2) \times (V_{after} - V_{init}) \quad \dots \text{式 5}$$

【0068】

式5は、電圧信号の減算動作を表し、減算結果の利得は C_1 / C_2 となる。通常、利得を最大化することが望まれるため、 C_1 を大きく、 C_2 を小さく設計することが好ましい。一方、 C_2 が小さすぎると、 kTC ノイズが増大し、ノイズ特性が悪化するおそれがあるため、 C_2 の容量削減は、ノイズを許容することができる範囲に制限される。また、画素ごとに減算器330を含むアドレスイベント検出回路300が搭載されるため、容量 C_1 や C_2 には、面積上の制約がある。これらを考慮して、例えば、 C_1 は、20乃至200フェムトファラッド(fF)の値に設定され、 C_2 は、1乃至20フェムトファラッド(fF)の値に設定される。

20

【0069】

コンパレータ341は、減算器330からの電圧信号と、反転入力端子(-)に印加された所定の閾値電圧 V_{th} とを比較するものである。コンパレータ341は、比較結果を示す信号を検出信号として転送回路350に出力する。

【0070】

垂直同期信号に同期して撮像を行う同期型の固体撮像素子では、画素ごとに、フォトダイオードと3個や4個のトランジスタとからなる簡易な画素回路が配置される。これに対して、非同期型の固体撮像素子200では、図6乃至図8に例示したように、同期型の場合より複雑な、フォトダイオード221およびアドレスイベント検出回路300からなる画素回路が画素毎に設けられる。したがって、仮に、フォトダイオード221およびアドレスイベント検出回路300の両方を同一チップに配置すると、実装面積が同期型よりも広がってしまう。そこで、固体撮像素子200では、フォトダイオード221とアドレスイベント検出回路300とを積層した受光チップ201および検出チップ202に分散して配置することにより、実装面積を削減している。

30

【0071】

このように、本技術の第1の実施の形態では、フォトダイオード221を受光チップ201に配置し、アドレスイベント検出回路300を検出チップ202に配置したため、それらを同一チップに配置する場合よりも実装面積を削減することができる。

40

【0072】

[変形例]

上述の第1の実施の形態では、電流電圧変換回路310の全てを検出チップ202に配置していたが、画素数の増大に伴って、検出チップ202内の回路の回路規模が増大するおそれがある。この第1の実施の形態の変形例の固体撮像素子200は、電流電圧変換回路310の一部の回路を受光チップ201に設けた点において第1の実施の形態と異なる。

【0073】

図9は、本技術の第1の実施の形態の変形例における受光チップ201および検出チップ202のそれぞれに設けられる回路の一例を示す回路図である。同図に例示するように、受光チップ201には、フォトダイオード221に加えて、N型トランジスタ311お

50

よび 313 がさらに設けられる。一方、検出チップ 202 には、P 型トランジスタ 312 と、その後段の回路とが設けられる。

【0074】

N 型トランジスタ 311 および 313 を受光チップ 201 に配置することにより、それらのトランジスタの分、検出チップ 202 の回路規模を削減することができる。また、受光チップ 201 内のトランジスタを N 型のみにより、N 型トランジスタおよび P 型トランジスタを混在させる場合と比較して、トランジスタを形成する際の工程数を削減することができる。これにより、受光チップ 201 の製造コストを削減することができる。

【0075】

このように、本技術の第 1 の実施の形態の変形例では、N 型トランジスタ 311 および 313 を受光チップ 201 に配置したため、製造コストと検出チップ 202 の回路規模とを削減することができる。

【0076】

< 2 . 第 2 の実施の形態 >

上述の第 1 の実施の形態では、アドレスイベント検出回路 300 内の回路の全てを検出チップ 202 に配置していたが、画素数の増大に伴って、検出チップ 202 内の回路の回路規模が増大するおそれがある。この第 2 の実施の形態の固体撮像素子 200 は、アドレスイベント検出回路 300 内の電流電圧変換回路 310 およびバッファ 320 を受光チップ 201 に設けた点において第 1 の実施の形態と異なる。

【0077】

図 10 は、本技術の第 2 の実施の形態における受光チップ 201 および検出チップ 202 のそれぞれに設けられる回路の一例を示す回路図である。この第 2 の実施の形態の受光チップ 201 には、フォトダイオード 221 に加えて、電流電圧変換回路 310 およびバッファ 320 がさらに設けられる。一方、検出チップ 202 には、減算器 330 以降の回路が設けられる。

【0078】

このように、本技術の第 2 の実施の形態では、電流電圧変換回路 310 およびバッファ 320 を受光チップ 201 に配置したため、それらを検出チップ 202 に設ける場合と比較して、検出チップ 202 の回路規模を削減することができる。

【0079】

[第 1 の変形例]

上述の第 2 の実施の形態では、減算器 330 の全てを検出チップ 202 に配置していたが、画素数の増大に伴って、検出チップ 202 内の回路の回路規模や実装面積が増大するおそれがある。この第 2 の実施の形態の第 1 の変形例の固体撮像素子 200 は、減算器 330 の一部を受光チップ 201 に設けた点において第 2 の実施の形態と異なる。

【0080】

図 11 は、本技術の第 2 の実施の形態の第 1 の変形例における受光チップ 201 および検出チップ 202 のそれぞれに設けられる回路の一例を示す回路図である。

【0081】

受光チップ 201 には、減算器 330 内のコンデンサ 331 が配置される。なお、コンデンサ 331 は、特許請求の範囲に記載の第 1 コンデンサの一例である。

【0082】

一方、検出チップ 202 には、減算器 330 内のインバータ 332、コンデンサ 333 およびスイッチ 334 が配置される。なお、インバータ 332 は、特許請求の範囲に記載のインバータの一例であり、コンデンサ 333 は、特許請求の範囲に記載の第 2 コンデンサの一例である。

【0083】

コンデンサ 331 および 333 などのコンデンサは、一般に、トランジスタやダイオードなどと比較して、広い実装面積を要する。コンデンサ 331 とコンデンサ 333 とを受

10

20

30

40

50

光チップ 201 と検出チップ 202 とに分散して配置することにより、回路全体の実装面積を削減することができる。

【0084】

このように、本技術の第2の実施の形態の第1の変形例では、コンデンサ 331 を受光チップ 201 に配置し、コンデンサ 333 を検出チップ 202 に配置したため、それらを同一のチップに設ける場合と比較して、実装面積を削減することができる。

【0085】

[第2の変形例]

上述の第2の実施の形態では、減算器 330 および量子化器 340 を検出チップ 202 に配置していたが、画素数の増大に伴って、検出チップ 202 内の回路の回路規模が増大するおそれがある。この第2の実施の形態の第2の変形例の固体撮像素子 200 は、減算器 330 および量子化器 340 を受光チップ 201 に設けた点において第2の実施の形態と異なる。

10

【0086】

図12は、本技術の第2の実施の形態の第2の変形例における受光チップ 201 および検出チップ 202 のそれぞれに設けられる回路の一例を示す回路図である。この第2の実施の形態の第2の変形例の受光チップ 201 には、フォトダイオード 221、電流電圧変換回路 310 およびバッファ 320 に加えて、減算器 330 および量子化器 340 がさらに設けられる点において第2の実施の形態と異なる。一方、検出チップ 202 には、転送回路 350 および信号処理回路 240 が設けられる。

20

【0087】

このように、本技術の第2の実施の形態の第2の変形例では、減算器 330 および量子化器 340 を受光チップ 201 に配置したため、それらを検出チップ 202 に設ける場合と比較して、検出チップ 202 の回路規模を削減することができる。

【0088】

<3. 第3の実施の形態>

上述の第1の実施の形態では、N型トランジスタ 311 および 313 とP型トランジスタ 312 とからなる電流電圧変換回路 310 をアドレスイベント検出部 260 内に画素毎に配列していた。しかしながら、画素数の増大に伴って、アドレスイベント検出部 260 の回路規模が増大するおそれがある。この第3の実施の形態の固体撮像素子 200 は、N型トランジスタ 311 のみを電流電圧変換回路 310 に配置した点において第1の実施の形態と異なる。

30

【0089】

図13は、本技術の第3の実施の形態における電流電圧変換回路 310 の一構成例を示す回路図である。この第3の実施の形態の電流電圧変換回路 310 には、N型トランジスタ 311 のみが配置される点において第1の実施の形態と異なる。このN型トランジスタ 311 のゲートおよびドレインは、電源端子に共通に接続され、ソースは、フォトダイオード 221 のカソードに接続される。また、N型トランジスタ 311 およびフォトダイオード 221 の接続点は、バッファ 320 の入力端子に接続される。

【0090】

なお、第3の実施の形態においても、第2の実施の形態と同様にバッファ 320 までの回路を受光チップ 201 に配置することができる。また、第3の実施の形態においても、第2の実施の形態の第1の変形例と同様にコンデンサ 331 までの回路を受光チップ 201 に配置することができる。また、第3の実施の形態においても、第2の実施の形態の第2の変形例と同様に量子化器 340 までの回路を受光チップ 201 に配置することができる。

40

【0091】

このように、本技術の第3の実施の形態では、N型トランジスタ 311 のみを電流電圧変換回路 310 に配置したため、3つのトランジスタを配置する場合と比較して電流電圧変換回路 310 の回路規模を削減することができる。

50

【 0 0 9 2 】

< 4 . 第 4 の 実 施 の 形 態 >

上述の第 1 の実施の形態では、N 型トランジスタ 3 1 1 および 3 1 3 と P 型トランジスタ 3 1 2 とからなる電流電圧変換回路 3 1 0 をアドレスイベント検出部 2 6 0 内に画素毎に配列していた。しかしながら、画素数の増大に伴って、アドレスイベント検出部 2 6 0 の回路規模が増大するおそれがある。この第 4 の実施の形態の固体撮像素子 2 0 0 は、ダイオードのみを電流電圧変換回路 3 1 0 に配置した点において第 1 の実施の形態と異なる。

【 0 0 9 3 】

図 1 4 は、本技術の第 4 の実施の形態における電流電圧変換回路 3 1 0 の一構成例を示す回路図である。この第 4 の実施の形態の電流電圧変換回路 3 1 0 には、ダイオード 3 1 4 のみが配置される。このダイオード 3 1 4 のカソードは電源端子に接続され、アノードは、フォトダイオード 2 2 1 のカソードに接続される。また、ダイオード 3 1 4 およびフォトダイオード 2 2 1 の接続点は、バッファ 3 2 0 の入力端子に接続される。

10

【 0 0 9 4 】

なお、第 4 の実施の形態においても、第 2 の実施の形態と同様にバッファ 3 2 0 までの回路を受光チップ 2 0 1 に配置することができる。また、第 4 の実施の形態においても、第 2 の実施の形態の第 1 の変形例と同様にコンデンサ 3 3 1 までの回路を受光チップ 2 0 1 に配置することができる。また、第 4 の実施の形態においても、第 2 の実施の形態の第 2 の変形例と同様に量子化器 3 4 0 までの回路を受光チップ 2 0 1 に配置することができる。

20

【 0 0 9 5 】

このように、本技術の第 4 の実施の形態では、ダイオード 3 1 4 のみを電流電圧変換回路 3 1 0 に配置したため、3 つのトランジスタを配置する場合と比較して電流電圧変換回路 3 1 0 の回路規模を削減することができる。

【 0 0 9 6 】

< 5 . 第 5 の 実 施 の 形 態 >

上述の第 1 の実施の形態では、ソースフォロワ回路を電流電圧変換回路 3 1 0 に設けていたが、一般にソースフォロワ回路は、周波数特性があまり良くない。このため、低周波ノイズが発生する際に、そのノイズを十分に抑制することができないおそれがある。この第 5 の実施の形態の電流電圧変換回路 3 1 0 は、ゲート接地回路を配置して低周波数ノイズを抑制する点において第 1 の実施の形態と異なる。

30

【 0 0 9 7 】

図 1 5 は、本技術の第 5 の実施の形態における電流電圧変換回路 3 1 0 の一構成例を示す回路図である。この第 5 の実施の形態の N 型トランジスタ 3 1 1 のゲートには、一定のバイアス電圧 V_{bias2} が印加され、ドレインはフォトダイオード 2 2 1 のカソードに接続され、ソースは、P 型トランジスタ 3 1 2 および N 型トランジスタ 3 1 3 の接続点に接続される。このような N 型トランジスタ 3 1 1 のゲートは交流的に接地されており、このような回路は、ゲート接地回路と呼ばれる。ゲート接地回路の配置により、閉ループゲインが大きくなり、低周波数ノイズを抑制することができる。

【 0 0 9 8 】

なお、第 5 の実施の形態においても、第 2 の実施の形態と同様にバッファ 3 2 0 までの回路を受光チップ 2 0 1 に配置することができる。また、第 5 の実施の形態においても、第 2 の実施の形態の第 1 の変形例と同様にコンデンサ 3 3 1 までの回路を受光チップ 2 0 1 に配置することができる。また、第 5 の実施の形態においても、第 2 の実施の形態の第 2 の変形例と同様に量子化器 3 4 0 までの回路を受光チップ 2 0 1 に配置することができる。

40

【 0 0 9 9 】

このように、本技術の第 5 の実施の形態では、ゲート接地回路を電流電圧変換回路 3 1 0 内に配置したため、ソースフォロワ回路を配置する場合と比較して、低周波ノイズを抑制することができる。

50

【 0 1 0 0 】

< 6 . 第 6 の実施の形態 >

上述の第 1 の実施の形態では、1 個のループ回路を電流電圧変換回路 3 1 0 に設けていたが、ループ回路 1 個のみでは、電流を電圧に変換する際の変換ゲインが不足するおそれがある。この第 6 の実施の形態の電流電圧変換回路 3 1 0 は、2 段のループ回路を電流電圧変換回路 3 1 0 に設けた点において第 1 の実施の形態と異なる。

【 0 1 0 1 】

図 1 6 は、本技術の第 6 の実施の形態における電流電圧変換回路 3 1 0 の一構成例を示す回路図である。この第 6 の実施の形態の電流電圧変換回路 3 1 0 は、N 型トランジスタ 3 1 5 および 3 1 6 がさらに設けられる点において第 1 の実施の形態と異なる。これらのトランジスタとして、例えば、M O S トランジスタが用いられる。

10

【 0 1 0 2 】

N 型トランジスタ 3 1 5 および 3 1 1 は、電源端子とフォトダイオード 2 2 1 との間に直列に接続され、P 型トランジスタ 3 1 2 と N 型トランジスタ 3 1 6 および 3 1 3 とは、電源端子と接地端子との間に直列に接続される。また、N 型トランジスタ 3 1 1 のゲートは、N 型トランジスタ 3 1 6 および 3 1 3 の接続点に接続され、N 型トランジスタ 3 1 5 のゲートは、P 型トランジスタ 3 1 2 および N 型トランジスタ 3 1 6 の接続点に接続される。

【 0 1 0 3 】

一方、N 型トランジスタ 3 1 3 のゲートは、第 1 の実施の形態と同様に、フォトダイオード 2 2 1 および N 型トランジスタ 3 1 1 の接続点に接続される。N 型トランジスタ 3 1 6 のゲートは、N 型トランジスタ 3 1 1 および 3 1 5 の接続点に接続される。また、P 型トランジスタ 3 1 2 および N 型トランジスタ 3 1 6 の接続点は、バッファ 3 2 0 に接続される。

20

【 0 1 0 4 】

なお、N 型トランジスタ 3 1 5 および 3 1 1 は、特許請求の範囲に記載の第 1 の N 型トランジスタの一例であり、N 型トランジスタ 3 1 6 および 3 1 3 は、特許請求の範囲に記載の第 2 の N 型トランジスタの一例である。

【 0 1 0 5 】

上述のように、N 型トランジスタ 3 1 1 および 3 1 3 からなるループ回路と、N 型トランジスタ 3 1 5 および 3 1 6 からなるループ回路とが 2 段に接続されているため、ループ回路が 1 段のみの場合と比較して変換ゲインが 2 倍となる。

30

【 0 1 0 6 】

このように、本技術の第 6 の実施の形態では、2 段のループ回路を電流電圧変換回路 3 1 0 に設けたため、1 段のみの場合と比較して、変換ゲインを増大させることができる。

【 0 1 0 7 】

< 7 . 第 7 の実施の形態 >

上述の第 1 の実施の形態では、固体撮像素子 2 0 0 内の回路を 2 枚のチップに分散して配置していたが、画素数の増大に伴って、固体撮像素子 2 0 0 内の回路の実装面積が増大するおそれがある。この第 7 の実施の形態の固体撮像素子 2 0 0 は、回路を 3 枚のチップに分散して配置した点において第 1 の実施の形態と異なる。

40

【 0 1 0 8 】

図 1 7 は、本技術の第 7 の実施の形態における固体撮像素子 2 0 0 の積層構造の一例を示す図である。この第 7 の実施の形態の固体撮像素子 2 0 0 は、受光チップ 2 0 1 および検出チップ 2 0 2 に加えて、信号処理チップ 2 0 3 をさらに備える点において第 1 の実施の形態と異なる。これらのチップは積層されている。

【 0 1 0 9 】

図 1 8 は、本技術の第 7 の実施の形態における検出チップ 2 0 2 の平面図の一例である。この第 7 の実施の形態の検出チップ 2 0 2 は、行駆動回路 2 5 1、列駆動回路 2 5 2 および信号処理回路 2 4 0 が配置されていない点において第 1 の実施の形態と異なる。また

50

、ビア配置部 2 3 1、2 3 2 および 2 3 3 の代わりにビア配置部 2 5 3 および 2 5 4 が配置される。なお、第 7 の実施の形態の受光チップ 2 0 1 の構成は、ビア配置部 2 1 1、2 1 2 および 2 1 3 が配置されない点以外は、第 1 の実施の形態と同様である。

【 0 1 1 0 】

図 1 9 は、本技術の第 7 の実施の形態における信号処理チップ 2 0 3 の平面図の一例である。この信号処理チップ 2 0 3 には、行駆動回路 2 5 1、列駆動回路 2 5 2 および信号処理回路 2 4 0 が配置される。

【 0 1 1 1 】

このように、本技術の第 7 の実施の形態では、固体撮像素子 2 0 0 内の回路を受光チップ 2 0 1、検出チップ 2 0 2 および信号処理チップ 2 0 3 の 3 枚に分散して配置したため、2 枚に分散して配置する場合と比較して実装面積をさらに削減することができる。

10

【 0 1 1 2 】

< 8 . 第 8 の実施の形態 >

上述の第 1 の実施の形態では、検出チップ 2 0 2 においてアドレスイベント検出回路 3 0 0 を画素毎に配置していたが、画素数の増大に伴って検出チップ 2 0 2 の回路規模が増大するおそれがある。この第 8 の実施の形態の固体撮像素子 2 0 0 は、複数の画素が 1 つのアドレスイベント検出回路 3 0 0 を共有する点において第 1 の実施の形態と異なる。

【 0 1 1 3 】

図 2 0 は、本技術の第 8 の実施の形態における受光チップ 2 0 1 の平面図の一例である。この第 8 の実施形態の受光チップ 2 0 1 は、受光部 2 2 0 内に複数の画素ブロック 2 2 2 が二次元格子状に配列される点において第 1 の実施の形態と異なる。画素ブロック 2 2 2 のそれぞれには、複数（例えば、4 つ）のフォトダイオード 2 2 1 が配置される。フォトダイオード 2 2 1 のそれぞれには画素アドレスが割り当てられ、画素として扱われる。

20

【 0 1 1 4 】

図 2 1 は、本技術の第 8 の実施の形態におけるアドレスイベント検出部 2 6 0 の平面図の一例である。この第 8 の実施の形態のアドレスイベント検出部 2 6 0 には、画素ブロック 2 2 2 ごとに、マルチプレクサ 2 6 1 およびアドレスイベント検出回路 3 0 0 が配置される。

【 0 1 1 5 】

マルチプレクサ 2 6 1 は、対応する複数のフォトダイオード 2 2 1 のそれぞれからの光電流のいずれかを選択してアドレスイベント検出回路 3 0 0 に供給するものである。このマルチプレクサ 2 6 1 の制御は、例えば、行駆動回路 2 5 1 により行われる。アドレスイベント検出回路 3 0 0 は、対応するフォトダイオード 2 2 1 とマルチプレクサ 2 6 1 を介して接続される。

30

【 0 1 1 6 】

このように本技術の第 8 の実施の形態では、画素ブロック 2 2 2 内の複数の画素が 1 つのアドレスイベント検出回路 3 0 0 を共有するため、共有しない場合と比較して画素当たりの回路規模を削減することができる。

【 0 1 1 7 】

[変形例]

上述の第 8 の実施の形態では、検出チップ 2 0 2 においてマルチプレクサ 2 6 1 およびアドレスイベント検出回路 3 0 0 を画素毎に配置していたが画素数の増大に伴って検出チップ 2 0 2 の回路規模が増大するおそれがある。この第 8 の実施の形態の変形例の固体撮像素子 2 0 0 は、マルチプレクサ 2 6 1 を受光チップ 2 0 1 に配置する点において第 1 の実施の形態と異なる。

40

【 0 1 1 8 】

図 2 2 は、本技術の第 8 の実施の形態の変形例における受光チップ 2 0 1 の平面図の一例である。この第 8 の実施の形態の変形例の受光チップ 2 0 1 は、画素ブロック 2 2 2 内にマルチプレクサ 2 6 1 がさらに配置される点において第 8 の実施の形態と異なる。

【 0 1 1 9 】

50

このように、本技術の第 8 の実施の形態の変形例では、マルチプレクサ 261 を受光チップ 201 に配置したため、マルチプレクサ 261 を検出チップ 202 に設ける場合と比較して、検出チップ 202 の回路規模を削減することができる。

【0120】

< 9 . 第 9 の実施の形態 >

上述の第 1 の実施の形態では、受光チップ 201 および検出チップ 202 のそれぞれに回路を配置していたが、それらの回路の動作により電磁ノイズが発生するおそれがある。この第 9 の実施の形態の固体撮像素子 200 は、受光チップ 201 と検出チップ 202 との間にシールドを設けた点において第 1 の実施の形態と異なる。

【0121】

図 23 は、本技術の第 9 の実施の形態におけるシールドの配置箇所の一例を示す回路図である。この第 9 の実施の形態の受光チップ 201 は、フォトダイオード 221 に加えて、電流電圧変換回路 310 およびバッファ 320 がさらに配置される点において第 1 の実施の形態と異なる。一方、検出チップ 202 には、減算器 330 および量子化器 340 が配置される。

【0122】

また、受光チップ 201 と検出チップ 202 との間には、シールド 401、402 および 403 が配置される。シールド 401 および 402 は、受光チップ 201 側を上として、フォトダイオード 221 の直下に配置される。シールド 402 は、電流電圧変換回路 310 の直下に配置される。また、バッファ 320 と減算器 330 とは、Cu - Cu 接続により接続される。そして、シールド 403 は、バッファ 320 の直下に配置され、バッファ 320 と減算器 330 とを接続する信号線は、そのシールド 403 を貫通して配線される。これらのシールド 401、402 および 403 として、例えば、電磁シールドが用いられる。

【0123】

なお、第 9 の実施の形態では、受光チップ 201 に、フォトダイオード 221、電流電圧変換回路 310 およびバッファ 320 を配置しているが、この構成に限定されない。第 1 の実施の形態と同様に受光チップ 201 にフォトダイオード 221 のみを配置してもよい。また、第 2 の実施の形態の第 1 の変形例や第 2 の変形例と同様の配置であってもよい。

【0124】

このように、本技術の第 9 の実施の形態では、受光チップ 201 と検出チップ 202 との間にシールド 401 乃至 403 を配置したため、電磁ノイズの発生を抑制することができる。

【0125】

< 10 . 第 10 の実施の形態 >

上述の第 1 の実施の形態では、固体撮像素子 200 は、検出信号からなる画像データを撮像していたが、この画像データから物体までの距離を測定することはできない。距離を測定する方式としては、ステレオ画像を用いる方式や ToF (Time of Flight) 方式などがあるが、これらの方式では撮像レンズ 110 や固体撮像素子 200 とは別途に、カメラを追加する必要がある。このため、これらの方式により距離を求める構成では、部品点数やコストが増大するおそれがある。この第 10 の実施の形態の固体撮像素子 200 は、位相差画素により、像面位相差方式を用いて距離を測定する点において第 1 の実施の形態と異なる。

【0126】

図 24 は、本技術の第 10 の実施の形態における受光チップ 201 の平面図の一例である。この第 10 の実施の形態の受光チップ 201 は、受光部 220 内に、複数の通常画素 223 と複数対の位相差画素 224 とが配置される点において第 1 の実施の形態と異なる。通常画素 223 は、画像データを生成するための画素である。一方、位相差画素 224 は、2 つの像の位相差を求めるための画素である。

【0127】

10

20

30

40

50

図 25 は、本技術の第 10 の実施の形態における通常画素 223 および位相差画素 224 の一構成例を示す回路図である。同図における a は、通常画素 223 の一構成例を示す回路図であり、同図における b は、位相差画素 224 の一構成例を示す回路図である。

【0128】

通常画素 223 には、フォトダイオード 221、電流電圧変換回路 310 およびバッファ 320 が配置される。また、バッファ 320 の直下にはシールド 403 が配置される。なお、第 9 の実施の形態と同様に、シールド 401 や 402 をさらに配置することもできる。

【0129】

一方、位相差画素 224 には、フォトダイオード 411、電流電圧変換回路 413 およびバッファ 414 が配置される。これらのフォトダイオード 411、電流電圧変換回路 413 およびバッファ 414 の構成は、フォトダイオード 221、電流電圧変換回路 310 およびバッファ 320 と同様である。ただし、フォトダイオード 411 の一部は、遮光部 412 により遮光されている。また、一对の位相差画素 224 の一方と他方とで遮光される部分は異なる。

10

【0130】

信号処理回路 240 は、複数対の位相差画素 224 からの検出信号から、位相差を求め、その位相差から距離を測定する。測定された距離は、AF (Auto Focus) などに用いられる。

【0131】

このように、本技術の第 10 の実施の形態では、複数対の位相差画素 224 を配置したため、固体撮像素子 200 は、それらの画素の検出信号に基づいて物体までの距離を測定することができる。

20

【0132】

< 11 . 第 11 の実施の形態 >

上述の第 1 の実施の形態では、検出チップ 202 において電流電圧変換回路 310 を画素毎に配置していたが、画素数の増大に伴って検出チップ 202 の回路規模や実装面積が増大するおそれがある。この第 11 の実施の形態の固体撮像素子 200 は、複数の画素が 1 つの電流電圧変換回路 310 を共有する点において第 1 の実施の形態と異なる。

【0133】

図 26 は、本技術の第 11 の実施の形態における受光チップ 201 の平面図の一例である。この第 11 の実施の形態の受光チップ 201 は、受光部 220 内に複数の画素ブロック 222 が二次元格子状に配列される点において第 1 の実施の形態と異なる。

30

【0134】

画素ブロック 222 のそれぞれには、複数 (2 個など) のフォトダイオード 221 と、マルチプレクサ 261 と、電流電圧変換回路 310 と、バッファ 320 とが配置される。マルチプレクサ 261 は、画素ブロック 222 内の複数のフォトダイオード 221 のそれぞれからの光電流のいずれかを選択して電流電圧変換回路 310 に供給する。

【0135】

図 27 は、本技術の第 11 の実施の形態におけるシールドの配置箇所の一例を示す回路図である。同図に例示するように、バッファ 320 の直下にシールド 403 が配置される。なお、第 9 の実施の形態と同様に、シールド 401 や 402 をさらに配置することもできる。

40

【0136】

このように、本技術の第 11 の実施の形態では、画素ブロック 222 内の複数の画素が 1 つの電流電圧変換回路 310 を共有するため、共有しない場合と比較して画素当たりの回路規模を削減することができる。

【0137】

< 12 . 第 12 の実施の形態 >

上述の第 1 の実施の形態では、固体撮像素子 200 は、電圧信号と 1 つの閾値電圧とを

50

比較して1ビットの検出信号を画素毎に生成していた。しかし、画素毎に1ビットの情報しか生成されないため、画素毎に複数ビットを生成する場合と比較して画像データの画質が低下してしまう。この第12の実施の形態の固体撮像素子200は、電圧信号と複数の閾値電圧とを比較して複数ビットの検出信号を画素毎に生成する点において第1の実施の形態と異なる。

【0138】

図28は、本技術の第12の実施の形態におけるバッファ320、減算器330および量子化器340の一構成例を示す回路図である。

【0139】

バッファ320は、N型トランジスタ321および322を備える。減算器330は、コンデンサ331および333と、N型トランジスタ335乃至337とを備える。量子化器340は、N型トランジスタ342乃至345を備える。これらの回路内のトランジスタとして、例えば、MOSトランジスタが用いられる。

10

【0140】

N型トランジスタ321および322は、電源端子と接地端子との間において直列に接続される。また、N型トランジスタ321のゲートには所定のバイアス電圧 V_{bias3} が印加され、N型トランジスタ322のゲートは、電流電圧変換回路310と接続される。N型トランジスタ321および322の接続点は、コンデンサ331の一端と接続される。

【0141】

また、N型トランジスタ336および337は、電源端子と接地端子との間において直列に接続される。N型トランジスタ337のゲートには所定のバイアス電圧 V_{bias4} が印加される。コンデンサ331の他端は、N型トランジスタ336のゲートと接続される。コンデンサ333の一端は、N型トランジスタ336のゲートに接続され、他端は、N型トランジスタ336および337の接続点に入力される。N型トランジスタ335のソースおよびドレインは、コンデンサ333の両端に接続され、ゲートには行駆動回路251からの行駆動信号が入力される。このN型トランジスタ335は、図8に例示したスイッチ334として機能する。

20

【0142】

また、N型トランジスタ342および343は、電源端子と接地端子との間に直列に接続される。N型トランジスタ344および345も、電源端子と接地端子との間に直列に接続される。また、N型トランジスタ342および344のゲートは、N型トランジスタ336および337の接続点に接続される。N型トランジスタ343のゲートには、閾値電圧 V_{th1} が入力され、N型トランジスタ345のゲートには、 V_{th1} より低い閾値電圧 V_{th2} が入力される。N型トランジスタ342および343の接続点からは、正側(+)の1ビットの検出信号が出力され、N型トランジスタ344および345の接続点からは、負側(-)の1ビットの検出信号が出力される。

30

【0143】

上述の構成により、量子化器340は、電圧信号と2つの閾値電圧とを比較して、2ビットの検出信号を生成する。このため、固体撮像素子200は、画素毎に2ビットの情報を有する画像データが生成することができる。

40

【0144】

このように、本技術の第12の実施の形態では、固体撮像素子200は、電圧信号と複数の閾値電圧とを比較して複数ビットの検出信号を画素毎に生成するため、画素毎に1ビットの検出信号を生成する場合よりも画像データの画質を向上させることができる。

【0145】

<13. 移動体への応用例>

本開示に係る技術(本技術)は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に

50

搭載される装置として実現されてもよい。

【0146】

図29は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

【0147】

車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図29に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

10

【0148】

駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

【0149】

ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

20

【0150】

車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

30

【0151】

撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

【0152】

車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

40

【0153】

マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制

50

御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

【0154】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

【0155】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

【0156】

音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図29の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

【0157】

図30は、撮像部12031の設置位置の例を示す図である。

【0158】

図30では、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

【0159】

撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

【0160】

なお、図30には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

【0161】

撮像部12101ないし12104の少なくとも一つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも一つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

10

20

30

40

50

【 0 1 6 2 】

例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を基に、撮像範囲 1 2 1 1 1 ないし 1 2 1 1 4 内における各立体物までの距離と、この距離の時間的变化（車両 1 2 1 0 0 に対する相対速度）を求めることにより、特に車両 1 2 1 0 0 の進行路上にある最も近い立体物で、車両 1 2 1 0 0 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に抛らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

10

【 0 1 6 3 】

例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 1 2 0 5 1 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 1 2 0 6 1 や表示部 1 2 0 6 2 を介してドライバに警報を出力することや、駆動系制御ユニット 1 2 0 1 0 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

20

【 0 1 6 4 】

撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 1 2 0 5 1 が、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 1 2 0 5 2 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 1 2 0 6 2 を制御する。また、音声画像出力部 1 2 0 5 2 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 1 2 0 6 2 を制御してもよい。

30

【 0 1 6 5 】

以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部 1 2 0 3 1 に適用され得る。具体的には、図 1 の撮像装置 1 0 0 は、図 2 9 の撮像部 1 2 0 3 1 に適用することができる。撮像部 1 2 0 3 1 に本開示に係る技術を適用することにより、回路の実装面積を削減して撮像部 1 2 0 3 1 を小型化することができる。

【 0 1 6 6 】

なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

40

【 0 1 6 7 】

なお、本技術は以下のような構成もとることができる。

(1) 行駆動回路と、

列駆動回路と、

50

複数の画素とを備え、
 前記複数の画素はそれぞれ、
 入射光を光電変換して光電流を生成するフォトダイオードと、
 前記光電流に応じた電圧信号を量子化して検出信号として出力する画素回路と、
 接続部とを有し、
 前記行駆動回路および前記列駆動回路は第 2 のチップに設けられ、
 前記フォトダイオードは第 1 のチップに設けられ、
 少なくとも一部の画素回路は前記第 2 のチップに設けられ、前記接続部を介して前記第 1 のチップに設けられた前記フォトダイオードに電氣的に接続される固体撮像素子。

(2) 前記画素回路において、
 前記第 1 のチップには、前記光電流を前記電圧信号に変換して出力する複数の N 型トランジスタがさらに設けられ、
 前記第 2 のチップには、前記複数の N 型トランジスタのいずれかに一定の電流を供給する P 型トランジスタがさらに設けられる
 前記 (1) 記載の固体撮像素子。

(3) 前記画素回路において、前記第 2 のチップには、前記光電流を前記電圧信号に変換する電流電圧変換回路がさらに設けられる
 前記 (1) に記載の固体撮像素子。

(4) 前記電流電圧変換回路は、
 前記フォトダイオードのカソードにドレインが接続され、ゲートおよびソースが電源に
 共通に接続された N 型トランジスタを含み、
 前記 N 型トランジスタと前記フォトダイオードとの接続点は、前記バッファの入力端子に接続される
 前記 (3) 記載の固体撮像素子。

(5) 前記電流電圧変換回路は、
 前記フォトダイオードのカソードにアノードが接続され、カソードが電源に接続されたダイオードを含み、
 前記ダイオードと前記フォトダイオードとの接続点は、前記バッファの入力端子に接続される
 前記 (3) または (4) に記載の固体撮像素子。

(6) 前記電流電圧変換回路は、
 所定のバイアス電圧がゲートに印加され、ドレインが前記フォトダイオードのカソードに接続された第 1 の N 型トランジスタと、
 前記フォトダイオードと前記第 1 トランジスタとの接続点にゲートが接続され、ドレインが前記第 1 の N 型トランジスタのソースに接続され、ソースが接地された第 2 の N 型トランジスタと
 を含み、
 前記第 1 および第 2 のトランジスタの接続点は、前記バッファの入力端子に接続される
 前記 (3) から (5) のいずれかに記載の固体撮像素子。

(7) 前記電流電圧変換回路は、複数段のループ回路を含み、
 前記複数段のループ回路のそれぞれは、
 第 1 の N 型トランジスタと、
 前記第 1 の N 型トランジスタのソースにゲートが接続され、前記第 1 の N 型トランジスタのゲートにドレインが接続された第 2 の N 型トランジスタと
 を備える前記 (3) から (6) のいずれかに記載の固体撮像素子。

(8) 前記画素回路において、前記第 1 のチップには、前記光電流を前記電圧信号に変換する電流電圧変換回路と前記電圧信号を補正して出力するバッファとがさらに設けられる
 前記 (1) 記載の固体撮像素子。

(9) 前記画素回路において、
 前記第 1 のチップには、前記バッファの出力端子に一端が接続された第 1 コンデンサ

10

20

30

40

50

がさらに設けられ、

前記第 2 のチップには、前記第 1 コンデンサの他端に入力端子が接続されたインバータと前記インバータに並列に接続された第 2 コンデンサとがさらに設けられる
前記 (8) 記載の固体撮像素子。

(1 0) 前記画素回路において、前記第 1 のチップには、前記バッファから出力された前記電圧信号のレベルを低下させる減算器と前記低下した電圧信号を量子化して前記検出信号として出力する量子化器とがさらに設けられる

前記 (8) 記載の固体撮像素子。

(1) 入射光を光電変換して光電流を生成するフォトダイオードが設けられた受光チップと、

前記光電流に応じた電圧信号を量子化して検出信号として出力する検出チップとを具備する固体撮像素子。

(2) 前記受光チップには、前記光電流を前記電圧信号に変換して出力する複数の N 型トランジスタがさらに設けられ、

前記検出チップには、前記複数の N 型トランジスタのいずれかに一定の電流を供給する P 型トランジスタがさらに設けられる

前記 (1) 記載の固体撮像素子。

(3) 前記検出チップには、前記光電流を前記電圧信号に変換する電流電圧変換回路がさらに設けられる

前記 (1) 記載の固体撮像素子。

(4) 前記電流電圧変換回路は、

前記フォトダイオードのカソードにドレインが接続され、ゲートおよびソースが電源に共通に接続された N 型トランジスタを含み、

前記 N 型トランジスタと前記フォトダイオードとの接続点は、前記バッファの入力端子に接続される

前記 (3) 記載の固体撮像素子。

(5) 前記電流電圧変換回路は、

前記フォトダイオードのカソードにアノードが接続され、カソードが電源に接続されたダイオードを含み、

前記ダイオードと前記フォトダイオードとの接続点は、前記バッファの入力端子に接続される

前記 (3) または (4) に記載の固体撮像素子。

(6) 前記電流電圧変換回路は、

所定のバイアス電圧がゲートに印加され、ドレインが前記フォトダイオードのカソードに接続された第 1 の N 型トランジスタと、

前記フォトダイオードと前記第 1 トランジスタとの接続点にゲートが接続され、ドレインが前記第 1 の N 型トランジスタのソースに接続され、ソースが接地された第 2 の N 型トランジスタと

を含み、

前記第 1 および第 2 のトランジスタの接続点は、前記バッファの入力端子に接続される
前記 (3) から (5) のいずれかに記載の固体撮像素子。

(7) 前記電流電圧変換回路は、複数段のループ回路を含み、

前記複数段のループ回路のそれぞれは、

第 1 の N 型トランジスタと、

前記第 1 の N 型トランジスタのソースにゲートが接続され、前記第 1 の N 型トランジスタのゲートにドレインが接続された第 2 の N 型トランジスタと

を備える前記 (3) から (6) のいずれかに記載の固体撮像素子。

(8) 前記受光チップには、前記光電流を前記電圧信号に変換する電流電圧変換回路と前記電圧信号を補正して出力するバッファとがさらに設けられる

前記 (1) 記載の固体撮像素子。

10

20

30

40

50

(9) 前記受光チップには、前記バッファの出力端子に一端が接続された第 1 コンデンサがさらに設けられ、

前記検出チップには、前記第 1 コンデンサの他端に入力端子が接続されたインバータと前記インバータに並列に接続された第 2 コンデンサとがさらに設けられる

前記(8)記載の固体撮像素子。

(1 0) 前記受光チップには、前記バッファから出力された前記電圧信号のレベルを低下させる減算器と前記低下した電圧信号を量子化して前記検出信号として出力する量子化器とがさらに設けられる

前記(8)記載の固体撮像素子。

(1 1) 前記検出信号を処理する信号処理チップをさらに具備する

10

前記(1)から(1 0)のいずれかに記載の固体撮像素子。

(1 2) 前記受光チップには、所定数の前記フォトダイオードが二次元格子状に配列された受光部が設けられ、

前記検出チップには、前記検出信号を出力するアドレスイベント検出回路が設けられ、

前記アドレスイベント検出回路は、前記受光部内で隣接する複数のフォトダイオードに共通に接続される

前記(1)記載の固体撮像素子。

(1 3) 前記検出チップには、前記複数のフォトダイオードのそれぞれの光電流のいずれかを選択して前記アドレスイベント検出回路に出力するマルチプレクサがさらに設けられる

前記(1 2)記載の固体撮像素子。

20

(1 4) 前記受光チップには、前記複数のフォトダイオードのそれぞれの光電流のいずれかを選択して前記アドレスイベント検出回路に出力するマルチプレクサがさらに設けられる

前記(1 2)記載の固体撮像素子。

(1 5) 前記受光チップと前記検出チップとの間に設けられたシールドをさらに具備する

前記(1)から(1 4)のいずれかに記載の固体撮像素子。

(1 6) 前記フォトダイオードは、通常画素と位相差画素とのそれぞれに設けられ、

前記位相差画素のフォトダイオードの一部は遮光されている

前記(1)から(1 5)のいずれかに記載の固体撮像素子。

(1 7) 前記受光チップには、二次元格子状に配列された所定数の前記フォトダイオードと前記光電流を前記電圧信号に変換する電流電圧変換回路とが設けられ、

30

前記所定数の前記フォトダイオードのうち隣接する複数のフォトダイオードは、前記電流電圧変換回路に共通に接続される

前記(1)記載の固体撮像素子。

(1 8) 前記検出チップには、前記電圧信号と複数の閾値電圧とを比較して当該比較結果を示す複数ビットの信号を前記検出信号として出力する量子化器が設けられる

前記(1)記載の固体撮像素子。

【符号の説明】

【 0 1 6 8 】

1 0 0 撮像装置

1 1 0 撮像レンズ

40

1 2 0 記録部

1 3 0 制御部

2 0 0 固体撮像素子

2 0 1 受光チップ

2 0 2 検出チップ

2 0 3 信号処理チップ

2 1 1、2 1 2、2 1 3、2 3 1、2 3 2、2 3 3、2 5 3、2 5 4 ピア配置部

2 2 0 受光部

2 2 1、4 1 1 フォトダイオード

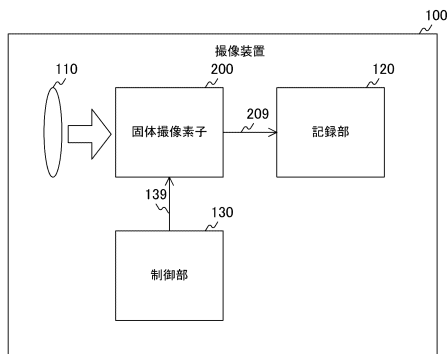
2 2 2 画素ブロック

50

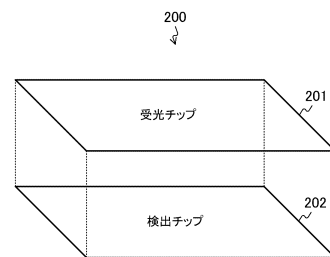
2 2 3 通常画素
 2 2 4 位相差画素
 2 4 0 信号処理回路
 2 5 1 行駆動回路
 2 5 2 列駆動回路
 2 6 0 アドレスイベント検出部
 2 6 1 マルチプレクサ
 3 0 0 アドレスイベント検出回路
 3 1 0、4 1 3 電流電圧変換回路
 3 1 1、3 1 3、3 1 5、3 1 6、3 2 1、3 2 2、3 3 5 ~ 3 3 7、3 4 2 ~ 3 4 5 10
 N型トランジスタ
 3 1 2 P型トランジスタ
 3 1 4 ダイオード
 3 2 0、3 3 2、4 1 4 バッファ
 3 3 0 減算器
 3 3 1、3 3 3 コンデンサ
 3 3 4 スイッチ
 3 4 0 量子化器
 3 4 1 コンパレータ
 3 5 0 転送回路 20
 4 0 1、4 0 2、4 0 3 シールド
 4 1 2 遮光部
 1 2 0 3 1 撮像部

【図面】

【図 1】



【図 2】

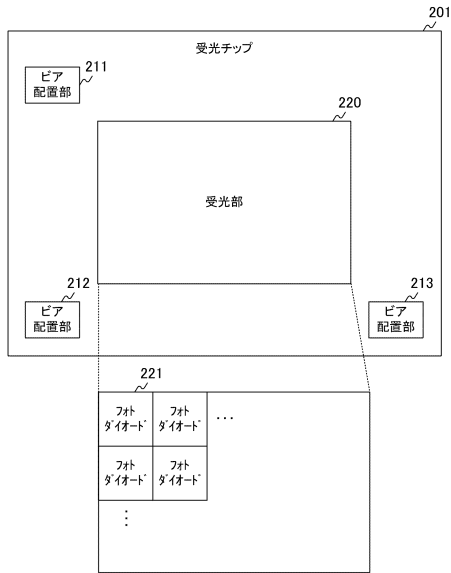


30

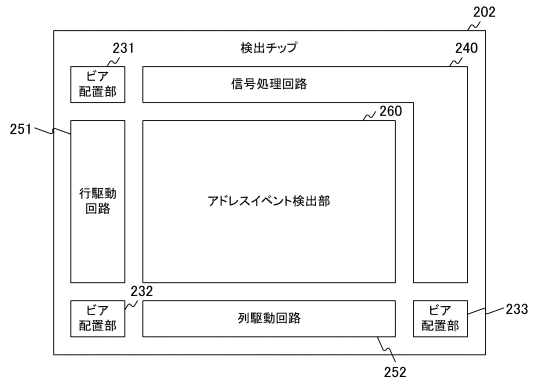
40

50

【図3】



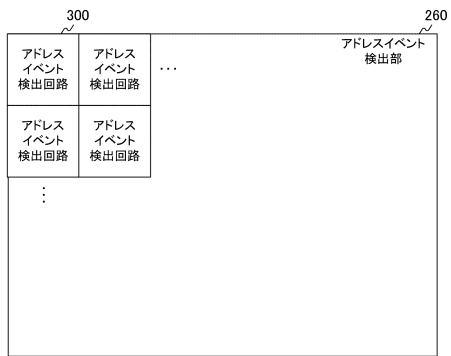
【図4】



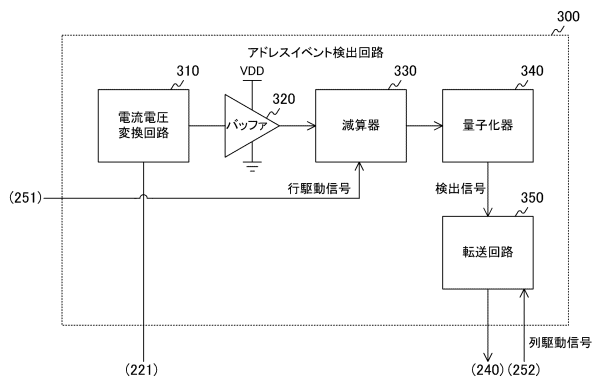
10

20

【図5】



【図6】

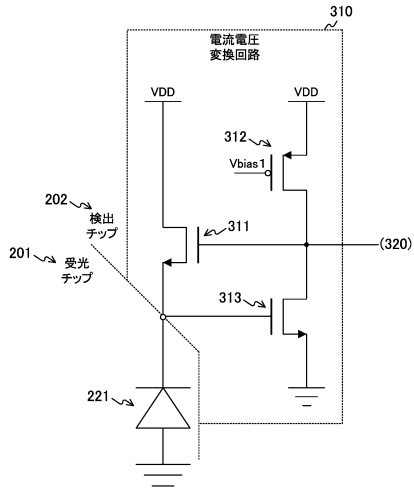


30

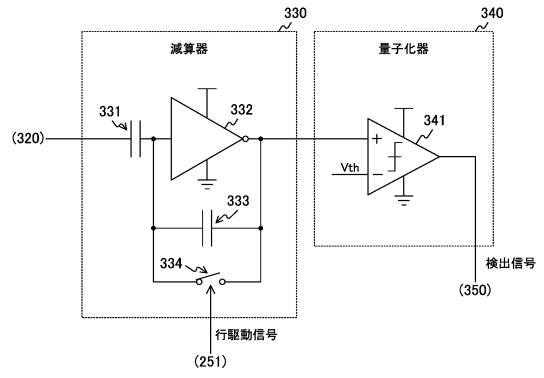
40

50

【図7】

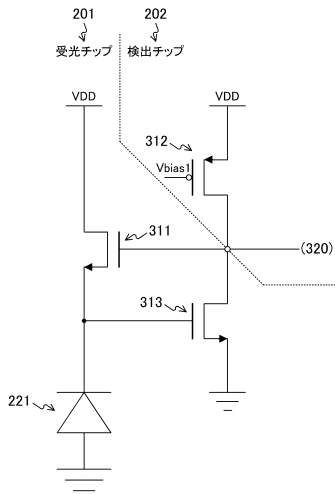


【図8】

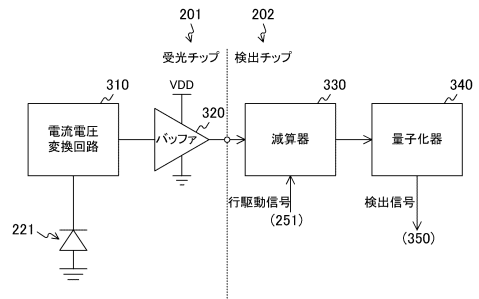


10

【図9】



【図10】



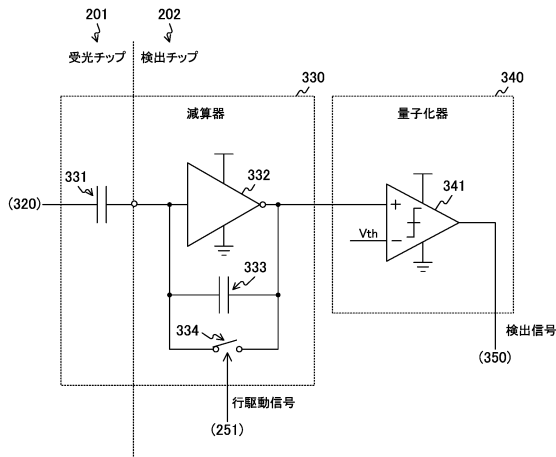
20

30

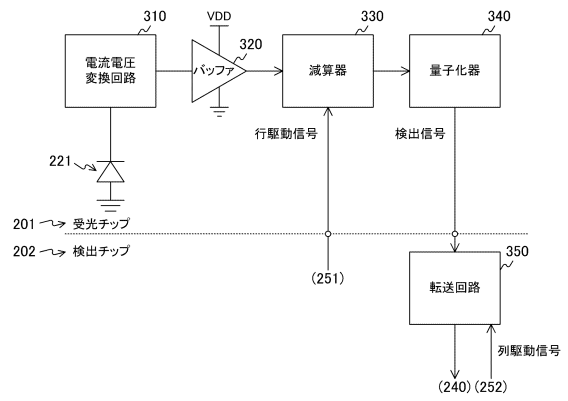
40

50

【図 1 1】

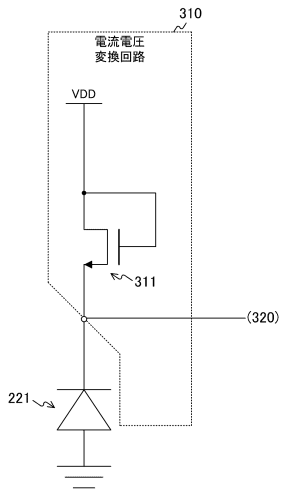


【図 1 2】

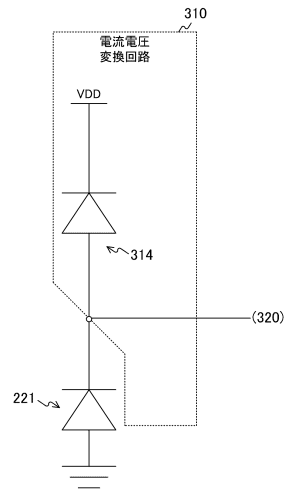


10

【図 1 3】



【図 1 4】



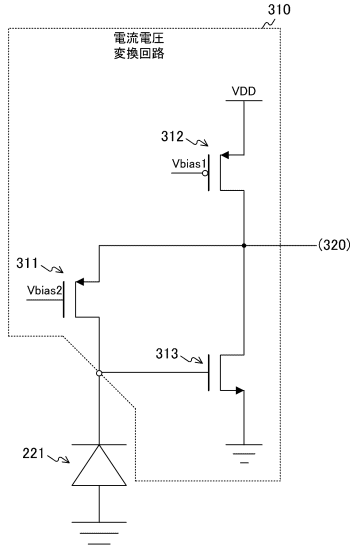
20

30

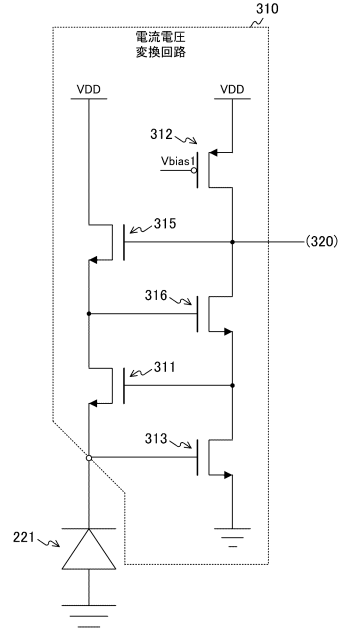
40

50

【図 15】



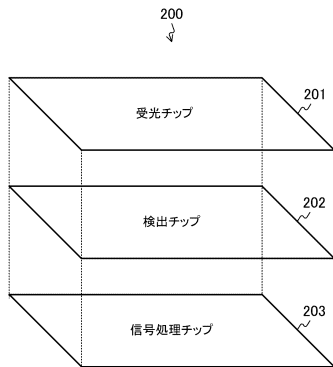
【図 16】



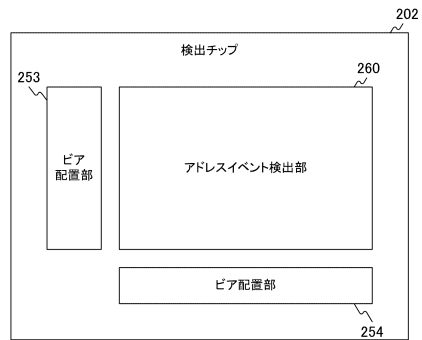
10

20

【図 17】



【図 18】

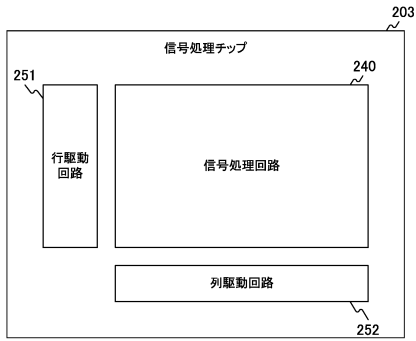


30

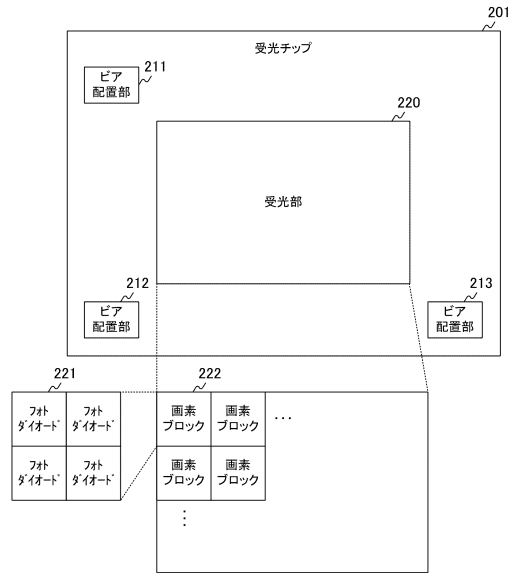
40

50

【図 19】



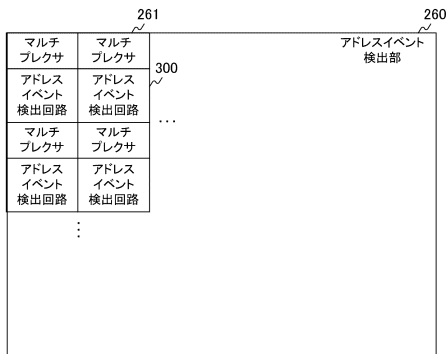
【図 20】



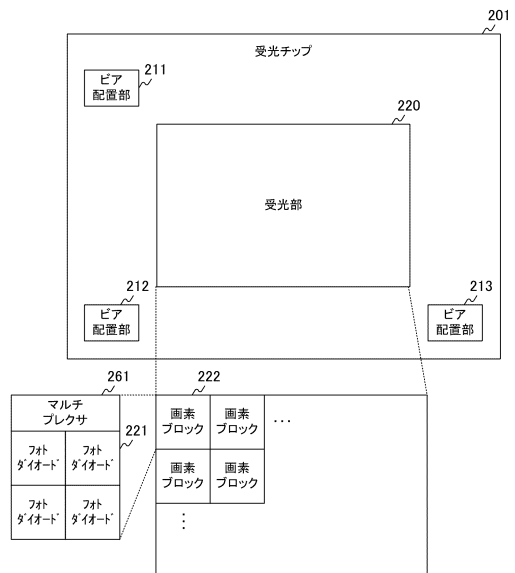
10

20

【図 21】



【図 22】

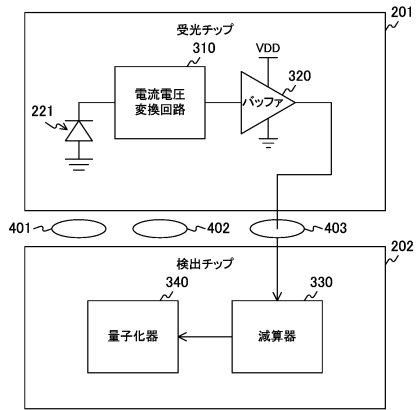


30

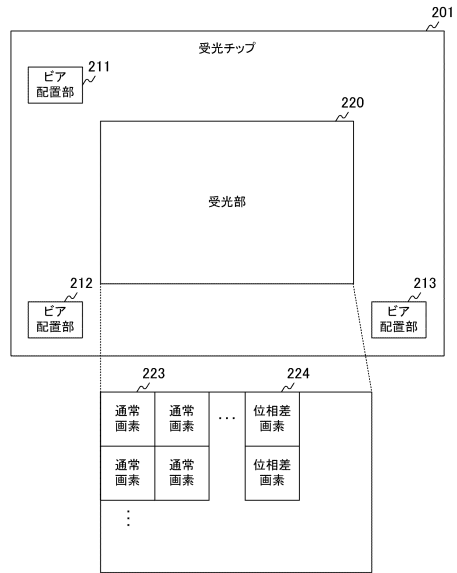
40

50

【図 2 3】



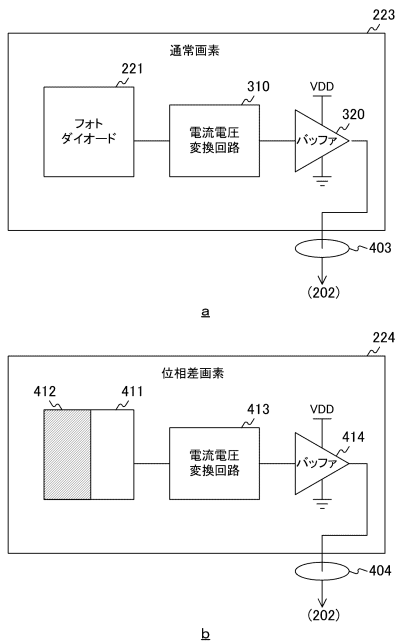
【図 2 4】



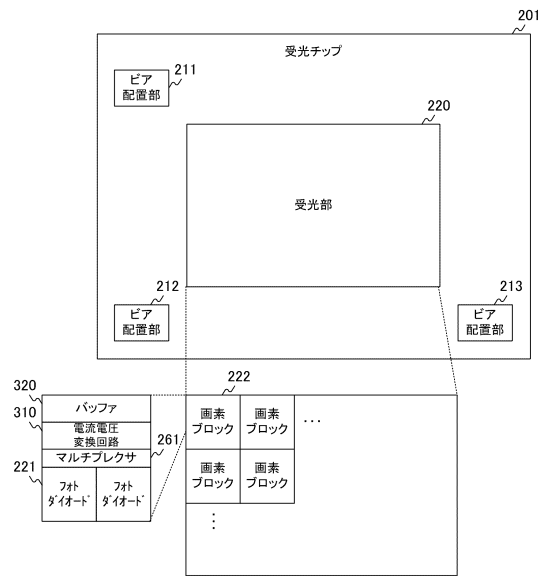
10

20

【図 2 5】



【図 2 6】

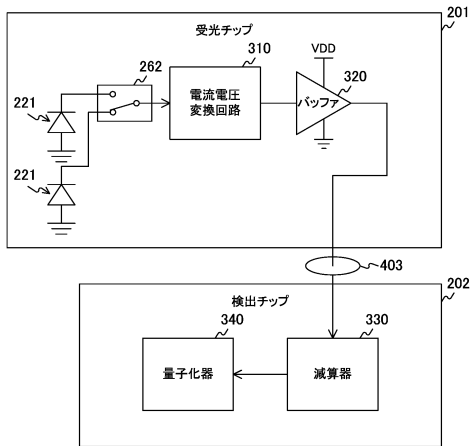


30

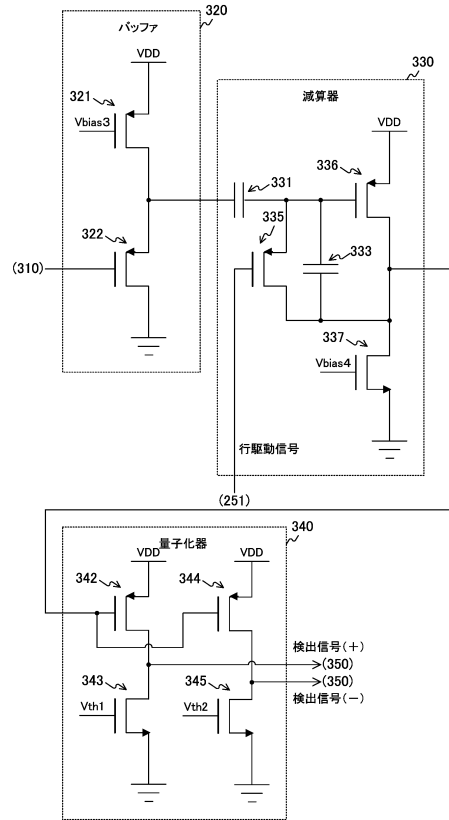
40

50

【図 27】



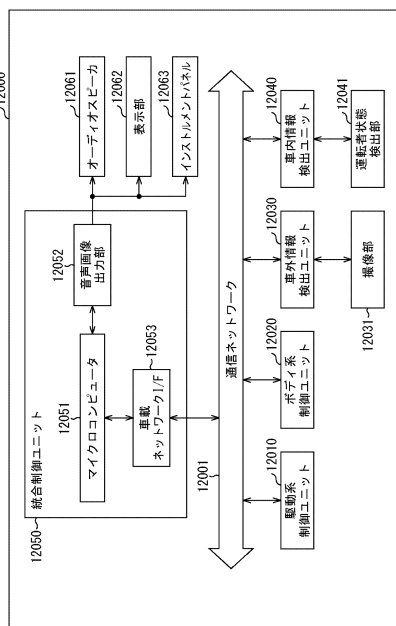
【図 28】



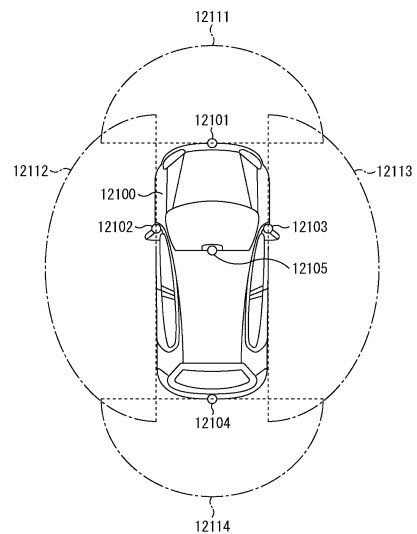
10

20

【図 29】



【図 30】



30

40

50

フロントページの続き

- (56)参考文献 特開 2017 - 028690 (JP, A)
国際公開第 2017 / 098725 (WO, A1)
特開 2017 - 103544 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
- | | |
|------|----------|
| H04N | 25 / 77 |
| H01L | 27 / 146 |