

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3914239号  
(P3914239)

(45) 発行日 平成19年5月16日(2007.5.16)

(24) 登録日 平成19年2月9日(2007.2.9)

(51) Int. Cl.

F I

H05K 3/46 (2006.01)

H05K 3/46

Q

H01L 23/12 (2006.01)

H05K 3/46

B

H05K 3/46

N

H01L 23/12

N

請求項の数 11 (全 17 頁)

(21) 出願番号 特願2005-73946 (P2005-73946)  
 (22) 出願日 平成17年3月15日(2005.3.15)  
 (65) 公開番号 特開2006-261246 (P2006-261246A)  
 (43) 公開日 平成18年9月28日(2006.9.28)  
 審査請求日 平成18年8月21日(2006.8.21)

早期審査対象出願

(73) 特許権者 000190688  
 新光電気工業株式会社  
 長野県長野市小島田町80番地  
 (74) 代理人 100070150  
 弁理士 伊東 忠彦  
 (72) 発明者 山野 孝治  
 長野県長野市小島田町80番地 新光電気  
 工業株式会社内  
 (72) 発明者 春原 昌宏  
 長野県長野市小島田町80番地 新光電気  
 工業株式会社内  
 (72) 発明者 飯塚 肇  
 長野県長野市小島田町80番地 新光電気  
 工業株式会社内

最終頁に続く

(54) 【発明の名称】 配線基板および配線基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体チップが内蔵された配線基板であって、  
 前記半導体チップが埋設される絶縁層と、  
 前記半導体チップの第1の側に形成され、該半導体チップに接続されるとともに第1の  
 端子接続部に接続される第1のパターン配線と、  
 前記半導体チップの第2の側に形成され、該半導体チップに接続されるとともに第2の  
 端子接続部に接続される第2のパターン配線と、  
 前記絶縁層に形成され、前記第1のパターン配線と前記第2のパターン配線を接続する  
 ビアプラグと、  
 前記絶縁層に形成される補強構造体と、を有し、  
 前記絶縁層は、前記第1のパターン配線および前記半導体チップを覆う絶縁層と、該絶  
 縁層上に形成される別の絶縁層を含むように構成され、  
 前記補強構造体は、前記第1のパターン配線および前記半導体チップを覆う絶縁層上に  
 設置されるとともに、前記別の絶縁層に埋設されていることを特徴とする配線基板。

【請求項2】

前記補強構造体は、前記半導体チップと同一平面上に形成されることを特徴とする請求  
 項1記載の配線基板。

【請求項3】

前記補強構造体は、前記半導体チップを囲むように形成されることを特徴とする請求項

1 または 2 記載の配線基板。

【請求項 4】

前記第 1 の配線パターン、前記第 2 の配線パターン、および前記ビアプラグは、多層配線構造を構成することを特徴とする請求項 1 乃至 3 のうち、いずれか 1 項記載の配線基板。

【請求項 5】

前記補強構造体は、有機コア材料または金属材料よりなることを特徴とする請求項 1 乃至 4 のうち、いずれか 1 項記載の配線基板。

【請求項 6】

半導体チップが内蔵された配線基板の製造方法であって、  
前記半導体チップに接続される第 1 のパターン配線と、該第 1 のパターン配線に接続される第 1 の端子接続部とを形成する工程と、  
前記第 1 のパターン配線上に前記半導体チップを設置する工程と、  
前記第 1 のパターン配線と前記半導体チップを覆う絶縁層を形成する工程と、  
前記絶縁層上に補強構造体を設置する工程と、  
前記絶縁層上に、前記補強構造体を埋設する別の絶縁層を形成する工程と、  
前記絶縁層および前記別の絶縁層に、前記第 1 のパターン配線に接続されるビアプラグを形成する工程と、

10

前記ビアプラグに接続される第 2 のパターン配線と、該第 2 のパターン配線に接続される第 2 の端子接続部を形成する工程と、を有することを特徴とする配線基板の製造方法。

20

【請求項 7】

前記補強構造体は、前記半導体チップと同一平面上に設置されることを特徴とする請求項 6 記載の配線基板の製造方法。

【請求項 8】

前記第 1 のパターン配線は、コア基板上に形成され、当該コア基板を除去する工程をさらに有することを特徴とする請求項 6 または 7 記載の配線基板の製造方法。

【請求項 9】

前記コア基板は導電性の材料よりなり、前記第 1 の端子接続部は当該コア基板を電極にした電解メッキにより形成される部分を含むことを特徴とする請求項 8 記載の配線基板の製造方法。

30

【請求項 10】

前記半導体チップにはスタッドバンプが設置されており、当該スタッドバンプを介して当該半導体チップが前記第 1 のパターン配線に電氣的に接続されることを特徴とする請求項 6 乃至 9 のうち、いずれか 1 項記載の配線基板の製造方法。

【請求項 11】

前記スタッドバンプと前記第 1 のパターン配線の間には、半田よりなる接続部が形成されていることを特徴とする請求項 10 記載の配線基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は配線基板および配線基板の製造方法に係り、特に半導体チップを内蔵する配線基板およびその製造方法に関する。

40

【背景技術】

【0002】

現在、半導体チップなどの半導体装置を用いた電子機器の高性能化が進められており、基板へ半導体チップを実装する場合の高密度化や、また半導体チップを搭載した基板の小型化、省スペース化などが求められている。

【0003】

このため、半導体チップが埋め込まれた基板、いわゆるチップ内蔵型の配線基板が提案されており、半導体チップを基板に内蔵するための様々な構造が提案されている。このよ

50

うなチップ内蔵型の配線基板は、半導体チップに接続される配線構造を有し、さらに当該配線基板を他のデバイスや、マザーボードなどと接続可能にする端子接続部が形成されている。

【特許文献１】特開２００１－１９６５２５号公報

【発明の開示】

【発明が解決しようとする課題】

【０００４】

しかし、チップ内蔵型の配線基板の薄型化、高密度化を実現しようとした場合、配線基板の反りが問題になる場合があった。このような反りに対応するためには、例えばコア基板などの所定の厚さの基板を、半導体チップが埋設された層と積層して反りを抑制する構造とすることが必要があり、このような積層構造とすると配線基板の薄型化や高密度化が困難となる問題があった。

10

【０００５】

このように、配線基板の反りを抑制しながら、配線基板の薄型化を実現することは困難であった。

【０００６】

そこで、本発明では上記の問題を解決した、新規で有用な配線基板および当該配線基板の製造方法を提供することを目的としている。

【０００７】

本発明の具体的な課題は、半導体チップを内蔵した配線基板の薄型化を実現し、かつ当該配線基板の反りを抑制することである。

20

【課題を解決するための手段】

【０００８】

本発明の第１の観点では、上記の課題を、半導体チップが内蔵された配線基板であって、前記半導体チップが埋設される絶縁層と、前記半導体チップの第１の側に形成され、該半導体チップに接続されるとともに第１の端子接続部に接続される第１のパターン配線と、前記半導体チップの第２の側に形成され、該半導体チップに接続されるとともに第２の端子接続部に接続される第２のパターン配線と、前記絶縁層に形成され、前記第１のパターン配線と前記第２のパターン配線を接続するビアプラグと、前記絶縁層に形成される補強構造体と、を有し、前記絶縁層は、前記第１のパターン配線および前記半導体チップを覆う絶縁層と、該絶縁層上に形成される別の絶縁層を含むように構成され、前記補強構造体は、前記第１のパターン配線および前記半導体チップを覆う絶縁層上に設置されるとともに、前記別の絶縁層に埋設されていることを特徴とする配線基板により、解決する。

30

【０００９】

当該配線基板は、反りが抑制されると共に薄型化が可能な構造を有している。

【００１０】

また、前記補強構造体は、前記半導体チップと同一平面上に形成されると、配線基板の薄型化を実現することが可能である。

【００１１】

また、前記補強構造体は、前記半導体チップを囲むように形成されると、前記配線基板の反りを抑制する効果が良好となる。

40

【００１２】

また、前記第１の配線パターン、前記第２の配線パターン、および前記ビアプラグは、多層配線構造を構成すると、当該配線構造の高密度化が可能となり、好適である。

【００１６】

また、前記補強構造体は、有機コア材料または金属材料よりなると好適である。

【００１７】

また、本発明の第２の観点では、上記の課題を、半導体チップが内蔵された配線基板の製造方法であって、前記半導体チップに接続される第１のパターン配線と、該第１のパターン配線に接続される第１の端子接続部とを形成する工程と、前記第１のパターン配線上

50

に前記半導体チップを設置する工程と、前記第 1 のパターン配線と前記半導体チップを覆う絶縁層を形成する工程と、前記絶縁層上に補強構造体を設置する工程と、前記絶縁層上に、前記補強構造体を埋設する別の絶縁層を形成する工程と、前記絶縁層および前記別の絶縁層に、前記第 1 のパターン配線に接続されるビアプラグを形成する工程と、前記ビアプラグに接続される第 2 のパターン配線と、該第 2 のパターン配線に接続される第 2 の端子接続部を形成する工程と、を有することを特徴とする配線基板の製造方法により、解決する。

【0018】

当該配線基板の製造方法によれば、半導体チップを内蔵した配線基板の薄型化を実現し、かつ当該配線基板の反りを抑制することが可能となる。

10

【0019】

また、前記補強構造体は、前記半導体チップと同一平面上に設置されると、当該配線基板の薄型化が可能となる。

【0021】

また、前記第 1 のパターン配線は、コア基板上に形成され、当該コア基板を除去する工程をさらに有すると、当該配線基板の薄型化を実現すると共に、安定に当該配線基板を形成することが可能となり、好適である。

【0022】

また、前記コア基板は導電性の材料よりなり、前記第 1 の端子接続部は当該コア基板を電極にした電解メッキにより形成される部分を含むと、当該電解メッキを行う場合の給電が容易になり、好適である。

20

【0023】

また、前記半導体チップにはスタッドバンプが設置されており、当該スタッドバンプを介して当該半導体チップが前記第 1 のパターン配線に電氣的に接続されると、当該半導体チップと当該第 1 のパターン配線の電氣的な接続の信頼性を向上させることができる。

【0024】

また、前記スタッドバンプと前記第 1 のパターン配線の間には、半田よりなる接続部が形成されていると、当該半導体チップと当該第 1 のパターン配線の電氣的な接続の信頼性を向上させることができる。

【発明の効果】

30

【0025】

本発明によれば、半導体チップを内蔵した配線基板の薄型化を実現し、かつ当該配線基板の反りを抑制することが可能となる。

【発明を実施するための最良の形態】

【0026】

次に、本発明の実施の形態に関して図面に基づき、以下に説明する。

【実施例 1】

【0027】

図 1 は、本発明の実施例 1 による配線基板 100 を、模式的に示した断面図である。

【0028】

40

図 1 を参照するに、本実施例による配線基板 100 の概要は、絶縁層 103 に埋設された半導体チップ 109 と、当該半導体チップ 109 に接続される配線構造とを有している。当該配線構造は、パターン配線 106, 117, ビアプラグ 105, 116 を有している。

【0029】

さらに、前記配線基板 100 は、前記配線構造を介して前記半導体チップ 100 に接続された、当該配線基板 100 の第 1 の側に形成された端子接続部 102、および第 1 の側の反対側の第 2 の側に形成された端子接続部 119 とを有している。

【0030】

従来、このような半導体チップ内蔵型の配線基板を薄型化しようとした場合、例えばコ

50

ア基板など、配線基板を支持して反りを抑制する構造体と積層される構造とされることがあり、薄型化と反りの抑制を実現することは困難であった。

【0031】

そこで、本実施例による配線基板100では、前記半導体チップ109が埋設された、前記絶縁層103に、当該絶縁層103を補強して、反りを防止する補強構造体112を埋設している。当該補強構造体112を用いることで、前記配線基板100の反りを抑制することが可能となっている。また、上記の構造の場合には、前記配線基板100の厚さを実質的に増大させることなく、当該配線基板100の反りを効果的に抑制することが可能となっている。

【0032】

10

このため、例えば、前記絶縁層103と、当該絶縁層103を支持するためのコア基板とを積層させる構造を有する配線基板と比べて、薄型化が可能な構造になっている。

【0033】

次に、前記配線基板100の構造の詳細についてみると、例えば前記半導体チップ100に接続される前記配線構造は、例えば、Cuよりなる、パターン配線106、117と、ビアプラグ105、116とを有しており、これらの配線構造が前記半導体チップ109に接続される構造になっている。

【0034】

前記半導体チップ109の、例えば図示を省略する電極パッド上には、例えばAuよりなるスタッドバンプ108が形成され、当該スタッドバンプ108は、例えば半田よりなる接続構造107を介して、前記パターン配線106に電氣的に接続されている。前記スタッドバンプ108を用いることで、前記半導体チップ100と前記パターン配線106の電氣的な接続の信頼性が良好となり、さらに当該スタッドバンプ108と前記パターン配線106の間に前記接続部107が形成されることで、さらに接続の信頼性が良好となっている。

20

【0035】

前記パターン配線106は、前記ビアプラグ配線105と一体的に接続されて形成されており、当該ビアプラグ配線105の、前記パターン配線106と接続される側の反対側には、例えばAu/Niのメッキ層よりなる端子接続部102が形成されている。当該端子接続部102は、その一面が前記絶縁層103より露出するように形成されており、前記端子接続部102の周囲を覆うように、ソルダーレジスト層120が形成されている。また、必要に応じて前記端子接続部102上に、ハンダバンプ121が形成されていてもよい。

30

【0036】

また、前記半導体チップ100の、前記パターン配線106が形成されている側の反対側には、例えば前記絶縁層103上に、パターン配線117が形成されており、当該パターン配線117と当該パターン配線106とは、ビアプラグ116により接続されている。また、当該ビアプラグ116と前記パターン配線117は、例えば一体的に形成されている。

【0037】

40

また、前記パターン配線117上には、例えばNi/Auのメッキ層よりなる端子接続部102が形成されており、前記端子接続部102の周囲を覆うように、前記絶縁層103および当該パターン配線117上に、ソルダーレジスト層118が形成されている。

【0038】

例えば、前記絶縁層103は、いわゆるビルドアップ基板で用いられるビルドアップ樹脂を用いることが可能であり、例えばエポキシ樹脂や、またはポリイミド樹脂などの、熱硬化性の樹脂材料を用いることが可能である。

【0039】

また、前記半導体チップ109と、前記パターン配線106または前記絶縁層103の間には、樹脂材料よりなるアンダーフィル層110が形成されていると好適である。

50

## 【 0 0 4 0 】

また、上記配線基板 1 0 0 において、例えば、前記ソルダーレジスト層 1 1 8 , 1 2 0 や、または前記半田パンプ 1 2 1 を省略した構造とすることも可能である。

## 【 0 0 4 1 】

本実施例による配線基板 1 0 0 では、前記半導体チップ 1 0 9 と接続可能な端子接続部が両面に設けられているため、配線基板の両面において、例えば他のデバイスや他の半導体チップ、またはマザーボードなどの接続対象と接続が可能な構造になっている。

## 【 0 0 4 2 】

また、前記補強構造体 1 1 2 は、例えば、前記絶縁層 1 0 3 より固い樹脂材料、例えばコア基板などに用いられる有機コア材（プリプレグ材とよばれる場合も有る）や、または Cu、Ni、Fe などの金属材料、またはこれらの合金材料またはこれらの複合材料など、様々な材料を用いることが可能である。

10

## 【 0 0 4 3 】

また、前記補強構造体 1 1 2 は、例えば前記半導体チップ 1 0 9 と実質的に同一平面上に形成されると、前記絶縁層 1 0 3 の厚さを増大させること無く当該補強構造体 1 1 2 を埋設することが可能となり、好適である。

## 【 0 0 4 4 】

本実施例による配線基板 1 0 0 は、半導体チップの仕様や接続の仕様により、様々な形状、厚さで形成することが可能であるが、その構成の具体的な厚さの一例を以下に示す。

## 【 0 0 4 5 】

20

例えば、前記半導体チップ 1 0 9 の厚さ D 2 を  $80\mu\text{m}$  とすると、当該半導体チップ 1 0 9 の上端面から前記ソルダーレジスト層 1 1 8 までの距離 D 1 は  $20\mu\text{m}$ 、当該半導体チップ 1 0 9 の下端面から前記パターン配線 1 0 6 の上端面までの距離 D 3 は  $45\mu\text{m}$  である。

## 【 0 0 4 6 】

また、前記ソルダーレジスト層 1 1 8 , 1 2 0 の厚さ d 1 , d 5 は、それぞれ  $30\mu\text{m}$  であり、前記ソルダーレジスト層 1 2 0 の上端面から前記パターン配線 1 0 6 の下端面までの距離 d 4 は  $25\mu\text{m}$ 、前記パターン配線 1 0 6 の厚さ d 3 は  $10\mu\text{m}$ 、前記パターン配線 1 0 6 の上端面から前記ソルダーレジスト層 1 1 8 の下端面までの距離 d 2 は、 $145\mu\text{m}$  である。

30

## 【 0 0 4 7 】

この場合、前記ソルダーパンプ 1 2 1 を除くと、配線基板の厚さは、 $240\mu\text{m}$  となる。

## 【 0 0 4 8 】

また、図 2 A には、図 1 に示した配線基板 1 0 0 の平面図を模式的に示す。但し、図 2 A では、前記半導体チップ 1 0 9 と、前記補強構造体 1 1 2 以外は、図示を省略している。図 2 に示すように、前記補強構造体 1 1 2 は、例えば前記半導体チップ 1 0 9 の周囲を囲むように、当該半導体チップ 1 0 9 の周囲に形成されており、このために反りを防止する効果が良好となっている。

## 【 0 0 4 9 】

40

また、補強構造体は、上記の例に限定されず、例えば以下に示すように様々な形状を変更することも可能である。

## 【 0 0 5 0 】

図 2 B ~ 図 2 C は、図 2 A に示した補強構造体の変形例を示す図である。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。例えば、補強構造体は、図 2 B に示す補強構造体 1 1 2 A のように、配線基板の両端に、互いに対向するように配置したり、また、図 2 C に示す補強構造体 1 1 2 B ように、配線基板の角部付近に、互いに対向するように設置することも可能である。このように、補強構造体は、半導体チップの大きさや配線構造の取り回し、または配線基板の仕様に応じて、様々な変形・変更することが可能である。

50

## 【 0 0 5 1 】

次に、本発明の一例である、図 1 に示した配線基板 1 0 0 を製造する方法の一例を、図 3 A ~ 図 3 O に基づき、手順を追って説明する。

## 【 0 0 5 2 】

まず、図 3 A に示すように、例えば厚さが 2 0 0  $\mu$  m の C u よりなるコア基板 1 0 1 を用意する。

## 【 0 0 5 3 】

次に、図 3 B に示す工程において、前記コア基板 1 0 1 上に、リソグラフィ法によりパターンニングされたレジストパターンをマスクにし、前記コア基板 1 0 1 を電極にして、電解メッキにより、例えば A u / N i よりなる端子接続部 1 0 2 を形成する。このように、コア基板 1 0 1 が導電性の材料で形成されていると、コア基板を電解メッキ時の電極として用いることができる。以降の工程でも電解メッキを行う場合には、必要に応じてコア基板を電極（または電解メッキ時の通電経路）として用いている。当該端子接続部 1 0 2 が形成された後、当該レジストパターンが剥離される。

10

## 【 0 0 5 4 】

次に、図 3 C に示す工程において、前記端子接続部 1 0 2 を覆うように、例えばエポキシ樹脂などの樹脂材料よりなる絶縁層 1 0 3 を、例えばラミネートにより、または塗布により形成し、さらに当該端子接続部が露出するように、たとえばレーザによるビアホール 1 0 3 A の加工を行う。また、前記ビアホール 1 0 3 A を形成した後は、必要に応じて、ビアホール 1 0 3 A 内の残渣を排除し、かつ前記絶縁層 1 0 3 の表面の粗化をおこなう、いわゆるデスミア処理を行うと好適である。

20

## 【 0 0 5 5 】

次に、図 3 D に示す工程において、前記絶縁層 1 0 3 および前記端子接続部 1 0 2 の表面に、例えば、C u の無電解メッキにより、シード層 1 0 2 を形成する。

## 【 0 0 5 6 】

次に、図 3 E に示す工程において、リソグラフィ法によりパターンニングされたレジストパターンをマスクにして、例えば、C u の電解メッキにより、前記ビアホール 1 0 3 A を埋設するようにビアプラグ 1 0 5 を形成するとともに、当該ビアプラグ 1 0 5 と接続されるパターン配線 1 0 6 を、当該ビアプラグ 1 0 5 と一体的に形成する。電解メッキを完了した後、レジストパターンを剥離する。

30

## 【 0 0 5 7 】

次に、図 3 F に示す工程において、前記絶縁層 1 0 3 上に形成された余剰な前記シード層 1 0 4 をエッチングして除去する。次に、前記前記絶縁層 1 0 3 上および前記パターン配線 1 0 6 上に形成された、リソグラフィ法によりパターンニングされたレジストパターンをマスクにして、前記パターン配線 1 0 6 上に、電解メッキにより、例えば半田よりなる接続部 1 0 7 を形成する。

## 【 0 0 5 8 】

この場合、前記接続部 1 0 7 と前記パターン配線 1 0 6 との間に、バリア層として N i 層を形成しておくのが好適である。電解メッキが完了後、レジストパターンを剥離する。またこの場合、前記接続部 1 0 7 の形成方法は電解メッキに限定されず、例えば粘着性を有する粘着材を塗布した後、半田の微粉末を当該粘着材に吸着させるなどの方法をとってもよい。

40

## 【 0 0 5 9 】

次に、図 3 G に示す工程において、前記パターン配線 1 0 6 上に、半導体チップ 1 0 9 を設置（マウント）する。この場合、本図では図示を省略する半導体チップ 1 0 9 の電極パッド上には、例えば A u よりなるスタッドバンプ 1 0 8 が設置されており、当該スタッドバンプ 1 0 8 と前記接続部 1 0 7 が接触するように前記半導体チップ 1 0 9 をマウントする。ここで、半田のリフローのために加熱を行い、前記スタッドバンプ 1 0 8 と前記接続構造部 1 0 7 の電気的な接続の信頼性を向上させている。

## 【 0 0 6 0 】

50

また、前記半導体チップ109と、前記配線パターン106または前記絶縁層103の間には、例えば樹脂材料を充填させて、アンダーフィル層110を形成すると好適である。

【0061】

次に、図3Hに示す工程において、例えば熱硬化性のエポキシ樹脂またはポリイミド樹脂よりなる絶縁層111を、前記絶縁層103、前記パターン配線106、および前記半導体チップ109を覆うように、ラミネートにより形成する。

【0062】

前記絶縁層111は、例えばこの後の工程で設置される補強構造体が、前記パターン配線106に接触することで当該補強構造体または前記パターン配線106が損傷することを防止している。この場合、前記絶縁層111は、例えば25μm程度の膜厚で形成される。

10

【0063】

また、前記絶縁層111は、特に前記絶縁層103と同じ材料により形成された場合には、前記絶縁層103と渾然一体となるため、以降の図では前記絶縁層111と前記絶縁層103は一体の絶縁層であるものとし、当該絶縁層111を含めて絶縁層103として表示する。

【0064】

次に、図3Iに示す工程において、例えば、厚さが100μmであって、有機コア材料（プリプレグ材料）よりなる補強構造体112を、前記絶縁層103を介して前記パターン配線106上に設置（マウント）する。この場合、前記補強構造体112は、例えばCuやNiなどの金属材料よりなるものを用いることも可能であり、また、例えばメッキ法で形成することも可能である。

20

【0065】

次に、図3Jに示す工程において、前記補強構造体112と、前記半導体チップ109を覆うように、例えば熱硬化性の、エポキシ樹脂またはポリイミド樹脂よりなる絶縁層113を、ラミネートにより形成する。

【0066】

また、前記絶縁層113は、特に前記絶縁層103と同じ材料により形成された場合には、前記絶縁層103と渾然一体となるため、以降の図では前記絶縁層113と前記絶縁層103は一体の絶縁層であるものとし、当該絶縁層113を含めて絶縁層103として表示する。

30

【0067】

次に、図3Kに示す工程において、前記絶縁層103のキュア工程、すなわち当該絶縁層103を加熱して熱硬化させる工程を行う。この場合、前記絶縁層103には前記補強構造体112が埋設されているため、温度変化による前記絶縁層103の反りの量が抑制され、良好な平面度を保持することができる。

【0068】

次に、図3Lに示す工程において、例えばレーザにより、前記絶縁層103に、前記パターン配線106にまで到達するビアホール114を形成し、さらに必要に応じてデスミア処理を行う。次に、前記ビアホール114の内壁面を含む前記絶縁層103上、および露出した前記パターン配線106上に、例えば、Cuの無電解メッキにより、シード層115を形成する。

40

【0069】

次に、図3Mに示す工程において、リソグラフィ法によりパターンニングされたレジストパターンをマスクにして、例えば、Cuの電解メッキにより、前記ビアホール114を埋設するようにビアプラグ116を形成するとともに、当該ビアプラグ116と接続されるパターン配線117を、当該ビアプラグ116と一体的に形成する。電解メッキを完了した後、レジストパターンを剥離し、さらに前記絶縁層103上に形成された余剰な前記シード層115を、エッチングして除去する。

50

## 【0070】

次に、図3Nに示す工程において、前記パターン配線117の一部が露出するように、当該パターン配線117および前記絶縁層103上にソルダーレジスト層118を形成し、前記パターン配線117が露出した部分に、例えばNi/Auよりなる端子接続部119を、無電解メッキにより、形成する。

## 【0071】

次に、図3Oに示す工程において、例えばCuよりなる前記コア基板101を、例えばエッチングにより除去する。次に、図1に示すように、ソルダーレジスト層120を形成し、必要に応じて半田パンプ121を形成し、配線基板100を形成することができる。

## 【0072】

本実施例による製造方法によれば、図3Iに示した工程において前記補強構造体112が設置され、さらに図3Jに示す工程において、前記補強構造体112が埋設された前記絶縁層103のキュアが実施されている。そのため、以降の工程において、前記絶縁層103または配線基板全体の反りの量が抑制される効果を奏する。特に、温度上層、温度降下によるストレスの変化やメッキ、デスミア処理、ラミネート処理の場合などの応力の変化に対して、従来の方法に比べて反りの量が抑制され、平面度が高く、また信頼性にすぐれた配線基板を形成することが可能となる。

## 【0073】

さらに、本実施例の場合、所定の製造工程中において、例えばCuよりなりコア基板101上に前記配線基板100を形成しているため、製造工程における反りの量が抑制され、さらに当該コア基板101は所定の製造工程終了後に除去されるために、配線基板を薄型化することが可能となっている。

## 【0074】

また、本発明による配線基板は、上記の場合に限定されず、例えば配線構造、または補強構造体などを様々に変形・変更することも可能である。

## 【0075】

例えば図4に、上記配線基板100の変形例である、配線基板200を、模式的に示す。

## 【0076】

図4を参照するに、本図に示す配線基板200において、絶縁層203，端子接続部202，219，半導体チップ209，スタッドパンプ208，接続部207，アンダーフィル層210，ソルダーレジスト層218，220、および前記補強構造体212は、図1に示した前記配線基板100の、それぞれ、絶縁層103，端子接続部102，119，半導体チップ109，スタッドパンプ108，接続部107，アンダーフィル層110，ソルダーレジスト層118，120、および前記補強構造体112に対応し、同様の構造を有している。

## 【0077】

前記配線基板200の場合、前記半導体チップ209に接続される配線構造の層の数が前記配線基板100に比べて増えている。例えば、前記配線基板100の場合、前記半導体チップ109の下側で1層、上側で1層、あわせて2層配線であったものが、前記配線基板200の場合、前記半導体チップ209の下側で2層、上側で2層、あわせて4層配線となっている。

## 【0078】

前記配線基板200の場合、前記半導体チップが接続されるパターン配線206に対して、ビアプラグ205，216がそれぞれ接続されている。前記ビアプラグ205は、パターン配線223に、さらに当該パターン配線223は、前記端子接続部202が形成されたビアプラグ222に接続されている。一方、前記ビアプラグ216には、パターン配線217が接続され、当該パターン配線217は、ビアプラグ224を介して、前記端子接続部219が形成されたパターン配線225に接続されている。

## 【0079】

10

20

30

40

50

このように、配線の層の数は、必要に応じて変更することが可能である。

【0080】

前記配線基板200は、半導体チップの仕様や接続の仕様により、様々な形状、厚さで形成することが可能であるが、その構成の具体的な厚さの一例を以下に示す。

【0081】

例えば、前記半導体チップ209の厚さD5を80 $\mu$ mとすると、当該半導体チップ209の上端面から前記パターン配線217までの距離D4は20 $\mu$ m、当該半導体チップ209の下端面から前記パターン配線206の上端面までの距離D6は45 $\mu$ mである。

【0082】

また、前記ソルダーレジスト層218、220の厚さd6、d12は、それぞれ30 $\mu$ mであり、前記ソルダーレジスト層220の上端面から前記パターン配線223の下端面までの距離d11は25 $\mu$ m、前記パターン配線223の下端面から前記パターン配線206の下端面までの距離d10は25 $\mu$ m、前記パターン配線206の厚さd9は10 $\mu$ m、前記パターン配線206の上端面から前記パターン配線217の下端面までの距離d8は145 $\mu$ m、前記パターン配線217の下端面から前記ソルダーレジスト層218の下端面までの距離d7は、25 $\mu$ mである。

【0083】

この場合、前記配線基板200の厚さは、ソルダーバンプを除くと290 $\mu$ mである。

【0084】

また、図5は、上記配線基板100の別の変形例である、配線基板200Aを、模式的に示した図面である。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0085】

図5を参照するに、本図に示す配線基板200Aでは、前記補強構造体212に相当する補強構造体212Aの面積が、当該補強構造体212より大きく、前記半導体チップ209の近傍まで形成されている。

【0086】

この場合、例えば前記ビアプラグ216を形成するための穴部が、前記補強構造体212に形成されている。

【0087】

このように、補強構造体と配線構造は、必要に応じて様々に変形・変更が可能であることは明らかである。

【0088】

以上、本発明を好ましい実施例について説明したが、本発明は上記の特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【産業上の利用可能性】

【0089】

半導体チップを内蔵した配線基板の薄型化を実現し、かつ当該配線基板の反りを抑制することが可能となる。

【図面の簡単な説明】

【0090】

【図1】実施例1による配線基板を模式的に示した断面図である。

【図2A】実施例1による補強構造体の設置方法を示す図(その1)である。

【図2B】実施例1による補強構造体の設置方法を示す図(その2)である。

【図2C】実施例1による補強構造体の設置方法を示す図(その3)である。

【図3A】実施例1による配線基板の製造方法を示す図(その1)である。

【図3B】実施例1による配線基板の製造方法を示す図(その2)である。

【図3C】実施例1による配線基板の製造方法を示す図(その3)である。

【図3D】実施例1による配線基板の製造方法を示す図(その4)である。

10

20

30

40

50

- 【図 3 E】実施例 1 による配線基板の製造方法を示す図（その 5）である。  
【図 3 F】実施例 1 による配線基板の製造方法を示す図（その 6）である。  
【図 3 G】実施例 1 による配線基板の製造方法を示す図（その 7）である。  
【図 3 H】実施例 1 による配線基板の製造方法を示す図（その 8）である。  
【図 3 I】実施例 1 による配線基板の製造方法を示す図（その 9）である。  
【図 3 J】実施例 1 による配線基板の製造方法を示す図（その 10）である。  
【図 3 K】実施例 1 による配線基板の製造方法を示す図（その 11）である。  
【図 3 L】実施例 1 による配線基板の製造方法を示す図（その 12）である。  
【図 3 M】実施例 1 による配線基板の製造方法を示す図（その 13）である。  
【図 3 N】実施例 1 による配線基板の製造方法を示す図（その 14）である。  
【図 3 O】実施例 1 による配線基板の製造方法を示す図（その 15）である。  
【図 4】図 1 に示した配線基板の変形例（その 1）である。  
【図 5】図 1 に示した配線基板の変形例（その 2）である。

10

## 【符号の説明】

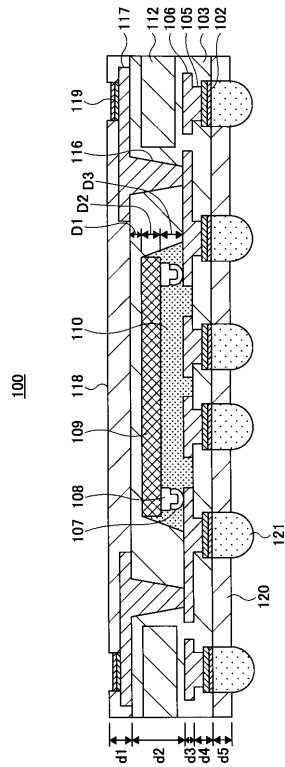
## 【0091】

- 100, 200, 200A 配線基板  
101 コア基板  
102, 119, 202, 219 端子接続部  
103, 111, 113, 203 絶縁層  
104, 115 シード層  
105, 116, 205, 216, 217, 222 ビアプラグ  
106, 117, 206, 217, 223, 225 パターン配線  
107, 207 接続部  
108, 208 スタッドバンプ  
109, 209 半導体チップ  
110, 210 アンダーフィル  
114 ビアホール  
118, 120, 218, 220 ソルダーレジスト層  
121, 221 ハンダバンプ

20

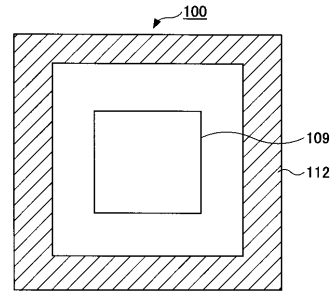
【図 1】

実施例1による配線基板を模式的に示した断面図



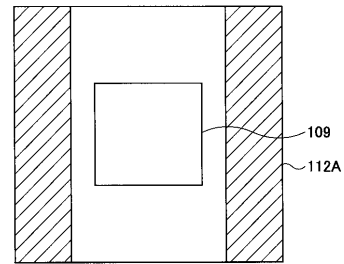
【図 2 A】

実施例1による補強構造体の設置方法を示す図(その1)



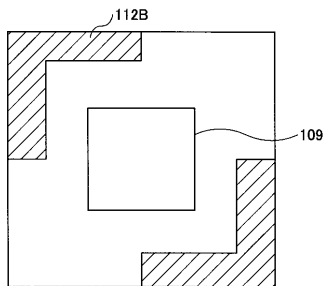
【図 2 B】

実施例1による補強構造体の設置方法を示す図(その2)



【図 2 C】

実施例1による補強構造体の設置方法を示す図(その3)



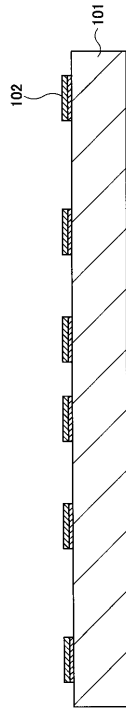
【図 3 A】

実施例1による配線基板の製造方法を示す図(その1)



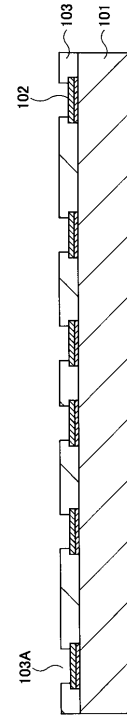
【図 3 B】

実施例1による配線基板の製造方法を示す図(その2)



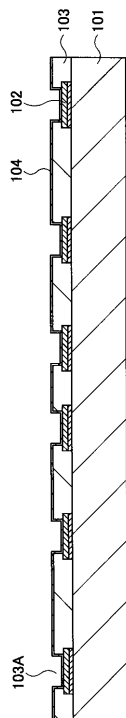
【図 3 C】

実施例1による配線基板の製造方法を示す図(その3)



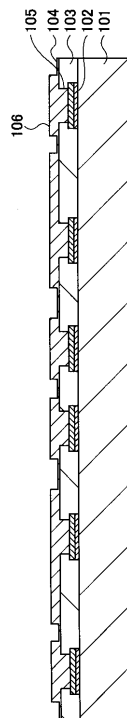
【図 3 D】

実施例1による配線基板の製造方法を示す図(その4)



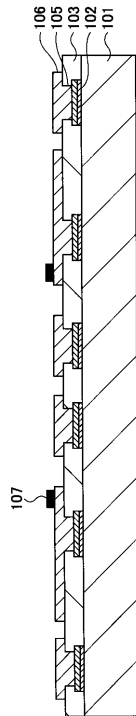
【図 3 E】

実施例1による配線基板の製造方法を示す図(その5)



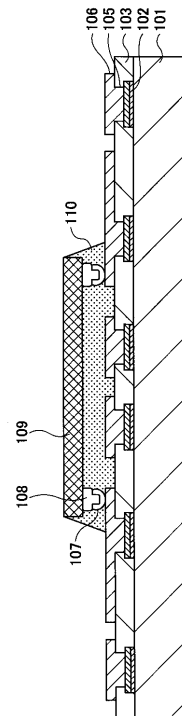
【図 3 F】

実施例1による配線基板の製造方法を示す図(その6)



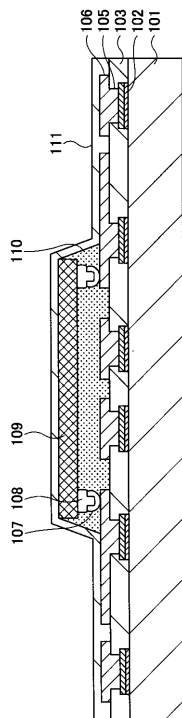
【図 3 G】

実施例1による配線基板の製造方法を示す図(その7)



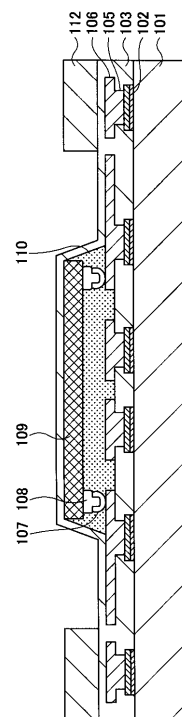
【図 3 H】

実施例1による配線基板の製造方法を示す図(その8)



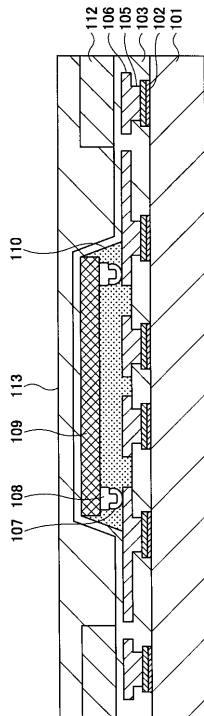
【図 3 I】

実施例1による配線基板の製造方法を示す図(その9)



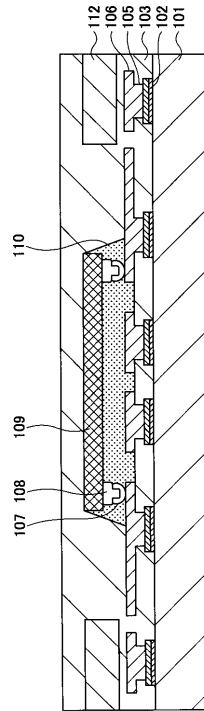
【図 3 J】

実施例1による配線基板の製造方法を示す図(その10)



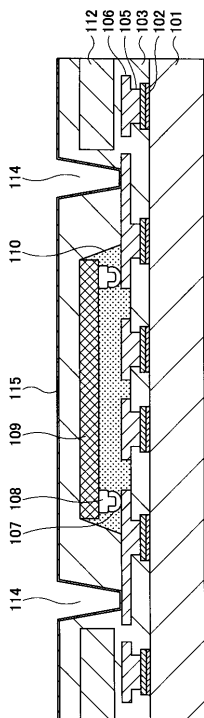
【図 3 K】

実施例1による配線基板の製造方法を示す図(その11)



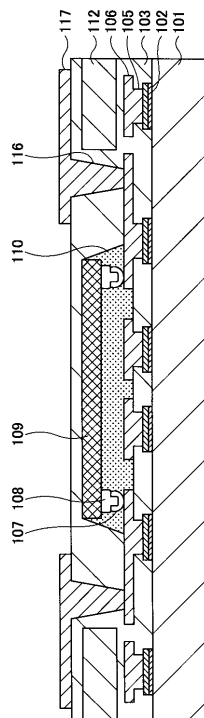
【図 3 L】

実施例1による配線基板の製造方法を示す図(その12)



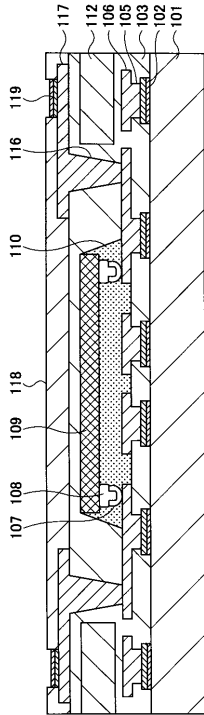
【図 3 M】

実施例1による配線基板の製造方法を示す図(その13)



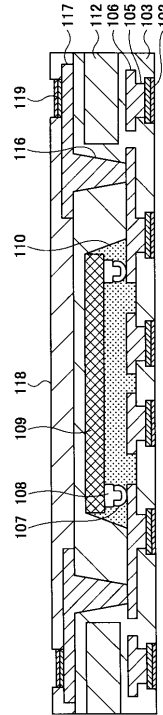
【図 3 N】

実施例1による配線基板の製造方法を示す図(その14)



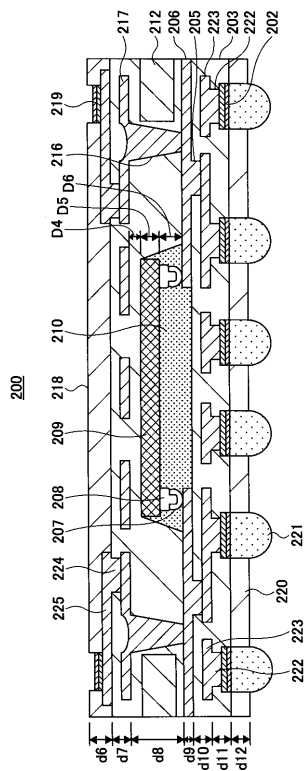
【図 3 O】

実施例1による配線基板の製造方法を示す図(その15)



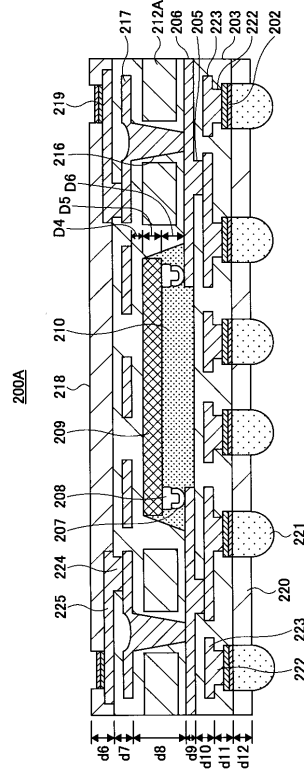
【図 4】

図1に示した配線基板の変形例(その1)



【図 5】

図1に示した配線基板の変形例(その2)



---

フロントページの続き

(72)発明者 小山 鉄也  
長野県長野市小島田町80番地 新光電気工業株式会社内

審査官 黒石 孝志

(56)参考文献 特開2003-347741(JP,A)  
特開2004-335641(JP,A)  
特開2003-347459(JP,A)  
実開平5-66973(JP,U)

(58)調査した分野(Int.Cl., DB名)  
H05K 3/46  
H01L 23/12  
H05K 1/05  
H05K 3/44