

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年7月7日(2005.7.7)

【公開番号】特開2001-196477(P2001-196477A)

【公開日】平成13年7月19日(2001.7.19)

【出願番号】特願2000-6706(P2000-6706)

【国際特許分類第7版】

H 01 L 21/8247

H 01 L 29/788

H 01 L 29/792

H 01 L 21/28

H 01 L 27/115

【F I】

H 01 L 29/78 3 7 1

H 01 L 21/28 L

H 01 L 27/10 4 3 4

【手続補正書】

【提出日】平成16年11月1日(2004.11.1)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体装置及びその製造方法

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板上に形成された、

素子領域及び素子分離領域と、

前記素子領域上に配置される複数のメモリセルと、

前記複数のメモリセルで構成されたメモリセルユニットと、

前記メモリセルユニットに接続されたコントラクトプラグと、

前記コントラクトプラグに接続され、前記コントラクトプラグとは異なる材料からなる配線とを備え、

前記コントラクトプラグの上面が前記配線の下面よりも高い位置にあることを特徴とする不揮発性半導体記憶装置。

【請求項2】

前記コントラクトプラグの上面が前記配線の上面と実質的に一致することを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】

前記コントラクトプラグは、不純物をドープしたポリシリコン膜であることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項4】

前記配線は、ビット線であり、前記コントラクトプラグは、ビット線コントラクトプラグで

あることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 5】

前記配線は、引き出し線であり、

前記コンタクトプラグは、前記引き出し線を介してビット線に接続されることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 6】

前記メモリセルユニットは、さらに、

前記素子領域上に配置される選択トランジスタを備え、

前記コンタクトプラグは、前記選択トランジスタを介して前記メモリセルの電流経路の一端に接続されたビット線コンタクトであることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 7】

前記コンタクトプラグの側面のみが、前記配線と接していることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 8】

前記配線の上部には絶縁膜が形成され、

前記コンタクトプラグの上面は、前記絶縁膜と接していることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 9】

半導体基板上に形成された素子分離領域と、

前記素子分離領域に挟まれた素子領域と、

前記素子領域上に形成された複数のメモリセルと、

前記素子領域に接続されたコンタクトプラグとを備え、

前記コンタクトプラグの端部は、前記素子分離領域とオーバーラップし、かつ、前記コンタクトプラグは、金属材料からなることを特徴とする不揮発性半導体記憶装置。

【請求項 10】

前記不揮発性半導体記憶装置は、さらに、

前記コンタクトプラグに接続された配線層を備え、

前記配線層が前記コンタクトプラグと同一の金属材料からなることを特徴とする請求項 9 に記載の不揮発性半導体記憶装置。

【請求項 11】

半導体基板上に形成された、

素子領域及び素子分離領域と、

前記素子領域上に配置されたメモリセル及び選択トランジスタと、

前記選択トランジスタを介して前記メモリセルの電流経路の一端に接続されたビット線コンタクトプラグとを備え、

前記ビット線コンタクトプラグは、その端部が前記素子分離領域にオーバーラップしており、かつ、前記ビット線コンタクトプラグが金属材料からなることを特徴とする不揮発性半導体記憶装置。

【請求項 12】

前記不揮発性半導体記憶装置は、さらに、

前記コンタクトプラグに接続された配線層を有し、

前記配線層は、前記ビット線コンタクトプラグと同一の金属材料からなることを特徴とする請求項 11 に記載の不揮発性半導体記憶装置。

【請求項 13】

前記配線は、ビット線であることを特徴とする請求項 11 に記載の不揮発性半導体記憶装置。

【請求項 14】

前記配線は、引き出し線であり、

前記ビット線コンタクトプラグは、前記引き出し線を介してビット線に接続されること

を特徴とする請求項 1 1 に記載の不揮発性半導体記憶装置。

【請求項 1 5】

半導体基板上に形成されたウェル領域と、
素子領域及び素子分離領域と、
メモリセルアレイ部と周辺回路部と、
前記メモリセルアレイ部に配置された複数のメモリセル及び選択トランジスタと、
前記複数のメモリセル及び選択トランジスタとで構成されたメモリユニットと、
前記周辺回路部に配置された周辺トランジスタと、
前記メモリユニットをビット線に接続するビット線コンタクトプラグと、
前記メモリセルのワード線に接続されたワード線コンタクトプラグと、
前記周辺トランジスタの拡散層に接続された拡散層コンタクトプラグと、
前記周辺トランジスタのゲート電極に接続されたゲートコンタクトプラグと、
前記ウェル領域に接続されたウェルコンタクトプラグとを備え、
前記ビット線コンタクトプラグは、その端部が前記素子分離領域とオーバーラップし、
かつ、前記ビット線コンタクトプラグを形成する材料が、前記ワード線コンタクトプラグ、
前記拡散層コンタクトプラグ、前記ゲートコンタクトプラグ及び前記ウェルコンタクト
プラグのいずれかと同一の材料で構成されることを特徴とする不揮発性半導体記憶装置。

【請求項 1 6】

前記ビット線コンタクトプラグ、前記ワード線コンタクトプラグ、前記拡散層コンタク
トプラグ、前記ゲートコンタクトプラグ及び前記ウェルコンタクトプラグの全てが同一の
材料で構成されることを特徴とする請求項 1 5 に記載の不揮発性半導体記憶装置。

【請求項 1 7】

前記ビット線コンタクトプラグは、不純物をドープしたポリシリコン膜で構成されるこ
とを特徴とする請求項 1 5 に記載の不揮発性半導体記憶装置。

【請求項 1 8】

前記ビット線コンタクトプラグは、金属材料で構成されることを特徴とする請求項 1 5
に記載の不揮発性半導体記憶装置。

【請求項 1 9】

前記ビット線コンタクトプラグ及びそれに接続された配線は、同一の金属材料で構成さ
れることを特徴とする請求項 1 8 に記載の不揮発性半導体記憶装置。

【請求項 2 0】

上面が平坦な絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホール内に
、上面が前記絶縁膜の上面に実質的に一致するようなコンタクトプラグを埋め込む工程と
、前記絶縁膜に前記コンタクトホールとオーバーラップする配線溝を形成する工程と、前記配線溝内に、上面が前記コンタクトプラグの上面に実質的に一致するような配線を形成
する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 2 1】

第 1 及び第 2 の導電層上にストップ膜を形成する工程と、前記ストップ膜上に第 1 の絶
縁膜を形成する工程と、前記ストップ膜に対して選択性を有しない条件により前記第 1 の
絶縁膜をエッチングし、前記第 1 の絶縁膜に、前記第 1 の導電層に達する第 1 のコンタク
トホール及び前記第 2 の導電層に達しない第 2 のコンタクトホールを形成する工程と、前記
ストップ膜に対して選択性を有する条件により前記第 1 の絶縁膜をエッチングし、前記
第 2 のコンタクトホールの底部を前記ストップ膜に到達させる工程と、前記第 2 のコンタ
クトホールの底部に露出した前記ストップ膜を除去する工程と、前記第 1 及び第 2 のコン
タクトホール内に同一の材料を埋め込む工程とを具備することを特徴とする半導体装置の
製造方法。

【請求項 2 2】

前記第 1 の導電層は、メモリセルのコントロールゲート電極であり、前記第 2 の導電層
は、前記メモリセルに接続される拡散層であり、前記第 2 のコンタクトホールの端部は、
前記拡散層を挟み込む素子分離領域にかかっていることを特徴とする請求項 2 1 に記載の

半導体装置の製造方法。

【請求項 2 3】

前記第1の導電層と前記ストップ膜の間には、第2の絶縁膜が存在し、前記ストップ膜に対して選択性を有しない条件による前記第1の絶縁膜のエッティングにより、前記ストップ膜及び前記第2の絶縁膜も同時にエッティングされることを特徴とする請求項22に記載の半導体装置の製造方法。

【請求項 2 4】

前記第1及び第2のコンタクトホール内に同一の材料を埋め込む前に、前記第1及び第2のコンタクトホールの上部に、前記第1及び第2のコンタクトホールにそれぞれ対応する第1及び第2の配線溝を形成する工程を具備し、前記同一の材料は、前記第1及び第2の配線溝内にも埋め込まれることを特徴とする請求項21に記載の半導体装置の製造方法。

【請求項 2 5】

前記ストップ膜に対して選択性を有しない条件による前記第1の絶縁膜のエッティング及び前記ストップ膜に対して選択性を有する条件による前記第1の絶縁膜のエッティングには、同一のマスクが用いられることを特徴とする請求項21に記載の半導体装置の製造方法。

【請求項 2 6】

前記第2のコンタクトホールの底部に露出した前記ストップ膜の除去は、前記マスクを除去した後に行われることを特徴とする請求項25に記載の半導体装置の製造方法。

【請求項 2 7】

前記ストップ膜に対して選択性を有する条件による前記第1の絶縁膜のエッティングは、前記第1の導電層に対しても選択性を有する条件により実行されることを特徴とする請求項21に記載の半導体装置の製造方法。