

公告本

申請日期	90.7.7
案 號	90105317
類 別	H01L 57

A4
C4

488060

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	強電介質記憶體
	日 文	"強誘電体メモリ"
二、發明 人	姓 名	1. 竹内 義昭 2. 大脇 幸人
	國 籍	均日本
三、申請人	住、居所	1. 日本國神奈川県横濱市保土谷區天王町2丁目42-2 3-212 2. 日本國神奈川県横濱市榮區上郷町4491-31
	姓 名 (名稱)	日商東芝股份有限公司 KABUSHIKI KAISHA TOSHIBA
三、申請人	國 籍	日本
	住、居所 (事務所)	日本國神奈川県川崎市幸區堀川町72番地
三、申請人	代 表 人 姓 名	岡村 正 TADASHI OKAMURA

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 2000 年 3 月 10 日 2000-066689 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明背景

本發明係關於一種強電介質記憶體(以下，稱之為FeRAM)，特別是有關保證強電介質記憶體進行破壞性讀取動作者。

強電介質記憶體，其強電介質記憶晶格係具有強電介質電容器與電晶體，可進行電氣重寫者。該強電介質記憶體，利用強電介質電容器的磁滯現象，能夠非易失地記憶資料：即與EEPROM一般，即使關掉電源也能夠保存資料，可望應用於各種IC卡及可攜式終端機等用途。

但是，強電介質記憶體不同於EEPROM，將以破壞讀取來進行資料的讀取：即，在進行讀取時，由於伴隨"0"或"1"的其中任一發生自發極化的反轉，必須要重新寫入。這意味著，在進行資料讀取過程中的斷電、或電力降至保證運作電壓以下時，記憶的資料將遭到破壞。

以往的強電介質記憶體，並未考量到在這類動作中的斷電等時，如何確保運作。

發明概要

本發明之目的，在於提供一種強電介質記憶體，其係能夠在運作中，既使遭遇電源不足的情況，也能夠確保運作者。

根據本發明之第一個觀點，本發明提供之強電介質記憶體，其係包括：記憶格陣列，其係由分成複數個區塊，且具有強電介質記憶體電容之記憶格排列而成者；

升壓電源電路，其係產生上述記憶格陣列的各區塊在記

五、發明說明 (2)

憶上所需的升壓電壓者；

升壓電源開關，其係設置於與外部電源端子連接之電源線與上述各升壓電源電路的電源供應端子之間，用以在一般的記憶動作時，保持在 ON 狀態者；

電壓檢測電路，其係用以檢測上述電源線上之電壓位準下降者；

及開關控制電路，其係藉由上述電壓檢測電路的輸出，對應在上述記憶格陣列中已選取之區塊以外之其他區塊，將上述升壓電源開關設定成 OFF 狀態者。

根據本發明之第二個觀點，本發明提供之強電介質記憶體，其係包括：記憶格陣列，其係由分成複數個區塊，且具有強電介質記憶體電容之記憶格排列而成者；

常閉型的第一電源開關，其係與外部電源端子連接者；

電源線，其係一端與上述的第一電源開關連接，另一端則經由第一電源電容器而接地者；

升壓電源電路，其係設置於上述記憶格陣列的各個區塊，連接各區塊與上述電源線，用以產生在記憶上所需的升壓電壓者；

常開型的第二電源開關，其係與上述各升壓電源電路並聯者；

電壓檢測電路，其係用以檢測上述電源線之電壓位準下降者；

及開關控制電路，其係藉由上述電壓檢測電路的輸出，對應在上述記憶格陣列中已選取之區塊以外之其他區塊，

五、發明說明(3)

將上述第二電源開關設定成 ON 狀態者。

根據本發明，關於設置在記憶格陣列的每個區塊，並且供應正常電源的升壓電源電路方面，當發生外部電源斷電或下降，導致電壓降至保證運作電壓以下時，將以下列方法補強或補償選取區塊的電源電壓：關閉目前已選取的區塊以外其他區塊之升壓電源電路的電源開關；及僅對選取區塊之升壓電源電路提供外部電源電壓(即使外部電源斷電的情況，電源線電容器儲存之電壓，也僅供應選取區塊的升壓電源電路)。藉此，可防止選取區塊的記憶資料遭到破壞。

根據本發明的第二個觀點，本強電介質記憶體係包括：記憶格陣列，其係由分成複數個區塊，且具有強電介質記憶體電容之記憶格排列而成者；常閉型的第一電源開關，其係與外部電源端子連接者；電源線，其係一端與上述的第一電源開關連接，另一端則經由第一電源電容器而接地者；升壓電源電路，其係設置於上述記憶格陣列的各個區塊，使各區塊與上述電源線連接，用以產生在記憶上所需的升壓電壓者；常開型的第二電源開關，其係與上述各升壓電源電路並聯者；電壓檢測電路，其係用以檢測上述電源線之電壓位準下降者；及開關控制電路，其係藉由上述電壓檢測電路的輸出，對應在上述記憶格陣列中已選取之區塊以外之其他區塊，將上述第二電源開關設定成 ON 狀態者。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明(4)

圖式之簡要說明

關於附圖，說明如下：

圖 1，其係一構造圖，用以顯示本發明實施形態之 FeRAM 構造者。

圖 2，其係一構造圖，用以顯示上述實施形態之 FeRAM 中的記憶格陣列構造者。

圖 3，其係一構造圖，用以顯示上述實施形態之 FeRAM 中的開關控制電路的構造者。

圖 4，其係一動作波形圖，用以顯示上述實施形態之 FeRAM 的動作波形者。

圖 5，其係用以顯示其他實施形態之記憶格陣列構造及正常動作者。

圖 6，其係用以顯示其他實施形態之記憶格陣列構造及異常動作者。

圖 7，其係用以顯示依本發明之 FeRAM，能夠具有之其他形式的記憶格陣列的構造者。

發明之實施形態

以下參照圖示，說明本發明之實施形態。

圖 1 之方塊圖，顯示關於本發明實施形態之強電介質記憶體(FeRAM)的構造。記憶格陣列 1，係分成複數個(在本圖例中為 4 個)的區塊 BLKi ($i=1\sim 4$)。列解碼器 2 係用以選擇記憶格陣列 1 的字線；而感應增幅電路 3 則是對位元線資料進行檢測增幅，以儲存寫入的資料。

感應增幅電路 3 係由欄解碼器 4 來選擇，並且藉此在資

五、發明說明 (5)

料緩衝器 5 之間傳送資料。位址緩衝器 6 在讀取外部傳來之位址 Add 後，再傳送至列解碼器 2 及欄解碼器 4，分別解出 Add 之行位址及列位址。

以記憶格陣列 1 上選取的字線為對象，用以供應升壓過的高電壓之升壓電源電路 7，係設置在每個區塊 BLKi。外部電源 7 端子的電壓 Vext，係經由電源線 8，施加在各升壓電源電路 7 的電源供應端子上；而該電源線 8 及各升壓電源電路 7 之間，插入升壓電源開關 SWi。此外，電源線在電源線 8 上，設有內部電源電路 11，其係用以產生升壓電源電路 7 以外之其他各電路所需之內部電源電壓 Vinr 者；而該內部電源電路 11 及電源線 8 之間，也插入內部電源開關 SW0。

升壓電源開關 SW1 及內部電源開關 SW0，由開關控制電路 10 來控制，其係晶片於活性狀態下，使其經常保持在 ON 狀態。內部電源電路 11 的開關 SW0 側與接地之間，設有第一電源電容器 Ca。電源線 8 與接地之間，連接有第二電源電容器 Cb。將各升壓電源電路 7 的電源供應端子的連接在一起的電源供應線 12，與接地之間，設有第三電源電容器 Cc。

連接外部電源端子的電源線 8，連接電壓檢測電路 9，用以檢測外部電源電壓 Vext 低於特定電壓時的情況。在記憶動作中，當上述電壓檢測電路 9，檢測到某種原因造成立外部電源電壓 Vext 下降的情況時，將會向開關控制電路 10 發出檢測信號 VD。開關控制電路 10 在接收到檢測信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

VD 時，會將內部電源開關 SW0 設定成 OFF，並且將升壓電源開關 SWi 中，除了對應目前已選取的區塊之升壓電源電路 7 外，將其他的升壓電源電路 7 的升壓用電源開關 SWi 設定成 OFF：此時，開關控制電路 10 已由位址緩衝區 6，取得目前選取之區塊 BLKi 的位址，因此將依該位址，對升壓電源開關 SWi 進行選擇性的 OFF 控制。

圖 2，係以與成對的 2 條位元線相關之記憶格元件，說明記憶格陣列 1 的具體構造。在此實施形態中，其係複數個(在本圖中，j=0~7 的 8 個)記憶格 Mj 串聯而成之記憶格元件。即，這是一種 TC 並聯及元件串聯型強電介質記憶體，其係串聯連接記憶格元件的電晶體 Trj，並且將該各電晶體 Trj 的源極及汲極之間並聯強電介質電容器 Cj，構成記憶格元件，然後將該記憶元件複數串聯者。

在記憶格元件的一端之。其中一邊連接陽極線 PL(0) (plate line)，另一邊連接 PL(1)；另一端，則分別經由區塊選擇電晶體 QB0 及 QB1，而與位元線 BL 及 BBL 連接。記憶格 Mj 的電晶體 Trj 的閘極，係受相對應的字線 W_{Lr<j>} 之控制。

位元線 BL 及 BBL 上，設有均衡器電路 EQ，其係藉由橋接 VSS，而使上述兩位元線的電位相等者。位元線 BL 及 BBL，經由感應增幅器 SA 及欄開極 CG (位於圖 1 所示的欄解碼器 5 上)，分別與數據傳輸線路 DQ 及 BDQ 連接。

圖 3 中，顯示了開關控制電路 10 的具體構造例。開關控制電路 10 係包括：區塊解碼器 101，其係對位址緩衝器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

6 所輸出之區塊位址進行解碼者；及邏輯閘電路 102，其係用以對上述輸出信號及電壓檢測電路 9 的電壓檢測信號 VD，進行檢測及邏輯演算者。例如，當升壓電源開關 SWi 具有如圖 3 所示的 PMOS 電晶體時，邏輯閘電路 102 可具有 NAND 閘 Gi，其係能夠接收區塊解碼器 101 的 4 個輸出信號及電壓檢測信號 VD 者。上述的開關控制電路 10 的區塊解碼器 101，可兼用為一般列解碼器 2 及欄解碼器 4 的預置解碼器(未圖示)。

各升壓用電源開關 SWi 的 PMOS 電晶體的閘極上，設有受電壓檢測信號 VD 的反轉信號控制之短路用 NMOS 電晶體 QNi。電壓檢測信號 VD 的反轉信號，將施加在上述短路用 NMOS 電晶體 QNi 的閘極。

外部電源電壓 Vext 在正常狀態下，電壓檢測電路 9 的檢測信號 VD 為 "L"。在此狀態中，NMOS 電晶體 QNi 為 ON，使得所有升壓電源開關 SWi 保持在 ON。檢測信號 VD 變成 "H" 時，區塊解碼器 101 的輸出為 "H" 的選取區塊上，其 NAND 閘 G1 的輸出變成 "L"，使得僅有選取區塊的升壓電源開關 SWi 設定成 ON，而其他區塊的部份則是 OFF。

在參照圖 4 的波形及時序圖，具體說明本實施形態的 FeRAM 的運作方式。此外在本例中，如圖 2 的 TC 是並聯元件串聯型強電介質記憶體時，其中與互補位元線 BL 及 BBL 連接的兩個記憶格 Mi 中，其中一個儲存的資料為 "0"，另一個則是儲存互補的 "1"，並且以 2 個電晶體 / 2 個

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

電容器進行 2 值記憶。字線 $W_{Lr<j>}$ 處在待機狀態，全部施加已升壓的電壓 V_{PP} ，使得所有的強電介質記憶體電容器 C_j 的兩端保持短路狀態。在此待機狀態中，首先將均衡控制信號 $V(BEQL)$ 設定成 "L"，解除位元線對 BL 及 BBL 的均衡動作，使得位元線對 BL 及 BBL 處在浮動(floating)狀態，藉此完成讀取資料至位元線對 BL 及 BBL 的準備。

接著，藉由在列解碼器 2 所選擇的 1 條字線(圖 4 中為 W_{Lr})，從 V_{PP} 降至 "L"(=0V)，完成在選擇之記憶格 M0 兩端施加電壓的準備。接下來，在所選取的區塊上，將其區塊選擇信號 $V(BSr<0>)$ 及 $V(BSr<1>)$ 由 0V 升至 "H" 後，使陽極線電位 $V(PL<0>)$ 及 $V(PL<1>)$ 由 "L" 上升至 "H"，藉此使得讀取電壓，施加在選取區塊選擇之記憶格兩端，並將因 "0" 及 "1" 信號而異之資料信號電壓，讀取至位元線對 BL 及 BBL (時刻 t_1)。

然後，當感應增幅 SA 活化時(時刻 t_2)，能夠感應增幅在位元線上的資料。增幅的位元線資料，會被讀取至欄選擇信號 CSL 所選擇之列。接著，將陽極線電位 $V(PL<0>)$ 及 $V(PL<1>)$ 調回成 "L" (時刻 t_4) 時，感應增幅 SA 的讀取電壓會施加在記憶格，重新將資料寫入。利用陽極線的電壓，原本以破壞讀取方式讀取的 "1" 資料，可由位元線側的逆電壓，重新寫入原本的自發極化狀態。

接著，字線驅動電壓或區塊選擇電壓下降(時刻 5)，非活化感應增幅 SA (時刻 t_6)，進行之後的電位均衡動作。

如上所述，在本實施形態的運作方式中，只要外部電源

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（ 9 ）

電壓 V_{ext} 正常，即使升壓電源開關 SW_i 為 ON，外部電源電壓 V_{ext} 將經常供應到升壓電源電路 7。在運作中，當外部電壓 V_{ext} 下降至某一水平以下時，電壓檢測電路 9 便會檢測出，輸出檢測信號 $VD="H"$ 。此時，如前面根據圖 3 之說明，唯獨選取區塊的升壓電源開關 SW_i 會保持在 ON 的狀態，其他的升壓電源開關 SW_i 會設定成 OFF。同時，內部電源電路 11 上的內部電源開關 SW_0 也會設定成 OFF。

如此一來，在檢測信號 $VD="L"$ 的期間，電源線 8 僅與選取區塊 BLK_i 的升壓電源電路 7 連接，由於電源負載的降低，補強了對選取區塊的升壓電源電路 7 的供電，或至少抑制了電壓的下降。為此，動作中的選取區塊上的讀取、寫入作業，能夠正常地結束，避免資料遭到破壞。

即使在外部電源斷電時，電源線 8 上的電容器 C_b 的電壓，將僅供應至選取區塊的升壓電源電路 7，因此得以因應數 μs 的電源電壓斷電的情況。即，設置在升壓電源電路 7 的電源端子線 12 之電容器 C_c ，保證可對所有區塊的升壓電源電路 7，提供在斷電時的一定時間內的電源。

圖 5 及圖 6 所示的是一實施例的構造及動作之方塊圖，該實施例係利用圖 2 之記憶格陣列，將其中的傳送閘的電容利用做為電源電容器 C_c 者。在此，圖 5 所示的是正常運作時的情況，而圖 6 所示的是電源線電壓不在運作保證範圍內時的情況。此外，由於圖 5 及圖 6 的構造，類似於圖 1 之內容，因此相同的部份將採用相同的編號，並

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (10)

且省略其說明。

外部電源電壓 V_{ext} 的輸入端及內部電源開關 SW0 之間，設有開關 SW5，其係由開關控制電路 10 來控制。正常狀態下為 ON，對於異常電源電壓則變成 OFF。

各升壓電源電路 7 係直接與電源線 8 連接，並且在相關的升壓電源電路 7 上，並聯有升壓電源開關 SWi。不同於圖 1，在正常運作情況下，各升壓電源開關 SWi 係設定成 OFF。

區塊 1 在運作中，當電壓檢測電路 9 檢測出電源電壓異常下降時，如圖 6 所示，經由開關控制電路 10 的指令，將開關 SW5 設定成 OFF，並且在目前運作中的區塊 1 的開關 SW1 不變的情況下，將其他開關設定成 ON。如此一來，目前運作中的區塊的升壓電源，將會如前所述一般以轉換開的電容器為負載，有效運作，維持升壓動作；可是其他非選取區塊，則是以轉換開的電容器做為電源電容器，直接將電源線 8 與字線連接在一起。

結果，將不需要如同原本在圖 1 中所需的電源電容器 Cc，得以減少佔有相當大面積的電容器，有助於改善面積效率及集成度。

本發明並不限於上述的實施形態。在上述的實施形態說明中，是以鏈型 FeRAM 為例，其係由複數個的 1 電晶體 / 1 電容器的記憶格串聯而成者。可是如圖 7 所示的 1 電晶體 / 1 電容器的一般記憶格構造、或 2 電晶體 / 2 電容器的記憶格構造，也可適用本發明。

五、發明說明 (11)

如上所述在本發明的 FeRAM 中，用以供應正常電源，並設置於其記憶格陣列的每個區塊之升壓電源電路，在外部電源下降至運作保證電壓以下時，除了目前所選取的區塊的升壓電源電路外，將藉由使其他的升壓電源電壓開關設定成 OFF，補強或確保選取區塊的電源電壓，防止記憶資料遭到破壞。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱： 強電介質記憶體)

本發明係關於強電介質記憶體，其中包括：記憶格陣列，其係由分成複數個區塊，且具有強電介質記憶體電容之記憶格排列而成者；升壓電源電路，其係設於上述記憶格陣列的各區塊供產生在記憶上所需的升壓電壓者；升壓電源開關，其係分別設置於與外部電源端子連接之電源線與上述各升壓電源電路的電源供應端子之間，用以在一般的記憶動作時，保持在ON狀態者；電壓檢測電路，其係用以檢測上述電源線上之電壓位準下降者；及開關控制電路，其係藉由上述電壓檢測電路的輸出，對於在上述記憶格陣列中，已選取之區塊以外之其他區塊，將與其相對應的上述升壓電源開關設定成OFF狀態者。

日文發明摘要 (發明之名稱： "強誘電体メモリ")

強誘電体メモリは、複数のブロックに分けられて強誘電体キャパシタを持つメモリセルが配列されたメモリセルアレイと、このメモリセルアレイの各ブロック毎に設けられてメモリ動作に必要な昇圧電圧を発生する昇圧電源回路と、外部電源端子につながる電源線と前記各昇圧電源回路の電源供給端子との間にそれぞれ設けられて通常のメモリ動作時はオンを保つ昇圧電源スイッチと、前記電源線の電圧レベル低下を検知する電圧検出回路と、この電圧検出回路の出力により前記メモリセルアレイの選択されているブロック以外の他のブロックに対応する前記昇圧電源スイッチをオフにするスイッチ制御回路とを有する。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種強電介質記憶體，其特徵係包括：

記憶格陣列，其係由分成複數個區塊，且具有強電介質記憶體電容之記憶格排列而成者；

升壓電源電路，其係設於上述記憶格陣列的各區塊供產生在記憶上所需的升壓電壓者；

升壓電源開關，其係分別設置於與外部電源端子連接之電源線與上述各升壓電源電路的電源供應端子之間，用以在一般的記憶動作時，保持在 ON 狀態者；

電壓檢測電路，其係用以檢測上述電源線上之電壓位準下降者；

及開關控制電路，其係藉由上述電壓檢測電路的輸出，對於在上述記憶格陣列中已選取之區塊以外之其他區塊，將與其相對應的上述升壓電源開關設定成 OFF 狀態者。

2. 如申請專利範圍第 1 項之強電介質記憶體，其中包括：內部電源電路，其係經供給上述電源線之電壓，並輸出內部電源電壓者；第一電源用電容器，其係並聯連接於上述內部電源電路的高壓側與接地側間者；及內部電源開關，其係設置在上述內部電源電路及上述電源線之間，並且藉由上述電壓檢測電路之輸出作 OFF 控制者。

3. 如申請專利範圍第 1 項之強電介質記憶體，其中上述開關控制電路包括：

區塊解碼器，其係將位址信號解碼，並選擇上述記

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

憶格陣列的區塊者；

及邏輯閘，其係根據上述區塊解碼器的輸出、上述電壓檢測電路的檢測輸出的邏輯，對上述升壓電源開關進行控制者。

- 4. 如申請專利範圍第 3 項之強電介質記憶體，其中上述開關控制電路，

係應答於區塊位址進行上述區塊的選擇者；該區塊位址，係源自接收輸入位址的位址緩衝器。

- 5. 如申請專利範圍第 3 項之強電介質記憶體，其中更包括：

第二電源用電容器，其係設置在上述電源線及接地之間者；

及第三電源用電容器，其係設置在一共接線與接地線之間者；該共接線，係連接上述升壓電源電路及上述升壓電源開關接點者。

- 6. 如申請專利範圍第 1 項之強電介質記憶體，其中上述記憶格陣列，係包括：複數的電晶體，其係在位元線及陽極線之間串聯，並且由不同的字線所驅動者；及強電介質電容器，其係與上述各電晶體並聯者。

- 7. 如申請專利範圍第 1 項之強電介質記憶體，其中上述記憶格陣列，係由單位記憶格為 2 個電晶體及 2 個強電介質電容器所構成者。

- 8. 如申請專利範圍第 1 項之強電介質記憶體，其中上述記憶格陣列中，係由單位記憶格為 1 個電晶體及 1 個

六、申請專利範圍

強電介質電容器所構成者。

9. 一種強電介質記憶體，其特徵為包括：

記憶格陣列，其係由分成複數個區塊，且具有強電介質記憶體電容之記憶格排列而成者；

常閉型的第一電源開關，其係與外部電源端子連接者；

電源線，其係一端與上述的第一電源開關連接，另一端則經由第一電源電容器而接地者；

升壓電源電路，其係設置於上述記憶格陣列的各個區塊，連接各區塊與上述電源線，用以產生在記憶上所需的升壓電壓者；

常開型的第二電源開關，其係與上述各升壓電源電路並聯者；

電壓檢測電路，其係用以檢測上述電源線之電壓位準下降者；

及開關控制電路，其係藉由上述電壓檢測電路的輸出，對於在上述記憶格陣列中，已選取之區塊以外之其他區塊，將與其對應的上述第二電源開關設定成 ON 狀態者。

10. 如申請專利範圍第 9 項之強電介質記憶體，其中包括：內部電源電路，其係經供應上述電源線之電壓，並輸出內部電源電壓者；第二電源用電容器，其係並聯於上述內部電源電路的電源供應端與接地側之間者；及內部電源開關，其係設置在上述內部電源電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

及上述電源線之間，並且接受上述電壓檢測電路輸出作 OFF 控制者。

11. 如申請專利範圍第 9 項之強電介質記憶體，其中上述開關控制電路包括：

區塊解碼器，其係將位址信號解碼，並選擇上述記憶格陣列的區塊者；

及邏輯閘，其係根據上述區塊解碼器的輸出、上述電壓檢測電路的檢測輸出的邏輯，對上述第一、第二電源開關、及上述內部電源開關進行控制者。

12. 根據申請專利範圍第 11 項之強電介質記憶體，其中上述開關控制電路，係應答於區塊位址進行上述區塊的選擇者；該區塊位址，係源自接收輸入位址的位址緩衝器。

13. 根據申請專利範圍第 9 項之強電介質記憶體，其中上述記憶格陣列包括：

複數的電晶體，其係在位元線及陽極線之間串聯，並且由不同的字線所驅動者；

及強電介質電容器，其係與上述的各電晶體並聯者。

14. 如申請專利範圍第 9 項之強電介質記憶體，其中上述記憶格陣列，係由單位記憶格為 2 個電晶體及 2 個強電介質電容器所構成者。

15. 根據申請專利範圍第 9 項之強電介質記憶體，其中上述記憶格陣列，係由單位記憶格為 1 個電晶體及 1 個強電介質電容器所構成者。

修正
補正

91年4月4日
第09010531號專利申請案

中文圖式說明書修正本(91年4月)

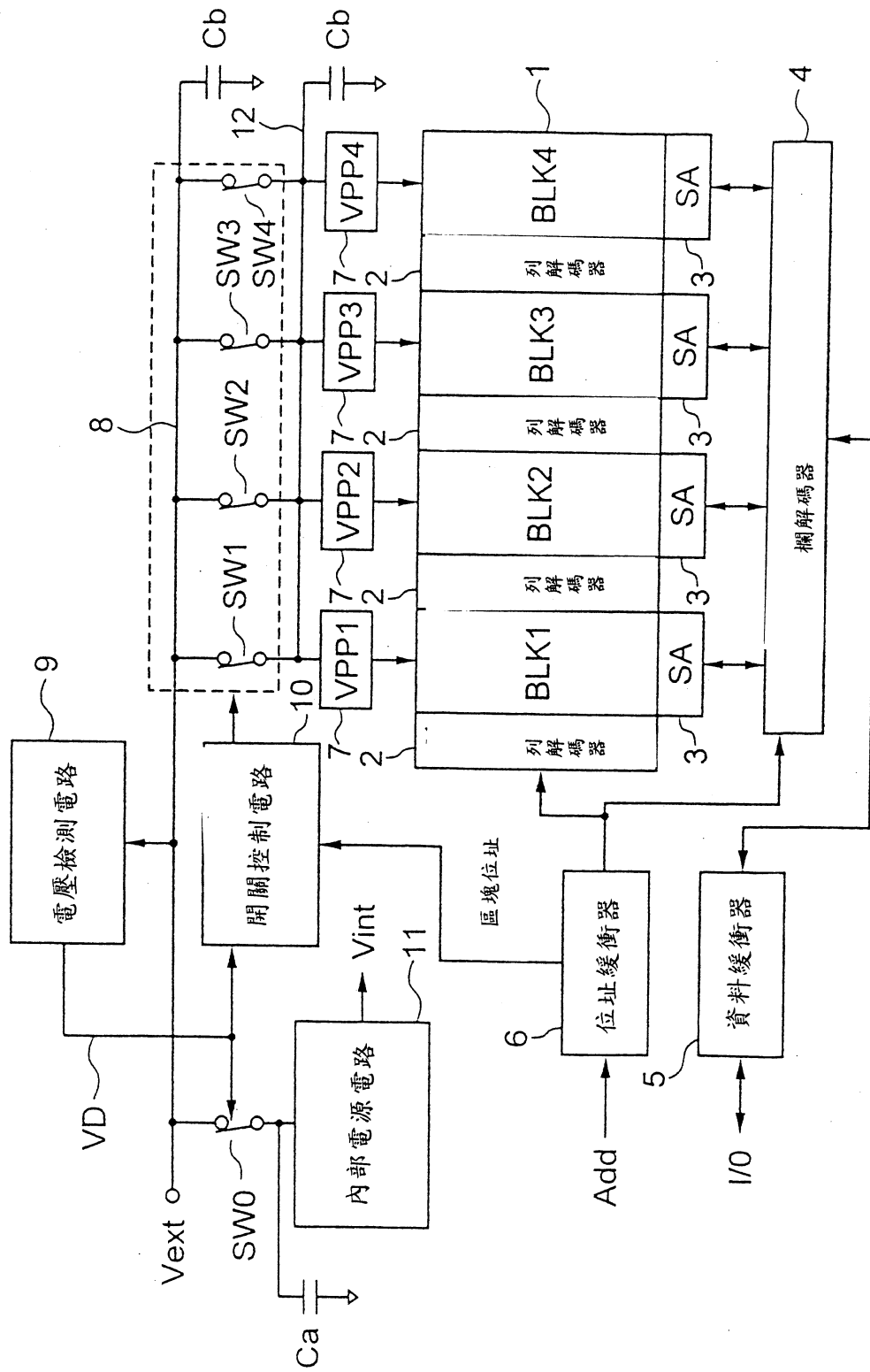


圖 1

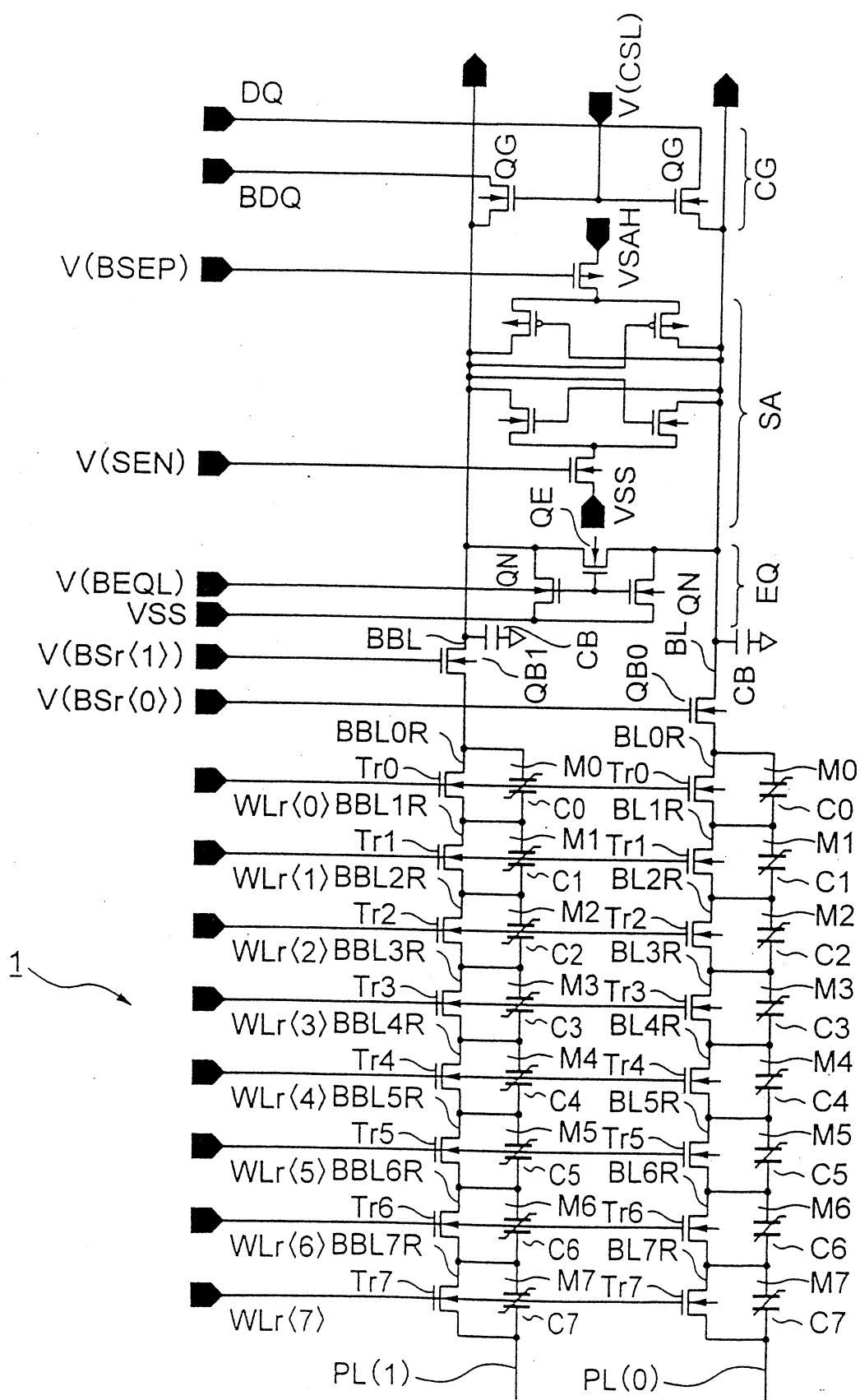


圖 2

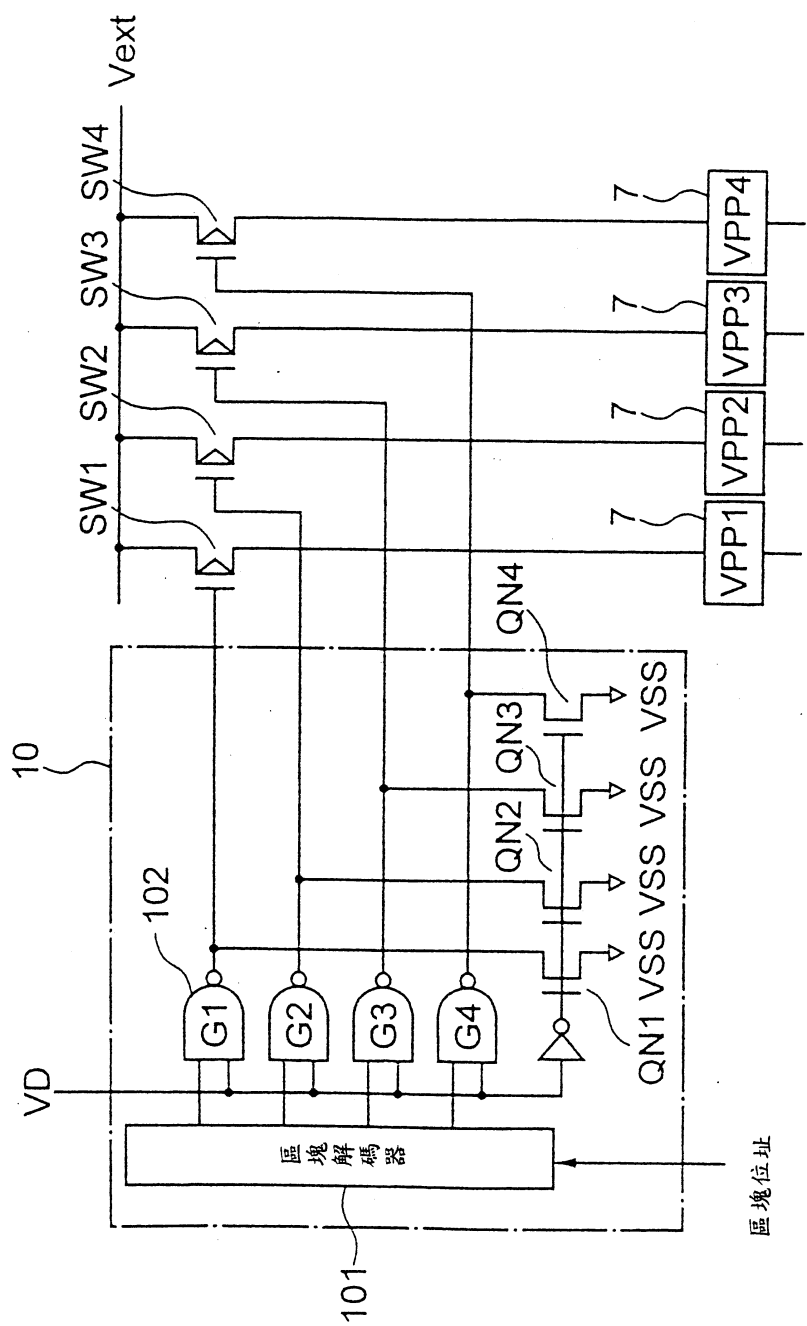


圖 3

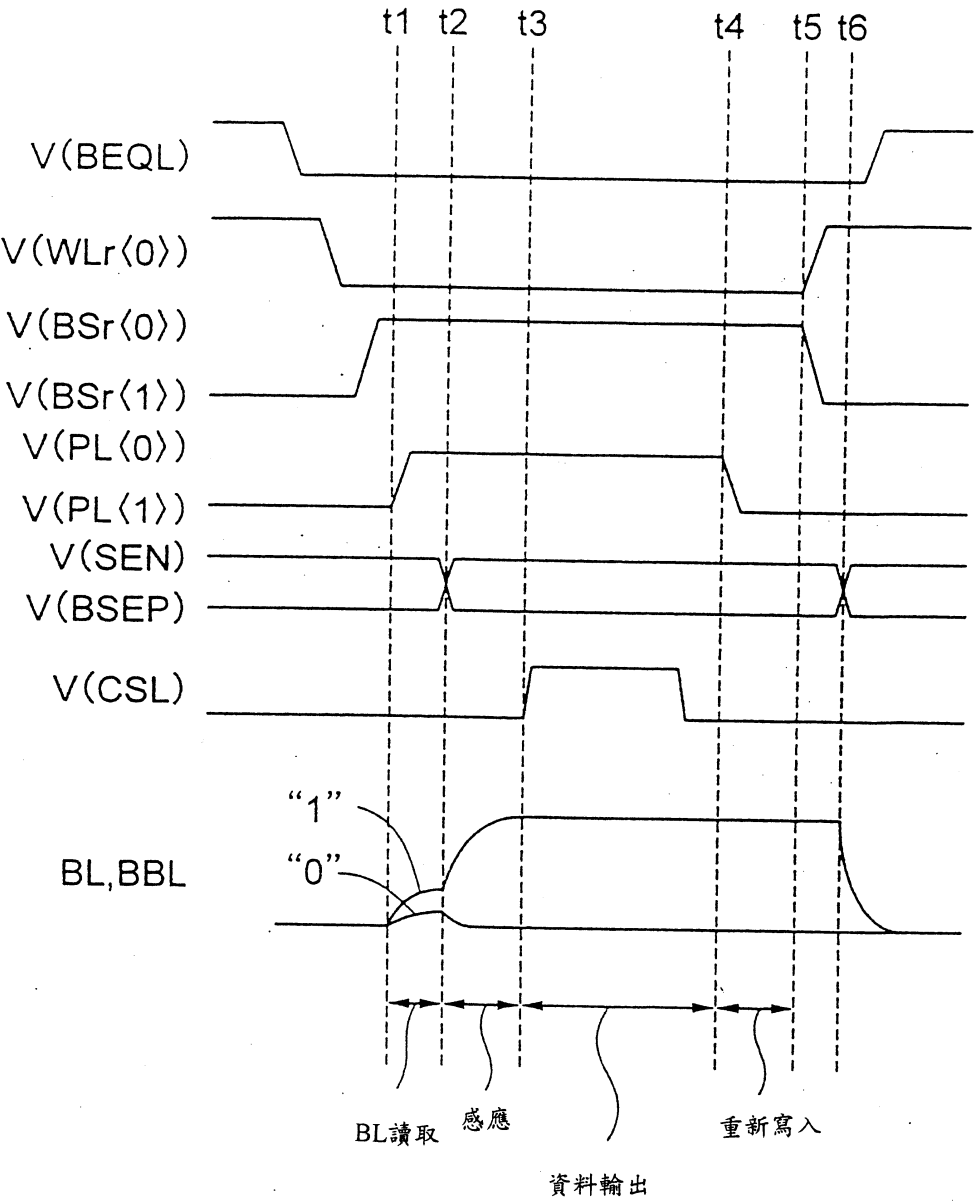


圖 4

正常操作狀態

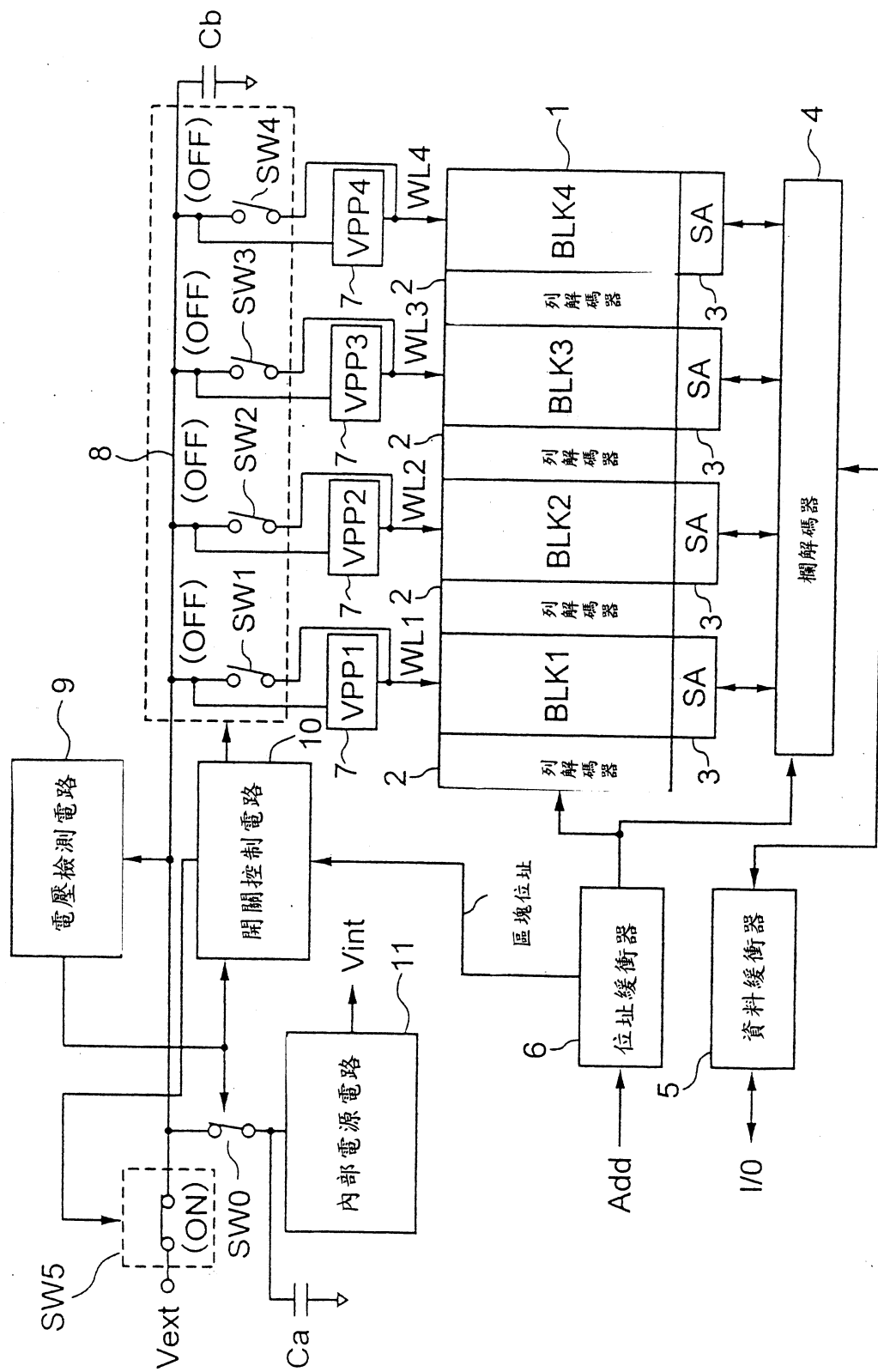


圖 5

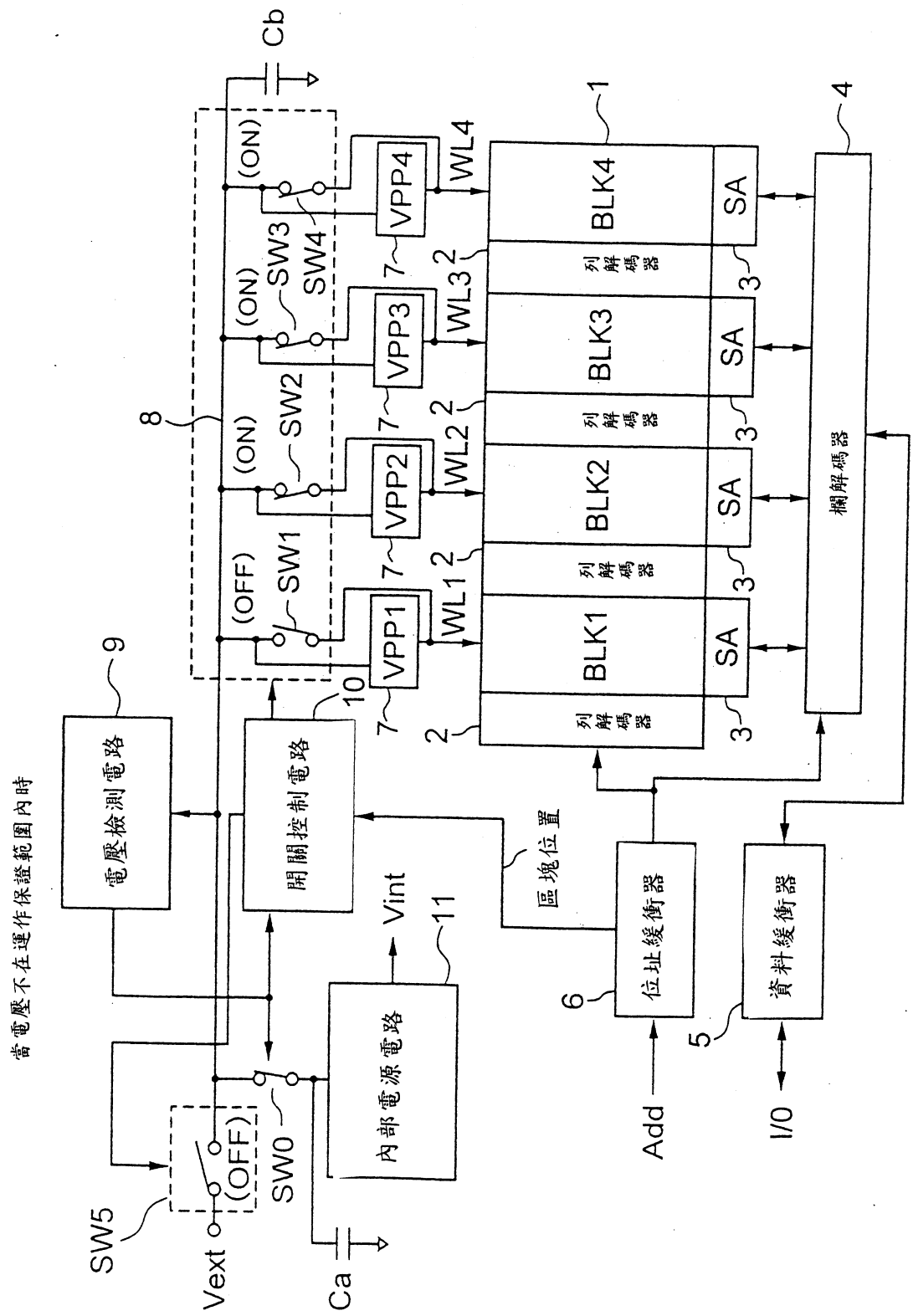


圖 6

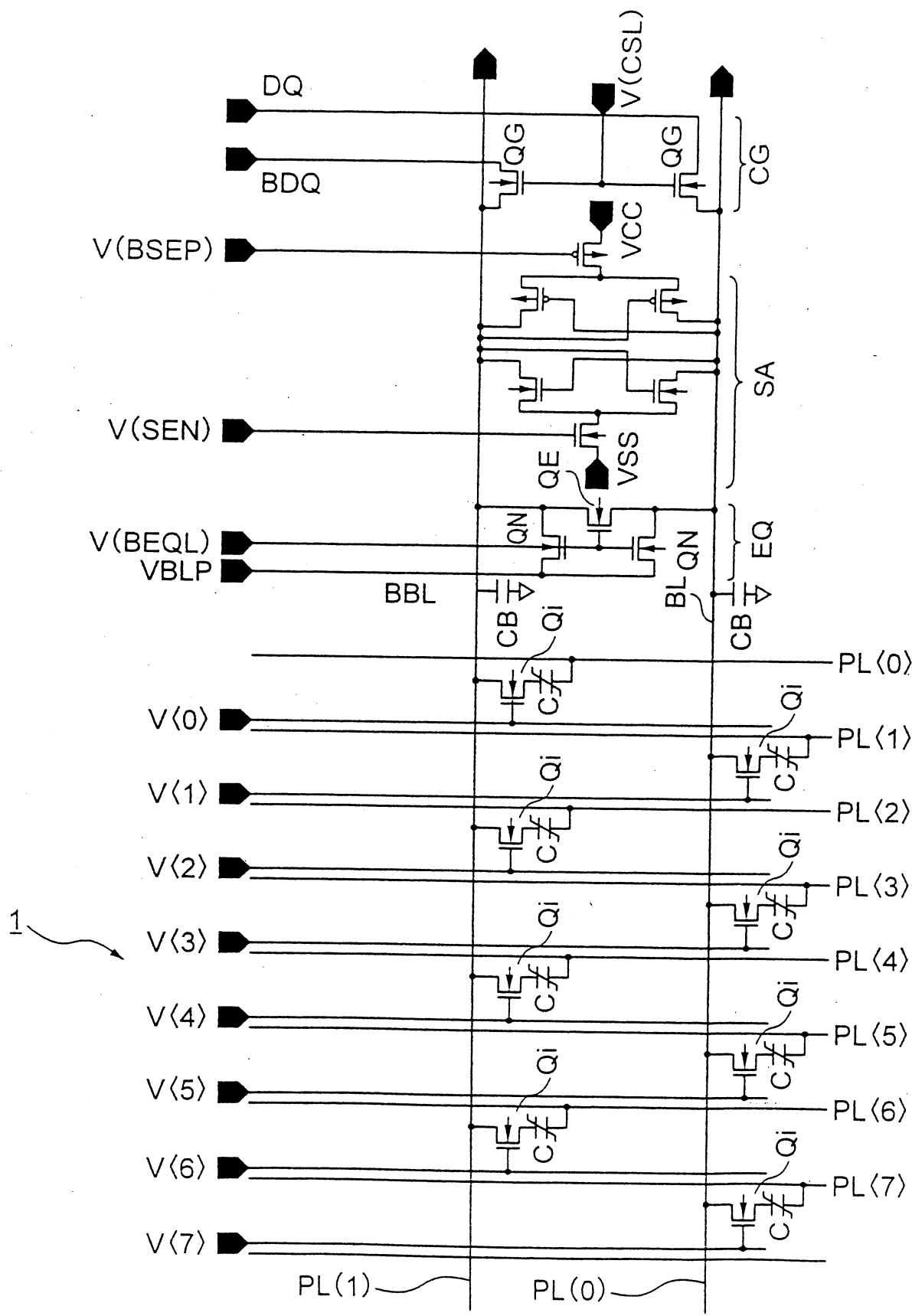


圖 7