(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3793580号

(P3793580)

(45)発行日　平成18年7月5日(2006.7.5)　(24)登録日　平成18年4月14日(2006.4.14)

(51)Int.Cl.		F I		
G09G 5/00	(2006.01)	G09G	5/00	Z
G11C 11/41	(2006.01)	G11C	11/34	M
G11C 11/401	(2006.01)	G11C	11/34	301D
H04N 5/907	(2006.01)	G11C	11/34	362G
		H04N	5/907	B

請求項の数 3　(全 13 頁)

(21)出願番号　特願平5-8873
(22)出願日　平成5年1月22日(1993.1.22)
(65)公開番号　特開平6-223576
(43)公開日　平成6年8月12日(1994.8.12)
審査請求日　平成11年8月27日(1999.8.27)
審判番号　不服2002-18632(P2002-18632/J1)
審判請求日　平成14年9月26日(2002.9.26)

(73)特許権者　000000295
沖電気工業株式会社
東京都港区虎ノ門１丁目７番１２号
(74)代理人　100089093
弁理士　大西　健治
(72)発明者　佐藤　泰則
東京都港区虎ノ門１丁目７番１２号　沖電気工業株式会社内
(72)発明者　阪田　義男
東京都港区虎ノ門１丁目７番１２号　沖電気工業株式会社内
(72)発明者　塚越　昌作
東京都港区虎ノ門１丁目７番１２号　沖電気工業株式会社内

最終頁に続く

(54)【発明の名称】半導体記憶装置及びラインメモリの制御方法

(57)【特許請求の範囲】

【請求項１】

ｋ対（但し、ｋは２以上の整数）のビット線対を有するメモリセルアレイと、

前記メモリセルアレイのビット線対を順次選択するために連続した、複数ビットで構成されるアドレスを生成するアドレスカウンタと、

前記アドレスカウンタから出力されるアドレスを構成する複数ビットのうち、選択されるべきビット線対を指示する位置のビットで示される値がｋ回変化して所定の値となったことを検出する毎に、前記ｋ対のビット線対を一括してプリチャージするプリチャージ信号生成回路とを、

備えたことを特徴とする半導体記憶装置。

【請求項２】

ｋ対（但し、ｋは２以上の整数）のビット線対を有するランダムアクセスメモリ部に対して、複数ビットからなるアドレスを変化することによりシーケンシャルアクセスを行うラインメモリの制御方法において、

前記ｋ対のビット線対を順次選択するために、前記アドレスのうち、選択されるべきビット線対を指示する位置のビットで示される値がｋ回変化して所定の値となったことを検出する毎に、プリチャージ信号によって該ｋ対のビット線対を一括してプリチャージする第１の処理と、

前記アドレスが変化する毎にリード信号に従って前記ランダムアクセスメモリ部からのデータの読出しを行う第２の処理と、

前記アドレスが変化する毎にライト信号に従って前記ランダムアクセスメモリ部へのデータの書込みを行う第３の処理とを、
実行することを特徴とするラインメモリの制御方法。
【請求項３】
ｋ対（但し、ｋは２以上の整数）のビット線対を有するランダムアクセスメモリ部に対して、複数ビットからなるアドレスを変化することによりシーケンシャルアクセスを行うラインメモリの制御方法において、
前記ｋ対のビット線対を順次選択するために、書込みアドレスのうち、選択されるべきビット線対を指示する位置のビットで示される値がｋ回変化して所定の値となったことを検出する毎に、ライトプリチャージ信号によって該ｋ対のビット線対を一括してプリチャージする第１の処理と、
前記ｋ対のビット線対を順次選択するために、読出しアドレスのうち、選択されるべきビット線対を指示する位置のビットで示される値がｋ回変化して所定の値となったことを検出する毎に、リードプリチャージ信号によって該ｋ対のビット線対を一括してプリチャージする第２の処理と、
前記読出しアドレスが変化する毎にリード信号に従って前記ランダムアクセスメモリ部からのデータの読出しを行う第３の処理と、
前記書込みアドレスが変化する毎にライト信号に従って前記ランダムアクセスメモリ部へのデータの書込みを行う第４の処理とを、
繰り返し実行することを特徴とするラインメモリの制御方法。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、ビデオシステム等のデータ遅延回路等に使用される半導体記憶装置とその制御方法、特にアドレスが変化する毎に行っていたビット線のプリチャージ回数を減らすことによってプリチャージ時における消費電力を低減するラインメモリの制御方法に関するものである。
【０００２】
【従来の技術】
従来、スタティック・ランダムアクセスメモリ（以下、ＳＲＡＭという）を用いたラインメモリの内部の制御方法には、シングルポート・ランダムアクセスメモリ・セル（以下、シングルポートＲＡＭセルという）を用いた制御方法と、デュアルポートＲＡＭセルを用いた制御方法の２つの方法がある。
図２は、従来のシングルポートＲＡＭセルを用いたラインメモリの概略の構成ブロック図である。
このラインメモリでは、入力データＩの入力及び出力データＯの出力等を行う入／出力部（以下、Ｉ／Ｏ部という）１と、リセット信号ＲＴによりリセットされ、該リセット信号ＲＴの間隔分だけカウントアップ動作を行ってアドレスＡを出力するアドレスカウンタ２と、該アドレスＡをデコードしてデコード信号を出力するアドレスデコーダ３と、該デコード信号で選択される記憶場所に対してデータの書込み又は読出しを行う第１及び第２のＲＡＭ部４－１，４－２とを、備えている。
Ｉ／Ｏ部１は、入力データＩを取り込んで第１，第２のＲＡＭ部４－１，４－２へ送る入力ラッチ回路１ａと、該第１又は第２のＲＡＭ部４－１，４－２からの読出しデータ（リードデータ）のいずれか一方を選択してそれを出力データＯの形で外部へ出力する出力セレクタ１ｂとで、構成されている。第１及び第２のＲＡＭ部４－１，４－２は、ｋ本の行（ビット線対）とｎ本の列（ワード線）からなるｋ×ｎ個のシングルポートＲＡＭセルを有するＳＲＡＭアレイ４－１ａ，４－２ａと、ラッチ回路４－１ｂ，４－２ｂとで、それぞれ構成されている。
【０００３】
図３は、図２に示す各ＳＲＡＭアレイ４－１ａ，４－２ａの概略の回路図である。

このＳＲＡＭアレイは、ｋ本（例えば、４本）の行（ビット線対）BL_0，BL_0／～BL_{k-1}，BL_{k-1}／とｎ本の列（ワード線）WL_0～WL_{n-1}からなるｋ×ｎ個のＲＡＭセル１０を備えている。各ビット線対BL_0，BL_0／～BL_3，BL_3／の一端は、ビット線プリチャージ用のＮチャネルＭＯＳトランジスタ（以下、ＮＭＯＳという）対11_0，12_0～11_3，12_3を介して電源電位Ｖｃｃに接続され、さらにそれらの各ビット線対BL_0，BL_0／～BL_3，BL_3／間が、ＮＭＯＳ13_0～13_3を介して接続されている。ＮＭＯＳ対11_0，12_0～11_3，12_3及びＮＭＯＳ13_0～13_3は、プリチャージ信号φ１によりオン，オフ動作してビット線対BL_0，BL_0／～BL_3，BL_3／を電源電位Ｖｃｃにプリチャージする機能を有している。

各ビット線対BL_0，BL_0／～BL_3，BL_3／の他端は、ワード線CW_0～CW_3の電位によりオン，オフ動作する転送用ＮＭＯＳ対14_0，15_0～14_3，15_3を介して共通ノードＮ１，Ｎ２に接続されている。これらのワード線CW_0～CW_3とWL_0～WL_{n-1}は、図２のアドレスデコーダ３のデコード信号により活性化され、ＲＡＭセル１０を選択するようになっている。

共通ノードＮ１，Ｎ２は、プリチャージ信号φ１によりオン，オフ動作するプリチャージ用ＮＭＯＳ１６，１７を介して電源電位Ｖｃｃに接続されている。書込みデータＤｗは、インバータ１８で反転され、ライト信号φ３によりオン，オフ動作するライト用のＮＭＯＳ２０を介して、共通ノードＮ１へ供給され、さらにそれがインバータ１９で反転され、ライト信号φ３でオン，オフ動作する書込み用ＮＭＯＳ２１を介して、共通ノードＮ２へ供給される。

リード信号φ２はインバータ２２で反転され、その反転信号によってトライステートインバータ２４がオン，オフ動作するようになっている。このトライステートインバータ２４の入力側は、インバータ２３を介して共通ノードＮ１に接続され、該インバータ２４の出力側から読出しデータＤｒを出力し、それを図２のラッチ回路４－１ｂ，４－２ｂでラッチするようになっている。

【０００４】

図４は、図２及び図３のシングルポートＲＡＭセルを用いたラインメモリの動作を示すタイムチャートであり、この図を参照しつつ、従来の制御方法を説明する。

図４において、入力データＩは周期Ｔ、アドレスＡは周期２Ｔである。ビット線対BL_0，BL_0／～BL_3，BL_3／のプリチャージを行うプリチャージ信号φ１、データの読出しを行うリード信号φ２、及びデータの書込みを行うライト信号φ３は、周期２Ｔであり、図示しないマスタクロック信号に基づき分周回路等の制御信号発生回路から発生される信号である。

リセット信号ＲＴによりアドレスカウンタ２が初期化された後、該アドレスカウンタ２がカウントアップ動作する。このアドレスカウンタ２によって指定された同一のアドレスＡが、アドレスデコーダ３によってデコードされ、そのデコード信号により、ＳＲＡＭアレイ４－１ａ，４－２ａ内のワード線CW_0～CW_3，WL_0～WL_{n-1}が活性化されてＲＡＭセル１０が選択され、そのＲＡＭセル１０に対するデータのアクセスが行われる。このとき、一方のＲＡＭ部、例えば４－１は、データの読出しを制御するリードイネーブル信号ＥＮによってデータの読出しのみが許可され、他方のＲＡＭ部４－２が、データの書込みを制御するライトイネーブル信号ＥＮによってデータの書込みのみが許可される。

ここで、アドレスカウンタ２から出力されるアドレスＡは、０番地から順番にアクセスされていき、それらのアドレスＡの各変化点でプリチャージ信号φ１が“Ｌ”レベルから“Ｈ”レベルになる。プリチャージ信号φ１が“Ｈ”レベルに立上がると、各ＳＲＡＭアレイ４－１，４－２内のＮＭＯＳ対11_0，12_0～11_3，12_3、及びＮＭＯＳ13_0～13_3，１６，１７がオン状態となり、ビット線対BL_0，BL_0／～BL_3，BL_3／が電源電位Ｖｃｃにプリチャージされる。

イネーブル信号ＥＮによって読出しのみが許可された一方のＲＡＭ部、例えば４－１において、プリチャージ信号φ１が“Ｈ”レベルから“Ｌ”レベルに立下がると、リード信号φ２が“Ｌ”レベルから“Ｈ”レベルに立上がり、それがインバータ２２で反転され、ト

ライステートインバータ２４の出力端子がハイインピーダンス状態となり、選択されたＲＡＭセル１０の読出し動作が行われる。ＲＡＭセル１０からの読出しデータＤｒは、インバータ２３で反転されてトライステートインバータ２４へ送られる。リード信号φ２が“Ｈ”レベルから“Ｌ”レベルに立下がると、それがインバータ２２で反転されてトライステートインバータ２４がオン状態となり、該インバータ２４でインバータ２３の出力が反転され、該インバータ２４から出力された読出しデータＤｒが図２のラッチ回路４－１ｂにラッチされた後、出力セレクタ１ｂを介して出力データＯの形で外部へ読出される。

【０００５】

次に、ライト信号φ３が“Ｌ”レベルから“Ｈ”レベルに立上がると、その“Ｈ”レベルの間で、イネーブル信号ＥＮによって書込みのみが許可された他方のＲＡＭ部４－２で書込み動作が行われる。この書込み動作では、アドレスデコーダ３のデコード信号により、ＳＲＡＭアレイ４－２ａ内のＲＡＭセル１０が選択される。入力データＩは、入力ラッチ回路１ａに取り込まれ、書込みデータＤｗの形でＳＲＡＭアレイ４－２ａへ送られる。この書込みデータＤｗは、ＳＲＡＭアレイ４－２ａ内のインバータ１８及びＮＭＯＳ２０を介して共通ノードＮ１へ送られると共に、インバータ１９及びＮＭＯＳ２１を介して共通ノードＮ２へ送られる。共通ノードＮ１，Ｎ２上の書込みデータＤｗは、アドレスデコーダ３のデコード信号で活性化されたワード線CW_0～CW_3によりオン状態となったＮＭＯＳ対14_0，15_0～14_3，15_3を介して、選択されたＲＡＭセル１０に書込まれる。

このような読出し動作と書込み動作が行われた後、ライトイネーブル信号及びリードイネーブル信号からなるイネーブル信号ＥＮが反転され、各ＲＡＭ部４－１，４－２の働きが反対になり、アドレスＡの１周期内でデータの読出しと書込み動作が実行される。このように、図２のラインメモリでは、ビット線のプリチャージ動作、読出し動作、及び書込み動作を連続的に行う２面のＲＡＭ部４－１，４－２が設けられ、その２面のＲＡＭ部４－１，４－２で交互にデータのアクセスを行うことで、データの遅延を実現している。

【０００６】

図５は、従来のデュアルポートＲＡＭセルを用いたラインメモリの概略の構成ブロック図である。

このラインメモリでは、入力データＩの入力及び出力データＯの出力等を行うＩ／Ｏ部３１と、リセット信号ＲＴにより初期化され、該リセット信号ＲＴの間隔分だけカウントアップ動作を行ってアドレスＡ（リードアドレスＡｒ又はライトアドレスＡｗ）を出力するアドレスカウンタ３２と、該アドレスＡをデコードしてデコード信号を出力するアドレスデコーダ３３と、該デコード信号で選択されるデュアルポートＲＡＭセルに対するデータの格納を行うＲＡＭ部３４とで、構成されている。

Ｉ／Ｏ部３１は、入力データＩを取込んでＲＡＭ部３４へ送る入力ラッチ回路３１ａと、該ＲＡＭ部３４からのリードデータＤｒをラッチして出力データＯの形で出力する出力ラッチ回路３１ｂとを、備えている。ＲＡＭ部３４は、ｋ×ｎ個のデュアルポートＲＡＭセルを有するＳＲＡＭアレイ３４ａと、ラッチ回路３４ｂとで、構成されている。

【０００７】

図６は、図５のラインメモリの動作を示すタイムチャートであり、この図を参照しつつ、図５のラインメモリの制御方法を説明する。

図６は、ライトイネーブル信号及びリードイネーブル信号であるイネーブル信号ＥＮがアクティブ状態、リセット信号ＲＴがオフ状態のときのタイムチャートである。入力データＩ、リードアドレスＡｒ、及びライトアドレスＡｗは周期Ｔであり、これらに対するリードプリチャージ信号φ１ｒ、ライトプリチャージ信号φ１ｗ、リード信号φ２、及びライト信号φ３が、図示しないマスタクロック信号に基づき分周回路等の制御信号発生回路から出力される。

アドレスカウンタ３２から出力されるリードアドレスＡｒの変化点で、リードプリチャージ信号φ１ｒによるＳＲＡＭアレイ３４ａのプリチャージ動作が行われ、該アドレスカウンタ３２から出力されるライトアドレスＡｗの変化点で、ライトプリチャージ信号φ１ｗ

による該ＳＲＡＭアレイ３４ａのプリチャージ動作が行われる。その後、リード信号φ２が“Ｈ”レベルのときにＲＡＭ部３４ａの読出し、ライト信号φ３が“Ｈ”レベルのときに該ＳＲＡＭアレイ３４ａに対する書込み動作が行われる。
即ち、読出し動作では、アドレスカウンタ３２から出力されたリードアドレスＡｒをアドレスデコーダ３３でデコードし、ＳＲＡＭアレイ３４ａ内のＲＡＭセルを選択する。すると、その選択されたＲＡＭセルのデータが読出され、その読出しデータＤｒがラッチ回路３４ｂにラッチされた後、出力ラッチ回路３１ｂを介して出力データＯの形で外部へ読出される。又、書込み動作では、アドレスカウンタ３２から出力されたライトアドレスＡｗがアドレスデコーダ３３でデコードされ、ＳＲＡＭアレイ３４ａ内のＲＡＭセルが選択される。この選択されたＲＡＭセルに対し、入力ラッチ回路３１ａから入力データＩが書込まれる。これにより、リードアドレスＡｒ及びライトアドレスＡｗの１周期内でデータの読出しと書込み動作が実行される。

【０００８】

【発明が解決しようとする課題】

しかしながら、従来のラインメモリの制御方法では、次のような課題があった。
即ち、シングルポートＲＡＭセルあるいはデュアルポートＲＡＭセルのいずれを用いたラインメモリでも、それが動作しているときには必ずアドレスＡが指定され、まずビット線対$ＢＬ_0$，$ＢＬ_0$／～$ＢＬ_3$，$ＢＬ_3$／のプリチャージ動作が行われ、その後書込みあるいは読出しが行われる。ＲＡＭ部４－１，４－２，３４のセル数はその行（ビット線対）と列（ワード線）から決定されるが、アドレスＡの変化点毎にビット線対$ＢＬ_0$，$ＢＬ_0$／～$ＢＬ_3$，$ＢＬ_3$／のプリチャージ動作を行っているので、その都度、使用していない行（ビット線対）も必ずプリチャージしていることになり、その分、消費電力が増大するという欠点があった。
本発明は、前記従来技術が持っていた課題として、ビット線プリチャージ時における消費電力の増大という点について解決した半導体記憶装置及びラインメモリの制御方法を提供するものである。

【０００９】

【課題を解決するための手段】

第１の発明は、前記課題を解決するために、半導体記憶装置において、ｋ対（但し、ｋは２以上の整数）のビット線対を有するメモリセルアレイと、前記メモリセルアレイのビット線対を順次選択するために連続したアドレスを生成するアドレスカウンタと、
前記アドレスカウンタから出力されるアドレスがｋ回変化する毎に、前記ｋ対のビット線対を一括してプリチャージするプリチャージ信号生成回路とを備えている。
第２の発明では、ｋ対のビット線対を有するＲＡＭ部に対してシーケンシャルアクセスを行うラインメモリの制御方法において、次の第１～第３の処理を実行するようにしている。
ここで、第１の処理では、前記ｋ対のビット線対を順次選択するための連続したアドレスがｋ回変化する毎に、プリチャージ信号によって該ｋ対のビット線対を一括してプリチャージする。第２の処理では、前記アドレスが変化する毎にリード信号に従って前記ランダムアクセスメモリ部の読出しを行う。さらに、第３の処理では、前記アドレスが変化する毎にライト信号に従って前記ＲＡＭ部の書込みを行う。
第３の発明では、ｋ対のビット線対を有するＲＡＭ部に対してシーケンシャルアクセスを行うラインメモリの制御方法において、次の第１～第４の処理を繰り返し実行するようにしている。
ここで、第１の処理では、ｋ対のビット線対を順次選択するための連続した書込みアドレスがｋ回変化する毎に、リードプリチャージ信号によってｋ対の読出し側のビット線対を一括してプリチャージする。第２の処理では、ｋ対のビット線対を順次選択するための連続した読出しアドレスがｋ回変化する毎に、ライトプリチャージ信号によってｋ対の書込み側のビット線対を一括してプリチャージする。第３の処理では、読出しアドレスが変化する毎にリード信号に従って前記ＲＡＭ部の読出しを行う。第４の処理では、書込みアド

レスが変化する毎にライト信号に従って前記ＲＡＭ部の書込みを行う。

【００１０】

【作用】

第１～第３の発明によれば、ラインメモリのアドレスデコードはアドレス０からのシーケンシャルアクセスであるという特徴を生かし、行（ビット線対）のプリチャージ動作を毎回行わず、アドレスがｋ回変化する毎にプリチャージ動作が行われる。これにより、プリチャージ動作がアドレスの変化毎から、１／ｋ（但、ｋ；ビット線対の本数）回に減り、必要回以外のプリチャージ動作における消費電力の低減化が図れる。従って、前記課題を解決できるのである。

【００１１】

【実施例】

第１の実施例

図７は、本発明の第１の実施例を示すシングルポートＲＡＭセルを用いたラインメモリの概略の構成ブロック図であり、従来の図２中の要素と共通の要素には共通の符号が付されている。

このラインメモリでは、従来の図２中のアドレスデコーダ３に代えて、回路構成の異なるアドレスデコーダ４３を設けている。アドレスデコーダ４３は、従来と同様にアドレスカウンタ２から出力されるアドレスＡをデコードするデコード回路５０と、アドレスＡ及びプリチャージ信号φ１に基づき新たなビット線用プリチャージ信号φ１ａを出力するプリチャージ信号生成回路６０とで、構成されている。その他の構成は従来の図２と同一である。

【００１２】

図８は、図７中のアドレスデコーダ４３の概略の回路図である。

このアドレスデコーダ４３は、デコード回路５０とプリチャージ信号生成回路６０とで構成されている。デコード回路５０は、アドレスカウンタ２から出力されるアドレスＡ（A_0，A_1，A_2，…，A_i）の内、最下位ビット（ＬＳＢ）のアドレスA_0とそのＬＳＢ＋１ビットのアドレスA_1をデコードして図３のワード線CW_0～CW_3を選択するデコード信号を出力すると共に、アドレスA_2～A_iをデコードしてワード線WL_0～WL_{n-1}を選択するデコード信号を出力する回路であり、複数のインバータ５０，５２及び複数のＮＡＮＤゲート５１等で構成されている。

プリチャージ信号生成回路６０は、図３のプリチャージ用ＮＭＯＳ１６，１７をオン，オフ制御するプリチャージ信号φ１と、アドレスカウンタ２からのアドレスA_0，A_1との論理積を求めて図３のビット線プリチャージ用のＮＭＯＳ対11_0，12_0～11_3，12_3及びＮＭＯＳ13_0～13_3をオン，オフ制御する新たなプリチャージ信号φ１ａを出力する回路である。このプリチャージ信号生成回路６０は、プリチャージ信号φ１を反転するインバータ６１と、該インバータ６１の出力とアドレスA_0，A_1の反転信号との否定論理積を求める３入力ＮＡＮＤゲート６２と、該ＮＡＮＤゲート６２の出力を反転してプリチャージ信号φ１ａを出力するインバータ６３とで、構成されている。

【００１３】

なお、図７の第１，第２のＲＡＭ部４－１，４－２は、従来と同様に、ＳＲＡＭアレイ４－１ａ，４－２ａとラッチ回路４－１ｂ，４－２ｂとでそれぞれ構成されている。各ＳＲＡＭアレイ４－１ａ，４－２ａは、従来の図３と同様に、ｋ×ｎ個（例えばｋ＝４）のシングルポートＲＡＭセル１０で構成されている。従来では、プリチャージ用のＮＭＯＳ１６，１７を制御するプリチャージ信号φ１を用いて、ビット線プリチャージ用のＮＭＯＳ対11_0，12_0～11_3，12_3及びＮＭＯＳ13_0～13_3を制御するようにしているが、本実施例では、これらのＮＭＯＳ対11_0，12_0～11_3，12_3及びＮＭＯＳ13_0～13_3をプリチャージ信号φ１ａで制御するようにしている点のみが従来と異なっている。

図１は、本発明の第１の実施例である図７のラインメモリの動作を示すタイムチャートであり、この図を参照しつつ、図７のラインメモリの制御方法を説明する。

リセット信号ＲＴにより、アドレスカウンタ２が初期化された後、該アドレスカウンタ２がカウントアップ動作し、アドレスＡが出力される。このアドレスＡは、周期２Ｔで変化し、それがアドレスデコーダ４３でデコードされ、該アドレスＡが０から順番に１・２・３…というようにアクセスされる。ＳＲＡＭアレイ４－１ａ，４－２ａ内の図３の行側のビット線対$ＢＬ_0$，$ＢＬ_0$／～$ＢＬ_3$，$ＢＬ_3$／は、一度アクセスされた後はｋ＝４回後にならないと再びアクセスされることはない。そのため、ＳＲＡＭアレイ４－１ａ，４－２ａの行側をアクセスするときにその最小位（この場合は００）がきたときにだけビット線対$ＢＬ_0$，$ＢＬ_0$／～$ＢＬ_3$，$ＢＬ_3$／のプリチャージ動作を行うように、プリチャージ信号生成回路６０により、もとのプリチャージ信号φ１とアドレス$Ａ_0$，$Ａ_1$とでＡＮＤ処理が施されて新たなプリチャージ信号φ１ａが生成される。

即ち、アドレスカウンタ２から出力されるアドレスＡの０番地がアドレスデコーダ４３でデコードされ、各ＳＲＡＭ４－１ａ，４－２ａ内の図３のＲＡＭセル１０がアクセスされる。すると、プリチャージ信号φ１によってＮＭＯＳ１６，１７がオン状態になると共に、プリチャージ信号生成回路６０から出力されたプリチャージ信号φ１ａによってＮＭＯＳ対１１_0，１２_0～１１_3，１２_3及び$ＮＭＯＳ１３_0$～１３_3がオン状態となり、ビット線対$ＢＬ_0$，$ＢＬ_0$／～$ＢＬ_3$，$ＢＬ_3$／のプリチャージが行われる。

【００１４】

次に、アドレスＡの０番地内で、イネーブル信号ＥＮによって読出しのみが許可された一方のＳＲＡＭアレイ、例えば４－１ａにおいて、リード信号φ２によって読出し動作が行われ、その読出しデータＤｒがラッチ回路４－１ｂでラッチされた後、出力セレクタ１ｂを介して出力データＯの形で外部へ出力される。その後、書込み信号φ３により、イネーブル信号ＥＮで書込みのみが許可された他方のＳＲＡＭアレイ４－２ａにおいて書込み動作が行われ、入力データＩが入力ラッチ回路１ａで入力され、その書込みデータＤｗが該ＳＲＡＭアレイ４－２ａ内のＲＡＭセル１０に書込まれる。

アドレスカウンタ２から出力されるアドレスＡが０から１に変化したとき、この列の対応するＳＲＡＭアレイ４－１，４－２内のビット線対$ＢＬ_j$，$ＢＬ_j$／は既にプリチャージ動作を終了しているため、プリチャージ信号生成回路６０からプリチャージ信号φ１ａが出力されない。そのため、各ＳＲＡＭアレイ４－１ａ，４－２ａ内のＮＭＯＳ対１１_0，１２_0～１１_3，１２_3及び$ＮＭＯＳ１３_0$～１３_3がオン状態とならず、ビット線対$ＢＬ_0$，$ＢＬ_0$／～$ＢＬ_3$，$ＢＬ_3$／のプリチャージが行われない。そして、リード信号φ２によって一方のＳＲＡＭアレイ４－２ａで読出し動作が行われ、その後、ライト信号φ３によって他方のＳＲＡＭアレイ４－１ａで書込み動作が行われる。

さらに、アドレスカウンタ２から出力されるアドレスＡの２番地、及び３番地でも、前記の１番地と同様の処理が行われる。そして、アドレスＡが４番地になると、０番地のときと同様に、プリチャージ信号生成回路６０からプリチャージ信号φ１ａが出力され、ＲＡＭ部４－１，４－２内のビット線プリチャージが行われ、リード信号φ２で一方のＳＲＡＭアレイ４－２ａの読出し動作が行われた後、ライト信号φ３で他方のＳＲＡＭアレイ４－１ａの書込み動作が行われる。以後、これらの動作が繰り返される。従って、アドレスカウンタ２から出力されるアドレスＡが０・４・８…の番地のときにだけビット線対$ＢＬ_0$，$ＢＬ_0$／～$ＢＬ_3$，$ＢＬ_3$／のプリチャージが行われることになる。

以上のように、本実施例では、ｋ×ｎ個のシングルポートＲＡＭセル１０で構成されるビット線対$ＢＬ_0$，$ＢＬ_0$／～$ＢＬ_3$，$ＢＬ_3$／のプリチャージ回数を、従来のようにアドレスＡが変化する度に毎回行うのではなく、ラインメモリのアドレスアクセスの特性（即ち、ラインメモリのアドレスデコードはアドレス０からのシーケンシャルアクセスである）を利用し、列の変化する最初のみでビット線プリチャージを行うようにしている。そのため、従来のプリチャージ回数ｋ回を１回に減らすことができ、従来に比べてプリチャージ回数が１／ｋになる。従って、アドレスＡの変化毎に行っていたプリチャージにおける電力の消費がなくなるため、消費電力を大幅に低減できる。

【００１５】

第２の実施例

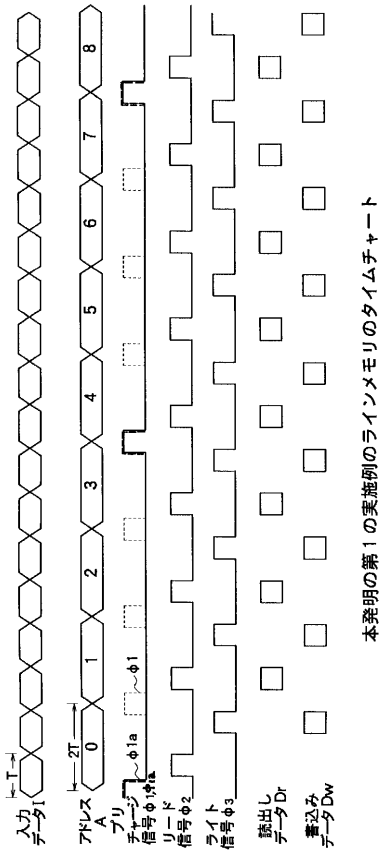
図９は、本発明の第２の実施例を示すデュアルポートＲＡＭセルを用いたラインメモリの概略の構成ブロック図であり、従来の図５中の要素と共通の要素には共通の符号が付されている。
このラインメモリでは、従来のアドレスデコーダ３３に代えて、回路構成の異なるアドレスデコーダ６３を設けている。アドレスデコーダ６３は、第１の実施例とほぼ同様に、アドレスカウンタ３２から出力されるリードアドレスＡｒ及びライトアドレスＡｗをデコードしてＳＲＡＭアレイ３４ａのワード線選択用のデコード信号を出力するデコード回路６３ａと、該リードアドレスＡｒ及びライトアドレスＡｗとリードプリチャージ信号φ１ｒ及びライトプリチャージ信号φ１ｗとの論理積を求めてリードプリチャージ信号φ１ｒａ及びライトプリチャージ信号φ１ｗａをＳＲＡＭアレイ３４ａへ出力するプリチャージ信号生成回路６３ｂとで、構成されている。他の構成は、従来の図５と同一である。
図１０は、図９のラインメモリの動作を示すタイムチャートであり、この図を参照しつつ、図９のラインメモリの制御方法を説明する。
図１０は、ライトイネーブル信号及びリードイネーブル信号であるイネーブル信号ＥＮがアクティブ状態、リセット信号ＲＴがオフ状態のときのタイムチャートである。
アドレスカウンタ３２が動作し、リードアドレスＡｒ及びライトアドレスＡｗがアドレスデコーダ６３へ出力される。これらのリードアドレスＡｒ及びライトアドレスＡｗは、０から順番に１・２・３…というようにアドレスデコーダ６３でデコードされ、ＳＲＡＭアレイ３４ａ内のＲＡＭセルがアクセスされる。
即ち、リードアドレスＡｒ及びライトアドレスＡｗが０番地のとき、プリチャージ信号生成回路６３ｂでは、もとのリードプリチャージ信号φ１ｒとリードアドレスＡｒとでＡＮＤ処理を施して新たなリードプリチャージ信号φ１ｒａを生成してＳＲＡＭアレイ３４ａへ与えると共に、もとのライトプリチャージ信号φ１ｗとライトアドレスＡｗとでＡＮＤ処理を施して新たなライトプリチャージ信号φ１ｗａを生成して該ＳＲＡＭアレイ３４ａへ与える。そのため、リードアドレスＡｒの変化点でリードプリチャージ信号φ１ｒ及びφ１ｒａによってＳＲＡＭアレイ３４ａ内のビット線のプリチャージが行われ、さらにライトアドレスＡｗの変化点で、ライトプリチャージ信号φ１ｗ及びφ１ｗａによって該ＳＲＡＭアレイ３４ａ内のビット線のプリチャージが行われる。
【００１６】
次に、リード信号φ２が“Ｌ”レベルから“Ｈ”レベルになると、ＳＲＡＭアレイ３４ａ内の０番地のＲＡＭセルのデータが読出され、その読出しデータＤｒがラッチ回路３４ｂでラッチされた後、出力ラッチ回路３１ｂを介して出力データＯの形で外部へ出力される。又、ライト信号φ３が“Ｌ”レベルから“Ｈ”レベルになると、入力ラッチ回路３１ａから入力された入力データＩが、書込みデータＤｗの形でＳＲＡＭアレイ３４ａ内のＲＡＭセルに書込まれる。
アドレスカウンタ３２から出力されるリードアドレスＡｒ及びライトアドレスＡｗが０番地から１番地に変化したとき、この列の対応するビット線は既にプリチャージ動作を終了しているため、ここではプリチャージを行わず、リード信号φ２による読出し動作とライト信号φ３による書込み動作のみを行う。さらに、リードアドレスＡｒ及びライトアドレスＡｗの２番地、３番地でも１番地と同様の処理を行う。
リードアドレスＡｒ及びライトアドレスＡｗが４番地になると、０番地のときと同様に、プリチャージ信号生成回路６３ｂでリードプリチャージ信号φ１ｒａ及びライトプリチャージ信号φ１ｗａが生成されるので、リードアドレスＡｒの変化点で、リードプリチャージ信号φ１ｒ及びφ１ｒａによってＳＲＡＭアレイ３４ａ内のビット線のプリチャージが行われ、さらにライトアドレスＡｗの変化点で、ライトプリチャージ信号φ１ｗ及びφ１ｗａによって該ＳＲＡＭアレイ３４ａ内のビット線のプリチャージ動作が行われる。以後、このような動作が繰り返される。
従って、第１の実施例と同様に、リードアドレスＡｒ及びライトアドレスＡｗが０・４・８…番地のときにだけビット線プリチャージ動作が行われ、プリチャージ回数の削減によって該プリチャージ時における消費電力を大幅に低減できる。

【００１７】
なお、本発明は上記実施例に限定されず、種々の変形が可能である。その変形例としては、例えば次のようなものがある。
（ａ）　上記実施例ではビット線対の数をｋ＝４としたが、これは任意の数でよい。この数ｋに応じてビット線対のプリチャージが間欠的に行われる。
（ｂ）　図１ではプリチャージ信号φ１とプリチャージ信号φ１ａとでビット線対のプリチャージを行い、図１０ではリードプリチャージ信号φ１ｒとφ１ｒａ、さらにライトプリチャージ信号φ１ｗとφ１ｗａというそれぞれ２つのプリチャージ信号により、ビット線対のプリチャージを行うようにしている。これは、ＳＲＡＭアレイ４－１ａ，４－２ａ，３４ａを他の回路構成にすることにより、プリチャージ信号φ１ａ，φ１ｒａ，φ１ｗａの各１つの信号でビット線対のプリチャージを行うようにしてもよい。
（ｃ）　図７及び図９のラインメモリにおいて、アドレスデコーダ４３，６３を他の回路構成にしたり、あるいはラインメモリの全体構成を図示以外の回路構成に変更する等、種々の変形が可能である。
【００１８】
【発明の効果】
以上詳細に説明したように、第１の発明によれば、アドレスがｋ回変化した時にビット線対をプリチャージするプリチャージ信号生成回路を有している。これにより、プリチャージ回数が１／ｋになり、プリチャージの消費電力を大幅に低減できる。
第２の発明によれば、ｋ本のビット線対を有するＲＡＭ部において、アドレスがｋ回変化する毎に、プリチャージ信号によってビット線対をプリチャージするようにした。これにより、従来のようにアドレスが変化する毎にプリチャージを行う方法に比べ、プリチャージ回数が１／ｋになり、該プリチャージ時における消費電力を大幅に低減できる。
第３の発明によれば、書込みアドレス及び読出しアドレスがｋ回変化する毎に、リード側及びライト側のビット線対をプリチャージするようにしたので、第２の発明と同様に、アドレスが変化する毎にプリチャージを行う方法に比べ、プリチャージの回数が１／ｋになり、該プリチャージ時における消費電力を大幅に低減できる。
【図面の簡単な説明】
【図１】本発明の第１の実施例のラインメモリの動作を示すタイムチャートである。
【図２】従来のシングルポートＲＡＭセルを用いたラインメモリの概略の構成ブロック図である。
【図３】図２中のＳＲＡＭアレイの概略の回路図である。
【図４】図２の動作を示すタイムチャートである。
【図５】　従来のデュアルポートＲＡＭセルを用いたラインメモリの概略の構成ブロック図である。
【図６】図５の動作を示すタイムチャートである。
【図７】本発明の第１の実施例を示すシングルポートＲＡＭセルを用いたラインメモリの概略の構成ブロック図である。
【図８】図７中のアドレスデコーダの概略の回路図である。
【図９】本発明の第２の実施例を示すデュアルポートＲＡＭセルを用いたラインメモリの概略の構成ブロック図である。
【図１０】図９の動作を示すタイムチャートである。
【符号の説明】

１，３１	Ｉ／Ｏ部
１ａ，３１ａ	入力ラッチ回路
１ｂ	出力セレクタ
２，３２	アドレスカウンタ
４－１，４－２，３４	ＲＡＭ部
４－１ａ，４－２ａ，３４ａ	ＳＲＡＭアレイ
４－１ｂ，４－２ｂ，３４ｂ	ラッチ回路

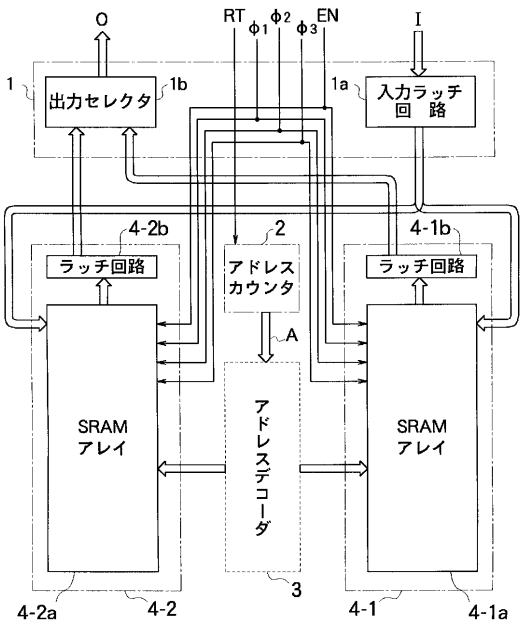
３１ｂ	出力ラッチ回路
４３，６３	アドレスデコーダ
５０，６３ａ	デコード回路
６０，６３ｂ	プリチャージ信号生成回路
φ１，φ１ａ	プリチャージ信号
φ１ｒ，φ１ｒａ	リードプリチャージ信号
φ１ｗ，φ１ｗａ	ライトプリチャージ信号
φ２	リード信号
φ３	ライト信号
Ａ	アドレス
Ａｒ	リードアドレス
Ａｗ	ライトアドレス
Ｉ	入力データ
Ｏ	出力データ

【図１】



本発明の第１の実施例のラインメモリのタイムチャート

【図２】



従来のシングルポートRAMセルを用いたラインメモリ

【図３】

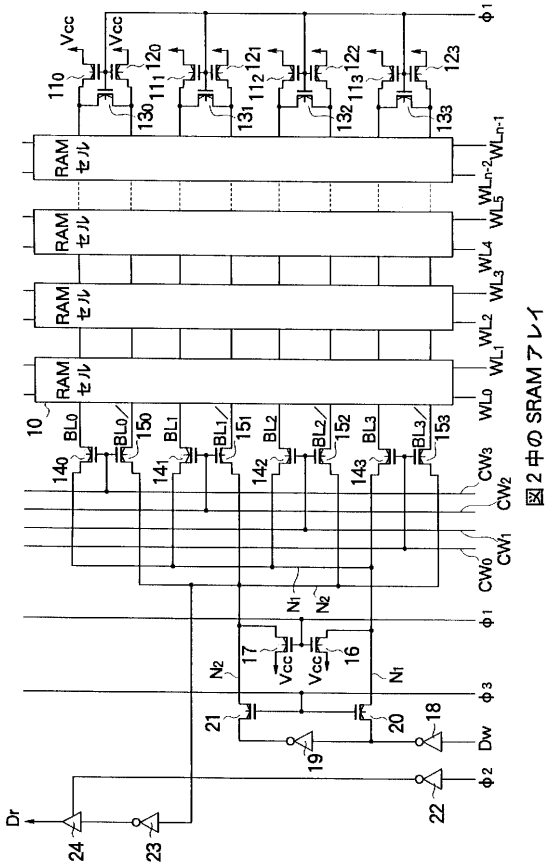


図２中のSRAMアレイ

【図４】

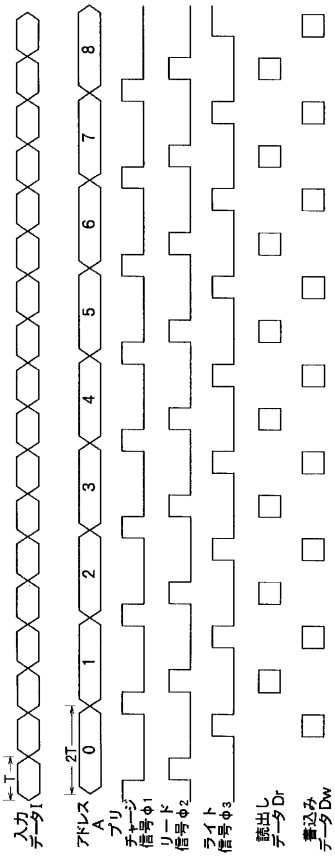
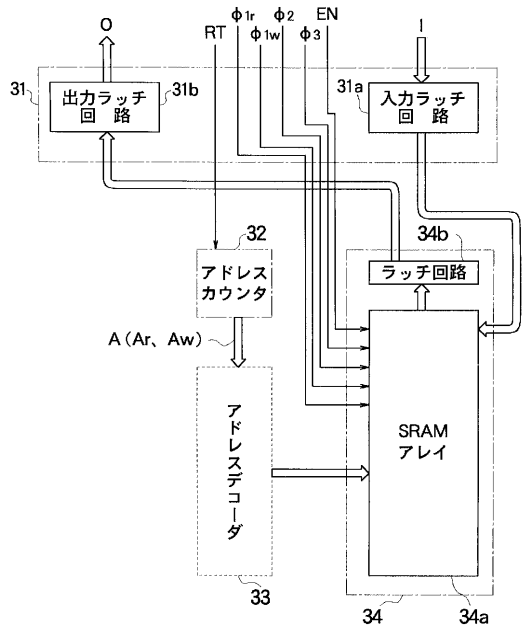


図２のタイムチャート

【図５】



従来のデュアルポートRAMセルを用いたラインメモリ

【図６】

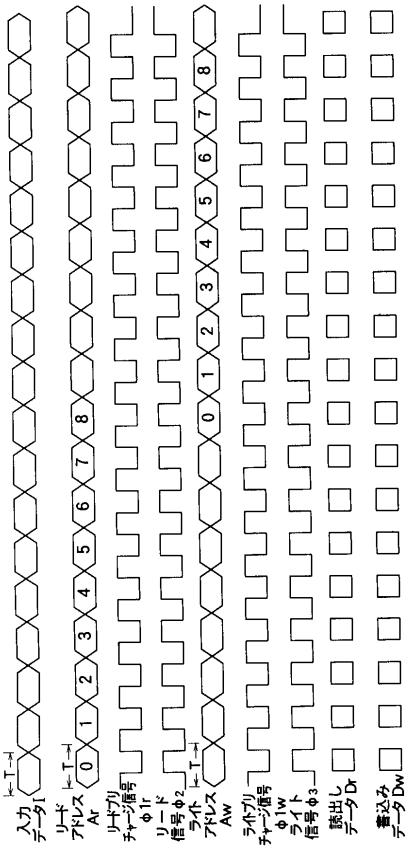
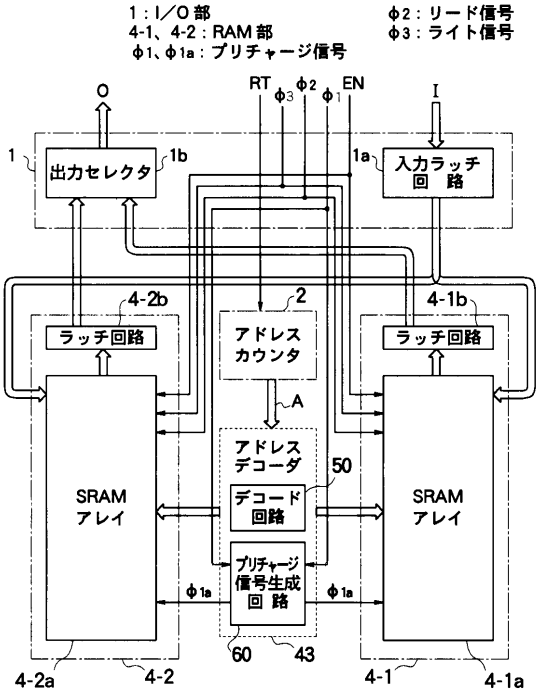


図５のタイムチャート

【図７】



本発明の第１の実施例のラインメモリ

【図８】

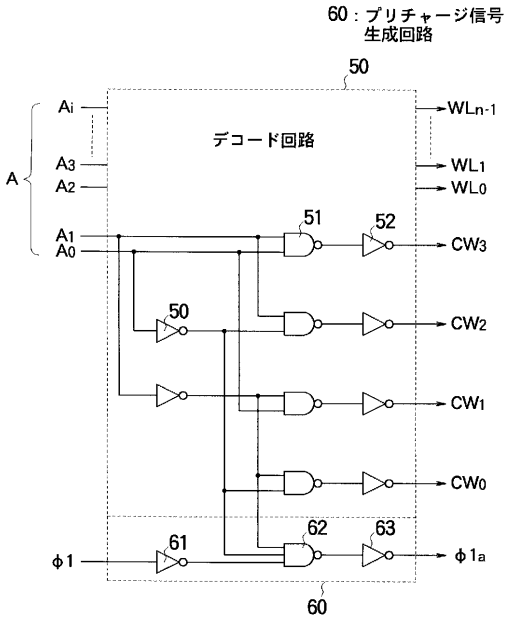
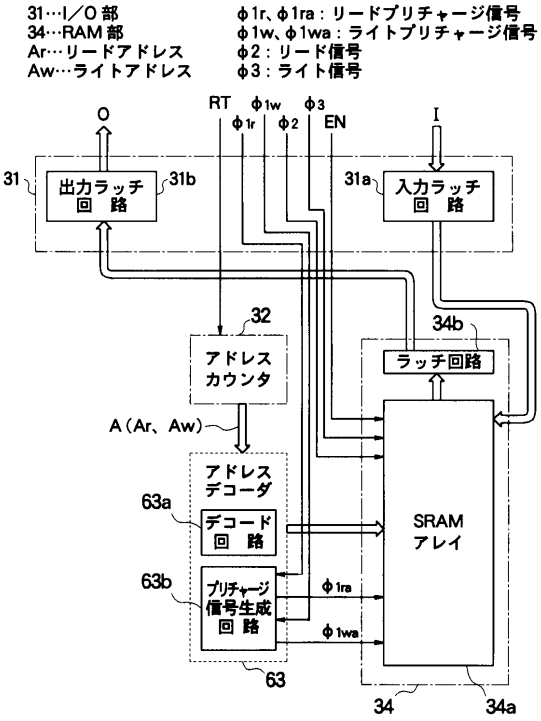


図７中のアドレスデコーダ

【図９】



本発明の第２の実施例のラインメモリ

【図１０】

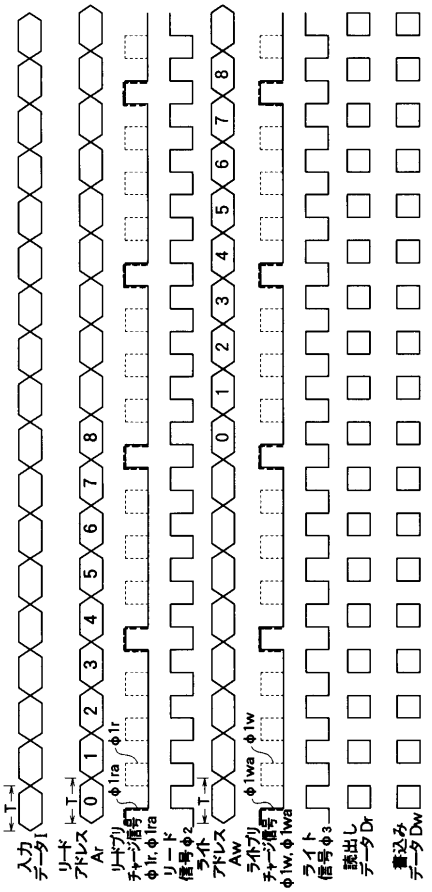


図９のタイムチャート

フロントページの続き

合議体
審判長　大日方　和幸
審判官　竹井　文雄
審判官　植松　伸二

(56)参考文献　特開平４－３１８３９１（ＪＰ，Ａ）
特開昭６０－　７７５１４（ＪＰ，Ａ）
特開平１－１２４１９５（ＪＰ，Ａ）
特開昭５７－　３９６７１（ＪＰ，Ａ）
特開昭６２－１３３８１６（ＪＰ，Ａ）
特開平２－３０８４９８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 11/41