



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0135755
(43) 공개일자 2023년09월26일

(51) 국제특허분류(Int. Cl.)
G11C 29/00 (2006.01) G11C 29/44 (2006.01)
(52) CPC특허분류
G11C 29/808 (2013.01)
G11C 29/44 (2013.01)
(21) 출원번호 10-2022-0033114
(22) 출원일자 2022년03월17일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
박종선
서울특별시 서초구 신반포로 9, 85동 403호(반포
동, 반포아파트)
배관호
서울특별시 동대문구 안암로18가길 20, B동 201
호(계기동)
송준현
경기도 화성시 동탄대로 469-12, 101동 3804호(오
산동, 동탄역 린스트라우스)
(74) 대리인
이철희

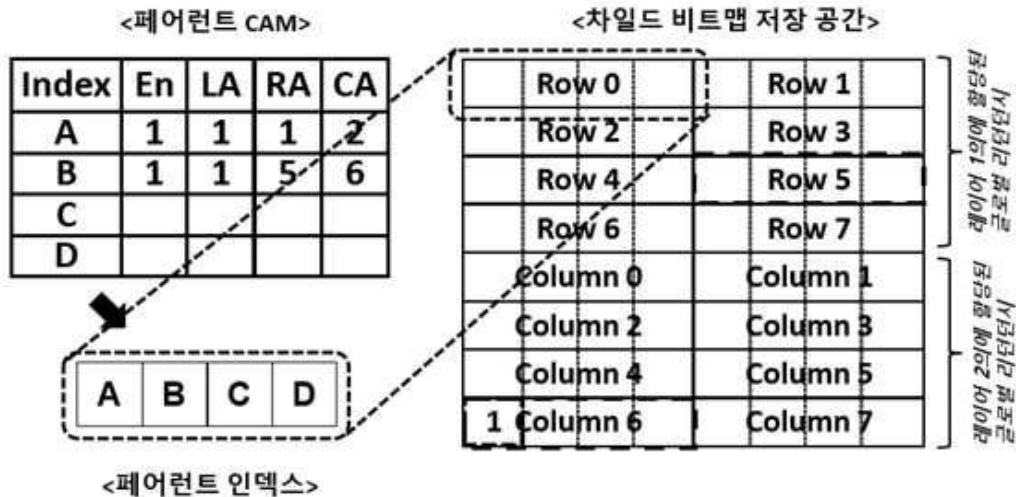
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 반도체 메모리의 리던던시 처리 방법 및 장치

(57) 요약

본 발명은 반도체 메모리의 리던던시 처리 방법 및 장치를 개시한다. 상기 메모리 리던던시 처리 방법은 폴트의 종류에 따라 적절한 저장 공간을 마련하여 비트맵 방식의 저장을 활용한다.

대표도 - 도5



(52) CPC특허분류

G11C 29/72 (2013.01)

명세서

청구범위

청구항 1

메모리 셀의 폴트를 검출하여 페어런트 폴트로 분류하는 단계;

상기 페어런트 폴트와 행 주소 또는 열 주소를 공유하는 폴트를 차일드 폴트로 분류하는 단계;

상기 차일드 폴트의 상기 분류는 비트맵 저장 공간을 이용함을 포함하는 단계;

상기 차일드 폴트가 크로스 폴트인지의 여부를 판별하는 단계;를 포함하는 반도체 메모리의 리턴던시 처리 방법.

청구항 2

제 1항에 있어서 상기 페어런트 폴트 분류 단계는,

별도의 저장 공간에다 행 주소와 열 주소를 저장하는 단계를 포함하는 반도체 메모리의 리턴던시 처리 방법.

청구항 3

제 2항에 있어서 상기 별도의 저장 공간은,

내용 주소 메모리(Content Addressable Memory)인 것을 특징으로 하는 반도체 메모리의 리턴던시 처리 방법.

청구항 4

제 1항에 있어서 상기 페어런트 폴트 분류 단계는,

내용 주소 메모리(Content Addressable Memory)에 메모리 레이어 정보, 행 주소 및 열 주소를 저장하는 단계를 포함하는 반도체 메모리의 리턴던시 처리 방법.

청구항 5

제 1항에 있어서 상기 비트맵 저장 공간은,

상기 차일드 폴트의 주소와 대응되는 공간을 미리 지정해 놓은 것을 특징으로 하는 반도체 메모리의 리턴던시 처리 방법.

청구항 6

제 5항에 있어서 상기 비트맵 저장 공간은,

상기 차일드 폴트가 발생한 행 주소와 대응되는 공간과, 상기 차일드 폴트가 발생한 열 주소와 대응되는 공간이 별도로 지정된 것을 특징으로 하는 반도체 메모리의 리턴던시 처리 방법.

청구항 7

제 5항에 있어서 상기 비트맵 저장 공간은,

서로 다른 메모리 레이어를 위해 마련된 리턴던시를 서로 차용하여 공유할 수 있음을 특징으로 하는 반도체 메모리의 리턴던시 처리 방법.

청구항 8

제 5항에 있어서 상기 비트맵 저장 공간의 이용은,

주소 저장 대신 미리 지정된 위치에 상기 차일드 폴트 발생을 알리는 플래그를 저장하는 것을 특징으로 하는 반도체 메모리의 리턴던시 처리 방법.

청구항 9

제 1항에 있어서 상기 차일드 폴트가 크로스 폴트인지의 여부를 판별하는 단계는,

상기 비트맵 저장 공간에서의 행 주소 및 열 주소의 상호 비교에 의한 것임을 특징으로 하는 반도체 메모리의 리던던시 처리 방법.

청구항 10

반도체 메모리의 리던던시 처리가 시작되면 폴트를 콜렉션하는 단계;

상기 콜렉션 된 폴트가 크로스 폴트인지의 여부를 분석하는 단계;를 포함하되,

상기 크로스 폴트 분석 단계는 새로운 페어런트 폴트가 차일드 폴트와 매치되는지의 여부를 판별하는 단계;

상기 차일드 폴트 매치 판별 결과, 매치되었을 경우에는 상기 차일드 폴트를 상기 크로스 폴트로 결정하여 차일드 폴트를 저장하는 공간의 정보를 업데이트하는 단계;

상기 차일드 폴트 매치 판별 결과, 매치되지 않았을 경우에는 상기 분석을 종료하는 단계;를 포함하는 것을 특징으로 하는 반도체 메모리의 리던던시 처리 방법.

청구항 11

제 10항에 있어서 상기 콜렉션 단계는,

상기 콜렉션된 폴트와 페어런트 폴트 저장 공간에 기 저장되어 있는 폴트와 매치됨이 있는지를 판별하는 단계;

상기 판별 결과, 매치되면 리던던시 폴트 카운터를 업데이트하는 단계;

상기 판별 결과, 매치되지 않으면 상기 페어런트 폴트 저장 공간에 새로운 페어런트 폴트로 기재하는 단계;를 포함하는 것을 특징으로 하는 반도체 메모리의 리던던시 처리 방법.

청구항 12

반도체 메모리를 시험하여 폴트를 검출하는 단계;

상기 검출된 폴트가 넌-크로스(non-cross) 폴트이면 마련된 리던던시 가운데 일부를 미리 할당하는 프리-엘로케이션(pre-allocation) 단계;

상기 검출된 폴트 가운데 프리-엘로케이션되지 않은 폴트를 포스트-엘로케이션(post-allocation)하는 단계;

상기 프리-엘로케이션 단계가 종료되면 디터민드(determined) 크로스 폴트를 판별하는 단계;

상기 판별 결과 디터민드 크로스 폴트가 존재하지 않으면 상기 포스트-엘로케이션 단계로 진행하고, 디터민드 크로스 폴트가 존재하면 리던던시를 할당하는 단계;를 포함하는 것을 특징으로 하는 반도체 메모리의 리던던시 처리 방법.

청구항 13

제 12항에 있어서 상기 프리-엘로케이션 단계는,

상기 검출된 폴트가 페어런트 폴트를 포함하는 것을 특징으로 하는 반도체 메모리의 리던던시 처리 방법.

청구항 14

이진 정보를 저장하는 반도체 메모리 셀들의 어레이;

상기 어레이가 여러 영역으로 분할된 레이어들;

테스트 결과 상기 어레이에서 발생한 폴트를 대체하기 위하여 마련된 여분의 셀들;

테스트 결과 검출된 폴트가 페어런트 폴트일 때 이를 저장하기 위해 마련된 페어런트 폴트 저장 공간;

상기 검출된 폴트가 차일드 폴트일 때 이를 저장하기 위해 마련된 차일드 폴트 저장 공간;

을 포함하는 것을 특징으로 하는 반도체 메모리의 리던던시 처리 장치.

청구항 15

제 14항에 있어서 상기 페어런트 폴트 저장 공간은,

내용 주소 메모리(Content Addressable Memory)인 것을 특징으로 하는 반도체 메모리의 리던던시 처리 장치.

청구항 16

제 15항에 있어서,

상기 페어런트 폴트 저장 공간은, 상기 검출된 폴트의 개수를 저장하기 위한 카운트 공간을 포함하는 것을 특징으로 하는 반도체 메모리의 리던던시 처리 장치.

청구항 17

제 16항에 있어서, 상기 카운트 공간은,

행 방향 폴트, 열 방향 폴트를 각각 저장하는 공간인 것을 특징으로 하는 반도체 메모리의 리던던시 처리 장치.

청구항 18

제 16항에 있어서, 상기 카운트 공간은,

차일드 폴트, 크로스 폴트를 각각 저장하는 것을 특징으로 하는 반도체 메모리의 리던던시 처리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 메모리에 적용될 수 있는 리던던시의 처리 방법 및 장치에 관한 것으로 보다 효과적으로 행과 열 구분이 없는 글로벌 리던던시를 처리하기 위한 것이다.

배경 기술

[0002] 반도체 집적회로를 만드는 공정 기술이 지속적으로 발전함에 따라 반도체 메모리 제품의 집적도도 크게 향상되었다. 고집적화에 따라 이진 정보를 저장하는 메모리 셀의 오류(폴트, fault) 발생 숫자도 이에 비례하여 크게 증가되고, 테스트 비용 또한 증가하게 되었다. 폴트를 치유하기 위하여 폴트 셀을 적절한 스페어 셀들로 대체하는 기술은 예로부터 쓰이긴 하지만 집적도의 증가에 따라 이 또한 점점 복잡성을 띄게 되었다.

[0003] 메모리 제품의 수율 향상을 위해서는 폴트 셀을 검출하고, 적절한 수리(repair)를 하는 기술에서는 특히, 반도체 면적을 효율적으로 활용하기 위한 리던던시의 면적, 수리를 위한 시간의 소비, 수리의 효율 등이 항상 반도체 메모리의 생산성에 미치는 지표 가운데 하나로 활용된다.

[0004] 메모리 셀들에 대한 읽기나 쓰기 동작이 불완전하면 이를 오류가 있는 셀로 규정하는데 오류의 형태에 따라, 한 비트의 셀이 단독인 오류를 싱글 폴트, 폴트들이 랜덤하게 분포된 것은 랜덤 폴트, 메모리 셀 어레이의 행 방향으로 생긴 오류는 행 폴트, 열 방향으로 생긴 폴트는 열폴트, 행과 열이 교차하는 폴트를 크로스 폴트라고 부른다.

[0005] 오류가 난 셀들을 대체하기 위해 마련된 여분의 셀들을 스페어 셀 또는 리던던시(redundancy)라 부르고, 메모리 셀의 각 어레이나 각 블록이나 각 섹터 및 각 레이어에 전속되어 있다. 어레이, 블록, 섹터 및 레이어 등의 명칭은 메모리의 용량별로 편의상 구분된 것을 의미한다. 리던던시는 행 리던던시와 열 리던던시로 구분하여 각 레이어 별로 마련된 것을 로컬(local) 리던던시라고 부르며, 행과 열을 구분하지 않고 어느 쪽이나 수리할 수 있도록 마련된 리던던시를 글로벌(global) 리던던시라고 부른다.

[0006] 이러한 리던던시를 반도체 메모리 내에 만들어 놓고 오류는 분석한 다음, 이를 이용하는 방법을 BIRA(Built-In Redundancy Analysis)라고 부르기도 한다.

[0007] 이하, 종래의 오류를 처리하는 BIRA 기술 가운데서 크로스 폴트를 콜렉션하는 기술에 대하여 설명한다. 크로스 폴트는 행으로도, 열로도 수리 가능한 것이지만 보다 효율적인 리던던시를 위해서는 어느 쪽이 유리한지는 분석

이 필요하다. 예를 들어 도 1과 같이 하나의 메모리 레이어에 3개의 폴트가 있고, 각 폴트는 R0-R7의 행 주소와 C0-C7의 열 주소 가운데서 (1,2), (1,6) 및 (5,6)의 지점에 위치하고 있다고 가정한다. 어레이, 블록, 섹터 및 레이어 등의 명칭은 메모리 칩에 존재하는 전체 셀의 숫자를 적당한 용량별로 나누어 구분된 것을 의미하거나, 여러 개의 메모리 칩들이 적층되고 TSV(Through Silicon Via)에 의해 연결된, HBM(High Bandwidth Memory)와 같은 소자에서 각각의 칩에 속하는 메모리 셀들의 집합을 의미하는 것일 수도 있다. 이하, 폴트들은 메모리 셀 내에서 부호 X로 표시되거나, #1 또는 #2와 같이 번호로 표시되거나, 때로는 폴트의 발생 또는 존재의 사실만을 나타내기 위해 '1'로서 표시될 수 있음을 미리 알려둔다. 도 1에서, 첫번째 폴트(#1)가 검출되면 페어런트 폴트를 저장하는 공간, 예컨대 내용 주소 메모리(Content Addressable Memory, CAM)와 같은 장치에 폴트의 주소를 저장한다. 도 2는 페어런트 CAM과 차일드 주소를 저장하는 공간을 도시한 것으로, Index, En, LA, RA 및 CA는 각각 페어런트 폴트를 가리키는 인덱스, 메모리 레이어 번호, 행 주소 및 열 주소를 나타낸다. En의 값이 1이면 첫번째 폴트의 주소 저장을 페어런트 인덱스(Index) A의 공간을 이용했음을 나타낸 것이다. 참고로 차일드 폴트란 페어런트 폴트에 종속되어, 페어런트 폴트가 수리되면 자동적으로 같이 수리되는 폴트를 말하는 것이다.

[0008] (1,6)의 위치에 두번째 폴트(#2)가 검출되면 이는 첫번째 폴트(#1)와 행 주소를 공유하고 있음을 알게 되므로 이는 차일드(child) 폴트로 분류되고, 차일드 폴트를 저장하는 공간에 열 주소만을 기입하게 되고, 도 2의 예에서는 '6'으로 기재되어 있다. 차일드 폴트 주소 저장 공간(Child Address Storage)는 예를 들어 8개의 저장 공간으로 구성되어 있고, 각각의 저장 공간은 도 2에 도시된 것과 같은 인덱스에 상응하여 행 영역(Row Area)과 열 영역(Column Area)으로 구분되어 있다고 가정한다.

[0009] 이어, 세번째 폴트(#3)가 검출되고 이는 미리 검출된 페어런트 폴트(이 경우에는 #1폴트)와 주소가 겹치지 않으므로 이 역시 인덱스B의 위치에 페어런트 폴트로 저장되고, (En, LA, RA, CA)의 값은 (1,1,5,6)이 된다. 다음으로 세번째 폴트는 차일드 폴트의 주소 저장 공간을 모두 탐색한 다음에서야 세번째 폴트의 열 주소가 두번째 폴트와 공유하는지 알게 되고, 비로소 두번째 폴트는 크로스 폴트임이 판별될 수 있다. 즉, 두번째 폴트는 세번째 폴트를 검출한 뒤 그 주소를 분석하여야만 크로스 폴트인지의 여부를 알 수 있게 되므로 오랜 판별 시간이 필요하다는 단점이 있게 된다.

[0010] 다음으로, 도 3을 참고로 하여 로컬 리던던시(Local Redundancy)를 이용한 크로스 폴트를 분석하는 종래의 기술에 대하여 설명한다. 어떤 메모리 레이어(310)에서 도 3에 도시된 것과 같이 8개의 크로스 폴트(X)가 발생하였고, 행(row) 리던던시와 열(column) 리던던시가 각각 2개씩 할당되어 있다고 가정한 다음, 이를 예로 들어 설명한다. 검출된 크로스 폴트들을 주소별로 별도로 표시하면 도 3에서 '320'의 도면부호를 가진 그림으로 표시될 수 있다. 320의 구성에서 셀 내부의 '1'은 그 주소 위치에서 크로스 폴트가 발생하였음을 표시하기 위한 것이다. 여기에서 등근 점선으로 표시한 주소(7,1) 위치의 크로스 폴트는 행 리던던시를 이용하여도 되고 열 리던던시를 이용하여도 된다. 만약 주소 (2,1), (2,3), (5,1), (5,3)을 가지는 4 개의 폴트가 열 리던던시를 이용하여 수리(repair)된 후라면, 주소 (7,1), (7,7)의 폴트를 행 리던던시를 이용하여 수리하더라도 주소 (7,1)의 폴트는 중복되므로 리던던시가 낭비되는 비효율이 발생한다. 이러한 단점은 리던던시 처리 방법의 비효율을 의미한다.

[0011] 실제로, 7개의 폴트에 대한 리던던시 조합은 도 3의 구성 330에 도시되었듯이 모두 6개가 되고 이러한 조합을 모두 살펴보고서 나서야 가장 효율적인 리던던시를 결정할 수 있기 때문에 수리(repair)를 위한 시간도 대폭 늘어나는 단점도 있게 된다. 이러한 경우를 소진성(exhaustive) 탐색(search)이라고 한다.

선행기술문헌

비특허문헌

[0012] (비특허문헌 0001) "An Advanced BIRA for Memories with an Optimal Repair Rate and Fast Analysis Speed by Using a Branch Analyzer", IEEE Trans on Computer-Aided Design of Integrated Circuits and Systems, Vol. 29, No.12, Dec., 2010

(비특허문헌 0002) "A BIRA for Memories with an Optimal Repair Rate Using Spare Memories for Area Reduction", IEEE Trans on VLSI Systems, Vol.22, No.11, Nov., 2014

(비특허문헌 0003) "An Efficient BIRA Utilizing Characteristics of Spare Pivot Faults", IEEE Trans on Computer-Aided Design of Integrated Circuits and Systems, Vol. 38, No.3, Dec., 2019

(비특허문헌 0004) "Built-In Redundancy Analysis for Memory Yield Improvement", IEEE Trans on Reliability, Vol. 52, No.4, Dec., 2003

발명의 내용

해결하려는 과제

[0013] 본 발명이 해결하고자 하는 기술적 과제는 반도체 리던던시의 처리 방법 및 장치에 있어서 보다 효율적인 수리를 위해 수리율의 향상, 수리에 걸리는 시간의 단축 및 수리를 위해 필요한 리던던시가 차지하는 면적의 절감 등을 달성하고자 하는 것에 있다.

과제의 해결 수단

[0014] 본 발명의 실시예에 따른 반도체 메모리의 리던던시 처리 방법은, 메모리 셀의 폴트를 검출하여 페어런트 폴트로 분류하는 단계; 상기 페어런트 폴트와 행 주소 또는 열 주소를 공유하는 폴트를 차일드 폴트로 분류하는 단계; 상기 차일드 폴트의 상기 분류는 비트맵 저장 공간을 이용함을 포함하는 단계; 상기 차일드 폴트가 크로스 폴트인지의 여부를 판별하는 단계;를 포함하는 것을 특징으로 한다.

[0015] 본 발명의 다른 실시예에 따른 반도체 메모리의 리던던시 처리 방법은, 반도체 메모리의 리던던시 처리가 시작되면 폴트를 콜렉션하는 단계; 상기 콜렉션 된 폴트가 크로스 폴트인지의 여부를 분석하는 단계;를 포함하되, 상기 크로스 폴트 분석 단계는 새로운 페어런트 폴트가 차일드 폴트와 매치되는지의 여부를 판별하는 단계;

[0016] 상기 차일드 폴트 매치 판별 결과, 매치되었을 경우에는 상기 차일드 폴트를 상기 크로스 폴트로 결정하여 차일드 폴트를 저장하는 공간의 정보를 업데이트하는 단계; 상기 차일드 폴트 매치 판별 결과, 매치되지 않았을 경우에는 상기 분석을 종료하는 단계;를 포함하는 것을 특징으로 한다.

[0017] 본 발명의 또 다른 실시예에 따른 반도체 메모리의 리던던시 처리 방법은, 반도체 메모리를 시험하여 폴트를 검출하는 단계; 상기 검출된 폴트가 넌-크로스(non-cross) 폴트이면 마련된 리던던시 가운데 일부를 미리 할당하는 프리-엘로케이션(pre-allocation) 단계; 상기 검출된 폴트 가운데 프리-엘로케이션되지 않은 폴트를 포스트-엘로케이션(post-allocation)하는 단계; 상기 프리-엘로케이션 단계가 종료되면 디터민드(determined) 크로스 폴트를 판별하는 단계; 상기 판별 결과 디터민드 크로스 폴트가 존재하지 않으면 상기 포스트-엘로케이션 단계로 진행하고, 디터민드 크로스 폴트가 존재하면 리던던시를 할당하는 단계;를 포함하는 것을 특징으로 한다.

[0018] 본 발명의 또 다른 실시예에 따른 반도체 메모리의 리던던시 처리 장치는, 이진 정보를 저장하는 반도체 메모리 셀 어레이; 상기 어레이가 여러 영역으로 분할된 레이어들; 테스트 결과 상기 어레이에서 발생한 폴트를 대체하기 위한 마련된 여분의 셀들; 상기 폴트 가운데서 페어런트 폴트가 발생한 주소를 저장하는 페어런트 저장 공간; 상기 폴트 가운데서 차일드 폴트를 위해 마련되되, 상기 레이어의 각 행과 각 열에 대응되는 위치가 미리 결정되어 있는 비트맵 저장 공간;을 포함하는 것을 특징으로 한다.

발명의 효과

[0019] 본 발명에 따르면, 반도체 메모리의 리던던시 처리에 있어서, 보다 높은 수리율이 달성된다. 또한 수리에 걸리는 시간을 최소화되도록, 보다 효율적인 탐색 및 판별 방법을 제공할 수 있게 된다. 리던던시가 차지하는 면적이 보다 최소화되고 낭비없이 효율적으로 사용된다.

도면의 간단한 설명

[0020] 도 1은 종래의 기술을 설명하기 위한 폴트의 예를 도시한 것이다.

도 2는 종래의 기술 가운데 페어런트 폴트와 차일드 폴트를 설명하기 위한 도면이다.

도 3은 로컬 리던던시가 가지는 소진성(exhaustive) 폴트 탐색의 한계를 설명하기 위한 도면이다.

도 4는 본 발명을 설명하기 위한 예시적인 도면으로 폴트가 존재하는 예를 도시한것이다.

도 5는 본 발명에서 페어런트 폴트와 차일드 폴트의 처리 방법을 설명하기 위한 비트맵을 나타낸 도면이다.

도 6은 본 발명의 효과를 나타내기 위한 비교 도면이다.

- 도 7은 본 발명에서 크로스 폴트를 분석하는 플로우 차트를 나타낸 것이다.
- 도 8은 프리-열로케이션을 설명하기 위한 도면이다.
- 도 9는 리턴던시 분석을 나타내는 플로우 차트이다.
- 도 10은 수리율을 비교 실험한 결과 가운데 하나이다.
- 도 11은 수리율을 비교 실험한 다른 결과 가운데 다른 하나이다.
- 도 12는 리턴던시 분석 시간을 비교 실험한 결과 가운데 하나이다.
- 도 13은 리턴던시 분석 시간을 비교 실험한 결과 가운데 다른 하나이다.
- 도 14는 메모리 용량에 따른 리턴던시 면적 효율을 비교한 실험 결과이다.
- 도 15는 글로벌 리턴던시의 개수에 따른 리턴던시 면적 효율을 비교한 실험 결과이다.
- 도 16은 본 발명의 효과를 3개의 지표에 대해 입체적으로 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 첨부한 도면들을 참고하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 상세히 설명하기로 한다. 각 도면에 제시된 참조부호들 중 동일한 참조부호는 동일한 부재를 나타낸다.
- [0022] 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0023] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되는 것은 아니며, 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0024] 이하, 본 발명의 명세서에서, 폴트들은 메모리 셀 내에서 부호 X로 표시되거나, 탐색 순서를 강조하기 위하여 #1 또는 #2와 같이 번호로 표시되거나, 때로는 폴트의 발생 또는 존재의 사실만을 나타내기 위해 '1'로서 표시될 수 있음을 미리 알려둔다.
- [0025] A. 비트맵 저장 방식의 폴트 콜렉션
- [0026] 본 발명에서는 오류가 난 메모리 셀의 폴트를 콜렉션하여 비트맵 형식으로 저장하고 이를 이용하여 반도체 메모리를 수리(repair)하는 방식을 사용한다. 이 방식의 동작을 개괄적으로 이해하기 위하여 도 4과 같이 3 개의 폴트를 가지고 있는 메모리 레이어를 가정한다. 도 4에서 3개의 폴트는 각각 #1, #2, #3으로 표시되어 있고, 각 폴트는 R0~R7의 행 어드레스와 C0~C7의 열 어드레스 가운데서 (1,2), (1,6) 및 (5,6)의 지점에 위치하고 있다고 가정한다. 3개의 폴트의 순서는 편의상 폴트로 검출되는 순서로 번호가 부여되어 있다. 첫번째 폴트(#1 폴트)는 최초의 검출이므로 페어런트(parent) 폴트로 분류되고, 두번째 폴트(#2 폴트)는 검출되는 순간 첫번째 폴트(#1)와 행 주소를 공유하고 있음을 알게 되므로 이는 차일드(child) 폴트로 분류된다. 아직까지 두번째 폴트(#2)가 크로스 폴트인지의 여부는 확인되지 않으므로 일단 넌-크로스(non-cross) 폴트로 분류된다. 세번째 폴트(#3 폴트)가 검출되면 이는 새로운 페어런트 폴트가 되고, 이때가 되어서야 두번째 폴트(#2)는 세번째 폴트(#3)와 열 주소를 공유함이 판별되어 두번째 폴트(#2)는 크로스 폴트로 결정된다.
- [0027] 도 5는 페어런트 폴트의 주소를 저장하는 공간(Parent CAM)과 차일드 폴트의 주소를 저장하는 비트맵 저장 공간(Child Bitmap Storage)을 도시한 것이다. 이들 공간들은 데이터를 저장하는 것이 아니라 주소를 저장하여야 하므로, 예를 들어 내용 주소 메모리(Content Addressable Memory, CAM)과 같은 장치가 활용될 수 있다. 도 4에서 설명되었듯이 페어런트 폴트는 두 개로 #1, #3으로 표시된 폴트 각각은 행 주소 및 열 주소가 각각 (1,2) 및 (5,6)이므로 페어런트 CAM에는 인덱스(index)를 각각 A, B로 표시하고, 행 주소(RA) 및 열 주소(CA) 공간에 이들 주소를 저장한다. 참고로 부호 LA는 메모리 레이어를 식별하는 어드레스이며 LA에 저장된 값 '1'은 레이어의 번호를 나타낸다. 부호 En은 페어런트 폴트의 어드레스가 저장된 것인지의 여부를 나타내는 플래그 신호이다. 또한 참고로 인덱스 A,B,C,D는 페어런트 폴트가 4개까지 저장될 수 있음을 나타내고 있다.
- [0028] 차일드 폴트를 저장하는 비트맵 저장 공간은 하나의 레이어에 대해 모두 8개의 행 주소(Row0 ~ Row7)가 부여되어 있다. 두번째 폴트(#2)는 #1과 행 주소를 공유하는 차일드 폴트이므로 인덱스 위치가 A이며 열 주소가 '6'인

Column6의 위치에 저장되되, 단순히 저장되었다는 사실만 기록하면 충분하므로 열 주소를 기록하는 대신 플래그 신호인 '1'로 기록되었다. 여기에서 유의하여야 할 점은 열 주소가 기록되는 비트맵 저장 공간은 메모리 레이어 가운데서 두번째 레이어(Layer2)에서 차용한 공간으로, 현재는 첫번째 메모리 레이어(LA=1)에 대한 폴트 콜렉션을 수행하고 있는 동안에는 두번째 메모리 레이어(LA=2)에 대한 폴트 콜렉션은 진행되지 않으므로 이를 차용 가능한 것이다. 이는 글로벌 리던던시(GR, Global Redundancy)의 특징이기도 하다.

[0029] 이어, 세번째 폴트(#3)가 검출되고 페어런트 폴트로 저장됨과 동시에 크로스폴트에 해당하는지의 여부를 판단한다. 이때에는 모든 주소를 살펴볼 필요없이 세번째 폴트(#3) 행 주소인 R5와 열 주소인 C6 공간만 비트맵 저장 공간에서 찾아보면 충분하고, 이에 의해 두번째 폴트(#2)가 크로스 폴트로 판명된다. 그러므로 폴트 콜렉션이 이루짐과 병행하여 크로스 폴트인지의 여부를ダイナミク하게 판단하게 됨으로써 탐색 시간이 절약되고, 비트맵 저장 공간의 활용하여 보다 직관적, 효율적으로 폴트를 해석할 수 있게 된다. 이러한 본 발명의 분석 시간상 장점을 선행기술들과 비교한 것을 도 6에 도시하고 있다.

[0030] 위에서 설명한 동작을 플로우 차트로 나타내면 도 7에 도시된 바와 같다. 분석이 시작되면(S710) 폴트를 콜렉션하는 단계는 다음의 플로우를 포함하게 된다. 먼저, 검출된 폴트와 페어런트 CAM에 기 저장된 폴트와 매치되는 부분이 있는지 판별하고(S720), 판별 결과에 의해 매치되면 리던던시 폴트 카운터를 업데이트하고(S730), 매치되지 않으면 페어런트 CAM에 새로운 페어런트 폴트로 기재한다(S740). 폴트 콜렉션이 이루어진 다음에는 크로스 폴트인지의 여부를 분석하는 단계를 거치게 되며 이는 다음의 플로우를 포함하게 된다. 먼저, S740의 단계를 거친 폴트가 차일드 폴트와 매치되는지의 여부를 판별하고(S750), 판별 결과에 의해 매치되었을 경우에는 차일드 폴트가 크로스 폴트일 것이므로 차일드 폴트를 저장하는 공간의 정보를 업데이트하고(S770), 매치되지 않으면 분석을 종료한다(S790). S730의 단계를 거친 폴트는 페어런트 폴트와 매치되는지를 판별하고(S760), 매치되면 크로스 폴트를 저장하는 공간을 업데이트하고(S780), 매치되지 않으면 크로스 폴트인지의 여부를 판별하는 단계를 종료한다(S790).

[0031] B. 분석 및 수리 알고리즘

[0032] 본 발명에서 리던던시를 할당하고 수리하기 위해 적용되는 분석 알고리즘에 대하여 도 8을 참고로 하여 설명한다. 도 8은 행과 열이 각각 8개인 메모리 레이어를 예로 든 것이고, 행 리던던시와 열 리던던시를 구분하지 않는 글로벌 리던던시를 사용하고 있다고 가정한 것이다. 도 8에 도시된 바와 같이 어떤 레이어(810)에 8개의 폴트(#1~#8))가 검출되었고, 4개는 페어런트 폴트, 나머지 4개는 차일드 폴트라고 판별되었다고 가정한다. 분석의 다음 단계는 검출된 폴트들이 크로스 폴트인지의 여부를 판별하는 단계이다.

[0033] 도 8에서는 주소 (5,1), (7,1)의 위치는 크로스 폴트이고 주소 (1,4), (4,5)의 위치는 넌-크로스(non-cross) 폴트이다. 넌-크로스 폴트들에 대해서는 행 리던던시를 이용할지 아니면 열 리던던시를 이용할지의 여부를 미리 할당하는 프리-얼로케이션(pre-allocation) 단계를 거친다. 이는 도 8의 크로스 폴트 저장 공간(830)이 매트릭스 형태로 도시되어 있다. 매트릭스 셀 내부의 '1'은 그 주소 위치의 폴트를 표시한 프리-얼로케이션을 나타낸 것이며, 점선의 라인은 프리-얼로케이션을 나타내고, 실선의 라인은 수리가 불가능(unrepairable)한 라인을 별도로 표시한 것이다. 도 8의 경우에는 (7,4) 페어런트 폴트는 열 리던던시가 미리 할당되고, (4,7) 페어런트 폴트는 행 리던던시로 미리 할당되는 프리-얼로케이션 단계에 해당한다. 이러한 프리-얼로케이션 단계에 의해 (1,4) 및 (4,5)의 차일드 폴트의 수리는 넌-크로스 폴트를 처리하는 페어런트 폴트의 프리-얼로케이션 단계에 의해 할당된 리던던시에 의해 추후 페어런트 폴트의 수리 단계에서 같이 수리가 진행될 수 있다.

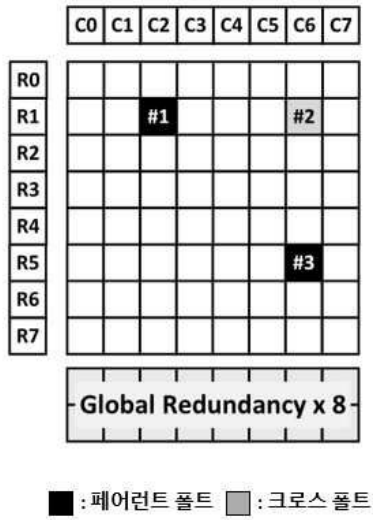
[0034] 도 8의 오른쪽 그림(820)은 페어런트 폴트가 발생한 행 주소 및 열 주소를 기준으로 하여 매트릭스 형태로 도시한 페어런트 폴트 저장 공간(820)이며, 여기에서, En, LA, RA 및 CA는 각각 페어런트 폴트를 가리키는 인덱스의 인에이블, 메모리 레이어 번호, 행 주소 및 열 주소를 나타낸다. 또한 Rcnt, Ccnt, CF_Rcnt 및 CF_Ccnt는 각각 행 방향의 차일드 폴트, 열 방향의 차일드 폴트, 행 방향의 크로스 폴트 및 열 방향의 크로스 폴트의 카운터 값을 나타낸다.

[0035] 도 8의 예에서, 프리-얼로케이션 단계에서 리던던시가 할당되지 않은 나머지 폴트들, 예를 들어 (7,1) 폴트는 열 리던던시가 할당되어야만 리던던시가 낭비되지 않는다. 만약 (7,1) 폴트에 행 리던던시가 할당되면 프리-얼로케이션에 의해 미리 할당된 (7,4) 폴트는 리던던시가 중복으로 할당될 것이므로 리던던시가 낭비된다. 본 발명에서는 (7,1) 폴트의 경우와 같이 리던던시의 방향이 정해지는 폴트를 특별히 '디터민드(determined) 크로스 폴트' 또는 '디터민드(determined) 폴트'라고 정의하고, 이 과정을 '디터민드 폴트 단계'라고 한다. 아직 리던던시가 할당되지 않고 남아있는 (5,3) 폴트는 행 리던던시나 열 리던던시 가운데 임의의 것을 선택하여도 무방하므로 편의상 열 리던던시로 할당한다. 이 단계는 포스트-얼로케이션 단계이다.

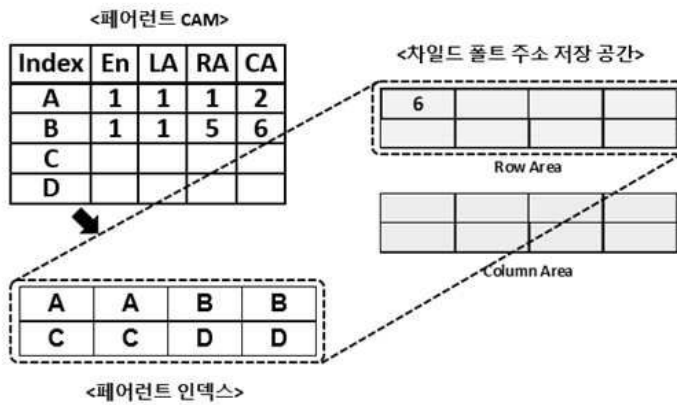
- [0036] 이러한 일련의 과정을 플로우 차트로 나타내면 도 9와 같이 된다. 리턴던시 활용에 대한 분석을 시작하면(S910 단계), 먼저 닌-크로스 폴트에 대한 프리-엘로케이션 여부를 판단한다(S920 단계). 판단 결과 프리-엘로케이션이 있을 경우에는 디터민드 크로스 폴트를 찾고(S930 단계), 없을 경우에는 포스트-엘로케이션을 진행한다(S940 단계). 디터민드 크로스 폴트가 존재하면 글로벌 리턴던시를 할당하고(S960 단계), 존재하지 않으면 포스트-엘로케이션을 진행한다(S940 단계). S930, S950 및 S960 단계는 반복적으로 수행된다. 모든 폴트에 대한 포스트-엘로케이션이 마무리되면 리턴던시 분석을 종료한다(S970 단계).
- [0037] C. 비교 실험
- [0038] 본 발명의 효과를 확인하기 위하여 상기 언급한 5개의 선행기술문헌들의 기술들과 여러 지표들을 비교하여 보았다. 5개의 선행기술문헌들은 각각 'PR[1]', 'PR[2]', 'PR[3]', 'PR[4]' 및 'PR[5]'로 기재되어 각 도면들에 나타난다. 이 가운데 PR[4] 및 PR[5]는 동일한 선행 문헌 내에서 서로 다른 실시 예로 기재된 것이다. 여러 지표들 가운데 수리율(repair rate)에 대한 비교는 도 10 및 도 11에 도시하였다. 이들 도면에서 수평축은 글로벌 리턴던시의 갯수를, 수직축은 수리율을 나타낸다. 또한 이들 도면에서의 실험 조건은, 메모리 셀의 숫자가 1024 X 1024 개, 4개의 레이어라고 가정한 1,000개의 실험 세트에 대한 것이다. 또한 각 레이어별로 4개의 폴트가 존재하되, 폴트의 종류가 (싱글 폴트 : 행 방향의 폴트 : 열 방향의 폴트)의 비율이 (0.4 : 0.3 : 0.3)인 경우를 보통 조건(normal case)으로 하여 도 10으로 도시하였다. 각 레이어별로 8개의 폴트가 존재하되, 폴트의 종류의 비율이 (0 : 0.5 : 0.5)인 경우는 최악 조건(worst case)으로 하여 도 11에 도시하였다. 도 10에서, 보통 조건일 경우에는 본 발명의 명세서에서 예로 든 5개의 선행기술문헌에 비하여 수리율의 개선은 미미하여 여러 선들이 분간이 힘들 정도로 겹쳐져 있다. 그러나 도 11의 최악 조건일 경우에는 본 발명의 수리율이 급격히 개선되는데 선행 기술 4에 제시된 두 가지 기술보다 각각 23.9%, 14.4%의 향상된 성능을 보인다.
- [0039] 리턴던시를 분석하는 시간에 대한 비교 실험 결과는 도 12 및 도 13에 도시하였다. 실험의 조건은 도 10 및 도 11에서와 동일하다. 도 12의 보통 조건 및 도 13의 최악 조건의 경우 각각에 있어서, 본 발명의 경우 글로벌 리턴던시 개수나 늘어남에 따라서 분석 시간이 증가하는 비율이 최소화됨을 알 수 있다. 단, 도 12의 경우에는 레이어당 4개의 폴트를, 도 13의 경우에는 레이어당 8개의 폴트를 가정하였다. 이는 본 발명의 리턴던시 분석 시간에 대한 특징이 비-소진성(non-exhaustive)임에 기인하며, 여분(spare)의 셀 개수에 상관없이 일정한 비율로 낮은 증가 상태를 보이는 것이 특징이다.
- [0040] 본 발명의 리턴던시 분석 방법에 의해 반도체 메모리에서 차지하는 면적에 대한 비교를 도 14에 도시하였다. 레이어당 16개의 글로벌 리턴던시를 가진다고 가정하였으며, 수평축은 메모리 용량의 크기를, 수직축은 리턴던시가 차지하는 면적을 나타내되 이진 정보를 저장하는 메모리 비트 수를 기준으로 한 것이다. 본 발명의 리턴던시 분석 방법을 적용하면, 메모리 용량이 늘어나더라도 리턴던시가 차지하는 면적의 증가는 선행기술들에 비하여 가장 낮은 수준으로 유지됨을 알 수 있다.
- [0041] 도 15는 글로벌 리턴던시의 개수를 수평축으로 하여 리턴던시가 차지하는 면적의 증가 상태를 실험한 것으로, 비교대상의 다섯개의 선행 기술에 비하여 리턴던시 증가에 따른 면적의 증가 또한 최소화됨을 알 수 있다.
- [0042] 위에서 설명한 리턴던시의 성능을 가리는 3가지 지표, 즉 수리율, 분석 시간 및 리턴던시가 차지하는 면적에 대한 실험 결과를 하나의 도면에 입체적으로 나내면 본 발명이 가지는 장점을 보다 간결하게 이해할 수 있다. 도 16에는 이를 나타낸 것으로 선행 기술들에 비하여 본 발명이 나타내는 효과를 각각의 좌표에 대해 도시한 것이다. 평면을 이루는 각각의 축은 수리율, 분석시간을 나타내고, 수직축은 리턴던시가 차지하는 면적 오버헤드를 나타낸다. 상기 설명한 5개의 선행 기술과 본 발명의 데이터를 3차원의 그래프로 보면, 본 발명의 데이터들이 가장 이상적인 BIRA(Built-In Redundancy Analysis)에 가장 접근해 있음을 알 수 있다.
- [0043] 이와 같이 본 발명의 수리 효율성은 수리율, 수리를 위한 리턴던시의 분석 시간 및 리턴던시가 차지하는 면적 등을 지표로 하여 비교 판단할 수 있다. 그러므로 본 발명의 메모리 리턴던시로 인하여 수리율의 증가, 분석 시간의 절감, 부가 면적의 최소화가 달성되어 최종적으로는 테스트 비용을 절감할 수 있게 된다.
- [0044] 본 발명은 도면들에 도시된 실시예들을 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면

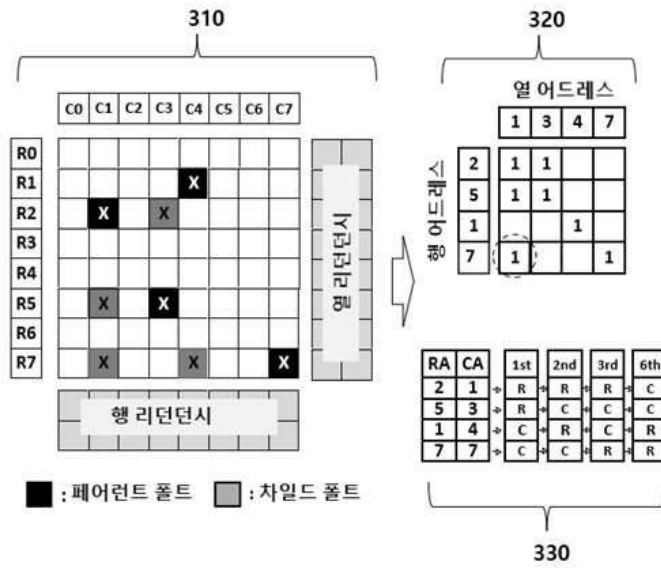
도면1



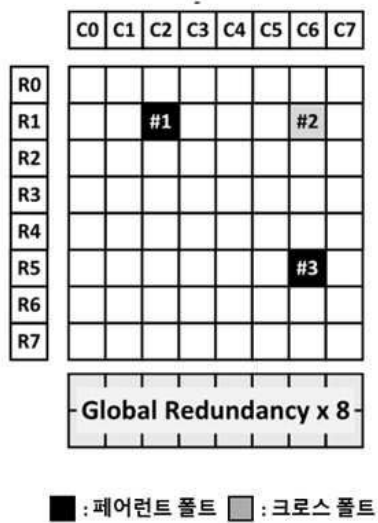
도면2



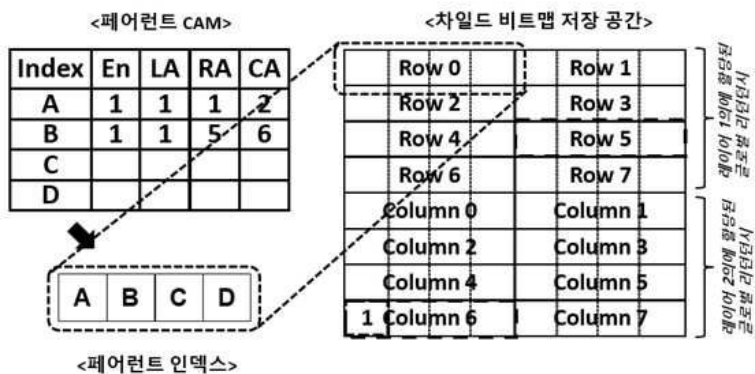
도면3



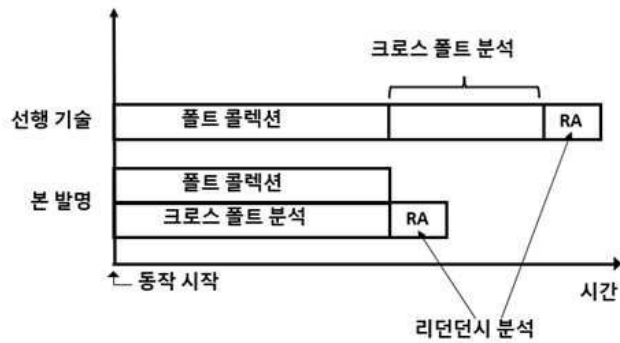
도면4



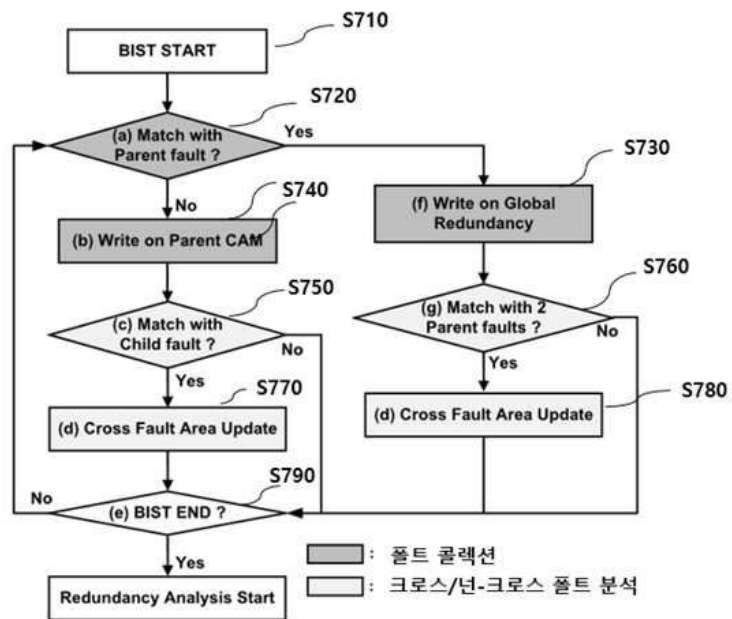
도면5



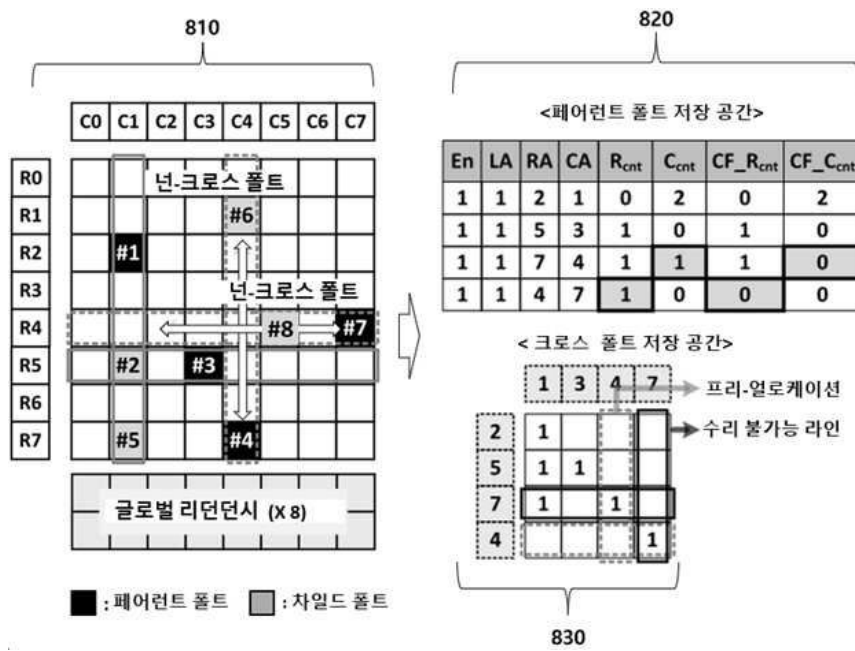
도면6



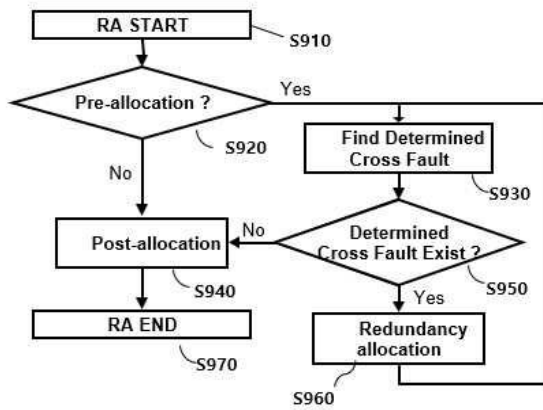
도면7



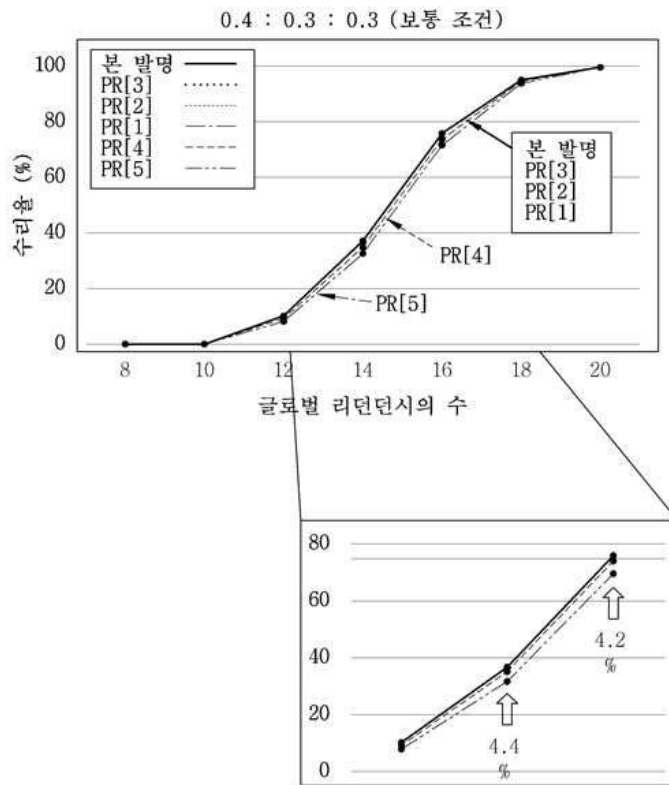
도면8



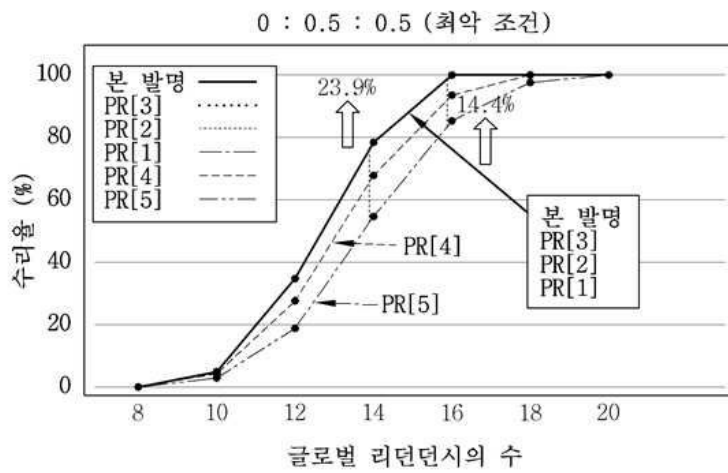
도면9



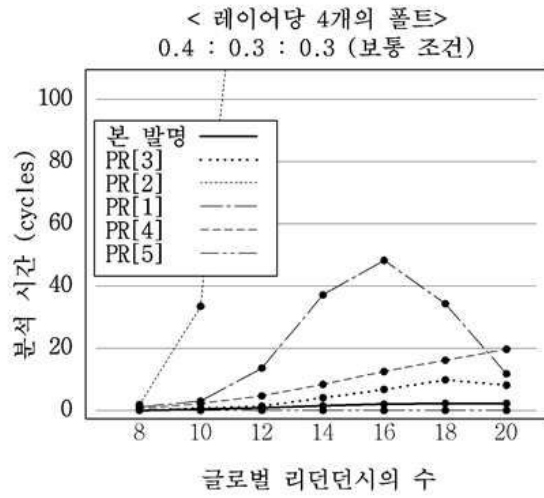
도면10



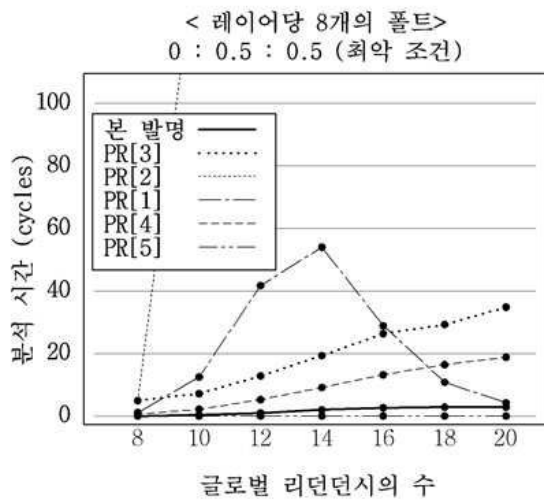
도면11



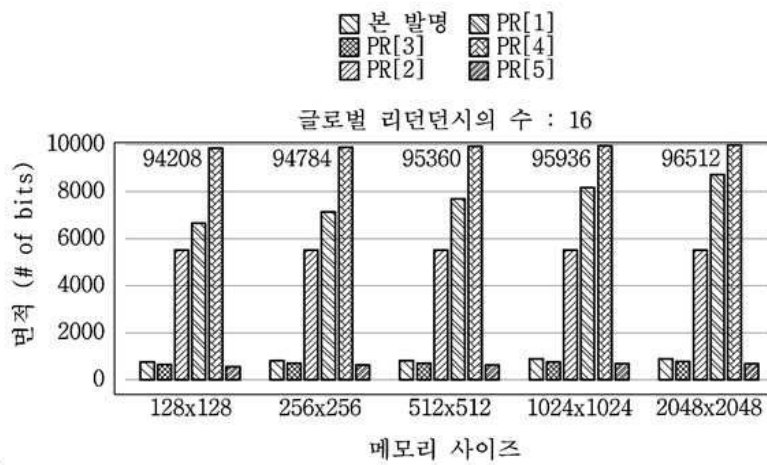
도면12



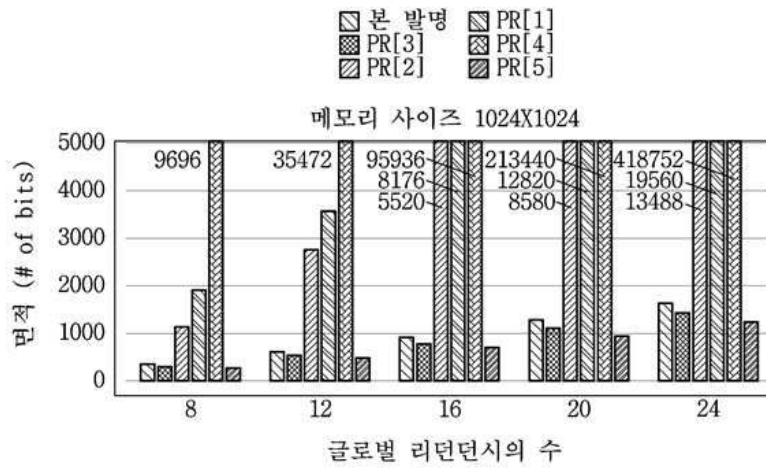
도면13



도면14



도면15



도면16

