

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5486778号
(P5486778)

(45) 発行日 平成26年5月7日(2014.5.7)

(24) 登録日 平成26年2月28日(2014.2.28)

(51) Int.Cl.

H04L 7/02 (2006.01)

F 1

H04L 7/02

Z

請求項の数 2 (全 32 頁)

(21) 出願番号 特願2008-111133 (P2008-111133)
 (22) 出願日 平成20年4月22日 (2008.4.22)
 (65) 公開番号 特開2008-295035 (P2008-295035A)
 (43) 公開日 平成20年12月4日 (2008.12.4)
 審査請求日 平成23年2月15日 (2011.2.15)
 (31) 優先権主張番号 特願2007-117849 (P2007-117849)
 (32) 優先日 平成19年4月27日 (2007.4.27)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 遠藤 正己
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 阿部 弘

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

アナログ信号を変換して、デジタル信号を生成することができる機能を有する第1の回路と、

前記デジタル信号のエッジを検出し、前記エッジに同期した同期信号を生成することができる機能を有する第2の回路と、

基準クロック信号を生成することができる機能を有する第3の回路と、

前記基準クロック信号で前記同期信号の周期をカウントし、前記カウントした値のデータ信号を生成することができる機能を有する第4の回路と、

前記カウントした値のデータ信号を用いて、クロック信号のデューティ比を選択することができる機能を有する第5の回路と、

前記基準クロック信号と選択された前記デューティ比とを用いて、前記クロック信号を生成することができる機能を有する第6の回路と、

前記クロック信号を用いて制御信号を生成し、

前記制御信号を用いてロジック回路を動作させることを特徴とする半導体装置。

【請求項 2】

請求項1において、

前記第2の回路において前記同期信号を生成することができない場合に、前記第1の回路において前記アナログ信号を前記デジタル信号に変換する第1の再変換処理を行い、再び前記同期信号を生成し、

10

20

前記第5の回路において前記デューティ比を選択することができない場合に、前記第1の回路において前記アナログ信号を前記デジタル信号に変換する第2の再変換処理を行い、再び前記デューティ比を選択することができる特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はクロック信号を生成する回路に関する。また、そのようなクロック信号を生成する回路を搭載する半導体装置に関する。

【背景技術】

【0002】

近年、超小型ICチップと、無線通信用のアンテナを組み合わせた半導体装置（RFIDタグ、無線タグ、IDタグ、RFタグともいわれる）が脚光を浴びている。この半導体装置は、無線通信装置（リーダライタ、携帯電話、またはパーソナルコンピュータなど、無線による通信が可能であるもの）を使った送受信回路などと通信信号の授受により、データを書き込む、またはデータを読み出す等のデータの送受信を非接触で行うことができる。

【0003】

無線信号によりデータの送受信を行う半導体装置の応用分野として、例えば、流通業界における商品管理が挙げられる。現在では、バーコードなどを利用した商品管理が主流であるが、バーコードは光学的に読み取るため、遮蔽物があるとデータを読み取れない場合がある。一方、無線通信装置を用いて非接触でデータの送受信を行う方式では、半導体装置のデータを無線で読み取るため、無線による通信信号が遮蔽物を通過するのであれば、遮蔽物があっても読み取ることができる。従って、商品管理の効率化、低コスト化などが期待されている。その他、乗車券、航空旅客券、料金の自動精算など、広範な応用が期待されている。このように、無線通信によりデータの送受信を行う小型の半導体装置により人や物を識別、管理する仕組みはRFID（Radio Frequency Identification）と呼ばれ、IT化社会の基盤技術として注目が高まっている。（例えば特許文献1）

【特許文献1】特開平11-225091号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

無線通信装置と半導体装置で信号の送受信を行う場合において、無線通信装置と半導体装置とで異なるクロック信号を用いることも可能である。しかしながら異なるクロック信号を用いた場合、各装置から出力されるデータは、各装置のクロックに同期しているため、無線通信装置から出力された受信信号の立ち下がりと半導体装置内のクロックの立ち上がりが同期した場合に次の受信信号の立ち下がりまでの期間において半導体装置のクロックのデューティー比が変化してしまい、信号のセットアップ時間、ホールド時間が一定にならない問題がある。

【0005】

また、クロック信号を生成する回路としては、PLL回路が挙げられる。PLL回路は、VCO（Voltage Controlled Oscillator）回路などの電圧制御発振回路を用いて発振周波数を制御することができる。しかし、外部に設けられた電源を利用するパッシブ型の半導体装置などにクロック信号生成回路を用いる場合、例えばVCO回路を省いた消費電力の小さいものが求められているが、消費電力の小さいクロック信号生成回路を用いる場合、消費電力が小さくなる分、周波数が一定であるクロック信号を生成することは困難となる。

【0006】

なお、本明細書では、信号が低電位から高電位に変化することを立ち上がりという。また、信号が高電位から低電位に変化することを立ち下がりという。

10

20

30

40

50

【0007】

また、本明細書において、立ち上がり時または立ち下がり時における電位の変化点をエッジという。

【0008】

ここで、従来のクロック信号の生成方法について説明する。無線通信装置などの外部回路から半導体装置に送られた一定間隔の周期である同期信号の期間にリングオシレータなどの基準クロック信号生成回路から出力された基準クロック信号のエッジの数をカウンタ回路などを用いてカウントし、カウントした値を分周回路などを用いて決められたパルス数のクロック信号を生成するために必要な数で割った値を基にクロック信号を生成する。このとき、カウントした値を前記の数で割った余りは、クロック信号が生成されない期間となり、カウント値によっては各クロック信号の前半の周期と後半の周期とではロウ期間の長さが異なってしまう。10

【0009】

ここで一周期とは、同期信号において、初期状態をハイ状態とし、N番目（Nは自然数）の立ち下がりから次のN+1番目の立ち下がりまでの期間を示す。

【0010】

なお、本明細書において、ハイ状態とは信号の立ち上がりの状態を表し、ロウ状態とは信号の立ち下がりの状態を表す。

【0011】

さらに従来のクロック信号生成回路の動作について、図11のタイミングチャート図を用いて説明する。20

【0012】

まず、基準クロック信号生成回路からの基準クロック信号2101及び同期信号2102を用いて、カウンタ回路において同期信号2102の一周期における基準クロック信号2101のエッジの数をカウントする。

【0013】

カウント値2103は、基準クロック信号2101においてエッジの数をカウントし、同期信号2102に従ってカウント値をリセットすることにより、得られた値である。

【0014】

第1のクロック信号2104及び第2のクロック信号2105は、カウント値を基に生成された2相クロック信号である。このとき第1のクロック信号2104及び第2のクロック信号2105のデューティー比は1:3である。また、期間2004は第1のクロック信号2104のハイ状態の期間（以下ハイ期間）であり、期間2005は第1のクロック信号2104のロウ状態の期間（以下ロウ期間）である。また、デューティー比1:3のうち、1に該当する期間が期間2004であり、3に該当する期間が期間2005である。このように第1のクロック信号2104及び第2のクロック信号2105のデューティー比は1:3であるが、分周時に余りのロウ期間が発生してしまうため、周期毎において各ロウ期間の長さが異なってしまう。30

【0015】

また、制御信号2106は、第1のクロック信号2104及び第2のクロック信号2105を基に生成された信号であり、初期状態をロウ状態として、第1のクロック信号2104の立ち上がりに従ってハイ状態となり、第2のクロック信号2105の立ち上がりに従ってロウ状態となる。このとき、第1のクロック信号2104及び第2のクロック信号2105から生成された制御信号2106のN番目（Nは自然数）の周期を2009、N+1番目の周期を2010とする。40

【0016】

図11に示すように、第1のクロック信号2104及び第2のクロック信号2105を基に生成された制御信号2106は、信号周期2009と信号周期2010とで異なった周波数を有する信号となる。このとき、信号周期2010におけるロウ期間2007は、信号周期2009におけるロウ期間2006の1.75倍である。50

【0017】

このように、生成されたクロック信号は、周期毎に各口ウ期間の差が大きい信号となってしまうため、クロック信号により生成される制御信号を用いて回路を動作させる場合において、正確な動作を行うことは困難である。

【0018】

本発明は、上記の問題を鑑みなされたもので、各周期において基準クロック信号の周波数が変化する場合においても、期間において変化の少ないクロック信号を生成することが可能なクロック信号生成回路を提供することを課題とする。

【課題を解決するための手段】**【0019】**

10

上記課題を達成する手段として、本発明は、受信した信号の周波数に従って最適なデューティー比を選択してクロック信号を生成するクロック信号生成回路である。

【0020】

具体的には、本発明の一は、入力された信号のエッジを検出するエッジ検出回路と、基準クロック信号を生成する基準クロック信号生成回路と、エッジ検出回路から入力された信号に従って基準クロック信号のエッジの数をカウントするカウンタ回路と、カウンタ回路における基準クロック信号のカウント値に従って所定のデューティー比を選択するデューティー比選択回路と、基準クロック信号を分周し、デューティー比選択回路により選択されたデューティー比であるクロック信号を生成する分周回路と、を有するクロック信号生成回路である。

20

【0021】

本発明の一は、入力された信号のエッジを検出するエッジ検出回路と、基準クロック信号を生成する基準クロック信号生成回路と、エッジ検出回路から入力された信号に従って基準クロック信号のエッジの数をカウントするカウンタ回路と、カウンタ回路における基準クロック信号のカウント値に従って第1と第2のデューティー比を選択するデューティー比選択回路と、基準クロック信号を分周し、デューティー比選択回路により選択された第1のデューティー比である第1のクロック信号及びデューティー比選択回路により選択された第2のデューティー比である第2のクロック信号を生成する分周回路と、を有するクロック信号生成回路である。

【0022】

30

本発明の一において、前記第1と第2のデューティー比は同じとしてもよい。

【0023】

本発明において、デューティー比選択回路は、複数のデューティー比のデータが記憶された記憶部と、カウンタ回路から入力されたカウント値を判定し、カウント値に基づいて記憶部から一つのデューティー比のデータを選択し、分周回路に出力するデューティー比選択部と、を有する構成としてもよい。

【0024】

本発明において、エッジ検出回路は、カウンタ回路、ラッチ回路、NOT回路、AND回路、OR回路、NAND回路、NOR回路、EXOR回路、及びEX-NOR回路のいずれかを組み合わせた構成としてもよい。

40

【0025】

本発明の一は、上記記載のクロック信号生成回路を備えた半導体装置であって、信号の送受信を行うことができ、受信した信号から電源電圧を生成するRF回路と、クロック信号生成回路により生成されたクロック信号を用いて演算処理を行うロジック回路と、を有することを特徴とする半導体装置である。

【発明の効果】**【0026】**

本発明のクロック信号生成回路により、基準クロック信号の周波数が変化する場合においても、一周期間において変化の少ないクロック信号を生成することができる。

【発明を実施するための最良の形態】

50

【 0 0 2 7 】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではないとする。

【 0 0 2 8 】**(実施の形態 1)**

本実施の形態では、本発明のクロック信号生成回路の構成及び動作について説明する。

【 0 0 2 9 】

まず本発明のクロック信号生成回路の構成について図1を用いて説明する。

10

【 0 0 3 0 】

図1に示すように、半導体装置100は、A/D変換回路101、クロック信号生成回路102、及びロジック回路103を有する。

【 0 0 3 1 】

A/D変換回路101は、無線通信装置からなど、外部から受信したアナログデータ信号をデジタルデータの信号に変換する機能を有する。

【 0 0 3 2 】

クロック信号生成回路102は、エッジ検出回路104、基準クロック信号生成回路105、カウンタ回路106、デューティー比選択回路107、及び分周回路108を有する。

20

【 0 0 3 3 】

エッジ検出回路104は、A/D変換回路101及びカウンタ回路106に電気的に接続され、カウンタ回路106は、エッジ検出回路104、基準クロック信号生成回路105及びデューティー比選択回路107に電気的に接続され、デューティー比選択回路107は、A/D変換回路101、基準クロック信号生成回路105、カウンタ回路106及び分周回路108に電気的に接続される。また、基準クロック信号生成回路105は、カウンタ回路106、デューティー比選択回路107及び分周回路108に電気的に接続される。

【 0 0 3 4 】

エッジ検出回路104は、受信した信号のエッジを検出する回路である。エッジ検出回路104としては、カウンタ回路、ラッチ回路、NOT回路、AND回路、OR回路、NAND回路、NOR回路、EXOR回路、及びEX-NOR回路等の判定回路のいずれかを組み合わせたものを用いることができる。

30

【 0 0 3 5 】

基準クロック信号生成回路105は、クロック信号115を生成するために用いられる所定の周波数を有する基準クロック信号112を生成する機能を有する。基準クロック信号生成回路105としては、例えばリングオシレータなどを用いることができる。

【 0 0 3 6 】

カウンタ回路106は、基準クロック信号112におけるエッジの数を計数し、エッジ検出回路104から入力される同期信号111に従ってカウントした値をリセットし、生成されたカウント値のデータ信号をデューティー比選択回路107に出力する。

40

【 0 0 3 7 】

デューティー比選択回路107は、カウンタ回路106におけるカウント値に従って所定のデューティー比を選択する機能を有する。具体的には、デューティー比選択回路107は、複数のデューティー比のデータが格納された記憶部、及びカウンタ回路106におけるカウント値に従って複数のデューティー比のデータからデューティー比を選択するデューティー比選択部を有する。

【 0 0 3 8 】

分周回路108は、基準クロック信号生成回路105により生成された基準クロック信号112、及びデューティー比選択回路107により選択されたデューティー比のデータ

50

から、クロック信号を生成する機能を有する。

【0039】

ロジック回路103は、入力されたクロック信号から制御信号を生成する。ロジック回路103は、制御信号に従って動作を行う。

【0040】

次に本実施の形態のクロック信号生成回路の動作について、図2を用いて説明する。

【0041】

まず変換処理201として、無線通信装置などから入力されたアナログ信号109をA/D変換回路によりデジタル信号110に変換し、デジタル信号110をエッジ検出回路104に出力する。

10

【0042】

次にエッジ検出処理202として、エッジ検出回路104により、入力されたデジタル信号110のエッジを検出し、同期信号111を生成し、カウンタ回路106に出力する。このときエッジが検出できない場合には、再変換処理203として、カウンタ回路106の値をカウントし、再びA/D変換回路101にてアナログ信号をデジタル信号に変換する。

10

【0043】

次にカウント処理204として、カウンタ回路106により、基準クロック信号生成回路105から入力された基準クロック信号112のエッジの数をカウントする。さらにエッジ検出回路104から入力された同期信号111に従ってカウンタ回路106におけるカウント値は、リセットされ、カウント開始からリセットされるまでのカウント値のデータ信号をデューティー比選択回路107に出力する。

20

【0044】

次にカウント値判定処理205として、デューティー比選択回路107によりカウンタ回路106から入力されたカウント値を判定し、判定されたカウント値に従って、複数のデューティー比の信号波形のデータから所定のデューティー比のデータを選択し、当該デューティー比の信号波形のデータ信号として分周回路108に出力する。なお、本実施の形態では、カウント値が7から10のいずれかである場合について説明する。また、カウント値が判定用に設定された値以外の場合には、デューティー比選択回路107においてデューティー比の設定ができないため、再変換処理206として、再びA/D変換回路101において、アナログ信号をデジタル信号に変換する。

30

【0045】

次にクロック信号生成処理207として、分周回路108により、入力された信号波形のデータ信号に従って、基準クロック信号112を分周し、所定のデューティー比及び所定のエッジ数であるクロック信号115を生成し、ロジック回路103に出力する。

【0046】

最後に制御信号生成処理208として、ロジック回路103により入力されたクロック信号115のN番目（Nは自然数）の立ち上がりでハイ状態となり、N+1番目の立ち上がりでロウ状態となる制御信号を生成し、この制御信号を用いてロジック回路103内の各回路を動作させる。

40

【0047】

なお、本実施の形態において、カウント値が7から10のいずれかの場合について説明したが、その他の値の場合についてもデューティー比選択回路107において、予め格納するデータを変更すれば本実施の形態のクロック信号生成回路を適用することができる。

【0048】

次に本実施の形態におけるクロック信号生成回路において、それぞれのカウント値で生成される信号のタイミングについて図3から図6までを用いて説明する。図3から図6までは、基準クロック信号112、同期信号111、カウント値113、クロック信号115、及び制御信号118のタイミングについて示したものである。

【0049】

50

まずカウンタ回路 106において、カウント値が 7 であった場合について図 3 に示す。

【0050】

カウント値が 7 の場合、クロック信号 115 は、カウント値を基にデューティー比選択回路 107において選択されたデューティー比の信号波形のデータに従って生成される。このとき、クロック信号 115 のデューティー比（ハイ期間 404 とロウ期間 405 の割合）は、1 : 3 である。

【0051】

制御信号 118 は、ロジック回路 103において生成され、クロック信号 115 の N 番目（N は自然数）の立ち上がりのタイミングでハイ状態となり、N + 1 番目の立ち上がりのタイミングでロウ状態となる。このとき、制御信号 118 の N 番目（N は自然数）の信号周期 409 におけるロウ期間 406 と、N + 1 番目の信号周期 410 におけるロウ期間 407 の長さは等しくなる。10

【0052】

次にカウンタ回路 106において、カウント値が 8 であった場合について図 4 に示す。

【0053】

カウント値が 8 の場合、クロック信号 115 は、カウント値を基にデューティー比選択回路 107において選択されたデューティー比の信号波形のデータに従って生成される。このとき、クロック信号 115 のデューティー比（ハイ期間 504 とロウ期間 505 の割合）は、1 : 3 である。

【0054】

制御信号 118 は、ロジック回路 103において生成され、クロック信号 115 の N 番目（N は自然数）の立ち上がりのタイミングでハイ状態となり、N + 1 番目の立ち上がりのタイミングでロウ状態となる。このとき、制御信号 118 の N 番目（N は自然数）の信号周期 509 におけるロウ期間 506 と、N + 1 番目の信号周期 510 におけるロウ期間 507 の長さは等しくなる。20

【0055】

次にカウンタ回路 106において、カウント値が 9 であった場合について図 5 に示す。

【0056】

カウント値が 9 の場合、クロック信号 115 は、カウント値を基にデューティー比選択回路 107において選択されたデューティー比の信号波形のデータに従って生成される。このとき、クロック信号 115 のデューティー比（ハイ期間 604 とロウ期間 605 の割合）は、1 : 4 である。30

【0057】

制御信号 118 は、ロジック回路 103において生成され、クロック信号 115 の N 番目（N は自然数）の立ち上がりのタイミングでハイ状態となり、N + 1 番目の立ち上がりのタイミングでロウ状態となる。このとき、制御信号 118 の N 番目（N は自然数）の信号周期 609 におけるロウ期間 606 と、N + 1 番目の信号周期 610 におけるロウ期間 607 の長さは等しくなる。

【0058】

次にカウンタ回路 106において、カウント値が 10 であった場合について図 6 に示す。40

【0059】

カウント値が 10 の場合、クロック信号 115 は、カウント値を基にデューティー比選択回路 107において選択されたデューティー比の信号波形のデータに従って生成される。このとき、クロック信号 115 のデューティー比（ハイ期間 704 とロウ期間 705 の割合）は、1 : 4 である。

【0060】

制御信号 118 は、ロジック回路 103において生成され、クロック信号 115 の N 番目（N は自然数）の立ち上がりのタイミングでハイ状態となり、N + 1 番目の立ち上がりのタイミングでロウ状態となる。このとき、制御信号 118 の N 番目（N は自然数）の信50

号周期 709 におけるロウ期間 706 と、N + 1 番目の信号周期 710 におけるロウ期間 707 の長さは等しくなる。

【0061】

以上のように、本実施の形態のクロック信号生成回路により、一定のカウント値でない場合においても、デューティー比選択回路において各カウント値毎に最適なデューティー比を選択してクロック信号を生成することができる。よって基準クロック信号の周波数が変化する場合においても、一周期間の各ロウ期間の長さの差が小さい最適なクロック信号を生成することができ、また、当該クロック信号を用いることにより、各回路における動作をより正確なタイミングで行うことができるため、誤動作を少なくすることができる。

【0062】

さらにクロック信号を生成するための基準クロック信号の周波数を低く設定することができ、低消費電力の基準クロック信号生成回路を用いることができるため、消費電力を低減することができる。

【0063】

(実施の形態 2)

本実施の形態では複数のクロック信号を生成する場合におけるクロック信号生成回路で 2 相クロック信号を生成する場合について説明する。回路構成のブロック図については、実施の形態 1 の図 1 と同じであるため、実施の形態 1 で述べた説明を援用する。

【0064】

本実施の形態のクロック信号生成回路の動作について、図 1、2 を用いて説明する。

10

【0065】

まず変換処理 201 として、無線通信装置などから入力されたアナログ信号を A / D 変換回路 101 によりデジタル信号に変換し、デジタル信号をエッジ検出回路 104 に出力する。

【0066】

次にエッジ検出処理 202 として、エッジ検出回路 104 により、入力されたデジタル信号のエッジを検出し、同期信号 111 を生成し、カウンタ回路 106 に出力する。このときエッジが検出できない場合には、再変換処理 203 として、カウンタ回路 106 の値をカウントし、再び A / D 変換回路 101 にてアナログ信号をデジタル信号に変換する。

【0067】

次にカウント処理 204 として、カウンタ回路 106 により、基準クロック信号生成回路 105 から入力された基準クロック信号 112 のエッジの数をカウントする。さらにエッジ検出回路 104 から入力された同期信号 111 に従ってカウンタ回路 106 におけるカウント値は、リセットされ、カウント開始からリセットされるまでのカウント値のデータ信号をデューティー比選択回路 107 に出力する。

30

【0068】

次にカウント値判定処理 205 として、デューティー比選択回路 107 によりカウンタ回路 106 から入力されたカウント値を判定し、判定されたカウント値に従って、複数のデューティー比の信号波形のデータから所定のデューティー比のデータを選択し、当該デューティー比の信号波形のデータ信号 114 として分周回路 108 に出力する。なお、本実施の形態では、カウント値が 7 から 10 のいずれかである場合について説明する。また、カウント値が判定用に設定された値以外の場合には、デューティー比選択回路 107 においてデューティー比の設定ができないため、再変換処理 206 として、再び A / D 変換回路 101 において、アナログ信号をデジタル信号に変換する。

40

【0069】

次にクロック信号生成処理 207 として、分周回路 108 により、入力された信号波形のデータ信号 114 に従って、基準クロック信号 112 を分周し、所定のデューティー比及び所定のエッジ数であるクロック信号 115 を生成する。本実施の形態では、生成されるクロック信号 115 は、第 1 のクロック信号と、第 1 のクロック信号とエッジの位置が異なる第 2 のクロック信号の 2 相クロック信号であり、生成された第 1 のクロック信号及

50

び第2のクロック信号をロジック回路103に出力する。

【0070】

最後に制御信号生成処理208として、ロジック回路103により、入力された第1のクロック信号のN番目（Nは自然数）の立ち上がりでハイ状態となり、第2のクロック信号のN番目（Nは自然数）の立ち上がりでロウ状態となる制御信号を生成し、この制御信号を用いてロジック回路103内の各回路を動作させる。

【0071】

なお、本実施の形態において、カウント値が7から10のいずれかの場合について説明したが、デューティー比選択回路107において予め格納するデータを変更すれば、他のカウント値においても本実施の形態のクロック信号生成回路を用いてクロック信号を生成することができる。10

【0072】

次に本実施の形態におけるクロック信号生成回路において、それぞれのカウント値で生成される信号のタイミングについて図7から図10までを用いて説明する。図7から図10までは、基準クロック信号112、同期信号111、カウント値113、第1のクロック信号116、第2のクロック信号117、及び制御信号118のタイミングについて示したものである。

【0073】

まずカウンタ回路において、カウント値が7であった場合について図7に示す。

【0074】

カウント値が7の場合、第1のクロック信号116及び第2のクロック信号117は、カウント値を基にデューティー比選択回路107において選択された第1と第2のデューティー比の信号波形のデータに従って生成される。このとき、第1のクロック信号116の第1のデューティー比（ハイ期間804とロウ期間805の割合）は、1：3であり、第2のクロック信号117の第2のデューティー比も1：3である。20

【0075】

制御信号118は、ロジック回路103により生成され、第1のクロック信号116のN番目（Nは自然数）の立ち上がりのタイミングでハイ状態となり、第2のクロック信号117のN番目（Nは自然数）の立ち上がりのタイミングでロウ状態となる。このとき、制御信号118のN番目（Nは自然数）の信号周期809と、N+1番目の信号周期810は等しくなる。30

【0076】

次にカウンタ回路106において、カウント値が8であった場合について図8に示す。

【0077】

カウント値が8の場合、第1のクロック信号116及び第2のクロック信号117は、カウント値を基にデューティー比選択回路107において選択された第1と第2のデューティー比の信号波形のデータに従って生成される。このとき、第1のクロック信号116の第1のデューティー比（ハイ期間904とロウ期間905の割合）は1：3であり、第2のクロック信号117の第2のデューティー比も1：3である。40

【0078】

制御信号118は、ロジック回路103において生成され、第1のクロック信号116のN番目（Nは自然数）の立ち上がりのタイミングでハイ状態となり、第2のクロック信号117のN番目（Nは自然数）の立ち上がりのタイミングでロウ状態となる。このとき、制御信号118のN番目（Nは自然数）の信号周期909と、N+1番目の信号周期910は異なり、信号周期910におけるロウ期間907は、信号周期909におけるロウ期間906の1.25倍となる。

【0079】

次にカウンタ回路106において、カウント値が9であった場合について図9に示す。

【0080】

第1のクロック信号116及び第2のクロック信号117は、カウント値を基にデュ-

10

20

30

40

50

ティー比選択回路 107において選択された第1と第2のデューティー比の信号波形のデータに従って生成される。このとき、第1のクロック信号 116 の第1のデューティー比(ハイ期間 1004 とロウ期間 1005 の割合)は 1 : 4 であり、第2のクロック信号 117 の第2のデューティー比も 1 : 4 である。

【0081】

制御信号 118 は、ロジック回路 103において生成され、第1のクロック信号 116 の N 番目 (N は自然数) の立ち上がりのタイミングでハイ状態となり、第2のクロック信号 117 の N 番目 (N は自然数) の立ち上がりのタイミングでロウ状態となる。このとき、制御信号 118 の N 番目 (N は自然数) の信号周期 1009 におけるロウ期間 1006 と、N + 1 番目の信号周期 1010 におけるロウ期間 1007 は等しくなる。

10

【0082】

次にカウンタ回路 106 におけるカウント値が 10 の場合について図 10 に示す。

【0083】

カウント値が 10 の場合、第1のクロック信号 116 及び第2のクロック信号 117 は、カウント値を基にデューティー比選択回路 107 において選択された第1と第2のデューティー比の信号波形のデータに従って生成される。このとき、第1のクロック信号 116 の第1のデューティー比(ハイ期間 1104 とロウ期間 1105 の割合)は 1 : 4 であり、第2のクロック信号 117 の第2のデューティー比は 1 : 4 である。

【0084】

制御信号 118 は、ロジック回路 103において生成され、第1のクロック信号 116 の N 番目 (N は自然数) の立ち上がりのタイミングでハイ状態となり、第2のクロック信号 117 の N 番目 (N は自然数) の立ち上がりのタイミングでロウ状態となる。このとき、制御信号 118 の N 番目 (N は自然数) の信号周期 1109 と、N + 1 番目の信号周期 1110 は異なり、信号周期 1110 におけるロウ期間 1107 は、信号周期 1109 におけるロウ期間 1106 の 1.25 倍となる。

20

【0085】

以上のように、本実施の形態のクロック信号生成回路により、一定のカウント値でない場合においても、デューティー比選択回路において各カウント値毎に最適なデューティー比を選択してクロック信号を生成することができる。よって基準クロック信号の周波数が変化する場合においても、一周期間の各ロウ期間の長さの差が小さい最適なクロック信号を生成することができる。

30

【0086】

また、2相以上の複数のクロック信号を生成して用いる場合においては、ハイ期間及びロウ期間の両方を制御することができるため、当該クロック信号を用いることにより、各回路における動作をより正確なタイミングで行うことができるため、誤動作を少なくすることができます。

【0087】

さらにクロック信号を生成するための基準クロック信号の周波数を低く設定することができ、低消費電力の基準クロック信号生成回路を用いることができるため、消費電力を低減することができる。

40

【0088】

(実施の形態 3)

本実施の形態では、上記実施の形態 1 または実施の形態 2 に示したクロック信号生成回路を備えた半導体装置について説明する。

【0089】

本実施の形態における半導体装置の構成について、図 12 に示す。半導体装置 3000 は、R F 回路 3001、クロック信号生成回路 3002、ロジック回路 3003、及びアンテナ部 3018 におけるアンテナ 3017 により構成されている。なお、図 12 には示していないが、半導体装置 3000 は、無線通信装置などの外部の回路とアンテナ 3017 を介して無線信号の送受信を行っている。

50

【0090】

次に各回路の構成について説明する。RF回路3001は、電源回路3004、復調回路3005、及び変調回路3006を有している。また、クロック信号生成回路3002は、分周回路3007、デューティー比選択回路3008、カウンタ回路3009、及び基準クロック信号生成回路3019を有している。また、ロジック回路3003は、コントローラ3013、CPU(中央演算装置ともいう)3010、ROM(Read Only Memory)3011、RAM(Random Access Memory)3012、を有している。

【0091】

また、コントローラ3013は、CPUインターフェース3014、RFインターフェース3015、及びメモリコントローラ3016を有している。10

【0092】

また、RF回路3001において、電源回路3004は、整流回路と保持容量とから構成され、電源電圧を生成し、その他の回路に供給する機能を有する。復調回路3005は、整流回路とLPF(ローパスフィルタ)とから構成され、通信信号からコマンドやデータを抽出する機能を有する。変調回路3006は、送信データを変調する機能を有し、変調されたデータは、アンテナ3017より送信信号として送信される。

【0093】

次に本実施の形態における半導体装置の動作について説明する。まず、外部の通信装置より送信された受信信号により、半導体装置3000が受信信号を受信する。受信信号は、復調回路3005で復調された後、コントローラ3013におけるRFインターフェース3015に入力される。RFインターフェース3015に入力された受信信号は、CPUインターフェース3014を介してCPU3010で演算処理される。また、RFインターフェース3015に入力された受信信号により、メモリコントローラ3016を介してROM3011、RAM3012に対するアクセスを行う。20

【0094】

そして、CPU3010による演算処理、ROM3011、RAM3012におけるデータの入出力後に送信データを生成し、変調回路3006で変調し、アンテナ3017より送信信号を通信装置に送信する。

【0095】

以上のように、本発明のクロック信号生成回路を備えた半導体装置により、基準クロック信号の周波数が変化する場合においても、変化に応じて最適なクロック信号を生成することができ、半導体装置におけるクロック信号に基づいた各回路の動作をより正確なタイミングで行うことができ、誤動作を少なくすることができます。30

【0096】

さらに本発明の半導体装置は、クロック信号を生成するための基準クロック信号の周波数を低く設定することができ、低消費電力の基準クロック信号生成回路を用いることができるため、消費電力を低減することができる。

【0097】**(実施の形態4)**

本実施の形態では、上記実施の形態で示した半導体装置の作製方法の一例について説明する。本実施の形態においては、一例としてアンテナ回路を含む半導体装置と同じ基板上に設ける例について説明する。40

【0098】

まず、図13(A)に示すように、基板1901の一表面に絶縁膜1902を介して剥離層1903を形成し、続けて下地膜として機能する絶縁膜1904と半導体膜1905(例えば、非晶質珪素を含む膜)を積層して形成する。なお、絶縁膜1902、剥離層1903、絶縁膜1904および半導体膜1905は、連続して形成することができる。

【0099】

なお、基板1901は、ガラス基板、石英基板、セラミック基板、金属基板(例えばス

50

テンレス基板など)、またはSi基板等の半導体基板などから選択されるものである。他にもポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)、またはアクリルなどのプラスチック基板を選択することもできる。なお、本実施の形態の半導体装置の作製方法では、剥離層1903は、絶縁膜1902を介して基板1901の全面に設けているが、必要に応じて、基板1901の全面に剥離層を設けた後に、フォトリソグラフィ法により選択的に設けてよい。

【0100】

また、絶縁膜1902、及び絶縁膜1904は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン(Si_xO_yN_z)($x > y > 0$)、窒化酸化シリコン(Si_xN_yO_z)($x > y > 0$)等の材料を用いて形成することができる。例えば、絶縁膜1902、及び絶縁膜1904をそれぞれ2層構造とする場合、第1の絶縁膜として窒化酸化シリコン膜を形成し、第2の絶縁膜として酸化窒化シリコン膜を形成するとよい。また、第1の絶縁膜として窒化シリコン膜を形成し、第2の絶縁膜として酸化シリコン膜を形成してもよい。絶縁膜1902は、基板1901から剥離層1903またはその上に形成される素子に不純物元素が混入するのを防ぐプロッキング層として機能し、絶縁膜1904は基板1901、剥離層1903からその上に形成される素子に不純物元素が混入するのを防ぐプロッキング層として機能する。このように、プロッキング層として機能する絶縁膜1902、及び絶縁膜1904を形成することによって、基板1901からのNaなどのアルカリ金属やアルカリ土類金属や、剥離層に含まれる不純物元素が剥離層1903から剥離層1903上に形成する素子に悪影響を与えることを防ぐことができる。なお、基板1901として石英基板を用いる場合には絶縁膜1902、及び絶縁膜1904を省略してもよい。

【0101】

また、剥離層1903は、金属膜や金属膜と金属酸化膜の積層構造等を用いることができる。金属膜としては、タンゲステン、モリブデン、チタン、タンタル、ニオブ、ニッケル、コバルト、ジルコニウム、亜鉛、ルテニウム、ロジウム、パラジウム、オスミウム、及びイリジウムから選択された元素、または当該元素を主成分とする合金材料若しくは化合物材料などからなる膜を単層または積層して形成することができる。また、これらの材料は、スパッタ法やプラズマCVD法等の各種CVD法等を用いて形成することができる。金属膜と金属酸化膜の積層構造としては、上述した金属膜を形成した後に、酸素雰囲気化またはN₂O雰囲気下におけるプラズマ処理、酸素雰囲気化または酸化窒素雰囲気下における加熱処理を行うことによって、金属膜表面に当該金属膜の酸化物または酸化窒化物を設けることができる。例えば、金属膜としてスパッタ法やCVD法等によりタンゲステン膜を設けた場合、タンゲステン膜にプラズマ処理を行うことによって、タンゲステン膜表面にタンゲステン酸化物からなる金属酸化膜を形成することができる。他にも例えば、金属膜(例えば、タンゲステン)を形成した後に、当該金属膜上にスパッタ法で酸化珪素等の絶縁膜を設け、プラズマ処理や加熱処理を行い、金属膜と絶縁膜の間に金属酸化物(例えば、タンゲステン上にタンゲステン酸化物)を形成してもよい。また、金属酸化膜の他にも、金属窒化物や金属酸化窒化物を用いてもよい。この場合、金属膜に窒素雰囲気下または窒素と酸素雰囲気下でプラズマ処理や加熱処理を行えばよい。

【0102】

また、半導体膜1905は、スパッタリング法、LPCVD法、プラズマCVD法等により、25nm以上200nm以下(好ましくは30nm以上150nm以下)の厚さで形成する。

【0103】

次に、図13(B)に示すように、半導体膜1905にレーザビームを照射して結晶化を行う。なお、レーザビームの照射と、RTAまたはファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法とを組み合わせた方法等により半導体膜1905の結晶化を行ってもよい。その後、得られた結晶質半導体膜を所望の形状にエッチングして、結晶化した結晶質半導体膜1905a~1905fを形成し、当該半

10

20

30

40

50

導体膜 1905a ~ 1905f を覆うようにゲート絶縁膜 1906 を形成する。

【0104】

なお、ゲート絶縁膜 1906 は、CVD 法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の材料を用いて形成する。例えば、ゲート絶縁膜 1906 を 2 層構造とする場合、第 1 の絶縁膜として酸化窒化シリコン膜を形成し、第 2 の絶縁膜として窒化酸化シリコン膜を形成するとよい。また、第 1 の絶縁膜として酸化シリコン膜を形成し、第 2 の絶縁膜として窒化シリコン膜を形成してもよい。

【0105】

結晶化された半導体膜 1905a ~ 1905f の作製工程の一例を以下に簡単に説明すると、まず、プラズマ CVD 法を用いて、膜厚 50 nm 以上 60 nm 以下の非晶質半導体膜を形成する。次に、結晶化を助長する金属元素であるニッケルを含む溶液を非晶質半導体膜上に保持させた後、非晶質半導体膜に脱水素化の処理 (500 °C, 1 時間) と、熱結晶化の処理 (550 °C, 4 時間) を行って結晶質半導体膜を形成する。その後、レーザビームを照射し、フォトリソグラフィ法を用いることによって結晶質半導体膜 1905a ~ 1905f を形成する。なお、結晶化を助長する金属元素を用いる熱結晶化を行わずに、レーザビームの照射だけで非晶質半導体膜の結晶化を行ってもよい。

10

【0106】

なお、結晶化に用いるレーザ発振器としては、連続発振型のレーザビーム (CW レーザビーム) やパルス発振型のレーザビーム (パルスレーザビーム) を用いることができる。ここで用いることができるレーザビームは、Ar レーザ、Kr レーザ、エキシマレーザなどの気体レーザ、単結晶の YAG、YVO₄、フォルステライト (Mg₂SiO₄)、YAlO₃、GdVO₄、または多結晶 (セラミック) の YAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄ に、ドーパントとして Nd、Yb、Cr、Ti、Ho、Er、Tm、及び Ta のうち 1 種または複数種添加されているものを媒質とするレーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti : サファイアレーザ、銅蒸気レーザ、及び金蒸気レーザのうち一種または複数種から発振されるものを用いることができる。このようなレーザビームの基本波、及びこれらの基本波の第 2 高調波から第 4 高調波のレーザビームを照射することで、大粒径の結晶を得ることができる。例えば、Nd : YVO₄ レーザ (基本波 1064 nm) の第 2 高調波 (532 nm) や第 3 高調波 (355 nm) を用いることができる。このときレーザのパワー密度は 0.01 MW/cm² 以上 100 MW/cm² 以下程度 (好ましくは 0.1 MW/cm² 以上 10 MW/cm² 以下) が必要である。そして、走査速度を 10 cm/sec 以上 2000 cm/sec 以下程度として照射する。なお、単結晶の YAG、YVO₄、フォルステライト (Mg₂SiO₄)、YAlO₃、GdVO₄、または多結晶 (セラミック) の YAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄ に、ドーパントとして Nd、Yb、Cr、Ti、Ho、Er、Tm、Ta のうち 1 種または複数種添加されているものを媒質とするレーザ、Ar イオンレーザ、または Ti : サファイアレーザは、連続発振をさせることができ、モード同期などを行うことによって 10 MHz 以上の発振周波数でパルス発振をさせることも可能である。10 MHz 以上の発振周波数でレーザビームを発振させると、半導体膜がレーザによって溶融してから固化するまでの間に、次のパルスが半導体膜に照射される。従つて、発振周波数が低いパルスレーザを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるために、走査方向に向かって連続的に成長した結晶粒を得ることができる。

20

【0107】

また、ゲート絶縁膜 1906 は、半導体膜 1905a 乃至半導体膜 1905f に対し、高密度プラズマ処理を行い、表面を酸化または窒化することで形成しても良い。例えば、He、Ar、Kr、Xe などの希ガスと、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスを導入したプラズマ処理で形成する。この場合のプラズマの励起は、マイクロ波の導入により行うと、低電子温度で高密度のプラズマを生成することができる。この高

30

40

50

密度プラズマで生成された酸素ラジカル（OHラジカルを含む場合もある）や窒素ラジカル（NHラジカルを含む場合もある）によって、半導体膜の表面を酸化または窒化することができる。

【0108】

このような高密度プラズマを用いた処理により、1nm以上20nm以下、代表的には5nm以上10nm以下の絶縁膜が半導体膜に形成される。この場合の反応は、固相反応であるため、当該絶縁膜と半導体膜との界面準位密度をきわめて低くすることができる。このような高密度プラズマ処理は、半導体膜（結晶性シリコンまたは多結晶シリコン）を直接酸化（または窒化）するため、形成される絶縁膜の厚さのばらつきを極めて小さくすることができる。加えて、結晶性シリコンの結晶粒界においても、強く酸化されることはないため、非常に好ましい状態となる。すなわち、ここで示す高密度プラズマ処理により半導体膜の表面を固相酸化することにより、結晶粒界において異常に酸化反応をさせることがなく、均一性が良く、界面準位密度が低い絶縁膜を形成することができる。10

【0109】

なお、ゲート絶縁膜1906は、高密度プラズマ処理によって形成される絶縁膜のみを用いても良いし、それにプラズマや熱反応を利用したCVD法で酸化シリコン、酸化窒化シリコン、または窒化シリコンの絶縁膜のいずれか一つまたは複数を堆積し、積層させても良い。いずれにしても、高密度プラズマで形成した絶縁膜をゲート絶縁膜の一部または全部に含んで形成されるトランジスタは、特性のばらつきを小さくすることができる。

【0110】

また、半導体膜に対し、連続発振レーザまたは10MHz以上の周波数で発振するレーザビームを照射しながら一方향に走査して結晶化させて得られた半導体膜1905a乃至半導体膜1905fは、そのビームの走査方向に結晶が成長する特性がある。その走査方向をチャネル長方向（チャネル形成領域が形成されたときにキャリアが流れる方向）に合わせてトランジスタを配置し、上記ゲート絶縁膜1906を組み合わせることで、特性ばらつきが小さく、しかも電界効果移動度が高いトランジスタを得ることができる。20

【0111】

次に、ゲート絶縁膜1906上に、第1の導電膜と第2の導電膜とを積層して形成する。ここでは、第1の導電膜は、CVD法やスパッタリング法等により、20nm以上100nm以下の厚さで形成する。第2の導電膜は、100nm以上400nm以下の厚さで形成する。第1の導電膜と第2の導電膜は、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、クロム、及びニオブ等から選択された元素、またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。または、リン等の不純物元素をドーピングした、多結晶珪素に代表される半導体材料により形成することができる。第1の導電膜と第2の導電膜の組み合わせの例を挙げると、窒化タンタル膜とタングステン膜、窒化タングステン膜とタングステン膜、窒化モリブデン膜とモリブデン膜等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、第1の導電膜と第2の導電膜を形成した後に、熱活性化を目的とした加熱処理を行うことができる。また、2層構造ではなく、3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。30

【0112】

次に、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、ゲート電極とゲート線を形成するためのエッチング処理を行って、半導体膜1905a乃至半導体膜1905fの上方にゲート電極1907を形成する。ここでは、ゲート電極1907として、第1の導電膜1907aと第2の導電膜1907bの積層構造で設けた例を示している。40

【0113】

次に、図13(C)に示すように、ゲート電極1907をマスクとして半導体膜1905a～半導体膜1905fに、イオンドーピング法またはイオン注入法により、n型を付与する不純物元素を低濃度に添加し、その後、フォトリソグラフィ法によりレジストから50

なるマスクを選択的に形成して、p型を付与する不純物元素を高濃度に添加する。n型を示す不純物元素としては、リンやヒ素等を用いることができる。p型を示す不純物元素としては、ボロンやアルミニウムやガリウム等を用いることができる。ここでは、n型を付与する不純物元素としてリン(P)を用い、 $1 \times 10^{15} / \text{cm}^3$ 以上 $1 \times 10^{19} / \text{cm}^3$ 以下の濃度で含まれるように半導体膜1905a乃至半導体膜1905fに選択的に導入し、n型を示す不純物領域1908を形成する。また、p型を付与する不純物元素としてボロンを用い、 $1 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{20} / \text{cm}^3$ 以下の濃度で含まれるように選択的に半導体膜1905c、1905eに導入し、p型を示す不純物領域1909を形成する。

【0114】

10

続いて、ゲート絶縁膜1906とゲート電極1907を覆うように、絶縁膜を形成する。絶縁膜は、プラズマCVD法やスパッタリング法等により、珪素、珪素の酸化物または珪素の窒化物の無機材料を含む膜、及び有機樹脂などの有機材料を含む膜の一種または複数種を、単層または積層して形成する。次に、絶縁膜を垂直方向を主体とした異方性エッチングにより選択的にエッチングして、ゲート電極1907の側面に接する絶縁膜1910(サイドウォールともよばれる)を形成する。絶縁膜1910は、LDD(Lightly Doped drain)領域を形成する際のドーピング用のマスクとして用いる。

【0115】

20

続いて、フォトリソグラフィ法により形成したレジストからなるマスクと、ゲート電極1907および絶縁膜1910をマスクとして用いて、半導体膜1905a、半導体膜1905b、半導体膜1905d、半導体膜1905fに高濃度のn型を付与する不純物元素を添加して、n型を示す不純物領域1911を形成する。ここでは、n型を付与する不純物元素としてリンを用い、 $1 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{20} / \text{cm}^3$ 以下の濃度で含まれるように半導体膜1905a、半導体膜1905b、半導体膜1905d、半導体膜1905fに選択的に導入し、不純物領域1908より高濃度のn型を示す不純物領域1911を形成する。

【0116】

以上の工程により、図13(D)に示すように、nチャネル型である薄膜トランジスタ1900a、1900b、1900d、及び1900fと、pチャネル型である薄膜トランジスタ1900c、及び1900eが形成される。

30

【0117】

なお、薄膜トランジスタ1900aは、ゲート電極1907と重なる半導体膜1905aの領域にチャネル形成領域が形成され、ゲート電極1907及び絶縁膜1910と重ならない領域にソース領域またはドレン領域を形成する不純物領域1911が形成され、絶縁膜1910と重なる領域であってチャネル形成領域と不純物領域1911の間に低濃度不純物領域(LDD領域)が形成されている。また、薄膜トランジスタ1900b、薄膜トランジスタ1900d、薄膜トランジスタ1900fも同様にチャネル形成領域、低濃度不純物領域及び不純物領域1911が形成されている。

【0118】

40

また、薄膜トランジスタ1900cは、ゲート電極1907と重なる半導体膜1905cの領域にチャネル形成領域が形成され、ゲート電極1907と重ならない領域にソース領域またはドレン領域を形成する不純物領域1909が形成されている。また、薄膜トランジスタ1900eも同様にチャネル形成領域及び不純物領域1909が形成されている。なお、ここでは、薄膜トランジスタ1900c、1900eには、LDD領域を設けていないが、LDD領域を設けてもよいし、薄膜トランジスタ1900a、1900bにLDD領域を設けない構成としてもよい。

【0119】

次に、図14(A)に示すように、半導体膜1905a～1905f、ゲート電極1907等を覆うように、絶縁膜を単層または積層して形成し、当該絶縁膜上に薄膜トランジ

50

スタ 1 9 0 0 a ~ 1 9 0 0 f のソース領域またはドレイン領域を形成する不純物領域 1 9 0 9、1 9 1 1 と一部が接するように導電膜 1 9 1 3 を形成する。絶縁膜は、C V D 法、スパッタリング法、S O G 法、液滴吐出法、またはスクリーン印刷法等により、珪素の酸化物及び珪素の窒化物等の無機材料、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、及びエポキシ等の有機材料、シロキサン材料のいずれか一種または複数種を単層または積層で形成する。ここでは、第1の絶縁膜 1 9 1 2 a として窒化酸化珪素膜を形成し、第2の絶縁膜 1 9 1 2 b として酸化窒化珪素膜を形成する2層構造とする。また、導電膜 1 9 1 3 は、半導体膜 1 9 0 5 a ~ 1 9 0 5 f のソース電極またはドレイン電極として機能する。

【0 1 2 0】

10

なお、絶縁膜 1 9 1 2 a、1 9 1 2 b を形成する前、または絶縁膜 1 9 1 2 a、1 9 1 2 b のうちの1つまたは複数の薄膜を形成した後に、半導体膜の結晶性の回復や半導体膜に添加された不純物元素の活性化、半導体膜の水素化を目的とした加熱処理を行うとよい。加熱処理には、熱アニール、レーザアニール法またはR T A 法などを適用するとよい。

【0 1 2 1】

また、導電膜 1 9 1 3 は、C V D 法やスパッタリング法等により、アルミニウム、タンゲステン、チタン、タンタル、モリブデン、ニッケル、白金、銅、金、銀、マンガン、ネオジム、炭素、及びシリコンから選択された元素、またはこれらの元素を主成分とする合金材料または化合物材料で、単層または積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分とし、ニッケルを含む材料、またはアルミニウムを主成分とし、ニッケルと、炭素と珪素の一方または両方とを含む合金材料などを用いることができる。導電膜 1 9 1 3 としては、例えば、バリア膜とアルミニウムシリコン(A l - S i)膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、またはモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜 1 9 1 3 を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができ

20

30

【0 1 2 2】

次に、導電膜 1 9 1 3 を覆うように、絶縁膜 1 9 1 4 を形成し、当該絶縁膜 1 9 1 4 上に、半導体膜 1 9 0 5 a、1 9 0 5 f のソース電極またはドレイン電極として機能する導電膜 1 9 1 3 の一部と接するように導電膜 1 9 1 5 a、1 9 1 5 b を形成する。また、半導体膜 1 9 0 5 b、1 9 0 5 e のソース電極またはドレイン電極を形成する導電膜 1 9 1 3 と一部が接するように導電膜 1 9 1 6 a、1 9 1 6 b を形成する。なお、導電膜 1 9 1 5 a、1 9 1 5 b と導電膜 1 9 1 6 a、1 9 1 6 b は同一の材料で形成してもよい。導電膜 1 9 1 5 a、1 9 1 5 b と導電膜 1 9 1 6 a、1 9 1 6 b は、上述した導電膜 1 9 1 3 に用いることのできる材料のいずれかを用いて形成することができる。

40

【0 1 2 3】

続いて、図 1 4 (B) に示すように、導電膜 1 9 1 6 a、1 9 1 6 b にアンテナとして機能する導電膜 1 9 1 7 a、1 9 1 7 b が電気的に接続されるように形成する。

【0 1 2 4】

なお、絶縁膜 1 9 1 4 は、C V D 法やスパッタ法等により、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等の酸素または窒素を有する絶縁膜やD L C (ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、S i - O - S i 結合を含む材料に相当する。シロキサンは、珪素と酸素との結合で骨格構造

50

が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0125】

また、導電膜1917a、1917bは、CVD法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム、チタン、銀、銅、金、白金、ニッケル、パラジウム、タンタル、及びモリブデンから選択された元素、またはこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造または積層構造で形成する。

【0126】

例えば、スクリーン印刷法を用いてアンテナとして機能する導電膜1917a、1917bを形成する場合には、粒径が数nmから数十μmの導電体粒子を有機樹脂に溶解または分散させた導電性のペーストを選択的に印刷することによって設けることができる。導電体粒子としては、銀、金、銅、ニッケル、白金、パラジウム、タンタル、モリブデン、及びチタン等のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、または分散性ナノ粒子を用いることができる。また、導電性ペーストに含まれる有機樹脂は、金属粒子のバインダー、溶媒、分散剤および被覆材として機能する有機樹脂から選ばれた一つまたは複数を用いることができる。代表的には、エポキシ樹脂、シリコーン樹脂等の有機樹脂が挙げられる。また、導電膜の形成にあたり、導電性のペーストを押し出した後に焼成することが好ましい。例えば、導電性のペーストの材料として、銀を主成分とする微粒子（例えば粒径1nm以上100nm以下）を用いる場合、150以上300以下の温度範囲で焼成することにより硬化させて導電膜を得ることができる。また、はんだや鉛フリーのはんだを主成分とする微粒子を用いてもよく、この場合は粒径20μm以下の微粒子を用いることが好ましい。はんだや鉛フリーはんだは、低コストであるといった利点を有している。

【0127】

次に、図14(C)に示すように、導電膜1917a、1917bを覆うように絶縁膜1918を形成した後、薄膜トランジスタ1900a～1900f、導電膜1917a、1917b等を含む層（以下、素子形成層1919と記す）を基板1901から剥離する。ここでは、レーザビーム（例えばUV光）を照射することによって、薄膜トランジスタ1900a～1900fを避けた領域に開口部を形成後、物理的な力を用いて基板1901から素子形成層1919を剥離することができる。また、基板1901から素子形成層1919を剥離する前に、形成した開口部にエッチング剤を導入して、剥離層1903を選択的に除去してもよい。エッチング剤は、フッ化ハロゲンまたはハロゲン化合物を含む気体または液体を使用する。例えば、フッ化ハロゲンを含む気体として三フッ化塩素(C1F3)を使用する。そうすると、素子形成層1919は、基板1901から剥離された状態となる。なお、剥離層1903は、全て除去せず一部を残存させてもよい。こうすることによって、エッチング剤の消費量を抑え剥離層の除去に要する処理時間を短縮することができる。また、剥離層1903の除去を行った後にも、基板1901上に素子形成層1919を保持しておくことが可能となる。また、素子形成層1919が剥離された基板1901を再利用することによって、コストの削減をすることができる。

【0128】

絶縁膜1918は、CVD法やスパッタ法等により、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等の酸素または窒素を有する絶縁膜や DLC（ダイヤモンドライカーボン）等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。

【0129】

本実施の形態では、図15(A)に示すように、レーザビームの照射により素子形成層1919に開口部を形成した後に、当該素子形成層1919の一方の面（絶縁膜1918

10

20

30

40

50

の露出した面)に第1のシート材料1920を貼り合わせた後、基板1901から素子形成層1919を剥離する。

【0130】

次に、図15(B)に示すように、素子形成層1919の他方の面(剥離により露出した面)に、第2のシート材料1921を貼り合わせた後、加熱処理と加圧処理の一方または両方を行って第2のシート材料1921を貼り合わせる。第1のシート材料1920、第2のシート材料1921として、ホットメルトフィルム等を用いることができる。

【0131】

また、第1のシート材料1920、第2のシート材料1921として、静電気等を防止する帯電防止対策を施したフィルム(以下、帯電防止フィルムと記す)を用いることもできる。帯電防止フィルムとしては、帯電防止可能な材料を樹脂中に分散させたフィルム、及び帯電防止可能な材料が貼り付けられたフィルム等が挙げられる。帯電防止可能な材料が設けられたフィルムは、片面に帯電防止可能な材料を設けたフィルムであってもよいし、両面に帯電防止可能な材料を設けたフィルムであってもよい。さらに、片面に帯電防止可能な材料が設けられたフィルムは、帯電防止可能な材料が設けられた面をフィルムの内側になるように層に貼り付けてもよいし、フィルムの外側になるように貼り付けてもよい。なお、帯電防止可能な材料はフィルムの全面、あるいは一部に設けてあればよい。ここでの帯電防止可能な材料としては、金属、インジウムと錫の酸化物(ITO)、両性界面活性剤や陽イオン性界面活性剤や非イオン性界面活性剤等の界面活性剤用いることができる。また、他にも帯電防止材料として、側鎖にカルボキシリ基および4級アンモニウム塩基をもつ架橋性共重合体高分子を含む樹脂材料等を用いることができる。これらの材料をフィルムに貼り付けたり、練り込んだり、塗布することによって帯電防止フィルムとすることができる。帯電防止フィルムで封止を行うことによって、商品として取り扱う際に、外部からの静電気等によって半導体素子に悪影響が及ぶことを抑制することができる。

【0132】

また本実施の形態では素子形成層1919を基板1901から剥離して利用する例を示しているが、剥離層1903を設けずに、基板1901上に上述の素子形成層1919を作製し、半導体装置として利用しても良い。なお基板1901として、SOI(Silicon on Insulator)基板を用いる場合は、半導体膜として単結晶半導体膜を用いればよく、半導体膜の結晶化の工程の分の短縮を図ることが出来る。

【0133】

以上のように、本実施の形態の作製方法を用いることにより、小型で、物理的形状に対する柔軟性を有し、且つ、安定したクロック信号を生成できる本発明のクロック信号生成回路を備えた半導体装置を提供できる。

【0134】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0135】

(実施の形態5)

本実施の形態では、単結晶基板に形成されたトランジスタを用いて、本発明のクロック信号生成回路を備えた半導体装置を作製する例について説明する。

【0136】

まず図16(A)に示すように、半導体基板2300に、半導体素子を電気的に分離するための素子分離用絶縁膜2301を絶縁膜で形成する。素子分離用絶縁膜2301の形成により、トランジスタを形成するための領域(素子形成領域2302と素子形成領域2303)をそれぞれ電気的に分離することができる。

【0137】

半導体基板2300は、例えば、n型またはp型の導電型を有する単結晶シリコン基板、化合物半導体基板(GaAs基板、InP基板、GaN基板、SiC基板、サファイア基板、またはZnSe基板等)のいずれかを用いることができる。また、貼り合わせ法またはSIMOX(Separation by Implanted Oxygen)法

10

20

30

40

50

を用いて作製されたSOI (Silicon on Insulator) 基板を用いることができる。さらにSOI基板を用いる場合、ガラス基板上にSOI基板を貼り合わせた構造としてもよい。

【0138】

素子分離用絶縁膜2301の形成には、選択酸化法 (LOCOS : Local Oxidation of Silicon法) またはトレンチ分離法等を用いることができる。

【0139】

また本実施の形態ではn型の導電型を有する単結晶シリコン基板を半導体基板2300として用い、素子形成領域2303にpウェル2304を形成した例を示している。半導体基板2300の素子形成領域2303に形成されたpウェル2304は、p型の導電型を付与する不純物元素を素子形成領域2303に選択的に導入することによって形成することができる。p型を付与する不純物元素としては、ボロン、アルミニウム、ガリウム等を用いることができる。また半導体基板2300としてp型の導電型を有する半導体基板を用いる場合、素子形成領域2302にn型を付与する不純物元素を選択的に導入し、nウェルを形成すれば良い。10

【0140】

なお本実施の形態では、半導体基板2300としてn型の導電型を有する半導体基板を用いているため、素子形成領域2302には不純物元素の導入を行っていない。しかし、n型を付与する不純物元素を導入することにより素子形成領域2302にnウェルを形成してもよい。n型を付与する不純物元素としては、リンやヒ素等を用いることができる。20

【0141】

次に図16(B)に示すように、素子形成領域2302、2303を覆うように絶縁膜2305、2306をそれぞれ形成する。本実施の形態では、半導体基板2300を熱酸化することで素子形成領域2302、2303に形成された酸化珪素膜を、絶縁膜2305、2306として用いる。また、熱酸化により酸化珪素膜を形成した後、窒化処理を行うことによって酸化珪素膜の表面を窒化させて酸窒化珪素膜を形成し、酸化珪素膜と酸窒化珪素膜とが積層された層を絶縁膜2305、2306として用いても良い。

【0142】

他にも、プラズマ処理を用いて絶縁膜2305、2306を形成してもよい。例えば、高密度プラズマ処理により半導体基板2300の表面を酸化または窒化することで、素子形成領域2302、2303に、絶縁膜2305、2306として用いる酸化珪素膜または窒化珪素膜を形成することができる。30

【0143】

次に図16(C)に示すように、絶縁膜2305、2306を覆うように導電膜を形成する。本実施の形態では、導電膜として、順に積層された導電膜2307と導電膜2308とを用いた例を示している。導電膜は、単層の導電膜を用いても良いし、3層以上の導電膜が積層された構造を用いても良い。

【0144】

導電膜2307、2308として、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、クロム、またはニオブ等を用いることが出来る。また導電膜2307、2308は、上記金属で形成された膜の他に、上記金属を主成分とする合金で形成された膜、或いは上記金属を含む化合物を用いて形成された膜を用いても良い。または、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。本実施の形態では、窒化タンタルを用いて導電膜2307を形成し、タングステンを用いて導電膜2308を形成する。40

【0145】

次に図17(A)に示すように、積層して設けられた導電膜2307、2308を所定の形状に加工(パターニングなど)することによって、絶縁膜2305、2306上にゲート電極2309、2310を形成する。50

【 0 1 4 6 】

次に図17(B)に示すように、素子形成領域2302を覆うように、レジストでマスク2311を選択的に形成する。そして、素子形成領域2303に不純物元素を導入する。マスク2311に加えてゲート電極2310もマスクとして機能するので、上記不純物元素の導入により、pウェル2304にソース領域またはドレイン領域として機能する不純物領域2312と、チャネル形成領域2313が形成される。不純物元素は、n型を付与する不純物元素またはp型を付与する不純物元素を用いる。n型を付与する不純物元素としては、リンやヒ素等を用いることができる。p型を付与する不純物元素としては、ボロンやアルミニウムやガリウム等を用いることができる。本実施の形態では、不純物元素として、リンを用いる。

10

【 0 1 4 7 】

次にマスク2311を除去した後、図17(C)に示すように、素子形成領域2303を覆うようにレジストでマスク2314を選択的に形成する。そして素子形成領域2302に不純物元素を導入する。マスク2314に加えてゲート電極2309もマスクとして機能するので、上記不純物元素の導入により、素子形成領域2302内の半導体基板2300において、ソース領域またはドレイン領域として機能する不純物領域2315と、チャネル形成領域2316が形成される。不純物元素としては、n型を付与する不純物元素またはp型を付与する不純物元素を用いる。n型を付与する不純物元素としては、リンやヒ素等を用いることができる。p型を付与する不純物元素としては、ボロンやアルミニウムやガリウム等を用いることができる。本実施の形態では、図17(C)で素子形成領域2303に導入した不純物元素と異なる導電型を有する不純物元素(例えば、ボロン)を導入する。

20

【 0 1 4 8 】

次に図18(A)に示すように、絶縁膜2305、2306、ゲート電極2309、2310を覆うように絶縁膜2317を形成する。そして絶縁膜2317にコンタクトホールを形成し、不純物領域2312、2315を一部露出させる。次にコンタクトホールを介して不純物領域2312、2315と接続する導電膜2318を形成する。導電膜2318は、CVD法やスパッタリング法等により形成することができる。

【 0 1 4 9 】

絶縁膜2317は、無機材料、有機材料、または有機材料と無機材料の混合材料を用いて形成することができる。例えば酸化珪素、酸化窒化珪素、窒化酸化珪素、DLC(ダイヤモンドライクカーボン)に代表される炭素を含む膜、アクリル、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、またはベンゾシクロブテンなどを用いることができる。また絶縁膜2317はその材料に応じて、CVD法、スパッタ法、液滴吐出法または印刷法などで形成することができる。

30

【 0 1 5 0 】

なお、本発明の半導体装置に用いるトランジスタは、本実施の形態において図示した構造に限定されるものではない。例えば、逆スタガ構造であっても良い。

【 0 1 5 1 】

次に図18(B)に示すように層間膜2324を形成する。そして層間膜2324をエッチングすることによりコンタクトホールを形成し、導電膜2318の一部を露出させる。層間膜2324は樹脂には限定せず、CVD酸化膜など他の膜であっても良いが、平坦性の観点から樹脂であることが望ましい。また、感光性樹脂を用いて、エッチングを用いずにコンタクトホールを形成しても良い。次に層間膜2324上に、コンタクトホールを介して導電膜2318と接する配線2325を形成する。

40

【 0 1 5 2 】

次にアンテナとして機能する導電膜2326を、配線2325と接するように形成する。導電膜2326は、銀、金、銅、パラジウム、クロム、白金、モリブデン、チタン、タンタル、タンゲステン、アルミニウム、鉄、コバルト、亜鉛、錫、ニッケルなどの金属を用いて形成することができる。導電膜2326は、上記金属で形成された膜の他に、上記

50

金属を主成分とする合金で形成された膜、或いは上記金属を含む化合物を用いて形成された膜を用いても良い。導電膜 2326 は、上述した膜を単層で用いても良いし、上述した複数の膜を積層して用いても良い。

【0153】

導電膜 2326 は、CVD 法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、めっき法、フォトリソグラフィ法、蒸着法等を用いて形成することが出来る。

【0154】

なお本実施の形態では、アンテナを半導体素子と同じ基板上に形成する例について説明したが、本発明はこの構成に限定されない。半導体素子を形成した後、別途形成したアンテナを、該半導体素子を有する集積回路と電気的に接続するようにしても良い。この場合、アンテナと集積回路との電気的な接続は、異方導電性フィルム (ACF (Anisotropic Conductive Film)) や異方導電性ペースト (ACP (Anisotropic Conductive Paste)) 等で圧着させることにより電気的に接続することが出来る。また、他にも、銀ペースト、銅ペーストまたはカーボンペースト等の導電性接着剤や半田接合等を用いて接続を行うことも可能である。10

【0155】

以上のように、本実施の形態の作製方法を用いることにより、トランジスタの特性のばらつきを抑えることができるため、半導体装置に用いるトランジスタの数を少なくすることができます、且つ、安定したクロック信号を生成できる本発明のクロック信号生成回路を備えた半導体装置を提供できる。20

【0156】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0157】

(実施の形態 6)

本実施の形態では、上記実施の形態におけるクロック信号生成回路を備えた半導体装置の使用例について説明する。

【0158】

上記実施の形態におけるクロック信号生成回路を備えた半導体装置の使用例について、図 19 に示す。半導体装置の用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等、図 19 (A) 参照）、記録媒体（DVD ソフトやビデオテープ等、図 19 (B) 参照）、包装用容器類（包装紙やボトル等、図 19 (C) 参照）、乗り物類（自転車等、図 19 (D) 参照）、身の回り品（鞄や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、または電子機器（液晶表示装置、EL 表示装置、テレビジョン装置、または携帯電話）等の物品、若しくは各物品に取り付ける荷札（図 19 (E)、図 19 (F) 参照）等に設けて使用することができる。30

【0159】

本発明の半導体装置 4000 は、プリント基板に実装、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込む、または有機樹脂からなるパッケージであれば当該有機樹脂に埋め込み、各物品に固定される。本発明の半導体装置 4000 は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等に本発明の半導体装置 4000 を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の半導体装置 4000 を取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の半導体装置 4000 を取り付けることにより、盗難などに対するセキュリティ性を高めることができる。40

【0160】

以上のように、本発明のクロック信号生成回路を備えた半導体装置を本実施の形態に挙50

げた各用途に用いることにより、安定した動作を実現できるため、物品の認証性、またはセキュリティ性などを高めることができる。

【0161】

なお、本実施の形態は、他の実施の形態と適宜組み合わせができる。

【図面の簡単な説明】

【0162】

【図1】本発明におけるクロック信号生成回路のブロック図である。

【図2】実施の形態1におけるクロック信号生成回路の動作におけるフローチャートである。

【図3】実施の形態1におけるクロック信号生成回路の動作における各信号のタイミングチャート図である。 10

【図4】実施の形態1におけるクロック信号生成回路の動作における各信号のタイミングチャート図である。

【図5】実施の形態1におけるクロック信号生成回路の動作における各信号のタイミングチャート図である。

【図6】実施の形態1におけるクロック信号生成回路の動作における各信号のタイミングチャート図である。

【図7】実施の形態2におけるクロック信号生成回路の動作における各信号のタイミングチャート図である。

【図8】実施の形態2におけるクロック信号生成回路の動作における各信号のタイミングチャート図である。 20

【図9】実施の形態2におけるクロック信号生成回路の動作における各信号のタイミングチャート図である。

【図10】実施の形態2におけるクロック信号生成回路の動作における各信号のタイミングチャート図である。

【図11】従来のクロック信号生成回路の動作におけるタイミングチャート図である。

【図12】実施の形態3における本発明のクロック信号生成回路を備えた半導体装置のブロック図である。

【図13】実施の形態4における本発明のクロック信号生成回路を備えた半導体装置の作製方法を示す断面図である。 30

【図14】実施の形態4における本発明のクロック信号生成回路を備えた半導体装置の作製方法を示す断面図である。

【図15】実施の形態4における本発明のクロック信号生成回路を備えた半導体装置の作製方法を示す断面図である。

【図16】実施の形態5における本発明のクロック信号生成回路を備えた半導体装置の作製方法を示す断面図である。

【図17】実施の形態5における本発明のクロック信号生成回路を備えた半導体装置の作製方法を示す断面図である。

【図18】実施の形態5における本発明のクロック信号生成回路を備えた半導体装置の作製方法を示す断面図である。 40

【図19】実施の形態6における本発明のクロック信号生成回路を備えた半導体装置の使用例を示す図である。

【符号の説明】

【0163】

100 半導体装置

101 A/D変換回路

102 クロック信号生成回路

103 ロジック回路

104 エッジ検出回路

105 基準クロック信号生成回路

50

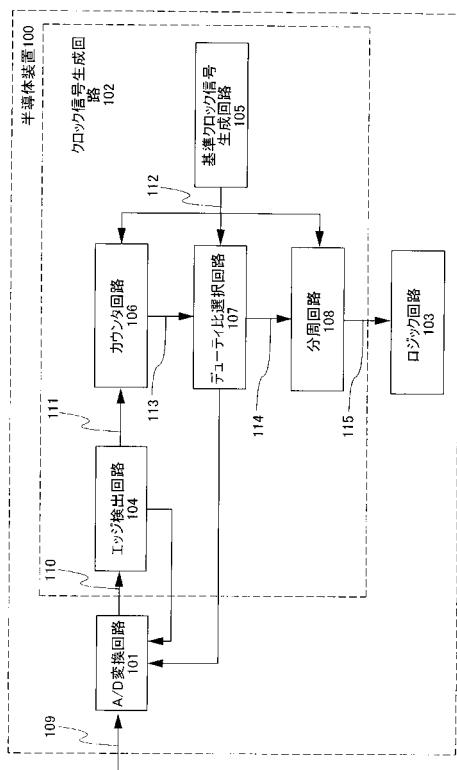
| | | |
|-------|-------------|----|
| 1 0 6 | カウンタ回路 | |
| 1 0 7 | デューティー比選択回路 | |
| 1 0 8 | 分周回路 | |
| 1 0 9 | アナログ信号 | |
| 1 1 0 | デジタル信号 | |
| 1 1 1 | 同期信号 | |
| 1 1 2 | 基準クロック信号 | 10 |
| 1 1 3 | カウント値 | |
| 1 1 4 | データ信号 | |
| 1 1 5 | クロック信号 | |
| 1 1 6 | 第1のクロック信号 | |
| 1 1 7 | 第2のクロック信号 | |
| 1 1 8 | 制御信号 | |
| 2 0 1 | 変換処理 | |
| 2 0 2 | エッジ検出処理 | |
| 2 0 3 | 再変換処理 | |
| 2 0 4 | カウント処理 | |
| 2 0 5 | カウント値判定処理 | 20 |
| 2 0 6 | 再変換処理 | |
| 2 0 7 | クロック信号生成処理 | |
| 2 0 8 | 制御信号生成処理 | |
| 4 0 4 | ハイ期間 | |
| 4 0 5 | ロウ期間 | |
| 4 0 6 | ロウ期間 | |
| 4 0 7 | ロウ期間 | |
| 4 0 9 | 信号周期 | |
| 4 1 0 | 信号周期 | |
| 5 0 4 | ハイ期間 | |
| 5 0 5 | ロウ期間 | |
| 5 0 6 | ロウ期間 | 30 |
| 5 0 7 | ロウ期間 | |
| 5 0 9 | 信号周期 | |
| 5 1 0 | 信号周期 | |
| 6 0 4 | ハイ期間 | |
| 6 0 5 | ロウ期間 | |
| 6 0 6 | ロウ期間 | |
| 6 0 7 | ロウ期間 | |
| 6 0 9 | 信号周期 | |
| 6 1 0 | 信号周期 | |
| 7 0 4 | ハイ期間 | 40 |
| 7 0 5 | ロウ期間 | |
| 7 0 6 | ロウ期間 | |
| 7 0 7 | ロウ期間 | |
| 7 0 9 | 信号周期 | |
| 7 1 0 | 信号周期 | |
| 8 0 4 | ハイ期間 | |
| 8 0 5 | ロウ期間 | |
| 8 0 6 | ロウ期間 | |
| 8 0 7 | ロウ期間 | |
| 8 0 9 | 信号周期 | 50 |

| | | |
|---------|-----------|----|
| 8 1 0 | 信号周期 | |
| 9 0 4 | ハイ期間 | |
| 9 0 5 | ロウ期間 | |
| 9 0 6 | ロウ期間 | |
| 9 0 7 | ロウ期間 | |
| 9 0 9 | 信号周期 | |
| 9 1 0 | 信号周期 | |
| 1 0 0 4 | ハイ期間 | |
| 1 0 0 5 | ロウ期間 | |
| 1 0 0 6 | ロウ期間 | 10 |
| 1 0 0 7 | ロウ期間 | |
| 1 0 0 9 | 信号周期 | |
| 1 0 1 0 | 信号周期 | |
| 1 1 0 4 | ハイ期間 | |
| 1 1 0 5 | ロウ期間 | |
| 1 1 0 6 | ロウ期間 | |
| 1 1 0 7 | ロウ期間 | |
| 1 1 0 9 | 信号周期 | |
| 1 1 1 0 | 信号周期 | |
| 1 9 0 1 | 基板 | 20 |
| 1 9 0 2 | 絶縁膜 | |
| 1 9 0 3 | 剥離層 | |
| 1 9 0 4 | 絶縁膜 | |
| 1 9 0 5 | 半導体膜 | |
| 1 9 0 6 | ゲート絶縁膜 | |
| 1 9 0 7 | ゲート電極 | |
| 1 9 0 8 | 不純物領域 | |
| 1 9 0 9 | 不純物領域 | |
| 1 9 1 0 | 絶縁膜 | |
| 1 9 1 1 | 不純物領域 | 30 |
| 1 9 1 3 | 導電膜 | |
| 1 9 1 4 | 絶縁膜 | |
| 1 9 1 8 | 絶縁膜 | |
| 1 9 1 9 | 素子形成層 | |
| 1 9 2 0 | シート材料 | |
| 1 9 2 1 | シート材料 | |
| 2 0 0 4 | 期間 | |
| 2 0 0 5 | 期間 | |
| 2 0 0 6 | ロウ期間 | |
| 2 0 0 7 | ロウ期間 | 40 |
| 2 0 0 9 | 信号周期 | |
| 2 0 1 0 | 信号周期 | |
| 2 1 0 1 | 基準クロック信号 | |
| 2 1 0 2 | 同期信号 | |
| 2 1 0 3 | カウント値 | |
| 2 1 0 4 | 第1のクロック信号 | |
| 2 1 0 5 | 第2のクロック信号 | |
| 2 1 0 6 | 制御信号 | |
| 2 3 0 0 | 半導体基板 | |
| 2 3 0 1 | 素子分離用絶縁膜 | 50 |

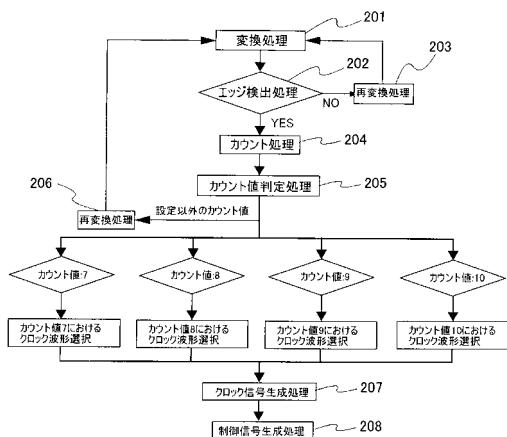
| | | |
|-----------|----------------|----|
| 2 3 0 2 | 素子形成領域 | |
| 2 3 0 3 | 素子形成領域 | |
| 2 3 0 4 | p ウエル | |
| 2 3 0 5 | 絶縁膜 | |
| 2 3 0 7 | 導電膜 | |
| 2 3 0 8 | 導電膜 | |
| 2 3 0 9 | ゲート電極 | |
| 2 3 1 0 | ゲート電極 | |
| 2 3 1 1 | マスク | |
| 2 3 1 2 | 不純物領域 | 10 |
| 2 3 1 3 | チャネル形成領域 | |
| 2 3 1 4 | マスク | |
| 2 3 1 5 | 不純物領域 | |
| 2 3 1 6 | チャネル形成領域 | |
| 2 3 1 7 | 絶縁膜 | |
| 2 3 1 8 | 導電膜 | |
| 2 3 2 4 | 層間膜 | |
| 2 3 2 5 | 配線 | |
| 2 3 2 6 | 導電膜 | |
| 3 0 0 0 | 半導体装置 | 20 |
| 3 0 0 1 | R F 回路 | |
| 3 0 0 2 | クロック信号生成回路 | |
| 3 0 0 3 | ロジック回路 | |
| 3 0 0 4 | 電源回路 | |
| 3 0 0 5 | 復調回路 | |
| 3 0 0 6 | 変調回路 | |
| 3 0 0 7 | 分周回路 | |
| 3 0 0 8 | デューティー比選択回路 | |
| 3 0 0 9 | カウンタ回路 | |
| 3 0 1 0 | C P U | 30 |
| 3 0 1 1 | R O M | |
| 3 0 1 2 | R A M | |
| 3 0 1 3 | コントローラ | |
| 3 0 1 4 | C P U インターフェース | |
| 3 0 1 5 | R F インターフェース | |
| 3 0 1 6 | メモリコントローラ | |
| 3 0 1 7 | アンテナ | |
| 3 0 1 8 | アンテナ部 | |
| 3 0 1 9 | 基準クロック信号生成回路 | |
| 4 0 0 0 | 半導体装置 | 40 |
| 1 9 0 0 a | 薄膜トランジスタ | |
| 1 9 0 0 b | 薄膜トランジスタ | |
| 1 9 0 0 c | 薄膜トランジスタ | |
| 1 9 0 0 d | 薄膜トランジスタ | |
| 1 9 0 0 e | 薄膜トランジスタ | |
| 1 9 0 0 f | 薄膜トランジスタ | |
| 1 9 0 5 a | 半導体膜 | |
| 1 9 0 5 b | 半導体膜 | |
| 1 9 0 5 c | 半導体膜 | |
| 1 9 0 5 d | 半導体膜 | 50 |

| | |
|-----------|------|
| 1 9 0 5 f | 半導体膜 |
| 1 9 0 7 a | 導電膜 |
| 1 9 0 7 b | 導電膜 |
| 1 9 1 2 a | 絶縁膜 |
| 1 9 1 2 b | 絶縁膜 |
| 1 9 1 5 a | 導電膜 |
| 1 9 1 6 a | 導電膜 |
| 1 9 1 7 a | 導電膜 |

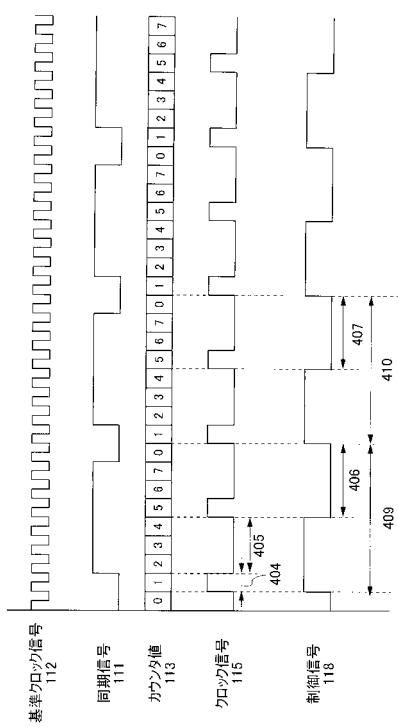
【図1】



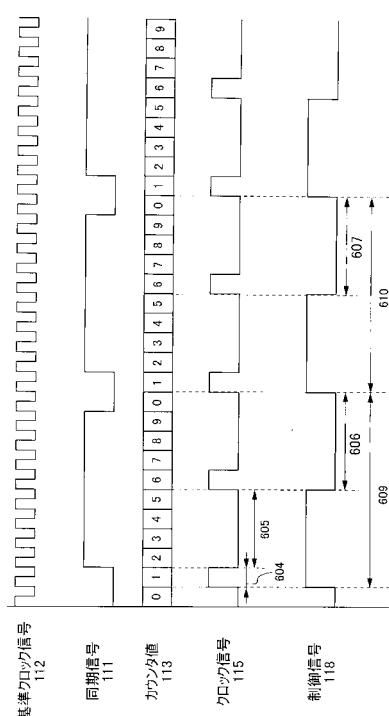
【図2】



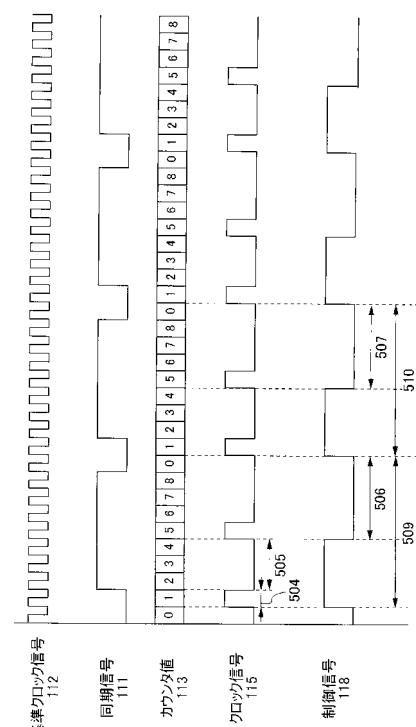
【図3】



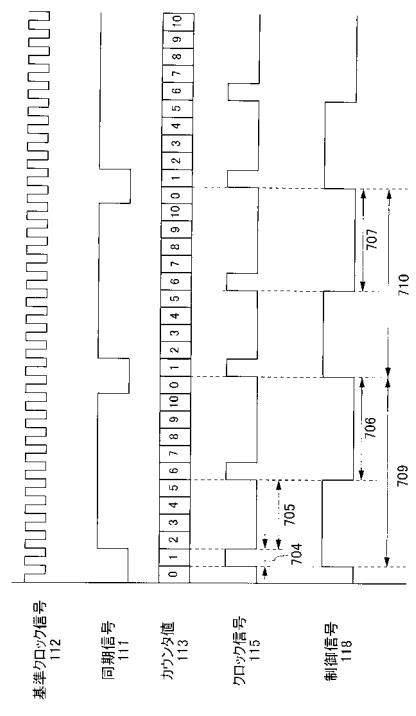
【図5】



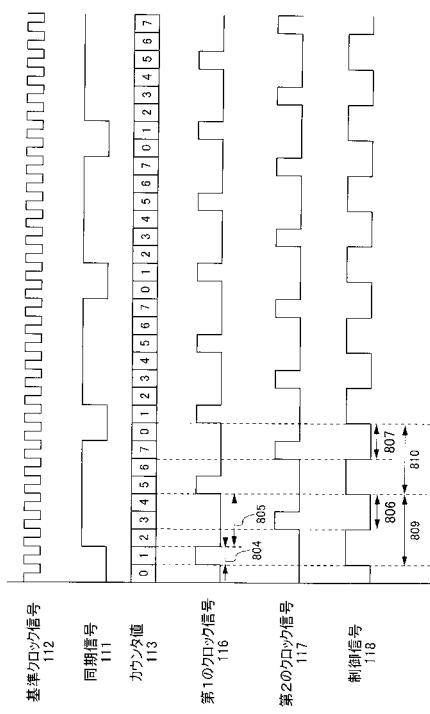
【 四 4 】



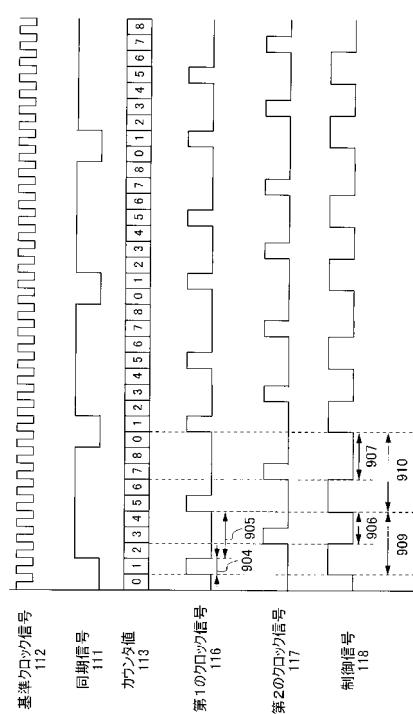
【 図 6 】



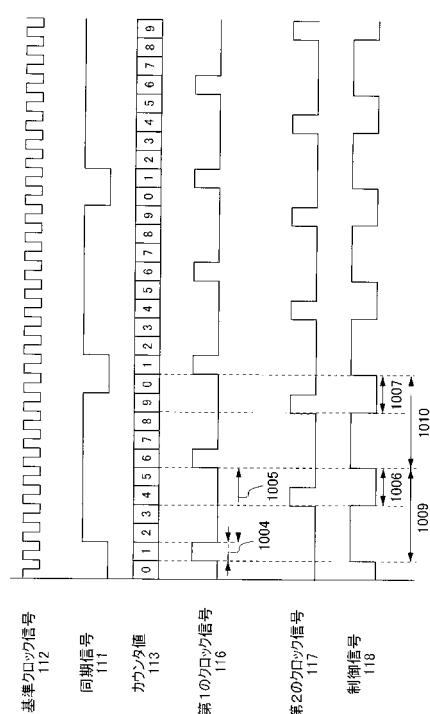
【図 7】



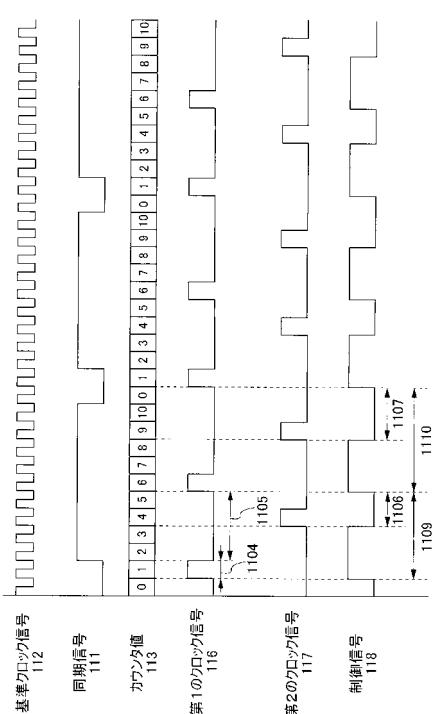
【図 8】



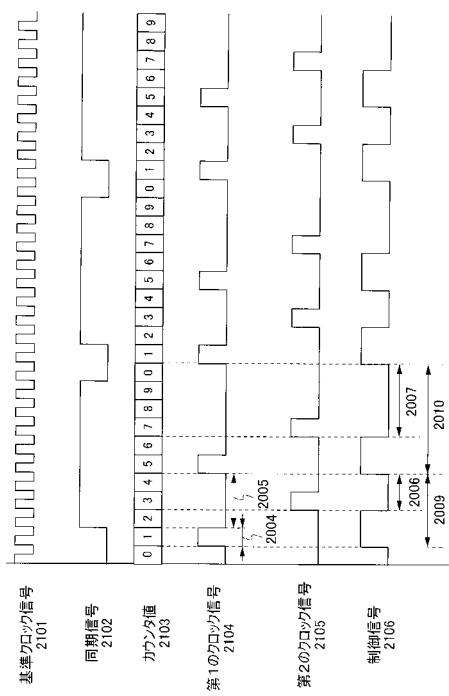
【図 9】



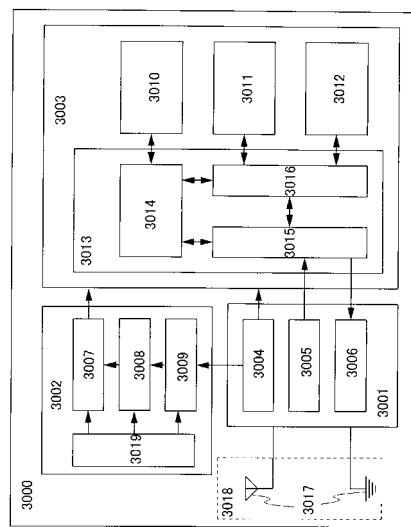
【図 10】



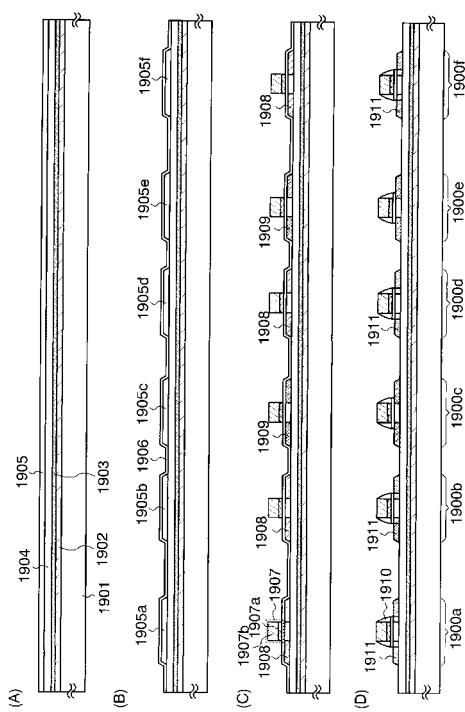
【図 1 1】



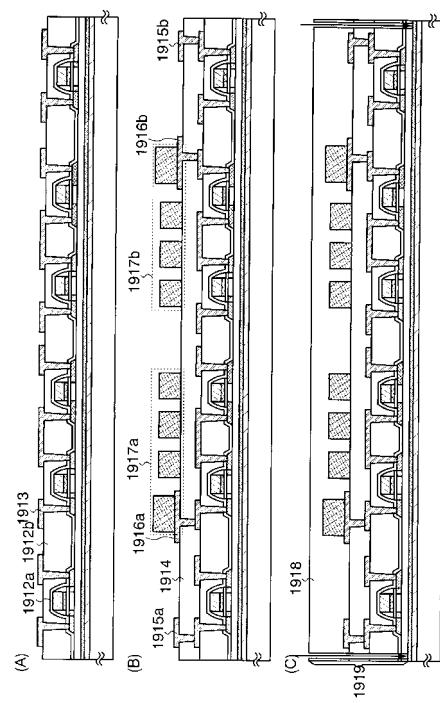
【図 1 2】



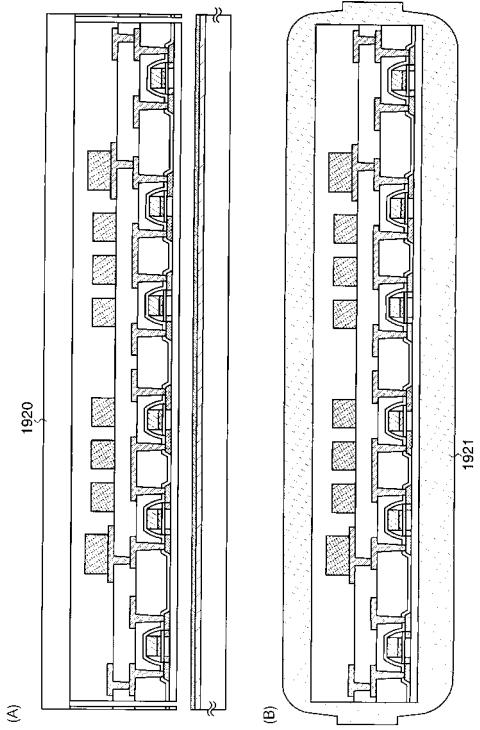
【図 1 3】



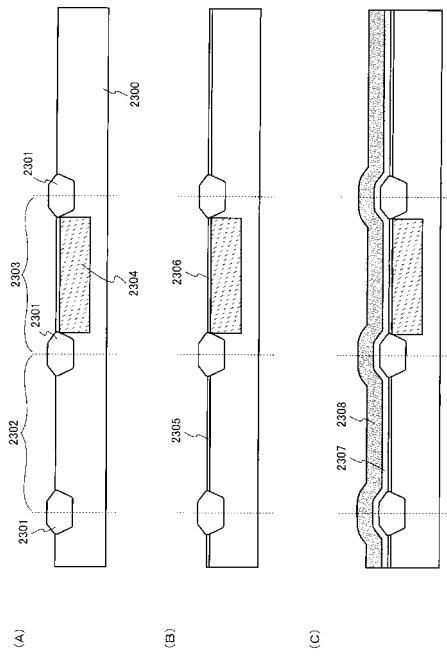
【図 1 4】



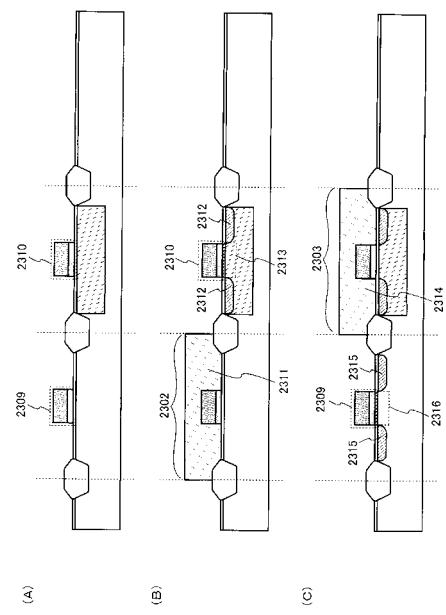
【図15】



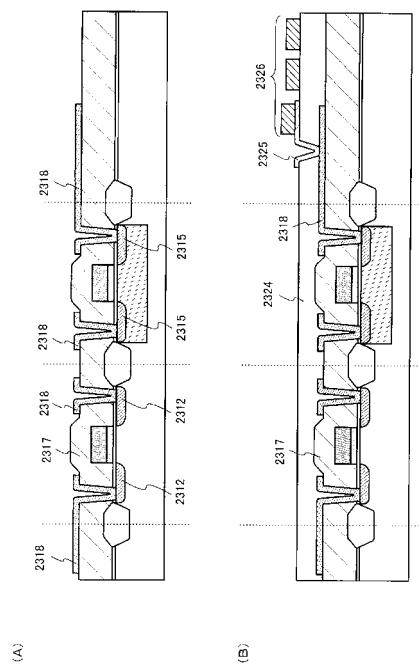
【図16】



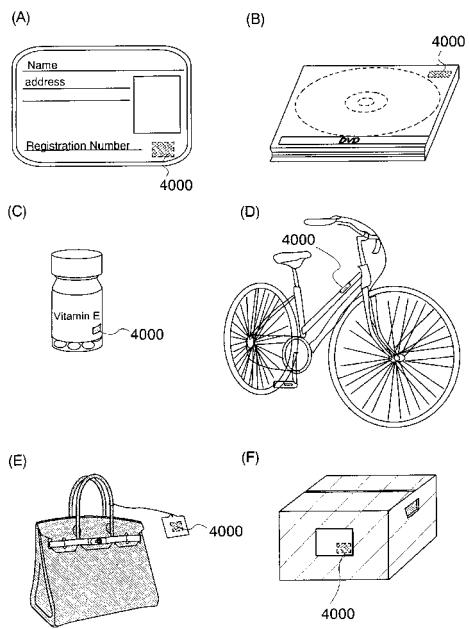
【図17】



【図18】



【図19】



フロントページの続き

(56)参考文献 特開2005-020172(JP,A)
特開昭63-153920(JP,A)
特開2006-165931(JP,A)
特開2003-283476(JP,A)
国際公開第00/008790(WO,A1)
特開昭61-225937(JP,A)
特開2001-352317(JP,A)
特開2005-020471(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 04 L 7
H 04 L 25