

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H04N 5/44

(45) 공고일자 2000년11월15일

(11) 등록번호 10-0272626

(24) 등록일자 2000년08월28일

(21) 출원번호	10-1993-0011457	(65) 공개번호	특1994-0001693
(22) 출원일자	1993년06월23일	(43) 공개일자	1994년01월20일
(30) 우선권 주장	7/904,632 1992년06월26일 미국(US)		

(73) 특허권자	통슨 콘슈머 일렉트로닉스 인코포레이티드	크리트먼 어윈 엠
(72) 발명자	미국 인디애나주 46290-1024 인디애나폴리스 노스 메리디안 스트리트 10330 데이비드 로웰 맥닐리 미합중국 인디애나 인디애나폴리스 워블러 코트 7832 그레그 알란 크라나웨터 미합중국 인디애나 인디애나폴리스 베이우드 드라이브 11205	
(74) 대리인	나영환, 조태연	

심사관 : 김기영

(54) 스큐우 타이밍 에러 측정용 장치

요약

비디오 신호를 처리하기 위한 클럭신호내 스큐우 측정용의 장치는 클럭 신호가 인가되는 다수의 아날로그 지연 소자의 연속 접속부를 포함한다. 각 아날로그 지연 소자의 출력 접속부는 각 저장 소자와 데이터 입력 단자에 결합된다. 수평 동기 신호를 표시하는 신호는 저장 소자에 인가되어 신호를 각 저장 소자로 동시에 래치함으로써, 저장 소자내 표본추출 클럭신호의 표시 사이클을 획득한다. 디코딩 회로는 예컨대 수평 펄스의 하강전이를 바로 앞서는 표본추출 클럭펄스 선행 전이의 상대적 위치를 검출하기 위하여 저장 소자에 결합된다. 지연 단위내에서 제1전이의 위치에 대응하고, 지연 단위내에서 표본추출 클럭 주기의 지속에 의해 나누어지는 비율은 스큐우 에러를 표시하며 계산된다. 제시된 일 실시예에서 그 비율은 클럭 주기의 일부분으로서, 수평 동기 신호의 예정 전이 및 그러한 예정 전이를 뒤따르는 제1표본 추출 클럭 펄스의 선행 전이 사이의 시간 구간의 척도이다.

대표도

도1

명세서

[발명의 명칭]

스큐우 타이밍 에러 측정용 장치

[도면의 간단한 설명]

제1도, 제3도 및 제5도는 스큐우(skew) 측정 회로 대체 실시예의 블록도.

제2도는 제1도 장치의 소자(22)용으로 실시될 수 있는 예시적인 회로의 블록도.

제4도는 본 발명의 동작을 설명하는 유용한 타이밍도.

* 도면의 주요부분에 대한 부호의 설명

10 : 연속 접속부(cascade connection)

11, 12, 23 : 지연소자

13, 14, 24, 107, 108 : "D" 형 래치

20 : 복수 개의 래치

22 : 스큐우 발생기

30, 50 : 복수 개의 AND 게이트

40 : 복수 개의 OR 게이트

60 : 제2디코더

61 : 제1디코더

65 : 제산기

66 : 감산 회로

100 : 지연 라인

102 : 시프트 레지스터

103 : 전이 검출기

104 : AND 게이트

105 : 이진 계수기

106 : 계산 회로

[발명의 상세한 설명]

본 발명은 비디오 신호 처리 시스템의 타이밍 에러 측정용 장치에 관한 것으로, 특히 수평 동기 펄스 전이와 신호 처리 클록 펄스의 특정 전이 사이의 시간 지속(time duration) 또는 스큐우(skew) 측정용 장치에 관한 것이다.

표본 데이터 포맷으로 신호를 처리하는 비디오 신호 처리 장치는 전형적으로 표본 추출 클록 신호(sampling clock signal)에 의해 결정되는 순간에 비디오 신호를 표본 추출 하는데, 상기 표본 추출 클록 신호는 수평 동기 신호에 고정된 관계를 갖는 것이 좋다. 또한, 신호 처리를 용이하게 하기 위하여 클록 신호는 크로미넌스 부반송파 주파수(chrominance subcarrier frequency)의 배수(倍數)인 주파수를 가지는 것이 좋다. 상기 배수가 표준 신호에 대하여 짝수, 예컨대 4인 경우, 수평 간격(horizontal interval)당 정수개의 사이클이 있게 된다. 표본 추출 클록과 수평 동기 신호 사이에 고정 관계가 유지되면, 연속 라인의 대응 표본 추출점(sampling point)은 수직으로 정렬될 것이다. 역으로 말하면, 이 관계가 변경되면 연속 라인의 대응 표본 추출 간격은 수직으로 정렬되지 않을 것이다. 표본 신호가 디스플레이되기 전에 저장되고 처리되면, 표본 추출 간격(및 따라서 픽셀)의 비수직(非垂直) 정렬은 톱니 모양의 수직 에지(edge)에 의해 복제된 영상으로 표시될 것이다. 이러한 상황은, 예컨대 비디오 신호가 비디오 카세트 레코더 및 비디오 디스크 재생기로부터 유도되고, 동결 프레임(freeze frame) 또는 화면 내의 화면(picture-in-picture)과 같은 특수 효과를 제공하도록 신호가 표본 데이터 포맷으로 처리될 때 발생한다. 이 문제점 및 이에 대한 해결책은 “비표준 신호에 대해 정정을 갖는 순차 주사 디스플레이 시스템”이라는 명칭의 미합중국 특허 제4,630,098호에 상세히 기재되어 있다. 그러나, 표본 추출 에러 또는 스큐우 계산을 위해 상기 특허에서 제시한 장치는 비교적 복잡하고, 각 스큐우 에러를 계산하기 위해서는 비교적 긴 시간 주기를 필요로 한다는 단점이 있다.

본 발명은 클록 주기의 일부분으로서 스큐우를 측정하고, 디바이스 파라메타에 비교적 영향을 받지 않는 장치를 포함한다. 표본 추출 클록 신호는 1개의 전(全) 클록 사이클을 포함하는 데 충분한 개수의 복수 개의 아날로그 지연 소자의 연속 접속부(cascade connection)에 인가된다. 각 아날로그 지연 소자의 출력 접속부는 각 저장 소자의 데이터 입력 단자에 접속된다. 수평 동기 신호를 나타내는 신호는 저장 소자에 인가되어 신호를 각 저장 소자로 동시에 래치함으로써 저장 소자의 표본 추출 클록 신호를 대표하는 사이클을 획득한다. 디코딩 회로는, 예컨대 수평 펄스의 후행 전이(trailing transition) 바로 전의 표본 추출 클록 펄스의 선행 전이(leading transition)의 상대적 위치를 검출하기 위하여 저장 소자에 접속된다. 스큐우 에러를 표시하는 비율이 계산되는데, 상기 비율은 지연 단위 내에서의 표본 추출 클록 주기의 지속 시간(duration)으로 나누어지는(divided), 지연 단위 내에서의 제1전이의 위치에 대응한다.

본 명세서에서, 스큐우는 클록 신호의 예정된 펄스의 예정된 전이와 타이밍 데이터의 예정된 전이 사이의 시간 지속에 대한 측정값으로서 정의된다. 본 명세서에서 설명되는 예에 있어서, 상기 타이밍 데이터는 수평 동기 표시 신호에 대응하고, 상기 전이는 예컨대 수평 동기 펄스의 후행 전이이다. 클록 신호의 예정된 전이는 수평 동기 펄스의 후행 전이에 후속하는 제1클록 펄스의 선행 전이인 것이 좋다. 그러나, 그러한 제1클록 펄스는 수평 동기 펄스의 후행 전이가 발생할 경우 시간 측정용으로는 유용하지 못하다. 따라서, 상기 측정은 수평 동기의 후행 전이 이전에, 최종 클록 펄스와 같이 시간상 밀접하게 관련되는 클록 펄스에 관하여 행해진다.

먼저 제4도를 참조하면, 시간은 타이밍 파형에 대해서 우측에서 좌측으로 경과하는 것으로 한다. “표본 클록(Sample clock)”으로 표시된 파형은 아날로그 탭형 지연 라인(200)에 인가된다. 소자(200) 내의 각 박스는 그 인접 지연 소자에 직렬로 접속되는 각 아날로그 지연 소자를 나타낸다. 아날로그 지연 라인은 표본 추출 클록 신호의 두 개의 선행 전이를 포함하도록 충분한 소자를 포함해야 한다. 각 아날로그 지연 소자로부터의 출력 접속부는 복수 개의 저장 소자(202)의 각 데이터 입력 접속부에 접속된다. 수평 동기 신호 또는 그로부터의 신호 미분(이하에서는 Hsync라 함)은 각 저장 소자의 제어 입력 접속부에 접속된다. Hsync 펄스의 후행 전이가 발생하면, 지연 라인(200)의 각 아날로그 지연 소자에 있는 신호는 획득되어 각 저장 소자 내에 래치된다.

스큐우는 Hsync의 후행 전이 이전에 발생하는 최종 클록 펄스의 부(負)방향 전이와 연속 접속된 지연 소자 입력 사이의 지연 소자를 계수(count)함으로써 결정될 수 있다(저장 소자를 좌측에서 우측으로 진행시킬 때, 표본 추출 클록 펄스의 선행 전이는 반전된다는 것을 유의하여야 한다). 상기 계수는 하나의 표본 주기에서 지연 구간 단위 내의 스큐우를 감한 값에 해당한다. 스큐우를 결정하기 위해서는 지연 소자에서의 표본 주기를 측정한 후 상기 계수값을 감하는 것으로 족하다. 마지막으로, 스큐우 값을 클록 주기의 백분율로 정규화하기 위하여 상기 차이는 표본 주기로 나누어진다. 예컨대, Hsync의 후행 전이 이전의 최종 클록 펄스의 정방향 전이는 지연 라인 시작으로부터 A 지연 주기라고 가정하고, 또한 제2최종 펄스의 정방향 전이는 지연 라인 시작으로부터 B 지연 주기라고 가정하기로 한다. 클록 펄스 주기는 지연 주기의 B-A와 같다. 또한, 스큐우는 지연 단위 내에서

$$\text{스큐우} = (B-A)-A \quad (1)$$

이며, 정규화시키면 클록 주기 일부분의 십진 등가로서

$$\text{스큐우} = \frac{(B-A)-A}{(B-A)} \quad (2)$$

가 된다. 클록 신호가 방형파이면, 지연 라인은 두 개의 선행하는 클록 펄스의 정방향 전이를 수용할 정도로 충분히 길지 않아도 된다. 클록 주기는, A 및 C와 같은 임의의 두 연속 전이 사이의 구간을 두 배로 함으로써 측정될 수 있다. 비디오 신호를 처리하기 위하여 스큐우 값을 사용하는 대부분의 응용예에서, 스큐우 값 및 그 보수(complement) 둘 다가 필요하다. 따라서, 일반적으로 스큐우 값 또는 그 보수가 측

정되고 다른 하나의 값은 측정된 값으로부터 직접 계산될 수 있다.

제1도는 본 발명에 따른 스큐우 측정 회로의 제1실시예이다. 스큐우 에러의 영향을 받는 클록 입력 신호는 지연 소자(11, 12, 23)의 연속 접속부(10)에 접속된다. 이들 지연 소자는 예컨대 4 나노초 또는 그 이하의 고유 처리 지연 시간을 갖는 버퍼 증폭기일 수 있다. 연속 접속부의 총지연 시간은 적어도 1 클록 주기와 같다. 각 지연 소자의 출력 접속부는 복수 개의 “0” 형 래치(20) 중의 하나의 래치(13, 14, 24)에 각각 접속된다. Hsync 신호는 모든 래치(20)의 클록 또는 제어 입력 접속부에 접속되고, Hsync 신호(시간 t 에서)의 관련된 전이시에 래치를 조절하여 각 지연 소자(10)의 출력 접속부에 나타나는 신호값을 저장한다.

복수 개의 AND 게이트(30)는 래치의 연속적인 쌍에 접속된다. 각 AND 게이트에는 제1래치의 Q 출력부에

접속되는 제1입력 접속부 및 그 다음 연속하는 래치의 출력부에 접속되는 제2입력 접속부가 있다. 따라서, AND 게이트는 래치 내에 저장된 부방향 전이(즉, 클록 펄스의 선행 또는 정방향 전이)를 검출하기 위한 전이 검출기로서 배열되어 있다.

AND 게이트(30)의 출력 단자는 스큐우 발생기(22)의 각 입력 접속부에 접속된다. AND 게이트(30)의 각 출력 접속부는 또한 OR 게이트(40)의 인에이블 “데이지 체인(daisy chain)” 입력 단자 및 제2의 복수 개의 2 입력 AND 게이트(50)의 각 입력 단자에 접속된다. 데이지 체인으로부터의 출력 접속부는 각 AND 게이트(50)의 제2입력 단자에 접속된다. 최초에, 모든 AND 게이트(50)는 OR 게이트의 데이지 체인에 의해 디스에이블된다. 지연 라인의 입력부에 가장 가까운(도면의 상부에 가장 가까운) 전이를 검출하는 AND 게이트(30) 중의 하나의 게이트는 거기에 접속되는 OR 게이트에 논리 1 값을 인가하는데, 이는 이어서 모든 연속 OR 게이트에 논리 1 값이 인가되도록 한다. 논리 1 값을 나타내는 OR 게이트는 거기에 각각 접속되는 [복수 개의 AND 게이트(50) 중의] AND 게이트를 인에이블시켜 복수 개의 AND 게이트(30)로부터 접속되는 논리값이 전달되도록 한다. AND 게이트(50)의 출력 접속부는 스큐우 발생기(22)에 접속된다.

각 AND 게이트(30) 중 어떠한 것이라도 전이를 검출할 수 있으며, AND 게이트(30) 중 적어도 2개의 게이트는 그러한 전이를 동시에 검출할 수 있다. 그러한 모든 검출부는 스큐우 발생기(22)에 직접 접속된다. 이들 검출부에 응답하여 상기 스큐우 발생기(22)는 Hsync[예컨대, 상기 수식 (1)의 값 A]가 발생하기 전에 최종 클록 펄스의 선행 전이의 위치를 결정한다.

OR 게이트의 데이지 체인에 의해 인에이블/디스에이블되는 AND 게이트(50)는 지연 라인의 입력부에 가장 가까운 전이를 검출하는 AND 게이트(30)를 제외한 모든 게이트로부터의 검출 신호를 통과시킬 수 있다. 제2의 복수 개의 AND 게이트(50)에 의해 제공되는 논리 레벨에 응답하여, 스큐우 발생기(22)는 제2의 최종 클록 펄스[예컨대 상기 수식 (1)의 값 B]의 선행 전이의 위치를 결정한다.

두 클록 펄스의 선행 전이의 상대적 위치가 결정되면, 스큐우 발생기(22)는 예컨대 상기 수식 (1) 또는 (2)에 따라 스큐우 값을 계산한다. 스큐우 발생기(22)는 주소 버스(A_i 및 B_i)에 입력되는 값의 적절한 조합에 대응하는 스큐우 값을 가진 주소 위치에 프로그램된 메모리일 수 있다. 그러나, 20개의 지연 단계가 있는 경우 제1도 예에서는 2^{40} 개의 저장 위치의 메모리를 주소 지정하는 40개의 주소(어드레스) 라인이 있어야 한다는 것을 유의하여야 한다. 그러나, 40개의 주소 라인(A_i 및 B_i) 상에 2^{40} 개의 상이한 조합의 논리 값이 발생할 수는 없다. 따라서, 스큐우 값을 디코딩하는 데 메모리를 사용하는 것은 가능하지만 실용적이지 못하다. A_i 주소 라인은 시간(t)에 앞서 제1 및 제2클록 펄스 둘 모두에 대한 전이 검출을 포함한다는 것을 상기하여야 한다. 이는 모두 상기 수식 (1) 또는 (2)를 계산하는 데 필요한 정보이므로, 스큐우 발생기(22)는 20개의 주소 입력 라인과 단지 2^{20} 개의 주소 위치가 있는 메모리로 구현될 수 있다. 그러나, 이는 여전히 별로 실용적인 해결책이 되지 못하는데, 왜냐하면 주소 입력 라인 상에 발생할 수 있는 유효한 입력 조합의 수가 제한되어 있기 때문이다.

제2도는 스큐우 발생기(22)에 대한 효과적인 접근법인 보다 많은 부품을 도시하고 있다. 제2도에 있어서, AND 게이트(30)로부터의 출력값(A_i)은 제1디코더(61)에 접속되고, AND 게이트(50)로부터의 출력값(B_i)은 제2디코더(60)에 접속된다. 제1 및 제2디코더 로직은 디지털 디코더 대한 플래시 아날로그에서 사용되는 로직과 유사한데, 이 디지털 디코더는 상호 배타적인 값을 나머지 것들과 상이한 상태를 나타내는 복수 개의 계층적으로 배열된 로직 출력 중에서 1개의 출력에 할당한다. 이 경우, 상호 배타적인 값은 지연 단위 내에서 검출되는 전이의 위치[계수(count)]에 대응한다. 디코더(61, 60)는 자신들이 상기 수식 (1, 2)에 관련될 때 값(A, B)을 제공한다.

디코더(61, 60)로부터 출력되는 값(A, B)은 그들 간의 차이의 크기($|B-A|$)를 생성하는 감산기의 각 입력 접속부에 접속된다. 차이 및 값(A)은 뺄($A/|A-B|$)을 생성하는 제산기(65)에 접속된다. 이 뺄은 출력값($1-A/|A-B|$)을 생성하는 감산 회로(66)에 인가되는데, 이 출력값은 상기 수식 (2)의 스큐우 값과 같다. 이들 스큐우 값은 1 클록 사이클의 총 지연을 실현하는데 사용되는 지연 소자의 수에 의해 결정되는 해법으로, 표본 클록 주기의 일부분들에서 실현된다는 것을 유의하여야 한다. 이런 형태의 스큐우 값은 어떤 응용에 대해서는 유용하지 않을 수 있지만, 일반적으로 감산 회로(66)의 출력을 일정 비율로 함으로써 상이한 형태로 간단히 변형될 수 있다.

제2도의 모든 소자는 상태 기계(state machine)와 같은 단일 처리 소자 내에 포함될 수 있다는 것을 이해하여야 한다.

제3도는 스큐우 에러의 영향을 받는 표본 추출 클록 신호가 인가되는 탭형 아날로그 지연 라인(100)을 포함하는 본 발명의 또 다른 예시를 도시하고 있다. 지연 라인(100)의 각 탭은 병렬-입력-직렬-출력 시프트 레지스터(102)의 병렬 입력 접속부에 접속된다. 시프트 레지스터(102)는 Hsync 신호에 접속되는 JAM 입력을 가지며, Hsync 신호의 적당한 전이에 응답하여 지연 라인(100)의 현재 내용을 시프트 레지스터(102)에 로드한다. 시프트 레지스터를 적재한 후, 클록킹 신호가 AND 게이트(104)를 경유하여 시프트 레지스터의 클록 입력 단자에 인가되어 레지스터에 저장된 데이터를 연속적으로 판독한다. 시프트 레지스터에 인가되

는 클럭 신호는 또한 클럭 펄스를 계수하는 이진 계수기(105)에 인가된다. 계수기(105)에 의해 제공되는 계수값은 제1 “D형” 래치(107)의 데이터 입력 단자에 인가된다. 래치(107)의 출력은 제2 “D형” 래치(108)의 데이터 입력부에 접속된다. “D형” 래치의 클럭 또는 제어 입력 단자는 전이 검출기(103)에 접속된다. 전이 검출기(103)는 레지스터(102)에서 판독되는 데이터에 응답한다. 레지스터에서 판독되는 표본 추출 클럭 신호의 선행 전이에 대응하는 전이의 제1발생과 동시에, 래치(107)는 계수기(105)가 나타내는 현재 계수값을 저장하도록 조절된다. 이 계수값은 상기 수식 (1 또는 2)의 값 A에 대응한다. 레지스터(102)에서 판독되는 표본 추출 클럭 신호의 선행 전이에 대응하는 전이의 제2발생과 동시에, 래치(108)는 래치(107)에 저장된 계수 값 A를 저장하도록 조절되고, 래치(107)는 계수기(105)의 출력에서 나타나는 현재 계수값을 저장하도록 조절된다. 이 후자의 계수값은 상기 수식 (1 또는 2)의 값 B에 대응한다. 래치(107, 108)에 저장된 값(A, B)은 예컨대 상기 수식 (2)에 따라 스큐우 값을 생성하는 계산 회로(106)에 접속된다.

제1도 내지 제3도에 도시된 예시는 스큐우 값을 계산하는 데 유사한 알고리즘을 적용하는 경향이 있다. 저장 소자(레지스터)에서 획득된 표본 추출 클럭 전이들 중 다른 것을 사용하여 유사한 결과에 도달할 수도 있다.

볼프강 골링거(Wolfgang Gollinger) 등에 의한 미합중국 특허 제4,489,342호는 아날로그 지연 장치(예컨대, 100)의 연속 접속부를 바이어스하여 거기에 인가되는 클럭 신호의 1 주기와 정확히 동일한 총 지연을 나타내는 방법을 개시하고 있다. 연속 접속부에서 사용되는 아날로그 지연 단계의 수를 알기 위해서는 저장 소자(20 또는 102) 내에 포획되는 표본 추출 클럭 신호의 하나의 전이의 위치(A)를 아는 것으로 족하다. 지연 단계의 총수는 B-A와 같다. 이 수가 4 비트 이진수에 의해 표현 가능한 16과 같다고 가정하자. 따라서, 표본 추출 클럭 신호 선행 전이의 위치(A)는 4 비트 이진수에 의해 표시될 수 있다. 위의 조건을 고려하면, 제3도의 회로는 래치(108)를 제거하고 계산기(106)를 단지 16개의 저장 장소를 구비하는 미리 프로그램된 판독 전용 메모리(ROM)(120)로 대체함으로써 제5도에 도시된 것과 같이 수정될 수 있다. 이들 장소 각각은 스큐우 값(1-A/N)으로 프로그램되는데, 여기서 N은 연속 접속 지연 라인 내의 지연 단계수이며, 본 예시에서는 16이라고 가정되며 값 A는 각 주소에 대응한다. 래치(107)는 획득되는 클럭 신호의 선행 전이에서 계수값을 획득하고, 이 계수값을 ROM(120)에 주소로서 인가한다. 주소값에 응답하여 ROM은 스큐우 값을 출력한다(제5도의 지연 라인(100)은 그 총지연이 1 표본 추출 클럭 주기와 같도록 배열되는 형식이라는 것을 제외하고, 제3도의 소자와 동일한 수로 표시되는 제5도의 소자는 유사하며 동일한 기능을 수행한다는 것을 유의하여야 한다).

그 이상의 단순화는 레지스터(102)가 판독되는 방향을 반전하는 것을 포함한다. 전이 검출기(103)가 점선(122)으로 표시되는 바와 같이 레지스터(102)의 대향 단부에 접속되는 경우, 획득된 표본 추출 클럭 펄스 선행 전이의 위치(계수값)는 지연 단위 내에서 스큐우의 측정값과 동일할 것이다. 이 값은 계수를 N으로 나눔으로써 정규화될 수 있다. 이 경우, ROM(120)은 A/N과 동일한 스큐우 값으로 각 주소 위치에 프로그램된다.

제1도의 실시에는 스큐우 값이 클럭 표본 주기의 최소수 이내에서 계산되어야 하는 응용예에 좋다. 제3도 또는 제5도의 실시에는 스큐우 계산 시간이 중요하지 않은 경우 좋은데, 왜냐하면 이들 실시에는 통상적으로 보다 덜 복잡한 하드웨어를 사용하기 때문이다.

(57) 청구의 범위

청구항 1

클럭 신호의 예정된 전이와 추가 신호의 예정된 전이간의 스큐우(skew)를 측정하기 위한 장치에 있어서, 클럭 신호의 소스 및 추가 신호의 소스를 포함하고, 상기 클럭 신호 소스에 접속되는 것으로서, 실질적으로 동일한 증분(increments)만큼 지연되는 상기 클럭 신호의 복수 개의 지연된 레플리카(replica)를 제공하기 위한 복수 개의 탭을 구비하는 아날로그 지연 라인과, 상기 추가 신호의 상기 예정된 전이에 응답하여 상기 탭의 각각에 나타나는 신호를 동시에 저장하는 수단과, 상기 저장 수단에 접속되는 것으로서 상기 저장 수단 내의 상기 클럭 신호의 예정된 전이 위치를 결정하는 수단과, 상기 위치에 응답하여 상기 스큐우 값을 생성하는 수단으로 이루어지는 것을 특징으로 하는 스큐우 측정 장치,

청구항 2

제1항에 있어서, 상기 스큐우 값을 생성하는 수단은 상기 클럭 신호의 1 사이클 함수로서 상기 스큐우 값을 생성하는 것을 특징으로 하는 스큐우 측정 장치.

청구항 3

제1항에 있어서, 상기 전이 위치 결정 수단은 지연 단위 내에서 상기 주기를 측정하는 수단을 포함하는 것을 특징으로 하는 스큐우 측정 장치.

청구항 4

제2항에 있어서, 상기 동시에 저장하는 수단은 상기 탭의 대응하는 서수 번호의 탭에 각각 접속되는 각 데이터 입력부와 디코딩 수단에 접속되는 각 출력 단자를 구비한 복수 개의 서수 번호가 부여된 래치 및 상기 스큐우 값을 생성하기 위한 상기 위치를 나타내는 상기 값에 응답하는 계산 수단을 포함하며, 상기 디코딩 수단은 상기 클럭 신호의 1개 이상의 상기 예정된 전이의 상대적 위치를 표시하는 값을 제공하는 것인 스큐우 측정 장치.

청구항 5

제4항에 있어서, 상기 디코딩 수단은 상기 클럭 신호의 상기 예정된 전이의 상기 위치를 표시하는 제1값 A 및 제2전이의 지연 단위 내의 위치를 표시하는 제2값 B를 제공하도록 배열되고, 상기 계산 수단은 A와 B 사이의 차이값으로 나누어지는 A의 함수로서 상기 스큐우 값을 생성하는 것인 스큐우 측정 장치.

청구항 6

제1항에 있어서, 상기 동시에 저장하는 수단은 상기 탭들 각각에 접속되는 병렬 입력단자, 전이 검출기에 접속되는 출력 단자 및 상기 추가 신호의 상기 예정된 전이에 응답하여 상기 시프트 레지스터를 병렬로 로드하기 위하여 상기 추가 신호의 소스에 접속되는 제어 입력 단자를 구비하는 병렬-입력-직렬-출력 시프트 레지스터를 포함하는 것인 스큐우 측정 장치.

청구항 7

제6항에 있어서, 상기 결정 수단은 상기 시프트 레지스터로부터 상기 전이 검출기로 데이터를 직렬로 판독하기 위하여 클럭 신호를 상기 시프트 레지스터에 인가하는 수단과, 상기 시프트 레지스터에 인가되는 상기 클럭 신호의 펄스를 계수하고 각 계수값을 제공하기 위한 계수 수단과, 상기 계수값을 저장하기 위하여 상기 전이 검출기에 응답하는 래치 수단을 포함하는 것인 스큐우 측정 장치.

청구항 8

제7항에 있어서, 상기 클럭 신호의 1 사이클 주기로 나누어지는 상기 클럭 신호의 상기 예정된 전이에 대응하는 계수값의 함수로서 상기 스큐우 값을 제공하기 위해 상기 래치 수단에 저장된 계수값에 응답하는 수단을 추가로 포함하는 것인 스큐우 측정 장치.

청구항 9

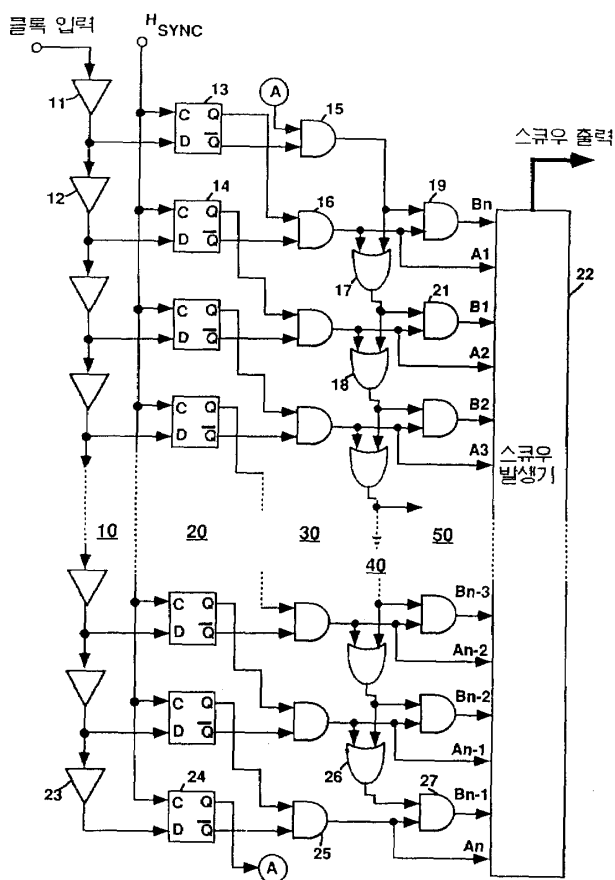
제7항에 있어서, 상기 래치 수단은 상기 클럭 신호의 제1전이의 상기 시프트 레지스터 내의 위치에 대응하는 제1값 A 및 상기 클럭 신호 제2전이의 상기 시프트 레지스터 내의 위치에 대응하는 제2계수 값 B를 저장하기 위한 수단을 포함하며, 상기 스큐우 값을 생성하기 위한 상기 수단은 $A/(B-A)$ 의 함수로서 상기 값을 생성하는 것인 스큐우 측정 장치.

청구항 10

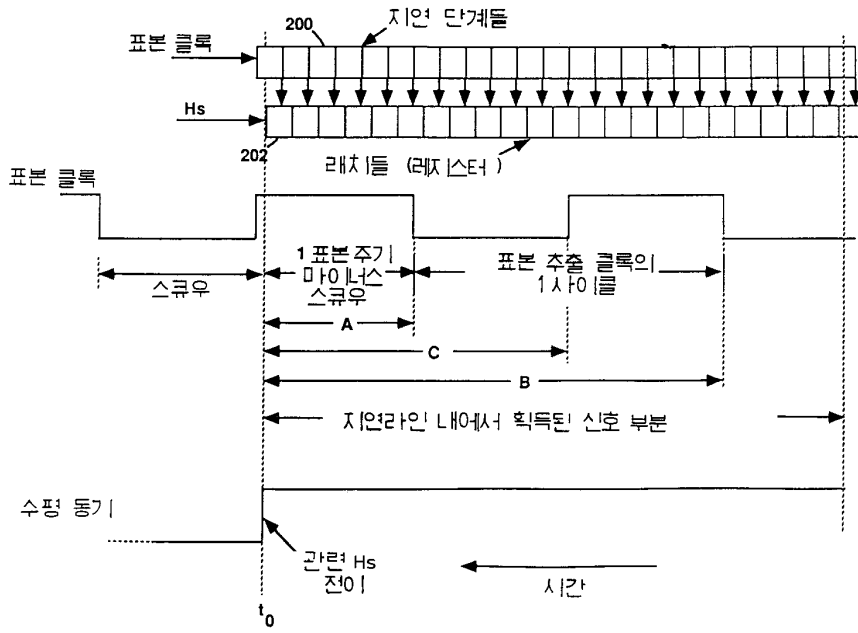
제7항에 있어서, 메모리 주소로서 상기 계수값을 인가하기 위해 상기 래치에 접속되는 주소 입력 포트 및 상기 스큐우 값으로 프로그램되는 각 주소 위치를 구비하는 메모리를 추가로 포함하는 것인 스큐우 측정 장치.

도면

도면1



도면4



도면5

