



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

212616

(11)

(B1)

(22) Přihlášeno 07 01 80
(21) (PV 161-80)

(40) Zveřejněno 31 08 81

(45) Vydáno 15 09 84

(51) Int. Cl.³
H 03 K 4/94

(75)

Autor vynálezu

KREJČÍ JAROSLAV ing., PRAHA

(54) Zapojení pro řízení integrátoru napětí při vytváření lichoběžníkového průběhu výstupního napětí

1

Vynález se týká zapojení pro řízení integrátoru napětí pro vytváření lichoběžníkového průběhu výstupního napětí.

Integrátor napětí je základní částí generátorů trojúhelníkového napětí pracujících na analogovém principu. Tyto generátory nacházejí velmi časté použití při zkouškách materiálů na nízkocyklovou a tepelnou únavu, kde tvoří řídicí prvek, určující průběh zatěžování. Při zkouškách materiálů pro jadernou energetiku jsou požadovány stále více průběhy napodobující způsob zatěžování v konkrétních podmínkách. S trojúhelníkovým průběhem nelze již vystačit a je nutno použít lichoběžníkový průběh s možností široké volby časových prodlev na obou mezích. Zapojení pro řízení integrátoru musí v tomto případě umožňovat udržování konstantní hodnoty výstupního napětí při dosažení příslušných mezí a to po dobu činnosti generátoru časové prodlevy. Uzavření hodnot výstupního napětí do definovaného intervalu se často řeší pomocí diodových omezovačů, které však vyhovují jen při méně náročných použití, protože nedovolují zajistit definované počáteční podmínky integrátoru při skončení činnosti generátoru časové prodlevy a v řadě případů znemožňují generaci velmi pomalých vzestupných a sestupných částí cyklu. Při náročnějších požadavcích je používán řídicí systém, který provádí analogovou regulaci na konstantní výstupní napětí v době časové prodlevy a po jejím skončení přepíná na režim, ve kterém je generována vzestupná eventuálně sestupná část cyklu. Výsledná zapojení jsou velmi složitá, protože vedle analogových obvodů regulačního systému obsahují i číslicové obvody řídicí tento systém a další číslicové obvody ovládající generátor časové prodlevy. Značná strukturní složitost vede ke snížení spolehlivosti funkce celého zapojení.

Uvedené nevýhody a problémy vznikající při návrhu a realizaci zapojení řízení integrátoru pro dosažení lichoběžníkového průběhu výstupního napětí odstraňuje zapojení pro

řízení integrátoru napětí při vytváření lichoběžníkového průběhu výstupního napětí, podle vynálezu, jehož podstata spočívá v tom, že výstup řízeného integrátoru napětí tvoří výstup zapojení a je spojen se vstupem komparátoru horní meze a zároveň se vstupem komparátoru dolní meze, jehož výstup je spojen s druhým vstupem bistabilního klopného obvodu a zároveň s prvním vstupem prvního logického obvodu, zatímco výstup komparátoru horní meze je spojen s prvním vstupem bistabilního klopného obvodu a zároveň s druhým vstupem prvního logického obvodu, přičemž výstup bistabilního klopného obvodu je spojen s druhým vstupem druhého logického obvodu a zároveň se vstupem generátoru časové prodlevy. Výstup generátoru časové prodlevy je spojen se třetím vstupem prvního logického obvodu, jehož výstup je spojen s prvním vstupem druhého logického obvodu. Výstup tohoto logického obvodu je spojen se vstupem logicky ovládaného zesilovače, jehož výstup je spojen se vstupem řízeného integrátoru napětí. Výstup generátoru časové prodlevy je spojen se vstupem logicky ovládaného zesilovače, jehož výstup je spojen se vstupem řízeného integrátoru napětí. Uzavření hodnot výstupního napětí do definovaného intervalu sledují komparátory horní a dolní meze. Výstupy komparátorů řídí činnost bistabilního klopného obvodu, jehož výstup zabezpečuje spuštění generátoru při dosažení kterékoliv meze a poskytuje základní informační signál o směru integrace při překročení definovaného intervalu. Následující logický systém zpracovává tento signál společně s údajem o činnosti generátoru časové prodlevy a údaji o stavech komparátorů a jeho výstup řídí logicky ovládaný zesilovač, jehož výstupní napětí je přivedeno na vstup integrátoru napětí. Je-li v činnosti generátor časové prodlevy, pak logický systém řídí logicky ovládaný zesilovač tak, aby se výstupní napětí integrátoru pohybovalo mezi úrovněmi překlápění příslušného komparátoru, které jsou dány základní referenční úrovní a hysterézí komparátoru. Skončí-li činnost generátoru časové prodlevy, pak logický systém řídí přes logicky ovládaný zesilovač polaritu integrujícího napětí tak, aby výstupní napětí probíhalo směrem ke druhé mezní hladině. Označíme-li M_H jako signál překročení horní mezní hladiny při překročení $M_H = "0"$, M_D signál překročení dolní meze při překročení $M_D = "0"$, Q výstupní úroveň bistabilního klopného obvodu po překročení horní mezní hladiny $Q = "1"$, P signál registrující činnost generátoru časové prodlevy při činnosti $P = "1"$ a F výstupní úroveň logického systému při integraci směrem k horní mezní hladině $F = "0"$, pak výhodná obvodová realizace požadované funkce logického systému je ve spojení funkce negovaného součinu NAND realizující vztah 1

$$Y = \frac{1}{M_H M_D P} \quad (1)$$

a funkce EKVIVALENCE realizující vztah 2

$$F = \overline{YQ} + YQ \quad (2)$$

Zapojení podle vynálezu má výhodu zejména v tom, že umožňuje snadné řešení integrátoru napětí při vytváření lichoběžníkového průběhu napětí s velmi malými strmými nárůsty a poklesy generovaného napětí a dlouhými časovými prodlevami. Zvlášť výhodné je jednoduché a funkčně spolehlivé udržování výstupního napětí integrátoru na zvolené mezní hodnotě během činnosti generátoru časové prodlevy. Při použití rychlých komparátorů s malou hysterezí je možno dosáhnout vysoké přesnosti udržování mezního napětí na definované hodnotě. Další výhodou je snadná možnost generace složitějších průběhů a to přepínáním různých velikostí komparační hladiny během časové prodlevy. Výstupní napětí probíhá na příslušnou hladinu se strmostí, která je požadována pro žádaný směr průběhu. Tyto skutečnosti dovolují snadné zařazení programovací jednotky měnící velikost komparační hladiny a tím značné rozšíření oblasti zkoušek napodobující zatěžování v konkrétních provozních podmínkách. Zapojení podle vynálezu má další výhodu v tom, že pro řízení integrátoru využívá značné části zapojení nutného pro ovládání generátoru časové prodlevy. Společnými elektronickými prvky se výsledné zapojení značně zjednoduší a dovoluje dosáhnout velké funkční spolehlivosti.

Příklad provedení zapojení podle vynálezu je schematicky znázorněn na obr. 1. Na obr. 2 jsou znázorněny časové průběhy důležitých signálů při činnosti zapojení. Jsou zdůrazněny průběhy v oblasti mezních hodnot. Zakreslena jsou napětí: U_1 - výstupní napětí zapojení,

přičemž napětí označené U_H je mez překlápění komparátoru horní meze při integraci směrem k horní mezní hladině, U_H' mez překlápění komparátoru horní meze při integraci směrem k dolní mezní hladině, U_D je mez překlápění komparátoru dolní meze při integraci směrem k dolní mezní hladině a U_D' je mez překlápění komparátoru dolní meze při integraci směrem k horní mezní hladině;

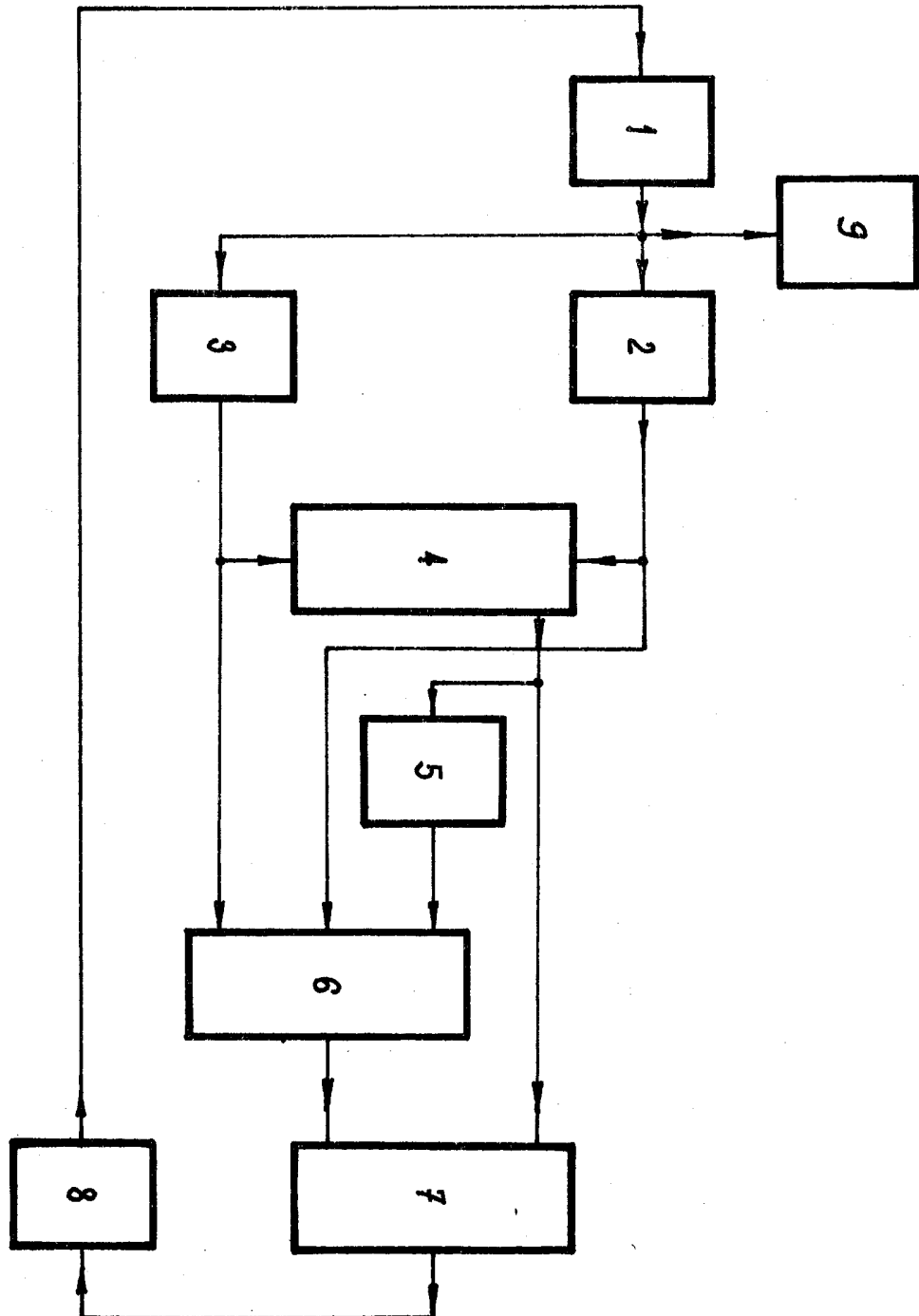
- M_H - výstupní logická úroveň komparátoru 2 horní meze,
- M_D - výstupní logická úroveň komparátoru 3 dolní meze,
- Q - výstupní logická úroveň bistabilního klopného obvodu 4,
- P - výstupní logická úroveň generátoru 5 časové prodlevy registrující jeho činnost,
- F - výstupní úroveň logického obvodu 7, řídící činnost logicky ovládaného zesilovače.

Zapojení podle vynálezu sestává z řízeného integrátoru 1 napětí, jehož výstup tvoří výstup zapojení a je spojen se vstupem komparátoru 2 horní meze a zároveň se vstupem komparátoru 3 dolní meze, jehož výstup je spojen s druhým vstupem bistabilního klopného obvodu 4 a zároveň s prvním vstupem prvního logického obvodu 6, realizující logickou funkci NAND, zatímco výstup komparátoru 2 horní meze je spojen s prvním vstupem bistabilního klopného obvodu 4 a zároveň s druhým vstupem prvního logického obvodu 6, přičemž výstup bistabilního klopného obvodu 4 je spojen s druhým vstupem druhého logického obvodu 7 realizující logickou funkci EKVIVALENCE a zároveň se vstupem generátoru 5 časové prodlevy, jehož výstup je spojen s třetím vstupem prvního logického obvodu 6, jehož výstup je spojen s prvním vstupem druhého logického obvodu 7, přičemž jeho výstup je spojen se vstupem logicky ovládaného zesilovače 8, jehož výstup je spojen se vstupem řízeného integrátoru 1 napětí.

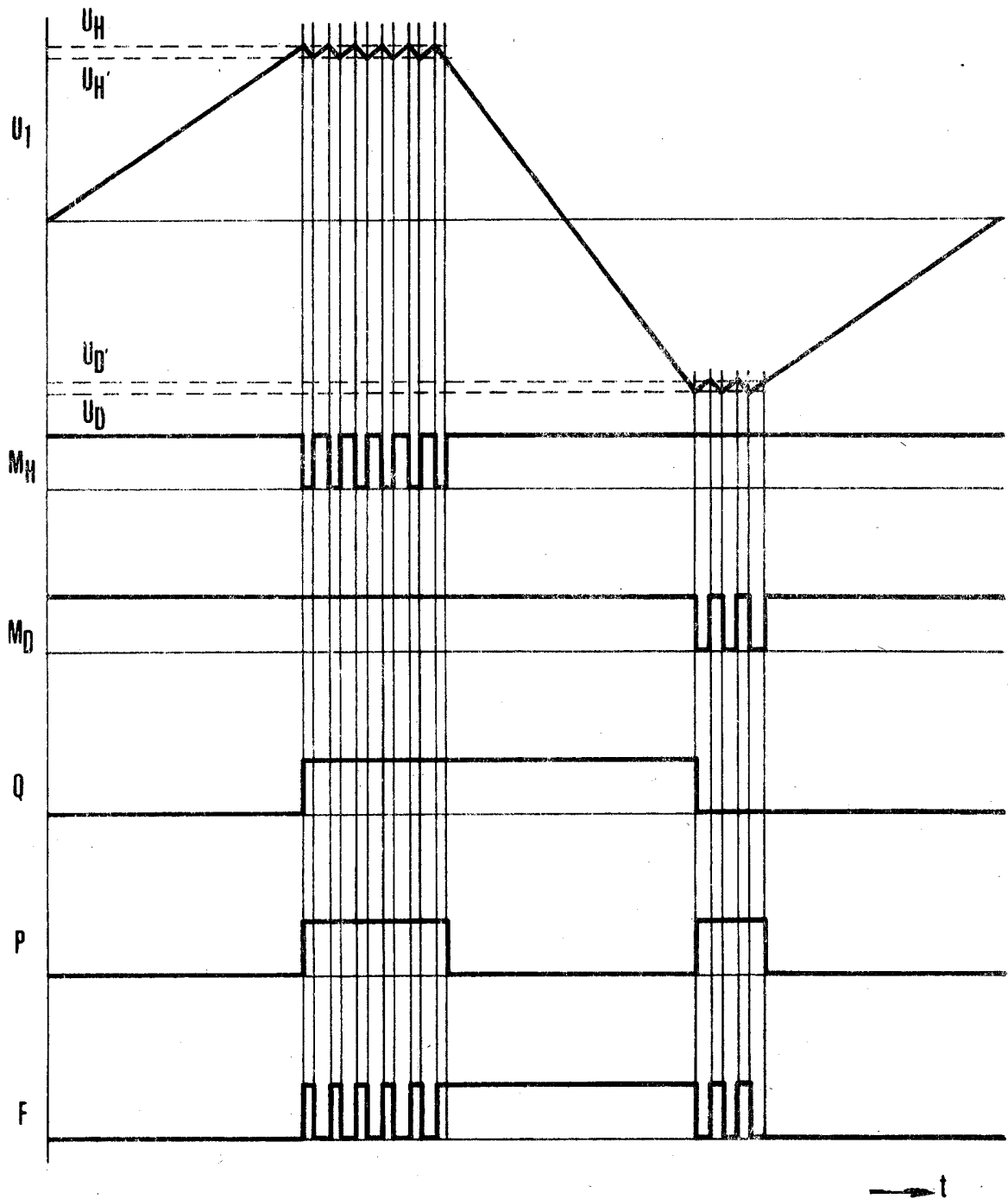
PŘEDMĚT VYNÁLEZU

Zapojení pro řízení integrátoru napětí při vytváření lichoběžníkového průběhu výstupního napětí vyznačené tím, že výstup řízeného integrátoru (1) napětí tvoří výstup (9) zapojení a je spojen se vstupem komparátoru (2) horní meze a zároveň se vstupem komparátoru (3) dolní meze, jehož výstup je spojen s druhým vstupem bistabilního klopného obvodu (4) a zároveň s prvním vstupem prvního logického obvodu (6), zatímco výstup komparátoru (2) horní meze je spojen s prvním vstupem bistabilního klopného obvodu (4) a zároveň s druhým vstupem prvního logického obvodu (6), přičemž výstup bistabilního klopného obvodu (4) je spojen s druhým vstupem druhého logického obvodu (7) a zároveň se vstupem generátoru (5) časové prodlevy, jehož výstup je spojen se třetím vstupem prvního logického obvodu (6), jehož výstup je spojen s prvním vstupem druhého logického obvodu (7), přičemž jeho výstup je spojen se vstupem logicky ovládaného zesilovače (8), jehož výstup je spojen se vstupem řízeného integrátoru (1) napětí.

2 listy výkresů



obr. 1



Obr. 2