

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2018년 3월 8일 (08.03.2018)



(10) 국제공개번호
WO 2018/043894 A1

(51) 국제특허분류:
H01L 45/00 (2006.01)

(21) 국제출원번호: PCT/KR2017/006697

(22) 국제출원일: 2017년 6월 26일 (26.06.2017)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2016-0112112 2016년 8월 31일 (31.08.2016) KR

(71) 출원인: 이화여자대학교 산학협력단 (Ewha University - Industry Collaboration Foundation) [KR/KR]; 03760 서울시 서대문구 이화여대길 52 (대현동, 이화여자대학교), Seoul (KR).

(72) 발명자: 김동하 (KIM, Dong Ha); 04060 서울시 마포구 서강로9길 45, 101동 703호 (창전동, 태영아파트), Seoul (KR). 박철민 (PARK, Cheolmin); 06603 서울시 서초구 서초중앙로24길 57, 101동 801호 (서초동, 서초롯데캐슬프레지던트), Seoul (KR). 라니아딜라 (RANI, Adila);

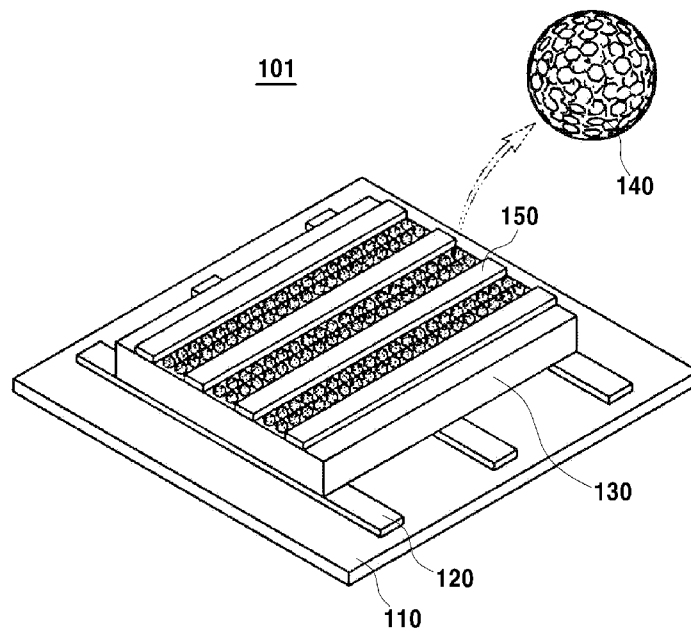
02708 서울시 성북구 솔샘로5가길 12 (정릉동), Seoul (KR). 김한기 (KIM, Richard Hahnkee); 01398 서울특별시 도봉구 도봉로136길 28, 505동 201호 (창동, 북한산 아이파크), Seoul (KR).

(74) 대리인: 특허법인 엠에이피에스 (MAPS INTELLECTUAL PROPERTY LAW FIRM); 06239 서울특별시 강남구 테헤란로8길 37, 8층 (역삼동, 한동빌딩), Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: METAL-GO CORE-SHELL COMPOSITE NANOSTRUCTURE, NONVOLATILE VARIABLE RESISTANCE MEMORY DEVICE COMPRISING SAME, AND METHOD FOR MANUFACTURING MEMORY DEVICE

(54) 발명의 명칭: 금속-GO 코어-셸 복합 나노구조체, 이를 포함하는 비휘발성 저항 변화 메모리 소자, 및 상기 메모리 소자의 제조 방법



(57) Abstract: The present application relates to a metal-GO core-shell composite nanostructure, a nonvolatile variable resistance memory device comprising the metal-GO core-shell composite nanostructure, and a method for manufacturing the memory device.

(57) 요약서: 본원은, 금속-GO 코어-셸 복합 나노구조체, 상기 금속-GO 코어-셸 복합 나노구조체를 포함하는 비휘발성 저항 변화 메모리 소자, 및 상기 메모리 소자의 제조 방법에 관한 것이다.

[다음 쪽 계속]



WO 2018/043894 A1



(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 금속-GO 코어-셸 복합 나노구조체, 이를 포함하는 비휘발성 저항 변화 메모리 소자, 및 상기 메모리 소자의 제조 방법 기술분야

- [1] 본원은, 금속-GO 코어-셸 복합 나노구조체, 상기 금속-GO 코어-셸 복합 나노구조체를 포함하는 비휘발성 저항 변화 메모리(ReRAM) 소자, 및 상기 메모리 소자의 제조 방법에 관한 것이다.

배경기술

- [2] 최근 정보의 장기간 저장을 위한 새로운 메모리 디바이스를 개발하기 위하여 전세계적으로 큰 시도가 있다. 스위칭 가능한 저항 물질에 기반한 새로운 종류의 메모리가 저항 변화 메모리(resistive random-access memory, ReRAM)로서 흔히 제시된다. 주로 유기 매트릭스에 혼입된 무기 나노입자(nanoparticle, NP)로서 형성된 하이브리드(hybrid) 시스템이 ReRAM의 한 유형으로서 제안되어 왔다. 금속 나노입자를 포함하는 얇은 유기 필름이 상기 필름의 상부 및 하부 수직 방향에서 구동되는 좁은 금속 스트립(stripe)으로 형성된 전극의 교차-지점(cross-point) 어레이 사이에 삽입되면 가능한 메모리 구조(architecture)가 수득된다.
- [3] 나노입자를 활용함에 따른 그래핀 옥사이드(GO)의 기능성화는 간단한 용액 공정, 높은-기계적(high-mechanical) 유연성, 및 비휘발성 메모리 디바이스에서 뛰어난 다단계(multilevel) 스위칭 능력의 우수한 기술로서 현재 알려져 왔다. 얇은 GO 필름을 포함하는 상기 ReRAM 디바이스의 성능과 관련된 연구에도 불구하고, GO 필름으로 기능화된 공액-고분자(conjugated-polymer), 또는 상부 전극과 하부 전극이 크로스바(cross bar) 형태이고 나노입자 및 GO 플레이크(flake)를 포함하는 하이브리드 나노복합체(nanocomposite)가 연구되어 왔고, 양방향 특성(bilateral characteristic)을 가진 Au/GO 나노복합체에 기반한 비휘발성 메모리 디바이스의 전기적 특성에 대한 연구가 일부 수행되어 왔다. 또한, 금 나노입자(AuNPs)는 화학적 안정성 및 높은 일함수(work function) 때문에 비휘발성 ReRAM 디바이스로의 적용에 있어 뛰어난 잠재성을 갖는다. 상당한 연구가 열적 기화된 나노사이즈의 금 클러스터를 이용하여 보고되었고, 폴리머 또는 다른 유전체 매질을 이용하여 개질된 금 나노입자가 보고되어 왔다. 그러나, 저온, 단일 스텝, 용액 공정(solution process)의 실현을 위해, 디바이스 제조를 위한, 그래핀 옥사이드(GO)에 의해 랩핑(wrapping)된 금 나노입자(AuNP@GO)는 상용성(compatible)을 가지고, 컨트롤이 용이하며, 및 환경 친화적이다.
- [4] 선행문헌 중, ReRAM-기반 메모리 디바이스에 있어서, 용액-공정을 통한 금 나노입자 및 유전체에 대한 일부 문헌이 이용가능하다. 본원은 이중

안정성(bistable) 특성을 갖는, 그래핀 옥사이드에 의해 랩핑된 금 나노스피어(AuNS@GO) 기반 비휘발성 메모리 디바이스에 대한 데이터를 기술한다. 본원의 가장 큰 특징은, ReRAM 디바이스의 유전체 층(dielectric layer)으로서 단일 스텝, 용액 공정에 기반한 AuNS@GO에 대한 최초 발명이라는 것이다. 상이한 AuNS에 코팅되는 GO 층의 형태(morphology) 및 두께(thickness)를 확인하기 위해 TEM 및 SEM 분석법이 측정되었다. 상기 디바이스에서 이중 안정성(bistable) 메모리 성능을 조사하기 위해 전류-전압(I-V) 및 스위칭 측정이 수행되었다. 디바이스 전지에서 다단계(multilevel) 전류 상태의 기억(retention) 특성이 전지 각각의 안정성을 조사하기 위해 측정되었다. Au/AuNS@GO/Al/PES 디바이스의 이중 안정성 저항 스위칭 메모리 메커니즘이 상이한 AuNPs에서 전하 포집을 이용하여 기술될 수 있다.

- [5] 이와 관련하여, 대한민국 공개특허 제 2016-0048444 호는 유기전계효과 트랜지스터 기반 비휘발성 메모리 장치에 있어서, 유기물 반도체층 및 게이트 절연층을 포함하며, 상기 유기물 반도체층 및 게이트 절연층 사이에는 고분자 전하 저장층과 나노 입자 플로팅 게이트층의 이중층을 더 포함하는 비휘발성 유기 메모리 장치에 대하여 개시하고 있다.

발명의 상세한 설명

기술적 과제

- [6] 본원은, 금속-GO 코어-셸 복합 나노구조체, 상기 금속-GO 코어-셸 복합 나노구조체를 포함하는 비휘발성 저항 변화 메모리 소자, 및 상기 메모리 소자의 제조 방법을 제공한다.
- [7] 그러나, 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 본원이 속하는 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

- [8] 본원의 제 1 측면은, 금속 코어(core) 및 상기 코어를 랩핑(wrapping)하는 복수의 그래핀 옥사이드(graphene oxide, GO) 시트들의 셸(shell)을 포함하는, 금속-GO 코어-셸 복합 나노구조체를 제공한다.
- [9] 본원의 제 2 측면은, 기판 상에 형성되는 하부 전극; 상기 하부 전극 상에 형성된 금속 코어 및 상기 코어를 랩핑하는 복수의 그래핀 옥사이드 시트들의 유전체 셸을 포함하는 금속-GO 코어-셸 복합 나노구조체 층; 및 상기 복합 나노구조체 층 상에 형성된 상부 전극을 포함하는, 비휘발성 저항 변화 메모리 소자를 제공한다.
- [10] 본원의 제 3 측면은, 기판 상에 하부 전극을 형성하는 단계; 상기 하부 전극 상에 금속 코어 및 상기 코어를 랩핑하는 복수의 그래핀 옥사이드 시트들의 유전체 셸을 포함하는 금속-GO 코어-셸 복합 나노구조체 층을 형성하는 단계; 및 상기 복합 나노구조체 층 상에 상부 전극을 형성하는 단계를 포함하고, 상기

복합 나노구조체 층을 형성하는 단계는 단일 스텝, 용액 공정에 의해 수행되는 것인, 비휘발성 저항 변화 메모리 소자의 제조 방법을 제공한다.

발명의 효과

- [11] 본원의 일 구현예에 의하여, 금속-GO 코어-셸 복합 나노구조체가 비휘발성 저항 변화 메모리 소자 내에서 전하 트랩(charge trap) 및 유전체층(dielectric layer)으로서의 역할을 동시에 수행할 수 있어 간단한 구조의 비휘발성 저항 변화 메모리 소자를 수득할 수 있다. 또한, 상기 비휘발성 저항 변화 메모리 소자의 제조에 있어서, 상기 금속-GO 코어-셸 복합 나노구조체를 포함하는 복합 나노구조체 층을 형성하는 단계가 단일 스텝, 용액 공정으로 이루어져 있어 제조 시간의 단축 및 제조 단가의 감소를 달성할 수 있다.
- [12] 본원의 일 구현예에 의하여, 금속-GO 코어-셸 복합 나노구조체를 포함하는 비휘발성 저항 변화 메모리 소자는 뛰어난 이중 안정성 전기적 스위칭 행동, 2 오더(order) 보다 큰 높은 ON/OFF 비율, -2.5 V의 낮은 작동 전압을 나타내며, 용액 공정을 기반으로 제조되기 때문에 환경 친화적이다.

도면의 간단한 설명

- [13] 도 1a는, 본원의 일 구현예에 있어서, 금속-GO 코어-셸 복합 나노구조체의 제조 과정을 나타낸 개략도이다.
- [14] 도 1b는, 본원의 일 구현예에 있어서, 비휘발성 저항 변화 메모리 소자를 나타낸 개략도이다.
- [15] 도 1c는, 본원의 일 구현예에 있어서, 비휘발성 저항 변화 메모리 소자를 나타낸 단면도이다.
- [16] 도 2는, 본원의 일 구현예에 있어서, 비휘발성 저항 변화 메모리 소자의 제조 과정을 나타낸 개략도이다.
- [17] 도 3a는, 본원의 일 실시예에 있어서, 5 nm 두께의 GO 셸을 가진 AuNS@GO의 TEM 이미지이다.
- [18] 도 3b는, 본원의 일 실시예에 있어서, 기재 상에 AuNS@GO를 드롭 캐스팅(drop casting)한 것을 나타내는 SEM 이미지이다.
- [19] 도 4a 내지 4c는, 본원의 일 실시예에 있어서, 각각 2 nm, 5 nm, 및 7 nm의 GO 셸 두께를 가진 AuNS@GO 각각의 TEM 이미지이다.
- [20] 도 5a는, 본원의 일 실시예에 있어서, GO, AuNS, 및 AuNS@GO 각각의 UV-Vis 흡수 스펙트럼이다.
- [21] 도 5b는, 본원의 일 실시예에 있어서, GO, AuNS, 및 AuNS@GO 각각의 라만 스펙트럼이다.
- [22] 도 6a는, 본원의 일 실시예에 있어서, 5 nm 두께의 GO 층을 코팅한 Au/AuNS@GO/Al 소자의 I-V 스위칭 특성을 나타낸 그래프이다.
- [23] 도 6b는, 본원의 일 실시예에 있어서, 5 nm 두께의 GO 층을 코팅한 Au/AuNS@GO/Al 소자의 로그-로그 (log-log) I-V 스위칭 특성을 나타낸

그래프이다.

- [24] 도 6c는, 본원의 일 실시예에 있어서, Au/AuNS@GO/Al 소자의 지속성(endurance) 사이클을 나타낸 그래프이다.
- [25] 도 6d는, 본원의 일 실시예에 있어서, 0.5 V의 리드(read) 전압에서 Au/AuNS@GO/Al 소자의 기억(retention) 시간을 나타낸 그래프이다.
- [26] 도 7a 및 7b는, 본원의 일 실시예에 있어서, 7 nm 두께 및 2 nm 두께의 GO 층을 각각 코팅한 Au/AuNS@GO/Al 소자 각각의 I-V 스위칭 특성을 나타낸 그래프이다.
- [27] 도 8a는, 본원의 일 실시예에 있어서, 7 nm 두께의 GO 셀을 가진 Au/AuNS@GO/Al 소자의 지속성 사이클을 나타낸 그래프이다.
- [28] 도 8b는, 본원의 일 실시예에 있어서, 7 nm 두께의 GO 셀을 가진 Au/AuNS@GO/Al 소자의 0.5 V 리드 전압에서 기억 시간을 나타낸 그래프이다.
- [29] 도 9a는, 본원의 일 실시예에 있어서, 옴릭(ohmic) 및 SCLC 메커니즘을 나타내는 로그-로그 스케일에서 I-V 커브의 선형 피팅(linear fitting) 그래프이다.
- [30] 도 9b는, 본원의 일 실시예에 있어서, Poole-Frenkel 방출(emission) 피팅 그래프이다.
- [31] 도 9c는, 본원의 일 실시예에 있어서, Schottky 방출 피팅 그래프이다.
- [32] 도 10a는, 본원의 일 실시예에 있어서, 메모리 소자의 ON 상태에서의 트랩 전하 제한 전류(trapped charge limited current, TCLC) 및 공간 전하 제한 전류(space charged limited current, SCLC)의 메커니즘을 나타낸 개략도이다.
- [33] 도 10b는, 본원의 일 실시예에 있어서, 메모리 소자의 OFF 상태를 나타낸 개략도이다.

발명의 실시를 위한 형태

- [34] 아래에서는 첨부한 도면을 참조하여 본원이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본원의 실시예를 상세히 설명한다. 그러나 본원은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본원을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [35] 본원 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다.
- [36] 본원 명세서 전체에서, 어떤 부제가 다른 부제 "상에" 위치하고 있다고 할 때, 이는 어떤 부제가 다른 부제에 접해 있는 경우뿐 아니라 두 부제 사이에 또 다른 부제가 존재하는 경우도 포함한다.
- [37] 본원 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른

구성 요소를 더 포함할 수 있는 것을 의미한다. 본원 명세서 전체에서 사용되는 정도의 용어 "약", "실질적으로" 등은 언급된 의미에 고유한 제조 및 물질 허용오차가 제시될 때 그 수치에서 또는 그 수치에 근접한 의미로 사용되고, 본원의 이해를 돕기 위해 정확하거나 절대적인 수치가 언급된 개시 내용을 비양심적인 침해자가 부당하게 이용하는 것을 방지하기 위해 사용된다. 본원 명세서 전체에서 사용되는 정도의 용어 "~(하는) 단계" 또는 "~의 단계"는 "~를 위한 단계"를 의미하지 않는다.

- [38] 본원 명세서 전체에서, 마쿠시 형식의 표현에 포함된 “이들의 조합”의 용어는 마쿠시 형식의 표현에 기재된 구성 요소들로 이루어진 군에서 선택되는 하나 이상의 혼합 또는 조합을 의미하는 것으로서, 상기 구성 요소들로 이루어진 군에서 선택되는 하나 이상을 포함하는 것을 의미한다.
- [39] 본원의 제 1 측면은, 금속 코어(core) 및 상기 코어를 랩핑(wrapping)하는 복수의 그래핀 옥사이드(graphene oxide, GO) 시트들의 셸(shell)을 포함하는, 금속-GO 코어-셸 복합 나노구조체를 제공한다.
- [40] 본원의 일 구현예에 있어서, 도 1a를 참조하면, 상기 금속-GO 코어-셸 복합 나노구조체는 상기 금속 코어를 복수의 그래핀 옥사이드 시트들이 불규칙적으로 랩핑하는 구조임을 확인할 수 있다.
- [41] 본원의 일 구현예에 있어서, 상기 금속은 전하 트랩 역할을 수행할 수 있는 임의의 금속일 수 있으며, 예를 들어, 전도성 금속인 금(Au), 은(Ag), 구리(Cu), 알루미늄(Al), 탄탈럼(Ta), 텅스텐(W), 루테튬(Ru), 몰리브데넘(Mo), 니켈(Ni), 나이오븀(Nb), 바나듐(V), 타이타늄(Ti), 및 이들의 조합들로 이루어진 군에서 선택되는 금속을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [42] 본원의 일 구현예에 있어서, 상기 랩핑은 상기 금속 코어 및 상기 그래핀 옥사이드 시트들 간의 정전기적 상호작용에 의한 것일 수 있다. 예를 들어, 상기 랩핑은 음전하를 띠는 상기 그래핀 옥사이드 표면에 아민기와 같은 작용기를 테코레이팅 함으로써 양전하를 대전시킨 후, 음이온성 작용기를 가진 물질을 캡핑(capping)하여 음전하를 띠는 상기 금속을 상기 양전하가 대전된 그래핀 옥사이드 용액에 분산시켜 정전기적 상호작용을 이용하여 수행되는 것일 수 있다.
- [43] 본원의 일 구현예에 있어서, 상기 금속 코어의 크기는 약 20 nm 내지 약 200 nm 일 수 있다. 상기 금속 코어의 크기는 금속 코어의 형태에 따라 의미가 달라질 수 있으며, 구(sphere) 형태일 경우 직경을 의미하고, 타원형일 경우 장축의 직경 또는 단축의 직경일 수 있다. 상기 금속 코어의 크기는, 예를 들어, 약 20 nm 내지 약 200 nm, 약 30 nm 내지 약 200 nm, 약 40 nm 내지 약 200 nm, 약 50 nm 내지 약 200 nm, 약 60 nm 내지 약 200 nm, 약 70 nm 내지 약 200 nm, 약 80 nm 내지 약 200 nm, 약 90 nm 내지 약 200 nm, 약 100 nm 내지 약 200 nm, 약 130 nm 내지 약 200 nm, 약 150 nm 내지 약 200 nm, 약 180 nm 내지 약 200 nm, 약 20 nm 내지 약 180 nm, 약 20 nm 내지 약 150 nm, 약 20 nm 내지 약 130 nm, 약 20 nm 내지 약 100 nm,

약 20 nm 내지 약 90 nm, 약 20 nm 내지 약 80 nm, 약 20 nm 내지 약 70 nm, 약 20 nm 내지 약 60 nm, 약 20 nm 내지 약 50 nm, 약 20 nm 내지 약 40 nm, 또는 약 20 nm 내지 약 30 nm일 수 있다.

- [44] 본원의 일 구현예에 있어서, 상기 GO 시트들에 의해 형성된 셀의 두께는 약 2 nm 이상일 수 있다. 예를 들어, 상기 셀의 두께는 약 2 nm 내지 약 100 nm, 약 4 nm 내지 약 100 nm, 약 6 nm 내지 약 100 nm, 약 8 nm 내지 약 100 nm, 약 10 nm 내지 약 100 nm, 약 20 nm 내지 약 100 nm, 약 30 nm 내지 약 100 nm, 약 40 nm 내지 약 100 nm, 약 50 nm 내지 약 100 nm, 약 60 nm 내지 약 100 nm, 약 70 nm 내지 약 100 nm, 약 80 nm 내지 약 100 nm, 약 90 nm 내지 약 100 nm, 약 2 nm 내지 약 90 nm, 약 2 nm 내지 약 80 nm, 약 2 nm 내지 약 70 nm, 약 2 nm 내지 약 60 nm, 약 2 nm 내지 약 50 nm, 약 2 nm 내지 약 40 nm, 약 2 nm 내지 약 30 nm, 약 2 nm 내지 약 20 nm, 약 2 nm 내지 약 10 nm, 약 2 nm 내지 약 8 nm, 약 2 nm 내지 약 6 nm, 또는 약 2 nm 내지 약 4 nm일 수 있다. 상기 셀의 두께가 2 nm 보다 얇을 경우, 상기 금속 코어를 상기 그래핀 옥사이드가 덮기 위해 필요한 최적 두께를 나타내는 이력현상 거동을 전혀 나타낼 수 없고, 상기 금속-GO 코어-셀 복합 나노구조체를 본원의 제 2 측면 및 제 3 측면에 따른 비휘발성 저항 변화 메모리 소자 내에 도입 시 하부 전극에서 상부 전극으로 전류가 통과하기 위한 충분한 코팅을 가질 수 없다. 반면, 상기 셀의 두께가 100 nm 보다 두꺼울 경우 상기 메모리 소자를 작동시키기 위하여 상대적으로 높은 전압을 인가할 필요가 있으나, 특정한 범위에 제한되는 것은 아니다.

- [45] 본원의 일 구현예에 있어서, 상기 금속-GO 코어-셀 복합 나노구조체에 있어서, 상기 금속 코어의 직경이 상기 GO 셀의 두께보다 충분히 큰 조건이 바람직하나, 그 비율이 특별히 제한되는 것은 아니다. 예를 들어, 상기 금속 코어의 크기 대 상기 GO 시트들에 의해 형성된 셀의 두께의 비율은 약 1 내지 100: 1, 약 10 내지 100: 1, 약 20 내지 100: 1, 약 30 내지 100: 1, 약 40 내지 100: 1, 약 50 내지 100: 1, 약 60 내지 100: 1, 약 70 내지 100: 1, 약 80 내지 100: 1, 약 90 내지 100: 1, 약 1 내지 90: 1, 약 1 내지 80: 1, 약 1 내지 70: 1, 약 1 내지 60: 1, 약 1 내지 50: 1, 약 1 내지 40: 1, 약 1 내지 30: 1, 약 1 내지 20: 1, 약 1 내지 10: 1, 약 5 내지 50: 1, 약 10 내지 50: 1, 약 5 내지 40: 1, 약 10 내지 40: 1, 또는 약 10 내지 30: 1일 수 있다.

- [46] 본원의 제 2 측면은, 기재 상에 형성되는 하부 전극; 상기 하부 전극 상에 형성된 금속 코어 및 상기 코어를 랩핑하는 복수의 그래핀 옥사이드 시트들의 유전체 셀을 포함하는 금속-GO 코어-셀 복합 나노구조체 층; 및 상기 복합 나노구조체 층 상에 형성된 상부 전극을 포함하는, 비휘발성 저항 변화 메모리 소자를 제공한다. 본원의 제 1 측면과 중복되는 부분들에 대해서는 상세한 설명을 생략하였으나, 본원의 제 1 측면에 대해 설명한 내용은 제 2 측면에서 그 설명이 생략되었더라도 동일하게 적용될 수 있다.

- [47] 본원의 일 구현예에 있어서, 도 1b 및 1c는 상기 비휘발성 저항 변화 메모리 소자(101)의 구조를 나타낸다. 도 1b 및 1c를 참고하여 상기 비휘발성 저항 변화

메모리 소자(101)의 구조를 설명하면, 기재(110) 상에 복수의 하부 전극(120) 라인이 적층되어 있고, 상기 기재(110) 및 복수의 하부 전극(120) 라인 상에 복합 나노구조체 층(130)이 적층되어 있다. 상기 복합 나노구조체 층(130)은 드롭 캐스팅(drop casting)에 의해 적층될 수 있으며, 상기 복합 나노구조체 층(130)은 본원의 제 1 측면에 따른, 복수 개의 금속-GO 코어-셸 복합 나노구조체(140)를 포함한다. 상기 복수 개의 금속-GO 코어-셸 복합 나노구조체(140)는 상기 복합 나노구조체 층(130) 내에 불규칙적으로서 위치할 수 있다. 상기 복합 나노구조체 층(130) 상에는 복수의 상부 전극(150) 라인이 상기 복수의 하부 전극(120) 라인에 수직 방향으로 적층되어 있어 크로스 바 구조를 가질 수 있다.

- [48] 본원의 일 구현예에 있어서, 상기 코어를 형성하는 금속은 전하 트랩 역할을 수행할 수 있는 임의의 금속일 수 있으며, 예를 들어, 전도성 금속인 금(Au), 은(Ag), 구리(Cu), 알루미늄(Al), 탄탈럼(Ta), 텅스텐(W), 루테튬(Ru), 몰리브데넘(Mo), 니켈(Ni), 나이오븀(Nb), 바나듐(V), 타이타늄(Ti), 및 이들의 조합들로 이루어진 군에서 선택되는 금속을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [49] 본원의 일 구현예에 있어서, 상기 코어를 형성하는 금속은 상기 비휘발성 저항 변화 메모리 소자 내에서 전하 트랩 중심(charge trap center)으로서 작용할 수 있으며, 상기 셸을 형성하는 그래핀 옥사이드 시트는 상기 비휘발성 저항 변화 메모리 소자 내에서 유전체로서 작용할 수 있다. 따라서, 상기 금속-GO 코어-셸 복합 나노구조체는 상기 비휘발성 저항 변화 메모리 소자 내에서 전하 트랩 및 유전체 층으로서의 역할을 동시에 수행할 수 있다.
- [50] 본원의 일 구현예에 있어서, 상기 랩핑은 상기 금속 코어 및 상기 그래핀 옥사이드 시트들 간의 정전기적 상호작용에 의한 것일 수 있다. 예를 들어, 상기 랩핑은 음전하를 띠는 상기 그래핀 옥사이드 표면에 아민기와 같은 작용기를 테코레이팅 함으로써 양전하를 대전시킨 후, 음이온성 작용기를 가진 물질을 캡핑하여 음전하를 띠는 상기 금속을 상기 양전하가 대전된 그래핀 옥사이드 용액에 분산시켜 정전기적 상호작용을 이용하여 수행되는 것일 수 있다.
- [51] 본원의 일 구현예에 있어서, 상기 금속 코어의 크기는 약 20 nm 내지 약 200 nm 일 수 있다. 상기 금속 코어의 크기는 금속 코어의 형태에 따라 의미가 달라질 수 있으며, 예를 들어, 구(sphere) 형태일 경우 직경을 의미하고, 타원형일 경우 장축의 직경 또는 단축의 직경일 수 있다. 상기 금속 코어의 크기는, 예를 들어, 약 20 nm 내지 약 200 nm, 약 30 nm 내지 약 200 nm, 약 40 nm 내지 약 200 nm, 약 50 nm 내지 약 200 nm, 약 60 nm 내지 약 200 nm, 약 70 nm 내지 약 200 nm, 약 80 nm 내지 약 200 nm, 약 90 nm 내지 약 200 nm, 약 100 nm 내지 약 200 nm, 약 130 nm 내지 약 200 nm, 약 150 nm 내지 약 200 nm, 약 180 nm 내지 약 200 nm, 약 20 nm 내지 약 180 nm, 약 20 nm 내지 약 150 nm, 약 20 nm 내지 약 130 nm, 약 20 nm 내지 약 100 nm, 약 20 nm 내지 약 90 nm, 약 20 nm 내지 약 80 nm, 약 20 nm 내지 약 70 nm, 약 20 nm 내지 약 60 nm, 약 20 nm 내지 약 50 nm, 약 20 nm 내지 약 40

- nm, 또는 약 20 nm 내지 약 30 nm일 수 있다.
- [52] 본원의 일 구현예에 있어서, 상기 금속 코어의 크기는 상기 비휘발성 저항 변화 메모리 소자의 특성인 ON/OFF 비율, 바이어스 스위칭 전압 측면에서 독립적인 요소일 수 있으나, 이에 제한되는 것은 아니다.
- [53] 본원의 일 구현예에 있어서, 상기 GO 시트들에 의해 형성된 셀의 두께는 약 2 nm 이상일 수 있다. 예를 들어, 상기 셀의 두께는 약 2 nm 내지 약 100 nm, 약 4 nm 내지 약 100 nm, 약 6 nm 내지 약 100 nm, 약 8 nm 내지 약 100 nm, 약 10 nm 내지 약 100 nm, 약 20 nm 내지 약 100 nm, 약 30 nm 내지 약 100 nm, 약 40 nm 내지 약 100 nm, 약 50 nm 내지 약 100 nm, 약 60 nm 내지 약 100 nm, 약 70 nm 내지 약 100 nm, 약 80 nm 내지 약 100 nm, 약 90 nm 내지 약 100 nm, 약 2 nm 내지 약 90 nm, 약 2 nm 내지 약 80 nm, 약 2 nm 내지 약 70 nm, 약 2 nm 내지 약 60 nm, 약 2 nm 내지 약 50 nm, 약 2 nm 내지 약 40 nm, 약 2 nm 내지 약 30 nm, 약 2 nm 내지 약 20 nm, 약 2 nm 내지 약 10 nm, 약 2 nm 내지 약 8 nm, 약 2 nm 내지 약 6 nm, 또는 약 2 nm 내지 약 4 nm일 수 있다. 상기 셀의 두께가 2 nm 보다 얇을 경우, 상기 금속 코어를 상기 그래핀 옥사이드가 덮기 위해 필요한 최적 두께를 나타내는 이력현상 거동을 전혀 나타낼 수 없고, 상기 금속-GO 코어-셀 복합 나노구조체를 상기 비휘발성 저항 변화 메모리 소자 내에 도입 시 하부 전극에서 상부 전극으로 전류가 통과하기 위한 충분한 코팅을 가질 수 없다. 반면, 상기 셀의 두께가 100 nm 보다 두꺼울 경우 상기 메모리 소자를 작동시키기 위하여 상대적으로 높은 전압을 인가할 필요가 있으나, 특정한 범위에 제한되는 것은 아니다.
- [54] 본원의 일 구현예에 있어서, 상기 금속-GO 코어-셀 복합 나노구조체에 있어서, 상기 금속 코어의 직경이 상기 GO 셀의 두께보다 충분히 큰 조건이 바람직하나, 그 비율이 특별히 제한되는 것은 아니다. 예를 들어, 상기 금속 코어의 크기 대 상기 GO 시트들에 의해 형성된 셀의 두께의 비율은 약 1 내지 100: 1, 약 10 내지 100: 1, 약 20 내지 100: 1, 약 30 내지 100: 1, 약 40 내지 100: 1, 약 50 내지 100: 1, 약 60 내지 100: 1, 약 70 내지 100: 1, 약 80 내지 100: 1, 약 90 내지 100: 1, 약 1 내지 90: 1, 약 1 내지 80: 1, 약 1 내지 70: 1, 약 1 내지 60: 1, 약 1 내지 50: 1, 약 1 내지 40: 1, 약 1 내지 30: 1, 약 1 내지 20: 1, 약 1 내지 10: 1, 약 5 내지 50: 1, 약 10 내지 50: 1, 약 5 내지 40: 1, 약 10 내지 40: 1, 또는 약 10 내지 30: 1일 수 있다.
- [55] 본원의 일 구현예에 있어서, 상기 기제는 유리, 폴리머, 실리콘, 또는 투명전도성 물질일 수 있으며, 상기 폴리머는 폴리(에테르 설파이드)[poly(ether sulfide), PES] 또는 폴리(에틸렌 테레프탈레이트)[poly(ethylene terephthalate)]를 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다. 예를 들어, 상기 기제가 투명전도성 물질인 경우, 하부 전극은 불필요할 수 있으나, 이에 제한되는 것은 아니다.
- [56] 본원의 일 구현예에 있어서, 상기 하부 전극은 알루미늄(Al), 금(Au), 백금(Pt), 은(Ag), 니켈(Ni), 구리(Cu), 코발트(Co), 철(Fe), 및 이들의 조합들로 이루어진

- 군에서 선택되는 물질을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [57] 본원의 일 구현예에 있어서, 상기 상부 전극은 금(Au), 백금(Pt), 은(Ag), 니켈(Ni), 구리(Cu), 코발트(Co), 철(Fe), 알루미늄(Al), 및 이들의 조합들로 이루어진 군에서 선택되는 물질을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [58] 본원의 일 구현예에 있어서, 상기 비휘발성 저항 변화 메모리 소자는 크로스 바 구조를 가지는 것일 수 있다. 상기 크로스바 구조는 상측에 위치하는 복수 개의 상부 전극라인과 이와 이격되어 하측에 위치하는 복수 개의 하부 전극라인이 서로 교차(cross)된 형태로 배열된 구조를 의미한다. 이러한 크로스바 어레이 구조체는, 비휘발성 저항 변화 메모리 소자를 크로스바 어레이 구조로 배열시키고, 복수의 비휘발성 저항 변화 메모리 소자에 각각 연결된 전극라인을 선택적으로 활성화시켜 원하는 비휘발성 저항 변화 메모리 소자에 데이터를 저장하거나 저장된 데이터를 리드(read)한다.
- [59] 본원의 제 3 측면은, 기제 상에 하부 전극을 형성하는 단계; 상기 하부 전극 상에 금속 코어 및 상기 코어를 랩핑하는 복수의 그래핀 옥사이드 시트들의 유전체 셸을 포함하는 금속-GO 코어-셸 복합 나노구조체 층을 형성하는 단계; 및 상기 복합 나노구조체 층 상에 상부 전극을 형성하는 단계를 포함하고, 상기 복합 나노구조체 층을 형성하는 단계는 단일 스텝, 용액 공정에 의해 수행되는 것인, 비휘발성 저항 변화 메모리 소자의 제조 방법을 제공한다. 본원의 제 1 측면 및 제 2 측면과 중복되는 부분들에 대해서는 상세한 설명을 생략하였으나, 본원의 제 1 측면 및 제 2 측면에 대해 설명한 내용은 제 3 측면에서 그 설명이 생략되었더라도 동일하게 적용될 수 있다.
- [60] 본원의 일 구현예에 있어서, 도 2는 상기 비휘발성 저항 변화 메모리 소자의 제조 방법을 나타낸 개략도로서, 이하 도 2를 참조하여 상기 비휘발성 저항 변화 메모리 소자의 제조 방법 순서대로 본원의 제 3 측면의 구현예를 설명하도록 한다. 우선, 기제 상에 하부 전극이 적층된다. 상기 기제는, 예를 들어, 유리, 폴리머, 실리콘, 또는 투명전도성 물질일 수 있으며, 상기 폴리머는 폴리(에테르 설파이드) [poly(ether sulfide), PES] 또는 폴리(에틸렌 테레프탈레이트) [poly(ethylene terephthalate)]일 수 있으나, 이에 제한되는 것은 아니다. 예를 들어, 상기 기제가 투명전도성 물질인 경우, 하부 전극은 불필요할 수 있으나, 이에 제한되는 것은 아니다.
- [61] 본원의 일 구현예에 있어서, 상기 하부 전극은 알루미늄(Al), 금(Au), 백금(Pt), 은(Ag), 니켈(Ni), 구리(Cu), 코발트(Co), 철(Fe), 및 이들의 조합들로 이루어진 군에서 선택되는 물질을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [62] 본원의 일 구현예에 있어서, 상기 기제 상에 상기 하부 전극을 형성하기 위한 공정으로는 물리적 기상 증착(physical vapor deposition, PVD), 화학적 기상 증착(chemical vapor deposition, CVD), 스퍼터링(sputtering), 펄스 레이저 증착(pulsed laser deposition, PLD), 증발법(thermal evaporation), 전자빔

증발법(electron beam evaporation), 원자층 증착(atomic layer deposition, ALD), 분자선 에피택시 증착(molecular beam epitaxy, MBE), 용액 공정, 및 이들의 조합들로 이루어진 군에서 선택되는 공정을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.

- [63] 본원의 일 구현예에 있어서, 상기 기재 및 하부 전극 상에 본원의 제 1 측면에 따른, 복수 개의 금속-GO 코어-쉘 복합 나노구조체를 포함하는 복합 나노구조체 층이 적층된다. 상기 복합 나노구조체 층의 적층은 진공 여과(vacuum filtration), 스핀 코팅(spin-coating), 스프레이 코팅(spray-coating), 잉크젯 프린팅(ink-jet printing), 드롭 캐스팅(drop-casting), 또는 표준 리소그래피(standard lithography)에 의한 것일 수 있으나, 이에 제한되는 것은 아니다.
- [64] 본원의 일 구현예에 있어서, 상기 코어를 형성하는 금속은 전하 트랩 역할을 수행할 수 있는 임의의 금속일 수 있으며, 예를 들어, 전도성 금속인 금(Au), 은(Ag), 구리(Cu), 알루미늄(Al), 탄탈럼(Ta), 텅스텐(W), 루테튬(Ru), 몰리브데넘(Mo), 니켈(Ni), 나이오븀(Nb), 바나듐(V), 타이타늄(Ti), 및 이들의 조합들로 이루어진 군에서 선택되는 금속을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [65] 본원의 일 구현예에 있어서, 상기 코어를 형성하는 금속은 상기 비휘발성 저항 변화 메모리 소자 내에서 전하 트랩 중심(charge trap center)으로서 작용할 수 있으며, 상기 그래핀 옥사이드 시트는 상기 비휘발성 저항 변화 메모리 소자 내에서 유전체로서 작용할 수 있다. 따라서, 상기 금속-GO 코어-쉘 복합 나노구조체는 상기 비휘발성 저항 변화 메모리 소자 내에서 전하 트랩 및 유전체 층으로서의 역할을 동시에 수행할 수 있다.
- [66] 본원의 일 구현예에 있어서, 상기 랩핑은 상기 금속 코어 및 상기 그래핀 옥사이드 시트들 간의 정전기적 상호작용에 의한 것일 수 있다. 예를 들어, 상기 랩핑은 음전하를 띄는 상기 그래핀 옥사이드 표면에 아민기와 같은 작용기를 테코레이팅 함으로써 양전하를 대전시킨 후, 음이온성 작용기를 가진 물질을 캡핑하여 음전하를 띄는 상기 금속을 상기 양전하가 대전된 그래핀 옥사이드 용액에 분산시켜 정전기적 상호작용을 이용하여 수행되는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [67] 본원의 일 구현예에 있어서, 상기 금속 코어의 크기는 약 20 nm 내지 약 200 nm 일 수 있다. 상기 금속 코어의 크기는, 예를 들어, 금속 코어의 형태에 따라 의미가 달라질 수 있으며, 구(sphere) 형태일 경우 직경을 의미하고, 타원형일 경우 장축의 직경 또는 단축의 직경일 수 있다. 상기 금속 코어의 크기는, 예를 들어, 약 20 nm 내지 약 200 nm, 약 30 nm 내지 약 200 nm, 약 40 nm 내지 약 200 nm, 약 50 nm 내지 약 200 nm, 약 60 nm 내지 약 200 nm, 약 70 nm 내지 약 200 nm, 약 80 nm 내지 약 200 nm, 약 90 nm 내지 약 200 nm, 약 100 nm 내지 약 200 nm, 약 130 nm 내지 약 200 nm, 약 150 nm 내지 약 200 nm, 약 180 nm 내지 약 200 nm, 약 20 nm 내지 약 180 nm, 약 20 nm 내지 약 150 nm, 약 20 nm 내지 약 130 nm, 약 20

- nm 내지 약 100 nm, 약 20 nm 내지 약 90 nm, 약 20 nm 내지 약 80 nm, 약 20 nm 내지 약 70 nm, 약 20 nm 내지 약 60 nm, 약 20 nm 내지 약 50 nm, 약 20 nm 내지 약 40 nm, 또는 약 20 nm 내지 약 30 nm일 수 있으나, 이에 제한되는 것은 아니다.
- [68] 본원의 일 구현예에 있어서, 상기 금속 코어의 직경은 상기 비휘발성 저항 변화 메모리 소자의 특성인 ON/OFF 비율, 바이어스 스위칭 전압 측면에서 독립적인 요소일 수 있으나, 이에 제한되는 것은 아니다.
- [69] 본원의 일 구현예에 있어서, 상기 GO 시트들에 의해 형성된 셀의 두께는 약 2 nm 이상일 수 있다. 예를 들어, 상기 셀의 두께는 약 2 nm 내지 약 100 nm, 약 4 nm 내지 약 100 nm, 약 6 nm 내지 약 100 nm, 약 8 nm 내지 약 100 nm, 약 10 nm 내지 약 100 nm, 약 20 nm 내지 약 100 nm, 약 30 nm 내지 약 100 nm, 약 40 nm 내지 약 100 nm, 약 50 nm 내지 약 100 nm, 약 60 nm 내지 약 100 nm, 약 70 nm 내지 약 100 nm, 약 80 nm 내지 약 100 nm, 약 90 nm 내지 약 100 nm, 약 2 nm 내지 약 90 nm, 약 2 nm 내지 약 80 nm, 약 2 nm 내지 약 70 nm, 약 2 nm 내지 약 60 nm, 약 2 nm 내지 약 50 nm, 약 2 nm 내지 약 40 nm, 약 2 nm 내지 약 30 nm, 약 2 nm 내지 약 20 nm, 약 2 nm 내지 약 10 nm, 약 2 nm 내지 약 8 nm, 약 2 nm 내지 약 6 nm, 또는 약 2 nm 내지 약 4 nm일 수 있다. 상기 셀의 두께가 2 nm 보다 얇을 경우, 상기 금속 코어를 상기 그래핀 옥사이드가 덮기 위해 필요한 최적 두께를 나타내는 이력현상 거동을 전혀 나타낼 수 없고, 상기 금속-GO 코어-셀 복합 나노구조체를 상기 비휘발성 저항 변화 메모리 소자 내에 도입 시 하부 전극에서 상부 전극으로 전류가 통과하기 위한 충분한 코팅을 가질 수 없다. 반면, 상기 셀의 두께가 100 nm 보다 두꺼울 경우 상기 메모리 소자를 작동시키기 위하여 상대적으로 높은 전압을 인가할 필요가 있으나, 특정한 범위에 제한되는 것은 아니다.
- [70] 본원의 일 구현예에 있어서, 상기 금속-GO 코어-셀 복합 나노구조체에 있어서, 상기 금속 코어의 직경이 상기 GO 셀의 두께보다 충분히 큰 조건이 바람직하나, 그 비율이 특별히 제한되는 것은 아니다. 예를 들어, 상기 금속 코어의 크기 대 상기 GO 시트들에 의해 형성된 셀의 두께의 비율은 약 1 내지 100: 1, 약 10 내지 100: 1, 약 20 내지 100: 1, 약 30 내지 100: 1, 약 40 내지 100: 1, 약 50 내지 100: 1, 약 60 내지 100: 1, 약 70 내지 100: 1, 약 80 내지 100: 1, 약 90 내지 100: 1, 약 1 내지 90: 1, 약 1 내지 80: 1, 약 1 내지 70: 1, 약 1 내지 60: 1, 약 1 내지 50: 1, 약 1 내지 40: 1, 약 1 내지 30: 1, 약 1 내지 20: 1, 약 1 내지 10: 1, 약 5 내지 50: 1, 약 10 내지 50: 1, 약 5 내지 40: 1, 약 10 내지 40: 1, 또는 약 10 내지 30: 1일 수 있다.
- [71] 본원의 일 구현예에 있어서, 상기 복합 나노구조체 층 상에 상부 전극이 적층되며, 상기 상부 전극은 금(Au), 백금(Pt), 은(Ag), 니켈(Ni), 구리(Cu), 코발트(Co), 철(Fe), 알루미늄(Al), 및 이들의 조합들로 이루어진 군에서 선택되는 물질을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [72] 본원의 일 구현예에 있어서, 상기 복합 나노구조체 층 상에 상기 상부 전극을 형성하기 위한 공정으로는 물리적 기상 증착(physical vapor deposition, PVD),

화학적 기상 증착(chemical vapor deposition, CVD), 스퍼터링(sputtering), 펄스 레이저 증착(pulsed laser deposition, PLD), 증발법(thermal evaporation), 전자빔 증발법(electron beam evaporation), 원자층 증착(atomic layer deposition, ALD), 분자선 에피택시 증착(molecular beam epitaxy, MBE), 용액 공정, 및 이들의 조합들로 이루어진 군에서 선택되는 공정을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.

[73] 본원의 일 구현예에 있어서, 상기 비휘발성 저항 변화 메모리 소자는 크로스 바 구조를 가지는 것일 수 있다. 상기 크로스바 구조는 상측에 위치하는 복수 개의 상부 전극라인과 이와 이격되어 하측에 위치하는 복수 개의 하부 전극라인이 서로 교차(cross)된 형태로 배열된 구조를 의미한다. 이러한 크로스바 어레이 구조체는, 비휘발성 저항 변화 메모리 소자를 크로스바 어레이 구조로 배열시키고, 복수의 비휘발성 저항 변화 메모리 소자에 각각 연결된 전극라인을 선택적으로 활성화시켜 원하는 비휘발성 저항 변화 메모리 소자에 데이터를 저장하거나 저장된 데이터를 리드(read)한다.

[74] 이하, 본원에 대하여 실시예를 이용하여 좀더 구체적으로 설명하지만, 하기 실시예는 본원의 이해를 돕기 위하여 예시하는 것일 뿐, 본원의 내용이 하기 실시예에 한정되는 것은 아니다.

[75] [실시예]

[76] 1. 금 나노스피어(AuNS)의 합성

[77] 시트레이트에 의해 캡핑된(citrate-capped) 직경 55 nm의 AuNS가 공지된 방법[Li, J. F.; Tian, X. D.; Li, S. B.; Anema, J. R.; Yang, Z. L.; Ding, Y.; Wu, Y. F.; Zeng, Y. M.; Chen, Q. Z.; Ren, B.; Wang, Z. L.; Tian, Z. Q. Surface Analysis Using Shell-Isolated Nanoparticle-Enhanced Raman Spectroscopy. *Nat. Protocols* 2013, 8, 52-65]에 따라 제조되었다. 요약하면, 0.01 wt% 염화 금산(chloroauric acid) 수용액 200 mL가 둥근 바닥 플라스크에 첨가되었고, 130°C까지 가열되었다. 그 후, 1 wt% 소듐 시트레이트 1.4 mL가 상기 가열된 용액에 빠르게 첨가되었고, 30 분간 교반되었다. 최종적으로, 진한 핑크색의 AuNS 용액이 수득되었다.

[78] 2. AuNS@GO의 합성

[79] 그래핀 옥사이드(GO)가 수정된 Hummer 방법을 이용하여 우선 제조되었다. GO를 이용하여 상기 시트레이트에 의해 캡핑된 AuNS를 캡슐화(encapsulate)하기 위해, 공지된 방법[Hong, J.; Char, K.; Kim, B.-S. Hollow Capsules of Reduced Graphene Oxide Nanosheets Assembled on a Sacrificial Colloidal Particle. *The Journal of Physical Chemistry Letters* 2010, 1, 3442-3445]에 의해, 양전하가 GO 표면에 아민기를 데코레이팅(decorating)함으로써 생성되었다. 요약하면, 음전하를 띄도록 제조된 50 mL GO 용액이 N-에틸-N'-(3-다이메틸 아미노프로필)카보다이이미드 메티오다이드[N-ethyl-N'-(3-dimethyl aminopropyl)carbodiimide methiodide, EDC] 500 mg, 에틸렌다이아민(ethylenediamine) 5 mL, 및 트리에틸 아민(triethyl amine)

1 mL와 함께 4 시간동안 교반되었다. 상기 제조된 AuNS가 원심분리 되었고 그 생성된 침전물이 동일한 부피의 양전하를 띄는 GO 용액에 분산되어 하룻밤 동안 약하게 교반되었다. 상기 과정에 의해 생성된 용액이 원심분리에 의해 세척되어 잔여(residual) 반응물이 제거되었고, AuNS@GO를 수득할 수 있었다(도 1a).

[80] **3. 비휘발성 ReRAM 디바이스의 제조**

[81] 상이한 메모리 전지의 10 개의 크로스바(crossbar) 어레이가 PES 기재에서 제조되었다. 100 mm의 폭(width) 및 50 nm의 두께(thickness)를 가진 Al 하부 전극이 0.1 nm/s의 증발 속도 및 10^6 mbar의 압력에서 열적 증착에 의해 제조되었다. 상기 Al 하부 전극이 상이한 AuNS@GO 필름을 스핀 코팅하기에 앞서 UV 오존(ozone)을 이용하여 10 분동안 세정되었다. 약 40 nm 두께를 가진 상이한 타입의 AuNS@GO 필름이 적층(layer-by-layer, LBL) 자기 조립(self-assembly, SA)을 이용하여 하부 전극 상에 60 초 동안 1000 rpm의 스핀 코팅에 의해 제조되었다. 100 mm의 폭 및 50 nm의 두께를 가진 Au 상부 전극 라인들이 106 mbar 압력에서 0.1 nm/s의 증착 속도로 열적 증착되었다. 상기 상부 전극 라인들은 Al 하부 전극 라인들에 수직으로 배열되어, 100 x 100 mm의 활성 영역(active area)을 가진 메모리 전지의 어레이를 수득하였다(도 1b 및 1c).

[82] **4. 특성 분석**

[83] 상기 AuNS의 GO 셸을 특성 분석하기 위해, 라만 분석법이 여기 파장에서, HORIBA Jobin Yvon를 이용하여 수득되었다. 상기 표면 형태는 탭핑 모드(tapping mode)에서 Dimension 3100 scanning force microscope (Digital Instrument) 및 주사전자현미경(field emission scanning electron microscopy, FE-SEM)(JSM-6700F, JEOL)을 이용하여 원자간력 현미경(atomic force microscopy, AFM)에 의해 조사되었다. 상기 제조된 디바이스의 전기적 특성은 반도체 시스템(E5270B, HP4284A, 및 Agilent Technologies)을 이용하여 주변 조건 하에서 측정되었다.

[84] **5. 결과 및 분석**

[85] **(1) AuNS@GO 특성**

[86] 그래핀 옥사이드에 의해 랩핑된 금 나노스피어(AuNS@GO)가 AuNS와 GO 시트 간의 정전기(electrostatic) 상호작용에 기반하여 제조되었다. 정전기 상호작용에 기반하여, 시트레이트에 의해 캡핑된 AuNS가 GO에 의해 랩핑되었다. TEM 이미지(도 3a)에 나타난 바와 같이, AuNPs는 타원형이었고 장축(long-axis)의 직경은 50 nm 내지 60 nm이었다. 또한, 유연하고 초박막(ultrathin)인 그래핀 시트와 연관된 거칠고(rough) 주름진(crinkled) 특징이 AuNS 표면에서 명확히 관찰되었고, 이것은 약 5 nm의 GO 셸 두께를 나타내었다. 추가로, 2 nm 내지 7 nm의 두께를 가진 상이한 GO 셸이 또한 제조되었다(도 4).

[87] 단일 GO의 경우와 비교하여, 상기 제조된 것과 같은 AuNS 및 AuNS@GO NPs의 광학 특성이 조사되었다. 도 5a에 나타난 바와 같이, GO 셸을 포함하는

또는 포함하지 않는 AuNS의 UV-Vis 흡수 스펙트럼에서 현저한 차이가 관찰되었다. 도 5b는 630 nm 여기 하에서 양전하를 띄는 GO 시트, AuNS, 및 AuNS@GO NPs의 라만 스펙트럼을 나타내고, 모든 경우에서 두 개의 가장 강한 특징이 관찰되었다. 그래핀의 라만 스펙트럼에서, D-밴드 및 G-밴드가 주로 관찰되었다. $\sim 1350 \text{ cm}^{-1}$ 에서의 D-밴드는 그래파이트의 구조적 결함(A_{1g} 모드와 대칭)에서 유도되었다. 한편, 그래핀 sp^2 탄소 원자의 E_{2g} 모드에서 일차 분산(first order scattering)이 G-밴드로서 명명된 $\sim 1580 \text{ cm}^{-1}$ 에서 피크를 상승시켰다. GO의 라만 스펙트럼에서, D-밴드 및 G-밴드가 $\sim 1337 \text{ cm}^{-1}$ 및 $\sim 1595 \text{ cm}^{-1}$ 에서 각각 관찰되었다. AuNS의 캡슐화(encapsulate) 후에, 두 개의 특징적 피크가 여전히 관찰되었고, D-밴드 및 G-밴드의 위치는 동일하게 유지되었다.

[88] (2) AuNS@GO의 전류-전압(I-V) 및 스위칭 측정

[89] 금 나노스피어(AuNS)가 GO 셀에 의해 래핑되었고(도 1a), 도 1b에 나타낸 바와 같이, ReRAM 디바이스에서 활성 유전체층(active dielectric layer)으로서 채용되었다. AuNS@GO 층이 Al이 코팅된 PES 기재에 드롭 캐스팅(drop casting)되었다(도 3b). 산소 플라즈마 처리 후에, 상부 전극으로서 Au 스트립들(strips)이 증발기(evaporator)를 이용하여 증착되었다. 도 6a는 전형적인 전류-전압(I-V) 특성을 나타내는데, 여기서 AuNS@GO로부터 제조된 디바이스에 해당하는 I-V 커브에서 특징적 이력현상(hysteresis)이 관찰될 수 있었다. 상기 제조된 디바이스에서 저-전도성(low-conductivity) OFF 상태에서 출발하여, 상기 전류는 인가되는 양전압이 증가함에 따라 서서히 증가하였다(도 6b). 상기 전류는 약 -2.5 V의 턴-온(turn-on) 전압이 도달할 때까지, 낮게 유지되었다. 턴-온 전압에서, 상기 전류는 10^{-8} A 에서 10^{-5} A 으로 현저히 증가하였고(스weep 1), 따라서 저-전도성 OFF 상태에서 고-전도성(high-conductivity) ON 상태로 디바이스 전이(기록 공정, write process)를 나타내었다. 상기 ON/OFF 비율은 약 10^3 이었고, 이것은 최근 보고된 GO 메모리 디바이스 및 유기 하이브리드 시스템의 값에 필적한다. 상기 ON 상태는 파워 공급이 끊긴 후에도 계속 유지될 수 있었다(스weep 2 및 3). 포지티브 스weep(positive sweep)에서 상기 ON 상태를 읽은 후에, 3.5 V의 충분한 양을 가진 포지티브 바이어스 스weep(스weep 4)은 상기 ON 상태를 초기 OFF 상태로 되돌릴 수 있도록(지움 공정, erase process) 프로그램할 수 있었고, 따라서 비휘발성 재기록(rewritable) 메모리 디바이스를 위한 "기록-리드(read)-지움" 사이클을 완성할 수 있었다. 상기 메모리 디바이스는 상당히 좋은 정확도를 가진 반복된 작동을 나타내었다. 도 6c에서 상기 사이클은 펄스(pulse) 사이클에서 ON 및 OFF 상태 전류의 현저한 변화 없이, 기록(write)을 위한 3 V, 리드를 위한 1 V, 및 지움을 위한 -3.5 V의 펄스 전압 스트레스(1 ms 펄스 폭)를 사용하였다. 메모리 디바이스의 OFF 및 ON 상태 모두는 1000 초까지 1 V의 일정 전압 스트레스 하에서 접근 가능하고 안정하였다(도 6d).

[90] AuNS@GO의 코팅 두께 효과를 조사하기 위해, 상기 디바이스의 I-V특성이

AuNS@GO에서 GO 두께의 함수로서 조사되었다. 도 7a 및 7b는 활성층(active layer) 으로서 제공되는, AuNS@GO의 AuNS 상의 얇은 GO 두께(2 nm 이하) 및 두꺼운 GO 코팅(7 nm)을 각각 가진 디바이스의 전형적인 전류-전압(I-V)특성을 나타낸다. 이에 따르면, AuNS@GO에서 2 nm 두께 코팅은 AuNS@GO에서 AuNS를 덮기 위해 필요한 최적 두께를 나타내는 이력현상 거동을 전혀 나타내지 않았다. 얇은 GO 두께에서, 유전체층은 하부 전극에서 상부 전극으로 전류가 통과하기 위한 충분한 코팅을 가지지 못하였다. AuNS@GO에서 7 nm 두께의 GO를 코팅하여 제조된 상기 디바이스의 지속성(endurance) 및 기억 데이터를 도 8a 및 8b에 각각 나타내었고, 이것은 50 사이클 동안의 일정한 작동에서 안정한 스위칭 특성 및 ON 상태와 OFF 상태에서 적은 변동(fluctuation)으로 10^4 초까지 신뢰할 만한 기억 특성을 나타내었다. 상기 결과들은 디바이스가 뛰어난 지속성 및 기억 신뢰도를 나타냄을 확인시켜 주었다. 추가로, ReRAM 특성에 대한 효과를 확인하기 위해 상이한 크기의 AuNS가 또한 분석되었다. 본원의 ReRAM 디바이스 메모리 특성은 크기 측면에서 독립적임이 확인되었다. ON/OFF 비율, 바이어스 스위칭 전압 측면에서 차이가 없음이 관찰되었다.

[91] (3) AuNS@GO 기반 ReRAM 디바이스의 메커니즘

[92] 저항 스위칭 거동의 메커니즘의 추가적인 이해를 위해, I-V 특성이, 도 9a에 나타낸 바와 같이, 로그-로그(log-log) 스케일에서 제 플롯팅되었다. 우선, 낮은 전압(A1 전극에 음전압) 영역에서, 옴릭 전도 거동(ohmic conduction behavior)이 우세하였다(0.81의 기울기). 상기 전압이 V1(0.9 V)로 증가될 때, 상기 도면에서 볼 수 있듯이, 주입된 캐리어 밀도가 옴릭 영역에서 현저히 증가하였다. 공간 전하 효과(space charge effect)가 발생하였고, 전류-전압 거동은 이차(quadratic) 특성(2.31의 기울기)을 따랐다. 상기 영역에서, 주입된 전하 캐리어가 AuNS 매트릭스의 트랩(trap)을 채운다(도 10). 충분한 전하가 주입되었을 때, 상기 트랩이 포화되었다. ON 상태에서 전형적인 I-V 특성은 1.00의 기울기에서 옴릭 전도성(ohmic conducting) 행동을 명백하게 나타내었는데, 이것은 상기 디바이스에서 상기 SET 공정 동안의 전도성 경로(conducting path)의 형성에 부합하는 것이었다. 상기 전도 메커니즘은 공간 전하 제한 전도(space charge limited conduction, SCLC)와 매우 일치하였는데, 이것은 세 부분으로 형성되었다: 옴릭 영역($I \propto V$), Mott-Gurney 법칙 ($I \propto V^3$), 및 급격한(steep) 전류 증가 영역. 일반적으로, 상기 필름의 특정 두께에 대한 상기 SCLC 모델에서 전류-전압 관계는 하기 식 1을 따른다:

[93] <식 1>

[94] $I \propto V^n$,

[95] 여기서 V는 상기 두 개의 전극 간에 인가되는 바이어스이고, n은 양수임.

[96] 상기 지수 값(2.31)은 상기 AuNP@GO 매트릭스에서 AuNPs가 트랩 중심(trap center)으로서 작용하는 것을 나타낸다.

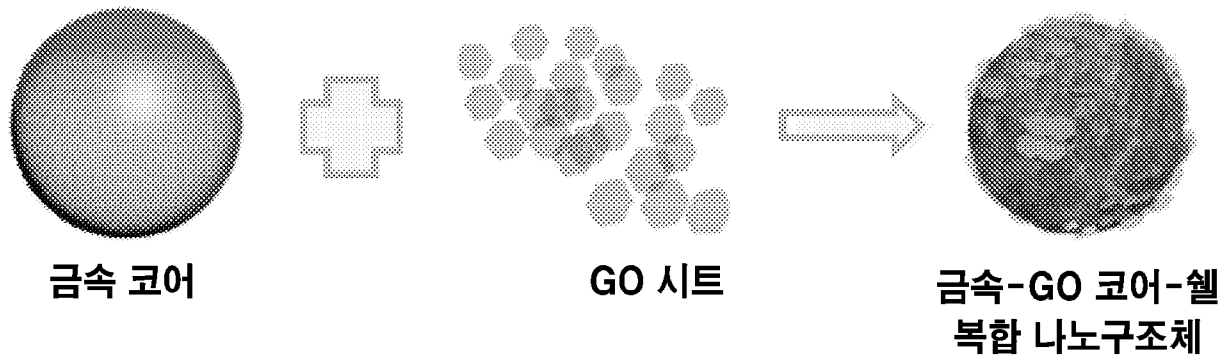
- [97] 상기 SCLC의 하나로서 상기 전류 전도 메커니즘을 확인하기 위해, 본 발명자들은 관찰된 전도 거동을 적합하게 하는 Poole-Frenkel 및 Schottky 방출 메커니즘(emission mechanism)을 또한 적용하였다. 필라멘트 형성에 의한 옴릭 전도로의 전이 전에, $\ln I \propto V$ 및 $\ln I$ 대 인가된 전압의 제곱근의 플롯은, 도 9b 및 9c에 나타낸 바와 같이, 비선형이었다. 따라서, 상기 전도 메커니즘은 SCLC에 의해 완전히 조절되는 것으로 추정되었다. GO 매트릭스에서 상이한 AuNS를 가진 상기 저항 스위칭 메모리 디바이스는 응집된 Au 입자의 클러스터(cluster)가 단일 입자보다 저항 스위칭에 더 많이 수반되는 것을 나타내었다. 모든 상기 디바이스는 낮은 작동 전압 및 높은 스위칭 비율에서 유사한 스위칭 거동을 나타내었다.
- [98] 전술한 본원의 설명은 예시를 위한 것이며, 본원이 속하는 기술분야의 통상의 지식을 가진 자는 본원의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.
- [99] 본원의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본원의 범위에 포함되는 것으로 해석되어야 한다.
- [100] [부호의 설명]
- [101] 101: 비휘발성 저항 변화 메모리 소자
- [102] 110: 기재
- [103] 120: 하부 전극
- [104] 130: 복합 나노구조체 층
- [105] 140: 금속-GO 코어-셸 복합 나노구조체
- [106] 150: 상부 전극

청구범위

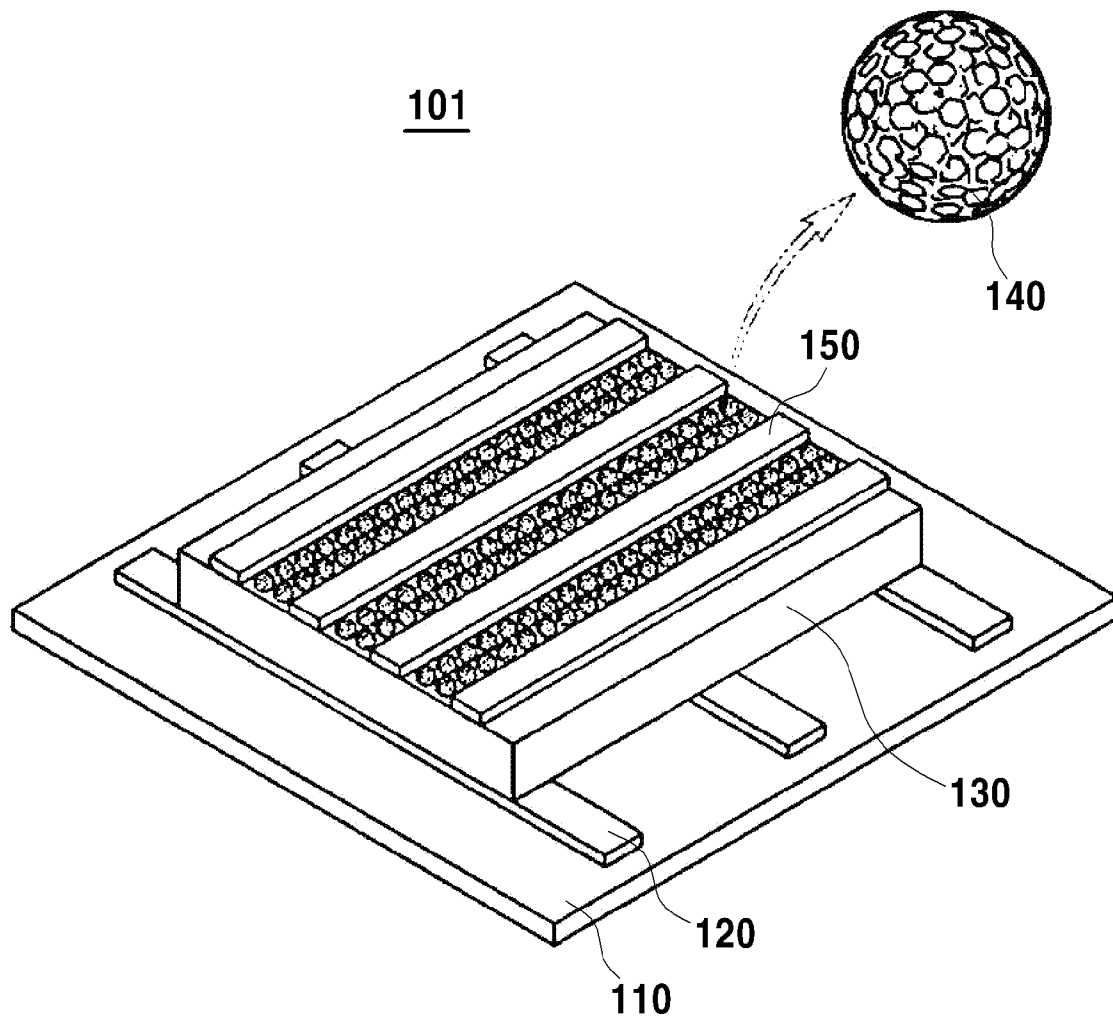
- [청구항 1] 금속 코어(core) 및 상기 코어를 랩핑(wrapping)하는 복수의 그래핀 옥사이드(graphene oxide, GO) 시트들의 셸(shell)을 포함하는, 금속-GO 코어-셸 복합 나노구조체.
- [청구항 2] 제 1 항에 있어서,
상기 금속은 전하 트랩 역할을 수행할 수 있는 금속을 포함하는 것인,
금속-GO코어-셸 복합 나노구조체.
- [청구항 3] 제 1 항에 있어서,
상기 랩핑은 상기 금속 코어 및 상기 그래핀 옥사이드 시트들 간의 정전기적 상호작용에 의한 것인, 금속-GO코어-셸 복합 나노구조체.
- [청구항 4] 기체 상에 형성되는 하부 전극;
상기 하부 전극 상에 형성된 금속 코어 및 상기 코어를 랩핑하는 복수의 그래핀 옥사이드 시트들의 유전체 셸을 포함하는 금속-GO 코어-셸 복합 나노구조체 층; 및
상기 복합 나노구조체 층 상에 형성된 상부 전극을 포함하는,
비휘발성 저항 변화 메모리 소자.
- [청구항 5] 제 4 항에 있어서,
상기 금속은 전하 트랩 역할을 수행할 수 있는 금속을 포함하는 것인,
비휘발성 저항 변화 메모리 소자.
- [청구항 6] 제 4 항에 있어서,
상기 랩핑은 상기 금속 코어 및 상기 그래핀 옥사이드 시트 간의 정전기적 상호작용에 의한 것인, 비휘발성 저항 변화 메모리 소자.
- [청구항 7] 제 4 항에 있어서,
상기 GO 셸의 두께는 2 nm 내지 100 nm인 것인, 비휘발성 저항 변화 메모리 소자.
- [청구항 8] 제 4 항 내지 제 7 항 중 어느 한 항에 있어서,
상기 비휘발성 저항 변화 메모리 소자는 크로스 바 구조를 가지는 것인,
비휘발성 저항 변화 메모리 소자.
- [청구항 9] 기체 상에 하부 전극을 형성하는 단계;
상기 하부 전극 상에 금속 코어 및 상기 코어를 랩핑하는 복수의 그래핀 옥사이드 시트들의 유전체 셸을 포함하는 금속-GO 코어-셸 복합 나노구조체 층을 형성하는 단계; 및
상기 복합 나노구조체 층 상에 상부 전극을 형성하는 단계를 포함하고,
상기 복합 나노구조체 층을 형성하는 단계는 단일 스텝, 용액 공정에 의해

- 수행되는 것인,
비휘발성 저항 변화 메모리 소자의 제조 방법.
- [청구항 10] 제 9 항에 있어서,
상기 금속은 전하 트랩 역할을 수행할 수 있는 금속을 포함하는 것인,
비휘발성 저항 변화 메모리 소자의 제조 방법.
- [청구항 11] 제 9 항에 있어서,
상기 랩핑은 상기 금속 코어 및 상기 그래핀 옥사이드 시트 간의 정전기적 상호작용에 의한 것인, 비휘발성 저항 변화 메모리 소자의 제조 방법.
- [청구항 12] 제 9 항에 있어서,
상기 GO 셀의 두께는 2 nm 내지 100 nm인 것인, 비휘발성 저항 변화 메모리 소자의 제조 방법.
- [청구항 13] 제 9 항 내지 제 12 항 중 어느 한 항에 있어서,
상기 비휘발성 저항 변화 메모리 소자는 크로스 바 구조를 가지는 것인,
비휘발성 저항 변화 메모리 소자의 제조 방법.

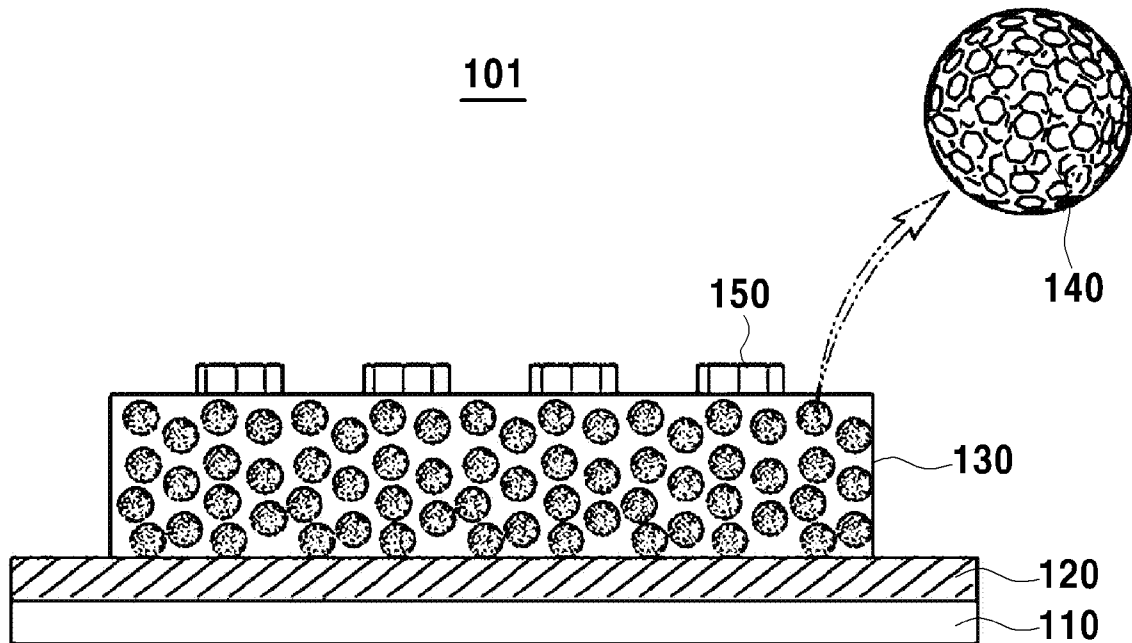
[도 1a]



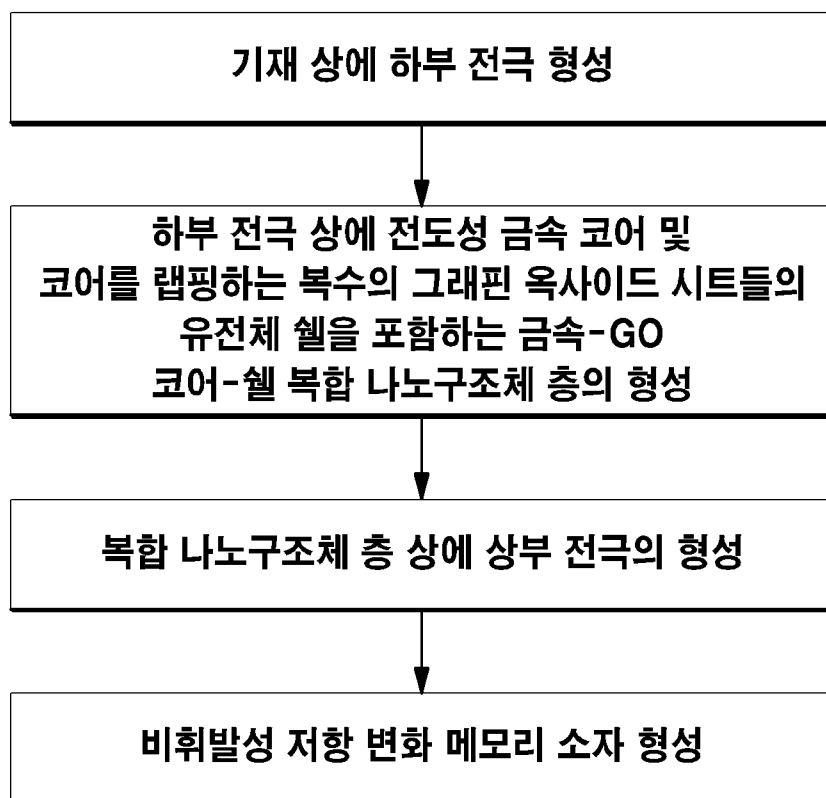
[도 1b]



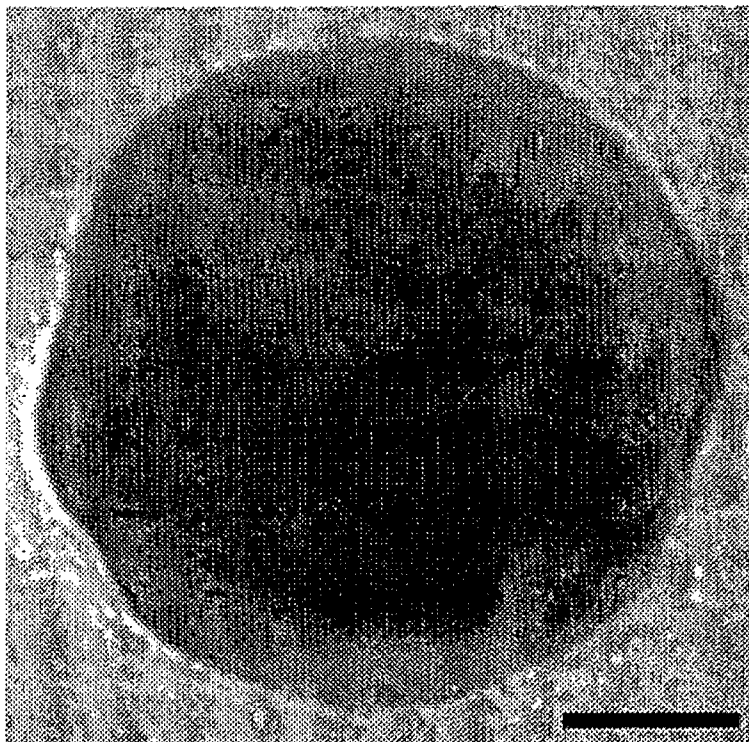
[도1c]



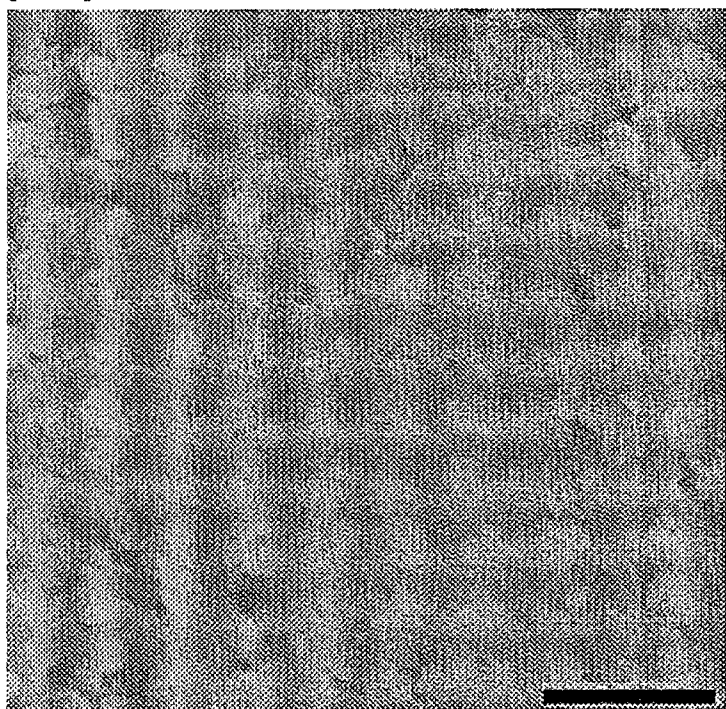
[도2]



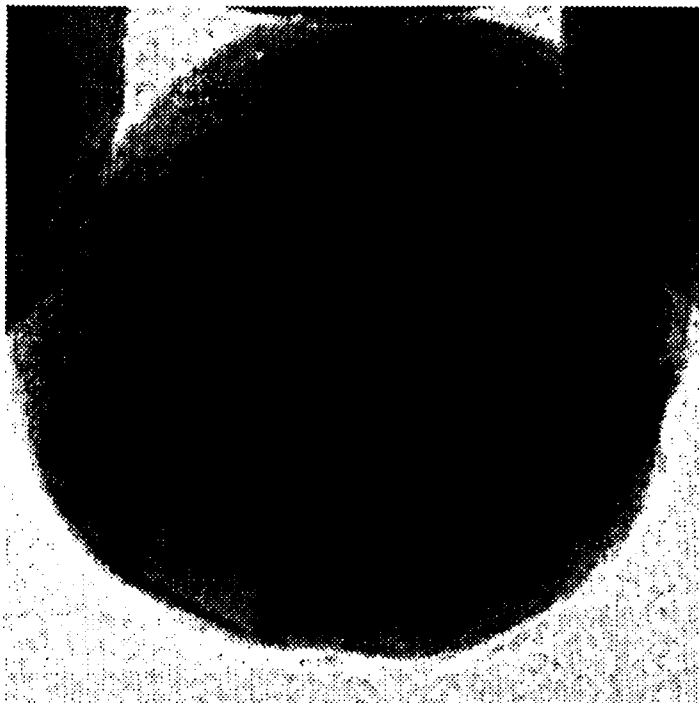
[도3a]



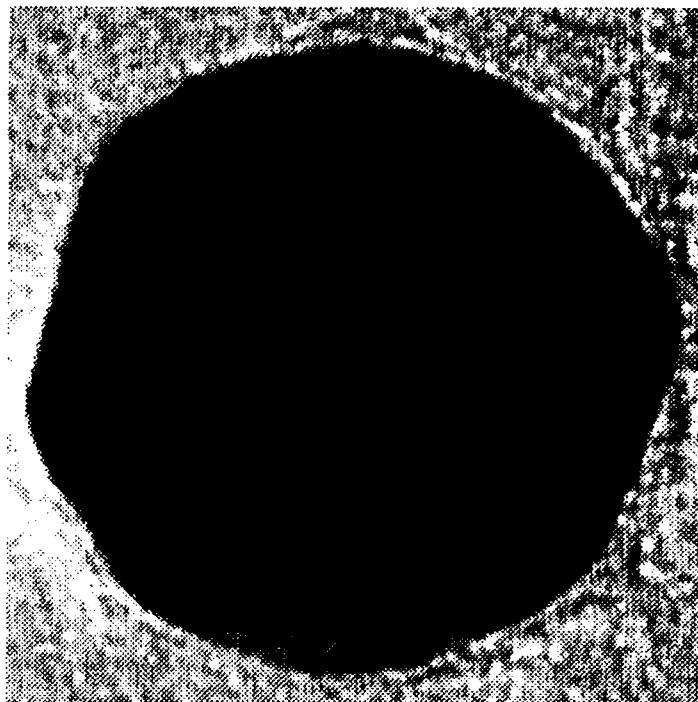
[도3b]



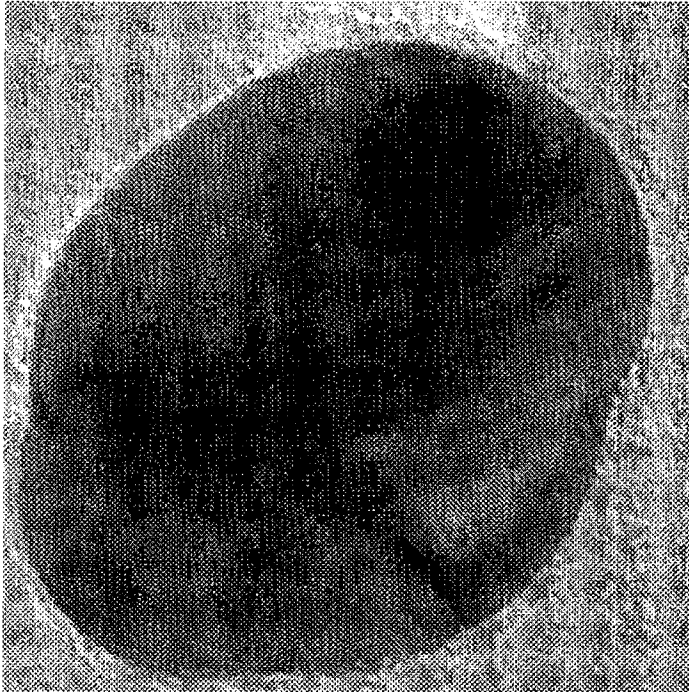
[도4a]



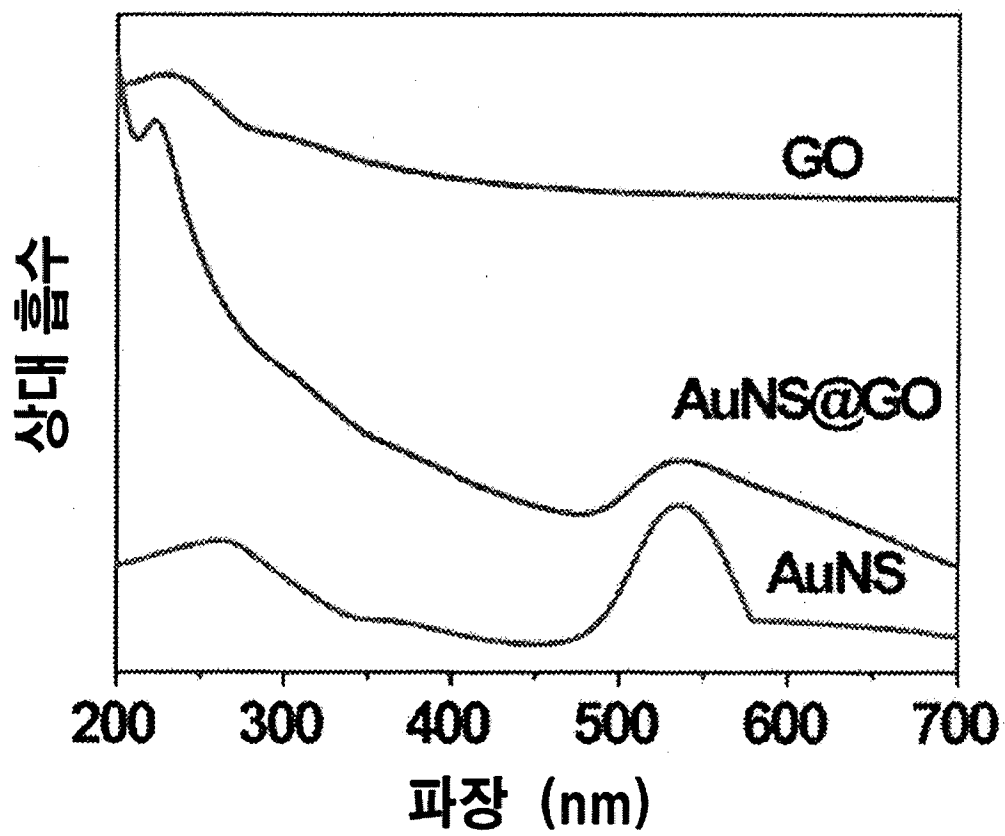
[도4b]



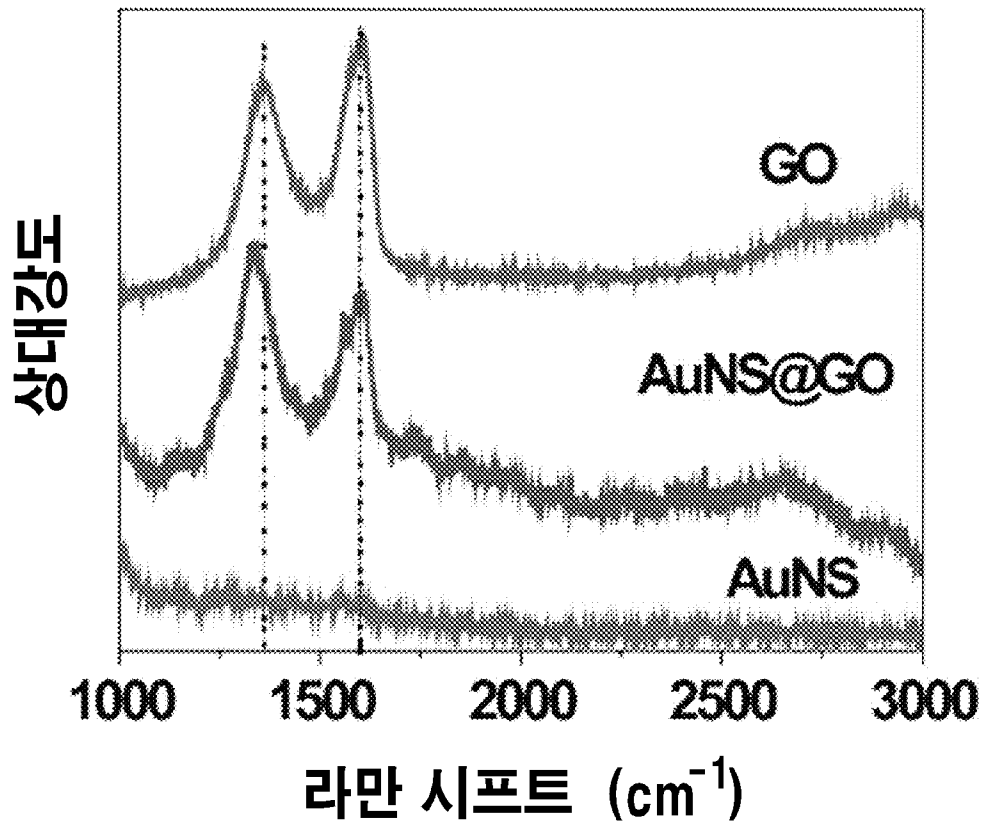
[도4c]



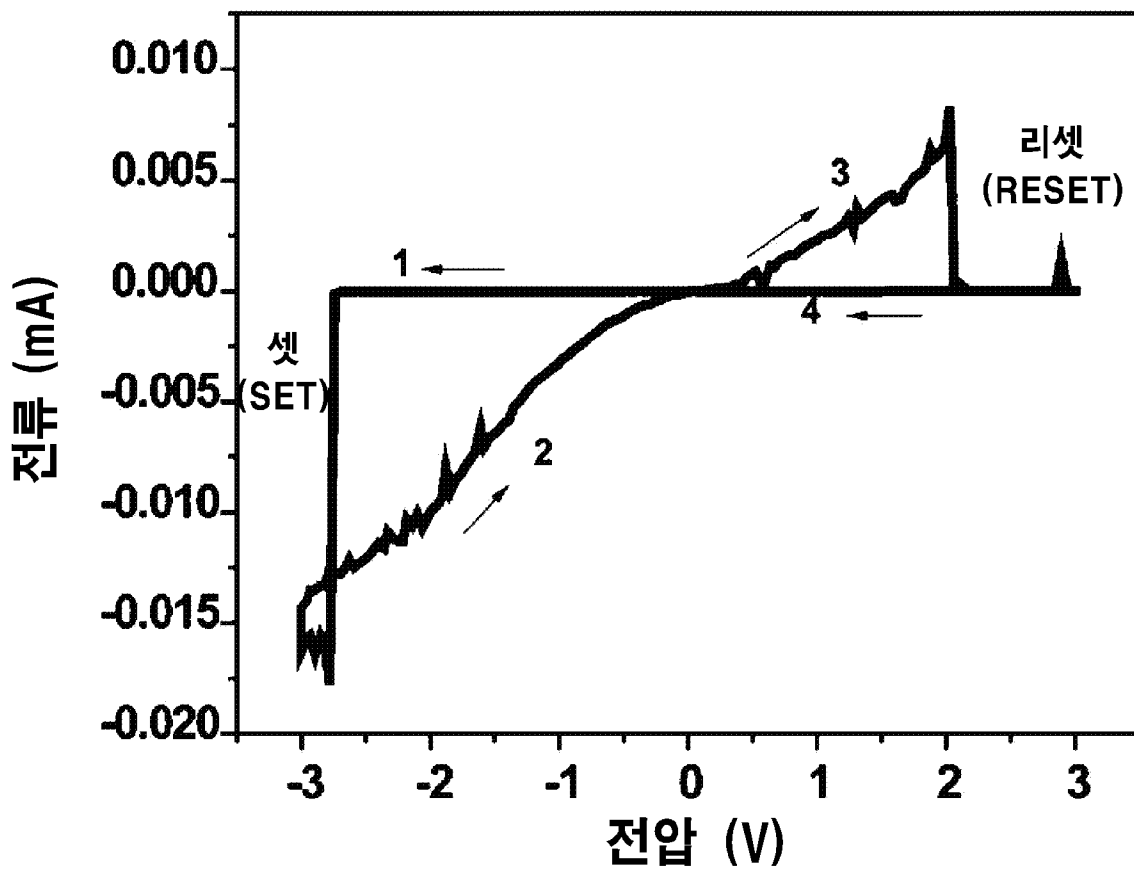
[도5a]



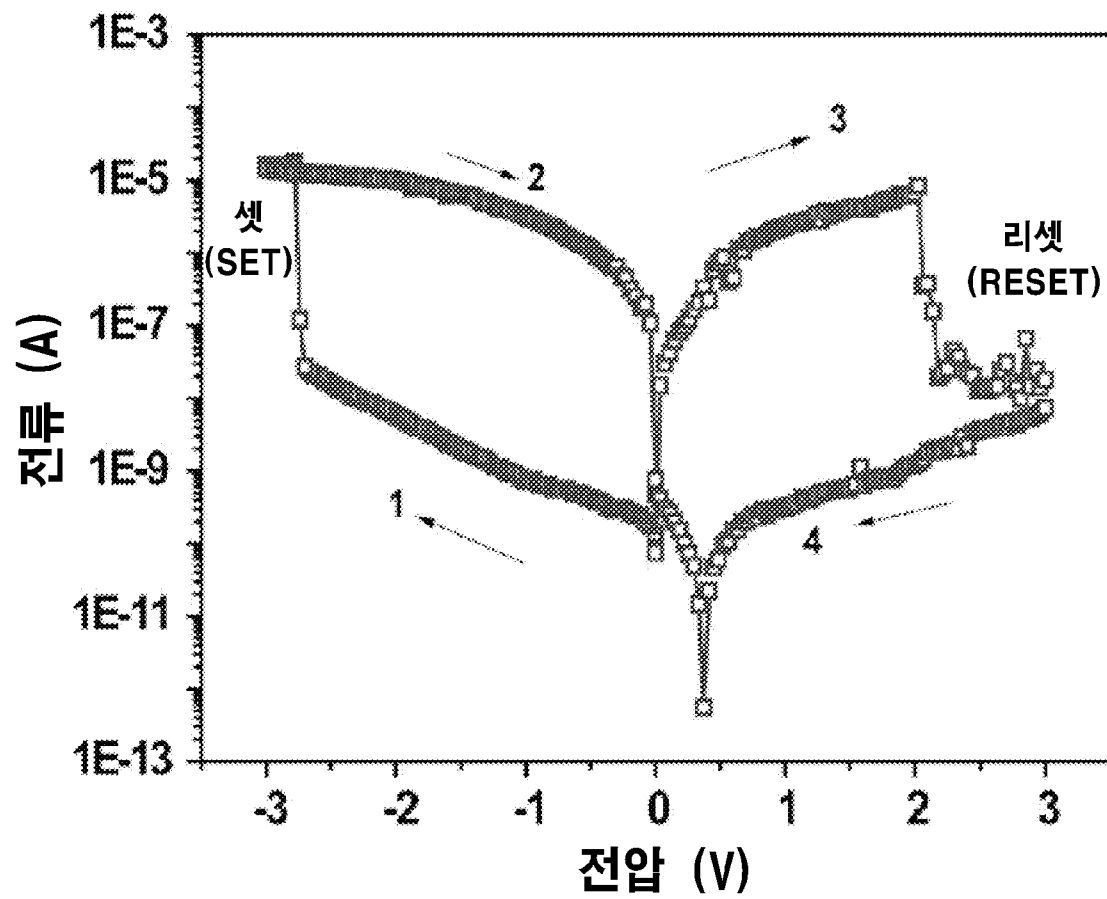
[도5b]



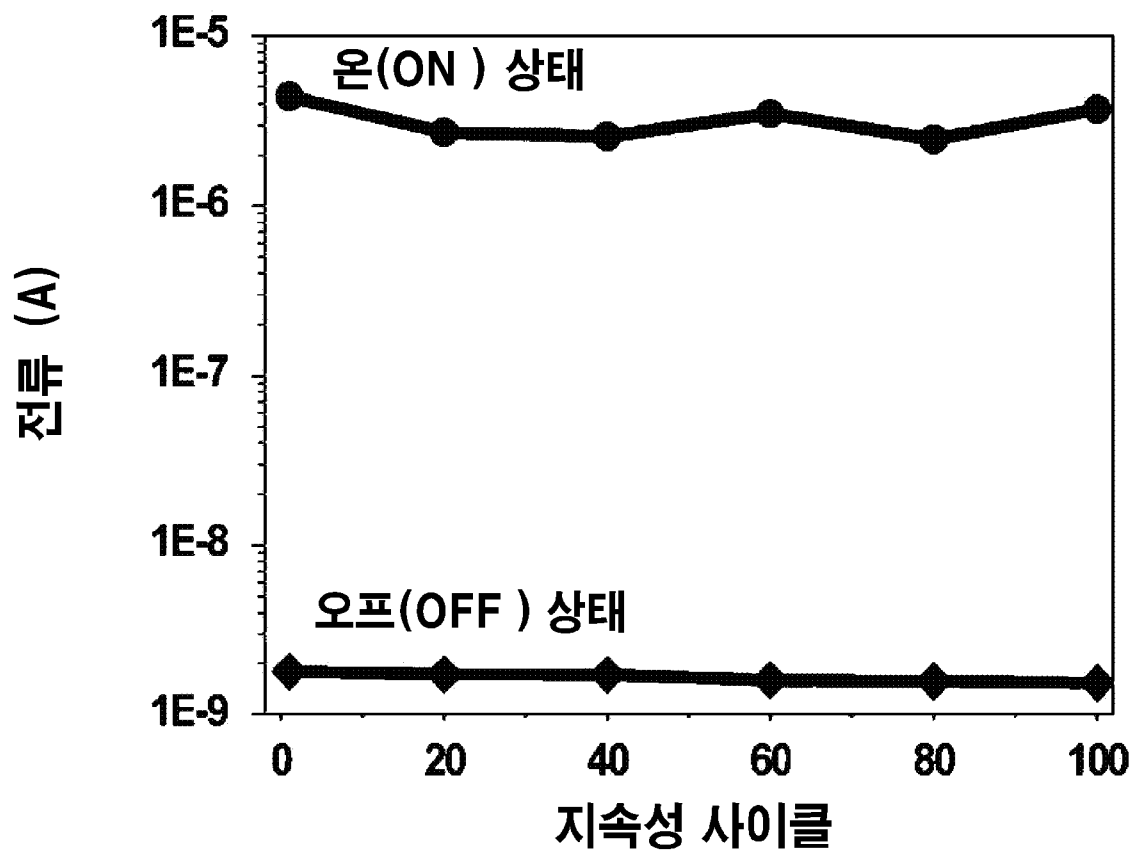
[도6a]



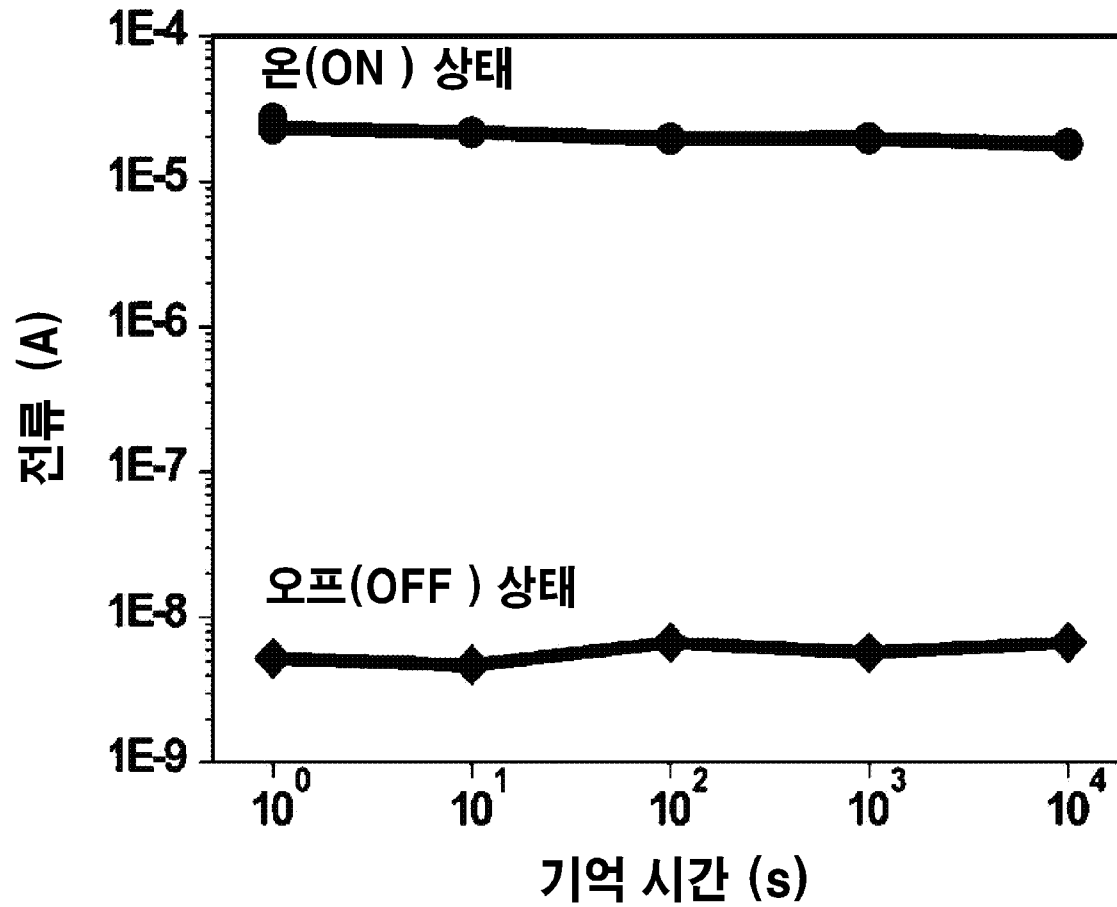
[도6b]



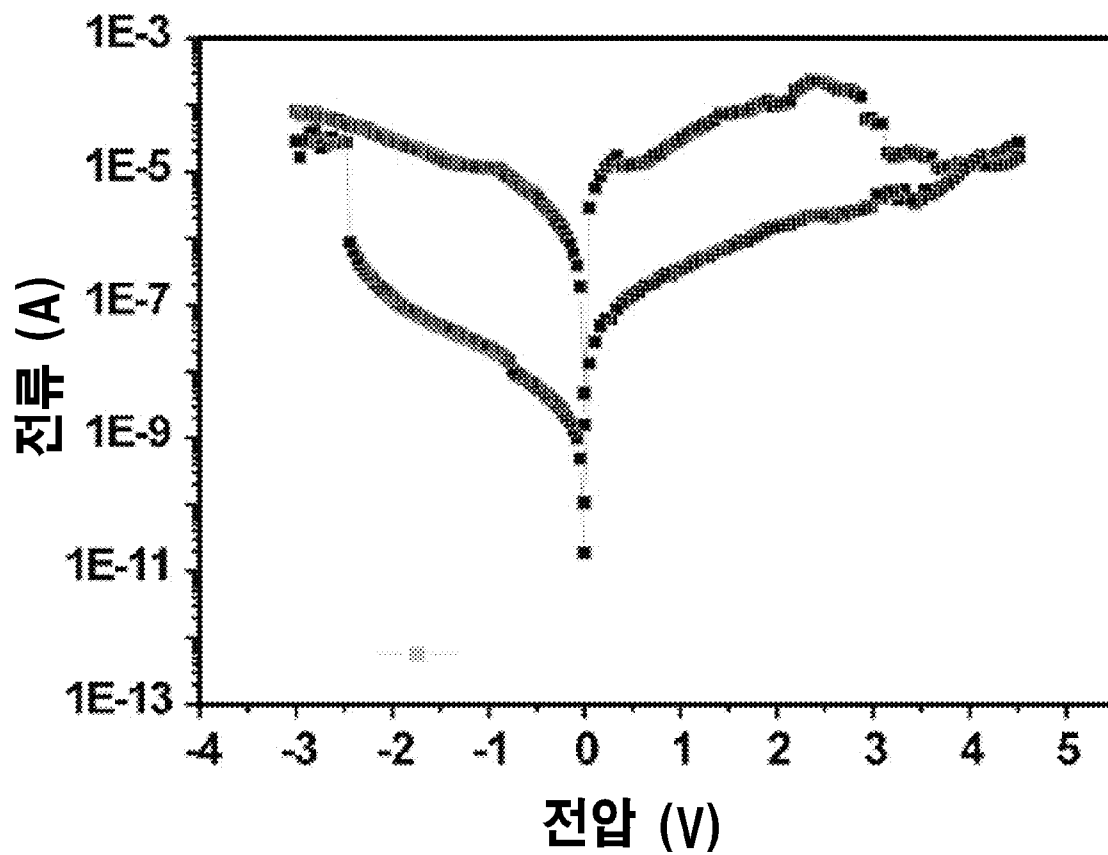
[도6c]



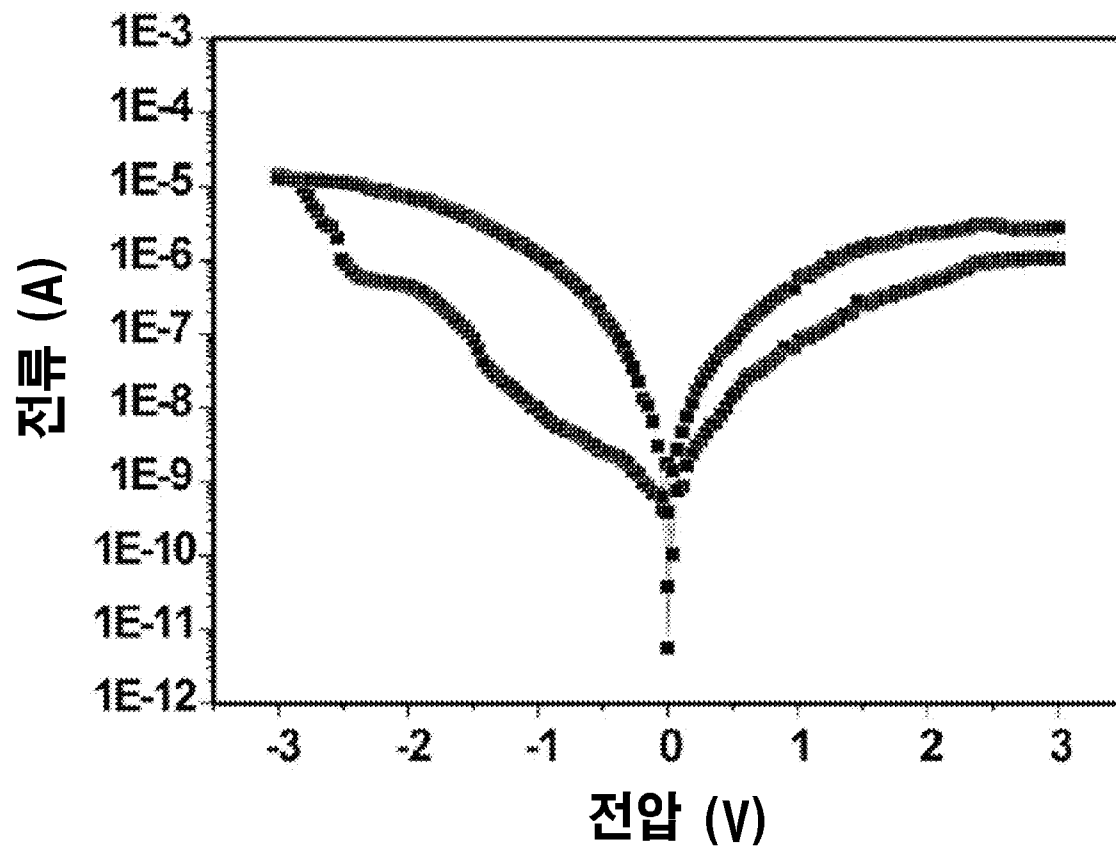
[도6d]



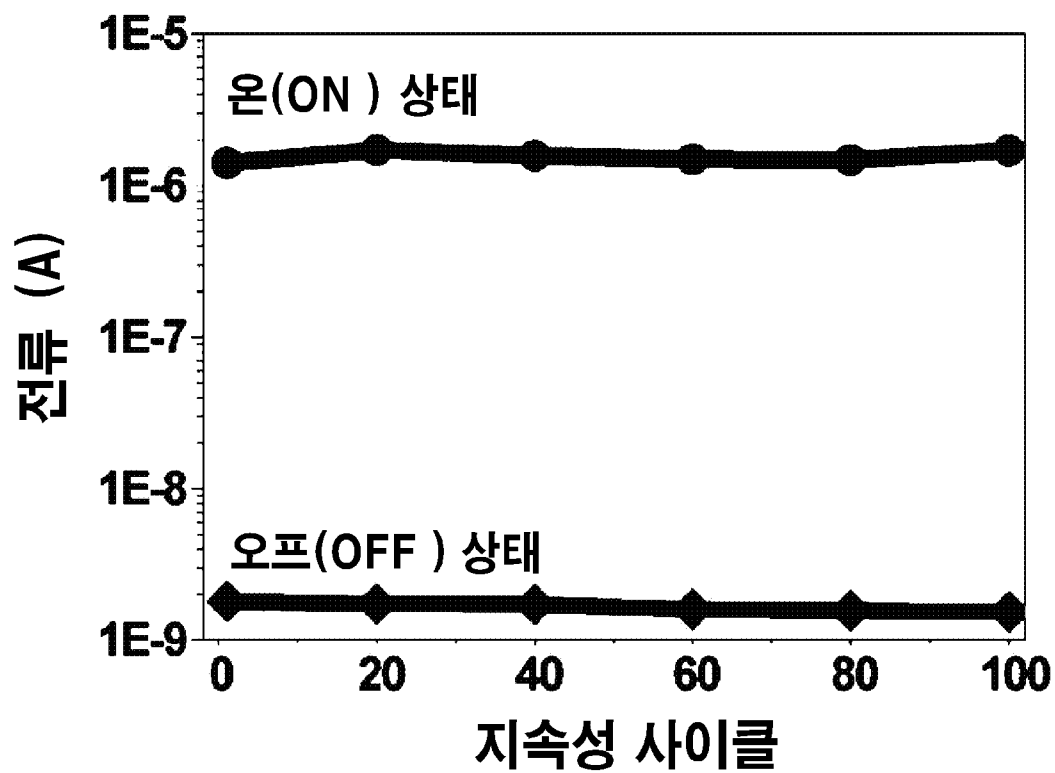
[도7a]



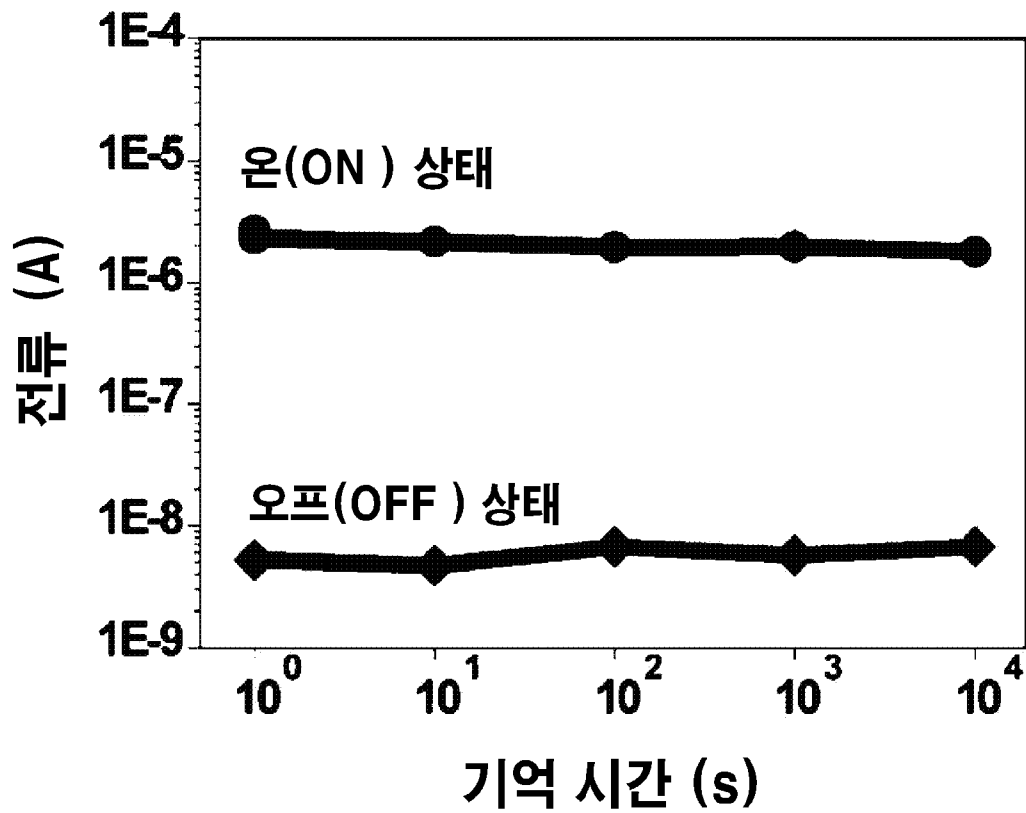
[도7b]



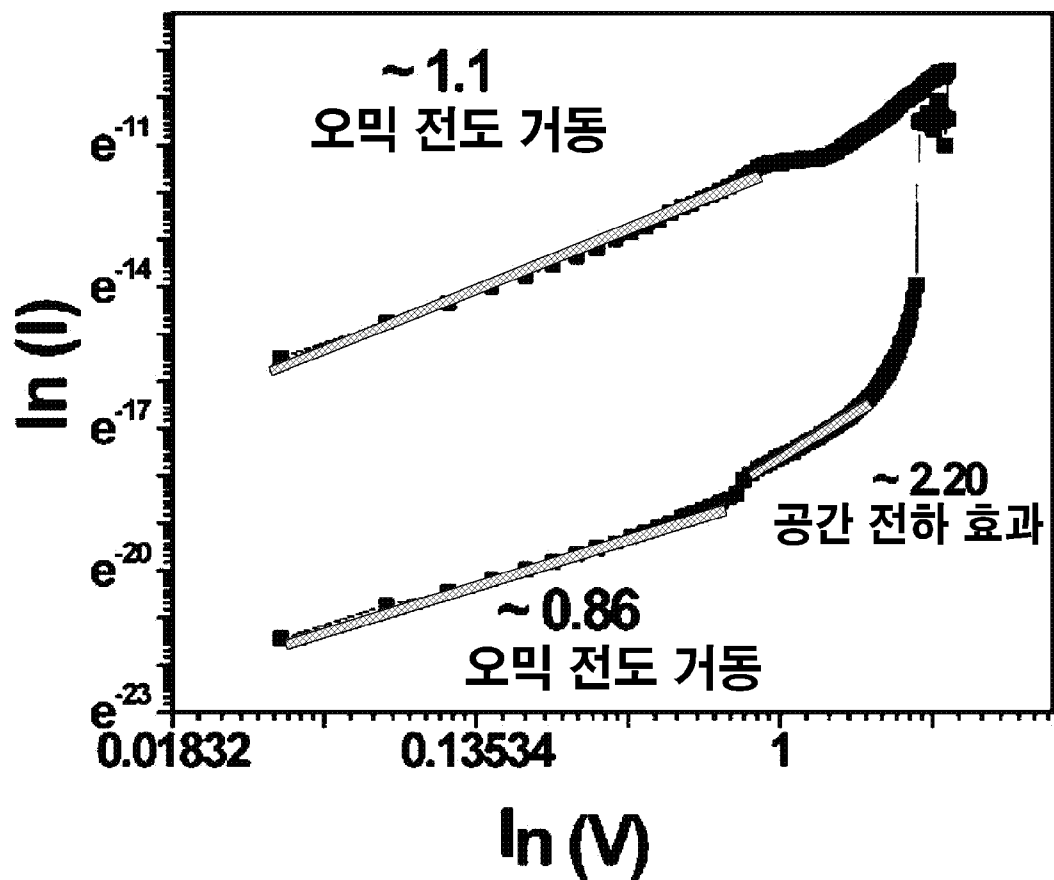
[도8a]



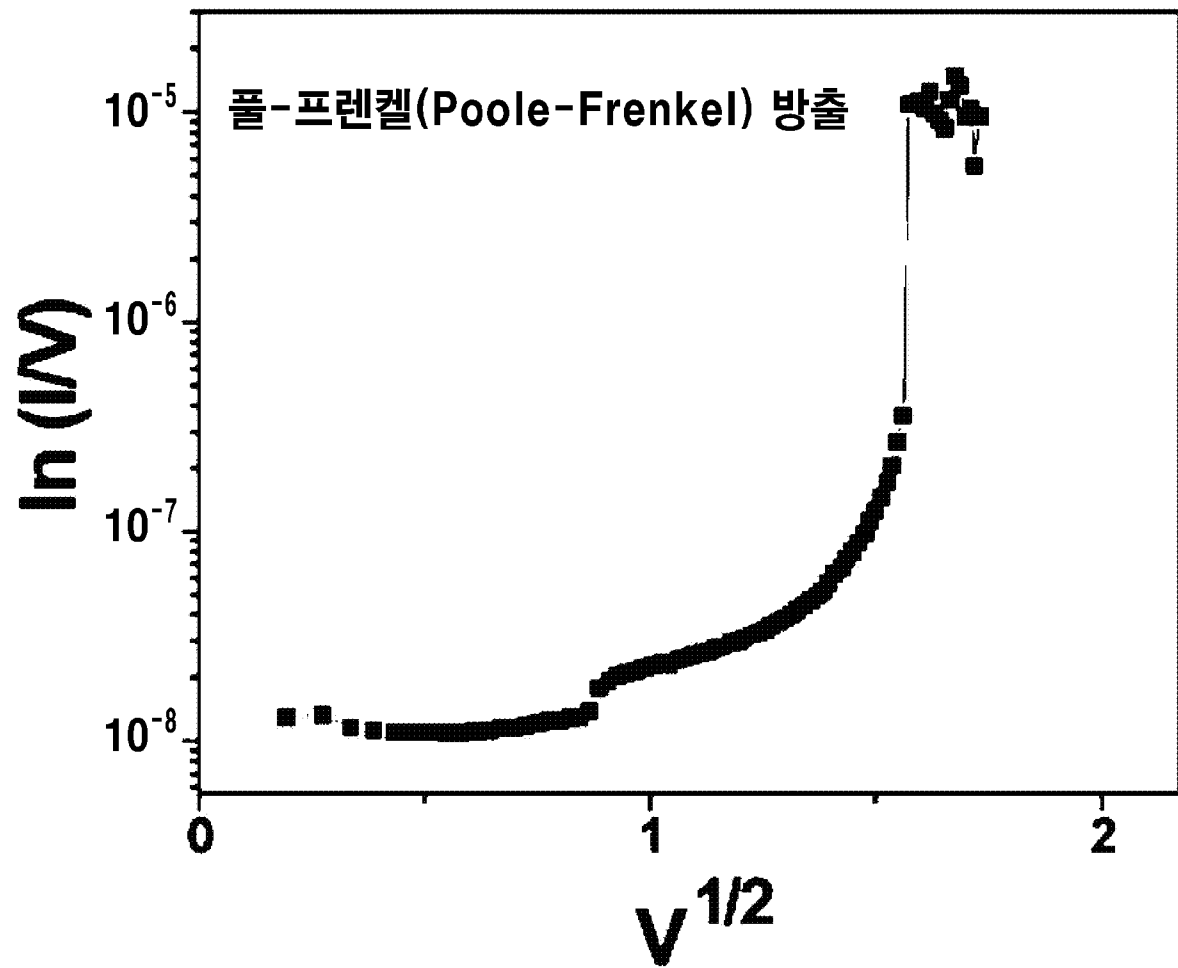
[도8b]



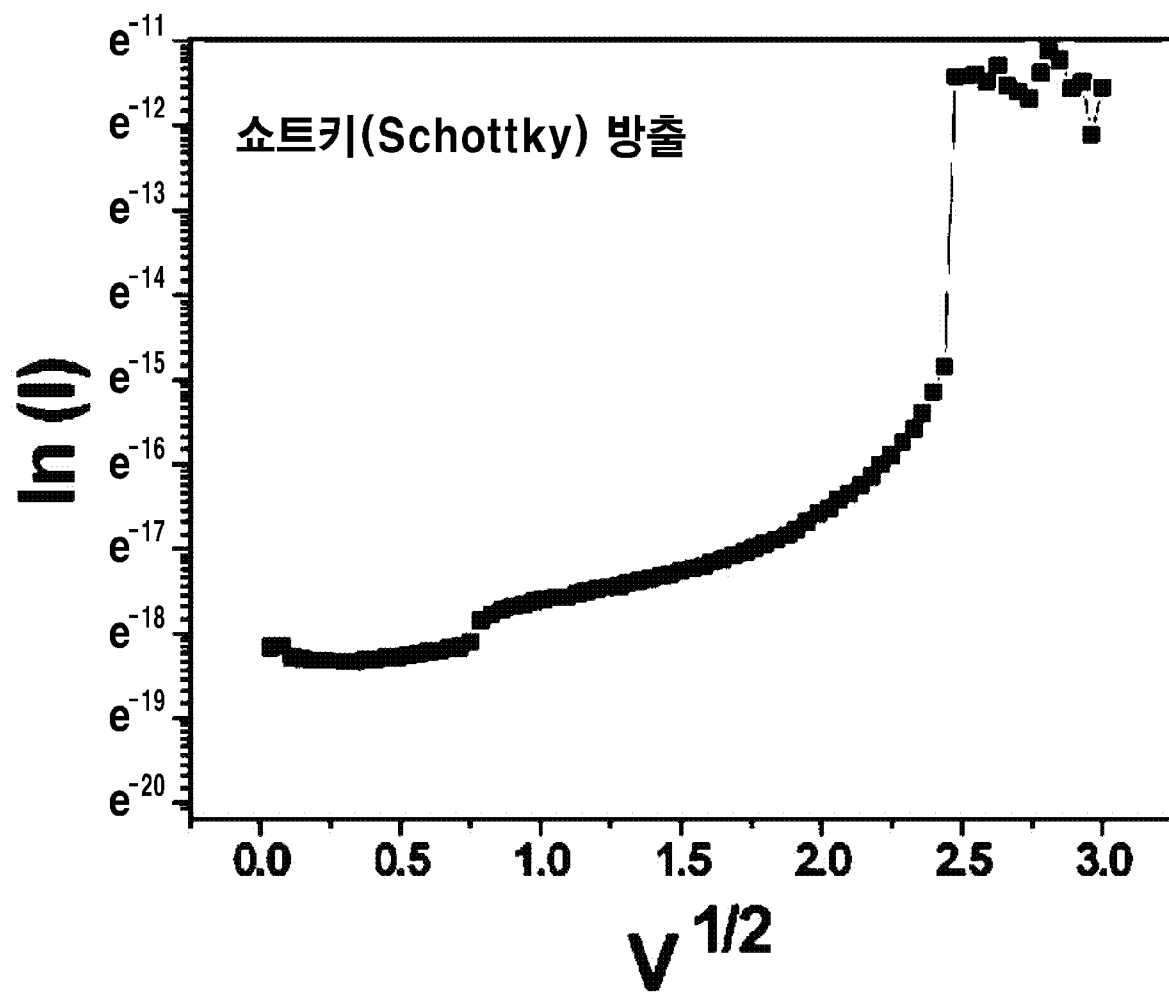
[도9a]



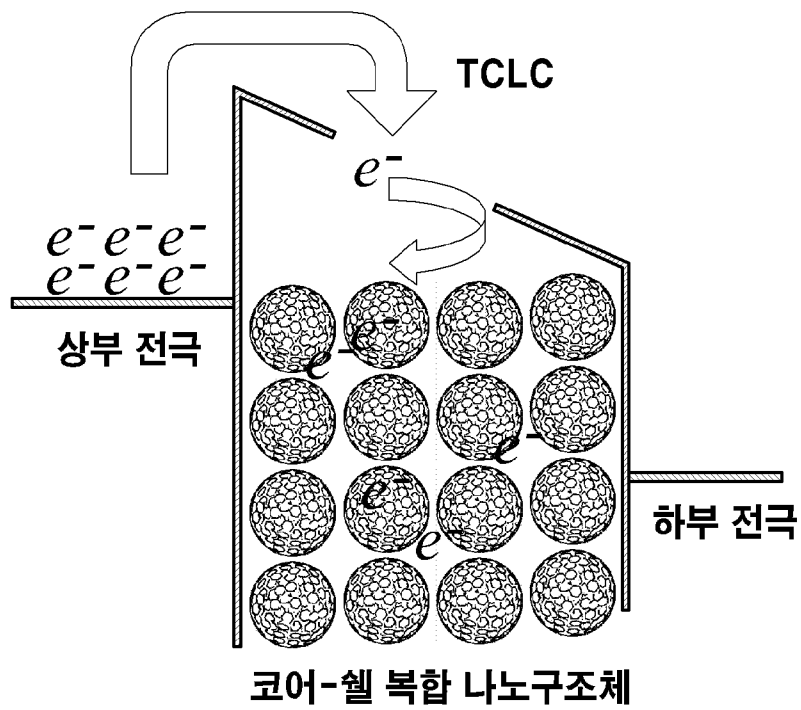
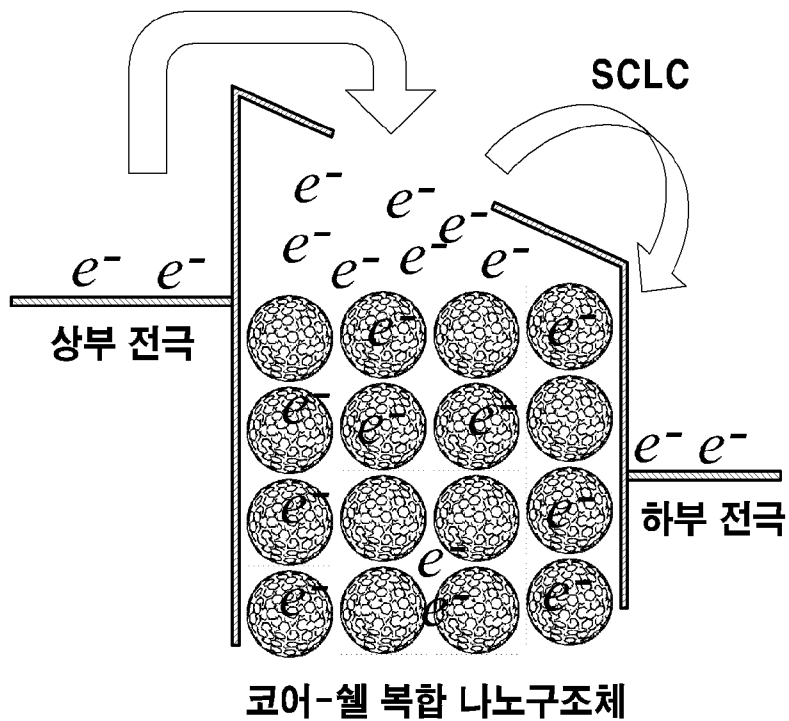
[도9b]



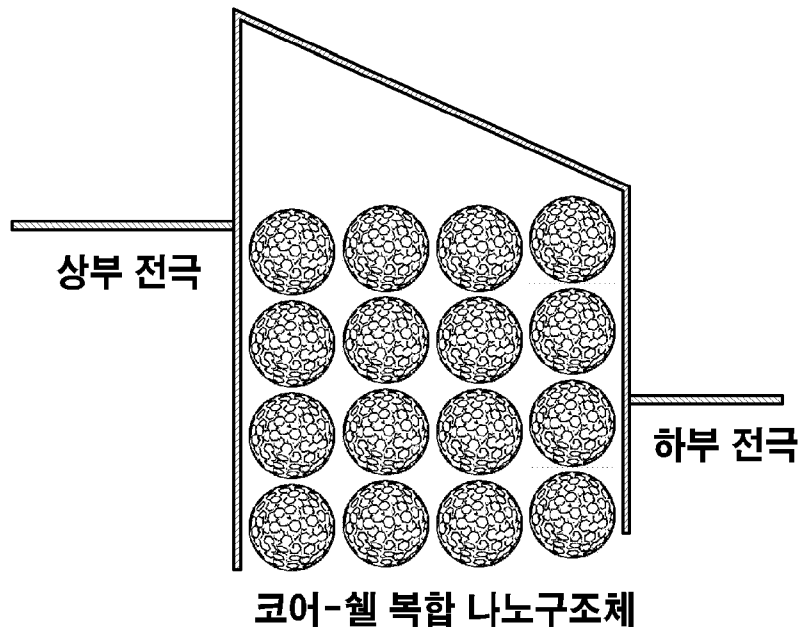
[도9c]



[도10a]

오믹 전도 ($I \propto V$)공간 전하 효과 ($I \propto V^n$)

[도10b]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/006697

A. CLASSIFICATION OF SUBJECT MATTER

H01L 45/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 45/00; H01L 27/10; H01L 21/8229

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: graphene shell, metal core, trap, resistive memory

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	YON, Dong Yeol et al., "Nonvolatile Memory Devices Based on Au/Graphene Oxide Nanocomposites with Bilateral Multilevel Characteristics", CARBON 88 (2015) 26-32, 26 February 2015 See abstract; section 1; and figure 1.	1-13
Y	KIM, Y. K. et al., "One-pot Synthesis of Multifunctional Au@Graphene Oxide Nanocolloid Core@Shell Nanoparticles for Raman Bioimaging, Photothermal, and Photodynamic Therapy", Small, No. 21, 2527-2535, November 2015 See abstract; section 2; and figure 1.	1-13
A	WANG, Shiliang et al., "Synthesis, Growth Mechanism and Thermal Stability of Copper Nanoparticles Encapsulated by Multi-layer Graphene", CARBON 50 (2012) 2119-2125, 12 January 2012 See abstract; and sections 1-3.3.	1-13
A	KR 10-2012-0033722 A (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 09 April 2012 See paragraphs [0047]-[0081]; and figures 1-15.	1-13
A	PRADHAN, Sangram K. et al., "Resistive Switching Behavior of Reduced Graphene Oxide Memory Cells for Low Power Nonvolatile Device Application", Scientific Reports pages 1-9, 31 May 2016 See pages 1-8.	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

21 SEPTEMBER 2017 (21.09.2017)

Date of mailing of the international search report

21 SEPTEMBER 2017 (21.09.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/006697

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2012-0033722 A	09/04/2012	US 2012-0080656 A1	05/04/2012

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 45/00(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 45/00; H01L 27/10; H01L 21/8229

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 그래핀 셀, 금속 코어, 트랩, 저항메모리

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	DONG YEOL YON 등, 'Nonvolatile memory devices based on Au/Graphene oxide nanocomposites with bilateral multilevel characteristics', CARBON 88 (2015) 26-32, 2015.02.26 요약; 섹션 1; 및 도면 1 참조.	1-13
Y	YK KIM 등, 'One-pot synthesis of multifunctional Au@Graphene oxide Nanocolloid Core@Shell nanoparticles for Raman bioimaging, photothermal, and photodynamic therapy', Small, No.21, 2527-2535, 2015.11 요약; 섹션 2; 및 도면 1 참조.	1-13
A	SHILIANG WANG 등, 'Synthesis, growth mechanism and thermal stability of copper nanoparticles encapsulated by multi-layer graphene', CARBON 50 (2012) 2119-2125, 2012.01.12 요약; 및 섹션 1-3.3 참조.	1-13
A	KR 10-2012-0033722 A (한국전자통신연구원) 2012.04.09 단락 [0047]-[0081]; 및 도면 1-15 참조.	1-13
A	SANGRAM K. PRADHAN 등, 'Resistive switching behavior of reduced graphene oxide memory cells for low power nonvolatile device application', Scientific Reports pages 1-9, 2016.05.31 페이지 1-8 참조.	1-13

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 09월 21일 (21.09.2017)

국제조사보고서 발송일

2017년 09월 21일 (21.09.2017)

ISA/KR의 명칭 및 우편주소

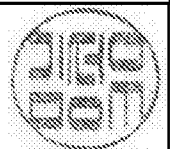
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

김성우

전화번호 +82-42-481-3348



국제출원번호
PCT/KR2017/006697

공개일

2012/04/05