

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年10月21日(21.10.2021)



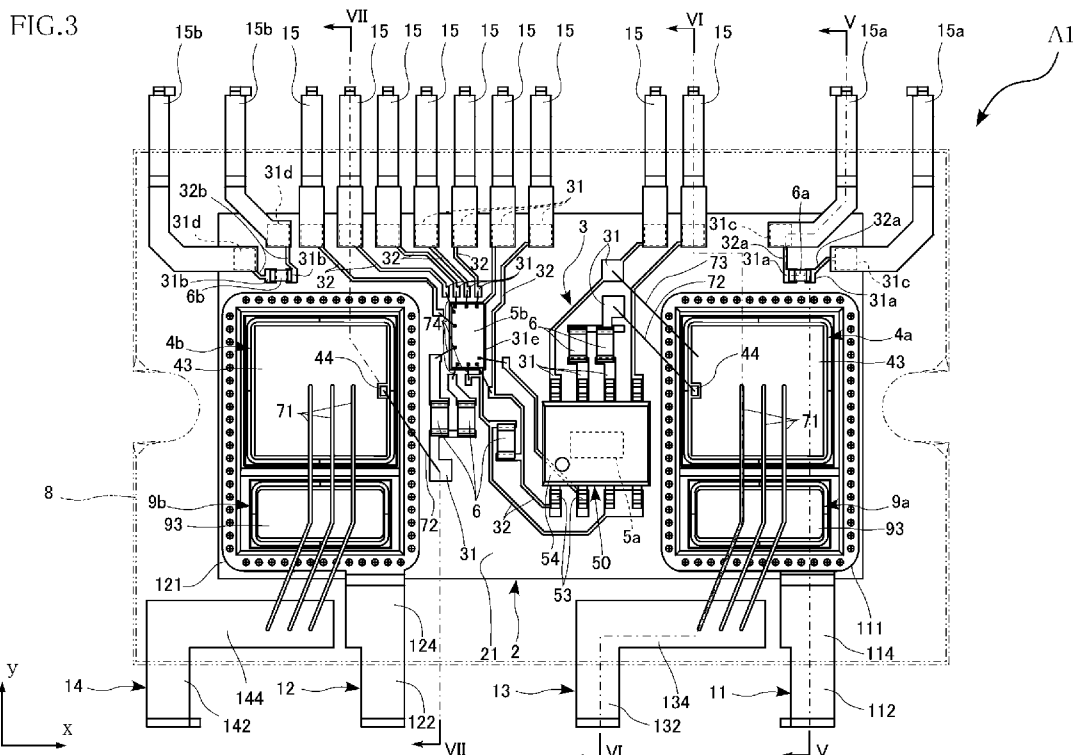
(10) 国際公開番号

WO 2021/210402 A1

- (51) 国際特許分類:
H01L 23/34 (2006.01) H01L 25/07 (2006.01)
H01L 23/36 (2006.01) H01L 25/18 (2006.01)
H01L 23/58 (2006.01)
- (21) 国際出願番号: PCT/JP2021/013848
- (22) 国際出願日: 2021年3月31日(31.03.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-074232 2020年4月17日(17.04.2020) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2番地 Kyoto (JP).
- (72) 発明者: ▲濱▼ 憲治(HAMA Kenji); 〒6158585
京都府京都市右京区西院溝崎町2番地
ローム株式会社内 Kyoto (JP). 石松 祐司
(ISHIMATSU Yuji); 〒6158585 京都府京都市右
京区西院溝崎町2番地 ローム株式会社内
Kyoto (JP). 原 英夫(HARA Hideo); 〒6158585
京都府京都市右京区西院溝崎町2番地
ローム株式会社内 Kyoto (JP).
- (74) 代理人: 臼井 尚, 外 (USUI Takashi et al.);
〒5430014 大阪府大阪市天王寺区玉造元町
2番32-1301 Osaka (JP).

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: This semiconductor device comprises a substrate, an electrically conductive portion, a sealing resin, a plurality of semiconductor chips, and a plurality of temperature detection elements. The substrate has a substrate main surface and a substrate back surface facing away from each other in the thickness direction. The electrically conductive portion is formed on the substrate main surface. The sealing resin covers at least a part of the substrate. Further, the sealing resin covers the electrically conductive portion entirely. The plurality of semiconductor chips are each disposed on the

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

substrate main surface. The plurality of temperature detection elements are each disposed on the substrate main surface. The number of the plurality of temperature detection elements is greater than or equal to the number of the plurality of semiconductor chips.

(57) 要約 : 半導体装置は、基板と、導電部と、封止樹脂と、複数の半導体チップと、複数の温度検出素子とを含む。前記基板は、厚さ方向において互いに反対側を向く基板主面および基板裏面を有する。前記導電部は、前記基板主面上に形成されている。前記封止樹脂は、前記基板の少なくとも一部を覆う。また前記封止樹脂は、前記導電部の全体を覆う。前記複数の半導体チップは、各々、前記基板主面上に配置されている。前記複数の温度検出素子は、各々、前記基板主面上に配置されている。前記複数の温度検出素子の個数は、前記複数の半導体チップの個数以上である。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 従来、スイッチング素子を備えた半導体装置が種々、提案されている。たとえば、特許文献1には、ブリッジ回路を構成する2個のスイッチング素子とサーミスタ素子とが基板に配置され、サーミスタ素子が基板の温度を検出する半導体装置が開示されている。

[0003] ブリッジ回路を構成する2個のスイッチング素子には必ずしも同じ電流が流れるとは限らず、2個のスイッチング素子に温度差が発生する場合がある。サーミスタ素子が検出する温度は基板の温度であり、これは各スイッチング素子の温度を平均化したものである。したがって、2個のスイッチング素子に温度差がある場合、一方のスイッチング素子が設計温度を超えたとしても、その状況を検出できず、当該スイッチング素子が熱暴走する可能性がある。

[0004] また、チップ内に温度を検出するためのダイオードを備えたスイッチング素子も提案されている。しかしながら、このような構成では、温度検出がスイッチングによるノイズの影響を受けやすいという問題がある。

先行技術文献

特許文献

[0005] 特許文献1：WO2017/037780

発明の概要

発明が解決しようとする課題

[0006] 上記した事情に鑑み、本開示は、温度の検出がスイッチングによるノイズの影響を受けにくく、かつ、電流の偏りに起因する熱暴走を抑制できる半導体装置を提供することを一の課題とする。

課題を解決するための手段

[0007] 本開示の第1の側面によって提供される半導体装置は、厚さ方向において互いに反対側を向く基板主面および基板裏面を有する基板と、前記基板主面上に形成された導電部と、前記基板の少なくとも一部と、前記導電部の全体とを覆う封止樹脂と、前記基板主面上に配置された複数の半導体チップと、前記基板主面上に各々が実装された、前記複数の半導体チップ以上の個数の温度検出素子とを備えている。

発明の効果

[0008] 本開示の半導体装置によると、半導体チップ以上の個数の温度検出素子が実装されている。したがって、複数の半導体チップのそれぞれの温度を、異なる温度検出素子で検出できる。これにより、各半導体チップに流れる電流に偏りが生じても、各半導体チップの温度を個別に設計温度と比較できるので、熱暴走の抑制が可能である。また、各温度検出素子は、基板主面上に実装されているので、半導体チップの内部に組み込まれている温度検出部と比較して、スイッチングによるノイズの影響を受けにくい。

[0009] 本開示のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなろう。

図面の簡単な説明

- [0010] [図1]本開示の第1実施形態に係る半導体装置を示す斜視図である。
[図2]図1の半導体装置を示す平面図である。
[図3]図1の半導体装置を示す平面図であり、封止樹脂を透過した図である。
[図4]図1の半導体装置を示す底面図である。
[図5]図3のV-V線に沿う断面図である。
[図6]図3のV'-V'線に沿う断面図である。
[図7]図3のV''-V''線に沿う断面図である。
[図8]図1の半導体装置の基板を示す平面図である。
[図9]図1の半導体装置の製造方法の一例の一工程を示すフローチャートである。

[図10]本開示の第2実施形態に係る半導体装置を示す平面図であり、封止樹脂を透過した図である。

[図11]本開示の第3実施形態に係る半導体装置を示す平面図であり、封止樹脂を透過した図である。

[図12]本開示の第4実施形態に係る半導体装置を示す平面図であり、封止樹脂を透過した図である。

[図13]本開示の第5実施形態に係る半導体装置を示す部分平面図であり、封止樹脂を透過した図である。

[図14]本開示の第6実施形態に係る半導体装置を示す平面図であり、封止樹脂を透過した図である。

発明を実施するための形態

[0011] 以下、本開示の好ましい実施の形態につき、図面を参照して具体的に説明する。

[0012] 本開示において、「ある物Aがある物Bに形成されている」および「ある物Aがある物B上に形成されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接形成されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに形成されていること」を含む。同様に、「ある物Aがある物Bに配置されている」および「ある物Aがある物B上に配置されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接配置されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに配置されていること」を含む。同様に、「ある物Aがある物B上に位置している」とは、特段の断りのない限り、「ある物Aがある物Bに接して、ある物Aがある物B上に位置していること」、および、「ある物Aとある物Bとの間に他の物が介在しつつ、ある物Aがある物B上に位置していること」を含む。また、「ある物Aがある物Bにある方向に見て重なる」とは、特段の断りのない限り、「ある物Aがある物Bのすべてに重なること」、および、「ある物Aがある物Bの一部に重なること」を含む。

[0013] 図1～図8は、本開示の第1実施形態に係る半導体装置を示している。本実施形態の半導体装置A1は、複数のリード1、基板2、複数の接合部25、導電部3、2個の半導体チップ4、2個の保護素子9、2個の制御チップ5、複数の受動素子6、それぞれ複数のワイヤ71、72、73、74、および封止樹脂8を備えている。本実施形態において、半導体装置A1は、IPM (Intelligent Power Module) である。半導体装置A1は、たとえば、エアコンディショナーやモータ制御機器などの用途に用いられる。

[0014] 図1は、半導体装置A1を示す斜視図である。図2は、半導体装置A1を示す平面図である。図3は、半導体装置A1を示す平面図であり、封止樹脂8を透過した図である。なお、図3においては、封止樹脂8の外形を想像線（二点鎖線）で示している。図4は、半導体装置A1を示す底面図である。図5は、図3のV-V線に沿う断面図である。図6は、図3のV1-V1線に沿う断面図である。図7は、図3のV11-V11線に沿う断面図である。図8は、基板2を示す平面図である。

[0015] 説明の便宜上、基板2の厚さ方向をz方向とし、z方向に直交する基板2の一方の辺に沿う方向（図2～図4における左右方向）をx方向、z方向およびx方向に直交する方向（図2～図4における上下方向）をy方向とする。

[0016] 基板2は、z方向視（「平面視」ともいう）の形状がx方向に長い矩形形状である。基板2の厚さ（z方向の寸法）は、たとえば0.1mm～1.0mm程度である。なお、基板2の各寸法は特に限定されない。基板2は、絶縁性の材料からなる。基板2の材料は、特に限定されない。基板2の材料としては、たとえば、封止樹脂8の材料よりも熱伝導率が高い材料が好ましい。基板2の材料としては、たとえばアルミナ（ Al_2O_3 ）、窒化珪素（SiN）、窒化アルミニウム（AlN）、ジルコニア入りアルミナ等のセラミックが例示される。

[0017] 基板2は、基板主面21および基板裏面22を有する。基板主面21およ

び基板裏面 2 2 は、z 方向において互いに反対側を向く面であり、ともに z 方向に対して直交する平坦面である。基板主面 2 1 は、図 5 ~ 図 7 の上方を向く面である。基板主面 2 1 には、導電部 3 および複数の接合部 2 5 が形成されており、複数のリード 1 および複数の電子部品が搭載されている。複数の電子部品には、2 個の半導体チップ 4、2 個の保護素子 9、2 個の制御チップ 5、および複数の受動素子 6 が含まれている。基板裏面 2 2 は、図 5 ~ 図 7 の下方を向く面である。図 4 に示すように、基板裏面 2 2 は、封止樹脂 8 から露出している。基板主面 2 1 および基板裏面 2 2 の形状は、ともに矩形形状である。なお、基板 2 の形状は特に限定されない。

[0018] 導電部 3 は、基板 2 上に形成されている。本実施形態においては、導電部 3 は、基板 2 の基板主面 2 1 上に形成されている。導電部 3 は、導電性材料からなる。導電部 3 を構成する導電性材料は特に限定されない。導電部 3 の導電性材料としては、たとえば銀 (A g)、銅 (C u)、金 (A u) 等を含むものが挙げられる。以降の説明においては、導電部 3 が銀を含む場合を例に説明する。なお、導電部 3 は、銀に代えて銅を含んでいてもよいし、銀または銅に代えて金を含んでいてもよい。あるいは、導電部 3 は、A g - P t や A g - P d を含んでいてもよい。導電部 3 の形成手法は特に限定されず、たとえばこれらの金属を含むペーストを焼成することによって形成される。導電部 3 の厚さは特に限定されず、たとえば $5 \mu\text{m}$ ~ $30 \mu\text{m}$ 程度である。

[0019] 導電部 3 の形状等は特に限定されない。本実施形態では、導電部 3 は、たとえば図 8 に示すように、複数のパッド 3 1 および複数の接続配線 3 2 を含んでいる。

[0020] 各パッド 3 1 は、たとえば矩形形状であり、リード 1 5 (後述)、制御装置 5 0 (後述)、受動素子 6、およびワイヤ 7 2 ~ 7 4 のいずれかが導通接合されている。なお、パッド 3 1 の形状は特に限定されない。各パッド 3 1 は、互いに離間して配置されている。

[0021] 複数のパッド 3 1 は、図 3 および図 8 に示すように、それぞれ 2 個のパッド 3 1 a、3 1 b、3 1 c、3 1 d、およびパッド 3 1 e を含んでいる。2

個のパッド31aは、図8に示すように、基板主面21の右上角付近に、x方向に並んで配置されている。図3に示すように、2個のパッド31aには、サーミスタ6a（後述）の各端子がそれぞれ接合される。2個のパッド31bは、図8に示すように、基板主面21の左上角付近に、x方向に並んで配置されている。図3に示すように、2個のパッド31bには、サーミスタ6b（後述）の各端子がそれぞれ接合される。2個のパッド31cは、図8に示すように、基板主面21の右上角付近で、2個のパッド31aと基板主面21のy方向の端縁との間に配置されている。図3に示すように、2個のパッド31cには、リード15a（後述）がそれぞれ接合される。2個のパッド31dは、図8に示すように、基板主面21の左上角付近で、2個のパッド31bと基板主面21のy方向の端縁との間に配置されている。図3に示すように、2個のパッド31dには、リード15b（後述）がそれぞれ接合される。パッド31eは、図8に示すように、基板主面21の中央付近に配置されている。図3に示すように、パッド31eには、制御チップ5b（後述）が接合される。

[0022] 各接続配線32は、複数のパッド31に接続しており、接続されたパッド31間の導通経路になる。複数の接続配線32は、図3および図8に示すように、それぞれ2個の接続配線32a、32bを含んでいる。各接続配線32aは、パッド31aおよびパッド31cに接続している。各接続配線32bは、パッド31bおよびパッド31dに接続している。

[0023] 複数の接合部25は、図8に示すように、基板2上に形成されている。本実施形態においては、複数の接合部25は、基板2の基板主面21上のy方向の一方側（図8において下側）寄りに形成されている。接合部25の材料は特に限定されず、たとえば、基板2とリード1とを接合可能な材料で構成されている。接合部25は、たとえば導電性材料からなる。接合部25を構成する導電性材料は特に限定されない。接合部25の導電性材料としては、たとえば銀（Ag）、銅（Cu）、金（Au）等を含むものが挙げられる。以降の説明においては、接合部25が銀を含む場合を例に説明する。この例

における接合部25は、導電部3を構成する導電性材料と同じものを含む。なお、接合部25は、銀に代えて銅を含んでいてもよいし、銀または銅に代えて金を含んでいてもよい。あるいは、接合部25は、Ag-PtやAg-Pdを含んでいてもよい。接合部25の形成手法は特に限定されず、たとえば導電部3と同様に、これらの金属を含むペーストを焼成することによって形成される。接合部25の厚さは特に限定されず、たとえば5 μ m~30 μ m程度である。

[0024] 本実施形態においては、複数の接合部25は、図8に示すように、接合部251、252を含んでいる。接合部251、252は、互いに離間している。接合部251は、基板2のz方向視におけるx方向の一方側（図8において右側）寄りに形成されている。接合部251には、リード11（後述）が接合されている。接合部252は、基板2のz方向視におけるx方向の他方側（図8において左側）寄りに形成されている。接合部252には、リード12（後述）が接合されている。なお、接合部251、252の形状および配置は特に限定されない。

[0025] 複数のリード1は、金属を含んで構成されており、たとえば基板2よりも熱伝導率が高い。リード1を構成する金属は特に限定されず、たとえば銅（Cu）、アルミニウム、鉄（Fe）、無酸素銅、またはこれらの合金（たとえば、Cu-Sn合金、Cu-Zr合金、Cu-Fe合金等）である。また、複数のリード1には、ニッケル（Ni）めっきが施されていてもよい。複数のリード1は、たとえば、金型を金属板に押し付けるプレス加工により形成されてもよいし、金属板をエッチングでパターンングすることにより形成されてもよい。なお、複数のリード1の形成方法は特に限定されない。各リード1の厚さは特に限定されず、たとえば0.4mm~0.8mm程度である。各リード1は、互いに離間している。

[0026] 本実施形態においては、複数のリード1は、リード11、リード12、リード13、リード14、および複数のリード15を含んでいる。リード11、リード12、リード13、およびリード14は、半導体チップ4への導通

経路を構成しており、半導体装置A1のy方向の一方側（図2および図3においては下側）を向く側面から突出している。複数のリード15は、制御チップ5または受動素子6への導通経路を構成しており、半導体装置A1のy方向の他方側（図2および図3においては上側）を向く側面から突出している。

[0027] リード11は、基板2上に配置されており、本実施形態においては、基板主面21上に配置されている。リード11が、「第1リード」の一例である。リード11は、接合材75を介して接合部25に接合されている。接合材75は、リード11を接合部25に接合しうるものであればよい。リード11からの熱を基板2により効率よく伝達する観点から、接合材75は、熱伝導率がより高いものがこのましく、たとえば、銀ペースト、銅ペーストやはんだ等が用いられる。ただし、接合材75は、エポキシ系樹脂やシリコン系樹脂等の絶縁性材料であってもよい。また、基板2に接合部25が形成されていない場合、リード11は、基板2に接合されていてもよい。

[0028] リード11の構成は特に限定されない。本実施形態においては、図5に示すように、リード11を、搭載部111、突出部112、傾斜接続部113および平行接続部114に区分けして説明する。

[0029] 搭載部111は、z方向視略矩形状であり、主面111aおよび裏面111bを有する。主面111aおよび裏面111bは、z方向において互いに反対側を向く面であり、ともにz方向に対して直交する面である。主面111aは、図5および図6の上方を向く面である。主面111aには、半導体チップ4aおよび保護素子9aが搭載されている。裏面111bは、図5～図7の下方を向く面である。裏面111bは、接合材75によって接合部25に接合されている。傾斜接続部113および平行接続部114は、封止樹脂8によって覆われている。傾斜接続部113は、搭載部111および平行接続部114につながっており、搭載部111および平行接続部114に対して傾斜している。平行接続部114は、傾斜接続部113および突出部112につながっており、搭載部111に対して平行である。突出部112は

、平行接続部 114 の端部につながり、リード 11 のうち封止樹脂 8 から突出する部分である。突出部 112 は、y 方向において搭載部 111 とは反対側に突出している。突出部 112 は、たとえば半導体装置 A1 を外部の回路に電氣的に接続するために用いられる。図示された例においては、突出部 112 は、z 方向において搭載部 111 の主面 111a が向く側に折り曲げられている。

[0030] リード 12 は、基板 2 上に配置されており、本実施形態においては、基板主面 21 上に配置されている。リード 12 が、「第 2 リード」の一例である。リード 12 は、接合材 75 を介して接合部 25 に接合されている。リード 12 の構成は特に限定されない。本実施形態においては、図 7 に示すように、リード 12 を、搭載部 121、突出部 122、傾斜接続部 123 および平行接続部 124 に分けして説明する。

[0031] 搭載部 121 は、z 方向視略矩形状であり、主面 121a および裏面 121b を有する。主面 121a および裏面 121b は、z 方向において互いに反対側を向く面であり、ともに z 方向に対して直交する面である。主面 121a は、図 7 の上方を向く面である。主面 121a には、半導体チップ 4b および保護素子 9b が搭載されている。裏面 121b は、図 7 の下方を向く面である。裏面 121b は、接合材 75 によって接合部 25 に接合されている。傾斜接続部 123 および平行接続部 124 は、封止樹脂 8 によって覆われている。傾斜接続部 123 は、搭載部 121 および平行接続部 124 につながっており、搭載部 121 および平行接続部 124 に対して傾斜している。平行接続部 124 は、傾斜接続部 123 および突出部 122 につながっており、搭載部 121 に対して平行である。突出部 122 は、平行接続部 124 の端部につながり、リード 12 のうち封止樹脂 8 から突出する部分である。突出部 122 は、y 方向において搭載部 121 とは反対側に突出している。突出部 122 は、たとえば半導体装置 A1 を外部の回路に電氣的に接続するために用いられる。図示された例においては、突出部 122 は、z 方向において搭載部 121 の主面 121a が向く側に折り曲げられている。

- [0032] リード13は、本実施形態では、基板2上に配置されておらず、封止樹脂8によって支持されている。リード13は、リード11の搭載部111および傾斜接続部113に相当する部位を含んでいない。なお、リード13の構成はこれに限定されない。本実施形態においては、図6に示すように、リード13を、突出部132およびワイヤボンディング部134に区分けして説明する。
- [0033] ワイヤボンディング部134は、封止樹脂8によって覆われている。ワイヤボンディング部134には、ワイヤ71が接合されている。突出部132は、ワイヤボンディング部134の端部につながり、リード13のうち封止樹脂8から突出する部分である。突出部132は、y方向においてリード11の搭載部111とは反対側に突出している。突出部132は、たとえば半導体装置A1を外部の回路に電氣的に接続するために用いられる。図示された例においては、突出部132は、z方向においてリード11の主面111aが向く側に折り曲げられている。
- [0034] リード14は、本実施形態では、基板2上に配置されておらず、封止樹脂8によって支持されている。リード14は、リード13と同様の構成である。なお、リード14の構成はこれに限定されない。本実施形態においては、リード14を、突出部142およびワイヤボンディング部144に区分けして説明する。
- [0035] ワイヤボンディング部144は、封止樹脂8によって覆われている。ワイヤボンディング部144には、ワイヤ71が接合されている。突出部142は、ワイヤボンディング部144の端部につながり、リード14のうち封止樹脂8から突出する部分である。突出部142は、y方向においてリード11の搭載部111とは反対側に突出している。突出部142は、たとえば半導体装置A1を外部の回路に電氣的に接続するために用いられる。図示された例においては、突出部142は、z方向においてリード11の主面111aが向く側に折り曲げられている。
- [0036] 複数のリード15は、それぞれ、基板2上に配置されており、本実施形態

においては、基板主面 2 1 上に配置されている。各リード 1 5 が、「制御用リード」の一例である。各リード 1 5 は、それぞれ、導電性接合材 7 6 を介して導電部 3 のパッド 3 1 に接合されている。導電性接合材 7 6 は、リード 1 5 をパッド 3 1 に接合し、かつ、リード 1 5 とパッド 3 1 とを電氣的に接続しうるものであればよい。導電性接合材 7 6 は、たとえば、銀ペースト、銅ペーストやはんだ等が用いられる。

[0037] リード 1 5 の構成は特に限定されない。本実施形態においては、図 5 ~ 図 7 に示すように、リード 1 5 を、接合部分 1 5 1、突出部 1 5 2、傾斜接続部 1 5 3 および平行接続部 1 5 4 に分けして説明する。

[0038] 接合部分 1 5 1 は、主面 1 5 1 a および裏面 1 5 1 b を有する。主面 1 5 1 a および裏面 1 5 1 b は、z 方向において互いに反対側を向く面であり、ともに z 方向に対して直交する平坦面である。主面 1 5 1 a は、図 5 ~ 図 7 の上方を向く面である。裏面 1 5 1 b は、図 5 ~ 図 7 の下方を向く面である。裏面 1 5 1 b は、導電性接合材 7 6 によってパッド 3 1 に接合されている。傾斜接続部 1 5 3 および平行接続部 1 5 4 は、封止樹脂 8 によって覆われている。傾斜接続部 1 5 3 は、接合部分 1 5 1 および平行接続部 1 5 4 につながっており、接合部分 1 5 1 および平行接続部 1 5 4 に対して傾斜している。平行接続部 1 5 4 は、傾斜接続部 1 5 3 および突出部 1 5 2 につながっており、接合部分 1 5 1 に対して平行である。突出部 1 5 2 は、平行接続部 1 5 4 の端部につながり、リード 1 5 のうち封止樹脂 8 から突出する部分である。突出部 1 5 2 は、y 方向において接合部分 1 5 1 とは反対側に突出している。突出部 1 5 2 は、たとえば半導体装置 A 1 を外部の回路に電氣的に接続するために用いられる。図示された例においては、突出部 1 5 2 は、z 方向において接合部分 1 5 1 の主面 1 5 1 a が向く側に折り曲げられている。

[0039] 本実施形態において、複数のリード 1 5 は、それぞれ 2 個のリード 1 5 a , 1 5 b を含んでいる。2 個のリード 1 5 a は、それぞれ異なるパッド 3 1 c に導通接合されている。2 個のリード 1 5 b は、それぞれ異なるパッド 3

1 dに導通接合されている。

[0040] 2個の半導体チップ4は、それぞれ、いずれかのリード1上に配置されている。2個の半導体チップ4を区別して記載する場合、一方を半導体チップ4 aとし、他方を半導体チップ4 bとする。両者を区別しない場合は、単に半導体チップ4とする。半導体チップ4の種類や機能は特に限定されず、本実施形態においては、半導体チップ4が、電力を制御するパワートランジスタである場合を例に説明する。半導体チップ4は、たとえばSiC（炭化シリコン）基板からなるMOSFET（metal-oxide-semiconductor field-effect transistor）である。なお、半導体チップ4は、SiC基板に変えてSi（シリコン）基板からなるMOSFETであってもよく、たとえばIGBT素子を含んでいてもよい。また、GaN（窒化ガリウム）を含むMOSFETであってもよい。

[0041] 半導体チップ4は、z方向視矩形形状が板状であり、素子主面4 1、素子裏面4 2、ソース電極4 3、ゲート電極4 4、およびドレイン電極4 5を備えている。素子主面4 1および素子裏面4 2は、z方向において互いに反対側を向いている。素子主面4 1は、図5～図7の上方を向く面である。素子裏面4 2は、図5～図7の下方を向く面である。素子主面4 1には、図3に示すように、ソース電極4 3およびゲート電極4 4が配置されている。また、素子裏面4 2には、図5～図7に示すように、ドレイン電極4 5が配置されている。なお、ソース電極4 3、ゲート電極4 4、およびドレイン電極4 5の形状および配置は特に限定されない。

[0042] 半導体チップ4 aは、図3、図5および図6に示すように、リード1 1上に配置されている。半導体チップ4 aは、図5および図6に示すように、素子裏面4 2をリード1 1に向けて、図示しない導電性接合材によってリード1 1に接合されている。これにより、半導体チップ4 aのドレイン電極4 5は、導電性接合材によって、リード1 1に導通接続される。導電性接合材は、たとえば、銀ペースト、銅ペーストやはんだ等が用いられる。また、図3に示すように、半導体チップ4 aのソース電極4 3は、ワイヤ7 1によって

、リード13に導通接続される。ワイヤ71は、たとえば、アルミニウム（Al）や銅（Cu）からなる。なお、ワイヤ71の材料、線径、および本数は特に限定されない。半導体チップ4bは、図3および図7に示すように、リード12上に配置されている。半導体チップ4bは、図7に示すように、素子裏面42をリード12に向けて、図示しない導電性接合材によってリード12に接合されている。これにより、半導体チップ4bのドレイン電極45は、導電性接合材によって、リード12に導通接続される。また、図3に示すように、半導体チップ4bのソース電極43は、ワイヤ71によって、リード14に導通接続される。

[0043] 図3に示すように、半導体チップ4aのゲート電極44は、ワイヤ72によって導電部3に接続され、制御チップ5a（後述）に導通接続される。また、半導体チップ4aのソース電極43は、ワイヤ73によって導電部3に接続され、制御チップ5aに導通接続される。ワイヤ72, 73は、たとえば、金（Au）、銀（Ag）、銅（Cu）、アルミニウム（Al）等からなる。なお、ワイヤ72, 73の材料、線径、および本数は特に限定されない。制御チップ5aは、駆動信号を半導体チップ4aのゲート電極44に入力する。また、半導体チップ4bのゲート電極44は、ワイヤ72によって導電部3に接続され、制御チップ5bに導通接続される。制御チップ5bは、駆動信号を半導体チップ4bのゲート電極44に入力する。

[0044] 半導体装置A1は、外部でリード12とリード13とが導通接続されて、半導体チップ4aを上段側のスイッチング素子とし、半導体チップ4bを下段側のスイッチング素子としたブリッジ回路として用いられる。この場合、半導体装置A1は、リード11とリード14との間に直流電圧が印加され、半導体チップ4a, 4bのゲート電極44に駆動信号を入力することで、駆動信号に応じて電圧が切り替るスイッチング信号を、リード12から出力する。

[0045] 2個の保護素子9は、それぞれ、いずれかのリード1上に配置されている。2個の保護素子9を区別して記載する場合、一方を保護素子9aとし、他

方を保護素子9bとする。両者を区別しない場合は、単に保護素子9とする。保護素子9の種類や機能は特に限定されず、本実施形態においては、保護素子9が、半導体チップ4に逆電圧が印加されることを防ぐためのダイオードである場合を例に説明する。

[0046] 保護素子9は、z方向視矩形状が板状であり、保護素子主面91、保護素子裏面92、アノード電極93、およびカソード電極94を備えている。保護素子主面91および保護素子裏面92は、z方向において互いに反対側を向いている。保護素子主面91は、図5および図6の上方を向く面である。保護素子裏面92は、図5および図6の下方を向く面である。保護素子主面91には、図3に示すように、アノード電極93が配置されている。また、保護素子裏面92には、図5および図6に示すように、カソード電極94が配置されている。なお、アノード電極93およびカソード電極94の形状および配置は特に限定されない。

[0047] 保護素子9aは、図3、図5および図6に示すように、リード11上で、半導体チップ4aのy方向の一方側（図3においては下方側）に配置されている。保護素子9aは、図5および図6に示すように、保護素子裏面92をリード11に向けて、図示しない導電性接合材によってリード11に接合されている。これにより、保護素子9aのカソード電極94は、導電性接合材によって、リード11に導通接続される。導電性接合材は、たとえば、銀ペースト、銅ペーストやはんだ等が用いられる。保護素子9aのカソード電極94と半導体チップ4aのドレイン電極45とは、リード11を介して導通接続される。また、図3に示すように、保護素子9aのアノード電極93は、ワイヤ71によって、半導体チップ4aおよびリード13に導通接続される。本実施形態では、ワイヤ71は、一方の端部が半導体チップ4aのソース電極43に接合し、中間部分が保護素子9aのアノード電極93に接合し、他方の端部がリード13に接合している。なお、ソース電極43とアノード電極93とをワイヤ71で接続し、アノード電極93とリード13とを別のワイヤ71で接続してもよい。また、ソース電極43とリード13とをワ

イヤ71で接続し、アノード電極93とリード13とを別のワイヤ71で接続してもよい。以上のように、保護素子9aは、半導体チップ4aに対して逆並列接続されている。

[0048] 保護素子9bは、図3に示すように、リード12上で、半導体チップ4bのy方向の一方側（図3においては下方側）に配置されている。保護素子9bは、保護素子裏面92をリード12に向けて、図示しない導電性接合材によってリード12に接合されている。これにより、保護素子9bのカソード電極94は、導電性接合材によって、リード12に導通接続される。保護素子9bのカソード電極94と半導体チップ4bのドレイン電極45とは、リード12を介して導通接続される。また、図3に示すように、保護素子9bのアノード電極93は、ワイヤ71によって、半導体チップ4bおよびリード14に導通接続される。本実施形態では、ワイヤ71は、一方の端部が半導体チップ4bのソース電極43に接合し、中間部分が保護素子9bのアノード電極93に接合し、他方の端部がリード14に接合している。なお、ソース電極43とアノード電極93とをワイヤ71で接続し、アノード電極93とリード14とを別のワイヤ71で接続してもよい。また、ソース電極43とリード14とをワイヤ71で接続し、アノード電極93とリード13とを別のワイヤ71で接続してもよい。以上のように、保護素子9bは、半導体チップ4bに対して逆並列接続されている。なお、半導体装置A1は、保護素子9を備えなくてもよい。

[0049] 2個の制御チップ5は、それぞれ、半導体チップ4の駆動を制御するものであり、基板2の基板主面21上に配置されている。2個の制御チップ5を区別して記載する場合、一方を制御チップ5aとし、他方を制御チップ5bとする。両者を区別しない場合は、単に制御チップ5とする。

[0050] 図3に示すように、制御チップ5aおよび制御チップ5bは、リード11とリード12との間に、リード11およびリード12から離間して、配置されている。制御チップ5aはリード11寄りに位置し、制御チップ5bはリード12寄りに位置している。なお、制御チップ5aおよび制御チップ5b

の配置は特に限定されない。

[0051] 制御チップ5 aは、半導体チップ4 aの駆動を制御する。具体的には、制御チップ5 aは、駆動信号を生成し、半導体チップ4 aのゲート電極4 4に入力することで、半導体チップ4 aを駆動させる。本実施形態では、制御チップ5 aは、図示しないダイパッドおよび複数のワイヤと、複数のリード5 3および樹脂5 4とともに制御装置5 0を構成する。ダイパッドおよび複数のリード5 3は、たとえば銅(Cu)からなる板状部材である。ダイパッドは、制御チップ5 aが搭載されている。各リード5 3は、ワイヤによって制御チップ5 aに導通している。樹脂5 4は、制御チップ5 aおよびワイヤの全体と、各リード5 3の一部とを覆っており、たとえばエポキシ樹脂、シリコンゲル等の絶縁性材料からなる。図3に示すように、各リード5 3は、樹脂5 4のy方向の両端部に、x方向に間隔をあけて配列されている。各リード5 3は、y方向に沿って延び、各々の一部が樹脂5 4のy方向の両側面から突出している。各リード5 3の樹脂5 4から突出した部分が、導電部3のパッド3 1に導通接合されている。本実施形態では、制御装置5 0は、SOP (Small Outline Package) タイプのパッケージである。なお、制御装置5 0のパッケージタイプは、SOPタイプに限定されず、例えばQFP (Quad Flat Package) タイプ、SOJ (Small Outline J-lead Package) タイプ等の他のタイプのパッケージであってもよい。なお、制御装置5 0のサイズ、形状、リードの数などは特に限定されない。また、制御装置5 0は、制御チップ5 a以外の回路チップを備えていてもよい。

[0052] 制御チップ5 bは、半導体チップ4 bの駆動を制御する。具体的には、制御チップ5 bは、駆動信号を生成し、半導体チップ4 bのゲート電極4 4に入力することで、半導体チップ4 bを駆動させる。本実施形態では、制御チップ5 bは、そのまま、基板主面2 1上に配置されている。制御チップ5 bは、一方の面がパッド3 1 cに接合され、他方の面に配置された複数の電極が、ワイヤ7 4によって、それぞれパッド3 1に導通接続される。ワイヤ7 4は、たとえば、金(Au)、銀(Ag)、銅(Cu)、アルミニウム(A

1) 等からなる。なお、ワイヤ74の材料、線径、および本数は特に限定されない。

[0053] なお、制御チップ5aは、制御チップ5bと同様に、そのまま、基板主面21上に配置されてもよい。また、制御チップ5bは、制御チップ5aと同様に、制御装置50として基板主面21に配置されてもよい。

[0054] 複数の受動素子6は、基板2の基板主面21上に配置されており、導電部3のパッド31に導通接合されている。受動素子6は、たとえば、抵抗、コンデンサ、コイル、ダイオードなどである。受動素子6には、サーミスタ6aおよびサーミスタ6bが含まれている。

[0055] サーミスタ6a、6bは、温度検出素子であり、基板2の基板主面21上に実装されている。サーミスタ6a、6bは、温度変化に対して電気抵抗の変化の大きい抵抗体であり、周囲の温度に応じて抵抗値が変化することで、端子間電圧が変化する。サーミスタ6a、6bの端子間電圧に基づいて、サーミスタ6a、6bの周囲の温度が検出される。なお、サーミスタ6a、6bの特性は特に限定されない。サーミスタ6a、6bは、NTC (negative temperature coefficient) サーミスタであってもよいし、PTC (Positive temperature coefficient) サーミスタであってもよいし、その他の特性を有するサーミスタであってもよい。

[0056] サーミスタ6aは、半導体チップ4aの温度を検出するためのものであり、図3に示すように、半導体チップ4aが搭載されたリード11の搭載部111に隣接して配置されている。サーミスタ6aは、リード11から絶縁されている。サーミスタ6aは、導電部3の2個のパッド31aにまたがって配置されている。サーミスタ6aの一方の端子は、一方のパッド31aに導通接合され、他方の端子は、他方のパッド31aに導通接合されている。各パッド31aは、それぞれ、接続配線32aおよびパッド31cを介して、リード15aに導通接続されている。つまり、パッド31a、接続配線32a、およびパッド31cは、サーミスタ6aとリード15aとを導通させる導通経路である。2個のリード15aは、半導体チップ4aの温度検出のため

めの端子になり、サーミスタ6 aの端子間電圧を出力する。本実施形態においては、サーミスタ6 aが、「第1温度検出素子」の一例である。

[0057] サーミスタ6 bは、半導体チップ4 bの温度を検出するためのものであり、図3に示すように、半導体チップ4 bが搭載されたリード1 2の搭載部1 2 1に隣接して配置されている。サーミスタ6 bは、リード1 2から絶縁されている。サーミスタ6 bは、導電部3の2個のパッド3 1 bにまたがって配置されている。サーミスタ6 bの一方の端子は、一方のパッド3 1 bに導通接合され、他方の端子は、他方のパッド3 1 bに導通接合されている。各パッド3 1 bは、それぞれ、接続配線3 2 bおよびパッド3 1 dを介して、リード1 5 bに導通接続されている。つまり、パッド3 1 b、接続配線3 2 b、およびパッド3 1 dは、サーミスタ6 bとリード1 5 bとを導通させる導通経路である。2個のリード1 5 bは、半導体チップ4 bの温度検出のための端子になり、サーミスタ6 bの端子間電圧を出力する。本実施形態においては、サーミスタ6 bが、「第2温度検出素子」の一例である。

[0058] なお、半導体装置A 1は、サーミスタ6 a、6 bに代えて、他の温度検出素子を備えてもよい。他の温度検出素子としては、半導体温度センサなどが考えられる。半導体温度センサは、温度変化に対して順方向電圧の変化の大きいSiダイオードなどであり、所定の電流を流したときの端子間電圧に基づいて、周囲の温度が検出される。

[0059] その他の受動素子6は、導電部3のパッド3 1に導通接合されており、接続配線3 2およびパッド3 1を介して、制御チップ5または半導体チップ4に導通している。なお、各受動素子6の種類、配置位置、数は特に限定されない。

[0060] 封止樹脂8は、半導体チップ4 a、4 b、保護素子9 a、9 b、制御装置5 0（制御チップ5 a）、制御チップ5 b、複数の受動素子6、およびワイヤ7 1～7 4と、複数のリード1の一部ずつと、基板2の一部とを少なくとも覆っている。封止樹脂8の材料は特に限定されず、たとえばエポキシ樹脂、シリコーンゲル等の絶縁材料が適宜用いられる。

[0061] 封止樹脂 8 は、樹脂主面 8 1、樹脂裏面 8 2、および 4 個の樹脂側面 8 3 を有する。樹脂主面 8 1 および樹脂裏面 8 2 は、z 方向において互いに反対側を向く面であり、ともに z 方向に対して直交する平坦面である。樹脂主面 8 1 は、図 5～図 7 の上方を向く面である。樹脂裏面 8 2 は、図 5～図 7 の下方を向く面である。各樹脂側面 8 3 は、それぞれ、樹脂主面 8 1 および樹脂裏面 8 2 につながり、x 方向または y 方向を向いている。図 4 に示すように、基板 2 の基板裏面 2 2 は、封止樹脂 8 の樹脂裏面 8 2 から露出している。本実施形態では、図 5～図 7 に示すように、基板裏面 2 2 と樹脂裏面 8 2 とは、互いに面一である。

[0062] 次に、半導体装置 A 1 の製造方法の一例について、図 9 を参照して以下に説明する。なお、以下に説明する製造方法は、半導体装置 A 1 を実現するための一手段であり、本開示はこれに限定されない。

[0063] 図 9 に示すように、本例の製造方法は、導電部形成工程（ステップ S 1）、リードフレーム接合工程（ステップ S 2）、半導体チップ実装工程（ステップ S 3）、制御装置実装工程（ステップ S 4）、ワイヤ接続工程（ステップ S 5）、樹脂形成工程（ステップ S 6）、およびフレーム切断工程（ステップ S 7）を有する。

[0064] 導電部形成工程（ステップ S 1）では、まず、基板 2 が準備される。基板 2 は、たとえばセラミックからなる。次いで、基板 2 の基板主面 2 1 上に導電部 3 および複数の接合部 2 5 を形成する。本例においては、導電部 3 および複数の接合部 2 5 を一括して形成する。たとえば、金属ペーストを印刷した後に、これを焼成することにより、導電性材料としてのたとえば銀（Ag）等の金属を含む導電部 3 および複数の接合部 2 5 が得られる。

[0065] リードフレーム接合工程（ステップ S 2）では、まず、複数の接合部 2 5 に接合ペーストを印刷し、導電部 3 の一部のパッド 3 1 に導電性接合ペーストを印刷する。接合ペーストおよび導電性接合ペーストは、たとえば Ag ペーストやはんだペーストである。次いで、リードフレームを用意する。リードフレームは、複数のリード 1 を含んでおり、さらに複数のリード 1 がつな

がるフレームを有する。なお、リードフレームの形状等は、何ら限定されない。次いで、複数のリード1のうちリード11, 12を、接合ペーストを介して複数の接合部25に対面させる。また、複数のリード1のうち複数のリード15を、導電性接合ペーストを介して導電部3（パッド31）に対面させる。たとえば、接合ペーストおよび導電性接合ペーストを加熱した後に冷却することにより、接合ペーストによって接合材75が形成され、導電性接合ペーストによって導電性接合材76が形成される。これにより、リード11, 12が接合材75を介して複数の接合部25に接合され、複数のリード15が導電性接合材76を介して導電部3に接合される。

[0066] 半導体チップ実装工程（ステップS3）では、まず、リード11およびリード12の所定の位置に、導電性接合ペーストを印刷する。導電性接合ペーストは、たとえばAgペーストやはんだペーストである。次いで、リード11に印刷された導電性接合ペーストに、半導体チップ4aおよび保護素子9aを付着させ、リード12に印刷された導電性接合ペーストに、半導体チップ4bおよび保護素子9bを付着させる。そして、たとえば導電性接合ペーストを加熱した後に冷却することにより、導電性接合ペーストによって導電性接合材が形成される。これにより、半導体チップ4aおよび保護素子9aが導電性接合材を介してリード11に接合され、半導体チップ4bおよび保護素子9bが導電性接合材を介してリード12に接合される。

[0067] 制御装置実装工程（ステップS4）では、導電部3の一部のパッド31に、導電性接合ペーストを印刷する。導電性接合ペーストは、たとえばAgペーストやはんだペーストである。次いで、導電性接合ペーストに制御装置50の各リード53をそれぞれ付着させる。また、パッド31eに印刷された導電性接合ペーストに制御チップ5bを付着させる。次いで、たとえば導電性接合ペーストを加熱した後に冷却することにより、制御装置50の各リード53および制御チップ5bを、導電性接合材を介してパッド31に接合させる。また、同様の工程により、サーミスタ6a, 6bおよびその他の受動素子6を、導電性接合材を介して導電部3のパッド31に接合させる。

[0068] ワイヤ接続工程（ステップS5）では、まず、複数のワイヤ71を接続する。本例においては、たとえばウエッジボンディングの手法により、アルミニウム（Al）からなるワイヤ材を順次接続する。本実施形態では、ワイヤ材の先端を半導体チップ4aのソース電極43に接合し、ワイヤ材を引き出しつつキャピラリを移動させてワイヤ材を保護素子9aのアノード電極93に接合し、さらに、ワイヤ材を引き出しつつキャピラリを移動させてワイヤ材をリード13のワイヤボンディング部134に接合することでワイヤ71を接続する。同様に、ワイヤ材を半導体チップ4bのソース電極43、保護素子9bのアノード電極93、およびリード14のワイヤボンディング部144に順次接合することでワイヤ71を接続する。これにより、複数のワイヤ71が得られる。次いで、複数のワイヤ72, 73, 74を接続する。本例においては、たとえばキャピラリボンディングの手法により、金（Au）からなるワイヤ材を順次接続する。これにより、複数のワイヤ72, 73, 74が得られる。

[0069] 樹脂形成工程（ステップS6）では、たとえばリードフレームの一部、基板2の一部、半導体チップ4a, 4b、保護素子9a, 9b、制御装置50（制御チップ5a）、制御チップ5b、複数の受動素子6、および複数のワイヤ71～74を金型によって囲む。次いで、金型によって規定された空間に液状の樹脂材料を注入する。ついで、この樹脂材料を硬化させることにより、封止樹脂8が得られる。

[0070] フレーム切断工程（ステップS7）では、リードフレームのうち封止樹脂8から露出した部位の適所を切断する。これにより、複数のリード1が互いに分割される。この後は、必要に応じて、複数のリード1を折り曲げる等の処理を経ることにより、上述した半導体装置A1が得られる。

[0071] 次に、半導体装置A1の作用効果について説明する。

[0072] 本実施形態によると、サーミスタ6aは、半導体チップ4aが搭載されたリード11の搭載部111に隣接して配置されて、半導体チップ4aの温度を検出する。また、サーミスタ6bは、半導体チップ4bが搭載されたリー

ド12の搭載部121に隣接して配置されて、半導体チップ4bの温度を検出する。したがって、半導体チップ4aと半導体チップ4bとで、流れる電流に偏りが生じて温度差が生じたとしても、個別に温度が検出されて設計温度と比較できるので、熱暴走の抑制が可能である。また、サーミスタ6a, 6bは、基板2の基板主面21上に実装されている。したがって、サーミスタ6a, 6bは、半導体チップ4a, 4bの内部に温度検出部を組み込む場合と比較して、半導体チップ4a, 4bのスウィッチングによるノイズの影響を受けにくい。

[0073] また、本実施形態によると、基板2の基板主面21上には、導電部3が形成されている。導電部3は、パッド31に制御装置50および制御チップ5bが導通接合されている。これにより、制御装置50および制御チップ5bへの導通経路を、基板主面21上に形成された導電部3によって構成できる。したがって、たとえば金属製のリードによって導通経路を構成する場合と比べて、導通経路の細線化や高密度化を図ることが可能である。

[0074] また、本実施形態によると、複数のリード1は、基板2よりも熱伝導率が高いので、基板2の採用によって低下しうる半導体チップ4からの放熱の低下を抑制できる。また、半導体チップ4aは導電性接合材によってリード11に直接接合されており、半導体チップ4bは導電性接合材によってリード12に直接接合されている。よって、半導体チップ4a(4b)とリード11(12)とを導通させるとともに、半導体チップ4a(4b)からの熱をリード11(12)へとより効率よく伝達できる。また、複数のリード1が封止樹脂8から露出していることにより、外部から半導体チップ4への導通経路を構成するとともに、半導体チップ4の放熱特性をより確保できる。また、基板2には接合部25が形成されており、リード11, 12が接合部25を介して基板2に接合されている。たとえばセラミックからなる基板2の基板主面21の表面粗さに対して、接合部25の表面は、より滑らかに仕上げることが可能である。これにより、リード11, 12から基板2へと至る伝熱経路に意図しない微小な空隙部等が生じることを抑制可能であり、半導

体チップ4等の放熱をより促進できる。また、基板2の基板裏面22は、封止樹脂8から露出している。これにより、半導体チップ4等から基板2に伝わった熱を、より効率よく外部に放熱できる。

[0075] また、本実施形態によると、導電部3と接合部25とが、同じ導電性材料を含むことにより、導電部3と接合部25とを基板2に一括して形成することが可能である。これは、半導体装置A1の製造効率の向上に好ましい。また、複数のリード15は、導電性接合材76を介して導電部3のパッド31に接合されている。これにより、基板2に対して複数のリード15をより強固に固定できる。また、複数のリード15と導電部3との間の低抵抗化を図ることができる。

[0076] また、本実施形態によると、制御チップ5aおよび制御チップ5bは、半導体チップ4aが配置されたリード11と半導体チップ4bが配置されたリード12との間で、基板主面21に配置されている。したがって、制御チップ5aから半導体チップ4aまでの距離と、制御チップ5bから半導体チップ4bまでの距離との差を小さくできる。これにより、制御チップ5aから半導体チップ4aに入力される駆動信号と、制御チップ5bから半導体チップ4bに入力される駆動信号との伝達時間の差を小さくできる。

[0077] なお、本実施形態においては、半導体装置A1が、半導体チップ4aの温度を検出するためのサーミスタ6aと、半導体チップ4bの温度を検出するためのサーミスタ6bとの2個の温度検出素子を備える場合について説明したがこれに限られない。半導体装置A1は、半導体チップ4の個数以上の温度検出素子を備えてもよい。

[0078] 図10～図14は、本開示の他の実施形態を示している。なお、これらの図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付している。

[0079] 図10は、本開示の第2実施形態に係る半導体装置A2を説明するための図である。図10は、半導体装置A2を示す平面図であり、図3に対応する図である。図10においては、図3と同様に、封止樹脂8を透過して、封止

樹脂 8 の外形を想像線（二点鎖線）で示している。本実施形態の半導体装置 A 2 は、サーミスタ 6 a およびサーミスタ 6 b の配置位置と、リード 1 1 およびリード 1 2 の形状とが、第 1 実施形態と異なっている。

[0080] 本実施形態に係る半導体装置 A 2 では、サーミスタ 6 a およびサーミスタ 6 b が、半導体装置 A 1 の場合より、基板主面 2 1 の y 方向の一方の端縁（図 1 0 においては上側の端縁）寄りに配置されている。つまり、半導体装置 A 1 と比較して、サーミスタ 6 a はリード 1 1 の搭載部 1 1 1 から離れて配置され、サーミスタ 6 b はリード 1 2 の搭載部 1 2 1 から離れて配置されている。

[0081] リード 1 1 は、搭載部 1 1 1 から y 方向に沿ってサーミスタ 6 a に向かって延出する延出部 1 1 5 をさらに備えている。つまり、サーミスタ 6 a は、延出部 1 1 5 の先端付近に配置されている。サーミスタ 6 a は、搭載部 1 1 1 および搭載部 1 1 1 に搭載された半導体チップ 4 a から遠ざけられているが、延出部 1 1 5 が存在することで、リード 1 1 に隣接している。したがって、サーミスタ 6 a には、半導体チップ 4 a の発する熱が、リード 1 1 を介して伝えられる。

[0082] また、リード 1 2 は、搭載部 1 2 1 から y 方向に沿ってサーミスタ 6 b に向かって延出する延出部 1 2 5 をさらに備えている。つまり、サーミスタ 6 b は、延出部 1 2 5 の先端付近に配置されている。サーミスタ 6 b は、搭載部 1 2 1 および搭載部 1 2 1 に搭載された半導体チップ 4 b から遠ざけられているが、延出部 1 2 5 が存在することで、リード 1 2 に隣接している。したがって、サーミスタ 6 b には、半導体チップ 4 b の発する熱が、リード 1 2 を介して伝えられる。

[0083] 本実施形態によると、サーミスタ 6 a は、半導体チップ 4 a が搭載されたリード 1 1 の搭載部 1 1 1 から延出した延出部 1 1 5 に隣接して配置されて、半導体チップ 4 a の温度を検出する。また、サーミスタ 6 b は、半導体チップ 4 b が搭載されたリード 1 2 の搭載部 1 2 1 から延出した延出部 1 2 5 に隣接して配置されて、半導体チップ 4 b の温度を検出する。したがって、

個別に温度が検出されるので、熱暴走の抑制が可能である。また、サーミスタ6 a, 6 bは、基板2の基板主面2 1上に実装されているので、半導体チップ4 a, 4 bのスイッチングによるノイズの影響を受けにくい。さらに、本実施形態によると、サーミスタ6 a (6 b)は、半導体装置A 1と比較して、半導体チップ4 a (4 b)からより遠ざけられている。したがって、サーミスタ6 a, 6 bは、半導体チップ4 a, 4 bのスイッチングによるノイズの影響をより受けにくい。

[0084] 図1 1は、本開示の第3実施形態に係る半導体装置A 3を説明するための図である。図1 1は、半導体装置A 3を示す平面図であり、図3に対応する図である。図1 1においては、図3と同様に、封止樹脂8を透過して、封止樹脂8の外形を想像線（二点鎖線）で示している。本実施形態の半導体装置A 3は、半導体チップ4および保護素子9の配置位置が、第1実施形態と異なっている。

[0085] 本実施形態に係る半導体装置A 3では、半導体チップ4 aと保護素子9 aとの配置位置が反対になっており、半導体チップ4 bと保護素子9 bとの配置位置が反対になっている。すなわち、保護素子9 aは、リード1 1上で、半導体チップ4 aのy方向の他方側（図1 1においては上方側）に配置され、保護素子9 bは、リード1 2上で、半導体チップ4 bのy方向の他方側に配置されている。つまり、サーミスタ6 aは、保護素子9 aに対して、半導体チップ4 aとは反対側に配置されており、サーミスタ6 bは、保護素子9 bに対して、半導体チップ4 bとは反対側に配置されている。

[0086] 本実施形態においても、サーミスタ6 aは、半導体チップ4 aが搭載されたリード1 1の搭載部1 1 1に隣接して配置されて、半導体チップ4 aの温度を検出する。また、サーミスタ6 bは、半導体チップ4 bが搭載されたリード1 2の搭載部1 2 1に隣接して配置されて、半導体チップ4 bの温度を検出する。したがって、個別に温度が検出されるので、熱暴走の抑制が可能である。また、サーミスタ6 a, 6 bは、基板2の基板主面2 1上に実装されているので、半導体チップ4 a, 4 bのスイッチングによるノイズの影響

を受けにくい。さらに、本実施形態によると、サーミスタ6 a (6 b) は、半導体装置A 1と比較して、半導体チップ4 a (4 b) からより遠ざけられている。したがって、サーミスタ6 a, 6 bは、半導体チップ4 a, 4 bのスイッチングによるノイズの影響をより受けにくい。

[0087] 図1 2は、本開示の第4実施形態に係る半導体装置A 4を説明するための図である。図1 2は、半導体装置A 4を示す平面図であり、図3に対応する図である。図1 2においては、図3と同様に、封止樹脂8を透過して、封止樹脂8の外形を想像線(二点鎖線)で示している。本実施形態の半導体装置A 4は、制御装置5 0(制御チップ5 a)および制御チップ5 bに代えて、1個の制御チップ5 cを有する制御装置5 0を備えている点で、第1実施形態と異なっている。

[0088] 制御チップ5 cは、半導体チップ4 aの駆動信号と半導体チップ4 bの駆動信号とを生成して、それぞれに出力する。本実施形態では、制御チップ5 cは、図示しないダイパッドおよび複数のワイヤと、複数のリード5 3および樹脂5 4とともに制御装置5 0を構成する。各リード5 3は、樹脂5 4のx方向の両端部に、y方向に間隔をあけて配列されている。各リード5 3は、x方向に沿って延び、各々の一部が樹脂5 4のx方向の両側面から突出している。各リード5 3の樹脂5 4から突出した部分が、導電部3のパッド3 1に導通接合されている。本実施形態では、制御装置5 0は、SOPタイプのパッケージである。なお、制御装置5 0のパッケージタイプは特に限定されない。なお、制御チップ5 cは、制御装置5 0を構成することなく、そのまま、基板主面2 1上に配置されてもよい。

[0089] また、第4実施形態に係る半導体装置A 4は、制御チップ5 cを有する制御装置5 0を採用したことで、各受動素子6の配置および導電部3の配置および形状が、半導体装置A 1とは異なっている。また、リード1 3およびリード1 4の形状や、リード1 5 a, 1 5 bの形状および配置も異なっている。

[0090] 本実施形態においても、サーミスタ6 aは、半導体チップ4 aが搭載され

たリード11の搭載部111に隣接して配置されて、半導体チップ4aの温度を検出する。また、サーミスタ6bは、半導体チップ4bが搭載されたリード12の搭載部121に隣接して配置されて、半導体チップ4bの温度を検出する。したがって、個別に温度が検出されるので、熱暴走の抑制が可能である。また、サーミスタ6a, 6bは、基板2の基板主面21上に実装されているので、半導体チップ4a, 4bのスイッチングによるノイズの影響を受けにくい。

[0091] 図13は、本開示の第5実施形態に係る半導体装置A5を説明するための図である。図13は、半導体装置A5を示す部分平面図であり、封止樹脂8を透過した図である。なお、図13においては、封止樹脂8の外形を想像線（二点鎖線）で示している。本実施形態の半導体装置A5は、4個の半導体チップ4a～4dを備えている点で、第1実施形態と異なっている。

[0092] 本実施形態に係る半導体装置A5は、半導体装置A1と比較して、リード16～19、半導体チップ4c, 4d、およびサーミスタ6c, 6dをさらに備えている。また半導体装置A5は、第3実施形態に係る制御チップ5cを2個備えている。リード16, 17は、リード11, 12と同様のものである。リード18, 19は、リード13, 14と同様のものである。半導体チップ4c, 4dは、半導体チップ4a, 4bと同様のものである。半導体チップ4cは、リード16に搭載され、ワイヤ71でリード18に接続されている。半導体チップ4dは、リード17に搭載され、ワイヤ71でリード19に接続されている。一方の制御チップ5cは、半導体チップ4aの駆動信号と半導体チップ4bの駆動信号とを生成して、それぞれに出力することで、半導体チップ4a, 4bの駆動を制御する。他方の制御チップ5cは、半導体チップ4cの駆動信号と半導体チップ4dの駆動信号とを生成して、それぞれに出力することで、半導体チップ4c, 4dの駆動を制御する。

[0093] サーミスタ6c, 6dは、サーミスタ6a, 6bと同様のものである。サーミスタ6cは、半導体チップ4cが搭載されたリード16の搭載部に隣接して配置され、半導体チップ4cの温度を検出する。サーミスタ6dは、半

導体チップ4 dが搭載されたリード1 7の搭載部に隣接して配置され、半導体チップ4 dの温度を検出する。つまり、半導体装置A 5は、半導体チップが4個なので、それぞれの温度を検出するためのサーミスタを4個備えている。

[0094] 本実施形態によると、サーミスタ6 aは、半導体チップ4 aが搭載されたリード1 1の搭載部1 1 1に隣接して配置されて、半導体チップ4 aの温度を検出する。また、サーミスタ6 bは、半導体チップ4 bが搭載されたリード1 2の搭載部1 2 1に隣接して配置されて、半導体チップ4 bの温度を検出する。また、サーミスタ6 cは、半導体チップ4 cが搭載されたリード1 6の搭載部に隣接して配置されて、半導体チップ4 cの温度を検出する。また、サーミスタ6 dは、半導体チップ4 dが搭載されたリード1 7の搭載部に隣接して配置されて、半導体チップ4 dの温度を検出する。したがって、個別に温度が検出されるので、熱暴走の抑制が可能である。また、サーミスタ6 a～6 dは、基板2の基板主面2 1上に実装されているので、半導体チップ4 a～4 dのスイッチングによるノイズの影響を受けにくい。

[0095] なお、本実施形態では半導体チップが4個の場合について説明し、第1～4実施形態では半導体チップが2個の場合について説明したが、これらに限られない。半導体チップの個数は、3個であってもよいし、5個以上であってもよい。サーミスタの個数は、半導体チップの個数に合わせればよい。また、サーミスタの個数は、半導体チップの個数より多くてもよい。

[0096] 図1 4は、本開示の第6実施形態に係る半導体装置A 6を説明するための図である。図1 4は、半導体装置A 6を示す平面図であり、封止樹脂8を透過した図である。なお、図1 4においては、封止樹脂8の外形を想像線（二点鎖線）で示している。本実施形態の半導体装置A 6は、半導体チップ4 a、4 bが、リード1に搭載されずに、導電部3に配置されている点で、第1実施形態と異なっている。

[0097] 本実施形態に係る半導体装置A 6では、導電部3は、第1導電部3 3および第2導電部3 4をさらに備えている。第1導電部3 3と第2導電部3 4と

は、互いに離間している。第1導電部33は、搭載部33aおよび延出部33bを備えている。搭載部33aは、半導体チップ4aが搭載される。半導体チップ4aは、素子裏面42を搭載部33aに向けて、図示しない導電性接合材によって搭載部33aに接合されている。これにより、半導体チップ4aのドレイン電極45は、導電性接合材によって、搭載部33aに導通接続される。延出部33bは、搭載部33aからy方向に沿ってサーミスタ6aに向かって延出する部分である。つまり、サーミスタ6aは、延出部33bの先端付近に配置されている。サーミスタ6aは、第1導電部33から絶縁されて配置されている。なお、第1導電部33は、延出部33bを備えなくてもよい。この場合、サーミスタ6aを、搭載部33aに隣接させるように配置すればよい。

[0098] 同様に、第2導電部34は、搭載部34aおよび延出部34bを備えている。搭載部34aは、半導体チップ4bが搭載される。半導体チップ4bは、素子裏面42を搭載部34aに向けて、図示しない導電性接合材によって搭載部34aに接合されている。これにより、半導体チップ4bのドレイン電極45は、導電性接合材によって、搭載部34aに導通接続される。延出部34bは、搭載部34aからy方向に沿ってサーミスタ6bに向かって延出する部分である。つまり、サーミスタ6bは、延出部34bの先端付近に配置されている。サーミスタ6bは、第2導電部34から絶縁されて配置されている。なお、第2導電部34は、延出部34bを備えなくてもよい。この場合、サーミスタ6bを、搭載部34aに隣接させるように配置すればよい。

[0099] また、導電部3は、パッド31f, 31g, 31h, 31iおよび接続配線32c, 32dをさらに備えている。パッド31fはリード11が導通接合され、パッド31gはリード12が導通接合されている。パッド31hは、リード13が導通接合され、ワイヤ71によって半導体チップ4aのソース電極43に導通接続されている。パッド31iは、リード14が導通接合され、ワイヤ71によって半導体チップ4bのソース電極43に導通接続さ

れている。接続配線32cは、第1導電部33とパッド31fとに接続しており、第1導電部33とパッド31fとの導通経路になる。接続配線32dは、第2導電部34とパッド31gとに接続しており、第2導電部34とパッド31gとの導通経路になる。

[0100] 本実施形態によると、サーミスタ6aは、半導体チップ4aが搭載された第1導電部33の搭載部33aから延出した延出部33bに隣接して配置されて、半導体チップ4aの温度を検出する。また、サーミスタ6bは、半導体チップ4bが搭載された第2導電部34の搭載部34aから延出した延出部34bに隣接して配置されて、半導体チップ4bの温度を検出する。したがって、個別に温度が検出されるので、熱暴走の抑制が可能である。また、サーミスタ6a、6bは、基板2の基板主面21上に実装されているので、半導体チップ4a、4bのスイッチングによるノイズの影響を受けにくい。

[0101] 上記第1～第6実施形態においては、半導体装置A1～A6がIPMである場合について説明したが、これに限られない。本開示に係る半導体装置は、IPM以外の半導体装置であってもよい。

[0102] 本開示に係る半導体装置は、先述した実施形態に限定されるものではない。本開示に係る半導体装置の各部の具体的な構成は、種々に設計変更自在である。本開示は、以下の付記に記載された実施形態を含む。

[0103] 付記1.

厚さ方向において互いに反対側を向く基板主面および基板裏面を有する基板と、

前記基板主面上に形成された導電部と、

前記基板の少なくとも一部および前記導電部の全体とを覆う封止樹脂と、

前記基板主面上に配置された複数の半導体チップと、

前記基板主面上に各々が配置された、前記複数の半導体チップ以上の個数の複数の温度検出素子と、を備える、半導体装置。

付記2.

前記複数の半導体チップは、第1半導体チップおよび第2半導体チップを含

み、

前記複数の温度検出素子は、第1温度検出素子および第2温度検出素子を含んでおり、

前記第1温度検出素子は、前記第2温度検出素子よりも前記第1半導体チップに近い位置に配置されており、

前記第2温度検出素子は、前記第1温度検出素子よりも前記第2半導体チップに近い位置に配置されている、付記1に記載の半導体装置。

付記3.

互いに離間して前記基板主面上に配置された、前記基板よりも熱伝導率の高い第1リードおよび第2リードをさらに備え、

前記第1半導体チップは、前記第1リード上に配置され、

前記第2半導体チップは、前記第2リード上に配置されている、付記2に記載の半導体装置。

付記4.

前記第1温度検出素子は、前記第1リードに隣接し、かつ、前記第1リードから絶縁されて配置され、

前記第2温度検出素子は、前記第2リードに隣接し、かつ、前記第2リードから絶縁されて配置されている、付記3に記載の半導体装置。

付記5.

前記第1リード上に配置される電子部品をさらに備え、

前記第1温度検出素子は、前記電子部品に対して、前記第1半導体チップとは反対側に配置されている、付記4に記載の半導体装置。

付記6.

前記第1リードは、前記第1半導体チップが搭載される搭載部と、前記搭載部から延出した延出部とを備え、

前記第1温度検出素子は、前記延出部の先端付近に配置されている、付記4または5に記載の半導体装置。

付記7.

前記基板主面上に形成され、前記導電部を構成する導電性材料を含む接合部をさらに備え、

前記第1リードおよび前記第2リードは、接合材を介して、前記接合部に接合されている、付記3ないし6のいずれかに記載の半導体装置。

付記8.

前記第1リードおよび前記第2リードはそれぞれ、一部が前記封止樹脂に覆われており、別の一部が前記封止樹脂から露出している、付記3ないし7のいずれかに記載の半導体装置。

付記9.

前記第1リードおよび前記第2リードから離間し、かつ、導電性接合材を介して前記導電部に接合されて配置された制御用リードをさらに備え、

前記制御用リードは、一部が前記封止樹脂に覆われており、別の一部が前記封止樹脂から露出している、付記3ないし8のいずれかに記載の半導体装置。

付記10.

前記導電部は、互いに離間する第1導電部および第2導電部を含み、

前記第1半導体チップは、前記第1導電部上に配置され、

前記第2半導体チップは、前記第2導電部上に配置され、

前記第1温度検出素子は、前記第1導電部に隣接し、かつ、前記第1導電部から絶縁されて配置され、

前記第2温度検出素子は、前記第2導電部に隣接し、かつ、前記第2導電部から絶縁されて配置されている、付記2に記載の半導体装置。

付記11.

前記第1導電部は、前記第1半導体チップが搭載される搭載部と、前記搭載部から延出した延出部とを備え、

前記第1温度検出素子は、前記延出部の先端付近に配置されている、付記10に記載の半導体装置。

付記12.

前記温度検出素子は、サーミスタである、付記 1 ないし 1 1 のいずれかに記載の半導体装置。

付記 1 3.

前記温度検出素子は、半導体温度センサである、付記 1 ないし 1 1 のいずれかに記載の半導体装置。

付記 1 4.

前記半導体チップおよび前記温度検出素子の個数は、それぞれ 2 個である、付記 1 ないし 1 3 のいずれかに記載の半導体装置。

付記 1 5.

前記半導体チップおよび前記温度検出素子の個数は、それぞれ 4 個である、付記 1 ないし 1 3 のいずれかに記載の半導体装置。

付記 1 6.

前記半導体チップは、電力を制御するパワートランジスタである、付記 1 ないし 1 5 のいずれかに記載の半導体装置。

付記 1 7.

前記半導体チップは、

前記厚さ方向において互いに反対側を向くチップ主面およびチップ裏面と

、

前記チップ主面に配置された主面電極と、

前記チップ裏面に配置された裏面電極と、

を備えている、付記 1 ないし 1 6 のいずれかに記載の半導体装置。

付記 1 8.

前記基板裏面は、前記封止樹脂から露出している、付記 1 ないし 1 7 のいずれかに記載の半導体装置。

付記 1 9.

前記基板は、セラミックからなる、付記 1 ないし 1 8 のいずれかに記載の半導体装置。

符号の説明

[0104] A 1, A 2, A 3, A 4, A 5, A 6 : 半導体装置

1, 1 1 ~ 1 9, 1 5 a, 1 5 b : リード 1 1 1 : 搭載部

1 1 1 a : 主面 1 1 1 b : 裏面 1 1 2 : 突出部

1 1 3 : 傾斜接続部 1 1 4 : 平行接続部

1 1 5 : 延出部 1 2 1 : 搭載部 1 2 1 a : 主面

1 2 1 b : 裏面 1 2 2 : 突出部 1 2 3 : 傾斜接続部

1 2 4 : 平行接続部 1 2 5 : 延出部 1 3 2 : 突出部

1 3 4 : ワイヤボンディング部 1 4 2 : 突出部

1 4 4 : ワイヤボンディング部 1 5 1 : 接合部分

1 5 1 a : 主面 1 5 1 b : 裏面 1 5 2 : 突出部

1 5 3 : 傾斜接続部 1 5 4 : 平行接続部 2 : 基板

2 1 : 基板主面 2 2 : 基板裏面

2 5, 2 5 1, 2 5 2 : 接合部 3 : 導電部

3 1, 3 1 a ~ 3 2 i : パッド 3 2, 3 2 a ~ 3 2 d : 接続配線

3 3 : 第 1 導電部 3 3 a : 搭載部 3 3 b : 延出部

3 4 : 第 2 導電部 3 4 a : 搭載部 3 4 b : 延出部

4, 4 a, 4 b, 4 c, 4 d : 半導体チップ

4 1 : 素子主面 4 2 : 素子裏面 4 3 : ソース電極

4 4 : ゲート電極 4 5 : ドレイン電極

5, 5 a, 5 b, 5 c : 制御チップ 5 0 : 制御装置

5 3 : リード 5 4 : 樹脂 6 : 受動素子

6 a ~ 6 d : サーミスタ 7 1 ~ 7 4 : ワイヤ

7 5 : 接合材 7 6 : 導電性接合材 8 : 封止樹脂

8 1 : 樹脂主面 8 2 : 樹脂裏面 8 3 : 樹脂側面

9, 9 a, 9 b : 保護素子 9 1 : 保護素子主面

9 2 : 保護素子裏面 9 3 : アノード電極

9 4 : カソード電極

請求の範囲

- [請求項1] 厚さ方向において互いに反対側を向く基板主面および基板裏面を有する基板と、
前記基板主面上に形成された導電部と、
前記基板の少なくとも一部および前記導電部の全体とを覆う封止樹脂と、
前記基板主面上に配置された複数の半導体チップと、
前記基板主面上に各々が配置された、前記複数の半導体チップ以上の個数の複数の温度検出素子と、を備える、半導体装置。
- [請求項2] 前記複数の半導体チップは、第1半導体チップおよび第2半導体チップを含み、
前記複数の温度検出素子は、第1温度検出素子および第2温度検出素子を含んでおり、
前記第1温度検出素子は、前記第2温度検出素子よりも前記第1半導体チップに近い位置に配置されており、
前記第2温度検出素子は、前記第1温度検出素子よりも前記第2半導体チップに近い位置に配置されている、請求項1に記載の半導体装置。
- [請求項3] 互いに離間して前記基板主面上に配置された、前記基板よりも熱伝導率の高い第1リードおよび第2リードをさらに備え、
前記第1半導体チップは、前記第1リード上に配置され、
前記第2半導体チップは、前記第2リード上に配置されている、請求項2に記載の半導体装置。
- [請求項4] 前記第1温度検出素子は、前記第1リードに隣接し、かつ、前記第1リードから絶縁されて配置され、
前記第2温度検出素子は、前記第2リードに隣接し、かつ、前記第2リードから絶縁されて配置されている、請求項3に記載の半導体装置。

- [請求項5] 前記第1リード上に配置される電子部品をさらに備え、
前記第1温度検出素子は、前記電子部品に対して、前記第1半導体チップとは反対側に配置されている、請求項4に記載の半導体装置。
- [請求項6] 前記第1リードは、前記第1半導体チップが搭載される搭載部と、前記搭載部から延出した延出部とを備え、
前記第1温度検出素子は、前記延出部の先端付近に配置されている、請求項4または5に記載の半導体装置。
- [請求項7] 前記基板主面上に形成され、前記導電部と同じ導電性材料を含む接合部をさらに備え、
前記第1リードおよび前記第2リードは、接合材を介して、前記接合部に接合されている、請求項3ないし6のいずれかに記載の半導体装置。
- [請求項8] 前記第1リードおよび前記第2リードはそれぞれ、一部が前記封止樹脂に覆われており、別の一部が前記封止樹脂から露出している、請求項3ないし7のいずれかに記載の半導体装置。
- [請求項9] 前記第1リードおよび前記第2リードから離間し、かつ、導電性接合材を介して前記導電部に接合されて配置された制御用リードをさらに備え、
前記制御用リードは、一部が前記封止樹脂に覆われており、別の一部が前記封止樹脂から露出している、請求項3ないし8のいずれかに記載の半導体装置。
- [請求項10] 前記導電部は、互いに離間する第1導電部および第2導電部を含み、
前記第1半導体チップは、前記第1導電部上に配置され、
前記第2半導体チップは、前記第2導電部上に配置され、
前記第1温度検出素子は、前記第1導電部に隣接し、かつ、前記第1導電部から絶縁されて配置され、
前記第2温度検出素子は、前記第2導電部に隣接し、かつ、前記第

2 導電部から絶縁されて配置されている、請求項 2 に記載の半導体装置。

[請求項11] 前記第 1 導電部は、前記第 1 半導体チップが搭載される搭載部と、前記搭載部から延出した延出部とを備え、

前記第 1 温度検出素子は、前記延出部の先端付近に配置されている、請求項 10 に記載の半導体装置。

[請求項12] 前記温度検出素子は、サーミスタである、請求項 1 ないし 11 のいずれかに記載の半導体装置。

[請求項13] 前記温度検出素子は、半導体温度センサである、請求項 1 ないし 11 のいずれかに記載の半導体装置。

[請求項14] 前記半導体チップおよび前記温度検出素子の個数は、それぞれ 2 個である、請求項 1 ないし 13 のいずれかに記載の半導体装置。

[請求項15] 前記半導体チップおよび前記温度検出素子の個数は、それぞれ 4 個である、請求項 1 ないし 13 のいずれかに記載の半導体装置。

[請求項16] 前記半導体チップは、電力を制御するパワートランジスタである、請求項 1 ないし 15 のいずれかに記載の半導体装置。

[請求項17] 前記半導体チップは、
前記厚さ方向において互いに反対側を向くチップ主面およびチップ裏面と、

前記チップ主面に配置された主面電極と、

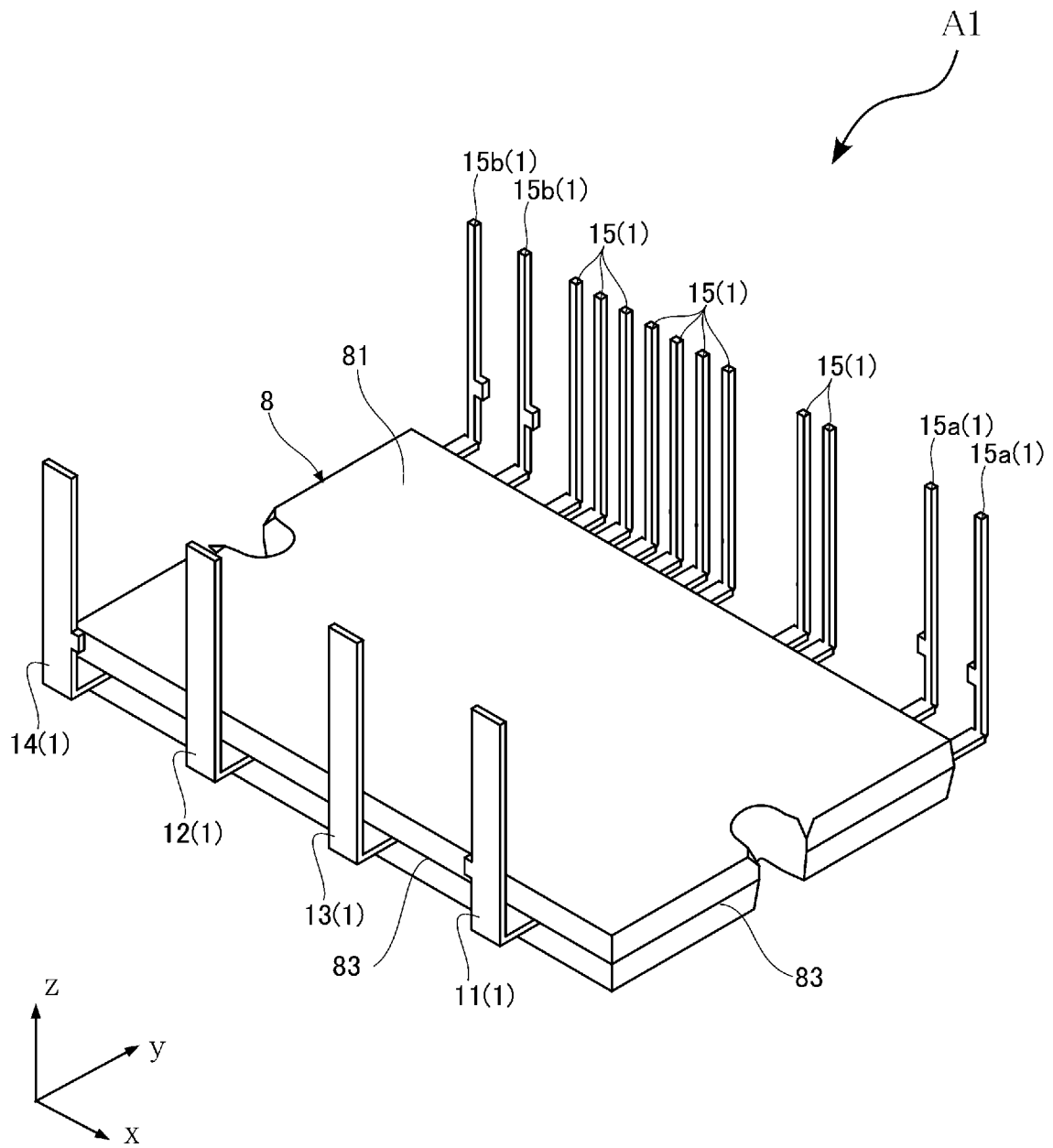
前記チップ裏面に配置された裏面電極と、

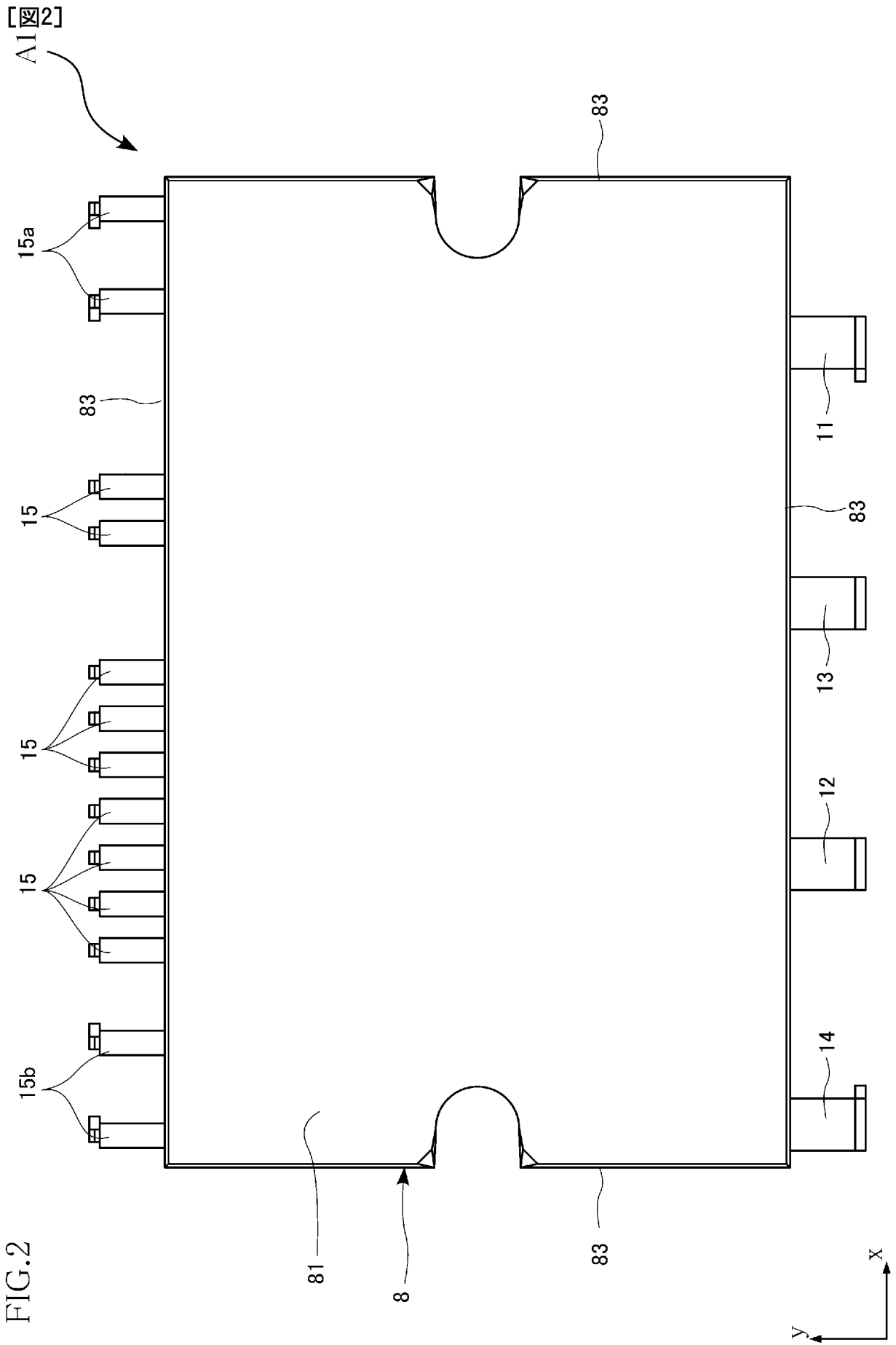
を備えている、請求項 1 ないし 16 のいずれかに記載の半導体装置。

[請求項18] 前記基板裏面は、前記封止樹脂から露出している、請求項 1 ないし 17 のいずれかに記載の半導体装置。

[請求項19] 前記基板は、セラミックからなる、請求項 1 ないし 18 のいずれかに記載の半導体装置。

[図1]
FIG.1





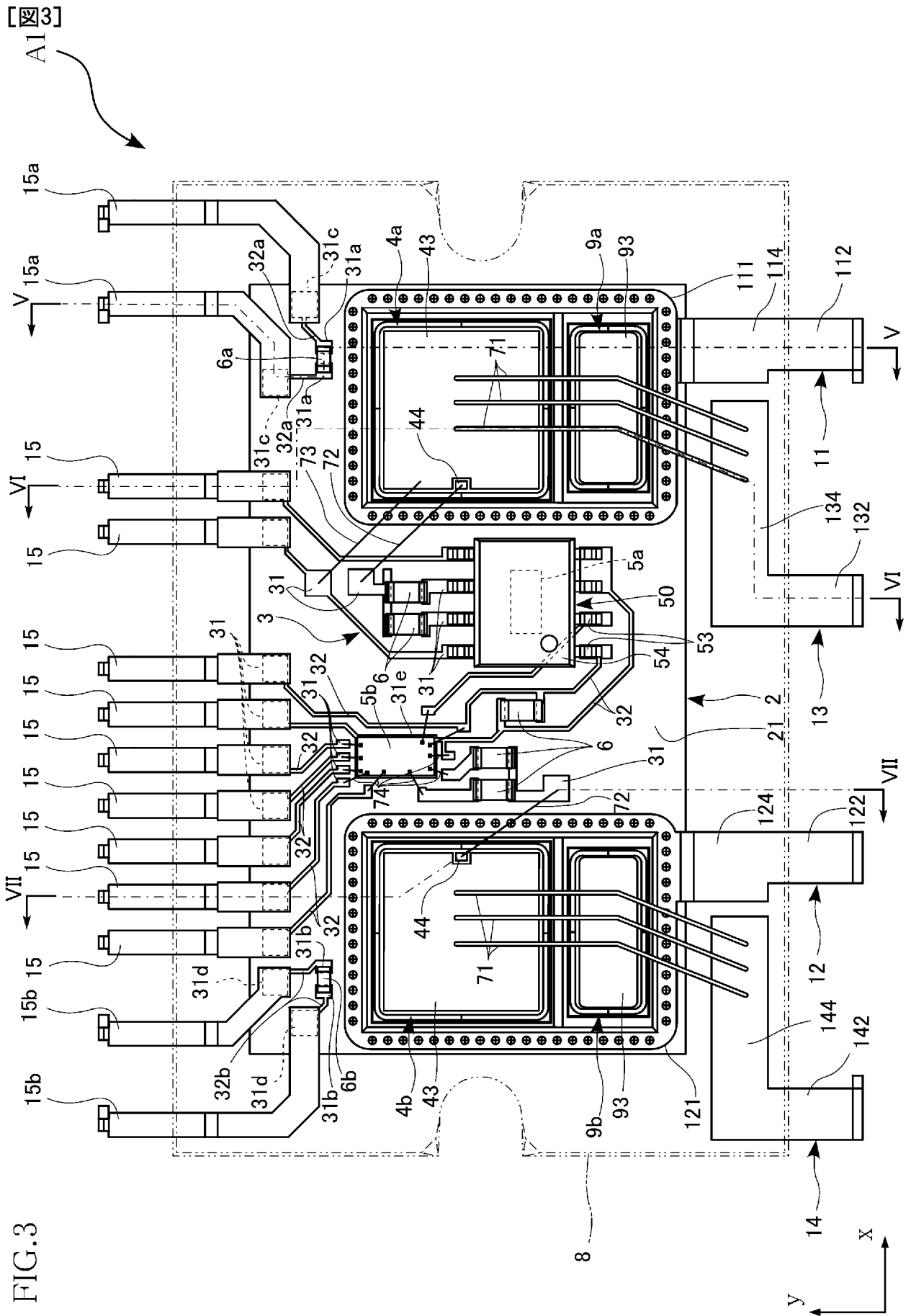
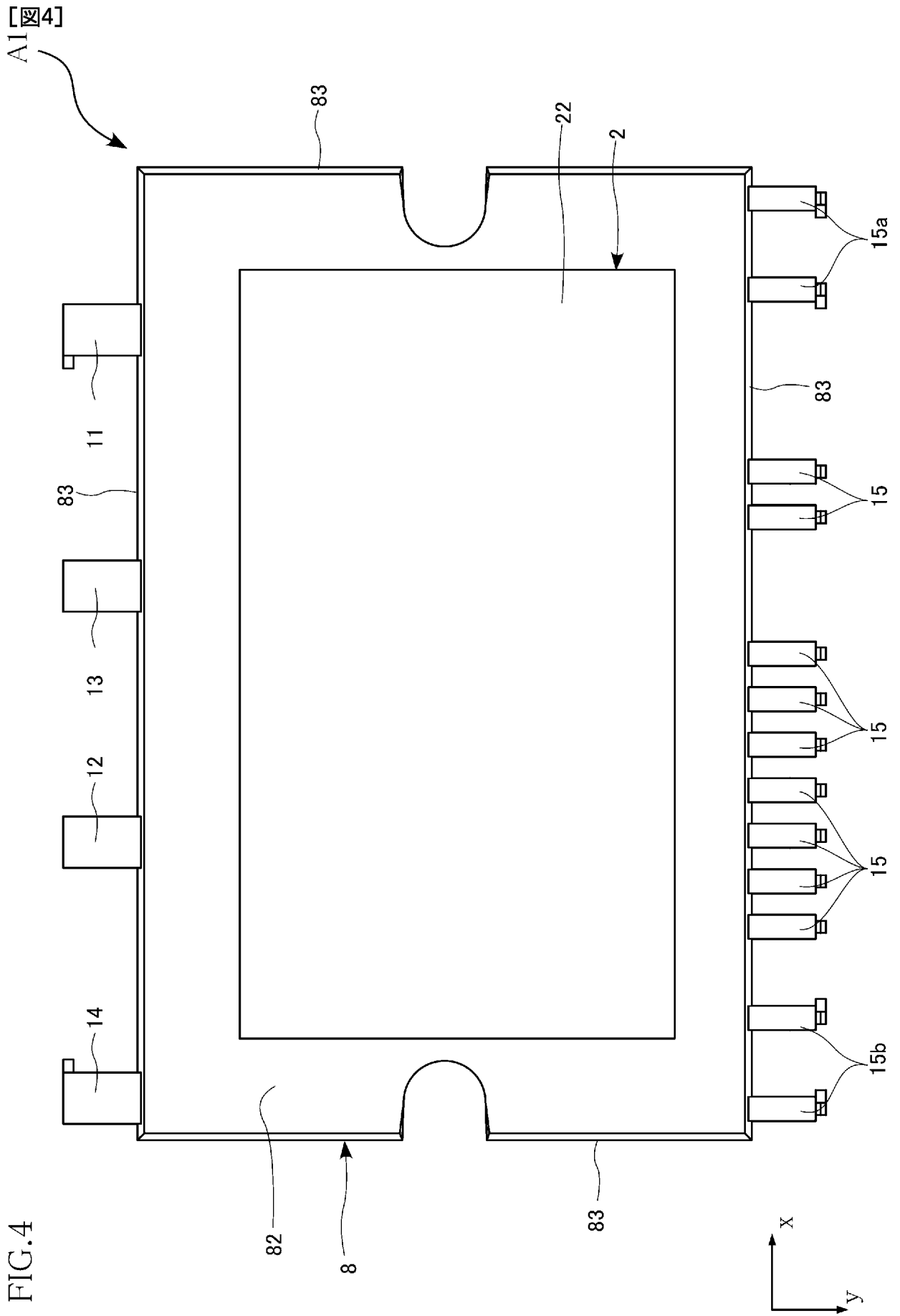


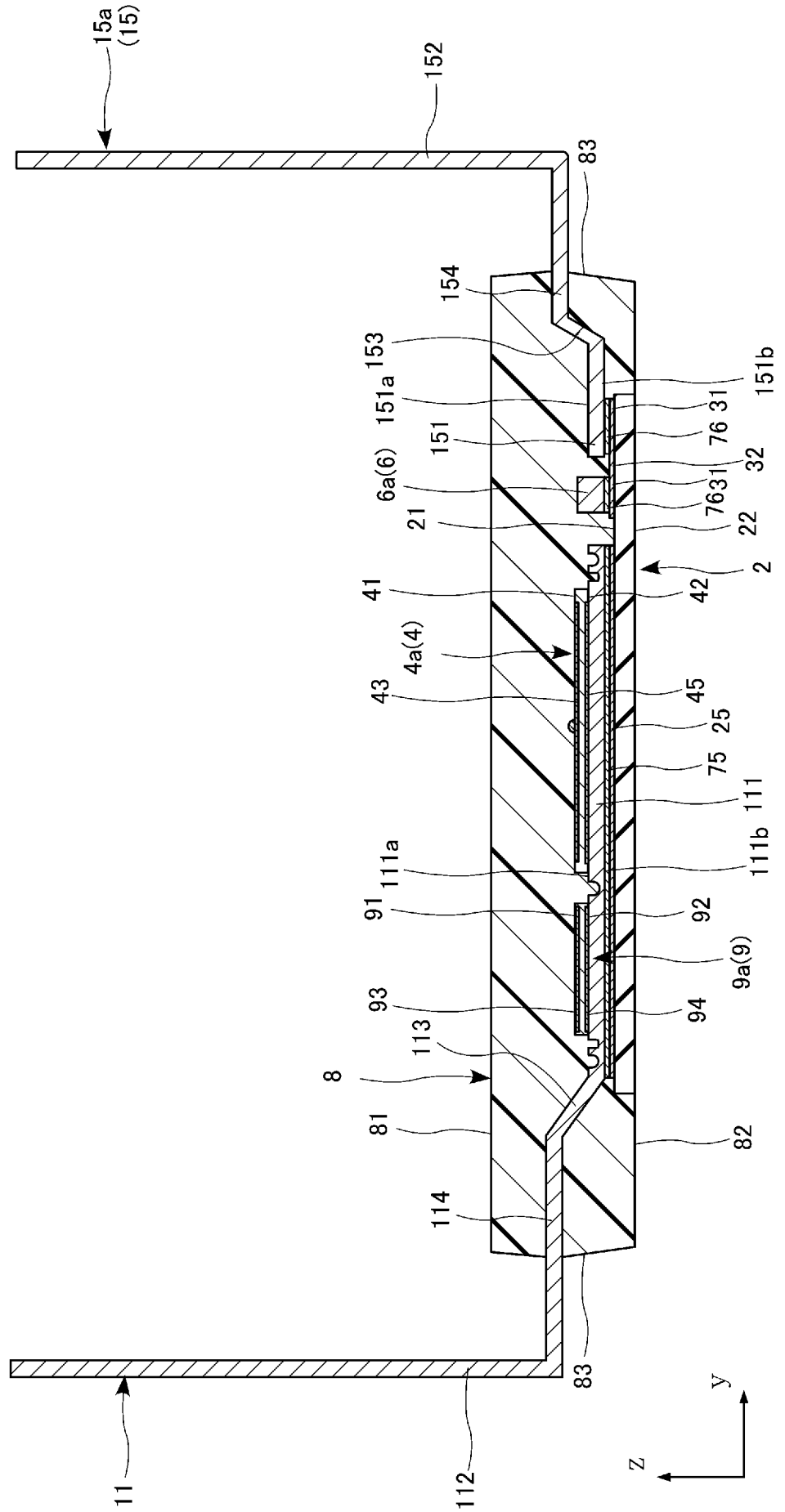
FIG. 3



[5]

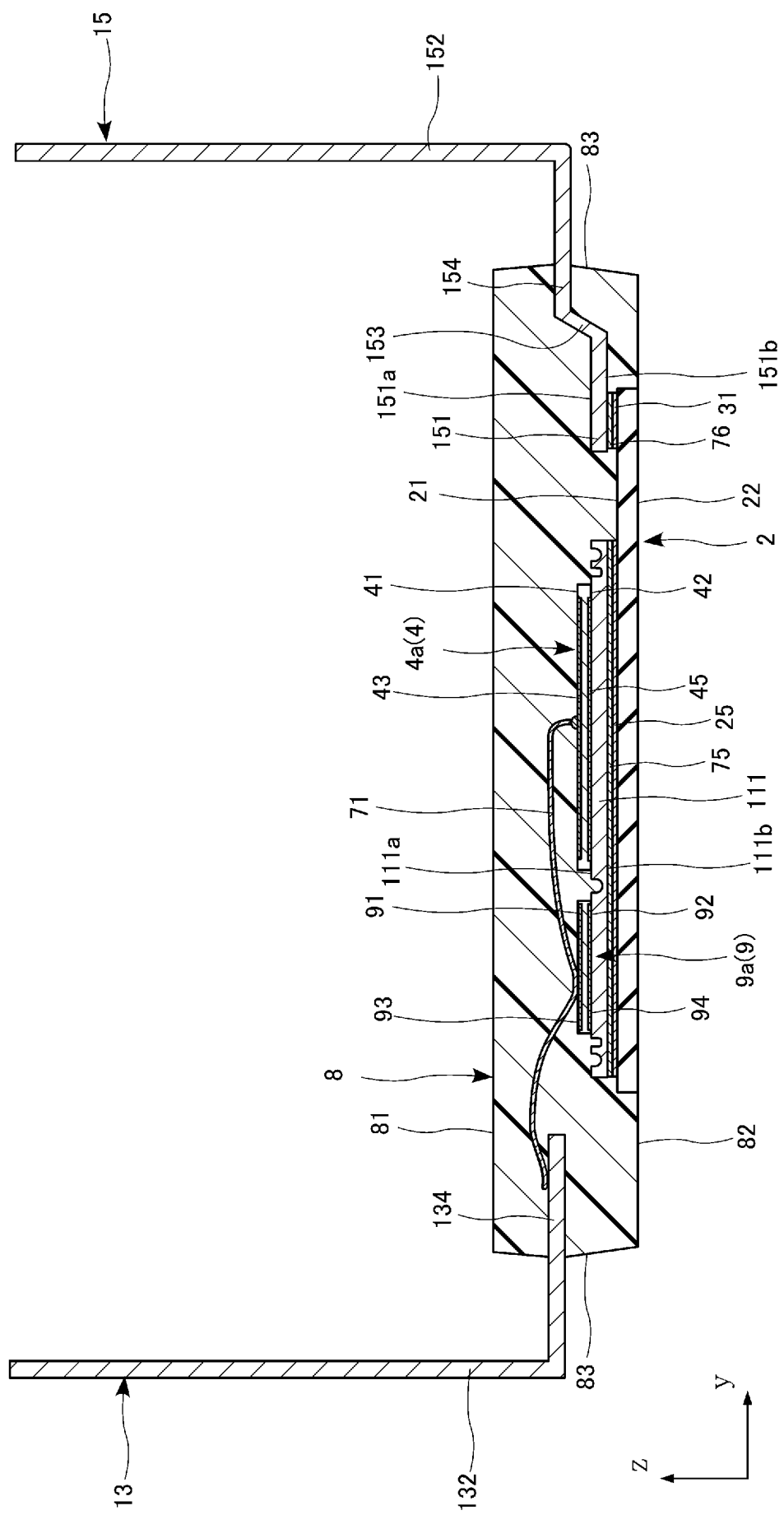
A1

FIG. 5



AI [6]

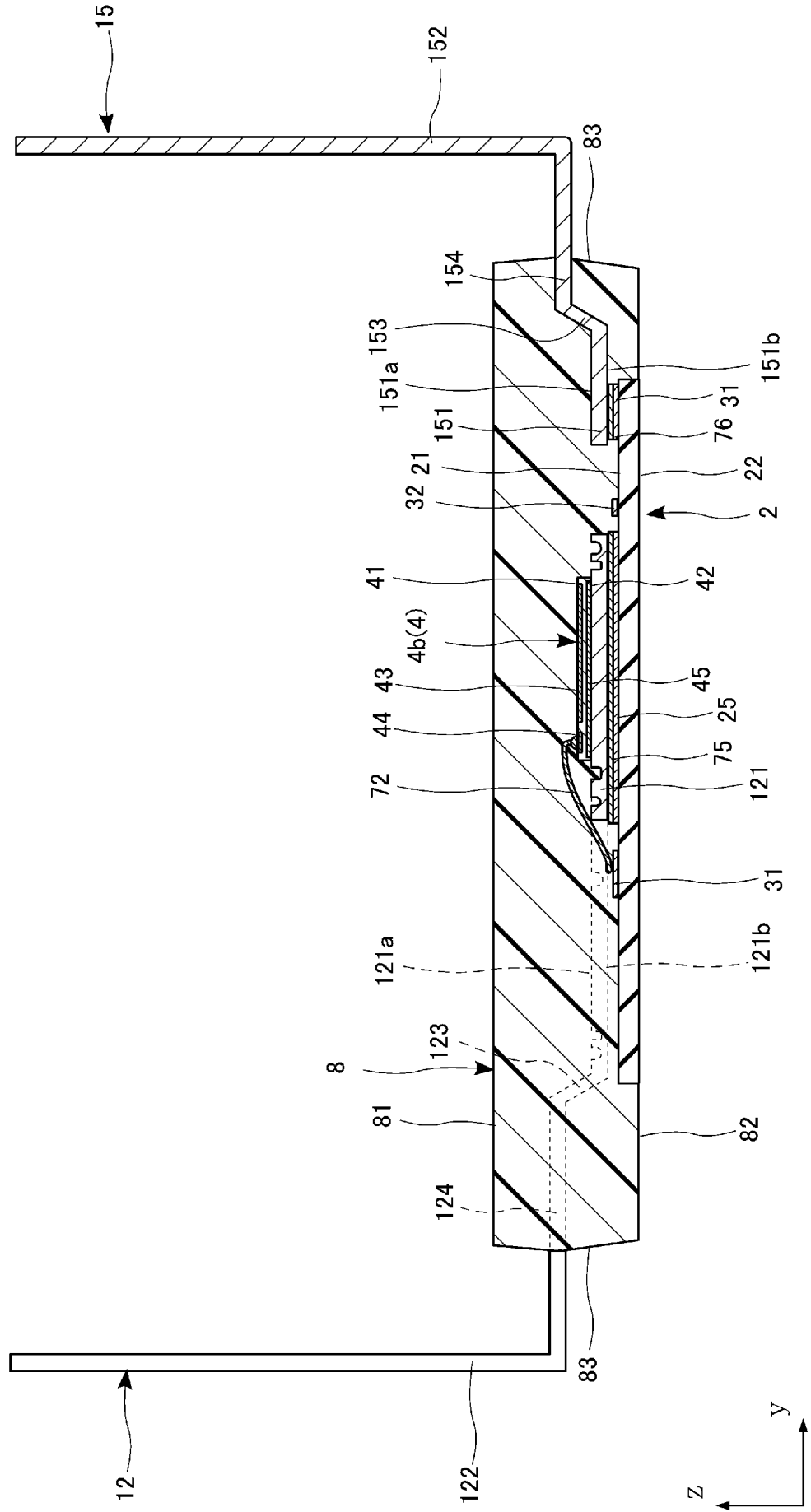
FIG.6



[7]

A1

FIG. 7



[8]

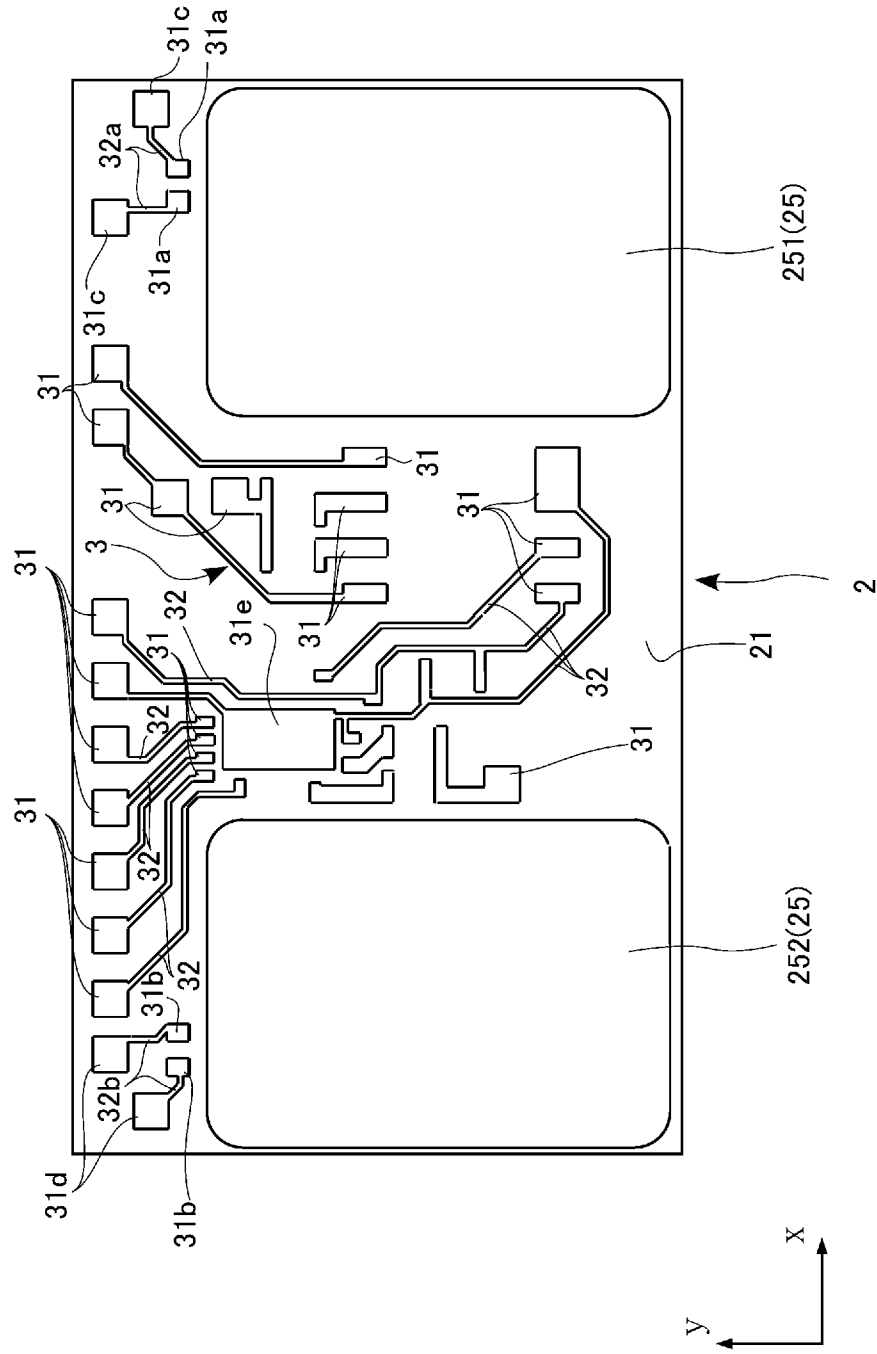
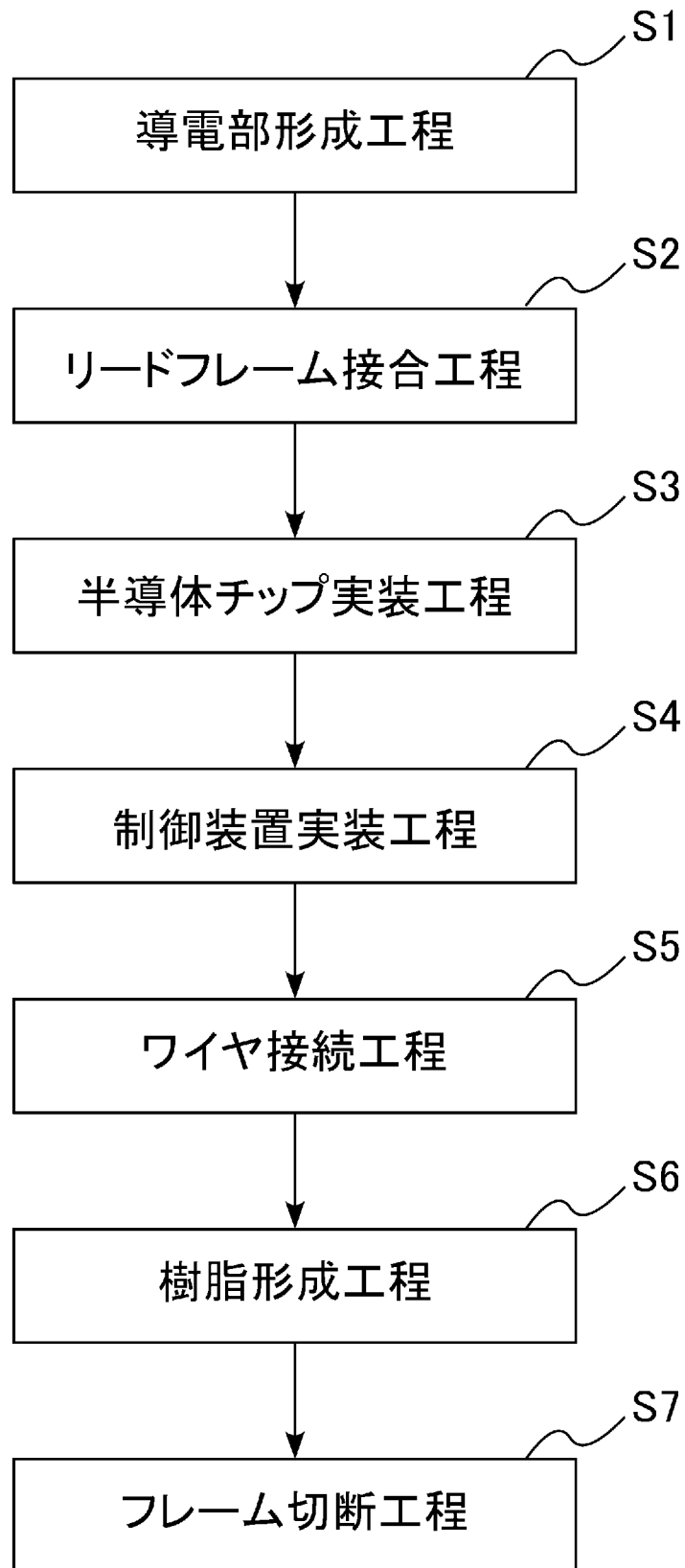


FIG. 8

[図9]
FIG.9



A3 [11]

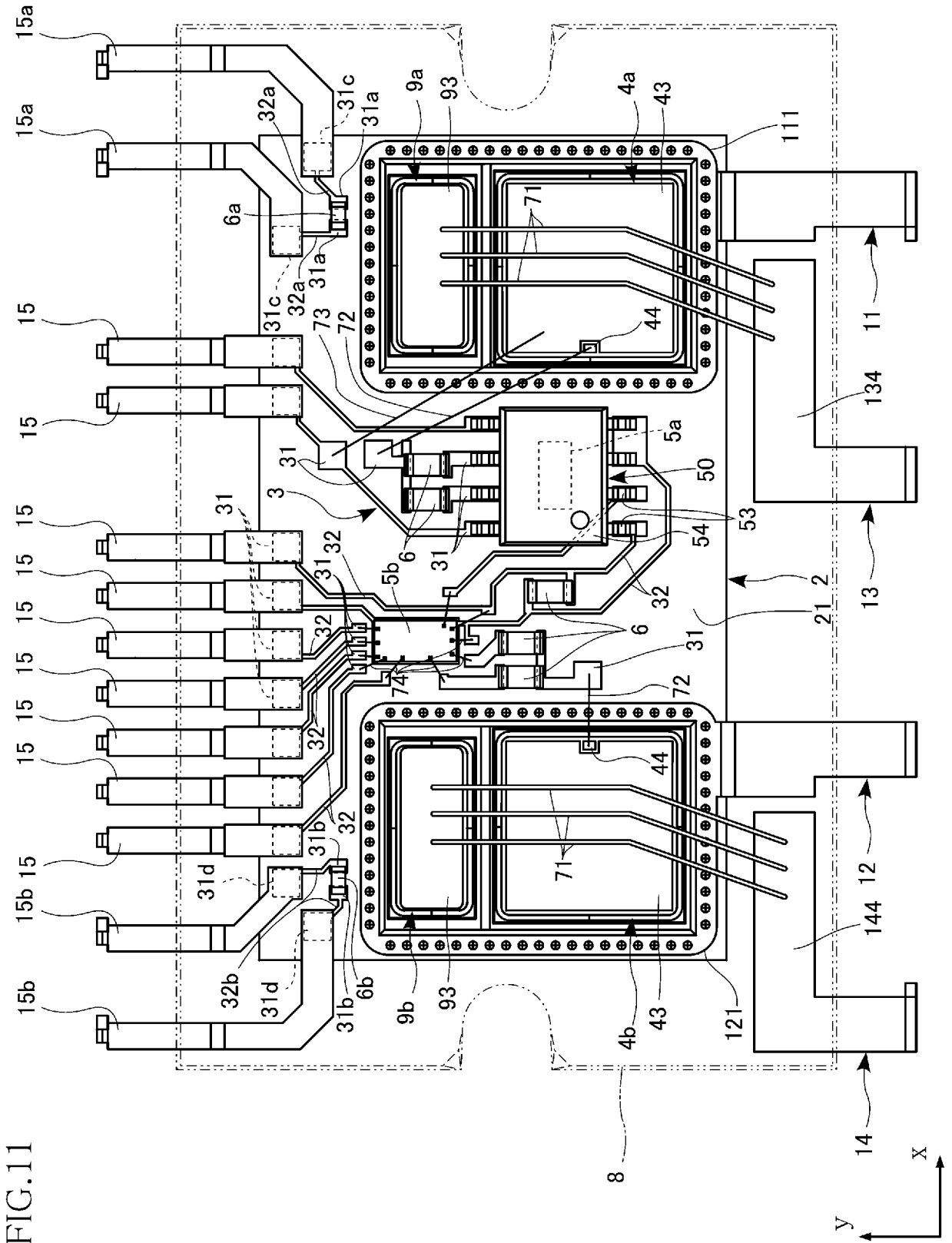


FIG.11

A4 [12]

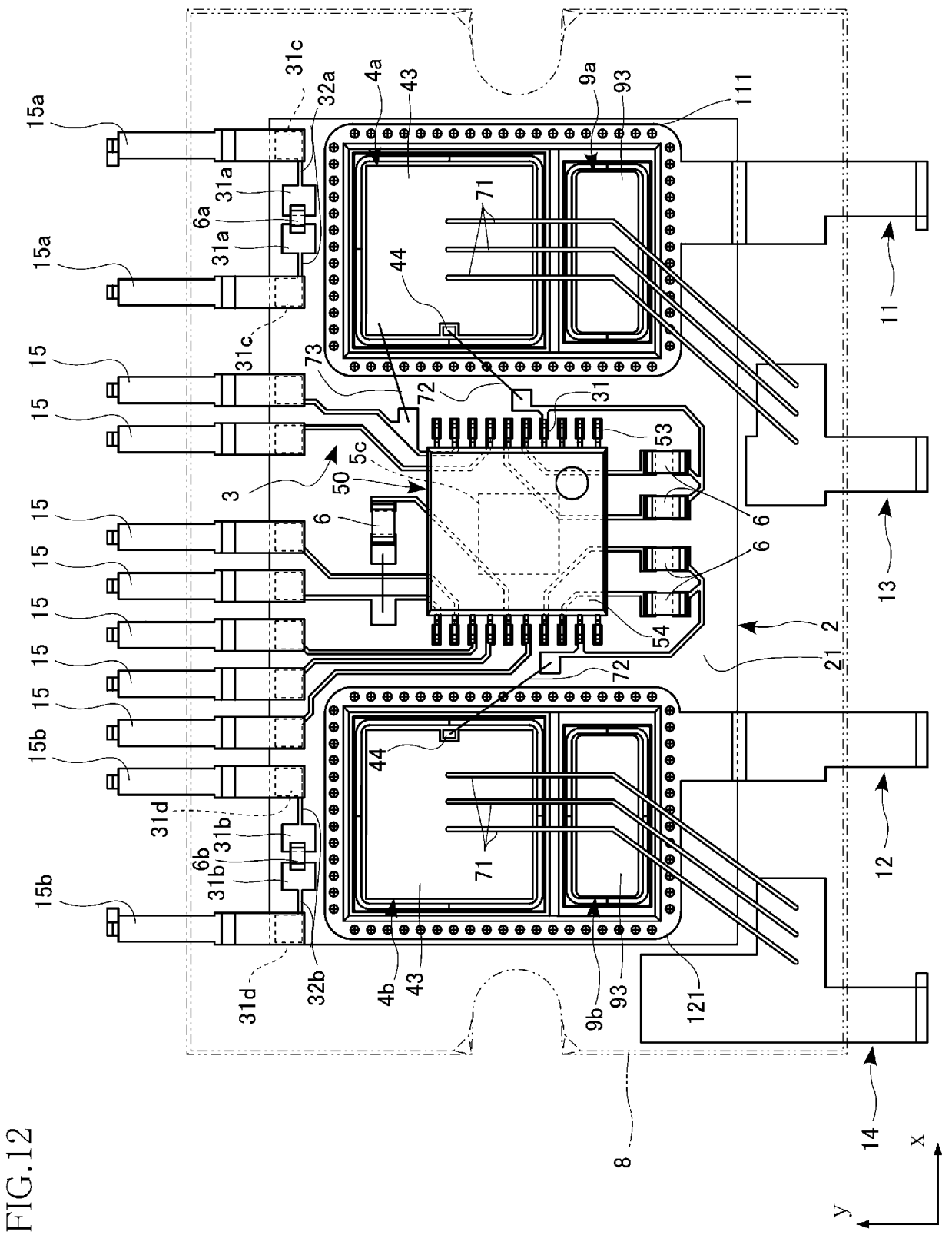
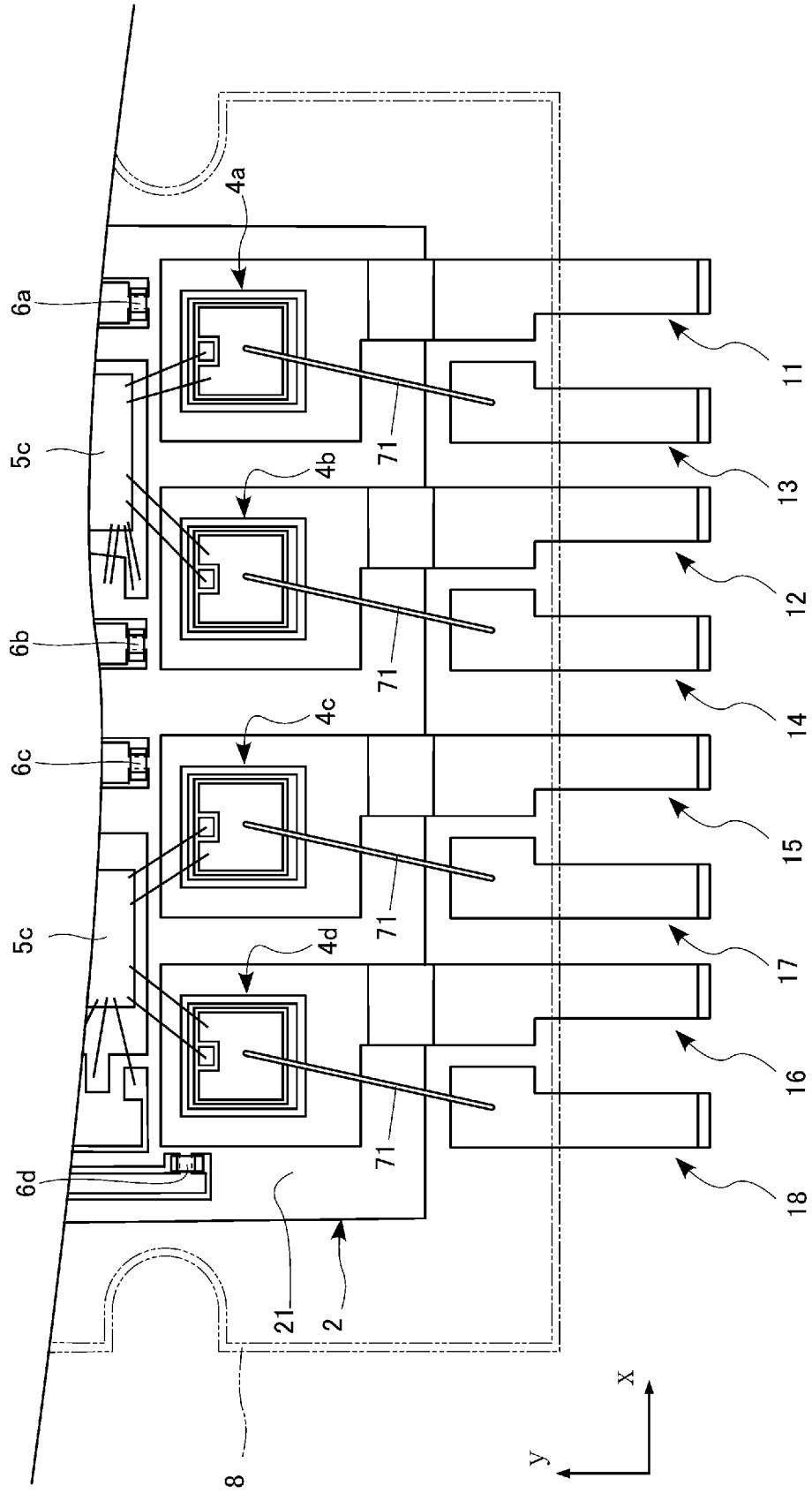


FIG. 12

A5 [13]

FIG.13



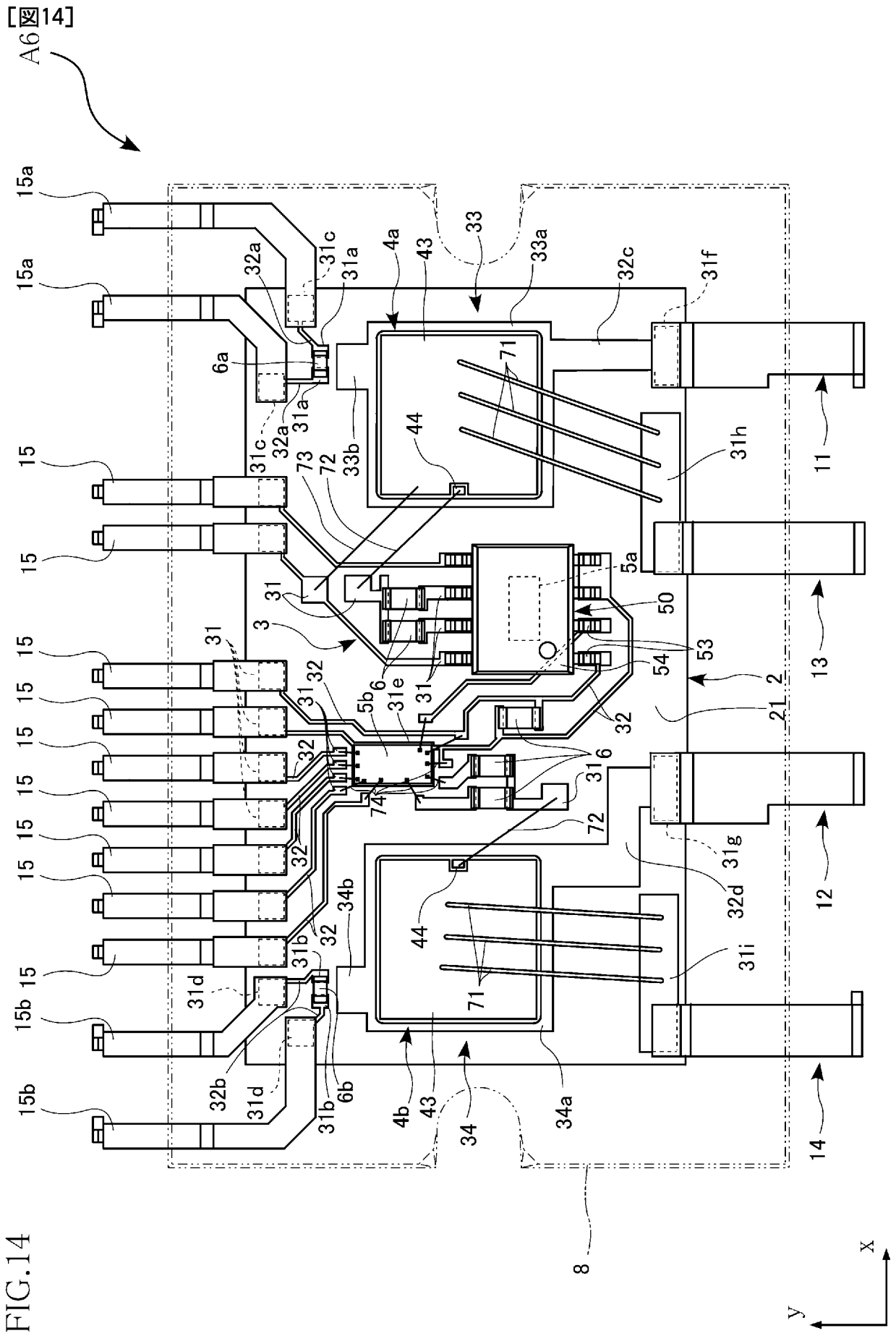


FIG. 14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/013848

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/34(2006.01)i; H01L 23/36(2006.01)i; H01L 23/58(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i
 FI: H01L25/04 C; H01L23/56 D; H01L23/34 D; H01L23/36 C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/34; H01L23/36; H01L23/58; H01L25/07; H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2013/046824 A1 (ROHM CO., LTD.) 04 April 2013 (2013-04-04) paragraphs [0029]-[0182], fig. 1-12	1-4, 7-10, 12-19 5, 6, 11
Y A	JP 2018-50433 A (DENSO CORP.) 29 March 2018 (2018-03-29) paragraphs [0015]-[0025], fig. 1-3	1-4, 7-10, 12-19 5, 6, 11
Y A	JP 2010-56333 A (TOYOTA MOTOR CORP.) 11 March 2010 (2010-03-11) paragraph [0021], fig. 1	1-4, 7-10, 12-19 5, 6, 11
A	JP 2013-201325 A (SEMICONDUCTOR COMPONENTS INDUSTRIES, LLC) 03 October 2013 (2013-10-03) paragraph [0034], fig. 2	5, 6, 11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“I” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search
 18 June 2021 (18.06.2021)

Date of mailing of the international search report
 29 June 2021 (29.06.2021)

Name and mailing address of the ISA/
 Japan Patent Office
 3-4-3, Kasumigaseki, Chiyoda-ku,
 Tokyo 100-8915, Japan

Authorized officer

 Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/013848

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2013/046824 A1	04 Apr. 2013	US 2014/0231926 A1 paragraphs [0052]- [0245], fig. 1-12 EP 2765600 A1 DE 202012013627 U1	
JP 2018-50433 A	29 Mar. 2018	US 2019/0199195 A1 paragraphs [0023]- [0034], fig. 1-3 WO 2018/055908 A1 CN 109874371 A	
JP 2010-56333 A	11 Mar. 2010	(Family: none)	
JP 2013-201325 A	03 Oct. 2013	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/34(2006.01)i; H01L 23/36(2006.01)i; H01L 23/58(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i FI: H01L25/04 C; H01L23/56 D; H01L23/34 D; H01L23/36 C		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L23/34; H01L23/36; H01L23/58; H01L25/07; H01L25/18 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2021年 日本国実用新案登録公報 1996 - 2021年 日本国登録実用新案公報 1994 - 2021年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2013/046824 A1（ローム株式会社）04.04.2013（2013-04-04） 段落0029-0182、図1-12	1-4, 7-10, 12-19 5, 6, 11
Y A	JP 2018-50433 A（株式会社デンソー）29.03.2018（2018-03-29） 段落0015-0025、図1-3	1-4, 7-10, 12-19 5, 6, 11
Y A	JP 2010-56333 A（トヨタ自動車株式会社）11.03.2010（2010-03-11） 段落0021、図1	1-4, 7-10, 12-19 5, 6, 11
A	JP 2013-201325 A（セミコンダクター・コンポーネンツ・インダストリーズ・リミ テッド・ライアビリティ・カンパニー）03.10.2013（2013-10-03） 段落0034、図2	5, 6, 11
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に 公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若し くは他の特別な理由を確立するために引用する文献（理由を 付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の 後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵 触するものではなく、発明の原理又は理論の理解のために引 用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性 又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献 との、当業者にとって自明である組合せによって進歩性がな いと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 18.06.2021	国際調査報告の発送日 29.06.2021	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 井上 和俊 5F 3455 電話番号 03-3581-1101 内線 3516	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/013848

引用文献			公表日	パテントファミリー文献			公表日
WO	2013/046824	A1	04.04.2013	US	2014/0231926	A1	
					paragraphs0052-0245, FIGs.1-12		
				EP	2765600	A1	
				DE	202012013627	U1	
JP	2018-50433	A	29.03.2018	US	2019/0199195	A1	
					paragraphs0023-0034, FIGs.1-3		
				WO	2018/055908	A1	
				CN	109874371	A	
JP	2010-56333	A	11.03.2010	(ファミリーなし)			
JP	2013-201325	A	03.10.2013	(ファミリーなし)			