



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0132856
(43) 공개일자 2010년12월20일

(51) Int. Cl.

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)

(21) 출원번호 10-2009-0051660

(22) 출원일자 2009년06월10일

심사청구일자 2009년06월10일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김태근

경기도 성남시 분당구 이매동 122 금강아파트
103-1301

서유정

서울특별시 동대문구 제기동 146-25번지 1층 2호

안호명

서울특별시 송파구 풍납동 277-5번지 202호

(74) 대리인

전중일

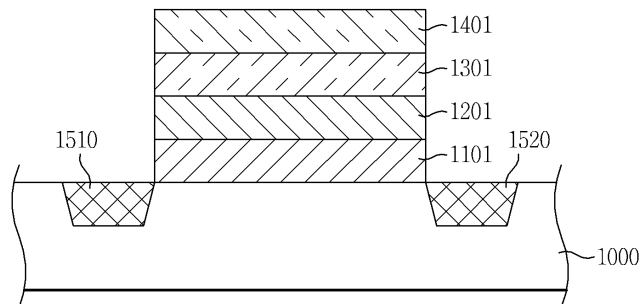
전체 청구항 수 : 총 18 항

(54) 멀티 평선 비휘발성 퓨전 메모리 소자 및 그의 제조 방법

(57) 요약

본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 반도체 기판, 반도체 기판 상에 형성된 제 1 저항 변화 영역, 제 1 저항 변화 영역 상에 형성된 전하 포획 영역, 전하 포획 영역 상에 형성된 제 2 저항 변화 영역, 제 2 저항 변화 영역 상에 형성된 게이트 및 반도체 기판 내에 서로 분리되어 형성된 소오스와 드레인을 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

반도체 기관;

상기 반도체 기관 상에 형성된 제 1 저항 변화 영역;

상기 제 1 저항 변화 영역 상에 형성된 전하 포획 영역;

상기 전하 포획 영역 상에 형성된 제 2 저항 변화 영역;

상기 제 2 저항 변화 영역 상에 형성된 게이트; 및

상기 반도체 기관 내에 서로 분리되어 형성된 소오스와 드레인을 포함하는 멀티 평선 비휘발성 퓨전 메모리 소자.

청구항 2

제 1 항에 있어서,

상기 제 1 저항 변화 영역은 페로브스카이트계 산화물로 형성된 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자.

청구항 3

제 2 항에 있어서,

상기 제 1 저항 변화 영역은 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성된 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자.

청구항 4

제 1 항에 있어서,

상기 제 1 저항 변화 영역은 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성된 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자.

청구항 5

제 1 항에 있어서,

상기 전하 포획 영역은 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성된 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자.

청구항 6

제 1 항에 있어서,

상기 전하 포획 영역은 실리콘질화막 또는 비정질 폴리 실리콘으로 형성된 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자.

청구항 7

제 1 항에 있어서,

상기 제 2 저항 변화 영역은 페로브스카이트계 산화물로 형성된 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자.

청구항 8

제 7 항에 있어서,

상기 제 2 저항 변화 영역은 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성된 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자.

청구항 9

제 1 항에 있어서,

상기 제 2 저항 변화 영역은 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성된 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자.

청구항 10

반도체 기판 상에 제 1 저항 변화층을 형성하는 단계;

상기 제 1 저항 변화층 상에 전하 포획층을 형성하는 단계;

상기 전하 포획층 상에 제 2 저항 변화층을 형성하는 단계;

상기 제 2 저항 변화층 상에 게이트층을 형성하는 단계;

상기 제 1 저항 변화층, 상기 전하 포획층, 상기 제 2 저항 변화층, 상기 게이트층을 각각 식각하여 제 1 저항 변화 영역, 제 전하 포획 영역, 제 2 저항 변화 영역, 게이트를 형성하는 단계; 및

상기 반도체 기판 내에 서로 분리하여 소오스와 드레인을 형성하는 단계를 포함하는 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 제 1 저항 변화층을 형성하는 단계에서, 상기 제 1 저항 변화층을 페로브스카이트계 산화물로 형성하는 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법.

청구항 12

제 11 항에 있어서,

상기 제 1 저항 변화층을 형성하는 단계에서, 상기 제 1 저항 변화층을 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성하는 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법.

청구항 13

제 10 항에 있어서,

상기 제 1 저항 변화층을 형성하는 단계에서, 상기 제 1 저항 변화층을 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성하는 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법.

청구항 14

제 10 항에 있어서,

상기 전하 포획층을 형성하는 단계에서, 상기 전하 포획층을 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성하는 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법.

청구항 15

제 10 항에 있어서,

상기 전하 포획층을 형성하는 단계에서, 상기 전하 포획층을 실리콘질화막 또는 비정질 폴리 실리콘으로 형성하는 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법.

청구항 16

제 10 항에 있어서,

상기 제 2 저항 변화층을 형성하는 단계에서, 상기 제 2 저항 변화층을 페로브스카이트계 산화물로 형성하는 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법.

청구항 17

제 16 항에 있어서,

상기 제 2 저항 변화층을 형성하는 단계에서, 상기 제 2 저항 변화층을 $PbZrTiO_3$, $PrCaMnO_3$, $BaTiO_3$, $SrTiO_3$, 또는 $SrZrO_3$ 로 형성하는 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법.

청구항 18

제 10 항에 있어서,

상기 제 2 저항 변화층을 형성하는 단계에서, 상기 제 2 저항 변화층을 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성하는 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 멀티 평선 비휘발성 퓨전 메모리 소자 및 그의 제조 방법에 관한 것으로서, 보다 상세하게는 저항 변화 영역과 전하 포획 영역을 형성함으로써, 우수한 저장 능력과 고속 저장 동작이 가능한 멀티 평선 비휘발성 퓨전 메모리 소자 및 그의 제조 방법에 관한 것이다.

배경 기술

[0002] 언제 어디서나 하고 싶은 일을 할 수 있는 유비쿼터스(Ubiquitous) 시대가 도래함에 따라, 다양한 기능을 동시에 구현할 수 있는 디지털 정보 기기에 대한 수요가 폭발적으로 증가되고 있다.

[0003] 이러한 디지털 정보 기기에 이용되는 메모리 또한 다양한 기능을 구현하도록 우수한 저장 능력과 고속 저장 동작이 요구되고 있다.

[0004] 그런데, 종래의 메모리는 우수한 저장 능력을 가지는 경우에는 저장 동작 속도가 느리거나, 고속 저장 동작이 가능한 경우에는 저장 능력이 저하되는 문제점이 있었다.

발명의 내용

해결 하고자하는 과제

[0005] 따라서 본 발명은 종래 기술의 문제점을 해결하기 위하여 안출된 것으로, 본 발명이 이루고자 하는 기술적 과제는, 저항 변화 영역과 전하 포획 영역을 형성함으로써, 우수한 저장 능력과 고속 저장 동작이 가능한 멀티 평선 비휘발성 퓨전 메모리 소자를 제공하는 것이다.

[0006] 본 발명이 이루고자 하는 다른 기술적 과제는 상술한 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법을 제공하는 것이다.

[0007] 본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

[0008] 상기와 같은 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 반도체 기판, 상기 반도체 기판 상에 형성된 제 1 저항 변화 영역, 상기 제 1 저항 변화 영역 상에 형성된 전하 포

획 영역, 상기 전하 포획 영역 상에 형성된 제 2 저항 변화 영역, 상기 제 2 저항 변화 영역 상에 형성된 게이트 및 상기 반도체 기판 내에 서로 분리되어 형성된 소오스와 드레인을 포함한다.

- [0009] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 상기 제 1 저항 변화 영역이 페로브스카이트계 산화물로 형성된 것이 바람직하다.
- [0010] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 상기 제 1 저항 변화 영역이 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성된 것이 바람직하다.
- [0011] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 상기 제 1 저항 변화 영역이 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성된 것이 바람직하다.
- [0012] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 상기 전하 포획 영역이 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성된 것이 바람직하다.
- [0013] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 상기 전하 포획 영역이 실리콘질화막 또는 비정질 폴리 실리콘으로 형성된 것이 바람직하다.
- [0014] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 상기 제 2 저항 변화 영역이 페로브스카이트계 산화물로 형성된 것이 바람직하다.
- [0015] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 상기 제 2 저항 변화 영역이 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성된 것이 바람직하다.
- [0016] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 상기 제 2 저항 변화 영역이 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성된 것이 바람직하다.
- [0017] 상기와 같은 다른 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법은 반도체 기판 상에 제 1 저항 변화층을 형성하는 단계, 상기 제 1 저항 변화층 상에 전하 포획층을 형성하는 단계, 상기 전하 포획층 상에 제 2 저항 변화층을 형성하는 단계, 상기 제 2 저항 변화층 상에 게이트층을 형성하는 단계, 상기 제 1 저항 변화층, 상기 전하 포획층, 상기 제 2 저항 변화층, 상기 게이트층을 각각 식각하여 제 1 저항 변화 영역, 제 전하 포획 영역, 제 2 저항 변화 영역, 게이트를 형성하는 단계 및 상기 반도체 기판 내에 서로 분리하여 소오스와 드레인을 형성하는 단계를 포함한다.
- [0018] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법은 상기 제 1 저항 변화층을 형성하는 단계에서, 상기 제 1 저항 변화층을 페로브스카이트계 산화물로 형성하는 것이 바람직하다.
- [0019] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법은 상기 제 1 저항 변화층을 형성하는 단계에서, 상기 제 1 저항 변화층을 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성하는 것이 바람직하다.
- [0020] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법은 상기 제 1 저항층 변화층을 형성하는 단계에서, 상기 제 1 저항 변화층을 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성하는 것이 바람직하다.
- [0021] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법은 상기 전하 포획층을 형성하는 단계에서, 상기 전하 포획층을 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성하는 것이 바람직하다.
- [0022] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법은 상기 전하 포획층을 형성하는 단계에서, 상기 전하 포획층을 실리콘질화막 또는 비정질 폴리 실리콘으로 형성하는 것이 바람직하다.
- [0023] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법은 상기 제 2 저항 변화층을 형성하는 단계에서, 상기 제 2 저항 변화층을 페로브스카이트계 산화물로 형성하는 것이 바람직하다.
- [0024] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법은 상기 제 2 저항 변화층을 형성하는 단계에서, 상기 제 2 저항 변화층을 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성하는 것이 바람직하다.
- [0025] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법은 상기 제 2 저항층 변화층을

형성하는 단계에서, 상기 제 2 저항 변화층을 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성하는 것이 바람직하다.

효 과

[0026] 본 발명의 실시예들에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 저항 변화 영역과 전하 포획 영역을 형성함으로써, 저장 능력이 우수하면서도 고속 저장 동작이 가능하다.

[0027] 본 발명의 실시예들에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법은 상술한 멀티 평선 비휘발성 퓨전 메모리 소자를 용이하게 제조할 수 있다.

발명의 실시를 위한 구체적인 내용

[0028] 이하 첨부된 도면을 참조로 본 발명의 바람직한 실시 예를 상세히 설명하기로 한다. 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다. 본 발명의 장점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0029] 도 1은 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 단면도이다.

[0030] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 도 1에 도시된 것처럼, 반도체 기판(1000), 제 1 저항 변화 영역(1101), 전하 포획 영역(1201), 제 2 저항 변화 영역(1301), 게이트(1401) 및 소오스(1510)와 드레인(1520)을 포함하여 구성될 수 있다.

[0031] 이러한 제 1 저항 변화 영역(1101)은 반도체 기판(1000) 상에 페로브스카이트계 산화물로 형성되며, 구체적으로 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성될 수 있다.

[0032] 한편, 제 1 저항 변화 영역(1101) 반도체 기판(1000) 상에 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성될 수 있다.

[0033] 또한, 전하 포획 영역(1201)은 제 1 저항 변화 영역(1101) 상에 형성되며, 구체적으로 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성되거나, 실리콘질화막 또는 비정질 폴리 실리콘으로 형성될 수 있다.

[0034] 여기에서, 제 2 저항 변화 영역(1301)은 전하 포획 영역(1201) 상에 페로브스카이트계 산화물로 형성되며, 구체적으로 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성될 수 있다.

[0035] 한편, 제 2 저항 변화 영역(1301) 전하 포획 영역(1201) 상에 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성될 수 있다.

[0036] 또한, 게이트(1401)는 제 2 저항 변화 영역(1301) 상에 형성되며, 비정질 폴리 실리콘이나 알루미늄 등의 금속 물질로 형성될 수 있다.

[0037] 한편, 소오스(1510)와 드레인(1520)은 반도체 기판(1000) 내에 형성되며 서로 분리되어 형성된다.

[0038] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 제 1 저항 변화 영역(1101)과 제 2 저항 변화 영역(1301)이 저저항 상태일 경우와 고저항 상태일 경우에 제 1 저항 변화 영역(1101), 전하 포획 영역(1201), 제 2 저항 변화 영역(1301) 및 게이트(1401)를 따라서 흐르는 전류가 현저하게 차이가 있으므로, 이러한 저항 변화 메모리 동작을 이용하면, 데이터를 고속으로 기입하거나 소거할 수 있다.

[0039] 또한, 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 전하 포획 영역(1201)에 전하를 포획시키거나 소거함으로써, 데이터를 기입하거나 소거할 수 있으며, 전하 포획 영역(1201)에 데이터를 저장하는 경우에는 데이터 저장 능력이 매우 우수하다.

[0040] 한편, 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 제 1 저항 변화 영역(1101)을 통해서 전하 포획 영역(1201)에 전하를 전달할 수 있으므로, 종래의 터널링에 의해서 전하를 포획시키는 경우에 비해서 용이하게 전하를 포획시킬 수 있다.

[0041] 도 2a 내지 도 2c를 참조하여, 본 발명의 일 실시예에 따른 멀티 평선비휘발성 퓨전 메모리 소자의 제조 방법에 대해서 설명한다.

[0042] 먼저, 도 2a에 도시된 것처럼, 반도체 기판(1000) 상에 화학 기상 증착(Chemical Vapor Deposition; CVD) 공정, 원자층 증착(Atomic Layer Deposition; ALD) 공정 또는 펄스 레이저 증착(Pulsed Laser Deposition;

PLD) 공정 등으로 제 1 저항 변화층(1100)을 형성한다.

[0043] 이러한 제 1 저항 변화층(1100)은 페로브스카이트계 산화물로 형성되며, 구체적으로 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성될 수 있다.

[0044] 한편, 제 1 저항 변화층은(1100) 반도체 기판(1000) 상에 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성될 수 있다.

[0045] 다음으로, 도 2a에 도시된 것처럼, 제 1 저항 변화층(1100) 상에 화학 기상 증착(Chemical Vapor Deposition; CVD) 공정, 원자층 증착(Atomic Layer Deposition; ALD) 공정 또는 펄스 레이저 증착(Pulsed Laser Deposition; PLD) 공정 등으로 전하 포획층(1200)을 형성한다.

[0046] 여기에서, 전하 포획층(1200)은 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성되거나, 실리콘질화막 또는 비정질 폴리 실리콘으로 형성될 수 있다.

[0047] 다음으로, 도 2a에 도시된 것처럼, 전하 포획층(1200) 상에 화학 기상 증착(Chemical Vapor Deposition; CVD) 공정, 원자층 증착(Atomic Layer Deposition; ALD) 공정 또는 펄스 레이저 증착(Pulsed Laser Deposition; PLD) 공정 등으로 제 2 저항 변화층(1300)을 형성한다.

[0048] 이러한 제 2 저항 변화층(1300)은 페로브스카이트계 산화물로 형성되며, 구체적으로 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성될 수 있다.

[0049] 한편, 제 2 저항 변화층은(1300) 전하 포획층(1200) 상에 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성될 수 있다.

[0050] 다음으로, 도 2a에 도시된 것처럼, 제 2 저항 변화층(1300) 상에 화학 기상 증착(Chemical Vapor Deposition; CVD) 공정 등으로 게이트층(1400)을 형성하며, 이러한 게이트층(1400)은 비정질 폴리 실리콘이나 알루미늄 등의 금속 물질로 형성될 수 있다.

[0051] 다음으로, 도 2b에 도시된 것처럼, 제 1 저항 변화층(1100), 전하 포획층(1200), 제 2 저항 변화층(1300), 게이트층(1400)을 각각 식각하여 제 1 저항 변화 영역(1101), 제 전하 포획 영역(1201), 제 2 저항 변화 영역(1301), 게이트(1401)를 형성한다.

[0052] 다음으로, 도 2c에 도시된 것처럼, 불순물을 이온 주입 공정으로 주입하여 반도체 기판(1000) 내에 서로 분리하여 소오스(1510)와 드레인(1520)을 형성한다.

[0053] 이상, 본 발명을 본 발명의 원리를 예시하기 위한 바람직한 실시예와 관련하여 설명하고 도시하였지만, 본 발명은 그와 같이 도시되고 설명된 그대로의 구성 및 작용으로 한정되는 것이 아니다.

[0054] 오히려, 첨부된 청구범위의 사상 및 범주를 일탈함이 없이 본 발명에 대한 다수의 변경 및 수정이 가능함을 당업자들은 잘 이해할 수 있을 것이다.

[0055] 따라서, 그러한 모든 적절한 변경 및 수정과 균등물들도 본 발명의 범위에 속하는 것으로 간주되어야 할 것이다.

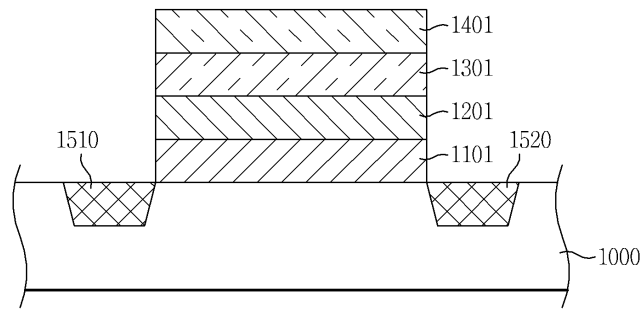
도면의 간단한 설명

[0056] 도 1은 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 단면도.

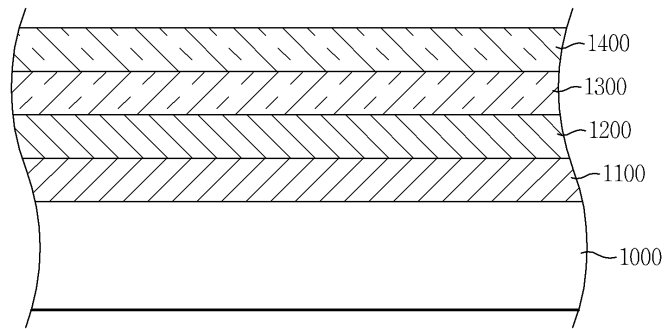
[0057] 도 2a 내지 도 2c는 도 1의 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 공정 단면도들.

도면

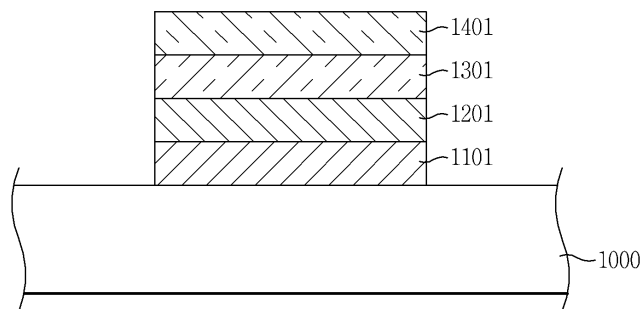
도면1



도면2a



도면2b



도면2c

