

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7345191号  
(P7345191)

(45)発行日 令和5年9月15日(2023.9.15)

(24)登録日 令和5年9月7日(2023.9.7)

(51)国際特許分類 F I  
G 0 6 N 3/067(2006.01) G 0 6 N 3/067  
G 0 6 G 7/60 (2006.01) G 0 6 G 7/60

請求項の数 11 (全39頁)

(21)出願番号	特願2020-516840(P2020-516840)	(73)特許権者	520092945
(86)(22)出願日	平成30年9月20日(2018.9.20)		ルック ダイナミックス, インコーポレイテッド
(65)公表番号	特表2020-534623(P2020-534623 A)		LOOK DYNAMICS, INC.
(43)公表日	令和2年11月26日(2020.11.26)		アメリカ合衆国 80501 コロラド, ロングモント, スイート ティー, 105 エス サンセット ストリート
(86)国際出願番号	PCT/US2018/052095		105 S. Sunset Street, Suite T Longmont, CO 80501 (US)
(87)国際公開番号	WO2019/060645	(74)代理人	100105131
(87)国際公開日	平成31年3月28日(2019.3.28)		弁理士 井上 満
審査請求日	令和3年9月16日(2021.9.16)	(74)代理人	100105795
(31)優先権主張番号	62/561,061		弁理士 名塚 聡
(32)優先日	平成29年9月20日(2017.9.20)	(72)発明者	クリル, リッキ ジェイ
(33)優先権主張国・地域又は機関	米国(US)		
(31)優先権主張番号	62/625,711		
(32)優先日	平成30年2月2日(2018.2.2)		
	最終頁に続く		最終頁に続く

(54)【発明の名称】 フォトニックニューラルネットワークシステム

(57)【特許請求の範囲】

【請求項1】

送受信モジュールのアレイを備える第1のセンサー・ディスプレイ装置であって、各送受信モジュールは光センサー素子と、光送信素子と、複数のメモリセルを有するメモリバンクとを備える、第1のセンサー・ディスプレイ装置と、

送受信モジュールのアレイを備える第2のセンサー・ディスプレイ装置であって、各送受信モジュールは光センサー素子と、光送信素子と、複数のメモリセルを有するメモリバンクとを備える第2のセンサー・ディスプレイ装置と、

光軸に対して複数の半径方向距離及び角度方向に配置された複数の変調素子を有するラジアル変調器装置と、

前記第1のセンサー・ディスプレイ装置の前記光送信素子と前記ラジアル変調器装置との間に配置された第1のフーリエ変換レンズと、

前記第2のセンサー・ディスプレイ装置の前記光送信素子と前記ラジアル変調器装置の間に配置された第2のフーリエ変換レンズと、

を有し、

前記ラジアル変調器装置が前記第1のフーリエ変換レンズと前記第2のフーリエ変換レンズの両方のフーリエ変換面に配置されるように、前記ラジアル変調器装置が第1のフーリエ変換レンズからの焦点距離および第2のフーリエ変換レンズからの焦点距離に配置された、データフレームを畳み込み及び加算するためのシステム。

【請求項2】

前記ラジアル変調器装置にフィルタを形成及び供給し、前記第 1 及び第 2 のセンサー・ディスプレイ装置からのデータのフレームを有する光フィールドの送信の順序を制御し、前記ラジアル変調器装置の前記フィルタで前記データのフレームを畳み込み、前記ラジアル変調器装置からのたたき込まれたデータのフレームを有する光フィールドを検知するためのシステム制御コンポーネントを有する請求項 1 に記載のシステム。

【請求項 3】

前記光センサー素子は、感知された光から電荷を蓄積する容量光センサーである請求項 1 に記載のシステム。

【請求項 4】

畳み込みニューラルネットワークのためのデータのフレームを畳み込み及び加算する方法であって、

10

前記データのフレームを、第 1 の光軸に沿った空間領域における光フィールドとして順次投影するステップと、

フーリエ変換面において順次前記光フィールドをフーリエ変換するステップと、

光軸に対して種々の半径方向距離及び角度方向で間隔を開けて配置された光変調セグメントを有する光変調器で前記フーリエ変換面において光フィールドを順次畳み込むステップと、

畳み込まれた光フィールドのシーケンスを第 1 のセンサー・ディスプレイ位置で空間領域に逆フーリエ変換するステップと、

前記第 1 のセンサー・ディスプレイ位置において、畳み込まれた光フィールドの各々を空間ドメインで電荷蓄積可能な画素位置における容量光センサーで画素毎に検知するステップと、

20

容量光センサーに、前記第 1 のセンサー・ディスプレイ位置において畳み込まれた光フィールドを順次検知することから生じる電荷を蓄積させるステップ

を有する方法。

【請求項 5】

メモリセルが、順次感知された光フィールドに対して特定の画素位置において検知された光から生じる蓄積された電荷を有するように、複数の畳み込まれた光フィールドを感知した後に、各容量光センサー内に蓄積された電荷をメモリバンク内の前記メモリセルにシフトするステップを有する、請求項 4 に記載の方法。

30

【請求項 6】

異なるフィルタを適用して前記光変調器でデータのフレームを有する光フィールドの追加のシーケンスを畳み込むステップ、

前記容量光センサーで画素毎に畳み込まれた光フィールドの追加のシーケンスを検知し、各画素位置での検知から生じる電荷を蓄積するステップと、

複数の畳み込まれた光フィールドを検知した後に各容量光センサー内に蓄積された電荷を前もって蓄積された電荷を有するメモリセルにシフトさせつつ、前記前もって蓄積された電荷をメモリバンク内の別のメモリセルにシフトさせるステップと、

第 1 のセンサー・ディスプレイ位置における各画素位置においてメモリバンク内に畳み込まれて加算されたデータのフレームの 3 D 畳み込みブロックを構築するために上記プロセスを繰り返すステップ

40

を有する、請求項 5 に記載の方法。

【請求項 7】

第 1 のセンサー・ディスプレイ位置での画素位置からの順次的な光フィールドにおける 3 D 畳み込みブロックを形成する、畳み込まれて加算されたデータのフレームをフーリエ変換してフーリエ変換面内の変調器に送り返すステップと、

光軸に対して種々の半径方向距離及び角度方向で間隔を開けて配置された光変調セグメントを有する光変調器によりフーリエ変換面において光フィールドを順次畳み込むステップと、

畳み込まれた光フィールドのシーケンスを第 2 のセンサー・ディスプレイ位置で空間領

50

域に逆フーリエ変換するステップと、

電荷蓄積可能な画素位置における容量光センサーで画素毎に空間領域において畳み込まれた光フィールドの各々を第2のセンサー・ディスプレイ位置で検知するステップと、

容量光センサーに、第2のセンサー・ディスプレイ位置において畳み込まれた光フィールドを順次検知することから生じる電荷を蓄積させるステップと、

異なるフィルタを適用して光変調器でデータのフレームを有する光フィールドの追加のシーケンスを畳み込むステップと、

第2のセンサー・ディスプレイ位置において画素毎に畳み込まれた光フィールドの追加のシーケンスを容量センサーで検知し、各画素位置における検知から生じる電荷を蓄積するステップと、

複数の畳み込まれた光フィールドを検知した後に、第2のセンサー・レシーバ位置で各容量光センサーに蓄積された電荷を、以前に蓄積された電荷を有するメモリセルにシフトさせつつ、前記以前に蓄積された電荷をメモリバンク内の別のメモリセルにシフトさせるステップと、

第2のセンサー・ディスプレイ位置における各画素位置においてメモリバンク内に畳み込まれて加算されたデータのフレームの3D畳み込みブロックを構築するために上記プロセスを繰り返すステップ

を有する、請求項6に記載の方法。

【請求項8】

前記プロセスを追加のサイクルで繰り返すステップを有する、請求項7に記載の方法。

【請求項9】

前記プロセスの繰り返しサイクルにおいて、複数の前記容量光センサーおよびメモリバンクと一緒にプーリングするステップを有する、請求項8に記載の方法。

【請求項10】

前記複数のセンサーおよびメモリバンクの最大プーリングを含む、請求項8に記載の方法。

【請求項11】

前記第1のセンサー・ディスプレイ位置における前記画素位置における光送信器素子で画素毎に、畳み込まれて加算されたデータのフレームを送信するステップを有する、請求項7に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はニューラルネットワークに関し、より具体的には、光処理を伴う畳み込みニューラルネットワークに関する。

先行技術の状況

【0002】

ニューラルネットワークは、外部入力に対する動的状態応答によって情報を処理する、多数の単純で高度に相互接続された処理要素を備えるコンピューティング・システムとして周知である。ニューラルネットワークはパターンを認識し、データをクラスタ化および分類するのに有用である。コンピュータは、ニューラルネットワークを利用して、コンピュータがトレーニングサンプルを分析することによって何らかのタスクを実行することを学習する機械学習を実施することができる。通常、これらの例は、ユーザによって事前にラベル付けされている。例えば、物体又は画像認識システムとして設定されたニューラルネットワークには、「猫」又は「猫なし」とラベル付けされた数千の例示的な画像を供給し、次いで、その結果を使用して、他の画像内の猫を識別するか、又は場合によっては他の画像内に猫が存在しないことを示すことができる。あるいは、物体認識システムとしてセットアップされたそのようなニューラルネットワークがネコ、ウシ、ウマ、ブタ、ヒツジ、車、トラック、ボート、および飛行機などの様々な物体を有する画像の数千の例を供給され、そのようにラベル付けされ、次いで、その結果を使用して、他の画像がネコ、ウ

10

20

30

40

50

シ、ウマ、ブタ、ヒツジ、車、トラック、ボート、または飛行機をその中に有するかどうかを識別することができる。

【 0 0 0 3 】

CNN (convolutional neural network) は同一ニューロンの同一コピーを多数使用するニューラルネットワークの一種であり、学習が必要なニューロンがどのように振る舞うかを記述する実数値 (又は実際の値 / actual values) の数をかなり少なくしながら、ネットワークが多くニューロンを持つことを可能にし、計算的に大きなモデルを表現することを可能にする。畳み込みとは、2つの信号を組み合わせる第3の信号を形成する方法である。CNNは、通常、ソフトウェアまたはプログラマブルデジタルハードウェアで実施される。

10

【 0 0 0 4 】

ディープ・ラーニングはスタック・ニューラルネットワーク、すなわち、いくつかのレイヤー (レイヤー) を含むネットワークに使用される用語である。レイヤーはノードで構成される。ノード (又は結節) は計算が行われる場所であり、人間の脳のニューロンに緩やかにパターン化されており、十分な刺激に遭遇すると発火する。ノードはデータからの入力を、その入力を増幅または減衰させる係数または重みのセットと結合し、それによって、例えば、どの入力に誤りなくデータを分類するのに最も役立つかなどのアルゴリズムが学習しようとしているタスクのために入力に有意性を割り当てる。これらの入力×重み積は合計され、その合計はノードの活性化機能を通して、分類の行為のような最終的な結果に影響を及ぼすために、その信号がネットワークを通してさらに進行するかどうか、およびその程度を決定する。ノードレイヤーは、入力がネットワークを介して供給される時にオンまたはオフになるニューロンのようなスイッチの行である。各レイヤーの出力は同時に、データを受信する初期入力レイヤーから始まる、後続のレイヤーの入力である。3つ以上のノードレイヤーは、「ディープ」ラーニング (学習) と考えられる。ディープラーニングネットワークでは、ノードの各レイヤーが前のレイヤーの出力に基づいて特徴の別個のセットをトレーニングし、したがって、データ (例えば、ピクチャ、画像、音声など) が通過するレイヤーが多いほど、ノードが認識することができる特徴はより複雑になる。トレーニング中に、ネットワークが次回に同じ種類の画像を予測する可能性を高めるために、逆伝搬と呼ばれるプロセスを調整に用いる。このようなデータ処理および逆伝播は予測が適度に正確となり、改善が見られないまで何度も行われる。次いで、ニューラルネットワークは推論モードで利用されて、新しい入力データを分類し、そのトレーニングから推論される結果を予測することができる。

20

30

【 0 0 0 5 】

典型的な畳み込みニューラルネットワークは入力レイヤーおよび出力レイヤーに加えて、4つの必須のニューロンレイヤー、すなわち畳み込み (convolution)、アクティブ化 (又は活性化 / activation)、プーリング (pooling)、および完全接続を有する。最初の1つまたは複数の畳み込みレイヤーでは、何千ものニューロンがパターンを探して、画像内のすべての部分およびピクセルを精査するフィルタの第1のセットとして働く。ますます多くの画像が処理されるにつれて、各ニューロンは特定の特徴をフィルタリングすることを徐々に学習し、これは、精度を改善する。事実上、1つ又は複数の畳み込みレイヤーは、画像を異なる特徴に分解する。次いで、アクティブ化レイヤーは顕著な特徴、例えば、最終的な識別結果において価値または重要性を有する可能性が高い特徴などの顕著な特徴を強調する。例えば、目はフライパンではなく顔を示す可能性が高い。

40

【 0 0 0 6 】

画像全体にわたる畳み込みおよびアクティブ化のすべては、大量のデータを生成し、コンピュータの計算容量を圧倒する可能性があり、したがって、プーリングを使用して、データを、より扱いやすい形式に圧縮する。プーリングは最良のデータを選択し、残りを廃棄するプロセスであり、その結果、より低い解像度のデータセットが得られる。いくつかの種類プーリングを使用することができ、より一般的な種類のいくつかは、「最大プーリング」および「平均プーリング」である。

50

## 【 0 0 0 7 】

最後に、完全に接続されたレイヤーにおいて、各縮小または「プールされた」フィーチャマップ（特徴マップ）またはデータは、ニューラルネットワークが例えば、ネコ、ウシ、ウマ、ブタ、ヒツジ、自動車、トラック、ボート、および飛行機に対して学習しているか、またはそれらを識別することが可能にされている項目を表す出力ノード（ニューロン）に接続される。上記フィーチャマップまたはデータがこれらの出力ノードを通して実行されると、各ノードは、ノードが特定のアイテムとして識別する任意のフィーチャマップまたはデータに投票する。ネットワークを通過したイメージデータのネットワークの最終出力は、個々のノードの投票に基づいている。ネットワークのトレーニングの初期には投票がより誤った出力を生成することがあるが、重みを調整し、トレーニングを精緻化するために、画像の数および逆伝播が増加することにつれて、精度が向上し、したがって、最終的に、入力データからの結果の予測または推論は非常に正確になり得る。

10

## 【 0 0 0 8 】

関連技術の前述の例およびそれに関連する限定は本主題の例示であるが、排他的または網羅的ではないことが意図される。関連技術の他の態様および制限は本明細書を読み、図面を検討することにより、当業者には明らかになるのであろう。

## 【 0 0 0 9 】

本明細書に組み込まれ、本明細書の一部を形成する添付の図面はいくつかの例示的な実施形態および/または特徴を示すが、単独または排他的な実施形態および/または特徴を示すものではない。本明細書に開示された実施形態および図面は、限定ではなく例示であると考えられるべきであることが意図されている。

20

## 【 図面の簡単な説明 】

## 【 0 0 1 0 】

図 1 は、例示的なフォトニックニューラルネットワークシステムの機能ブロック図である。

## 【 0 0 1 1 】

図 2 は、図 1 のフォトニックニューラルネットワークシステムのための画像を光学的に処理し、畳み込むための、例示的なフォトニック畳み込みアセンブリの等角図であり、第 2 のフーリエ変換レンズの一部は、第 2 のセンサー・ディスプレイ装置の光センサー・ディスプレイ構成要素のアレイを明らかにするために破断されて示されている。

30

## 【 0 0 1 2 】

図 3 は、図 1 の例示的なフォトニックニューラルネットワークにおける例示的なラジアル変調器の正面図である。

## 【 0 0 1 3 】

図 4 は、ラジアル変調器の一例の光変調器セグメントの拡大図とともに、図 3 の例のラジアル変調器の中央部分の等角図である。

## 【 0 0 1 4 】

図 5 は、実施例のフォトニックニューラルネットワークシステムのフォトニック畳み込みアセンブリの一例の畳み込み機能を示す等角図である。

## 【 0 0 1 5 】

図 6 は、データ（画像）のフレームを表示する第 1 のセンサー・ディスプレイ装置と、データの畳み込みフレームを検知する第 2 のセンサー・ディスプレイ装置とを示す、図 2 のフォトニック畳み込みアセンブリの例の概略上面図である。

40

## 【 0 0 1 6 】

図 7 は、データ（画像）のフレームを表示する第 2 のセンサー・ディスプレイ装置と、データの畳み込みフレームを感知する第 1 のセンサー・ディスプレイ装置とを示す、図 2 のフォトニック畳み込みアセンブリの例の概略上面図である。

## 【 0 0 1 7 】

図 8 は、第 1 のセンサー・ディスプレイ装置内の送信・受信モジュール（又は、送受信モジュール）のアレイの機能ブロック図である。External Interfaceは外部インターフェ

50

ース、Column Controlsは列制御、Row Controlsは行制御、

【0018】

図9は、送受信モジュールのレイの一部の拡大等角図である。

【0019】

図10は、例示的な送受信モジュールの拡大等角図である。

【0020】

図11は、図9および図10の送受信モジュール例の光送信器要素の一例の斜視図である。

【0021】

図12は、センサー・ディスプレイ装置の外部インターフェースへの例示的なシステム・インターフェースの機能ブロック図である。To All RedFivesは、すべてのRedFivesへ。Outputはアウトプット、Analog inはアナログ入力。

10

【0022】

図13は、センサー・ディスプレイ装置の例示的な外部インターフェースの機能ブロック図である。Digital Interfaceはデジタルインターフェース、Analog Interfaceはアナログインターフェース、Row & Column Controlsは行列制御、Global Controlsはグローバル制御、Analog Bus Buffersはアナログバスバッファ、Trixel ArrayはTrixelアレイ。

【0023】

図14は、送受信モジュールのレイのための行および列制御線レジスタ（又は、行および列制御ラインレジスタ）の概略図である。

20

【0024】

図15は、送受信モジュールへのアナログデータラインの概略図である。

【0025】

図16は、プーリング・チェーン（Pooling Chain）で相互接続されたレイ内の送受信モジュール（trixels）のいくつかの概略図である。

【0026】

図17は、送受信モジュール（ピクセル）のプーリング境界線（又は、プーリング境界ライン）と、隣接する送受信モジュール（trixels）との相互接続の拡大概略図である。

【0027】

図18は、例示的なフォトリックニューラルネットワークシステム10の例示的な送受信モジュールにおけるメモリバンクのための例示的なメモリシフトドライバである。MEM SHIFT DRIVERはメモリシフトドライバ。

30

【0028】

図19は、メモリバンクのための例示的なアナログ・メモリ読み出しインターフェースの概略図である。MEM READ PADはメモリ読取パッド、APPLY ReLUはReLUを印加、READ AMPは読取アンプ、Pooling Chainはプーリング・チェーン。

【0029】

図20は、プーリング・チェーンへの送受信モジュール（trixel）アナログ・メモリ読取り平均を示す概略図である。MEM READ PADはメモリ読取パッド、APPLY ReLUはReLUを印加、READ AMPは読取アンプ、Pooling Chainはプーリング・チェーン。

40

【0030】

図21は、プーリング・チェーンへの送受信モジュール（trixel）アナログ・メモリ読取り最大値を示す概略図である。MEM READ PADはメモリ読取パッド、APPLY ReLUはReLUを印加、READ AMPは読取アンプ、Pooling Chainはプーリング・チェーン。

【0031】

図22は、外部データラインに読み出される送受信モジュール（trixel）アナログ・メモリを示す概略図である。MEM READ PADはメモリ読取パッド、APPLY ReLUはReLUを印加、READ AMPは読取アンプ、Pooling Chainはプーリング・チェーン。

【0032】

50

図 2 3 は、送受信モジュール (trixel) アナログ・メモリピーク値保存を示す概略図である。MEM READ PADはメモリ読取パッド、APPLY ReLUはReLUを印加、READ AMPは読取アンプ、Pooling Chainはプーリング・チェーン。

【 0 0 3 3 】

図 2 4 は、送受信モジュール (trixel) アナログ・メモリピーク値リセットを示す。MEM READ PADはメモリ読取パッド、APPLY ReLUはReLUを印加、READ AMPは読取アンプ、Pooling Chainはプーリング・チェーン。

【 0 0 3 4 】

図 2 5 は、ReLU(rectified linear unit)応答の例のグラフ表示を示す。Max Voltageは最大電圧、Min Voltageは最小電圧、Linear (Non-ReLU) Responseは線形 (非ReLU) 応答、Classical ReLU ResponseはクラシカルなReLU応答、Soft ReLU ResponseはソフトなReLU応答を示す。

10

【 0 0 3 5 】

図 2 6 は、送受信モジュール (trixel) のアナログ・メモリへの書き込みを示す概略図である。MEM DRIVERはMEM (メモリ) ドライバ、MEM WRITE PADはMEM書込パッド、Pooling Chainはプーリング・チェーン。

【 0 0 3 6 】

図 2 7 は、外部データラインからアナログ・メモリをロードすることを示す概略図である。MEM DRIVERはMEM (メモリ) ドライバ、MEM WRITE PADはMEM書込パッド、Pooling Chainはプーリング・チェーン。

20

【 0 0 3 7 】

図 2 8 は、フラグ・メモリ書込回路を示す概略図である。MEM DRIVERはMEM (メモリ) ドライバ、MEM WRITE PADはMEM書込パッド、Pooling Chainはプーリング・チェーン。

【 0 0 3 8 】

図 2 9 は、フラグ・メモリ読出回路を示す概略図である。MEM DRIVERはMEM (メモリ) ドライバ、MEM WRITE PADはMEM書込パッド、Pooling Chainはプーリング・チェーン。

【 0 0 3 9 】

図 3 0 は、送受信モジュール (trixel) センサーをプーリング・チェーンに読み取るための光学制御ライン設定を示す概略図である。SNSR READ PADはSNSR (センサ) 読取パッド、SNSR AMP SNSR (センサ) 読取パッド、Pooling Chainはプーリング・チェーン。

30

【 0 0 4 0 】

図 3 1 は、送受信モジュール (trixel) センサーを再設定するための光制御ラインを示す概略図である。SNSR READ PADはSNSR (センサ) 読取パッド、SNSR AMP SNSR (センサ) 読取パッド、Pooling Chainはプーリング・チェーン。

【 0 0 4 1 】

図 3 2 は、プーリング・チェーンから光送信器要素 (変調器) を書き込むための光制御ライン設定を示す概略図である。MOD READ PADはMOD読取パッド、MOD DRIVERはMODドライバ、Pooling Chainはプーリング・チェーン。

40

【 0 0 4 2 】

図 3 3 A ~ B は、送受信モジュール (trixel) 回路の概略図を示す。MEM READ PADはメモリ読取パッド、READ AMPは読取アンプ、APPLY ReLUはReLUを印加、MEM SHIFT DRIVERはMEMシフトドライバ。

【 0 0 4 3 】

図 3 4 は、トレーニングモードにおいて補正データのフレームをフーリエ変換するためのフーリエ光センサー装置を有する例示的なフォトニック畳み込みアセンブリを示す。

【 0 0 4 4 】

【 図 3 5 】 図 3 5 は、一例のフーリエ光センサー装置の図形的等角図である

50

## 【 0 0 4 5 】

図 3 6 は、データ（画像）の実世界フレームをフォトニック畳み込みアセンブリに導入するための、カメラレンズ実施形態を備えたフォトニック畳み込みアセンブリの例を示す。  
【発明を実施するための形態】

## 【 0 0 4 6 】

例示的なフォトニックニューラルネットワークシステム（又は、光子ニューラルネットワークシステム）10の機能ブロック図が図1に示され、フォトニックニューラルネットワークシステム10のための画像を光学的に処理し、畳み込むための例示的なフォトニック畳み込みアセンブリ12の等角図が図2に示されている。このフォトニックニューラルネットワークシステム10による畳み込みは光学的フーリエ変換で実行され、これはデジタル空間畳み込みと比較して、速度、解像度、および電力効率を大幅に増加させる。したがって、ニューラルネットワークを生成し、使用することは典型的なコンピュータアルゴリズムによる処理および計算畳み込みよりも、はるかに高速で、かつ、はるかに少ない電力消費で行うことができる。たたみ込みと合計のすべてが完全にアナログ、フルフレームのフォトニック計算であるため、消費電力は非常に低くなる。以下に説明するように、加算（又は、サミング）は容量性光センサー内に電荷を構築することによって達成される、これはアナログプロセスである。センサーはノイズが非常に低く、クロッキングやその他の過渡ノイズ源がないため、サミングは非常にノイズの少ないプロセスである。フォトニックニューラルネットワーク10は画像、ビデオ、音声、スピーチ・パターン、または畳み込みニューラルネットワークによって通常処理される任意のものなどの任意のデータを受け入れ、処理することができ、すべての既存の畳み込みニューラル・ネット・アーキテクチャおよびトレーニング方法をサポートする。フォトニックニューラルネットワーク10はまた、光の速度で処理されたフル解像度で、次のステージのためにすべてのデータ要素がその理想的な位置にあるアーキテクチャを用いてフルフレーム画像並列性を提供し、したがって、ほぼ100パーセント効率的である。他の利点は、この説明から理解することができる。

## 【 0 0 4 7 】

図1および図2の両方を参照すると、例えばフォトニックニューラルネットワークシステム10のための画像の光学処理は、フォトニック畳み込みアセンブリ12で実行される。本質的に、第1のセンサー・ディスプレイ装置14は以下でより詳細に説明するように、変調光フィールド15として、第1のフーリエ変換レンズ16および偏光子18を介して、レンズ16の焦点面に配置されたラジアル（又は、半径方向）変調装置20に、データのフレーム（例えば、音、スピーチ・パターン、ビデオなどの他のデータの画像または光学表現）を投影する。第1のセンサー・ディスプレイ装置14によって投影されるデータのフレームは、電子データインターフェース22を介してサポートエレクトロニクス（以下により詳細に説明する）によって第1のセンサー・ディスプレイ装置14に供給される値又は信号に基づいて、第1のセンサー・ディスプレイ装置14によって形成される。フーリエ変換レンズ16は、回折レンズ、ソリッド凸レンズ、又は任意の他の形態のフーリエ変換レンズを使用することができる。また、レンズ16に入る前に光をコリメートするために、レンズ16の前にファイバフェースプレート（図示せず）を配置することができる。

## 【 0 0 4 8 】

レンズ16はデータのフレーム（例えば、画像）を焦点面（フーリエ変換面とも呼ばれる）でそのフーリエ等価に変換し、したがって、ラジアル変調装置20の表面で変換する。ラジアル変調装置20は電子データインターフェース24を介してサポートエレクトロニクス（より詳細に後述する）によってラジアル変調装置20に装填されたパターン（「フィルタ」とも呼ばれる）に基づいて、データのフレームのフーリエ等価物を含む光フィールド15をフーリエ変換面に変調し、変調されたデータのフレームを第2のセンサー・ディスプレイ装置26に反射し、これが結果を検出する。データ逆フーリエ変換の変調フレームを含む反射光フィールドは、ラジアル変調装置20から第2のセンサー・ディスプレ

10

20

30

40

50

イ装置 26 への距離において空間領域に逆変換され、したがって、第 2 のセンサー・ディスプレイ装置 26 に入射する変調データフレームは通過した、すなわち、ラジアル変調装置 20 によってフーリエ変換面でフィルタ除去されなかったデータフレームの空間領域特徴である。その結果は画素ごとに第 2 のセンサー・ディスプレイ装置 26 によって検出され、ここで、各画素に入射する光は光の強度および光が画素に入射する時間に比例して電荷を生成する。第 1 のセンサー・ディスプレイ装置 14 から出るデータの各フレームは、ラジアル変調装置 20 によって 1 つまたは複数のフィルタ（パターン）で変調することができる。また、第 2 のセンサー・ディスプレイ装置 26 は、ラジアル変調装置 20 に適用された 1 つ以上のフィルタによって変調された 1 つ以上のデータフレームを第 1 のセンサー・ディスプレイ装置 14 から受信することができる。したがって、第 2 のセンサー・ディスプレイ装置 26 内の各画素の電荷蓄積は以下でより詳細に説明するように、データの 1 つまたは複数のフレームの 1 つまたは複数の変調された（すなわち、フィルタリングされた）パターンの合計とすることができ、それによって、第 1 のセンサー・ディスプレイ装置 14 によって投影されたデータの 1 つまたは複数のフレームの畳み込みを構成する。

【0049】

例えば、1 フレームのデータは第 1 のセンサー・ディスプレイ装置 14 によって順次投影され、まず赤色、次いで緑色、次いで青色で投影され、放射状変調装置（又は、ラジアル変調装置 / 放射状モジュレータ）20 は赤色、緑色、および青色の投影のそれぞれに同じまたは異なるフィルタ（パターン変調）を適用することができる。これらのデータの変調フレームの全ては、順次変調されたデータのフレームの各々からの光により、第 2 のセンサー・ディスプレイ装置 26 の各画素毎の電荷に加算されて、第 2 のセンサー・ディスプレイ装置 26 によって順次検出することができる。次いで、第 2 のセンサー・ディスプレイ装置 26 のそれぞれの画素についてのそれらの電荷は、第 2 のセンサー・ディスプレイ装置 26 のそれぞれの画素のそれぞれのメモリセルに転送され、それらのメモリセルは第 2 のセンサー・ディスプレイ装置 26 のそれぞれの画素についてのこれらの合計結果を格納し、それによって、第 1 のセンサー・ディスプレイ装置 14 によって空間領域に投影され、放射状変調装置 20 内のフィルタによってフーリエ変換領域に畳み込まれた空間領域内のデータのフレームの畳み込みの格納画素値を含む。

【0050】

その処理は第 1 のセンサー・ディスプレイ装置 14 からのデータの同じフレームの赤、緑、青の投影に対してであるがラジアル変調装置 20 内の異なるフィルタで、したがって、ラジアル変調装置 20 によって反射されたフーリエ変換領域から第 2 のセンサー・ディスプレイ装置 26 への異なる変調パターンで繰り返すことができ、これにより、第 2 のセンサー・ディスプレイ装置 26 のメモリバンク内の別の畳み込みフレームのデータの別の蓄積画素値の別のセットと別の加算結果がもたらされる。第 2 のセンサー・ディスプレイ装置 26 内に畳み込まれたデータの畳み込みフレームを蓄積するものは、ラジアル変調装置 20 によるこれらの異なるフィルタ用途の全てに対して第 1 のセンサー・ディスプレイ装置 14 によって投影されたデータのフレームから 3D 畳み込みブロックを形成する。要約すると、第 1 のセンサー・ディスプレイ装置 14 からのデータのフレームは、フーリエ面内の一連のフィルタによってラジアル変調装置 20 によって乗算され、第 2 のセンサー・ディスプレイ装置 26 のメモリ内に 3D 畳み込みブロックを構築するシーケンスで、第 2 のセンサー・ディスプレイ装置 26 によって加算される。3D 畳み込みブロック内のデータの畳み込みフレームの全てについて画素値の全てを格納するのに十分なメモリ容量を仮定して、データの任意の数のこのような畳み込みフレームを 3D 畳み込みブロック内に蓄積することができる。その 3D 畳み込みブロックは、ニューラルネットワークにおける第 1 のレベルと考えることができる。

【0051】

次の畳み込みブロック又はレベルについては、第 1 のセンサー・ディスプレイ装置 14 及び第 2 のセンサー・ディスプレイ装置 26 は、機能を入れ替える。第 2 のセンサー・ディスプレイ装置 26 のメモリ内の 3D 畳み込みブロックは、次の畳み込みシーケンスのた

10

20

30

40

50

めのデータのフレームとなる。例えば、第2のセンサー・ディスプレイ装置26のメモリ内の3D畳み込みブロック内に蓄積された各畳み込みフレームのデータは、第2のフーリエ変換レンズ28を介して第2のセンサー・ディスプレイ装置26によってラジアル変調装置20に投影され、そこでフィルタによって乗算され、第1のセンサー・ディスプレイ装置14に反射される。第1のセンサー・ディスプレイ装置14は第1のセンサー・ディスプレイ装置14のメモリ内に次の3D畳み込みブロックを構築するために、そのような畳み込み及び加算されたデータのフレームのシリーズを検出し、加算する。

【0052】

このプロセスサイクルは、図5に概略的に示されている。

【0053】

これらの畳み込み処理は、第1のセンサー・ディスプレイ装置14と第2のセンサー・ディスプレイ装置26との間で前後に（又は相互に）投影されるデータのフレームを、任意の畳み込みニューラルネットワークアーキテクチャに対して必要な回数だけ繰り返すことができる。後続のサイクルでより多くのフィルタが適用されると、以下により詳細に説明するように、各画素検出からの蓄積電荷を個々のメモリセルに給電する代わりに、複数の画素検出からの蓄積電荷を1つのメモリセルに給電することによって、畳み込みをプールすることができる。したがって、多くの抽象化レベルを有する畳み込みニューラルネットワークを、例示的なフォトニックニューラルネットワーク10を用いて開発することができる。

【0054】

例示的なラジアル変調器デバイス20の正面図が図3に示され、例示的なラジアル変調器デバイス20の例示的なセグメント光変調器要素40の拡大図を有する例示的なラジアル変調器デバイス20の中心部分の斜視図が図4に示されている。ラジアル変調器デバイス20は複数の光変調ウェッジセグメント32（楔形セグメント）を備える光学活性領域30を有し、その各々は、それぞれのウェッジセグメント32に入射する光を変調するように独立して作動可能である。図2、図3、及び図4に示す例のラジアル変調装置20では、ウェッジセグメント32が複数のウェッジセクタ34にまとめられており、各ウェッジセクタは中心コンポーネント36から半径方向外側に伸びており、それらが一緒になってラジアル変調装置20の光学活性領域30を形成している。図3および図4では図面の混乱を避けるために、ウェッジセグメント32およびセクタ34のいくつかのみにこれらの符号を付しているが、この図ではウェッジセグメント32およびウェッジセクタ34のすべてが例示的なラジアル変調器デバイス20内のどこに位置するかを当業者は理解するのであろう。図3及び図4に示す例のラジアル変調装置20ではウェッジセグメント32が円形の光学活性領域30を形成するように配置されているが、他の形状を使用することもできる。

【0055】

上述したように、ウェッジセグメント32の各々は、各ウェッジセグメント32をアクティブ化して光を透過させるか、光を遮断するか、または完全な透過と遮断との間で光の透過を変調することができるという意味で、光学的に活性である。したがって、光学活性領域30に入射する光のビームまたはフィールドは、1つまたは複数のウェッジセグメント32の任意の組み合わせで変調することができる。空間光変調器は、多くの方法で光を変調するように設計、製造することができる。例えば、2006年9月5日にRikk Crillに対して発行された米国特許第7,103,223号は、図2及び図3のラジアル変調装置20と同様のラジアル空間光変調装置において、ウェッジセグメントを変調するための複屈折液晶材料の使用を例示している。Zhangらの論文「Active meta surface modulator with electro-optic polymer using bimodal plasmonic resonance」、Optics Express、第25巻、第24号、2017年11月17日）は光を変調し、超薄表面法線用途に適した電気光学ポリマーを有する電氣的に同調可能な金属格子を記載している。例示の放射状モジュレータ装置20における光学活性ウェッジセグメント32のための金属格子構造42を有する例示のセグメント光変調器40として使用するために形作られてこ

10

20

30

40

50

のようなメタ表面光モジュレータ素子が図4に示されている。格子構造42は全て基板50上に構築された底部金属(例えば、Au)レイヤー46と交差指状の頂部薄膜金属(例えば、Au)格子レイヤー48との間に挟まれた交差指状の電気光学ポリマー44を含む。回折格子42の周期は、回折が禁止されるように入射光Lの波長よりも短い。上部金属レイヤー48の厚さは、入射光Lから電気光学ポリマー44への直接結合を排除するために表皮深さよりも大きい。底部金属レイヤー46も、ほぼ完全な反射ミラーとして動作するように、同じ厚さである。本質的に、光Lはメタ表面光モジュレータ素子40の頂部に入り、ポーリング電圧(poling voltage)45の印加によって周期的にポーリングされる電気光学ポリマー44内で位相シフトされ、底部金属レイヤー46から反射し、その第2(すなわち、反射)通過の間にさらに位相シフトされ、90度回転された光の偏光とともに上面から出る。実施例のラジアル変調装置20における他のウェッジセグメント32は同じ種類の光変調素子40を有することができるが、各々の特定のウェッジセグメント32に適合しかつ実質的に充足するように寸法及び形状が決められている。中心コンポーネント36はまた、光変調素子40を有することができる。

#### 【0056】

図2～図7に示し、上述したように、例えばラジアル変調装置20は反射装置であり、ここで、入射光は、ウェッジセグメント32によって変調され、反射される。しかしながら、ラジアル変調器は代わりに、入射光が変調され、ラジアル変調器を通して伝送される透過装置であってもよい。もちろん、光学構成要素、例えばセンサー・ディスプレイ装置、レンズ、および偏光子の位置はそれぞれの光学構成要素に適切なシーケンスで光フィールドをルーティングするために再配置されなければならないが、当業者は上述の例示的なフォトニックニューラルネットワーク10に精通すれば、そのような再配置を行う方法を理解するであろう。

#### 【0057】

図3および図4に示されるように、かつ簡単に上述されるように、光学的に活性なウェッジセグメント32は、丸い中心コンポーネント36から光学的に活性な領域30の周囲に半径方向に延在する複数のウェッジセクタ34にグループ化される。また、ウェッジセグメント32は、中心コンポーネント36の周囲に同心円状のリング状に配置されている。最も内側の同心円状リング以外のウェッジセグメント32の各同心円状リングは直ぐに隣接する内側リングの外半径の2倍の外半径を有し、これはフーリエ変換におけるスケール分布に一致する。従って、ウェッジセクタ34内の半径方向外側に続くウェッジセグメント32の各々は、直前のウェッジセグメント32の2倍の長さである。画像のフーリエ変換面上でフィルタとして機能するラジアル変調器の詳細な説明は例えば、2006年9月5日にRikk Crillに発行された米国特許第7,103,223号に見ることができる。ここでは空間ドメイン内のより高い空間周波数形状コンテンツからの光エネルギーがより低い空間周波数コンテンツからの光エネルギーよりもフーリエ変換面で半径方向外側に分散され、一方、より高い空間周波数形状コンテンツから及びより低い空間周波数コンテンツからの光エネルギーの角度配向および強度は画像のフーリエ変換において保存されると言うのが十分である。したがって、フーリエ変換面内のフーリエ変換画像の中心(光軸)から特定の角度配向で、かつ特定の半径距離で配置された特定のウェッジセグメント32によって伝達(又は、透過)された光エネルギーは投影において逆フーリエ変換されて、特定のウェッジセグメント32と同じ角度配向を有する元の画像からの形状コンテンツ(形状コンテンツ)(特徴)、及び、そのような光エネルギーがフーリエ変換面内で分散された半径方向の広がりに対応する範囲内の空間周波数を有するその角度配向の形状コンテンツ(特徴)のみを表示するように逆フーリエ変換される。空間領域に戻ったこれらの逆フーリエ変換された特徴(形状コンテンツ)の光強度(明るさ)はこれらの特徴(形状コンテンツ)が元の画像において有していた光強度(明るさ)に対応し、これらは元の画像におけるものと同じ位置にある。もちろん、フーリエ変換面内の特定のウェッジセグメント32によって遮断されて透過されないオリジナル画像の光エネルギーに含まれる形状コンテンツ(特徴)は、逆フーリエ変換画像において空間領域に戻って欠落することになる

。また、フーリエ変換面内の特定のウェッジセグメント 3 2 によって、部分的にのみ遮断され、したがって部分的に透過される光エネルギーで構成される形状コンテンツ（特徴）は上述のように、同じ角度配向および特定の空間周波数を有する空間領域に逆フーリエ変換され、しかし、強度（輝度）が低下する。（又は、また、フーリエ変換面内の特定のウェッジセグメント 3 2 によって、部分的にのみ遮断され、したがって部分的に透過される光エネルギーで構成される形状コンテンツ（特徴）は上述のように、同じ角度配向および特定の空間周波数で空間領域に逆フーリエ変換され、しかし、強度（輝度）が低下する。）したがって、上記で説明し、以下でより詳細に説明するように、元の画像の形状コンテンツ（特徴）の一部が完全または部分強度（明るさ）で逆フーリエ変換画像に保存され、形状コンテンツ（特徴）の一部が逆フーリエ変換画像で部分的に又は完全に削除された、空間領域に戻った逆フーリエ変換画像は図 5 に示すように、ニューラルネットワークの 3 D 畳み込みブロックの構築で検出され使用される畳み込み画像である。

10

【 0 0 5 8 】

したがって、図 5 を参照すると、第 1 のフィルタ 5 4 がデータインターフェース 2 4 を介して放射状変調装置 2 0 にロードされ、これにより、ウェッジセグメント 3 2 が第 1 のフィルタ 5 4 によって設定されるパターンで光を遮断し、または、光を完全にまたは部分的に透過させるように設定される。例えば、LEGO（登録商標）玩具構成ブロック 5 2 の山の画像を含むデータの第 1 のフレームがデータインターフェース 2 2 を介して第 1 のセンサー・ディスプレイ装置 1 4 にロードされ、したがって、第 1 のセンサー・ディスプレイ装置 1 4 内の表示構成要素（図 5 には示されていない）は図 5 に見られるように、LEGO（登録商標）玩具構成ブロック 5 2 の画像を含むデータのフレームを表示するように設定される。レーザー照射 1 3 は本質的には第 1 のフーリエ変換レンズ 1 6 を通して及び偏光器 1 8 を通してデータ 5 0 のフレームを放射状変調装置 2 0 に照射する第 1 のセンサー・ディスプレイ装置 1 4 上に向けられ、これは図 6 にも示されるように第 1 のフーリエ変換レンズ 1 6 から焦点距離  $F 1$ 、すなわち、第 1 のフーリエ変換レンズ 1 6 の焦点面内に配置される。フーリエ変換レンズ 1 6 は像 5 0 を含む光フィールド 1 5 をラジアル変調装置 2 0 の表面上の焦点に集める。LEGO（登録商標）玩具構成ブロック 5 2 の画像を含むデータ 5 0 のフレームはフーリエ変換領域においてラジアル変調装置 2 0 のウェッジセグメント 3 2 によってフィルタで畳み込まれ、これは、上で説明したように、いくつかの光を完全にまたは部分的に反射するか、または画像を構成するいくつかの光を遮断する。ウェッジセグメント 3 2 は反射光を位相シフトし、したがって、偏光を回転させ、その結果、ラジアル変調装置 2 0 によって反射された光は反射光フィールド 5 6 によって示されるように、偏光子 1 8 によって第 2 のセンサー・ディスプレイ装置 2 6 に反射される。したがって、上で説明したように、LEGO（登録商標）玩具構築ブロック 5 2 の画像のデータ 5 0 の元のフレームの幾つかの形状コンテンツ（特徴）は図 5 に示すように、第 2 のセンサー・ディスプレイ装置 2 6 に入射する畳み込み画像において欠けているか、またはそれほど強くない、すなわちフィルタ除去されている。その畳み込みデータ（画像）のフレームは、第 2 のセンサー・ディスプレイ装置 2 6 で検出され、第 2 のセンサー・ディスプレイ装置 2 6 で幾つかの後続の畳み込み画像と加算されて、第 1 の畳み込み加算データフレーム（画像）5 8 を形成する。第 1 の畳み込み加算されたデータフレーム（画像）5 8 は図 5 に概略的に示されるように、3 D 畳み込みブロック 6 5 を構築するために、後続の畳み込み加算されたデータフレーム（画像）との累算のためにメモリバンクに転送され得る。

20

30

40

【 0 0 5 9 】

次いで、第 2 のセンサー・ディスプレイ装置 2 6 と第 1 のセンサー・ディスプレイ装置 1 4 とは、上述したように役割を入れ替えて、第 2 のセンサー・ディスプレイ装置 2 6 が表示モードになり、第 1 のセンサー・ディスプレイ装置 1 4 がセンサーモードになる。第 2 のセンサー・ディスプレイ装置 2 6 を表示モードにすると、次いで、第 1 の畳み込み及び加算されたデータフレーム（画像）5 8 が図 7 に概略的に示すように、第 2 のセンサー・ディスプレイ装置 2 6 によって放射状変調装置 2 0 に投影され、そこで、追加のフィル

50

タで畳み込まれ、次いで、放射状変調装置 20 によって反射されて第 1 のセンサー・ディスプレイ装置 14 に戻る。この役割の入れ替えは、図 7 に図式的に示されており、第 2 のセンサー・ディスプレイ装置 26 は表示モードに切り替わり、第 1 のセンサー・ディスプレイ装置 14 はセンサーモードに切り替わる。表示モードでは、第 2 のセンサー・ディスプレイ装置 26 の表示構成要素がその第 1 の畳み込み及び加算されたデータフレーム（画像）58 を表示するようにプログラムされる。従って、第 2 のセンサー・ディスプレイ装置 26 上のレーザー照射 60 は第 1 の畳み込み及び加算されたデータのフレーム（画像）58 を第 2 の光学軸 62 に沿って第 2 のフーリエ変換レンズ 28 を通って偏光子 18 に照射し、これは、第 1 の光学軸 61 に沿って光フィールド 64 をラジアル変調装置 20 に反射する。第 2 光軸 62 及び第 1 光軸 61 に沿った第 2 フーリエ変換レンズ 28 とラジアル変調装置 20 との光学距離は、第 2 フーリエ変換レンズ 28 の焦点距離と等しい。したがって、フーリエ変換面におけるラジアル変調装置 20 における光フィールド 64 は、第 1 の畳み込み加算されたデータフレーム（画像）58 のフーリエ変換である。ラジアル変調装置 20 は第 1 の畳み込み及び加算されたデータフレームのフーリエ変換にフィルタを適用して、第 2 の畳み込みをデータフレームに提供し、上述したように、位相シフトを伴ってそれを反射して、第 1 の光学軸 61 に沿って第 1 のセンサー・ディスプレイ装置 14 に伝搬する。第 1 のセンサー・ディスプレイ装置 14 は、今度は上述したように検出器の交換された役割において、ラジアル変調装置 20 によって適用されるフィルタによって畳み込まれたデータのフレーム（画像）を検出する。次いで、第 1 のセンサー・ディスプレイ装置 14 によって検出されたデータ（画像）の畳み込みフレームは第 1 のセンサー・ディスプレイ装置 14 によって、第 1 のセンサー・ディテクション装置 14 によって引き続いて検出されたデータ（画像）の他のいくつかの畳み込みフレームと加算され、このような畳み込み加算されたデータ（画像）のフレームはメモリバンクに転送され、第 2 の 3D 畳み込みブロック 66 を構築するために使用され、これは図 5 に図式的に示されている。

#### 【0060】

次に、第 1 および第 2 のセンサー・ディスプレイ装置 14、26 の役割が再び交換され、第 1 のセンサー・ディスプレイ装置 14 によって感知され合計されたデータの畳み込みおよび合計フレームが、上述したのと同じ方法でシステムを通して逆投影され、ラジアル変調器装置 20 によって畳み込まれ、次いで第 2 のセンサー・ディスプレイ 26 によって検出され、合計されて、第 1 の 3D 畳み込みブロック 65 を構築し続け、システムを通して送り返されて、追加のフィルタおよび合計で畳み込まれて、第 2 の 3D 畳み込みバンク 66 を構築し続ける。このプロセスはより深く、より深い畳み込みを構築するために、または推論ニューラルネットワークが完了するまで、所望の回数だけ繰り返される。

#### 【0061】

第 1 のセンサー・ディスプレイ装置 14 及び第 2 のセンサー・ディスプレイ装置 26 は各々、以下でより詳細に説明するように、3D 畳み込みブロック 65、66 及びその後の畳み込みブロックを構築するために、引き続いて受け取られた畳み込みフレームのデータ（画像）を受け取り且つ合計するデータ（画像）の畳み込みフレームを記憶するためのメモリバンクを有することができる。したがって、システムにロードされるデータ（画像）の最初のフレームを除いて、データの入力フレームは、前の畳み込みサイクルからセンサー・ディスプレイ装置 14、26 の 1 つのメモリバンクに常に常駐することができる。一連のフィルタ 68 はデータ（画像）のフレームのフィルタでの畳み込みのために、それぞれの第 1 及び第 2 のセンサー・ディスプレイ装置 14、26 によってデータ（画像）のフレームの表示と同期して放射状変調装置 20 内にロードされる。

#### 【0062】

フーリエ変換領域で光学的に計算されたことを除いて、このフォトニックニューラルネットワークシステム 10 での畳み込みは、伝統的なデジタル方法によって計算される畳み込みと同じである。しかしながら、以下でより詳細に説明するように、全てのデータ要素がサイクルの次の畳み込み段階のための理想的な位置にあるアーキテクチャで光速で処理される任意の解像度における全フレーム並列性はほぼ 100 パーセントの効率であり、従

10

20

30

40

50

って、上述のように、且つ以下により詳細に説明するように、実施例のフォトニックニューラルネットワークシステム 10 で畳み込みブロックを構築することは、伝統的なデジタル方法によって計算される畳み込みよりもはるかに多くのパワー及び速度を提供する。

#### 【0063】

上述したように、第1および第2のセンサー・ディスプレイ装置 14、26 の各々は、画素単位で、光検出および画像表示の両方の能力を有する。この例ではフォトニックニューラルネットワークシステム 10 において、第1のセンサー・ディスプレイ装置 14 及び第2のセンサー・ディスプレイ装置 26 は互いに本質的に同じ構成要素及び構造を有しているため、それらの装置の詳細は主として第1のセンサー・ディスプレイ装置 14 を参照して後述されるが、そのような詳細も第2のセンサー・ディスプレイ装置 26 を表すものであることを理解する。したがって、以下の説明では、第1のセンサー・ディスプレイ装置 14 を単にセンサー・ディスプレイ装置 14 と呼ぶことがある。一例のセンサー・ディスプレイ装置 14 の機能ブロック図が図8に示され、送受信モジュール（送信・受信モジュール）82のアレイ80を備え、その各々は以下により詳細に説明されるように、光透過および光検出素子およびメモリバンクを有する。アレイ80内の送受信モジュール82のための行および列制御、ならびに外部制御回路（図8には図示せず）への混合アナログおよびデジタルインターフェース24が、入出力データのために提供され、これについては以下により詳細に説明する。図9に図式的に示されたアレイ80の拡大部分はアレイ80内の送受信モジュール82の例を図示し、例示の送受信モジュール82のさらなる拡大図形的表現は図10に示されている。例示の送受信モジュール82の各々がマイクロ光送信器要素84とマイクロ光検出器（センサー）要素86の両方を含み、これらは、送受信モジュール82が典型的な計算畳み込みからの典型的な計算畳み込みからのニューラルネットワーク結果と少なくとも同程度に有用なニューラルネットワーク結果、およびコンピュータアルゴリズムによる処理と同様に、十分な解像度で、画像またはデータのフレームの実質的に同じ画素位置で光の送信器および光の受信器として有効に機能するために、十分に小さく、かつ互いに十分に近接している。例えば、代表的なフォトニックニューラルネットワークシステム10を用いたニューラルネットワークが典型的な計算畳み込みおよびコンピュータアルゴリズムによる処理からのニューラルネットワークの結果と同様に有用な結果を生じるには、マイクロ光送信素子84およびマイクロ光検出素子86は、互いに40マイクロメートル以下だけオフセットされ得、両方とも、160平方マイクロメートル以下の面積を有する送受信モジュール82内に適合され得る。

#### 【0064】

図10に最もよく示されているように、光送信器要素84および光センサーまたは光受信器検出器要素86に加えて、例示的な送受信モジュール82は、変調器ドライバ88、メモリバンク90、メモリインターフェース92、アナログおよびデジタル制御要素94、アレイ80内の隣接する送受信モジュール82とのプリーング接続を行うためのプリーング接続96、プリーング制御要素98、およびセンス増幅器100を有する。表示モードでは、例えば、第1のセンサー・ディスプレイ装置14（図2、図5、および図6）が上述したように、ラジアル変調器20に1フレームのデータ（画像）を投影すると、図2、図5、および図6に示すように、レーザー照射が送受信モジュール82の背面に向けられる。データ（画像）の最初のフレームは、データ（画像）のフレームの各画素に対する画素値から構成される。これらの画素値は、レーザー照射13（図2、図5、および図6参照）の光フィールド15内にデータ（画像）の第1のフレームを生成するパターンでアレイ80（図8～10）のそれぞれの送受信モジュール82に供給される。図10に示すように、送受信モジュール82の個々の1つに対して、画素値はアナログおよびデジタル制御エレメント94に供給され、これにより、画素値が変調器ドライバ88にシフトされる。変調器ドライバ88はピクセル値に従って光送信器素子84（図10）上の電圧を変調して、アレイ80（図8～10）の他の送受信モジュール82の他の光送信器素子84がそれぞれのピクセルの光を伝送すると同時にレーザー照射13（図2、図5、および図6）のピクセルを伝送する方法で光送信器素子84に入射されるレーザー照射を変調し、

これが一緒になって、アレイ 80 を透過するレーザー光フィールド 15 ( 図 2、図 5、および図 6 ) にデータのフレーム ( 画像 ) を課す。データ ( 画像 ) の最初のフレームが第 1 のセンサー・ディスプレイ装置 14 によって送信され、畳み込まれたデータ ( 画像 ) のフレームが第 1 のセンサー・ディスプレイ装置 14 に戻された後、その畳み込まれたデータ ( 画像 ) のフレームを含む光フィールドが第 1 のセンサー・ディスプレイ装置 14 のアレイ 80 内のすべての送受信モジュール 82 のセンサー 86 に入射される。従って、アレイ 80 内の各送受信モジュール 82 上のセンサー 86 は入射光フィールドの画素を検出し、従って、入射光フィールドによって構成される ( 又は、入射光フィールドに含まれる ) データ ( 又は日付 ) のフレーム ( 画像 ) の画素を検出する。当業者は光センサー、例えば電荷結合素子 ( CCD ) がどのように構成され機能するかを理解し、そのような光センサーまたは同様の光センサーをセンサー 86 に使用することができる。本質的に、各光センサーは光子内のエネルギーの大部分を吸収し、入射光強度に比例する電荷を生成し、その電荷を容量性構成要素内に蓄積することによって、入射光子に応答する光感知フォトダイオードまたは容量性構成要素を有する。光がセンサーに入射する時間が長いほど、容量性構成要素に電荷が蓄積される。したがって、各センサー 86 に入射する光エネルギーの画素は電荷をそのセンサー 86 内に構築させ、電荷の大きさはその画素内の入射光の強度およびその画素内の光がセンサー 86 に入射される時間に比例する。

【 0 0 6 5 】

上述したように、一連の畳み込まれたフレームのデータ ( 画像 ) がセンサー・ディスプレイ装置 14 に送信され、これによって受信される場合、データ ( 画像 ) の連続した ( シーケンスの ) フレームを含む連続した光フィールドの光エネルギー ( 光子 ) はセンサー 86 内に電荷を生じさせるので、個々のセンサー 86 によって感知された連続した光フィールドからの光フィールドエネルギーの連続した画素を蓄積することができ、すなわち、その個々のセンサー 86 の容量性成分に加えることができ、それによって、その特定の画素位置における光フィールドのシーケンスからの光エネルギーの和であるセンサー 86 内に蓄積された電荷が生じる。従って、センサー・ディスプレイ装置 14 によって受信されたデータ ( 画像 ) の畳み込みフレームのシーケンスは、センサー・ディスプレイ装置 14 の送受信モジュール 82 のアレイ 80 によってピクセル毎に感知され、加算される。次に、上述したように、データ ( 画像 ) の所定数の個々の畳み込みフレームが受信され、合計されると、各個々の送受信モジュール 82 のセンサー 86 に蓄積された ( 合計された ) 電荷は、その個々の送受信モジュール 82 のメモリバンク 90 にシフトされる。センサー 86 に蓄積された ( 加算された ) 電荷をメモリバンク 90 にシフトする同じ動作が、アレイ 80 内のすべての送受信モジュール 82 で同時に行われる。したがって、そのシフト動作の実行時に、送受信モジュール 82 のアレイ 80 は、データ ( 画像 ) の入力フレームのその一連または連続した畳み込みおよび加算から生じるデータ ( 画像 ) の完全な畳み込みおよび加算されたフレームを送受信モジュール 82 の個々のメモリバンク 90 に格納している。図 10 を参照すると、その特定の送受信モジュール 82 の画素位置の、その最初の ( 又は、第 1 の ) 畳み込まれ、合計されたデータ ( 画像 ) のフレームに対する画素値は、センサー 86 から第 1 のメモリセル 102 にシフトされる。したがって、アレイ 80 のすべての送受信モジュール 82 のメモリバンク 90 内のすべての第 1 のメモリセル 102 の合成は、ピクセルごとでのデータ ( 画像 ) の畳み込み加算フレームを含む。

【 0 0 6 6 】

次いで、上述のように、データ ( 画像 ) のフレームの後続の第 2 のシリーズまたはシーケンスが畳み込み加算されると、結果として得られる第 2 の畳み込み加算されたデータ ( 画像 ) のフレームのその画素に対するセンサー 86 内に蓄積された電荷は、第 1 の畳み込み加算されたデータ ( 画像 ) のその画素からの電荷がメモリ 90 の第 2 のメモリセル 104 に同時にシフトされるにつれて、第 1 のメモリセル 102 内にシフトされる。当業者はそのようなシフトレジスタメモリがどのように作られ、動作されるかを理解するので、詳細な説明はこの説明の目的のために必要ではない。この同じプロセスは、アレイ 80 内の他の送受信モジュール 82 内で同時に発生する。したがって、アレイ 80 のすべての送受

10

20

30

40

50

信モジュール 8 2 のメモリバンク 9 0 内のすべての第 1 および第 2 のメモリセル 1 0 2、1 0 4 の合成は、ピクセルごとにデータ（画像）の第 1 および第 2 の畳み込み加算フレームを含む。

【 0 0 6 7 】

データ（画像）のフレームのより多くの後続のシリーズまたはシーケンスが上述のように畳み込まれ合計されるにつれて、そのようなデータ（画像）の順次（又は、シーケンスで）畳み込まれ合計されたフレームの合計された画素値は第 1 のメモリセル 1 0 2 に順次シフトされ、一方、各先行する画素値はメモリバンク 9 0 のメモリセルに沿ってさらにシフトされ、そのプロセスは上述のようにアレイ 8 0 の送受信モジュール 8 2 のすべてにおいて同時に行われる。従って、畳み込み及び加算の一連又はシーケンスの全てからのデータ（画像）のこのような畳み込み及び加算されたフレームの全ては、送受信モジュール 8 2 のアレイ 8 0 内のメモリバンク 9 0 のメモリセル内に画素毎に記憶される。データ（画像）のこのような畳み込み及び加算されたフレームの各々は畳み込みと呼ばれることがあり、従って、送受信モジュール 8 2 のアレイ 8 0 は、送受信モジュール 8 2 の個々のメモリバンク 9 0 内に個々のメモリセルが存在するのと同じ数の畳み込みを画素毎に保持することができる。例えば、図 9 および図 1 0 に概略的に示される例示的な送受信モジュール 8 2 は、それぞれ、6 4 個の個々のメモリセル 1 0 2、1 0 4、. . .、n から構成されるメモリバンク 9 0 を有する。従って、送受信モジュール 8 2 の例示的なアレイ 8 0 はフル解像度でピクセル毎に、6 4 回ものフレームのデータ（画像）を保持することができる。送受信モジュール 8 2（図 1 参照）内の光送信素子 8 4 および光センサー素子 8 6 が以下でより詳細に説明するように、隣接する送受信モジュール 8 2 の光送信素子 8 4 および光センサー素子 8 6 と共にプールのされると、プールされたグループ内の光送信素子 8 4 および光センサー素子 8 6 のすべてが、データ（画像）のフレームのより粗い表現のために同じ輝度を表示する。このようなプーリング条件下では、プールされたグループ内の送受信モジュール 8 2 のメモリバンク 9 0 を順次使用して、プールされたグループ全体の送受信モジュール 8 2 について感知され、合計された結果を保存することができ、それによって、実効メモリ容量および深さを増大させることができる。例えば、6 4 個のメモリセルを含むメモリバンク 9 0 をそれぞれ有する送受信モジュール 8 2 が  $5 \times 5$  グループにプールされる場合、すなわち、グループ当たり 2 5 個の送受信モジュール 8 2 がプールされる場合、各グループの実効メモリ容量または深さは、1、6 0 0 個のメモリセル（ $6 4 \times 2 5 = 1, 6 0 0$ ）である。したがって、データ（画像）の順次の畳み込み加算フレームは最初に、その送受信モジュール 8 2 のメモリバンク 9 0 が満たされるまでグループ内の送受信モジュール 8 2 の 1 つに供給され、次に、さらなる順次畳み込み加算されたデータ（画像）のフレームはその第 2 の送受信デバイス 8 2 のメモリバンク 9 0 も満たされるまでグループ内の第 2 の送受信モジュール 8 2 に供給され、次に、グループ内の残りの送受信モジュール 8 2 のそれぞれのメモリバンク 9 0 を順次満たし続けることができる。グループ内のすべての伝送モジュール 8 2 のメモリバンク 9 0 が満たされる場合、メモリ内の畳み込みのそのブロックは、1、6 0 0 の深さになる。アレイ 8 0 内の送受信モジュール 8 2 のメモリ 9 0 内の畳み込みの集約は例えば、図 5 に図式的に示す 3 D 畳み込みブロック 6 5 である。このような畳み込みの所望の数が最後の 3 D 畳み込みブロックのためにアレイ内に蓄積されると、センサー・ディスプレイ装置 1 4 による送信のために、ピクセル毎にメモリバンク 9 0 から読み出され、プロセスの終了時に電子データインターフェース 2 2 を通して戻され、ニューラルネットワーク結果を出力することができる。

【 0 0 6 8 】

しかしながら、例のフォトリックニューラルネットワークシステム 1 0 を用いてデータのフレームを繰り返しさらに畳み込み、加算するディープラーニングプロセスの間、最も最近に形成された畳み込みブロックの画素値は、個々の送受信モジュール 8 2 内の個々のメモリバンク 9 0 のメモリセル内に依然として存在することを繰り返すことが重要である。したがって、センサー・ディスプレイ装置 1 4 が、畳み込みブロックが送受信モジュール 8 2 のメモリ 9 0 内に蓄積されるセンサーモードから、より深い畳み込み処理のために

10

20

30

40

50

その畳み込みブロックがシステム10の光学コンポーネントを介して送信され戻される表示モードに切り替わると、畳み込みブロックを有する（又は畳み込みブロックを構成する）データ（画像）の畳み込みフレームおよび合計フレームのそれぞれに対する画素値を、メモリ90のメモリセル102、104、...、nから外部コンピュータ処理、メモリ、および他の構成要素または機能への、またはそれらからのデータのさらなる処理および転送なしに、変調器ドライバ88へ直接読み出す（シフトする）ことができる。代わりに、センサーモードから表示モードに切り換えると、畳み込みブロックを有する（又は畳み込みブロックを構成する）データ（画像）の個々のフレームの画素値がメモリ90から直接変調器ドライバ88に順次読み出され（シフトされ）、これにより、光送信器素子84が、その畳み込みサイクルでさらに畳み込まれるべきデータ（画像）のフレームの画素値を光フィールドに書き込む（課す）方法で、送受信モジュール82に入射されるレーザー光を変調するように駆動される。従って、アレイ80内の送受信モジュール82の全てが同時に表示モードに切り替わり、それらの各々における画素値がレーザー光フィールド内に書き込まれる（課される）ので、センサー・ディスプレイ装置14によって送信される光フィールド内のそれらの画素値の合成は、アレイ80内の送受信モジュール82のメモリバンク90内に加算され記憶されたデータ（画像）の先に畳み込まれたフレームを複製する。

10

先に畳み込まれ、合計されたデータのフレーム（画像）を有する光フィールドがフーリエ変換レンズ16を通して、フーリエ変換面内のフィルタでの更なる畳み込みのためにラジアル変調器20に投影され、次いで、先に説明したように、他の（例えば、第2の）センサー・ディスプレイ装置26で検出される。

20

#### 【0069】

また、上で説明したように、これらの畳み込みおよび加算プロセスは、多くのフィルタを有する多くのサイクルを経て何度も繰り返される。また、第1のセンサー・ディスプレイ装置14および第2のセンサー・ディスプレイ装置は第1のセンサー・ディスプレイ装置14の送受信モジュール82が第2のセンサー・ディスプレイ装置26の対応する送受信モジュール82と光学的に整列するように、それぞれの光軸61、62上に整列され（図2、図6、および図7参照）、その結果、対応する送受信モジュール間を含む、第1および第2のセンサー・ディスプレイ装置14、26のそれぞれのアレイ80間に完全な光学的位置合わせが存在する。従って、例示のフォトニックニューラルネットワーク10は、光速度でフルフレームのフル解像度の完全並列畳み込みを行う。利得、しきい値（ReLU）、最大または平均プーリング、および他の機能などの他の効果は以下でより詳細に説明するように、専用回路で同時に実行され、これらの効果は、追加の時間遅延を呈さない。例えば、VGG16またはInception-Resnet-v2を含む、事実上任意の畳み込みニューラルネットワークアーキテクチャを収容することができる。全ての処理はセンサー・ディスプレイ装置14、26上で完全に行われ、データ（画像）のフレームをこれらの装置に再配置したり、これらの装置から再配置したりすることはない。推論動作では、ユーザアプリケーションは画像をロードし、数マイクロ秒後に結果を受け入れるだけでよい。

30

#### 【0070】

送受信モジュール82内のマイクロ光送信器要素84は、光を放射または変調する任意の光変調器デバイスとすることができる。上述の例示的なフォトニックニューラルネットワークシステム10の説明は、光が光送信器要素を透過することを可能にするか、または抑制することによって光送信器要素の背面に入射するレーザー光を変調する光送信器要素84を含む。しかしながら、光送信器要素84は入射光を変調し、それを反射する反射光変調器デバイスに置き換えることができ、これは、光が反射される光送信器要素の同じ表面にレーザー照射が入射することを必要とし、かつ、上述したフォトニックニューラルネットワークの例を理解するようになった後で当業者に理解されるように、光学要素の再配置を必要とするのであろう。別の代替案として、光送信器要素84を発光器で置き換えることができ、これにより、レーザー光フィールドが背面に入射し、及び変調器を通過することが不要になる。

40

50

## 【 0 0 7 1 】

一例の光送信器要素 8 4 が図 1 1 に示されており、これは、図 4 に示され、上述されたメタ表面光変調器要素 4 0 と同様の入射光の位相変調を行う。しかしながら、図 1 1 のこの例の光送信器要素 8 4 は図 4 の光反射要素の代わりに光透過要素であるので、最下部の金属レイヤー 4 6 は頂部電極 4 8 のように交差するように格子構造の間に空隙が生じ、その結果、入射光 L は電気光学ポリマー 4 4 によって位相変調されて、電気光学ポリマー 4 4 によって遮断されるか、又は格子構造 4 2 を通過することが可能である。基板 5 0 は、光 L に対して透明である。ポーリング電圧 4 5 は上述したように、光フィールド L で課される画素値に従って、送受信モジュール 8 2 の変調器ドライバ 8 8 によって駆動される。このような透過型光変調器のさらなる詳細は Kosugi らの論文「Surface-normal electro-optic-polymer modulator with silicon subwavelength grating」、IEICE Electronics Express、第 1 3 巻、第 1 7 号、1 ~ 9 頁、2 0 1 6 年 9 月 1 0 日に見る。

10

## 【 0 0 7 2 】

送受信モジュール 8 2 の背面は光が光送信素子 8 4 に到達して通過することを可能にする開口を除いて、送受信モジュール 8 2 の背面上のレーザー照射が送受信モジュール 8 2 を透過するのを阻止するために、背面を覆う不透明なカバーまたはマスク（図示せず）を有する。フーリエ変換レンズ 1 6 及びフーリエ変換レンズ 1 6 の前方の光をコリメートするファイバーフェースプレートを含む光学部品は、第 1 のセンサー・ディスプレイ装置 1 4 の前面に接合することができる。同様に、フーリエ変換レンズ 2 8 とファイバーフェースプレートとを第 2 のセンサー・ディスプレイ装置 2 6 の前面に接着することができる。

20

## 【 0 0 7 3 】

ここで図 1 を参照すると、フォトニック畳み込みアセンブリ 1 2 の第 1 および第 2 のセンサー・ディスプレイ装置 1 4、2 6 およびラジアル変調器デバイス 2 0 に加えて、例示的なフォトニックニューラルネットワークシステム 1 0 は例えば、(i) ラジアル変調器デバイス 2 0 を駆動するためのパルス出力を実施する回路ブロック 1 1 0 と、(ii) デジタルデータが第 1 および第 2 のセンサー・ディスプレイ装置 1 4、2 6 にロードされ、そこから受信される高速アナログ - デジタル回路ブロック 1 1 2 と、高帯域幅メモリ (HBM 2) 1 1 4 と、他のシステムコンポーネントのための基本的な制御およびインターフェースデバイスであるフィールドプログラマブルゲートアレイ (FPGA) 1 1 6 とを含む、外部制御コンポーネントも含む。HBM 2 1 1 4 は、フィルタ、状態機械ステップ、および画像データのための記憶装置を提供する。回路ブロック 1 1 0、HBM 2 1 1 4、および FPGA 1 1 6 はマルチチップモジュール (MCM) 1 1 8 上にあり、システム 1 0 へのユーザインターフェースは、名目上、PCI - Express バス 1 2 0 を介している。

30

## 【 0 0 7 4 】

フィールド・プログラマブル・ゲートアレイ (FPGA) 1 1 6 と第 1 のセンサー・ディスプレイ装置 1 4 との間の例示的なシステム・インターフェース 1 2 2 の機能ブロック図が図 1 2 に示されており、図 1 2 の機能ブロック図は、FPGA 1 1 6 と第 2 のセンサー・ディスプレイ装置 2 6 との間のシステム・インターフェースの代表でもある。図面における便宜上及び簡潔さのために、図面及び回路ブロック 1 1 0 出力回路装置 1 1 1 (図 1) のための関連する説明において、センサー・ディスプレイ装置 1 4、2 6 (図 1、図 2、図 5 - 7、図 1 0) のために任意の用語「Sensay」(センサー及びディスプレイの略語) や任意の用語「RedFive」が時々使用される。便宜上及び簡潔さのために、送受信モジュール 8 2 (図 8 ~ 1 0) は、「Trixel」と呼ばれることがある。(「Trixel」が「送信・受信ピクセル」の略語である。)

40

## 【 0 0 7 5 】

RedFives 1 1 1 のいくつかは、センサー・メモリバンク 9 0 をロードするためにアナログ・データを生成する役割を果たす。これらの RedFives 1 1 1 は、HBM 2 1 1 4 が FPGA 1 1 6 によって管理される状態マシンソースであるため、メモリモジュール (HBM 2) 1 1 4 を介してインターフェースされる。アナログおよびデジタル入出力 (I/O) は、フィードバックループの制御に使用されるため、FPGA 1 1 6 を介してインターフェース

50

される。いくつかの未使用ビットは、同期のためのステータスフラグとしてFPGA 1 1 6にラップバックされる。Sensay Digital 1 4、2 6 I/OはRedFives 1 1 1のいくつかと同じメモリラインを使用するが、それらは同時にアクセスされないので、メモリラインのこの二重使用は競合ではない。また、RedFives 1 1 1からの出力アナログラインのいくつかは、ADC 1 1 2への入力アナログラインとして共有される。データを読み取り、それをFPGA 1 1 6に渡すために使用されるADC 1 1 2の数は実装に依存する。

【 0 0 7 6 】

センサー・ディスプレイ装置 (Sensay) 1 4、2 6の外部インターフェース (図 8 参照) の機能ブロック図が図 1 3 に示されている。図 1 3 では、「Sx」が「Sensay A」1 4 または「Sensay B」2 6 の前に付けられている (Sensay 1 4、2 6 のいずれかに関連する信号を区別するためにシステムを論じる場合、図 8 のデジタル入力線は 3 つの一般的なカテゴリにグループ化することができる。行および列制御はSensay内のラッチのセットをロードする (図 1 4 参照)。グローバル制御ライン (又は、行) は種々の機能を有し、その各々は、使用の文脈で説明される。グローバル行は、行または列に沿ってルーティングできる。グローバル制御ラインはすべての送受信モジュール (trixels) 8 2 ヘルパーティングし、特定の列または行に固有ではない。

10

【 0 0 7 7 】

SxPeakresetは、外部ゲインコントロールに使用されるアナログピークホールド回路をリセットする。この信号は非同期であるが、データ競合を回避するために、SxFreezeがアサートされるときにのみアサートされるべきである ( 1 ) 。

20

【 0 0 7 8 】

図 1 3 のSxSnsresetは、センサー 8 6 (図 1 0 ) をアナログSxLevelラインのレベルにリセットする。センサー 8 6 は、電荷を蓄積するように設計されているので、予め設定されたレベルまで降下するためにこの機構を必要とする。このリセットをグローバルバイアスとして使用して、センサー 8 6 の充電レベル (したがって、次のパスのモジュレータレベル) をプリセットできる。

【 0 0 7 9 】

SxPoolmodeは、プーリングにおける平均 ( 1 ) または最大 ( 0 ) 動作を決定する。

【 0 0 8 0 】

図 1 3 のSxFreezeは、グローバルメモリバンク 9 0 (図 1 0 ) のアクセスを有効または無効にする。アサート ( 1 ) された場合、すべてのtrixelsメモリドライブ 9 2 がセーフ状態に設定され、メモリバンク 9 0 のアクセスやシフトは許可されない。SxFreezeは、ラインが整定される前にデータの汚染を防止するために他の制御ラインを構成するときに使用される。以下の説明では、SxFreezeの機能は常に言及されるわけではなく、その動作は常に規則である。

30

【 0 0 8 1 】

図 1 3 のSxRWDIrは、有効なメモリバンク 9 0 (図 1 0 ) が読み出し / 書き込みを決定する。" 1 " に設定するとメモリバンク 9 0 にデータが書き込まれ、" 0 " に設定するとメモリバンク 9 0 からデータが読み出される。これはまた、センサー (光検出素子) 8 6 及び変調器 (光送信素子) 8 4 の動作をゲート制御する。これはモジュレータモード ( 0 ) またはセンサーモード ( 1 ) を表す。

40

【 0 0 8 2 】

SxFlagRD、SxFlagWR、およびSxFlagRSTは、セマンティック・ラベリングに使用されるデジタルフラグ・メモリを制御する。SxFlagRSTは、全フラグ・メモリのグローバルアドレスリセットである。SxFlagRDおよびSxFlagWRは、メモリアccessを制御する。

【 0 0 8 3 】

SxShift0 , 1 , 2 はアドレス指定されたtrixels (送信 - 受信モジュール) 8 2 においてのみ、シフトレジスタメモリ 9 0 の電荷を時計回り方向または反時計回り方向のいずれかに移動させるために、3 相シーケンスで外部から駆動される。trixelがアドレス指定されていない場合、そのメモリドライブラインは強制的に安全な状態になり、メモリの充電

50

には影響しない。

【 0 0 8 4 】

SxExternalは、SxAnalogおよびSxDataラインがアクティブ（ 1 ）であるか、またはデータ移動およびアクセスが単に内部（ 0 ）であるかを判定する。

【 0 0 8 5 】

これらの信号の 4 つの組み合わせを考える：

【 0 0 8 6 】

画像ロード:SxFreeze= 0、SxRWDDir = 1、SxExternal = 1。これは、アドレス指定されたtrixels 8 2のメモリセルが外部SxAnalogラインからデータを取り込み、内部SxDataラインを介してtrixelsメモリバンク 9 0に電圧を入れることを意味する。SxAnalogラインが 1 2 0本あるため、このアクションは最大 1 2 0ワイドまで可能である。1 2 0幅のDACセットが適切でない実装では、ラインはグループで外部接続でき、MEMRラインをシーケンスで有効にするだけで、より狭いアクセスに対応できる。実装された外部行幅に関係なく、競合を避けるために、通常は一度に 1 つのMEMCラインのみが有効になる（ただし、必要に応じて、同じDAC値を一度に 1 行全体に送信することもできる）。

10

【 0 0 8 7 】

ResultSave:SxFreeze= 0、SxRWDDir = 0、SxExternal=1。これは、アドレス指定されたtrixels 8 2のメモリセルが外部ADCとのコンバージョンのために外部SxAnalogラインにデータを送ることを意味する。再び、これは 1 2 8までの幅であり得るが、より狭い実装はSensayへの設計変更なしに適応され得る。実装された外部行幅に関係なく、競合を避けるために、一度に 1 つのMEMCのみが有効になる（これは、データの競合を避けるために読み取りではオプションではない）。

20

【 0 0 8 8 】

Sensor Mode : SxFreeze= 0、SxRWDDir = 1、SxExternal = 0。これは、アドレス指定されたtrixels 8 2における任意のメモリセルがセンサー 8 6からデータを取得することを意味する（以下に説明するプーリング・チェーンを介して、またSxShift0, 1, 2に関連して、メモリ値のシフトレジスタセットとして現存する電圧をシフトしながら、電圧を新しいメモリ電荷として保存する）。

【 0 0 8 9 】

変調器モード:SxFreeze= 0、SxRWDDir = 0、SxExternal = 0。これは、アドレス指定されたtrixels 8 2の任意のメモリセルが（プーリング・チェーンを介して）変調器（光送信素子） 8 4にデータを送り、SxShift0, 1, 2との関連で、メモリ電荷のシフトレジスタセットとして現存する電圧をシフトすることを意味する。メモリ読み出しは非破壊的である。

30

【 0 0 9 0 】

trixels（送受信モジュール） 8 2のための例示的な行および列制御ラインレジスタは図 1 4に概略的に示されている。この例では、行および列制御ラインレジスタがtrixels当たり 5 つの行および 5 つの列ラインとして配置された 2 3 5 個の個別にアドレス指定された静的 6 4 ビットラッチを備える。これらの出力は常にアクティブであり、電源投入時にゼロにされる。これらの行および列制御ラインは、各trixels 8 2によって、その隣接装置に関連して自身の機能を構成するために使用される。ラッチの各々はSxControlでデータをアサートし、SxAddrで 8 ビットアドレスを設定し、SxLatchをパルス化することによって個別にアドレス指定される。

40

【 0 0 9 1 】

trixelのメモリ 9 0はそのMEMRおよびMEMCが共にアサートされたときに「アドレス指定された」と言われる。同様に、そのOPTCおよびOPTRが共にアサートされたときに、その光センサーは「アドレス指定された」と言われる。その他のtrixels 8 2の機能は、そのENBRおよびENBCがデアサートされるとディスエーブルされる。trixels 8 2を完全にディスエーブルするために、そのMEMR、MEMC、OPTR、OPTC、FLAGRおよびFLAGCもデアサートする。

50

## 【 0 0 9 2 】

プール境界ライン 8 6 ( POOLC および POOLR ) は trixels 8 2 の列および行全体に影響を与え、以下でより詳細に説明するように、スーパー trixels の境界を定義する。最右端および最下端のラインは常にイネーブルされているので、1 0 7 9 POOLR および 1 9 1 9 P OOLC ラインのみが存在する。6 4 ビットラッチの未使用ラインは接続されていない。

## 【 0 0 9 3 】

\* \_\_SL および \* \_\_SR ラインは、立ち上がりエッジでそれぞれのレジスタを左または右にシフトする。

## 【 0 0 9 4 】

SxReLU および SxReLU 2 ( 図 1 3 ) は、外部 DAC によって駆動される。それらは、全ての trixels 8 2 に対してグローバルであり、弱い情報を除去するためにセンサー 8 6 の読み取り値に適用される。SxLevel ( 図 1 3 ) も外部 DAC によって駆動される。プリセットレベルとして全ての trixels ・ センサー 8 6 によって使用され、変調器駆動部 8 8 レベルにも加算され、そこで位相オフセットとして使用される。sensay ( センサー ・ ディスプレイ装置 ) 1 4 または 2 6 は上述したように、いつでもセンサーまたは変調器 ( 送信 ) モードにあるので、競合はない。SxPeak ( 図 1 3 ) アナログ出力信号は、すべての trixels ( 送受信モジュール ) 8 2 からの信号である。以下により詳細に説明するように、各 trixels ・ メモリ ・ セルは、その最高値を共通トレースに渡す。このトレースの値は SxPeakreset が最後にアサートされてから、trixels アレイ全体によって見られる最高のグローバル値を表す。これは、システムゲインおよび正規化のために外部回路によって使用される。

## 【 0 0 9 5 】

アナログインターフェースの一例を図 1 5 に模式的に示す。SxAnalog ラインは 9 つの隣接する SxData 行をそれぞれ接続する 1 2 0 のトレースである。言い換えれば、内部的に SxData000 から SxData 0 0 0 8 行トレースはすべて出力ピン SxAnalog00 に接続される。SxData 0 0 0 9 ~ SxData 0 0 1 7 行トレースは、すべて出力ピン SxAnalog00I などに接続する。すべての SxAnalog ピンは、9 つの内部 SxData トレースにハードワイヤードされている。一度に 1 つの trixels メモリバンク 9 0 のみが、そのローカルトレース ( 外部コントローラによって強制される ) を駆動または感知することが可能である。TMS がアサートされている場合、すべての SxAnalog および SxData ラインが一緒に接続される。

## 【 0 0 9 6 】

上述したように、制御ラインは個々に制御可能であるため、1 から 1 2 0 幅の任意のサイズの入力または出力スキームはこれらのラインを単に Sensay ( センサー ・ ディスプレイ装置 ) の外部で一緒に接続し、適切な trixels 8 2 のみをアーキテクチャと一致させることを可能にすることによって、実施することができることに留意されたい。インターフェースが広いほど、ロードおよびアンロード操作は高速になるが、より多くの外部回路が必要になる。これにより、設計を変更することなく、高度なカスタマイズが可能になる。

## 【 0 0 9 7 】

例示のフォトニックニューラルネットワークシステム 1 0 における Sensay ( センサー ・ ディスプレイ装置 ) 1 4 、 2 6 アーキテクチャは、プーリング ・ チェーンの周囲に構築される。図 9 、 図 1 0 、 および 図 1 6 に示すように、アレイ 8 0 内の送受信モジュール ( trixels ) 8 2 の各々は図 9 、 図 1 0 、 および 図 1 6 が紙上に向けられるとき、その縁の 2 つに沿って、例えば右縁および下縁に沿って、プーリング境界ライン 9 6 を有する。すべてのセンサー、変調器、メモリ読み取りまたはメモリ書き込みアクセスは、プーリング ・ チェーンを使用して、trixels ( センサー ・ ディスプレイ装置 ) 8 2 内およびその間でアナログ ・ データを渡す。プーリング境界ライン 9 6 の機能はプーリング ・ チェーンから隣接する送受信モジュール ( trixels ) 8 2 を接続または切断し、スーパー trixels または「アイランド」を生成することである。それぞれの隣接する trixels 8 2 の境界ライン 9 6 へのプーリング ・ チェーン回路接続は、trixels 8 2 のアレイ 8 0 内の仮想位置 nnnn , mmmm で、図 1 7 内の接続の拡大概略図に示されている。POOLC = 0 の場合、列全体の東西 trixels ・ プーリング ・ チェーン接続はすべてオープンされる。POOLR = 0 の場合、行全体に対する

10

20

30

40

50

南北trixelsプーリング・チェーン接続のすべてがオープンされる。全ての他のtrixelsプーリング・チェーン接続は、依然として閉じている。このプーリング構造の効果は、接続されたプーリング・チェーン・ラインのアイランドを生成することである。スーパーtrixelsアイランド上の全てのtrixelsは、本質的に単一の低インピーダンス「トレース」であるこのチェーンを共有する。POOLRがアサートされると、このtrixelsのプーリング・チェーンを接続するトランジスタが導通し、プーリング・チェーンを次の行のその南のtrixels 8 2 に接続する。POOLCがアサートされている場合、POOLCは、trixels 8 2 のためのプーリング・チェーンに東に接続する。

【 0 0 9 8 】

上述したように、送受信モジュール ( trixels ) 8 2 の各々におけるメモリバンク 9 0 は本質的にシフトレジスタであり、シフトレジスタの設計および技術は、当業者によってよく理解され、容易に利用可能である。図 1 8 は、アナログ・メモリシフトドライバスキームを示す。アドレス指定され ( MEMCおよびMEMRが共にアサートされ )、凍結解除された ( SxFreezeがデアサートされる ) 場合、SxShiftO、1、2 の任意の組み合わせは、アナログ・メモリセルシフトプレートを実際に駆動する出力 ( MemShiftO、1、2 ) に単に伝播する。MEMCまたはMEMRのいずれかがTrixelに対してデアサートされた場合、またはSxFreezeがアサートされた場合、アナログ・メモリドライバは自動的に安全状態に置かれる ( MemShiftO、1、2 = 0 1 0 ) 。

【 0 0 9 9 】

図 1 9 は、メモリバンク 9 0 ( 図 1 0 ) のための例示的なアナログ・メモリ読み出しインターフェースの概略図である。メモリは読み出すことができ、アナログ・データは、内部SxDataラインを介して外部SxAnalogインターフェースに送られるか、または最大 ( ダイオード ) または平均 ( 抵抗器 ) 回路経路のいずれかを介してプーリング・チェーン 1 2 6 ( SxReLUより大きい場合、さもなければゼロにされる ) に送られることができる。アナログ・メモリから読み出された変更されていない値はダイオード絶縁キャパシタ ( サンプル & ホールド回路 ) を充電するためにも使用され、最終的にはセンサー・ディスプレイ・デバイス ( sensay ) 1 4、2 6 全体 ( システムゲイン制御のために外部で使用される ) に対してSxPeak値を駆動する。これらのモードの例は、図 2 0 ~ 2 4 に概略的に示されている。図 2 0 は、プーリング・チェーンへのtrixelアナログ・メモリ読み出し平均を示す。図 2 1 は、プーリング・チェーンへのtrixels・アナログ・メモリ読取り最大値を示す。図 2 2 は、外部データラインに読み出されるアナログ・メモリを示す。図 2 3 は、trixelsアナログ・メモリピーク値保存を示す。図 2 4 は、アナログ・メモリピーク値リセットを示す。

【 0 1 0 0 】

整流線形ユニット ( ReLU ) はしばしば、弱い応答を抑制するためにデータに適用される。第 1 のセンサー・ディスプレイ装置 1 4 および第 2 のセンサー・ディスプレイ装置 2 6 ( sensay、1 4、2 6 ) はそれぞれ、図 2 5 に示される様々な応答をもたらすことができる柔軟なデュアル・スローブReLU実装を有し、その応答は無効果 ( 実施例A ) から従来のカットオフ ( 実施例B ) から、可変スローブ・カットオフ ( 実施例C ) までの範囲である。DACによって駆動される 2 つの外部アナログ電圧が伝達関数を制御する。感知器 1 4、2 6 は単極設計であるため、「ゼロ」位置は公称ではメモリバンク 9 0 の電圧範囲の中央にある。

【 0 1 0 1 】

アナログ・メモリ 9 0 への書き込みは、読み出しよりも単純である。送受信モジュール ( trixels ) 8 2 のアナログ・メモリ 9 0 がアドレス指定されると ( MEMCおよびMEMRの両方がアサートされ、SxRWDIr = 1 )、ローカル・プーリング・チェーン上の値が何であれ図 2 6 に示すように書き込みパッド上に置かれる。アナログ・メモリ・セル内の値を実際に保存するために、シフトラインが循環される。外部データラインからアナログ・メモリ 9 0 をロードすることが図 2 7 に示されている。

【 0 1 0 2 】

フラグ・メモリは、セマンティック・ラベリングの実施のために使用される各送受信モ

10

20

30

40

50

ジュール (trixels) 8 2 における 6 4 0 ビットの LIFO (Last - In - First - Out) 装置 (すなわち「スタック」) である。SxFlagRST = 1 の場合、すべての送受信モジュール (trixels) 8 2 に対して、内部アドレスポインタは無条件にゼロにセットされる。値をゼロにする必要はない。リセットを除いて、メモリは、仮想trixel位置nnnnnn, mmmmに対して FLAGRmmm = 1 および FLAGCNnn = 1 のときにのみアクティブである。FLAGRmmm = 0 または FLAGCNnn = 0 のいずれかの場合、信号はメモリに影響を与えない。FLAGR および FLAGC については、図 1 4 を参照されたい。

#### 【 0 1 0 3 】

フラグ・メモリ書込みおよびフラグ・メモリ読出しの概略図を、それぞれ図 2 8 および図 2 9 に示す。SxFlagWR = 1 の場合、比較器の出力は「D」メモリ入力で有効である。SxFlagWR が「1」から「0」になる立ち下がりエッジで、SxFlagRD = 0 の場合、プーリング・チェーン上の値と比較されるtrixelの現在の読み取り値の状態によって決定される現在のフラグビットはスタック上にプッシュされる。すなわち、アナログ・メモリ読み取り電圧がプーリング・チェーン電圧と一致する場合、このtrixel 8 2 は「マスタ」であり、「1」が格納され、そうでない場合、「0」が格納される。FlagVAL については、図 1 9 を参照されたい。

10

#### 【 0 1 0 4 】

ヒステリシスが非常に小さいため、複数のtrixel 8 2 が非常に似た電圧レベルを持っていれば、それ自体を「マスタ」として見ることが可能である。このような場合、最終的に読み出されるのは、拡張パスの間、このプーリング・グループ内の有効化 (又は、イネーブル) されたtrixels 8 2 の平均電圧になる。「競合する」電圧はほぼ同一であったので、これは実用上ほとんど影響を及ぼさないであろう。

20

#### 【 0 1 0 5 】

SxFlagRD = 1 の立ち上がりエッジで、SxFlagWR = 0 の間に、書き込まれた最後のビット (すなわち、スタックの上部) が読み出され、イネーブルされたFlagEN = 1 として Trixelメモリ読み出し回路に印加される (図 1 9 参照)。出力は、SxFlagRD = 1 である限りイネーブルされる。

#### 【 0 1 0 6 】

SxFlagWR = 0 および SxFlagRD = 0 の場合、FlagEN = 1 である。これを適用した。SxFlagWR = 1 および SxFlagRD = 1 は不正であり、外部コントローラはそれを適用すべきではない。メモリ出力と比較器出力との間の競合を回避するために、フラグENは、そのような場合にトライステートにされる。

30

#### 【 0 1 0 7 】

送受信モジュール (trixel) 8 2 のセンサー 8 6 をプーリング・チェーンに読み込み、センサー 8 6 を再設定し、変調器 (光送信器要素) 8 4 をプーリング・チェーンから書き込むための光制御ライン設定の例が、それぞれ、図 3 0、図 3 1、図 3 2 に示されている。光制御ラインの機能はイネーブルされたOPTR及びOPTCラインの交点にあるtrixels 8 2 に、それらの光学素子 (変調器 8 4 又はセンサー 8 6) をプーリング・チェーンに接続させることである。SxRWDir = 0 および SxExternal = 0 の場合、このtrixels変調器 8 4 を駆動するために、データがプーリング・チェーンから読み出される。SxRWDir = 1 および SxExternal = 0 の場合、データはこのtrixelのセンサー 8 6 からバッファされ、プーリング・チェーン上に配置される。SxExternal = 1 の場合、変調器 8 4 とセンサー 8 6 の両方が切断される。複数のセンサー 8 6 を同時に有効にする (又は、イネーブルする) ことができ、それらの値の平均は、より低いノイズのためにプーリング・チェーン上に現れるのであろう。また、センサー 8 6 が上述したように光信号 (データのフレーム) を加算しているとき、感知器 1 4、2 6 (クロックなどがない) 上に他の活動は存在しないので、非常に低ノイズの測定結果となることに留意されたい。

40

#### 【 0 1 0 8 】

変調器モード (SxRWDir = 0) および内部駆動 (SxExternal = 0) の場合、すべてのアドレス指定されたtrixelメモリバンク 9 0 の出力は自動的にプールされ、同じスーパー t

50

rixel (同じプーリング・チェーンに接続されている)内のすべての光送信素子(変調器) 84は同じ輝度で「輝く」。これは、複製による再サンプリングを構成する。

【0109】

ローカルENB(ENBRmmmm=1およびENBCNNn=1)により、個々の光送信素子(変調器)84を無効にすることができる。

【0110】

光送信素子(変調器)84の駆動レベルDLはプーリング・チェーンPCの合計に較正センサー値CS+1を掛けたものにSxLevelを加えたものであり、式 $DL=(PC*(CS+1))+SxLevel$ である。SxInvert=1の場合、ドライブは反転され、すなわち、100%レベルは0%変調、90%は10%等となる。

【0111】

図33A~Bの概略図は、送受信モジュール(trixel)回路の概要を示す。

【0112】

上記の説明は推論モード、例えば、訓練されたニューラルネットワークが画像、音声、音等を認識するために使用される場合におけるフォトニックニューラルネットワーク処理に基づく。フォトニックニューラルネットワーク、例えば、上述のフォトニックニューラルネットワークシステム10を用いてニューラルネットワークを訓練することは、デジタル畳み込みネットワークシステムと比較して、いくつかの差異を有する。上述したように、典型的なデジタル畳み込みニューラルネットワークシステムのトレーニング中に、ネットワークが次回に同じ種類の画像を予測する可能性を高めるために、逆伝搬と呼ばれるプロセスを用いて調整が行われる。典型的なデジタル畳み込みニューラルネットワークでは、このようなデータ処理および逆伝播が予測が適度に正確になり、改善されなくなるまで何度も行われる。次いで、ニューラルネットワークは推論モードで利用されて、新しい入力データを分類し、そのトレーニングから推論される結果を予測することができる。デジタル畳み込みニューラルネットワークでは、後方伝搬項(又は、期間/term)およびフィルタはすべて空間領域にあるので、トレーニングは比較的簡単である。「正しい答え」をとり、修正項を計算するために構造を遡ることは遅いが、依然としてドメインの変更を必要としない。光子ニューラルネットワークにおけるトレーニングはトレーニングされる必要がある項が周波数領域にあり、畳み込み結果が空間領域にあるので、それほど直接的ではない。空間領域データを使用し、高速フーリエ変換(FFT)アルゴリズムを用いて補正項を計算し、それらをラジアル変調器装置20で使用されるフーリエフィルタに適用することができるが、そのような計算は非常に計算集約的である。

【0113】

代わりに、上述したフォトニックニューラルネットワークシステム10の例は、訓練用の補正項を、ラジアル変調装置20によって反復訓練プロセスにおける畳み込みに適用されるフィルタに次いで追加され得るフーリエ変換項に変換するように適合される。このような変換をデジタル計算の代わりに光学的に実施するための適応例は図34に示すように、フォトニック畳み込みアセンブリ12に特殊化されたフーリエ光センサー装置130を追加することを含む。フーリエ光センサー装置130は光学軸62上の第2のセンサー・ディスプレイ装置26から、偏光子18の反対側に、第2のセンサー・ディスプレイ装置26と軸方向に整列して配置される。また、フーリエ光センサー装置130は、第2のフーリエ変換レンズ28の焦点距離F2と等しい第2のフーリエ変換レンズ28からの距離でフーリエ変換面内に位置している。したがって、第2のフーリエ光センサー装置130は、第2のフーリエ変換レンズ28のフーリエ変換面に位置している。そのフーリエ変換面において、第2のフーリエ光センサー装置130は、第2のセンサー・ディスプレイ装置26から発する光のデータ又は画像のフレームのフーリエ変換を検出することができる。従って、フォトニックニューラルネットワークシステム10(図1)を訓練するために必要な補正項は補正データの空間領域フレームで第2のセンサー・ディスプレイ装置26に供給することができ、次いで、光フィールド132内の補正データのフレームをフーリエ光センサー装置130に表示(投影)することになる。したがって、光フィールド132

10

20

30

40

50

内の補正データのフレームはフーリエ変換レンズ 2 8 によってフーリエ光センサー装置 1 3 0 に到達するときにフーリエ変換され、すなわち、空間領域内の補正データのフレームは、フーリエ光センサー装置 1 3 0 において光の速度でフーリエ領域にフーリエ変換される。次に、フーリエ変換領域の補正データのフレームは、フーリエ光センサー装置 1 3 0 によって検出され、ラジアル変調装置 2 0 のフィルタを調整するために使用される。

#### 【 0 1 1 4 】

通常、推論モードでは、3 D 畳み込みブロックがメモリからシフトアウトされ、さらなるレベルの畳み込みおよび加算サイクルのためにフォトニック畳み込みアセンブリ 1 2 を介して送り返されるときに送受信モジュール (trixel) 8 2 のメモリバンク 9 0 ( 図 1 0 ) 内の特定の反復畳み込みサイクルで存在するデータフレームが失われ、メモリバンク 9 0 は後続の 3 D 畳み込みブロックで再充填され、そのすべては上述のように非常に高速で行われる。しかしながら、トレーニングモードの場合、これらの中間のデータのフレームは第 1 及び第 2 のセンサー・ディスプレイ装置 1 4、2 6 の送受信モジュール 8 2 のメモリバンク 9 0 から抽出され、外部メモリに転送されて、逆伝播デジタル計算を行い、空間領域に補正項を書き込む際に使用される。次に、これらの補正項は図 3 4 に示され、上で説明されたように、フーリエ光センサー装置 1 3 0 への投影およびフーリエ変換のために、空間領域内の補正データのフレームとして第 2 のセンサー・ディスプレイ装置 2 6 に供給され、したがって、補正データのフーリエ変換されたフレームはさらなる畳み込みサイクルのためにラジアル変調器装置 2 0 のフィルタとして使用するために、フーリエ領域内のフーリエ光センサー装置 1 3 0 によって検出され得る。中間相関データ、逆伝播デジタル計算、および修正項の書込みのこのトレーニングモード抽出はいくらかの時間がかかり、したがって、推論動作モードと比較して反復畳み込み加算サイクルを遅くするが、それでもなおデジタル畳み込みニューラルネットワークトレーニングよりはるかに高速である。

#### 【 0 1 1 5 】

フーリエ光センサー装置 1 3 0 をフォトニック畳み込みアセンブリ 1 2 に組み込むために、例えば、図 3 4 に示すように、補正データのフレームが第 2 のセンサー・ディスプレイ装置 2 6 によってフーリエ光センサー 1 3 0 に投影されているときに、偏光面を 9 0 度回転させるために、半波可変偏光板 1 3 4 が第 2 のセンサー・ディスプレイ装置 2 6 と偏光子 1 8 との間に配置される。例えば、通常の推論動作モードでは、第 2 のセンサー・ディスプレイ装置 2 6 が偏光子 1 8 からラジアル変調器装置 2 0 に反射する P 偏光で表示し、次いで、トレーニングのために補正データのフレームをフーリエ光センサー 1 3 0 に表示または投影するために、半波長可変偏光板 1 3 4 が起動されて、投影された光フィールドの偏光面を 9 0 度回転させて S 偏光させ、結果として生じる光フィールド 1 3 2 が偏光子 1 8 を通過してフーリエ光センサー 1 3 0 に至るようにする。

#### 【 0 1 1 6 】

補正データのフレームは、ニューラルネットワークをトレーニングするためにフィルタによってラジアル変調装置 2 0 ( 図 3 参照 ) 特定のウェッジセグメント 3 2 に提供される必要がある値を有する。したがって、図 3 4 のフーリエ光センサー装置 1 3 0 への投影のために第 2 のセンサー・ディスプレイ装置 2 6 に提供される補正データのフレームは、ニューラルネットワークを訓練するために補正された方法で変調される必要があるラジアル変調器デバイス 2 0 ( 図 3 参照 ) のウェッジセグメント 3 2 に対応するフォーマットで提供され、その結果、これらの補正データは最終的に、補正された方法で適切なウェッジセグメント 3 2 を駆動するフィルタに配置される。したがって、フーリエ光センサー装置 1 3 0 は第 2 のセンサー・ディテクタ装置 2 6 からの光 1 3 2 をラジアル変調器装置 2 0 のウェッジセグメント 3 2 と同じパターンで検出し、その結果、光 1 3 2 の補正データが検出され、処理され、ラジアル変調器装置 2 0 の適切なウェッジセグメント 3 2 に供給される。

#### 【 0 1 1 7 】

第 2 のセンサー・ディスプレイ装置 2 6 から投射された光をラジアル変調装置 2 0 ( 図 3 ) のウェッジセグメント 3 2 と同じパターンに従って検出することを容易にするために

、上述したように、例としてのフーリエ光センサー装置 1 3 0 は例えば図 3 5 に示すように、ラジアル変調装置 2 0 ( 図 3 ) のウェッジセグメント 3 2 およびウェッジセクタ 3 4 のパターンに対応する光センサーアレイ 1 3 8 に配置された複数の光センサー素子 1 3 6 を有する光センサーボード 1 3 5 を有している。図 3 5 に示すように、ラジアルアレイレンズプレート 1 4 0 は、光センサーアレイ 1 3 8 の前に配置され、ラジアル変調装置 2 0 ( 図 3 ) のウェッジセグメント 3 2 およびセクタ 3 4 に一致するウェッジおよびセクタの半径方向パターンで配置された複数の個々のレンズ素子 1 4 2 を有している。これらのレンズ素子 1 4 2 は放射状変調装置 2 0 のウェッジセグメント 3 2 及びウェッジセクタ 3 4 の放射状パターンに対応する放射状パターンで、第 2 のセンサー・ディスプレイ装置 2 6 からの入射光 1 3 2 を捕捉し、これにより、第 2 のセンサー・ディスプレイ装置 2 6 に定式化されプログラムされたときに、入射光 1 3 2 の補正データのフレームを捕捉する。それぞれのレンズ素子 1 4 2 によって捕捉された光のセグメントは、個々のサブビーム 1 3 8 としてレンズ素子 1 4 2 によってそれぞれの光センサー素子 1 3 6 上に集束され、センサー素子 1 3 6 上に入射する光の強度に対応する電気信号に変換され、したがって、入射光 1 3 2 内の補正データのフレームを、補正データのフレームに対応する電気データ信号に変換する。図 3 4 に示すように、これらのアナログ電気データ信号は FPGA 1 1 6 による補正フィルタへの処理のためにデジタル信号に変換することができ、これは次に、インターフェース 2 4 を介してラジアル変調器デバイス 2 0 に接続するために回路ブロック 1 1 0 によって供給することができる。この場合も、入射光 1 3 2 内のデータのフレームはフーリエ変換レンズ 2 8 によってフーリエ変換され、フーリエ変換領域内のセンサー素子 1 3 6 によって検出され、したがって、フーリエ光センサー装置 1 3 0 から FPGA 1 1 6 または他の電気処理構成要素に送られる信号内の補正データはラジアル変調器デバイス 2 0 のウェッジセグメント 3 2 を駆動するのに必要なようにフーリエ領域内にある。光学構成要素の配置のために、第 2 のセンサー・ディスプレイ装置 2 6 に供給される補正データのフレームはセンサー素子 1 3 6 によって捕捉された光のセグメント及び生成された対応する信号がラジアル変調器装置 2 0 の適切なウェッジセグメント 3 2 に一致するように、反転されなければならない場合がある。しかしながら、上述したように、補正項は空間領域で計算されるので、訓練にアルゴリズム的制約は課されない。一旦、通常のトレーニング逆伝播計算が行われると、上述され、図 3 4 および図 3 5 に示される光学系は、空間領域補正項を放射状フーリエ領域等価物に変換する。

#### 【 0 1 1 8 】

図 3 6 に図示される別の実施形態では、カメラレンズ 1 5 0 が上述のように、例えばフォトニックニューラルネットワーク 1 0 ( 図 1 ) で処理するために、カメラレンズ 1 5 0 がデータ ( 画像 ) のフレームとして実世界のシーン 1 5 2 を空間領域内のフォトニック畳み込みアセンブリ 1 2 に照射する方法で、フォトニック畳み込みアセンブリ 1 2 上に取り付けられる。例えば、図 3 5 に示すように、カメラレンズ 1 5 0 は、第 2 のセンサー・ディスプレイ装置 2 6 から偏光子 1 8 の反対側で第 2 のセンサー・ディスプレイ装置 2 6 と軸方向に整列するように光軸 6 2 上に取り付けられる。偏光板 1 5 4 はカメラレンズ 1 5 0 によって透過された光フィールド 1 5 6 を偏光子 1 8 から反射する偏光面に偏光させるために、カメラレンズ 1 5 0 と偏光子 1 8 との間に配置されている。したがって、光フィールド 1 5 6 は図 3 6 に示すように、偏光子 1 8 によって第 1 のセンサー・ディスプレイ装置 1 4 に反射される。第 1 のセンサー・ディスプレイ装置 1 4 の送受信モジュール 8 2 ( 図 9 および 1 0 参照 ) 内の光センサー素子 8 6 は光フィールド 1 5 6 内のデータ ( 画像 ) のフレームを検出して捕捉し、上述したように、第 1 のセンサー・ディスプレイ装置 1 4 内のメモリバンク 9 0 ( 図 1 0 ) 内にデータ ( 画像 ) のフレームを処理する。次いで、カメラレンズ 1 5 0 上のシャッター装置 1 5 8 がカメラレンズ 1 5 0 上で閉じて、カメラレンズ 1 5 0 を通る光透過を終了し、次いで、第 1 のセンサー・ディスプレイ装置 1 4 は上述した推論動作またはトレーニング動作のいずれかで、フォトニック畳み込みアセンブリ 1 2 を通るデータ ( 画像 ) のフレームの処理を開始することができる。

#### 【 0 1 1 9 】

10

20

30

40

50

必要に応じて光の特定のスペクトル周波数のみがフォトニック畳み込みアセンブリ 1 2 に伝送されることを可能にするために、バンドパスフィルタ 1 6 0 をカメラレンズ 1 5 0 とともに設けることもできる。バンドパスフィルタ 1 6 0 は必要に応じて、可変バンドパスフィルタとすることができ、その結果、実世界シーン 1 5 2 からの光の様々なスペクトル周波数帯域はカメラレンズ 1 5 0 からフォトニック畳み込みアセンブリへと順次伝送することができ、一方、各周波数帯域内のデータ（画像）のフレームは順次捕捉され、それにより、畳み込みのためのハイパースペクトル画像セットが、フォトニック畳み込みアセンブリを通して順次提供される。このような可変バンドパスフィルタは周知である。例えば、可変半波長リターダ（retarder）を、可変帯域通過フィルタとして固定偏光板と組み合わせ使用することができる。固定偏光板と組み合わせたこのような可変半波長リターダは、シャッタとしても使用することができる。

10

#### 【 0 1 2 0 】

前述の説明は、本発明の原理を説明するものと考えられる。さらに、多数の修正および変更が当業者には容易に思い浮かぼうから、本発明を、上記に示され、説明された正確な構造およびプロセスに限定することは望ましくない。したがって、本発明の範囲内にあるすべての適切な修正および均等物に頼ることができる。「備える」、「含む」、「含んでいる」、および「有する」という用語は本明細書で使用される場合、述べられた特徴、整数、構成要素、またはステップの存在を指定することを意図されるが、それらは 1 つまたは複数の他の特徴、整数、構成要素、ステップ、またはそれらのグループの存在または追加を排除しない。

20

下記は、本願の出願当初に記載の発明である。

#### < 請求項 1 >

送受信モジュールのアレイを備える第 1 のセンサー・ディスプレイ装置であって、各送受信モジュールは光センサー素子と、光送信素子と、複数のメモリセルを有するメモリバンクとを備える、第 1 のセンサー・ディスプレイ装置と、

送受信モジュールのアレイを備える第 2 のセンサー・ディスプレイ装置であって、各送受信モジュールは光センサー素子と、光送信素子と、複数のメモリセルを有するメモリバンクとを備えると、

光軸に対して複数の半径方向距離及び角度方向に配置された複数の変調素子を有するラジアル変調器装置と、

30

前記第 1 のセンサー・ディスプレイ装置の前記光送信素子と前記ラジアル変調器装置の光送信素子との間に配置された第 1 のフーリエ変換レンズと、

前記第 1 のセンサー・ディスプレイ装置の前記光送信素子と前記ラジアル変調器装置の間に配置された第 2 のフーリエ変換レンズと、  
を有し、

前記ラジアル変調器装置が前記第 1 のフーリエ変換レンズと前記第 2 のフーリエ変換レンズの両方のフーリエ変換面に配置されるように、前記ラジアル変調器装置が第 1 のフーリエ変換レンズからの焦点距離および第 2 のフーリエ変換レンズからの焦点距離に配置された、データフレームを畳み込み及び加算するためのシステム。

#### < 請求項 2 >

40

前記ラジアル変調器装置にフィルタを形成及び供給し、前記第 1 及び第 2 のセンサー・ディスプレイ装置からのデータのフレームを有する光フィールドの送信の順序を制御し、前記ラジアル変調器装置の前記フィルタで前記データのフレームを畳み込み、前記ラジアル変調器装置からのたたき込まれたデータのフレームを有する光フィールドを検知するためのシステム制御コンポーネントを有する請求項 1 に記載のシステム

#### < 請求項 3 >

前記光センサー素子は、感知された光から電荷を蓄積する容量光センサーである請求項 1 に記載のシステム。

#### < 請求項 4 >

畳み込みニューラルネットワークのためのデータのフレームを畳み込み及び加算する方

50

法であって、

前記データのフレームを、第 1 の光軸に沿った空間領域における光フィールドとして順次投影するステップと、

フーリエ変換面において順次前記光フィールドをフーリエ変換するステップと、

光軸に対して種々の半径方向距離及び角度方向で間隔を開けて配置された光変調セグメントを有する光変調器で前記フーリエ変換面において光フィールドを順次畳み込むステップと、

畳み込まれた光フィールドのシーケンスを第 1 のセンサー・ディスプレイ位置で空間領域に逆フーリエ変換するステップと、

前記第 1 のセンサー・ディスプレイ位置において、畳み込まれた光フィールドの各々を空間ドメインで電荷蓄積可能な画素位置における容量光センサーで画素毎に検知するステップと、

容量性光センサーに、前記第 1 のセンサー・ディスプレイ位置において畳み込まれた光フィールドを順次検知することから生じる電荷を蓄積させるステップ

を有する方法。

< 請求項 5 >

メモリセルが、順次感知された光フィールドに対して特定の画素位置において検知された光から生じる蓄積された電荷を有するように、複数の畳み込まれた光フィールドを感知した後に、各センサー内に蓄積された電荷をメモリバンク内の前記メモリセルにシフトするステップを有する、請求項 4 に記載の方法。

< 請求項 6 >

異なるフィルタを適用して前記光変調器でデータのフレームを有する光フィールドの追加のシーケンスを畳み込むステップ、

前記容量センサーで画素毎に畳み込まれた光フィールドの追加のシーケンスを検知し、各画素位置での検知から生じる電荷を蓄積するステップと、

複数の畳み込まれた光フィールドを検知した後に各センサー内の蓄積された電荷を前もって蓄積された電荷を有するメモリセルにシフトさせつつ、前記前もって蓄積された電荷をメモリバンク内の別のメモリセルにシフトさせるステップと、

第 1 のセンサー・ディスプレイ位置における各画素位置においてメモリバンク内に畳み込まれて加算されたデータのフレームの 3 D 畳み込みブロックを構築するために上記プロセスを繰り返すステップ

を有する、請求項 5 に記載の方法。

< 請求項 7 >

第 1 のセンサー・ディスプレイ位置での画素位置からの順次的な光フィールドにおける 3 D 畳み込みブロックを形成する、畳み込まれて加算されたデータのフレームをフーリエ変換してフーリエ変換面内の変調器に送り返すステップと、

光軸に対して種々の半径方向距離及び角度方向で間隔を開けて配置された光変調セグメントを有する光変調器によりフーリエ変換面において光フィールドを順次畳み込むステップと、

畳み込まれた光フィールドのシーケンスを第 2 のセンサー・ディスプレイ位置で空間領域に逆フーリエ変換するステップと、

電荷蓄積可能な画素位置における容量性光センサーで画素毎に空間領域において畳み込まれた光フィールドの各々を第 2 のセンサー・ディスプレイ位置で検知するステップと、

容量性光センサーに、第 2 のセンサー・ディスプレイ位置において畳み込まれた光フィールドを順次検知することから生じる電荷を蓄積させるステップと、

異なるフィルタを適用して光変調器でデータのフレームを有する光フィールドの追加のシーケンスを畳み込むステップと、

第 2 のセンサー・ディスプレイ位置において画素毎に畳み込まれた光フィールドの追加のシーケンスを容量性センサーで検知し、各画素位置における検知から生じる電荷を蓄積するステップと、

10

20

30

40

50

複数の畳み込まれた光フィールドを検知した後に、第2のセンサー・レシーバ位置で各センサーに蓄積された電荷を、以前に蓄積された電荷を有するメモリセルにシフトさせつつ、前記以前に蓄積された電荷をメモリバンク内の別のメモリセルにシフトさせるステップと、

第2のセンサー・ディスプレイ位置における各画素位置においてメモリバンク内に畳み込まれて加算されたデータのフレームの3D畳み込みブロックを構築するために上記プロセスを繰り返すステップ

を有する、請求項6に記載の方法。

< 請求項 8 >

前記プロセスを追加のサイクルで繰り返すステップを有する、請求項7に記載の方法。

10

< 請求項 9 >

前記プロセスの繰り返しサイクルにおいて、複数の前記センサーおよびメモリバンクを一緒にプーリングするステップを有する、請求項8に記載の方法。

< 請求項 10 >

前記複数のセンサーおよびメモリバンクの最大プーリングを含む、請求項8に記載の方法。

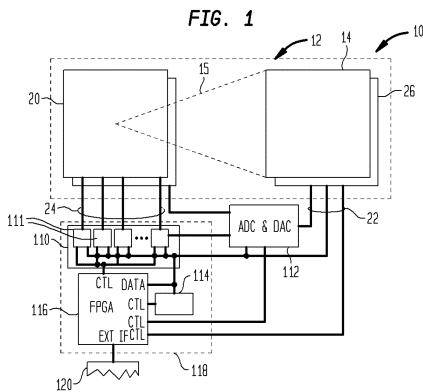
< 請求項 11 >

前記第1のセンサー・ディスプレイ位置における前記画素位置における光送信器素子で画素毎に、畳み込まれて加算されたデータのフレームを送信するステップを有する、請求項7に記載の方法。

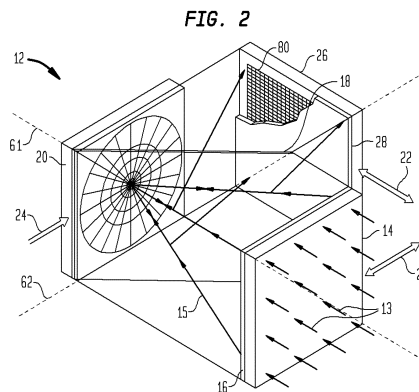
20

【 図面 】

【 図 1 】



【 図 2 】

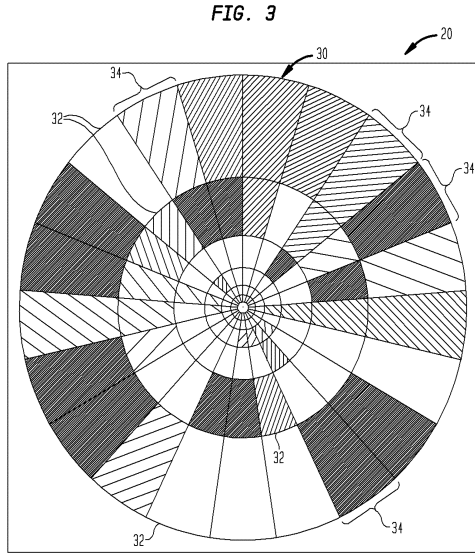


30

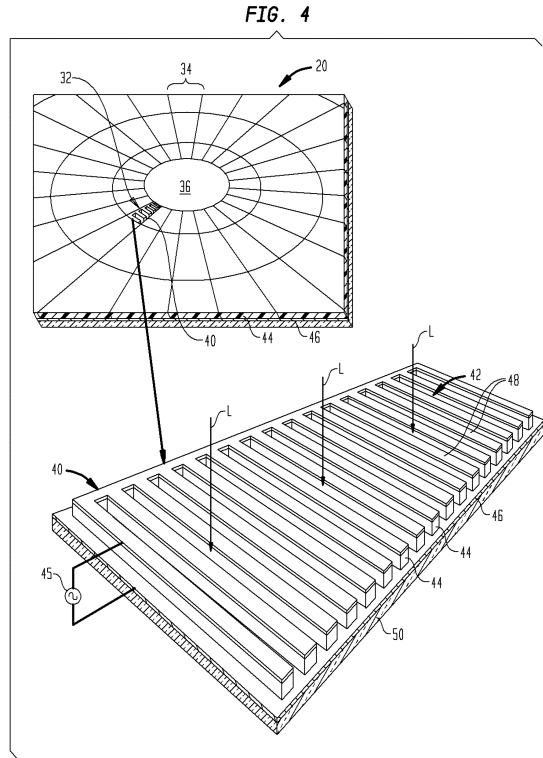
40

50

【 図 3 】



【 図 4 】



10

20

【 図 5 】

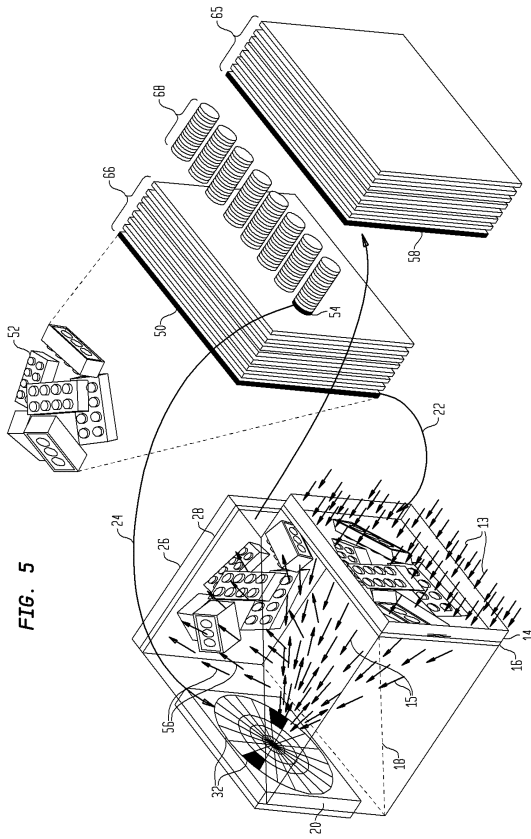
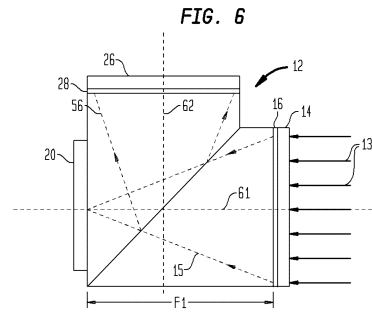


FIG. 5

【 図 6 】

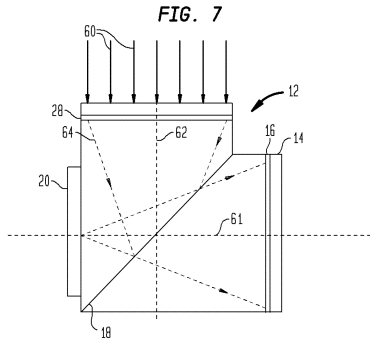


30

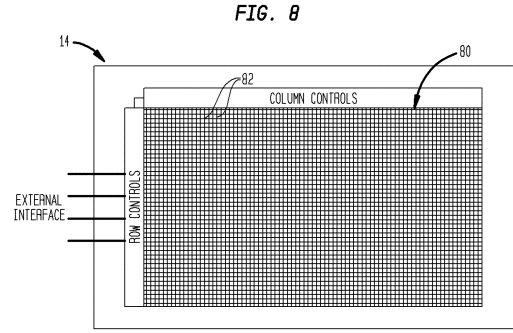
40

50

【 7 】

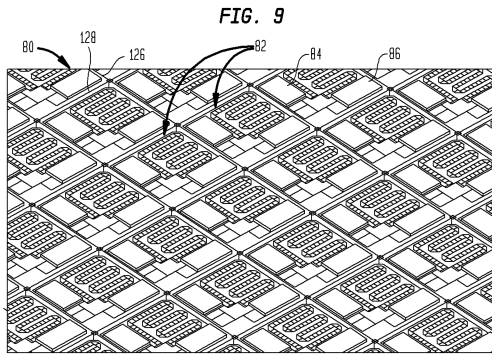


【 8 】

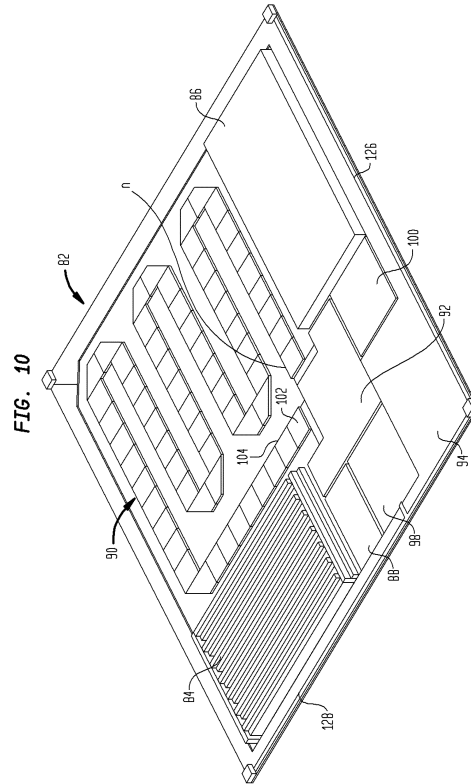


10

【 9 】



【 10 】



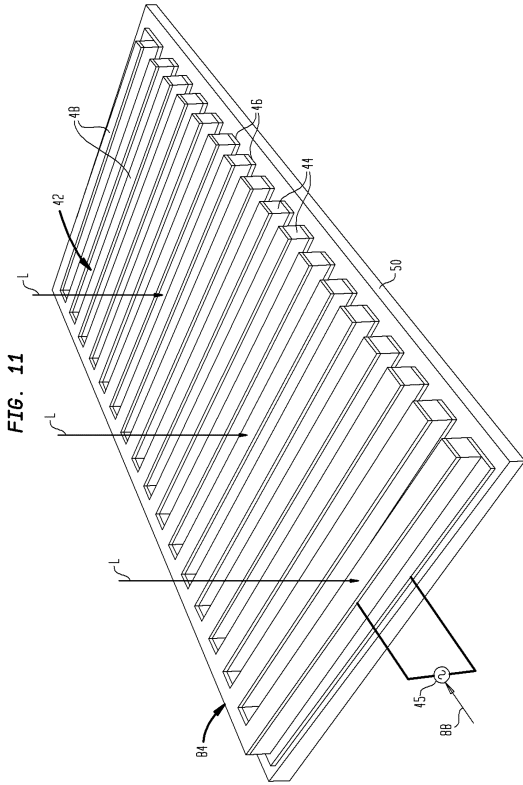
20

30

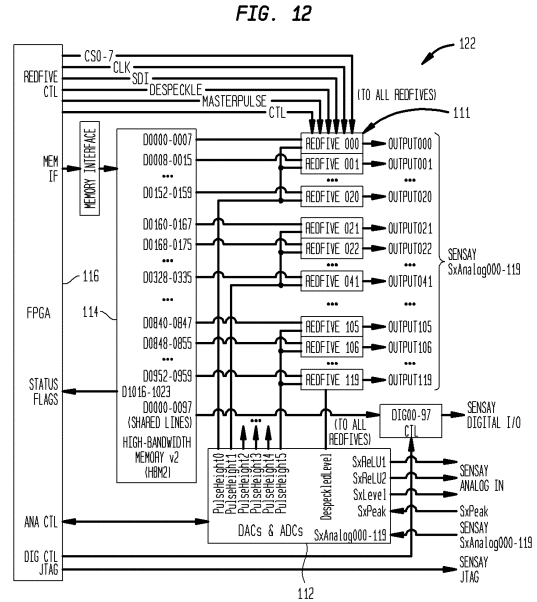
40

50

【 1 1 】



【 1 2 】

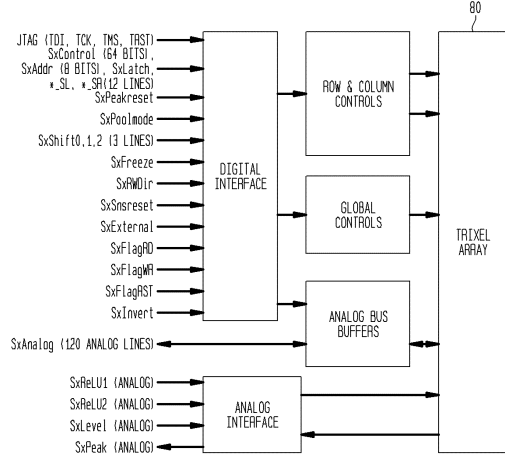


10

20

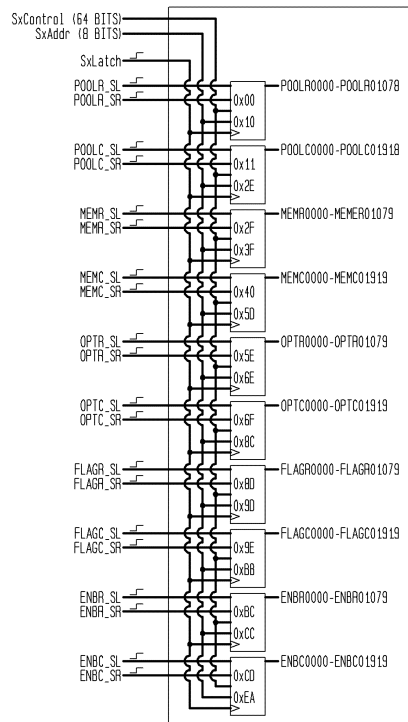
【 1 3 】

FIG. 13



【 1 4 】

FIG. 14

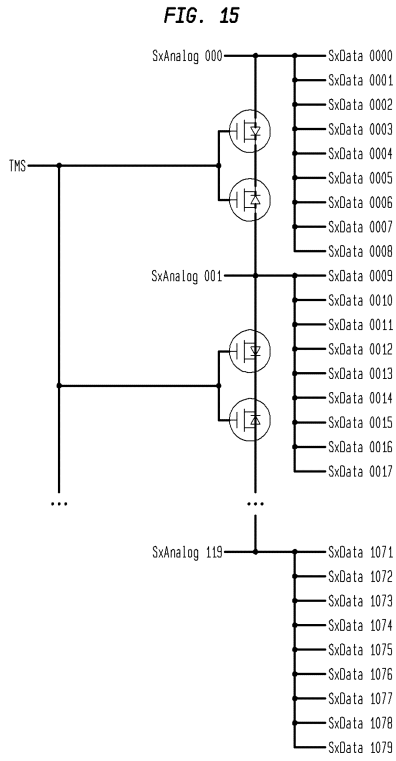


30

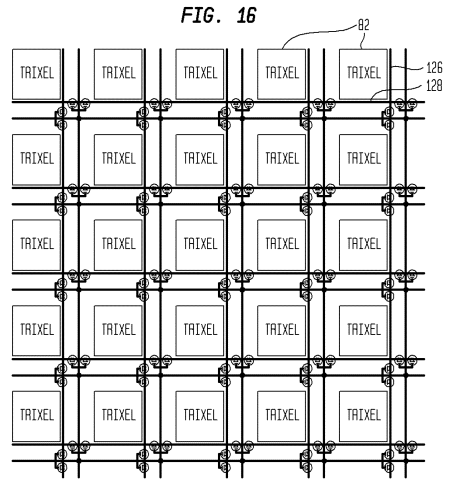
40

50

【 図 1 5 】



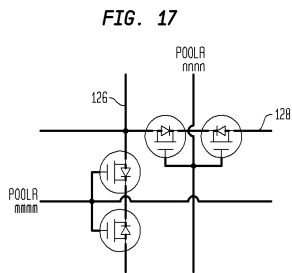
【 図 1 6 】



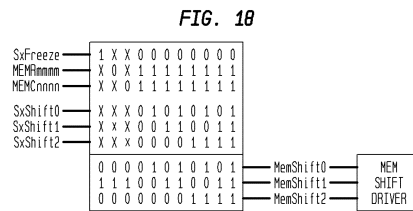
10

20

【 図 1 7 】



【 図 1 8 】

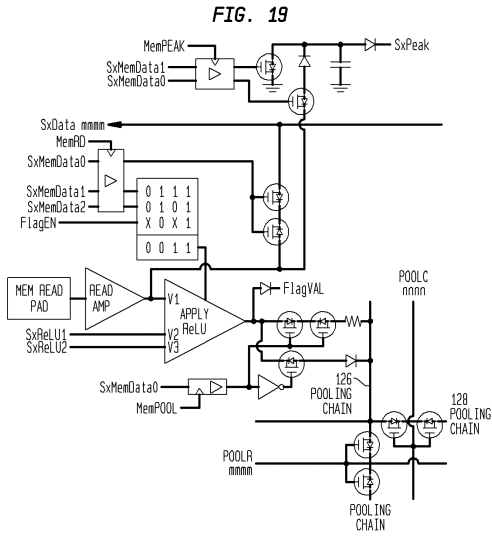


30

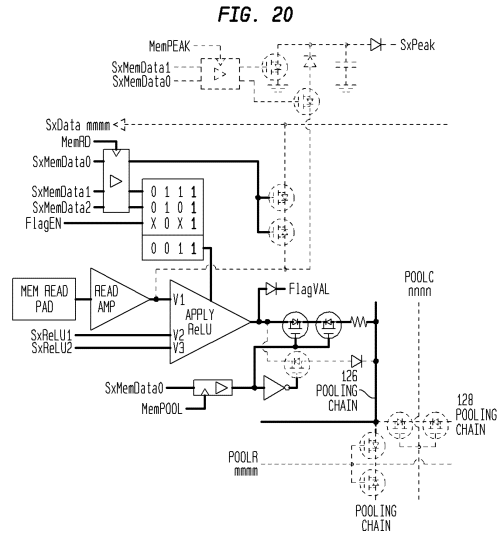
40

50

【 図 19 】

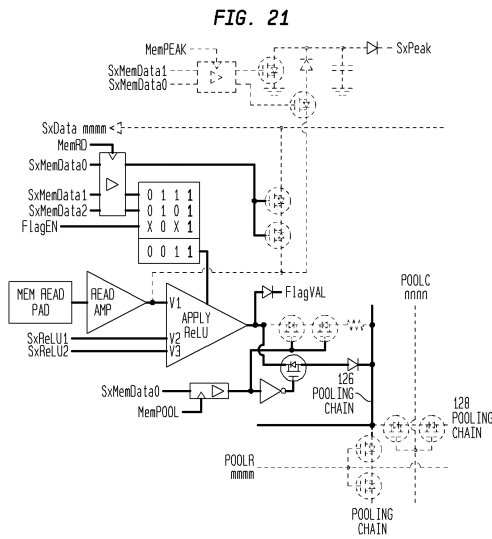


【 図 20 】

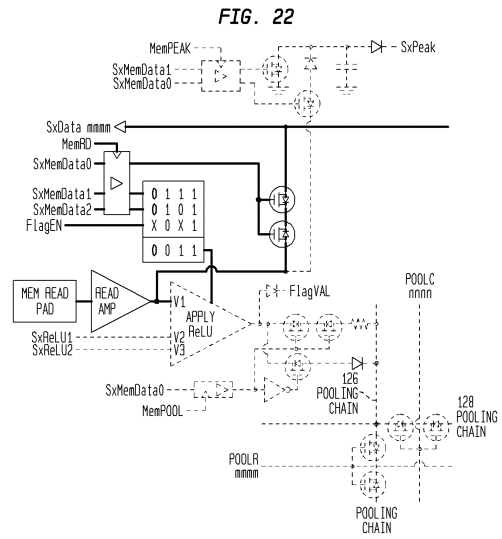


10

【 図 21 】



【 図 22 】



20

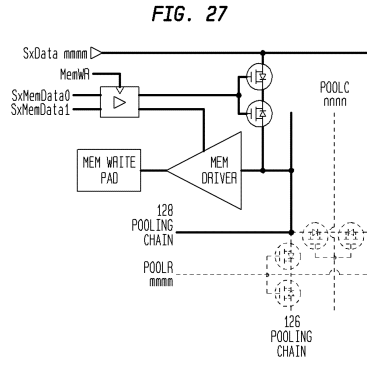
30

40

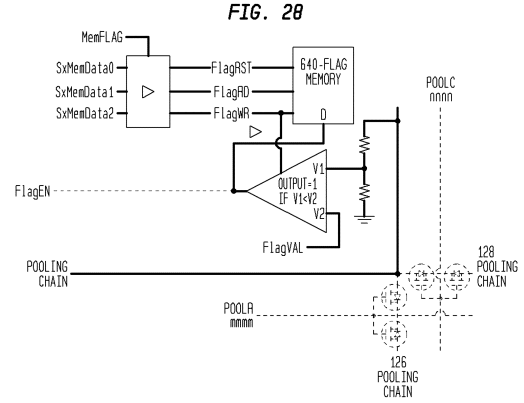
50



【 27 】

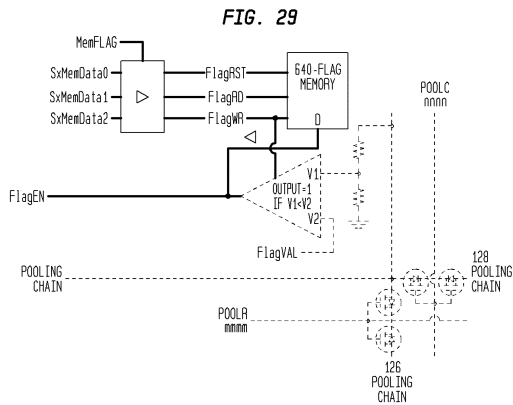


【 28 】

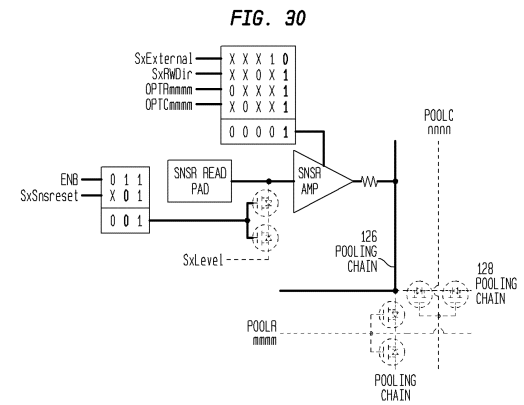


10

【 29 】

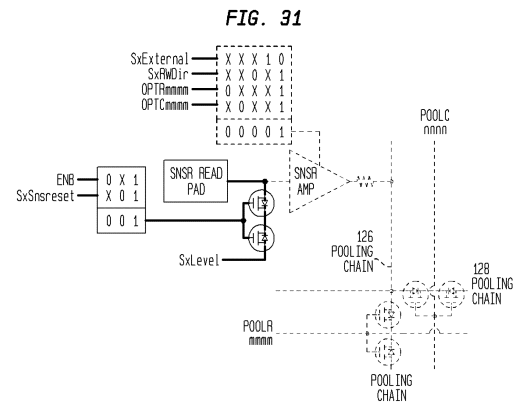


【 30 】

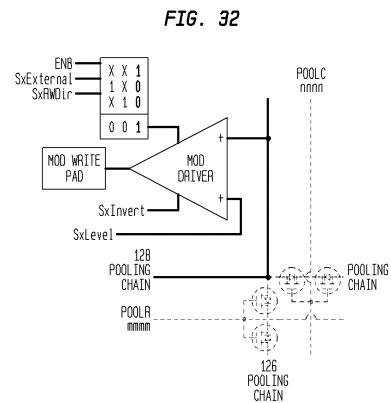


20

【 31 】



【 32 】



30

40

50

FIG. 33 A

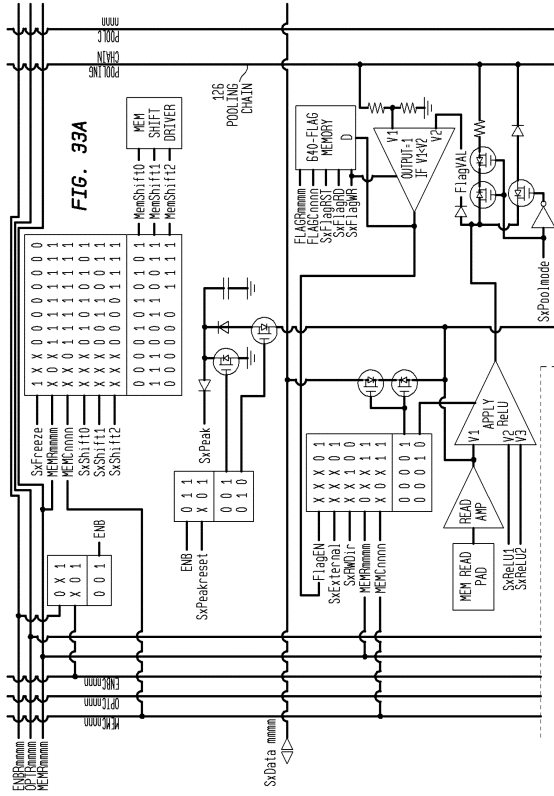


FIG. 33 B

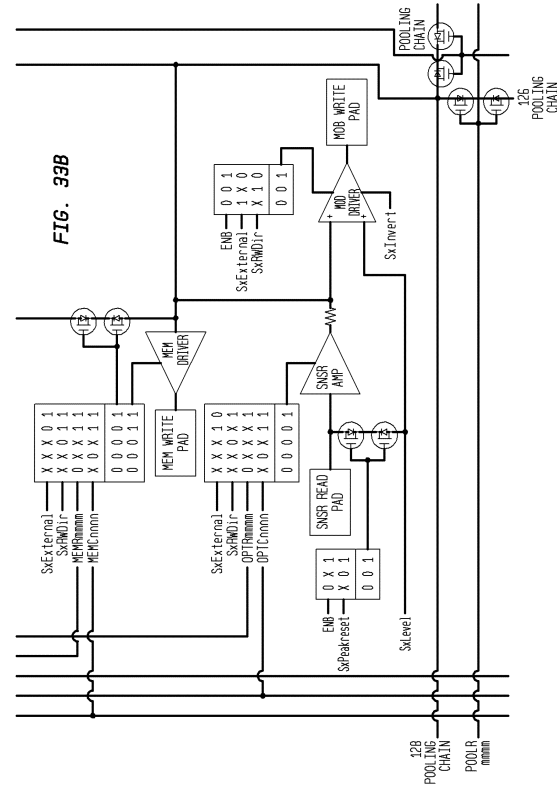


FIG. 34

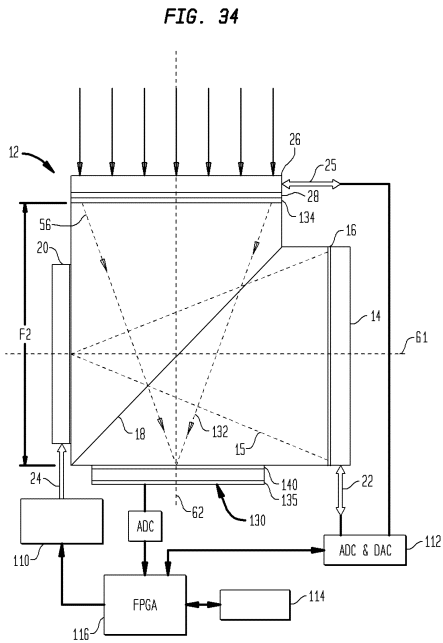
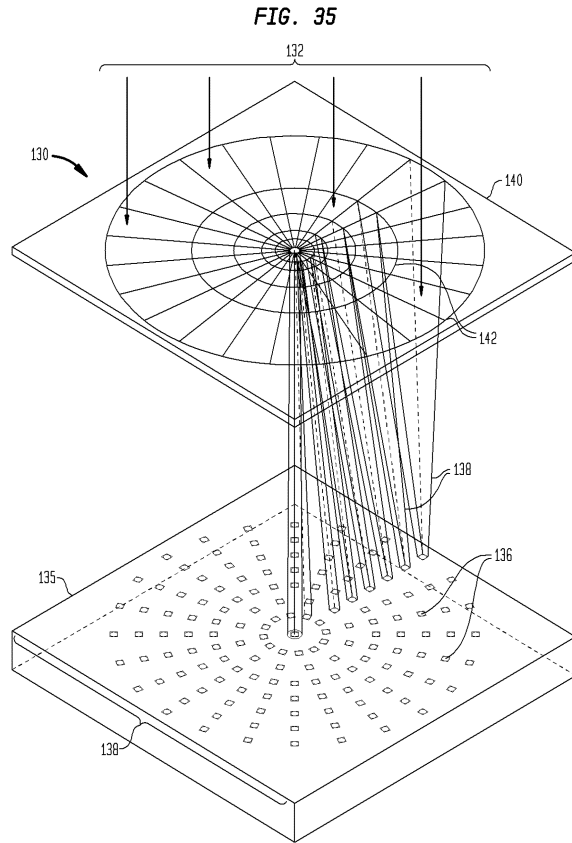


FIG. 35



10

20

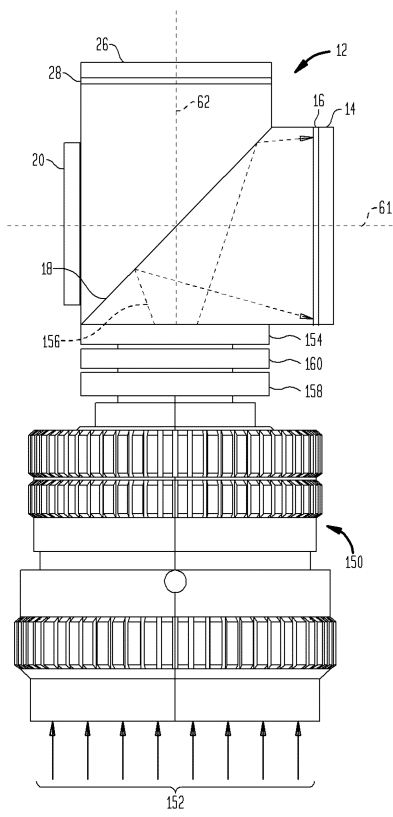
30

40

50

【 図 3 6 】

FIG. 36



10

20

30

40

50

---

フロントページの続き

(33)優先権主張国・地域又は機関

米国(US)

アメリカ合衆国 8 0 5 0 3 コロラド, ロングモント, 2 9 4 2 ボウ ライン プレイス

(72)発明者 バイアルド, ジョナサン シー

アメリカ合衆国 8 1 6 2 3 コロラド, カーボンデール, 6 4 1 ノース ブリッジ ドライブ

(72)発明者 ブルース, デービッド エー

アメリカ合衆国 8 0 5 0 3 コロラド, ニオット, 6 4 2 3 モナークパーク コート

審査官 渡辺 順哉

(56)参考文献 特開平09 - 258287 (JP, A)

国際公開第2012 / 127246 (WO, A1)

特表2011 - 501827 (JP, A)

特開平05 - 011303 (JP, A)

(58)調査した分野 (Int.Cl., DB名)

G 0 6 N 3 / 0 6

G 0 6 G 7 / 6 0