

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-5171
(P2016-5171A)

(43) 公開日 平成28年1月12日(2016.1.12)

(51) Int.Cl.			F I			テーマコード (参考)		
HO3M	1/56	(2006.01)	HO3M	1/56			5C024	
HO3M	1/16	(2006.01)	HO3M	1/16		A	5J022	
HO4N	5/378	(2011.01)	HO4N	5/335		780		

審査請求 未請求 請求項の数 17 O L (全 19 頁)

(21) 出願番号	特願2014-125206 (P2014-125206)	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成26年6月18日 (2014.6.18)	(74) 代理人	100094112 弁理士 岡部 譲
		(74) 代理人	100096943 弁理士 臼井 伸一
		(74) 代理人	100101498 弁理士 越智 隆夫
		(74) 代理人	100107401 弁理士 高橋 誠一郎
		(74) 代理人	100106183 弁理士 吉澤 弘司
		(74) 代理人	100128668 弁理士 齋藤 正巳

最終頁に続く

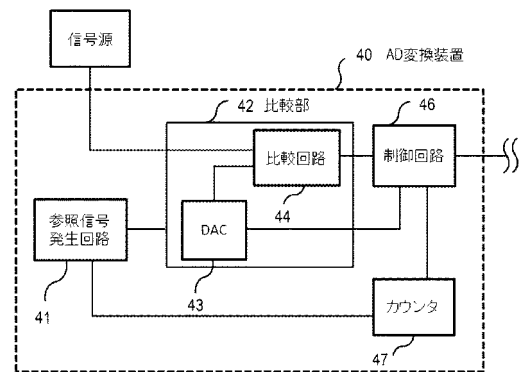
(54) 【発明の名称】 AD変換装置及び固体撮像装置

(57) 【要約】

【課題】高精度なAD変換を実現するAD変換装置を提供すること。

【解決手段】アナログ信号をデジタル信号に変換するAD変換装置であって、第1の参照信号及び第2の参照信号を出力する参照信号発生回路と、アナログ信号と第1の参照信号又は第2の参照信号との電圧を比較して比較結果に基づく信号を出力する比較回路と、比較回路から出力された、アナログ信号と第1の参照信号との比較結果に基づくデジタルデータを生成して出力する制御回路と、デジタルデータに基づいて生成される比較基準電圧を第2の参照信号に重畳させて比較回路に出力するデジタルアナログ変換器とを備えることを特徴とする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

アナログ信号をデジタル信号に変換する A D 変換装置であって、
第 1 の参照信号及び第 2 の参照信号を出力する参照信号発生回路と、
前記アナログ信号と前記第 1 の参照信号又は前記第 2 の参照信号との電圧を比較して比較結果に基づく信号を出力する比較回路と、
前記比較回路から出力された、前記アナログ信号と前記第 1 の参照信号との比較結果に基づくデジタルデータを生成して出力する制御回路と、
前記デジタルデータに基づいて生成される比較基準電圧を前記第 2 の参照信号に重畳させて前記比較回路に出力するデジタルアナログ変換器と
を備えることを特徴とする A D 変換装置。

10

【請求項 2】

経過時間をカウント値として計測するカウンタをさらに備え、
前記第 1 の参照信号及び前記第 2 の参照信号は時間の経過に伴い電圧が変化する信号であって、
前記制御回路は、前記比較回路に入力される前記アナログ信号と前記第 1 の参照信号との電圧の大小関係が反転するまでの時間を第 1 のカウント値として前記カウンタから取得して、前記第 1 のカウント値に基づく前記デジタルデータを前記デジタルアナログ変換器に出力し、
前記デジタルアナログ変換器は、前記デジタルデータに基づいて生成される前記比較基準電圧を前記第 2 の参照信号に重畳させて前記比較回路に出力し、
前記制御回路は、前記比較回路に入力される前記アナログ信号と前記比較基準電圧が重畳された前記第 2 の参照信号との電圧の大小関係が反転するまでの時間を第 2 のカウント値として前記カウンタから取得することを特徴とする請求項 1 に記載の A D 変換装置。

20

【請求項 3】

前記第 1 のカウント値に基づくデジタルデータを上位ビットとし、前記第 2 のカウント値に基づくデジタルデータを下位ビットとして組み合わせることによりデジタル信号への変換が行われることを特徴とする請求項 2 に記載の A D 変換装置。

【請求項 4】

前記比較回路は、
一方の入力端子に前記アナログ信号が入力され、
他方の入力端子に前記デジタルアナログ変換器の出力信号と前記参照信号発生回路の出力信号とのいずれかが選択的に入力されるよう構成され、
前記参照信号発生回路が選択され、前記参照信号発生回路から前記第 1 の参照信号が前記比較回路に入力されることにより、前記アナログ信号と前記第 1 の参照信号の比較が行われることを特徴とする請求項 2 に記載の A D 変換装置。

30

【請求項 5】

前記比較回路は、
一方の入力端子に前記アナログ信号が入力され、
他方の入力端子に前記デジタルアナログ変換器からの出力信号が入力されるよう構成され、
前記参照信号発生回路から出力される前記第 1 の参照信号が、前記デジタルアナログ変換器を介して前記比較回路に入力されることにより、前記アナログ信号と前記第 1 の参照信号の比較が行われることを特徴とする請求項 2 に記載の A D 変換装置。

40

【請求項 6】

前記比較回路は、
一方の入力端子に前記アナログ信号及び前記デジタルアナログ変換器の出力信号が入力され、
他方の入力端子と出力端子との間にスイッチが接続され、さらに前記他方の入力端子に

50

容量素子の一端が接続されるよう構成され、

前記容量素子の他端に前記第 1 の参照信号が入力されることにより、前記アナログ信号と前記第 1 の参照信号の比較が行われることを特徴とする請求項 2 に記載の A D 変換装置。

【請求項 7】

前記スイッチをオンにした状態で、前記アナログ信号を前記比較回路に入力して、前記容量素子に前記比較回路のオフセット電圧を保持し、

その後、前記スイッチをオフにした後に前記第 1 の参照信号が入力されることを特徴とする請求項 6 に記載の A D 変換装置。

【請求項 8】

前記制御回路は、前記第 1 のカウント値を少なくとも 1 ビット、シフトした値を上位ビットの値とすることを特徴とする請求項 3、4、5 及び 7 のいずれか 1 項に記載の A D 変換装置。

【請求項 9】

前記アナログ信号と前記第 1 の参照信号との電圧の比較を行う前に、前記アナログ信号を供給する信号源の基準信号と、前記第 2 の参照信号を比較して、基準信号をデジタル信号に変換することを特徴とする請求項 2 に記載の A D 変換装置。

【請求項 10】

前記基準信号と前記第 2 の参照信号の比較において、前記第 2 の参照信号にはオフセット電圧が付加されていることを特徴とする請求項 9 に記載の A D 変換装置。

【請求項 11】

前記第 1 の参照信号は前記第 2 の参照信号よりも電圧の時間変化率が大きいことを特徴とする請求項 2 に記載の A D 変換装置。

【請求項 12】

前記第 2 の参照信号は第 1 の参照信号を分圧することによって電圧値を変化させた信号であることを特徴とする請求項 2 に記載の A D 変換装置。

【請求項 13】

前記アナログ信号と前記第 1 の参照信号との電圧の比較を行う前に、前記デジタルアナログ変換器は、最上位ビットの値を 1 にして発生させた電圧を前記比較回路に入力して前記アナログ信号と比較させることにより、前記アナログ信号の最上位ビットの値を決定することを特徴とする請求項 5 に記載の A D 変換装置。

【請求項 14】

前記デジタルアナログ変換器は、バイナリウエイトの容量値が設定された複数の容量素子を有する容量型のデジタルアナログ変換器であることを特徴とする請求項 2 に記載の A D 変換装置。

【請求項 15】

前記デジタルアナログ変換器は、第 1 の抵抗値を有する抵抗素子と、第 1 の抵抗値の 2 倍の抵抗値を有する抵抗素子がラダー型に接続された R - 2 R ラダー型のデジタルアナログ変換器であることを特徴とする請求項 2 に記載の A D 変換装置。

【請求項 16】

請求項 1 乃至 15 のいずれか 1 項に記載の A D 変換装置を備えることを特徴とする固体撮像装置。

【請求項 17】

請求項 1 乃至 15 のいずれか 1 項に記載の A D 変換装置を備えることを特徴とする撮像システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、A D 変換装置及びそれを搭載した固体撮像装置に関する。

【背景技術】

10

20

30

40

50

【 0 0 0 2 】

A D変換装置の低消費電力化のための技術として、上位ビットを取得後に下位ビットを取得する2ステップA D変換手法がある(特許文献1)。特許文献1のA D変換装置は、画素信号と階段波状の参照信号とを比較し、比較器の出力電圧が反転するまでのカウント値を上位ビットとする。その後、スイッチを非導通にすることによりこの参照信号を遮断し、その時点の参照信号の電圧を第1の容量素子C1に保持する。次に、保持された電圧に、第2の容量素子C2を介して前述の参照信号よりもステップ幅が小さな参照信号を重畳させることで得られた電圧を比較器に入力する。この電圧を画素信号と比較して、比較器の出力電圧が反転するまでのカウント値を下位ビットとする。このようにして2ステップA D変換を実現する技術が特許文献1に開示されている。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 0 3 】

【 特許文献1 】 特開 2 0 0 2 - 2 3 2 2 9 1 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 4 】

特許文献1に記載されたA D変換装置においては、上位ビットを取得するための参照信号を供給する信号線と、下位ビットを取得するための参照信号を供給する信号線とをスイッチによって切り替える構成となっている。このスイッチを切り替える際に、第1の容量素子C1に保持された信号にスイッチの遮断ノイズが混入する可能性がある。第1の容量素子C1に保持された信号は上位ビットを取得する際の比較信号として用いられるので、遮断ノイズは変換精度を劣化させる要因となり得る。したがって、特許文献1に記載されたA D変換装置は変換精度が不十分である場合がある。

20

【 0 0 0 5 】

本発明は、上述した課題に鑑みてなされたものであって、高精度なA D変換を実現するA D変換装置を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 6 】

本発明の一態様に係るA D変換装置は、アナログ信号をデジタル信号に変換するA D変換装置であって、第1の参照信号及び第2の参照信号を出力する参照信号発生回路と、アナログ信号と第1の参照信号又は第2の参照信号との電圧を比較して比較結果に基づく信号を出力する比較回路と、比較回路から出力された、アナログ信号と第1の参照信号との比較結果に基づくデジタルデータを生成して出力する制御回路と、デジタルデータに基づいて生成される比較基準電圧を第2の参照信号に重畳させて比較回路に出力するデジタルアナログ変換器とを備えることを特徴とする。

30

【 発明の効果 】

【 0 0 0 7 】

本発明によれば、高精度なA D変換を実現するA D変換装置を提供することができる。

【 図面の簡単な説明 】

40

【 0 0 0 8 】

【 図1 】 第1実施形態のA D変換装置の構成を示す図である。

【 図2 】 第2実施形態のA D変換装置の構成を示す図である。

【 図3 】 第2実施形態に係る駆動タイミングを示す図である。

【 図4 】 第3実施形態のA D変換装置の構成を示す図である。

【 図5 】 第3実施形態に係る駆動タイミングを示す図である。

【 図6 】 第4実施形態のA D変換装置の構成を示す図である。

【 図7 】 第4実施形態に係る駆動タイミングを示す図である。

【 図8 】 第5実施形態に係る駆動タイミングを示す図である。

【 図9 】 第6実施形態のA D変換装置の構成を示す図である。

50

【図10】第7実施形態の固体撮像装置の構成を示す図である。

【図11】第8実施形態の撮像システムの構成を示す図である。

【発明を実施するための形態】

【0009】

図面を参照しつつ本発明の実施形態を説明する。各実施形態の図面において、同様な機能を有する要素には同一の符号を付し、重複した説明を省略することもある。

【0010】

(第1実施形態)

図1は、本発明の第1実施形態に係るAD変換装置40の構成を示す図である。第1実施形態のAD変換装置40は、光電変換素子などの信号源から入力されるアナログ信号をデジタル信号に変換する回路であり、参照信号発生回路41、比較部42、制御回路46及びカウンタ47を含む。

10

【0011】

参照信号発生回路41は、電圧が時間的に変化する参照信号を発生する。参照信号は入力されるアナログ信号の電圧との比較に用いられる信号であり、例えば時間に対して単調に電圧が増加又は減少するランプ信号などの信号を用いることができる。

【0012】

比較部42は、アナログ信号と参照信号を比較して比較結果に基づく信号を出力する回路であり、入力された信号電圧の大小関係を比較して、それに応じた電圧を出力する比較回路44とデジタルアナログ変換器43(以降、DACと呼ぶ)とを含む。比較回路44は、例えば、2つの入力端子と1つの出力端子を有し、一方の入力端子と他方の入力端子の電圧を比較してハイレベル又はローレベルの2値のいずれかの電圧信号を出力する、比較器を用いて構成可能である。

20

【0013】

カウンタ47は、参照信号の電圧変化が開始する時刻からの経過時間をカウントし、制御回路46に出力する。制御回路46は、カウンタ47から取得するカウント値に基づく制御信号を生成して比較部42に送信することにより、比較部42を制御する。

【0014】

AD変換装置40は、低分解能な変換を実行してデジタル信号の上位ビットを取得する第1のAD変換と、高分解能な変換を実行してデジタル信号の下位ビットを取得する第2のAD変換との2段階のAD変換を行う。すなわち、AD変換により得られるデジタルデータは低分解能な上位ビットと高分解能な下位ビットからなるデータである。

30

【0015】

AD変換装置40は、入力されるアナログ信号と参照信号発生回路41からの第1の参照信号との電圧を比較し、これらの大小関係を示す信号を制御回路46に出力する。制御回路46は、カウンタ47からカウント値を取得することにより、2つの信号の電圧の大小関係が反転するまでの時間を第1のカウント値として計測する。このようにして第1のAD変換が行われる。

【0016】

次に、制御回路46から第1のカウント値に基づく制御信号がDAC43に入力される。DAC43は、少なくとも1つのサブレンジに対応するDAC電圧を、上位ビットの電圧レベルを示す比較基準電圧として比較回路44に出力する。サブレンジは、ここでは、第1のAD変換における1LSB相当の電圧範囲をもつ。仮に第1のAD変換がnビットで行われる場合には、第1のAD変換において変換できるアナログ信号の大きさの範囲の $1/2^n$ が、1つのサブレンジの大きさである。この時点において、参照信号発生回路41は、第1の参照信号よりも電圧の時間変化率が小さい第2の参照信号を出力する。比較回路44は、DAC電圧に第2の参照信号を重畳した信号と、アナログ信号とを比較し、その大小関係を示す信号を制御回路46に出力する。制御回路46は、再びカウンタ47からカウント値を取得することにより、2つの信号電圧の大小関係が反転するまでの時間を第2のカウント値として計測する。このようにして第2のAD変換が行われる。

40

50

【0017】

A D変換装置40は、以上のようにしてアナログ信号に対し第1及び第2のA D変換を行うことにより、第1及び第2のカウント値に変換する。第1のカウント値を上位ビットのデータとし、第2のカウント値を下位ビットのデータとして組み合わせることにより、A D変換後のデジタル信号が取得される。

【0018】

D A C 4 3 は、例えば、複数の容量素子とスイッチを有する容量型、複数の抵抗とスイッチを有する抵抗型などの種々のデジタルアナログ変換の機能を有する回路により構成することができる。

【0019】

上述したように、本発明の第1実施形態に係るA D変換装置40は、入力されたアナログ信号と第2の参照信号との比較のために、比較基準電圧をD A C 4 3で発生させてA D変換を行う。

【0020】

本実施形態では、上位ビットに対応する比較基準電圧をD A C 4 3から供給しているため、スイッチ遮断ノイズは比較基準電圧に重畳しない。したがって、ノイズの影響が抑制され、精度の良いA D変換を実現することができる。

【0021】

(第2実施形態)

図2は、本発明の第2実施形態に係るA D変換装置40の構成を示す図である。本実施形態は、複数の容量素子とスイッチを有する容量型のD A C 4 3を用いたA D変換装置40であり、第1実施形態のD A C 4 3の構成をより具体化したものである。本実施形態の説明においてD A C 4 3に入力される参照信号をランプ信号R a m p _ Aとする。また、A D変換装置40は、入力されるアナログ信号電圧V i nを上位4ビット、下位8ビットのデジタルデータに変換する構成とするが、ビット数はこれに限定されず適宜変更可能である。なお、図2において、参照信号発生回路41及びカウンタ47については記載を省略している。

【0022】

比較回路44は非反転入力端子、反転入力端子及び出力端子を有する差動入力型の比較器である。非反転入力端子には信号源から容量素子C i 2を介してアナログ信号電圧V i nが入力され、反転入力端子にはD A C 電圧V d a cにランプ信号R a m p _ Aが重畳された入力電圧V c o mが入力される。

【0023】

D A C 4 3 は容量素子C 1 ~ C 6 及びスイッチS 1 ~ S 6 を有する容量型のデジタルアナログ変換器である。スイッチS 1 ~ S 5 は、一端が回路上の配線に常時接続され、他端は回路上の2接点のいずれかを選択的に接続できるように構成された単極双投スイッチである。スイッチS 6 はオン(接続)又はオフ(非接続)が選択可能な単極単投スイッチである。容量素子C 1 ~ C 6 の一端は接続点Hに共通接続され、他端はスイッチS 1 ~ S 6 の常時接続されている側にそれぞれ接続される。スイッチS 1 ~ S 5 の他端は端子Aと端子Bのどちらか一方に選択的に接続されるよう構成されている。スイッチS 6 の他端にはランプ信号R a m p _ Aが入力される。端子Aには基準電圧V r e f が、端子Bには基準電圧V r e f より小さい電圧である基準電圧V r e f _ L が、それぞれ参照信号発生回路41から供給される。容量素子C 1 ~ C 6 の接続点HがD A C 4 3 の出力端子となっており、その出力端子から出力されるD A C 電圧V d a c の範囲はV r e f からV r e f _ L の間の値となる。

【0024】

A D変換装置40は容量素子C i 1及び単極単投スイッチS 7 ~ S 10をさらに有する。スイッチS 7はD A C 4 3の出力端子と比較回路44の反転入力端子の間に接続される。スイッチS 9は端子Bと比較回路44の非反転入力端子の間に接続され、スイッチS 10は端子Bと比較回路44の反転入力端子の間に接続される。容量素子C i 1の一端は比

10

20

30

40

50

較回路 4 4 の反転入力端子に接続され、他端はスイッチ S 8 に接続される。

【 0 0 2 5 】

容量素子 C 1 ~ C 4 の容量値は順に、1 C、2 C、4 C、8 C であり、バイナリウェイトの容量値になっている。すなわち、各スイッチが端子 A に接続されている場合を「1」、端子 B に接続されている場合を「0」とすれば、これらの値を組み合わせると各位の値を表現した 2 進数により、合成容量値が表現できるように構成されている。容量素子 C 4 が最上位ビット (MSB: Most Significant Bit) に対応し、容量素子 C 1 が最下位ビット (LSB: Least Significant Bit) に対応する。例えば、スイッチ S 2 と S 3 が「1」でスイッチ S 1 と S 4 が「0」のとき、各スイッチのオンオフを表現する 2 進数は 0 1 1 0 (10 進数では 6) となる。これは合成容量値が 6 C であることに対応している。

10

【 0 0 2 6 】

このようにして、DAC 4 3 は各スイッチの接続端子を端子 A 又は端子 B のいずれかから選択して 4 ビット、すなわち、 $2^4 = 16$ 種類の容量値を選択可能である。よって、DAC 4 3 は入力されたデジタルデータに応じた 16 種類の DAC 電圧 V_{dac} を比較回路 4 4 へ入力することができる。

【 0 0 2 7 】

容量素子 C 5 は、アナログ信号電圧 V_{in} との比較が可能になるように DAC 電圧 V_{dac} にオフセット電圧を付加するために設けられている。容量素子 C 5 の容量値は、比較回路 4 4 にサプレジの半分のオフセット電圧を付加するため、 $C/2$ とする。

20

【 0 0 2 8 】

次に図 3 のタイミング図を参照して本実施形態の AD 変換動作を説明する。図 3 には、スイッチ S 1 から S 10 を駆動する制御信号の動作タイミングと、ランプ信号 $Ramp_A$ と、入力電圧 V_{com} と、出力電圧 V_{cmp} と、ラッチ信号 $Latch$ の変化が示されている。出力電圧 V_{cmp} がハイレベルからローレベルに変化すると、制御回路 4 6 はラッチ信号 $Latch$ を発生する。これによりその時点のカウント値が制御回路 4 6 の後段のメモリにデジタルデータとして取り込まれる。一点鎖線により入力電圧 V_{com} と重ねて描画されている基準信号 N 及び有効信号 S は信号源から出力されるアナログ信号電圧 V_{in} の変化を示している。

【 0 0 2 9 】

期間 T 10 は基準信号 N (例えば、信号源のオフセット電圧など) の供給期間であり、期間 T 20 は基準信号 N に重畳された有効信号 S の供給期間である。

30

【 0 0 3 0 】

期間 T 10 内の期間 T 1 は AD 変換装置 4 0 の初期化期間であり、期間 T 2 は基準信号 N の AD 変換期間 (N AD 変換期間) である。期間 T 20 内の期間 T 3 は有効信号 S を AD 変換する第 1 の AD 変換期間、時刻 t_6 は DAC 電圧 V_{dac} が比較回路 4 4 の反転入力端子に入力される時刻、期間 T 4 は DAC 電圧 V_{dac} と有効信号 S の電圧差を AD 変換する第 2 の AD 変換期間である。

【 0 0 3 1 】

ランプ信号 $Ramp_A$ は時間に対し電圧の傾きが正である 3 つの電圧傾斜部 (ランプ) を有する波形である。期間 T 2 における電圧変化をランプ N、期間 T 3 における電圧変化をランプ SH、期間 T 4 における電圧変化をランプ SL とする。またこのときの出力電圧 V_{com} の変化をそれぞれランプ n、ランプ sh、ランプ sl とする。

40

【 0 0 3 2 】

スイッチ S 8 がオン、スイッチ S 6、S 7 がオフのとき、スイッチ S 8 に接続された容量素子 C_{i1} にランプ SH が入力される。このとき、比較回路 4 4 の反転入力端子に供給される電圧の変化がランプ sh である。ランプ sh は第 1 の AD 変換時に参照信号として用いられる。ランプ SH の電圧変化期間における最大値と最小値の幅 (以下振幅と呼ぶ) は、アナログ信号電圧 V_{in} の AD 変換のダイナミックレンジに相当する基準電圧 V_{ref} と基準電圧 V_{ref_L} の電圧差とほぼ同じ値に設定される。

50

【 0 0 3 3 】

スイッチ S 8 がオフ、スイッチ S 6、S 7 がオンのとき、容量素子 C 6 にランプ N 又はランプ S L が入力される。このとき、比較回路 4 4 の反転入力端子に供給される電圧の変化がランプ n 又はランプ s l である。ランプ n とランプ s l は、容量素子 C 6 が容量素子 C 1 ~ C 5 の合成容量により比率 $(C 6 / (C 1 + C 2 + C 3 + C 4 + C 5 + C 6))$ で分圧された振幅になる。容量素子 C 6 の容量値を 1 C とすると、ランプ n とランプ s l の振幅は、それぞれランプ N とランプ S L の約 1 / 1 6 になり、サブレンジの振幅とほぼ同じになる。ランプ s l の振幅は理想的にはサブレンジ幅と一致していれば良い。しかしながら、振幅とサブレンジ幅が完全に一致している場合、D A C 電圧の設定精度及びサブレンジ間の境界領域で誤差が発生する可能性がある。そのため、本実施形態では第 2 の A D 変換期間を長くして振幅に余裕をもたせることにより、サブレンジ幅をカバーする範囲で A D 変換が行われるように設定している。

10

【 0 0 3 4 】

スイッチ S 9、S 1 0 は比較部 4 2 の初期化のためのスイッチである。スイッチ S 9、S 1 0 がオンになると、比較回路の各入力端子と D A C 4 3 がいずれも端子 B と接続され、基準電圧 V r e f _ L にリセットされる。

【 0 0 3 5 】

ランプ信号 R a m p _ A と A D 変換期間のカウント周波数について述べる。N - A D 期間 T 2 と第 2 の A D 変換期間 T 4 において、ランプ n とランプ s l の時間変化率 (傾き) は同じであり、またそれぞれのカウンタクロック C L K は同一周波数とする。クロック周波数を同一にすることで、A D 変換で得られたデータは同一の分解能として取り扱うことができる。第 1 の A D 変換期間 T 3 のランプ s h の傾きを第 2 の A D 変換期間 T 4 のランプ s l の傾きの 4 倍とし、第 1 の A D 変換期間 T 3 のカウンタクロック C L K 2 は第 2 の A D 変換のカウンタクロック C L K の 4 分の 1 の周波数としている。なお、ランプ s h の傾きを大きくし、同程度の比率でカウンタクロック C L K 2 を高周波化することにより、第 1 の A D 変換期間 T 3 における A D 変換の速度を高速化することもできる。

20

【 0 0 3 6 】

次に各動作タイミングにおける各スイッチの動作を説明する。タイミング図においてスイッチ S 1 ~ S 5 は制御信号電圧がローレベルのときに端子 B に接続され、ハイレベルのときに端子 A に接続されるものとする。またスイッチ S 6 ~ S 1 0 は制御信号電圧がハイレベルのときにオン、ローレベルのときにオフになるものとする。

30

【 0 0 3 7 】

期間 T 1 の初期において、スイッチ S 6 ~ S 1 0 はオンであり、D A C 4 3 のスイッチ S 1 ~ S 4 は端子 B に、スイッチ S 5 は端子 A に接続される。このとき、比較回路 4 4 の非反転入力端子には基準電圧 V r e f _ L が入力される。これにより、比較回路 4 4 の入力端子は基準電圧 V r e f _ L にクランプされる。また、容量素子 C 5 には電圧 $(V r e f - V r e f _ L)$ が印加され、電荷が蓄積される。

【 0 0 3 8 】

以降、説明を簡便にするために基準電圧 V r e f _ L、アナログ信号電圧 V i n の基準信号 N 及び比較器のオフセット電圧をいずれも 0 V とする。また、ランプ信号 s h の振幅を 1 V とする。上位ビットのビット数は 4 ビットなので、サブレンジは 1 V の 1 / 1 6 である 6 2 . 5 m V である。

40

【 0 0 3 9 】

その後、スイッチ S 8 ~ S 1 0 がオフになり、これに続いてスイッチ S 5 が端子 A から端子 B に切り替わる。容量素子 C 5 に蓄積された電荷により、入力電圧 V c o m にサブレンジの 1 / 2 の大きさに相当する負のオフセット電圧 $(- 3 1 . 2 5 m V)$ が付加され、N A D 変換のための A D 変換装置 4 0 の初期化が完了する。

【 0 0 4 0 】

期間 T 2 の時刻 t 1 において、ランプ n の変化が開始する。時刻 t 2 において、ランプ n の電圧が基準信号 N の電圧 (0 V) を超えて比較結果が反転すると、ラッチ信号 L a t

50

c h のパルスにより、t 1 から t 2 まで期間にカウントされたカウント値が制御回路 4 6 の後段のメモリに保存される。このカウント値が基準信号 N の下位ビット用のデジタルデータとなる。

【0041】

時刻 t 3 において、信号源から有効信号 S が比較回路 4 4 に入力される。以下、有効信号 S の信号電圧が 420 mV であるものとする。時刻 t 4 において、有効信号 S とランプ s h を比較処理する第 1 の A D 変換が開始される。ランプ s h が 420 mV を超えた時刻 t 5 において、比較回路 4 4 の出力電圧 V c m p のレベルが反転し、比較回路 4 4 はラッチ信号 L a t c h のパルスを発生する。

【0042】

上述のように第 1 の A D 変換で取得される上位ビットのデータは 4 ビットなので、アナログ信号は 2 進数 0000 ~ 1111 に変換される。これらの 2 進数にはアナログ電圧値が 62.5 mV 刻みで割り振られる。例えば、2 進数 0110 (10 進数では 6 に相当) は、 $62.5 \text{ mV} \times 6 = 375 \text{ mV}$ に対応し、2 進数 0111 (10 進数では 7 に相当) は、 $62.5 \text{ mV} \times 7 = 437.5 \text{ mV}$ に対応する。有効信号 S の信号電圧は 420 mV なので、出力電圧 V c m p のレベルが反転する時刻 t 5 におけるカウント値 (第 1 のカウント値) は 0111 (437.5 mV に相当) である。

【0043】

その後、第 1 のカウント値は 1 L S B 分ビットシフトされてから、上位ビットデータとして制御回路 4 6 の次段のメモリに保持される。すなわち、上位ビットデータの値は 0111 を 1 ビットシフトした 0110 となる。第 1 の A D 変換期間 T 3 の終了後、スイッチ S 8 がオフになり、続いてスイッチ S 7 がオンになり、その後時刻 t 6 において、スイッチ S 6 もオンになる。これにより、D A C 電圧が比較回路 4 4 に入力され、第 2 の A D 変換を行う準備が完了する。同時刻において、制御回路 4 6 は、上位ビットデータ 0110 に対応するように D A C 4 3 の各スイッチ S 4 ~ S 1 を制御する。上述のように各スイッチ S 4 ~ S 1 が上位ビットデータの各位の値にそれぞれ対応しているので、本実施形態の場合、スイッチ S 1、S 4 がオフ、スイッチ S 2、S 3 がオンになる。この結果、D A C 4 3 の出力である D A C 電圧は 375 mV になる。

【0044】

時刻 t 7 において、ランプ s l が D A C 電圧に重畳され、有効信号 S の第 2 の A D 変換が開始される。これにより、上位ビットデータ 0110 に対応する 375 mV と、0111 に対応する 437.5 mV との間の 1 サブレンジでの高精度な A D 変換が行われる。その後時刻 t 8 で比較回路 4 4 の出力電圧 V c m p のレベルが反転すると、時刻 t 8 の時点でのカウント値 (第 2 のカウント値) が 8 ビットの下位ビットデータとして同様に保持される。

【0045】

その後、第 1 の A D 変換で得られた上位ビットデータ 0110 と第 2 の A D 変換で得られた下位 8 ビットのデータを合成すると 12 ビットの A D 変換データが得られる。この 12 ビットの有効信号 S のデータと下位ビットである基準信号 N のデータとの差分を取得する処理を行うことで、信号源のノイズ、比較回路のオフセット電圧等の基準信号 N の影響を除去したデジタルデータが取得できる。

【0046】

カウンタ信号を 1 クロックずらしてカウントすることにより、第 1 のカウント値をシフトする処理を省略して、出力電圧 V c m p のレベルが反転した時点のカウント値を直接 D A C 4 3 に入力しても良い。

【0047】

本実施形態の A D 変換装置 4 0 は固体撮像装置の画素部の列ごとに備えられる信号読み出し回路 (列回路) に適用することができる。列回路の列数は固体撮像装置の画素部の水平方向の画素数によって決定され、例えば数千の列数である。このように列数が多い場合、カウンタ信号の遅延又は比較回路 4 4 の反転タイミングのバラツキが生じる可能性があ

10

20

30

40

50

る。この問題が生じうる場合、DAC43への入力データをサブレンジ2つ分シフトして、さらにAD変換期間を長くすることにより、2つのサブレンジ幅による第2のAD変換を行っても良い。あるいは、DACのキャリブレーション電圧に負のオフセット電圧を付加することで第2のAD変換の変換レンジをシフトしても良い。

【0048】

本実施形態では、第1のAD変換で得られた電圧を容量型のDAC43を用いて第2のAD変換時に重畳させるように構成している。したがって、AD変換の参照信号を切り替える際のスイッチの遮断ノイズが保持容量に保持されるというメカニズムによる精度劣化は抑制されている。よって、本実施形態のAD変換装置40によれば、高精度なAD変換が実現される。また、第2のAD変換範囲を一つのサブレンジ幅より広く設定した場合には、サブレンジ境界がAD変換精度に与える影響を低減する効果も得られる。

10

【0049】

本実施形態では参照信号としてランプ信号Ramp_Aを例示したが、電圧が階段状に変化する階段波を参照信号として用いてもよい。他の実施形態においても同様である。

【0050】

(第3実施形態)

図4は、本発明の第3実施形態に係るAD変換装置40の構成を示す図であり、図5は第3実施形態に係るAD変換装置40の動作タイミング図である。本実施形態は第2実施形態に対して、第1のAD変換に用いられるスイッチ及び容量素子の構成と動作タイミングを変更したことにより、ランプ信号の生成方法が異なっている。より具体的には、第1のAD変換において、第2実施形態では容量素子Ci1を介してランプ信号を入力しているが、本実施形態ではDAC43の全体の合成容量を介してランプ信号を入力する点が差異点である。他の動作は同じであるので、重複する部分の説明は省略する。

20

【0051】

第3実施形態に係るAD変換装置40は、第2実施形態に対し、スイッチS6、S7、S8及び容量素子Ci1を備えておらず、スイッチS11を追加した構成となっている。スイッチS11は、ランプ信号Ramp_Aを供給する配線と、基準信号Vref_Lを供給する配線とのどちらにDAC43の入力端子を接続するかを選択する単極双投スイッチである。スイッチS11は、第1のAD変換期間において、ランプshをDAC43の端子Bに入力することにより、比較回路44に供給するために用いられる。なお、DAC43の入力である端子Bは、スイッチS11の制御信号がハイレベルのときに端子Cに接続され、ローレベルのときに端子Dに接続されるものとする。

30

【0052】

時刻t31以前の期間において、スイッチS11は端子Cに接続されており、基準電圧Vref_LがDAC43の端子Bに供給される。このときの回路は第2実施形態と同様である。よって、期間T2におけるN-AD変換は第2実施形態と同様にして行われる。

【0053】

時刻t31において、S11の接続が端子Cから端子Dに切り替わる。これにより、各容量素子C1~C5は全て端子Dに接続され、DAC43にはランプ信号Ramp_Aが入力される。時刻t4において、ランプ信号Ramp_Aの電圧の変化(ランプSH)が開始されると、ランプSHが各容量素子C1~C5を介して、比較回路44の反転入力端子に入力される。これにより、第1のAD変換が行われる。第1のAD変換が完了した後、スイッチS11は端子C、すなわち基準電圧Vref_Lに再び接続される。これ以降の動作は第2実施形態と同様である。

40

【0054】

本実施形態では、第2実施形態と同様の効果が得られるとともに、第2実施形態のスイッチS7、S8及び容量素子Ci1を省略することができるので、AD変換装置40を小型化することができる。また、DAC43と比較回路44の信号経路にはスイッチS7を有しないので、スイッチのオン、オフを切り替えることに起因するスイッチノイズの影響が抑制される。

50

【0055】

(第4実施形態)

図6は、本発明の第4実施形態に係るAD変換装置40の構成を示す図であり、図7は第4実施形態に係るAD変換装置40の動作タイミングを示す図である。本実施形態のAD変換装置40は容量素子Coff及びスイッチSopを第2実施形態にさらに付加している。一方、第2実施形態の容量素子Ci1及びスイッチS7~S10は本実施形態のAD変換装置40には備えられていない。

【0056】

ランプ信号Ramp__Aは容量素子Coffを介して比較回路44の反転入力端子に入力される。スイッチSopは単極単投スイッチであり、比較回路44の反転入力端子と出力端子の間に接続される。ランプ信号Ramp__Bは容量素子C6を介して比較回路44の非反転入力端子に入力される。アナログ信号電圧Vinは容量素子Ci2を介してDAC43の接続点Hに入力され、DAC43の出力端子から比較回路44の非反転入力端子に入力される。なお、ランプ信号Ramp__Aとランプ信号Ramp__Bの電圧傾斜部の傾きは符号が異なっている。本実施形態では、ランプ信号Ramp__Aは時間に対し単調増加するランプSHを有し、ランプ信号Ramp__Bは時間に対し単調減少するランプNLを有するものとする。

【0057】

前述の第2及び第3実施形態においては、アナログ信号電圧Vinが容量素子Ci2を介して比較回路44の非反転入力端子に入力され、DAC電圧が比較回路44の反転入力端子に入力される。これに対し、本実施形態では比較回路44の非反転入力端子にアナログ信号電圧VinとDAC電圧がともに入力される点が第2及び第3実施形態との差異点である。また、アナログ信号源から出力される基準信号N(以下、この電圧をVnとする。)と比較回路44のオフセット電圧を反転入力端子に接続された容量素子Coffに保持できるように構成されている。本実施形態の説明では、第1のAD変換のためのランプSHは反転入力端子に接続された容量素子Coffの一端から入力しているが、第2及び第3実施形態と同様に比較回路44の入力端子から入力するように変形しても良い。

【0058】

図7を参照して本実施形態の動作タイミングを説明する。AD変換装置40の初期化期間T1の初期において、比較回路44のスイッチSopはオンである。このとき、比較回路44の反転入力端子と出力端子は短絡され、比較回路44はボルテージフォロワ回路を構成する。このとき、比較回路44の非反転入力端子にはアナログ信号源の基準電圧Nが入力されているため、容量素子Coffには、比較回路44のオフセット電圧に基準電圧Nが重畳された電圧Vdarkが入力される。その後、スイッチSopがオフになり、容量素子Coffに電圧Vdarkが保持される。また、このときDAC回路43の端子Aは基準電圧Vref__Lより高電圧である基準電圧Vrefに接続されており、比較回路の入力電圧Vcomはアナログ信号の基準電圧Vnである。期間T1の終了時点において、スイッチS5が端子Bから端子Aに切り替わる。これにより、入力電圧Vcomの電圧は、容量素子C5(容量値C/2)を介して入力される基準電圧Vrefにより上昇する。

【0059】

時刻t2において、ランプnが入力電圧Vcomに重畳され、N-AD変換が開始される。比較回路の反転入力端子には容量素子Coffにより電圧Vdarkが保持されているので、N-AD変換は必須ではなく省略することも可能である。しかしながら、比較回路44の遅延及び特性変動による誤差が生じうるため、本実施形態のようにN-AD変換を行うことが好ましい。

【0060】

時刻t3において、アナログ信号の有効信号Sが比較回路44に入力される。そのときの入力電圧Vcomは420mVとする。時刻t4において、第1のAD変換の比較信号であるランプSHが変化を開始し、時刻t5において、比較回路44の出力電圧Vcmp

のレベルが反転する。この時点でのカウント値である2進数のデータは0111(10進数では7)であり、この2進数に対応する電圧値は $62.5\text{ mV} \times 7 = 437.5\text{ mV}$ である。時刻 t_6 に、2進数0111を1LSB分ビットシフトした2進数0110がDAC43に入力される。

【0061】

本実施形態では第1の実施形態とは逆に、各スイッチが端子Aに接続されている場合を「0」、端子Bに接続されている場合を「1」とした2進数により、合成容量値が表現されているものとする。DAC43にデータ0110が入力されると、スイッチS2、S3の接続先が端子Aから端子Bに切り替わる。これにより、容量素子C2、C3に入力される電圧は V_{ref} から V_{ref_L} に変化する。DAC回路43の出力電圧は2進数0110(10進数では6)に対応した電圧値は $62.5\text{ mV} \times 6 = 375\text{ mV}$ であることから、電位は 420 mV から 375 mV だけ低下する。したがって、比較回路44の入力電圧 V_{com} は $V_n + 45\text{ mV}$ となる。

10

【0062】

時刻 t_7 においてランプs1の電圧変動が開始し、期間T4において第2のAD変換が行われる。時刻 t_8 において比較回路44の出力電圧 V_{cmp} のレベルは反転し、その時のカウント値が下位の8ビットとして比較回路44の後段のメモリに保持される。

【0063】

第1のAD変換で得られた上位ビットデータ0110と第2のAD変換で得られた下位8ビットのデータを合成すると12ビットのAD変換データが得られる。この12ビットの有効信号Sのデータと下位ビットである基準信号Nのデータとの差分を取得する処理を行うことで、オフセット電圧を除去したデジタルデータが取得できる。

20

【0064】

本実施形態では、アナログ信号の基準信号電圧 V_n と比較回路44のオフセット電圧とを容量素子Coffに保持し、この電圧を基準にAD変換を行っているため、期間T1後、比較回路の入力電圧 V_{com} に重畳するオフセット電圧が小さくなる。そのため、第2実施形態及び第3実施形態と比較してランプnの期間が短縮される。

【0065】

(第5実施形態)

図8は、本発明の第5実施形態に係る動作タイミングを示す図である。本実施形態は第3実施形態と同様の回路構成においてスイッチS4の動作が異なっている。第3実施形態では、スイッチS4が端子A又は端子Bに切り替わることにより、容量素子C4に基準電圧 V_{ref} 又は基準電圧 V_{ref_L} のいずれか一方が入力されるように構成されている。これに対し、本実施形態ではスイッチS4が端子A、端子Bへの接続に加えて、OFF状態を選択できるように構成される。

30

【0066】

時刻 t_a 以前の期間において、第3実施形態の場合と同様にスイッチS4は端子Bに接続される。時刻 t_a において、スイッチS4が端子Aに接続される。この動作に対応する2進数は1000(10進数では8)であるため、出力電圧は $62.5\text{ mV} \times 8 = 500\text{ mV}$ となる。よって、DAC43の出力電圧 V_{dac} 、すなわち、比較回路44の反転入力端子に入力される入力電圧 V_{com} は 500 mV に上昇する。この入力電圧 V_{com} と有効信号Sとの比較処理が行われる。

40

【0067】

入力電圧 V_{com} と有効信号Sの電圧の比較により、有効信号Sの電圧が 500 mV 以上であった場合、有効信号SのMSBとしてデータ値「1」が取得され、時刻 t_b においてスイッチS4がOFFに切り替わる。時刻 $t_b \sim t_e$ までの期間において入力電圧 V_{com} は容量素子C1~C3、C5、C6により 500 mV に保持され、第1のAD変換期間T3においてこの 500 mV の電圧にランプshが重畳された信号と有効信号Sとの比較処理が行われる。時刻 t_6 以降の動作は第3実施形態の図5に示す動作タイミングと同様であるため説明を省略する。なお、図8において、この場合の時刻 t_b 以降のスイッチ

50

S 4 の動作タイミングと入力電圧 V_{com} の変化は破線で示されている。

【0068】

入力電圧 V_{com} と有効信号 S の電圧の比較により、有効信号 S の電圧が 500 mV 未満であった場合、有効信号 S の MSB としてデータ値「0」が取得され、時刻 t_b においてスイッチ S 4 が端子 B に再び接続される。この結果、入力電圧 V_{com} は基準電圧 V_{ref_L} に降下する。第 1 の AD 変換期間 T 3 にランプ s_h と有効信号 S との比較処理が行われる。時刻 t_6 以降の動作は第 3 実施形態の図 5 の動作タイミングと同様であるため説明を省略する。なお、図 8 において、この場合の時刻 t_b 以降のスイッチ S 4 の動作タイミングと入力電圧 V_{com} の変化は実線で示されている。

【0069】

以上のように、本実施形態では第 1 の段階として時刻 t_a から t_b の間の期間において有効信号 S の電圧が 500 mV 以上であるかどうかを決定し、これに基づいて MSB のデータ値を決定する。その後、第 1 の AD 変換期間 T 3 で MSB 以外の 3 ビットのデータを取得し、これと MSB のデータ値を合成することで上位ビットである 4 ビットのデジタルデータを取得することができる。

【0070】

本実施形態では、MSB のデータ取得がスイッチ C 4 の切り替えによって行われる。よって、第 1 の AD 変換期間 T 3 において変換するビット数が第 3 の実施形態に対して 1 ビット少なくなるため、ランプ s_h の振幅が $1/2$ になり、第 1 の AD 変換期間 T 3 が $1/2$ に短縮される。よって、AD 変換の所要時間を短縮することができる。

【0071】

また、ランプ s_h の振幅が小さいので、参照信号発生回路の消費電力が低減される。

【0072】

(第 6 実施形態)

図 9 は、本発明の第 6 実施形態に係る AD 変換装置 40 の構成を示す図である。本実施形態では DAC 43 の回路として、抵抗型 DAC が用いられている。DAC 43 は抵抗値 R 又はその 2 倍の抵抗値 $2R$ の抵抗素子をラダー型に配列した R - $2R$ ラダー型のデジタルアナログ変換回路を構成している。本実施形態では、DAC 43 は、抵抗値 $2R$ の抵抗素子を 4 個、抵抗値 R の抵抗素子を 2 個有している。これらの抵抗はラダー型に配置されており、基準電圧 V_{ref} 又は基準電圧 V_{ref_L} に接続される抵抗素子は抵抗値 $2R$ 、それ以外の抵抗素子は抵抗値 R としている。

【0073】

DAC 43 は 3 ビットの入力を有しており、3 つの抵抗素子 $2R$ の一端が 3 つのスイッチを介して基準電圧 V_{ref} 又は基準電圧 V_{ref_L} に接続される。上述の第 2 乃至第 5 の実施形態と同様に、入力される 2 進数デジタルデータの各位のビット値に対応して各スイッチが切り替わる。スイッチの切り替えにより、ラダー型に配列された抵抗による入力電圧の分圧方法が変化するため、DAC 43 の入力電圧 V_{com} が変化する。本実施形態の DAC 43 の入力値は 3 ビットなので、 $2^3 = 8$ 種類の DAC 電圧を生成することが可能である。DAC 43 の出力電圧 V_{dac} は容量素子 C_{i3} を介して比較回路 44 の反転入力端子へ入力される。また、ランプ信号 $Ramp_A$ は容量素子 C_{i1} を介して比較回路 44 の非反転入力端子へ入力され、入力電圧 V_{in} は容量素子 C_{i2} を介して同様に比較回路 44 の非反転入力端子へ入力される。動作タイミング及び入出力信号の電圧変化は上述の実施形態と同様であるため省略する。

【0074】

本実施形態においても第 1 の AD 変換後に DAC 電圧 V_{dac} を保持する時に、DAC 43 と比較回路 44 の信号経路にスイッチ S 7 を有しない。したがって、第 3 実施形態と同様にスイッチのオン、オフを切り替えることに起因するスイッチノイズの影響が抑制される。

【0075】

なお、DAC 43 のラダー型回路の段数を変更することにより、適宜入力可能なビット

10

20

30

40

50

数を変更することができる。例えば、第2乃至第5の実施形態と同様に4ビットとしてもよい。

【0076】

上述した第2乃至第6実施形態において、参照信号としてランプ信号 Ramp__A が示されているが、電圧が階段状に変化する階段波をランプ信号 Ramp__A に替えて参照信号として用いてもよい。

【0077】

(第7実施形態)

図10は第1乃至第6実施形態のAD変換装置40を搭載した固体撮像装置の構成を示す図である。固体撮像装置100は、画素部10、垂直走査回路20、増幅部30、AD変換部40、メモリ部50、水平走査回路60、TG(タイミング発生回路)70、DSP(デジタルシグナルプロセッサ)80及び出力回路90を含む。本実施形態のAD変換部40として、上述の第1乃至第6実施形態のDA変換装置40を用いることができる。

10

【0078】

画素部10は行列状に配置された複数の画素11を有する。画素11は、入射された光量に応じて生成された電荷を電圧信号に変換して出力する回路である。画素11は、画素回路のリセット時の基準信号N(すなわち入射光による信号を含まないノイズ成分)と、生成された電荷に対応する有効信号Sとを出力する。垂直走査回路20からの駆動信号(X-1、X-2・・・)によって画素信号の読み出しを行う画素行が順次選択される。画素11から出力される画素信号は列ごとに垂直信号線(V-1・・・V-n)を介して、増幅部30に設けられた増幅回路31に伝送される。

20

【0079】

増幅部30に入力された画素信号は撮影感度に応じて増幅され、AD変換部40へ入力される。AD変換部40は参照信号発生回路41、比較部42、制御部45及びカウンタ47を含む。比較部42は画素列ごとに備えられたDAC43、比較回路44を有し、制御部45は画素列ごとに備えられた制御回路46を有する。これにより、AD変換部40は増幅部30から入力された信号のAD変換が並行して行われる。

【0080】

参照信号発生回路41から出力されるランプ信号 Ramp__A とカウンタ47から出力されるカウンタ信号は各列に共通に供給される。制御回路46から出力されるデータ(例えば12ビットの2進数デジタルデータ)はメモリ部50内に列ごとに備えられたメモリ回路51に一時的に保持され、水平走査回路60からの制御信号により、DSP80に伝送される。

30

【0081】

DSP80は有効信号SのデータとN-ADデータとの差分を取得する処理、AD変換部40の校正データに基づくデータの補正などを行う。DSP80から出力されたデータは出力回路90から、固体撮像装置100が搭載される撮像システムの映像信号処理部などへ出力される。TG70はシステム制御部からの制御信号に基づき固体撮像装置100を制御する。

【0082】

上述した実施形態では、AD変換部40の前段に増幅部30が設けられているが、列ごとに増幅をする必要がない場合、増幅部30を有しない構成であってもよい。また、画素部10と増幅部30の間、又は増幅部30とAD変換部40の間等にサンプリング回路を追加してもよい。

40

【0083】

(第8実施形態)

図11は、本発明の第8実施形態に係る撮像システムの構成を示す図である。撮像システム800は、例えば、光学部810、固体撮像装置100、映像信号処理部830、記録・通信部840、システム制御部860、及び再生・表示部870を含む。固体撮像装置100は、画素部10、AD変換部40及びTG70を有する。本実施形態のAD変換

50

部 40 には、第 1 乃至第 6 実施形態の A D 変換装置 40 を用いることができる。また、固体撮像装置 100 には、第 7 実施形態の固体撮像装置 100 を用いることができる。

【0084】

レンズ等の光学系である光学部 810 は、被写体からの光を固体撮像装置 100 内の、複数の画素 11 が 2 次元状に配列された画素部 10 に結像させ、被写体の像を形成する。T G 70 は、画素部 10、A D 変換部 40 等の固体撮像装置 100 内の回路の動作タイミングを制御する。固体撮像装置 100 は、画素部 10 に結像された光に応じたアナログ信号を、A D 変換部 40 によってデジタル信号に変換して出力する。固体撮像装置 100 から出力された信号は、映像信号処理部 830 に入力される。映像信号処理部 830 は、プログラム等によって定められた方法に従って信号処理を行う。映像信号処理部 830 での処理によって得られた信号は画像データとして記録・通信部 840 に送られる。記録・通信部 840 は、画像を形成するための信号を再生・表示部 870 に送り、再生・表示部 870 に動画や静止画像を再生・表示させる。記録・通信部 840 は、また、映像信号処理部 830 からの信号を受けて、システム制御部 860 と通信を行うほか、不図示の記録媒体に、画像を形成するための信号を記録する動作も行う。

10

【0085】

システム制御部 860 は、撮像システムの動作を統括的に制御するものであり、光学部 810、T G 70、記録・通信部 840、及び再生・表示部 870 の駆動を制御する。また、システム制御部 860 は、例えば記録媒体である不図示の記憶装置を備え、ここに撮像システムの動作を制御するのに必要なプログラム等が記録される。また、システム制御部 860 は、例えばユーザの操作に応じて駆動モードを切り替える信号を撮像システム 800 内に供給する。具体的な例としては、読み出す行やりセットする行の変更、電子ズームに伴う画角の変更や、電子防振に伴う画角のずらし等である。

20

【0086】

本実施形態に係る撮像システム 800 は本発明の第 1 乃至第 6 実施形態の A D 変換装置 40 又は第 7 実施形態の固体撮像装置 100 を備えており、A D 変換の精度が向上されている。よって、本実施形態に係る撮像システム 800 によれば高品質な撮像が可能となる。

【0087】

上記の各実施形態は、いずれも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

30

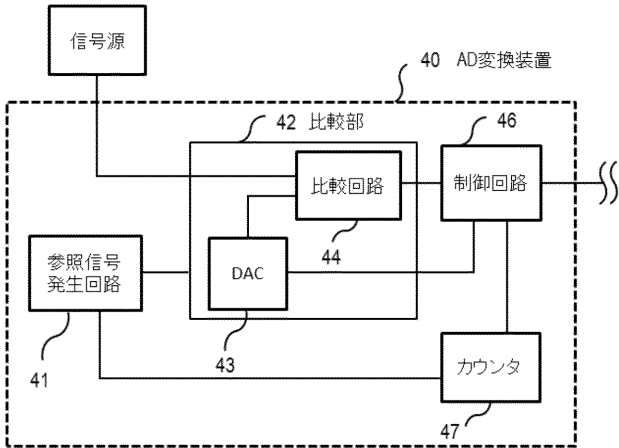
【符号の説明】

【0088】

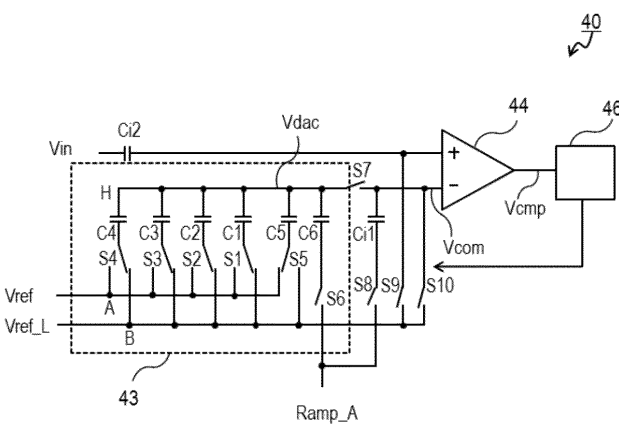
- 40 A D 変換装置
- 41 参照信号発生回路
- 42 比較部
- 43 D A C (デジタルアナログ変換器)
- 44 比較回路
- 46 制御回路
- 47 カウンタ

40

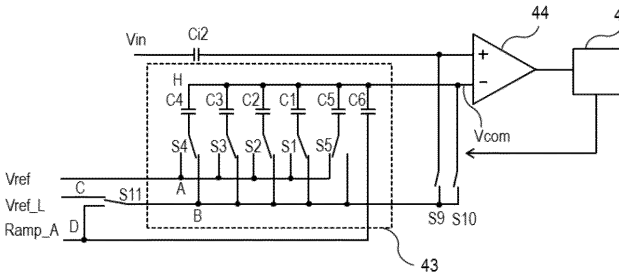
【 図 1 】



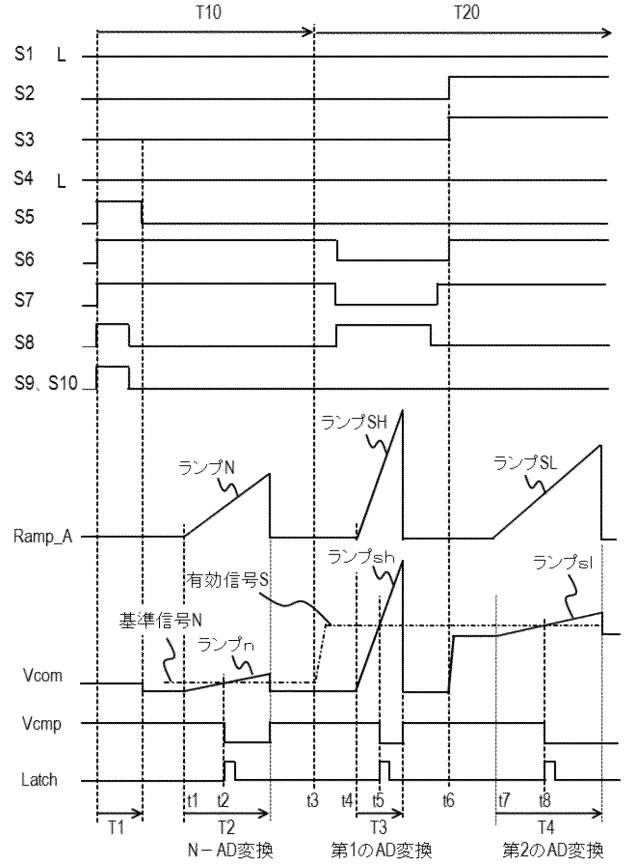
【 図 2 】



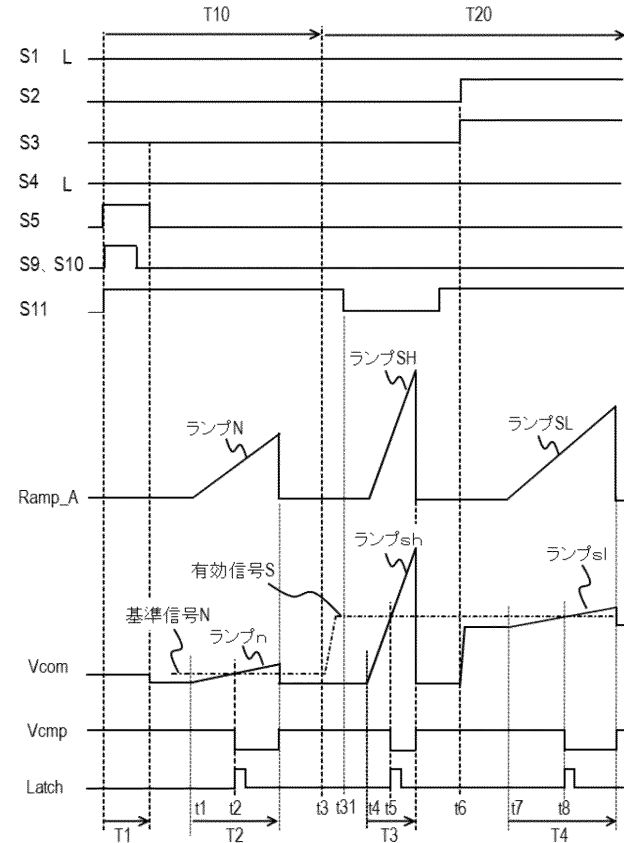
【 図 4 】



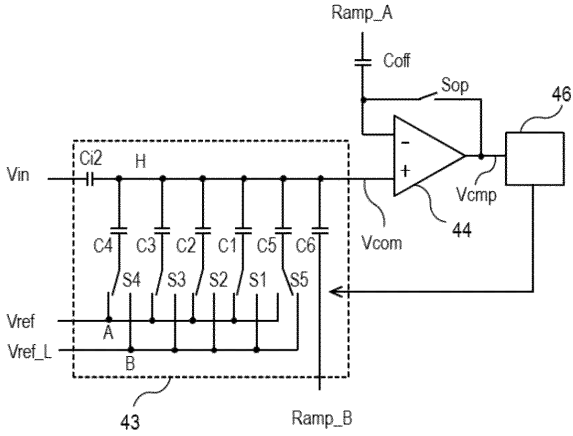
【 図 3 】



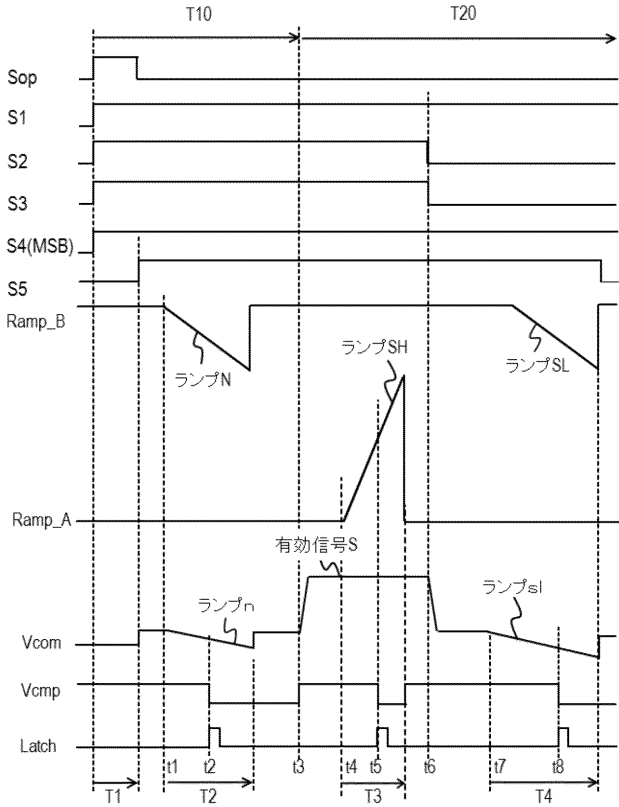
【 図 5 】



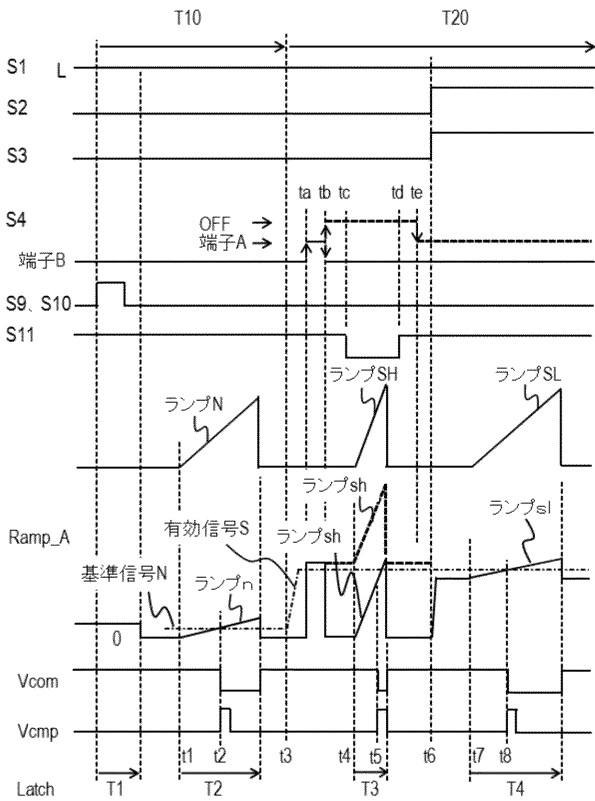
【 図 6 】



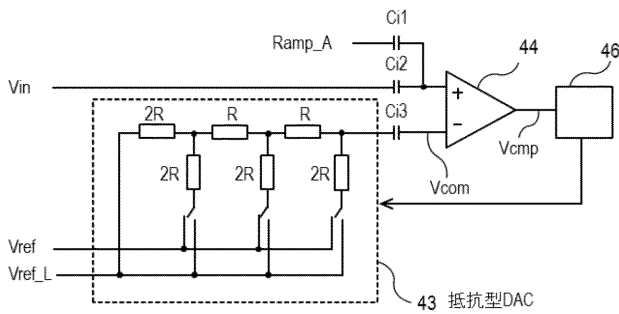
【 図 7 】



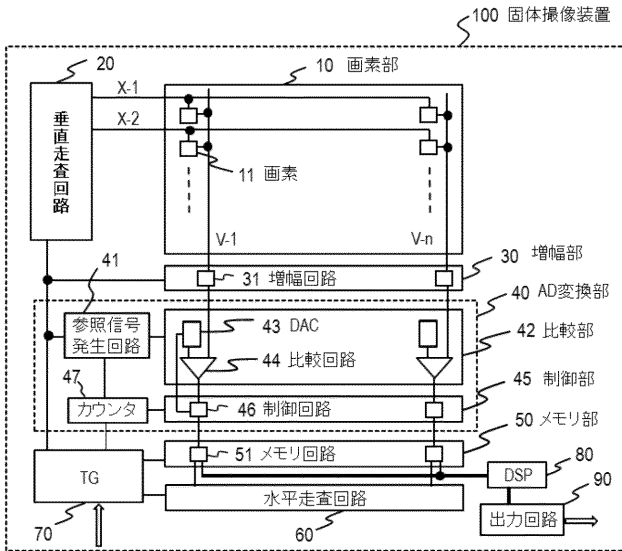
【 図 8 】



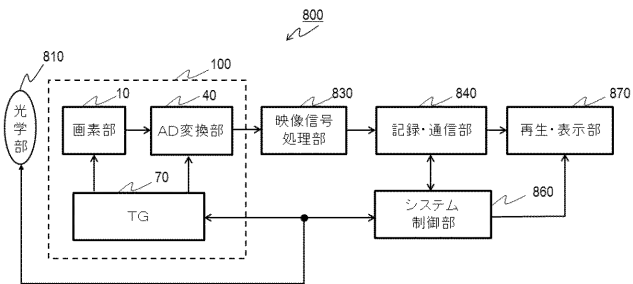
【 図 9 】



【図10】



【図11】



フロントページの続き

(74)代理人 100134393

弁理士 木村 克彦

(74)代理人 100174230

弁理士 田中 尚文

(72)発明者 橋本 誠二

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 戸塚 洋史

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 鈴木 建

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 5C024 AX01 HX23 HX29 HX32 HX44

5J022 AA09 AA14 AB03 AB04 CB01 CB06 CE05 CF01 CF03