

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-115128
(P2012-115128A)

(43) 公開日 平成24年6月14日(2012.6.14)

(51) Int.Cl.	F I	テーマコード (参考)
HO2M 7/48 (2007.01)	HO2M 7/48 Z	5H007
HO2M 3/155 (2006.01)	HO2M 3/155 Y	5H730

審査請求 有 請求項の数 30 O L (全 30 頁)

(21) 出願番号	特願2011-173686 (P2011-173686)	(71) 出願人	000004260
(22) 出願日	平成23年8月9日(2011.8.9)		株式会社デンソー
(31) 優先権主張番号	特願2010-246926 (P2010-246926)		愛知県刈谷市昭和町1丁目1番地
(32) 優先日	平成22年11月3日(2010.11.3)	(74) 代理人	100121821
(33) 優先権主張国	日本国(JP)		弁理士 山田 強
		(74) 代理人	100155789
			弁理士 栗田 恭成
		(74) 代理人	100139480
			弁理士 日野 京子
		(74) 代理人	100143063
			弁理士 安藤 悟
		(74) 代理人	100125575
			弁理士 松田 洋

最終頁に続く

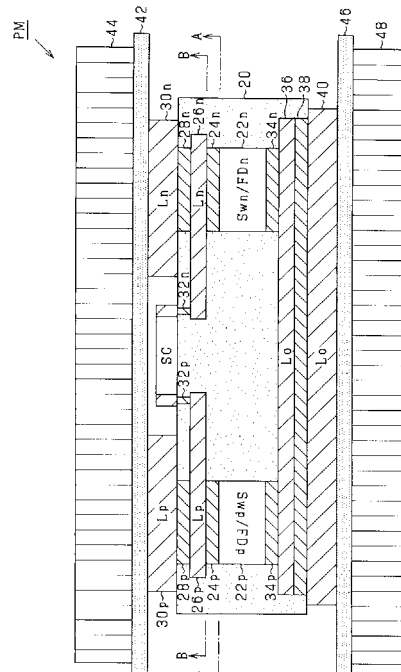
(54) 【発明の名称】 スイッチングモジュール

(57) 【要約】

【課題】高電位側のスイッチング素子Swpおよび低電位側のスイッチング素子Swnの直列接続体を備えるものにおいて、放射ノイズを十分に抑制することが困難なこと。

【解決手段】多層基板20には、スイッチング素子Swpを備える半導体チップ22pと、スイッチング素子Swnを備える半導体チップ22nとが埋め込まれている。半導体チップ22pは、ビア導体24p、配線層26pおよびビア導体32pを介してスナバ回路SCに接続され、半導体チップ22nは、ビア導体24n、配線層26nおよびビア導体32nを介してスナバ回路SCに接続される。また、半導体チップ22p, 22nは、ビア導体34p, 34nを介して配線層36に接続される。これにより、スイッチング素子Swp, Swnの直列接続体とスナバ回路SCとによって構成されるループ回路を小さくすることができる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

電流の流通経路を開閉する機能である開閉機能を有する第 1 流通規制要素、ならびに電流の流通方向を規制する機能である整流機能および前記開閉機能の少なくとも一方を有する第 2 流通規制要素の直列接続体と、

該直列接続体に並列接続されるスナバ回路とを備え、

前記第 1 流通規制要素および前記スナバ回路間を接続する第 1 配線と、前記第 2 流通規制要素および前記スナバ回路間を接続する第 2 配線と、前記第 1 流通規制要素および前記第 2 流通規制要素間を接続する第 3 配線と、前記第 1 流通規制要素と、前記第 2 流通規制要素と、スナバ回路とが、絶縁体を用いて実質的に一体に形成されていることを特徴とするスイッチングモジュール。

10

【請求項 2】

電流の流通経路を開閉する機能である開閉機能を有する第 1 流通規制要素、ならびに電流の流通方向を規制する機能である整流機能および前記開閉機能の少なくとも一方を有する第 2 流通規制要素の直列接続体と、

該直列接続体に並列接続されるスナバ回路とを備え、

前記第 1 流通規制要素および前記スナバ回路間を接続する第 1 配線と、前記第 2 流通規制要素および前記スナバ回路間を接続する第 2 配線と、前記第 1 流通規制要素および前記第 2 流通規制要素間を接続する第 3 配線とが、前記第 1 流通規制要素および前記第 2 流通規制要素の埋め込まれた絶縁体に接触するようにして形成されていることを特徴とするスイッチングモジュール。

20

【請求項 3】

前記第 1 流通規制要素を構成する半導体チップと、前記第 2 流通規制要素を構成する半導体チップとは、互いに対向するようにして配置されており、

前記絶縁体のうちの前記半導体チップ同士の対向面に隣接した前記半導体チップの互いに対向する一对の面の一方の側には、前記第 1 配線および前記第 2 配線が形成され、前記一对の面の他方の側には、前記第 3 配線が形成されていることを特徴とする請求項 1 または 2 記載のスイッチングモジュール。

【請求項 4】

前記第 1 流通規制要素を構成する半導体チップと、前記第 2 流通規制要素を構成する半導体チップとが縦型デバイスであり、

前記半導体チップの前記互いに対向する面は、前記第 1 流通規制要素および前記第 2 流通規制要素のそれぞれの電流の流通経路の両端部であることを特徴とする請求項 3 記載のスイッチングモジュール。

30

【請求項 5】

前記第 1 流通規制要素および前記第 2 流通規制要素は、いずれもスイッチング素子およびこれに逆並列接続されるフリーホイールダイオードからなることを特徴とする請求項 3 または 4 記載のスイッチングモジュール。

【請求項 6】

前記第 1 配線と前記第 2 配線とは、前記半導体のチップ面積よりも表面積が大きいことを特徴とする請求項 4 または 5 記載のスイッチングモジュール。

40

【請求項 7】

前記第 3 配線は、前記第 1 流通規制要素を構成する半導体および前記第 2 流通規制要素を構成する半導体のチップ面積の合計よりも表面積が大きいことを特徴とする請求項 4 ~ 6 のいずれか 1 項に記載のスイッチングモジュール。

【請求項 8】

前記第 1 配線と前記第 2 配線との高さが、前記スナバ回路を構成する素子の高さ以上に設定されていることを特徴とする請求項 4 ~ 7 のいずれか 1 項に記載のスイッチングモジュール。

【請求項 9】

50

前記第 1 配線と、前記第 2 配線とは、絶縁膜によって覆われて且つ、
該絶縁膜のうち前記配線に対向する面の裏面には、放熱体が設けられていることを特徴とする請求項 4 ~ 8 のいずれか 1 項に記載のスイッチングモジュール。

【請求項 10】

前記第 3 配線は、絶縁膜によって覆われて且つ、
該絶縁膜のうち前記配線に対向する面の裏面には、放熱体が設けられていることを特徴とする請求項 4 ~ 9 のいずれか 1 項に記載のスイッチングモジュール。

【請求項 11】

前記第 1 配線と、前記第 2 配線とが、高電位側のバスバおよび低電位側のバスバに割り振られてそれぞれ接続されて且つ、前記第 3 配線が接続点側のバスバに接続され、
前記スナバ回路、前記第 1 流通規制要素および前記第 2 流通規制要素によって構成されるループ回路を流れる電流によって生成される磁束と、前記第 1 配線および前記第 3 配線間を流れる電流によって生成される磁束ならびに前記第 2 配線および前記第 3 配線間を流れる電流によって生成される磁束とが、平行にならないことを特徴とする請求項 4 ~ 10 のいずれか 1 項に記載のスイッチングモジュール。

10

【請求項 12】

前記第 1 流通規制要素は、前記流通経路を開閉するための指令が入力される開閉制御端子を備え、
前記第 1 配線、前記第 2 配線および前記第 3 配線が前記絶縁体の外側に伸びる方向と、前記開閉制御端子に接続される配線が前記絶縁体の外側に伸びる方向とが鈍角をなすことを特徴とする請求項 11 記載のスイッチングモジュール。

20

【請求項 13】

前記第 1 流通規制要素は、その動作の基準電位を定めるための基準電位端子をさらに備え、
前記開閉制御端子に接続される配線および前記基準電位端子に接続される配線が同一層に形成されていることを特徴とする請求項 12 記載のスイッチングモジュール。

【請求項 14】

前記絶縁体は、多層基板であり、
前記第 1 流通規制要素を構成する半導体チップと、前記第 2 流通規制要素を構成する半導体チップとが、前記多層基板の同一層に配置されていることを特徴とする請求項 4 ~ 13 のいずれか 1 項に記載のスイッチングモジュール。

30

【請求項 15】

前記絶縁体は、多層基板であり、
前記第 1 流通規制要素は、前記流通経路を開閉するための指令が入力される開閉制御端子を備え、
前記開閉制御端子に接続される配線は、前記多層基板の配線を備えることを特徴とする請求項 1 ~ 14 のいずれか 1 項に記載のスイッチングモジュール。

【請求項 16】

前記絶縁体は、多層基板であり、
前記第 1 配線、前記第 2 配線および前記第 3 配線は、前記多層基板の配線を備えることを特徴とする請求項 1 ~ 15 のいずれか 1 項に記載のスイッチングモジュール。

40

【請求項 17】

前記多層基板の側面は、モールド材によって覆われていることを特徴とする請求項 14 ~ 16 のいずれか 1 項に記載のスイッチングモジュール。

【請求項 18】

前記絶縁体は、前記第 1 流通規制要素および前記第 2 流通規制要素を覆うモールド材であることを特徴とする請求項 1 ~ 13 のいずれか 1 項に記載のスイッチングモジュール。

【請求項 19】

前記スナバ回路は、前記直列接続体に並列接続されたコンデンサと、該コンデンサの充電経路を構成する整流手段とを備え、

50

前記整流手段には、前記充電経路よりもインピーダンスが大きい前記コンデンサの放電経路が並列接続されていることを特徴とする請求項 1 ~ 18 のいずれか 1 項に記載のスイッチングモジュール。

【請求項 20】

前記整流手段は、前記第 1 配線に接続されるバスバの寄生インダクタンスと前記コンデンサの静電容量に応じた共振周波数から定まる前記コンデンサの充電速度よりも実際の充電速度を大きくするオン抵抗設定がなされていることを特徴とする請求項 19 記載のスイッチングモジュール。

【請求項 21】

前記充電経路には、抵抗体が設けられていることを特徴とする請求項 19 記載のスイッチングモジュール。

10

【請求項 22】

前記放電経路は、抵抗体を備え、

前記充電経路の抵抗体は、前記放電経路の抵抗体の一部となることを特徴とする請求項 20 記載のスイッチングモジュール。

【請求項 23】

前記スナバ回路は、前記直列接続体に並列接続されたコンデンサからなることを特徴とする請求項 1 ~ 18 のいずれか 1 項に記載のスイッチングモジュール。

【請求項 24】

前記スナバ回路は、前記直列接続体に並列接続されたコンデンサおよび抵抗体の直列接続体からなることを特徴とする請求項 1 ~ 18 のいずれか 1 項に記載のスイッチングモジュール。

20

【請求項 25】

前記スナバ回路は、前記直列接続体に並列接続されたコンデンサおよび抵抗体の直列接続体と、これらに並列接続されたコンデンサとからなることを特徴とする請求項 1 ~ 18 のいずれか 1 項に記載のスイッチングモジュール。

【請求項 26】

前記第 1 流通規制要素と前記第 2 流通規制要素との直列接続体は、該直列接続体に並列接続されたコンデンサおよび抵抗体の直列接続体と、これらに並列接続されたコンデンサとからなるスナバ回路が並列接続されるものであり、

30

当該スイッチングモジュールは、前記コンデンサおよび前記抵抗体の直列接続体に並列接続されたコンデンサのみを備えることを特徴とする請求項 1 ~ 18 のいずれか 1 項に記載のスイッチングモジュール。

【請求項 27】

前記スナバ回路は、互いに並列接続された複数のコンデンサを備えることを特徴とする請求項 1 ~ 26 のいずれか 1 項に記載のスイッチングモジュール。

【請求項 28】

前記第 1 流通規制要素の両端に接続される個別スナバ回路および前記第 2 流通規制要素の両端に接続される個別スナバ回路の少なくとも一方を備え、

前記個別スナバ回路と前記流通規制要素とを接続する配線が前記絶縁体に接触して形成されていることを特徴とする請求項 1 ~ 27 のいずれか 1 項に記載のスイッチングモジュール。

40

【請求項 29】

前記個別スナバ回路は、抵抗体およびコンデンサの直列接続体からなることを特徴とする請求項 28 記載のスイッチングモジュール。

【請求項 30】

前記個別スナバ回路は、互いに並列接続された複数のコンデンサを備えることを特徴とする請求項 28 または 29 記載のスイッチングモジュール。

【発明の詳細な説明】

【技術分野】

50

【0001】

本発明は、電流の流通経路を開閉する機能である開閉機能を有する第1流通規制要素、ならびに電流の流通方向を規制する機能である整流機能および前記開閉機能の少なくとも一方を有する第2流通規制要素の直列接続体と、これに並列接続されるスナバ回路とを備えるスイッチングモジュールに関する。

【背景技術】

【0002】

電力変換回路にあっては、一般に、スイッチング素子のスイッチング状態の切り替えに起因して高周波ノイズが生じる。この高周波ノイズに対する対策としては、例えば下記特許文献1に記載されたものがある。これは、高電位側のIGBTのコレクタに接続される導体と低電位側のIGBTのエミッタに接続される導体とを対向させて且つ、高電位側のIGBTのエミッタに接続される導体と低電位側のIGBTのコレクタに接続される導体とを対向させるようにしたものである。これにより、例えば高電位側のIGBTをオン操作した際の電流と、低電位側のIGBTに逆並列接続されたダイオードのリカバリ電流とを逆向きとすることができる。これにより、上記導体の浮遊インダクタンスを抑制することができ、ひいてはサージ電圧を低減することができる。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特許第4455914号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0004】

ただし、上記導体の構造は、スイッチング素子の冷却構造や、導体自体の電流容量等から様々な制約を受けるため、その形状変更等を容易に行うことができないことが多い。

【0005】

本発明は、上記課題を解決する過程でなされたものであり、その目的は、電流の流通経路を開閉する機能である開閉機能を有する第1流通規制要素、ならびに電流の流通方向を規制する機能である整流機能および前記開閉機能の少なくとも一方を有する第2流通規制要素の直列接続体と、これに並列接続されるスナバ回路とを備える新たなスイッチングモジュールを提供することにある。

30

【課題を解決するための手段】

【0006】

以下、上記課題を解決するための手段、およびその作用効果について記載する。

【0007】

請求項1記載の発明は、電流の流通経路を開閉する機能である開閉機能を有する第1流通規制要素、ならびに電流の流通方向を規制する機能である整流機能および前記開閉機能の少なくとも一方を有する第2流通規制要素の直列接続体と、該直列接続体に並列接続されるスナバ回路とを備え、前記第1流通規制要素および前記スナバ回路間を接続する第1配線と、前記第2流通規制要素および前記スナバ回路間を接続する第2配線と、前記第1流通規制要素および前記第2流通規制要素間を接続する第3配線と、前記第1流通規制要素と、前記第2流通規制要素と、スナバ回路とが、絶縁体を用いて実質的に一体に形成されていることを特徴とする。

40

【0008】

スナバ回路を備えると、第1流通規制要素の開閉操作に伴って電流が急激に変化する経路を、第1流通規制要素および第2流通規制要素とスナバ回路とによって形成されるループ経路に局在させることができる。ここで、上記発明では、絶縁体を用いた上記部材の一体形成によって、このループ経路を十分に小さくすることができる。このため、第1流通規制要素の開閉に伴う電流の急激な変化に起因するサージを生成する寄生インダクタンスを十分に小さくしたり、この電流の急激な変化が生じる電流経路を十分に小さくして放射

50

ノイズを抑制したりすることができる。

【0009】

請求項2記載の発明は、電流の流通経路を開閉する機能である開閉機能を有する第1流通規制要素、ならびに電流の流通方向を規制する機能である整流機能および前記開閉機能の少なくとも一方を有する第2流通規制要素の直列接続体と、該直列接続体に並列接続されるスナバ回路とを備え、前記第1流通規制要素および前記スナバ回路間を接続する第1配線と、前記第2流通規制要素および前記スナバ回路間を接続する第2配線と、前記第1流通規制要素および前記第2流通規制要素間を接続する第3配線とが、前記第1流通規制要素および前記第2流通規制要素の埋め込まれた絶縁体に接触するようにして形成されていることを特徴とする。

10

【0010】

スナバ回路を備えると、第1流通規制要素の開閉操作に伴って電流が急激に変化する経路を、第1流通規制要素および第2流通規制要素とスナバ回路とによって形成されるループ経路に局在させることができる。ここで、上記発明では、このループ経路を、第1流通規制要素および第2流通規制要素の埋め込まれた絶縁体に接触して形成することで、その経路を十分に小さくすることができる。このため、第1流通規制要素の開閉に伴う電流の急激な変化に起因するサージを生成する寄生インダクタンスを十分に小さくしたり、この電流の急激な変化が生じる電流経路を十分に小さくして放射ノイズを抑制したりすることができる。

【0011】

請求項3記載の発明は、請求項1または2記載の発明において、前記第1流通規制要素を構成する半導体チップと、前記第2流通規制要素を構成する半導体チップとは、互いに対向するようにして配置されており、前記絶縁体のうちの前記半導体チップ同士の間面に隣接した前記半導体チップの互いに対向する一方の面には、前記第1配線および前記第2配線が形成され、前記一方の面の他方の側には、前記第3配線が形成されていることを特徴とする。

20

【0012】

上記発明では、第1流通規制要素の開閉操作に伴う電流の変化を、上記一方の面のうちの一方と他方とを接続する電気経路に局在させることができる。

【0013】

請求項4記載の発明は、請求項3記載の発明において、前記第1流通規制要素を構成する半導体チップと、前記第2流通規制要素を構成する半導体チップとが縦型デバイスであり、前記半導体チップの前記互いに対向する面は、前記第1流通規制要素および前記第2流通規制要素のそれぞれの電流の流通経路の両端部であることを特徴とする。

30

【0014】

請求項5記載の発明は、請求項3または4記載の発明において、前記第1流通規制要素および前記第2流通規制要素は、いずれもスイッチング素子およびこれに逆並列接続されるフリーホイールダイオードからなることを特徴とする。

【0015】

請求項6記載の発明は、請求項4または5記載の発明において、前記第1配線と前記第2配線とは、前記半導体のチップ面積よりも表面積が大きいことを特徴とする。

40

【0016】

配線の表面積が大きいほど配線による熱拡散が促進されやすい。上記発明では、この点に鑑み、配線の表面積をチップの面積よりも大きくすることで、電氣的な接続機能を有する配線の放熱機能を向上させることができる。

【0017】

請求項7記載の発明は、請求項4～6のいずれか1項に記載の発明において、前記第3配線は、前記第1流通規制要素を構成する半導体および前記第2流通規制要素を構成する半導体のチップ面積の合計よりも表面積が大きいことを特徴とする。

【0018】

50

配線の表面積が大きいほど配線による熱拡散が促進されやすい。上記発明では、この点に鑑み、配線によって半導体チップを好適に放熱させることができる。

【0019】

請求項8記載の発明は、請求項4～7のいずれか1項に記載の発明において、前記第1配線と前記第2配線との高さが、前記スナバ回路を構成する素子の高さ以上に設定されていることを特徴とする。

【0020】

上記発明では、配線の高さを確保することで、半導体チップの熱を拡散させる効果を高めることができる。

【0021】

請求項9記載の発明は、請求項4～8のいずれか1項に記載の発明において、前記第1配線と、前記第2配線とは、絶縁膜によって覆われて且つ、該絶縁膜のうち前記配線に対向する面の裏面には、放熱体が設けられていることを特徴とする。

【0022】

上記発明では、放熱体を備えることで、半導体チップの放熱効果をいっそう高めることができる。

【0023】

請求項10記載の発明は、請求項4～9のいずれか1項に記載の発明において、前記第3配線は、絶縁膜によって覆われて且つ、該絶縁膜のうち前記配線に対向する面の裏面には、放熱体が設けられていることを特徴とする。

【0024】

上記発明では、放熱体を備えることで、半導体チップの放熱効果をいっそう高めることができる。

【0025】

請求項11記載の発明は、請求項4～10のいずれか1項に記載の発明において、前記第1配線と、前記第2配線とが、高電位側のバスバおよび低電位側のバスバに割り振られてそれぞれ接続されて且つ、前記第3配線が接続点側のバスバに接続され、前記スナバ回路、前記第1流通規制要素および前記第2流通規制要素によって構成されるループ回路を流れる電流によって生成される磁束と、前記第1配線および前記第3配線間を流れる電流によって生成される磁束ならびに前記第2配線および前記第3配線間を流れる電流によ

【0026】

って生成される磁束のうち、第1配線および前記第3配線間を流れる電流によって生成される磁束ならびに前記第2配線および前記第3配線間を流れる電流によって生成される磁束に干渉する成分は、これと平行な成分である。そしてこの成分は、第1配線および前記第3配線間や、前記第2配線および前記第3配線間に生じるノイズの原因となる。上記発明では、この点に鑑み、上記設定によって、平行成分を低減する。

【0027】

請求項12記載の発明は、請求項11記載の発明において、前記第1流通規制要素は、前記流通経路を開閉するための指令が入力される開閉制御端子を備え、前記第1配線、前記第2配線および前記第3配線が前記絶縁体の外側に伸びる方向と、前記開閉制御端子に接続される配線が前記絶縁体の外側に伸びる方向とが鈍角をなすことを特徴とする。

【0028】

上記発明では、上記一対の方向が鈍角をなすことで、上記第3配線と第1配線との間や、上記第3配線と第2配線との間に流れる電流によって生成される磁界が、第1流通規制要素の開閉制御端子に作用することを好適に抑制することができ、ひいては、第1流通規制要素の開閉操作に際して上記磁界がノイズ源となることを好適に抑制することができる。

【0029】

10

20

30

40

50

請求項 1 3 記載の発明は、請求項 1 2 記載の発明において、前記第 1 流通規制要素は、その動作の基準電位を定めるための基準電位端子をさらに備え、前記開閉制御端子に接続される配線および前記基準電位端子に接続される配線が同一層に形成されていることを特徴とする。

【 0 0 3 0 】

上記発明では、上記一对の配線を同一層に形成することで、上記ループ回路を流れる電流によって生成される磁束がこれら一对の配線間を鎖交する事態を回避することができ、ひいては上記磁束によって第 1 流通規制要素が誤動作する事態を好適に回避することができる。

【 0 0 3 1 】

請求項 1 4 記載の発明は、請求項 4 ~ 1 3 のいずれか 1 項に記載の発明において、前記絶縁体は、多層基板であり、前記第 1 流通規制要素を構成する半導体チップと、前記第 2 流通規制要素を構成する半導体チップとが、前記多層基板の同一層に配置されていることを特徴とする。

【 0 0 3 2 】

請求項 1 5 記載の発明は、請求項 1 ~ 1 4 のいずれか 1 項に発明において、前記絶縁体は、多層基板であり、前記第 1 流通規制要素は、前記流通経路を開閉するための指令が入力される開閉制御端子を備え、前記開閉制御端子に接続される配線は、前記多層基板の配線を備えることを特徴とする。

【 0 0 3 3 】

請求項 1 6 記載の発明は、請求項 1 ~ 1 5 のいずれか 1 項に記載の発明において、前記絶縁体は、多層基板であり、前記第 1 配線、前記第 2 配線および前記第 3 配線は、前記多層基板の配線を備えることを特徴とする。

【 0 0 3 4 】

上記発明では、多層基板の配線を備えることで、上記第 1 流通規制要素および第 2 流通規制要素とスナバ回路とによって形成されるループ経路をいっそう小さくすることができる。また、配線の表面積を容易に調節することができるため、たとえば上記請求項 6 , 7 の構成を容易に実現することができる。

【 0 0 3 5 】

請求項 1 7 記載の発明は、請求項 1 4 ~ 1 6 のいずれか 1 項に記載の発明において、前記多層基板の側面は、モールド材によって覆われていることを特徴とする。

【 0 0 3 6 】

上記発明では、モールド材を設けることで、モジュールの剛性を高めたり、絶縁性を高めたりすることができる。

【 0 0 3 7 】

請求項 1 8 記載の発明は、請求項 1 ~ 1 3 のいずれか 1 項に記載の発明において、前記絶縁体は、前記第 1 流通規制要素および前記第 2 流通規制要素を覆うモールド材であることを特徴とする。

【 0 0 3 8 】

請求項 1 9 記載の発明は、請求項 1 ~ 1 8 のいずれか 1 項に記載の発明において、前記スナバ回路は、前記直列接続体に並列接続されたコンデンサと、該コンデンサの充電経路を構成する整流手段とを備え、前記整流手段には、前記充電経路よりもインピーダンスが大きい前記コンデンサの放電経路が並列接続されていることを特徴とする。

【 0 0 3 9 】

上記発明では、流通規制要素の開閉操作によって第 1 配線や第 2 配線に接続される配線の寄生インダクタンスに生じる電圧が流通規制要素の両端の電圧を増大させる極性である場合には、上記寄生インダクタンスの電流の変化をコンデンサの充電によって抑制することができる。そしてその後、コンデンサを放電するに際しては、上記放電経路を用いることで、放電速度を制限することができる。これにより、上記放電に伴う電流の振動を抑制することができる。

10

20

30

40

50

【 0 0 4 0 】

請求項 2 0 記載の発明は、請求項 1 9 記載の発明において、前記整流手段は、前記第 1 配線に接続されるバスバの寄生インダクタンスと前記コンデンサの静電容量に応じた共振周波数から定まる前記コンデンサの充電速度よりも実際の充電速度を大きくするオン抵抗設定がなされていることを特徴とする。

【 0 0 4 1 】

充電経路のインピーダンスが過度に小さい場合、寄生インダクタンスとコンデンサとの共振現象が顕在化する。上記発明では、この点に鑑み、上記オン抵抗設定とすることで、寄生インダクタンスとコンデンサとの共振現象を好適に抑制することができる。これにより、流通規制要素の開閉操作に伴う過渡状態を好適に収束させることができる。

10

【 0 0 4 2 】

請求項 2 1 記載の発明は、請求項 1 9 記載の発明において、前記充電経路には、抵抗体が設けられていることを特徴とする。

【 0 0 4 3 】

充電経路のインピーダンスが過度に小さい場合、寄生インダクタンスとコンデンサとの共振現象が顕在化する。上記発明では、この点に鑑み、充電経路に抵抗体を備えることで、寄生インダクタンスとコンデンサとの共振現象を好適に抑制することができる。これにより、流通規制要素の開閉操作に伴う過渡状態を好適に収束させることができる。

【 0 0 4 4 】

請求項 2 2 記載の発明は、請求項 2 0 記載の発明において、前記放電経路は、抵抗体を備え、前記充電経路の抵抗体は、前記放電経路の抵抗体の一部となることを特徴とする。

20

【 0 0 4 5 】

請求項 2 3 記載の発明は、請求項 1 ~ 1 8 のいずれか 1 項に記載の発明において、前記スナバ回路は、前記直列接続体に並列接続されたコンデンサからなることを特徴とする。

【 0 0 4 6 】

請求項 2 4 記載の発明は、請求項 1 ~ 1 8 のいずれか 1 項に記載の発明において、前記スナバ回路は、前記直列接続体に並列接続されたコンデンサおよび抵抗体の直列接続体からなることを特徴とする。

【 0 0 4 7 】

請求項 2 5 記載の発明は、請求項 1 ~ 1 8 のいずれか 1 項に記載の発明において、前記スナバ回路は、前記直列接続体に並列接続されたコンデンサおよび抵抗体の直列接続体と、これらに並列接続されたコンデンサとからなることを特徴とする。

30

【 0 0 4 8 】

上記発明では、コンデンサおよび抵抗体の直列接続体のみからスナバ回路を構成する場合と比較して、第 1 流通規制要素の開閉操作に伴う電圧変動を低減することができる。

【 0 0 4 9 】

請求項 2 6 記載の発明は、請求項 1 ~ 1 8 のいずれか 1 項に記載の発明において、前記第 1 流通規制要素と前記第 2 流通規制要素との直列接続体は、該直列接続体に並列接続されたコンデンサおよび抵抗体の直列接続体と、これらに並列接続されたコンデンサとからなるスナバ回路が並列接続されるものであり、当該スイッチングモジュールは、前記コンデンサおよび前記抵抗体の直列接続体に並列接続されたコンデンサのみを備えることを特徴とする。

40

【 0 0 5 0 】

請求項 2 7 記載の発明は、請求項 1 ~ 2 6 のいずれか 1 項に記載の発明において、前記スナバ回路は、互いに並列接続された複数のコンデンサを備えることを特徴とする。

【 0 0 5 1 】

コンデンサの静電容量を確保すべく、表面積の大きいものを用いる場合、温度変化による応力ストレスが大きくなるという問題がある。これに対し、温度の変化による影響を低減すべくコンデンサを絶縁体から引き離す場合には、電流経路のショートループ化の効果が低減する。この点、上記発明では、並列接続された複数のコンデンサをスナバ回路に採

50

用することで、静電容量を確保しつつも電流経路を好適にショートループ化することができる。

【0052】

請求項28記載の発明は、請求項1～27のいずれか1項に記載の発明において、前記第1流通規制要素の両端に接続される個別スナバ回路および前記第2流通規制要素の両端に接続される個別スナバ回路の少なくとも一方を備え、前記個別スナバ回路と前記流通規制要素とを接続する配線が前記絶縁体に接触して形成されていることを特徴とする。

【0053】

上記発明では、個別スナバ回路を備えることで、サージを好適に低減することができる。しかも、個別スナバ回路と流通規制要素とを接続する配線を上記絶縁体に接触して形成することで、個別スナバ回路と流通規制要素とのループ経路をショートループ化することもできる。

10

【0054】

請求項29記載の発明は、請求項28記載の発明において、前記個別スナバ回路は、抵抗体およびコンデンサの直列接続体からなることを特徴とする。

【0055】

請求項30記載の発明は、請求項28または29記載の発明において、前記個別スナバ回路は、互いに並列接続された複数のコンデンサを備えることを特徴とする。

【0056】

コンデンサの静電容量を確保すべく、表面積の大きいものを用いる場合、温度変化による応力ストレスが大きくなるという問題がある。これに対し、温度の変化による影響を低減すべくコンデンサを絶縁体から引き離す場合には、電流経路のショートループ化の効果が低減する。この点、上記発明では、並列接続された複数のコンデンサをスナバ回路に採用することで、静電容量を確保しつつも電流経路を好適にショートループ化することができる。

20

【図面の簡単な説明】

【0057】

【図1】第1の実施形態にかかるシステム構成図。

【図2】同実施形態にかかるパワーモジュールの断面構成を示す断面図。

【図3】同実施形態にかかるパワーモジュールの別の断面構成を示す断面図。

30

【図4】同実施形態にかかるパワーモジュールの別の断面構成を示す断面図。

【図5】第2の実施形態にかかるシステム構成図。

【図6】第3の実施形態にかかるシステム構成図。

【図7】第4の実施形態にかかるシステム構成図。

【図8】第5の実施形態にかかるシステム構成図。

【図9】第6の実施形態にかかるパワーモジュールの回路構成を示す回路図。

【図10】同実施形態にかかるパワーモジュールの断面構成を示す断面図。

【図11】同実施形態にかかるパワーモジュールの平面図。

【図12】第7の実施形態にかかるパワーモジュールの断面構成を示す断面図。

【図13】第8の実施形態にかかるスナバ回路の構成を示す回路図。

40

【図14】同実施形態にかかるスナバ回路の動作を示す回路図。

【図15】第9の実施形態にかかるスナバ回路の構成を示す回路図。

【図16】第10の実施形態にかかるスナバ回路の構成を示す回路図。

【図17】上記第1の実施形態の変形例にかかるパワーモジュールの断面構成を示す断面図。

【図18】上記第1の実施形態の変形例にかかるパワーモジュールの断面構成を示す断面図。

【図19】上記第1の実施形態の変形例にかかるパワーモジュールの断面構成を示す断面図。

【図20】上記各実施形態の変形例にかかるスナバ回路の構成を示す回路図。

50

【発明を実施するための形態】

【0058】

<第1の実施形態>

以下、本発明にかかるスイッチングモジュールを車載主機としての回転機に接続されたインバータのスイッチングモジュールに適用した第1の実施形態について、図面を参照しつつ説明する。

【0059】

図1に、本実施形態にかかる制御システムの全体構成を示す。モータジェネレータ10は、車載主機であり、図示しない駆動輪に機械的に連結されている。モータジェネレータ10は、インバータIVおよび昇圧コンバータCVを介して平滑用のコンデンサ13および高電圧バッテリー12に接続されている。ここで、昇圧コンバータCVは、コンデンサ15と、コンデンサ15に並列接続された一対のスイッチング素子 S_{wp} 、 S_{wn} と、一対のスイッチング素子 S_{wp} 、 S_{wn} の接続点と高電圧バッテリー12の正極とを接続するリアクトル14とを備えている。そして、スイッチング素子 S_{wp} 、 S_{wn} のオン・オフによって、例えば百V以上の高電圧の端子電圧を有する高電圧バッテリー12の電圧（例えば「288V」）を所定の電圧（例えば「650V」）を上限として昇圧するものである。一方、インバータIVは、スイッチング素子 S_{wp} 、 S_{wn} の直列接続体を3つ備えており、これら各直列接続体の接続点がモータジェネレータ10のU、V、W相にそれぞれ接続されている。これらスイッチング素子 S_{wp} 、 S_{wn} として、本実施形態では、絶縁ゲートバイポーラトランジスタ（IGBT）が用いられている。そして、これらにはそれぞれ、フリーホイールダイオード F_{Dp} 、 F_{Dn} が逆並列に接続されている。

【0060】

上記高電位側のスイッチング素子 S_{wp} および低電位側のスイッチング素子 S_{wn} の直列接続体には、コンデンサ16および抵抗体18の直列接続体からなるスナバ回路SCが並列接続されている。そして、これら高電位側のスイッチング素子 S_{wp} および低電位側のスイッチング素子 S_{wn} の直列接続体と、スナバ回路SCとは、パワーモジュールPMを構成する。

【0061】

パワーモジュールPMのうち高電位側のスイッチング素子 S_{wp} に接続される高電位側の配線 L_p は、高電位側のバスバ B_p によってインバータIVの高電位側の入力端子に接続されている。また、パワーモジュールPMのうち低電位側のスイッチング素子 S_{wn} に接続される低電位側の配線 L_n は、低電位側のバスバ B_n によってインバータIVの低電位側の入力端子に接続されている。さらに、インバータIVのパワーモジュールPMのうち、高電位側のスイッチング素子 S_{wp} および低電位側のスイッチング素子 S_{wn} の接続点に接続される中間配線 L_o は、モータジェネレータ10の各相に接続されるバスバ B_o に接続され、コンバータCVの中間配線 L_o は、リアクトル14に接続されるバスバ B_o に接続される。

【0062】

上記スナバ回路SCは、スイッチング素子 S_{wp} 、 S_{wn} のスイッチング状態の切り替えに伴って電流量が変化する経路をショートループ化するためのものである。ここでこれについて、インバータIVの高電位側のスイッチング素子 S_{wp} がオン且つ低電位側のスイッチング素子 S_{wn} がオフの状態から高電位側のスイッチング素子 S_{wp} がオフ且つ低電位側のスイッチング素子 S_{wn} がオンの状態に移行する場合を例にとって説明する。この例では、スナバ回路SCを備えない場合、高電位側のバスバ B_p の電流が減少して低電位側のバスバ B_n の電流が増加する。ただし、バスバ B_p 、 B_n の寄生インダクタンスによって、こうした電流の変化が妨げられる側の電圧が生じる。これに対し、スナバ回路SCを備える場合、上記スイッチング状態の移行に伴って高電位側のバスバ B_p に流れていた電流は、コンデンサ16の正極端子に流入し、コンデンサ16の負極端子から流出する電流が、フリーホイールダイオード F_{Dn} に流れる。これにより、高電位側のバスバ B_p や低電位側のバスバ B_n の電流の急激な変化が緩和され、ひいてはこれらバスバ B_p 、 B

nの寄生インダクタンスに起因した電圧を低減することができる。

【0063】

ただし、上記スナバ回路SCを設けた場合であっても、高電位側のスイッチング素子Swpおよび低電位側のスイッチング素子Sw nの直列接続体と、スナバ回路SCとによって形成されるループ回路内の電流は、スイッチング状態の切り替えに伴って変化する。そして、このループ回路内の寄生インダクタンスに起因したサージや、電流の変化に起因した放射ノイズが生じることとなる。

【0064】

上記サージや放射ノイズを抑制すべく、本実施形態では、高電位側のスイッチング素子Swpおよび低電位側のスイッチング素子Sw nの直列接続体とスナバ回路SCとを備えるループ回路を、プリント基板（多層基板）に構成することで、ループ回路を十分に小さくする。

【0065】

図2に、本実施形態にかかるパワーモジュールPMの断面構成を示す。

【0066】

本実施形態では、高電位側のスイッチング素子Swpおよび低電位側のスイッチング素子Sw nが多層基板20の同一層に埋め込まれている。詳しくは、半導体チップ22pと半導体チップ22nとは、これらの形成される層において互いに絶縁されて配置されている。ここで、高電位側のスイッチング素子Swpおよび低電位側のスイッチング素子Sw nは、いずれも縦型のデバイスであり、半導体チップ22p, 22nの1の面にエミッタおよび開閉制御端子（ゲート）が形成されており、これに対向する面にコレクタが形成されている。図では、半導体チップ22pと半導体チップ22nとでアルファベットを逆に記載しているが、これは、1の面とこれに対向する面との配置が、半導体チップ22p, 22n同士で互いに逆であることを表現したものである。上記半導体チップ22p, 22nには、さらに、フリーホイールダイオードFDp, FDnが形成されている。なお、ここでは、スイッチング素子SwpとフリーホイールダイオードFDpとが形成される半導体チップ22pを同一の符号で表現し、スイッチング素子Sw nとフリーホイールダイオードFDnとが形成される半導体チップ22nを同一の符号で表現しているが、これは同一の半導体基板にこれらが併設されることを意味しているのではなく、単なる便宜上のものである。

【0067】

半導体チップ22pのうちコレクタおよびカソードが形成されている面は、ビア導体24pを介して上記高電位側の配線Lpを構成する配線層26pに接続されている。一方、半導体チップ22nのうちエミッタ、ゲートおよびアノードが形成されている面は、ビア導体24nを介して上記低電位側の配線Lnを構成する配線層26nに接続されている。ここで、配線層26p, 26nは、同一層（配線層）を構成するものである。ちなみに、配線層26nについては、エミッタおよびアノードに接続される部分と、ゲートに接続される部分とが互いに絶縁されている。図3(a)は、図2のA-A断面図であり、図3(b)は、図2のB-B断面図の一部である。ちなみに、図3(b)では、半導体チップ22nのゲート（これに接続される配線をGと表記）のみならず、ケルビンエミッタ電極（これに接続される部分をKEと表記）が、エミッタと絶縁されていることを示している。ちなみに、ケルビンエミッタ電極とは、IGBTのエミッタと同電位であるが大電流を出力しない端子のことであり、スイッチング素子Swp, Sw nのドライブ回路の基準電位を生成するためのものである。なお、エミッタと絶縁された配線部分としては、ケルビンエミッタ電極やゲートに接続されるものに限らない。例えば、スイッチング素子Swpの一对の端子間を流れる電流と相関を有する微小電流を出力するセンス端子に接続されるもの等、駆動回路側に接続される任意の端子（電極）に接続されるものを含めてもよい。

【0068】

上記配線層26p, 26nはそれぞれ、上記高電位側の配線Lp、上記低電位側の配線Lnを構成する。また、配線層26pは、ビア導体32pを介して多層基板20の表面に

10

20

30

40

50

形成されたスナバ回路SCに接続されている。また、配線層26nは、ビア導体32pと同一層に形成されたビア導体32nを介してスナバ回路SCに接続されている。ここで、スナバ回路SCは、配線層26p, 26n間を最短で結ぶ電気経路に平行に走るように配置されている。また、配線層26p, 26nとスナバ回路SCとの接続手段であるビア導体32p, 32nの長さは、これらビア導体32pおよび配線層26pの接続点とビア導体32nおよび配線層26nの接続点との間隔よりも十分に短いものとなっている。このため、配線層26p, 26nは、スナバ回路SCによって互いに接続され、この際の接続経路の長さは、スナバ回路SCの要する長さ程度となる。

【0069】

上記配線層26pは、ビア導体28pを介して導体30pに接続されている。また、上記配線層26nのうち半導体チップ22nのエミッタおよびアノードが接続される部分は、ビア導体28nを介して導体30nに接続されている。ここで、導体30p, 30nは、上記高電位側の配線Lp、低電位側の配線Lnを構成するのみならず、半導体チップ22p, 22nの生じる熱を拡散させるためのヒートスプレッドの機能を併せ持つものである。ヒートスプレッドの機能は、導体30p, 30nの表面積を半導体チップ22p, 22nの表面積よりも大きくすることおよびその高さを十分に確保することで実現されている。なお、導体30p, 30nの高さは、スナバ回路SCの高さ以上に設定されている。

10

【0070】

一方、半導体チップ22pのうちエミッタおよびアノードが形成されている面は、ビア導体34pを介して上記中間配線Loを構成する配線層36に接続されている。また、半導体チップ22nのうちコレクタおよびカソードが形成されている面は、ビア導体34nを介して上記中間配線Loを構成する配線層36に接続されている。ここで、配線層36は、半導体チップ22pのゲルピンエミッタ電極やゲートに接続される部分と、エミッタに接続される部分とが互いに絶縁されるようにして構成されている。

20

【0071】

上記配線層36のうち、半導体チップ22pのエミッタやアノード、半導体チップ22nに接続される部分は、ビア導体38を介して多層基板20の表面に形成される導体40に接続されている。ここで、導体40は、上記中間配線Loを構成するのみならず、半導体チップ22p, 22nの生じる熱を拡散させるためのヒートスプレッドの機能を併せ持つものである。ヒートスプレッドの機能は、ビア導体38の表面積を半導体チップ22p, 22nの表面積よりも大きくすることおよびその高さを十分に確保することで実現されている。

30

【0072】

上記導体30p, 30nの生じる熱は、絶縁膜42を介して放熱体44に放出される。また、導体40の生じる熱は、絶縁膜46を介して放熱体48に放出される。ここで、絶縁膜42, 46は、熱伝導率が極力高いものを用いることが望ましく、例えばセラミックや絶縁フィルム等とすればよい。なお、上記多層基板20としては、熱可塑性樹脂フィルムを熱プレスによって多層化したものとしてもよい。

【0073】

上記構成によれば、スナバ回路SCおよび半導体チップ22p間を流れる電流経路と半導体チップ22pおよび配線層36間を流れる電流経路とを対向させて且つその電流の流通方向を互いに逆とすることで、この経路のインダクタンスを低減することができる。同様に、スナバ回路SCおよび半導体チップ22n間を流れる電流経路と半導体チップ22nおよび配線層36間を流れる電流経路とを対向させて且つその電流の流通方向を互いに逆とすることで、この経路のインダクタンスを低減することができる。また、高電位側のスイッチング素子Swpや低電位側のスイッチング素子Sw nのスイッチング状態の切り替えに伴って変化する電流(高周波電流)の経路をショートループ化することができる。すなわち、この際の電流の経路は、図2に示すスナバ回路SC、配線層26p、半導体チップ22p、配線層36、半導体チップ22nおよび配線層26nによって構成されるループ経路となり、多層基板20の厚さによって規定された非常に小さい経路となる。この

40

50

ため、この経路に高周波電流が流れたとしても、これによるサージや放射ノイズを十分に抑制することができる。

【0074】

また、本実施形態では、図2のB-B断面を図4に示すように、高電位側のバスバB_pに接続される高電位側の配線L_pと、バスバB_oに接続される中間配線L_oと、低電位側のバスバB_nに接続される低電位側の配線L_nとが、多層基板20のうちの半導体チップ22_p、22_nのエミッタおよびコレクタが接続される一対の面との平行を保つように形成されている。このため、上記高周波電流の流れる経路と、高電位側の配線L_pおよび中間配線L_oを流れる電流経路、低電位側の配線L_nおよび中間配線L_oを流れる電流経路とが直交する。これにより、配線L_pおよび中間配線L_oを流れる電流（低周波電流：図中、I_aと表記）や中間配線L_oおよび配線L_nを流れる電流（低周波電流：図中、I_bと表記）によって生じる磁束が、高周波電流（図中、I_cと表記）によって生じる磁束に直交する。このため、低周波電流によって生じる磁束に、高周波電流によって生じる磁束が重畳することにより、高周波電流によって生じる磁束による放射ノイズが大きくなることを回避することができる。

10

【0075】

ここで、磁束の方向とは、電流によって生じる磁束のうち磁束密度の最も大きい部分の方向とする。すなわち、低周波電流によって生じる磁束の方向は、図4に方向D_A、D_Bとして示すように、紙面に直交する方向である。これに対し、高周波電流によって生じる磁束は、図4に方向D_Cとして示す方向である。なお、図4では、方向D_A、D_Bを紙面上部から下部へと進む方向として例示したが逆方向もありうる。

20

【0076】

さらに、高電位側の配線L_p、中間配線L_o、および低電位側の配線L_nと、ゲートやケルビンエミッタ電極に接続される配線（図中、G、K_E）とが、多層基板20の互いに対向する面側に伸びるようにした。これにより、高電位側の配線L_pおよび中間配線L_oを流れる電流や中間配線L_oおよび低電位側の配線L_nを流れる電流によって生じる磁束の影響がゲートやケルビンエミッタ電極に及ぼされることを好適に抑制することができる。

【0077】

以上詳述した本実施形態によれば、以下の効果が得られるようになる。

30

【0078】

(1) 高電位側のスイッチング素子S_{w_p}およびフリーホイールダイオードF_{D_p}ならびに低電位側のスイッチング素子S_{w_n}およびフリーホイールダイオードF_{D_n}を多層基板20に配置して且つ、スイッチング素子S_{w_p}、S_{w_n}とともにループ回路を構成するスナバ回路S_Cを多層基板20上に配置した。これにより、スイッチング素子S_{w_p}、S_{w_n}のオン・オフ操作に伴う電流の急激な変化が生じる電流の経路を十分小さくすることができ、ひいてはサージや放射ノイズを抑制することができる。

【0079】

(2) 配線L_pおよび中間配線L_oを流れる電流や中間配線L_oおよび配線L_nを流れる電流によって生じる磁束と、高周波電流によって生じる磁束とを互いに直交させた。これにより、スイッチング素子S_{w_p}、S_{w_n}のスイッチング状態の切り替えによって生じる高周波電流に起因した磁束が、配線L_pおよび中間配線L_oを流れる電流や中間配線L_oおよび配線L_nを流れる電流によって生じる磁束に重畳することで、放射ノイズ等が大きくなる事態を好適に回避することができる。

40

【0080】

(3) 高電位側のバスバB_pに接続される高電位側の配線L_p、バスバB_oに接続される中間配線L_o、および低電位側のバスバB_nに接続される低電位側の配線L_nと、ゲートやケルビンエミッタ電極に接続される配線（図中、G、K_E）とを、多層基板20の互いに対向する面側に伸びるように形成した。これにより、配線L_p、L_nと中間配線L_oとの間に流れる電流によって生成される磁界が、ゲートやケルビンエミッタ電極に作用す

50

ることを好適に抑制することができる。

【0081】

(4) 配線層26p, 26nや導体30p, 30n、配線層36、導体40の表面積を、半導体チップ22p, 22nの表面積よりも大きくした。これにより、配線層26p, 26n, 36や導体30p, 30n, 40によって半導体チップ22p, 22nを好適に放熱させることができる。

【0082】

(5) 導体30p, 30nの高さを、スナバ回路SCを構成する素子の高さ以上に設定した。これにより、導体30p, 30nの高さを十分に確保することができ、ひいては半導体チップ22p, 22nの熱を拡散させる効果を高めることができる。

10

【0083】

(6) 導体30p, 30nの熱や導体40の熱を絶縁膜42, 46を介して放熱体44, 48に放出させた。これにより、半導体チップ22p, 22nの放熱効果をいっそう高めることができる。

【0084】

(7) スナバ回路SCと配線層26p, 26nとを、ビア導体32p, 32nを介して接続した。これにより、コンデンサ16と抵抗体18との接続を配線層26p, 26nによって行うことができる。

<第2の実施形態>

以下、第2の実施形態について、先の第1の実施形態との相違点を中心に図面を参照しつつ説明する。

20

【0085】

図5に、本実施形態にかかるパワーモジュールPMの断面構成を示す。なお、図5において、先の図2に示した部材に対応する部材については、便宜上同一の符号を付している。

【0086】

図示されるように、本実施形態では、先の図2に示したビア導体32p, 32nを削除し、導体30p, 30nをスナバ回路SCに直接接続する。なお、この場合、コンデンサ16と抵抗体18とは、多層基板20の表面で接続されることとなる。

<第3の実施形態>

以下、第3の実施形態について、先の第1の実施形態との相違点を中心に図面を参照しつつ説明する。

30

【0087】

図6に、本実施形態にかかる多層基板の断面構成を示す。なお、図6において、先の図2に示した部材に対応する部材については、便宜上同一の符号を付している。

【0088】

本実施形態では、スイッチング素子Swp, SwnをNチャネルのパワーMOS型電界効果トランジスタとして且つ、フリーホイールダイオードFDp, FDnを上記トランジスタの寄生ダイオードとする。そして、トランジスタを横型デバイスとする。すなわち半導体チップ22p, 22nの1の面に、ソースおよびドレインの双方が形成されたものとする。このトランジスタは、例えばGaNHEMTによって形成されるものとすればよい。

40

【0089】

詳しくは、図示されるように、半導体チップ22p, 22nは、多層基板20の同一層に形成され、高電位側のスイッチング素子SwpのドレインDとスナバ回路SCとが、多層基板20の表面に形成された配線層26pを介して接続されている。また、低電位側のスイッチング素子SwnのソースSとスナバ回路SCとが、多層基板20の表面に形成された配線層26nを介して接続されている。また、高電位側のスイッチング素子SwpのソースSと、低電位側のスイッチング素子SwnのドレインDとは、多層基板20の裏面に形成された配線層36を介して接続されている。なお、多層基板20の裏面側であっ

50

て且つ配線層 3 6 との間には、絶縁膜 5 0 が形成されている。この絶縁膜 5 0 は、熱伝導率が極力高いものを用いることが望ましく、例えばセラミックや絶縁フィルム等によって構成すればよい。

【 0 0 9 0 】

こうした構成の場合、スナバ回路 S C は、半導体チップ 2 2 p , 2 2 n が埋め込まれた絶縁体 (多層基板 2 0) に接触していない。しかし、この場合であっても、配線層 2 6 p , 2 6 n を最短で結ぶ電気経路に平行に走るようにスナバ回路 S C が形成されたり、パワーモジュール P M 内にスナバ回路 S C が半導体チップ 2 2 p , 2 2 n 等と実質的に一体形成されたりしているために、上記第 1 の実施形態の上記 (1) の効果等を得ることができる。

10

< 第 4 の実施形態 >

以下、第 4 の実施形態について、先の第 1 の実施形態との相違点を中心に図面を参照しつつ説明する。

【 0 0 9 1 】

図 7 に、本実施形態にかかる多層基板の断面構成を示す。なお、図 7 において、先の図 2 に示した部材に対応する部材については、便宜上同一の符号を付している。

【 0 0 9 2 】

本実施形態では、半導体チップ 2 2 p , 2 2 n のうちエミッタおよびコレクタが形成される一対の面に直交する方向に、半導体チップ 2 2 p , 2 2 n を直列に並べる。詳しくは、この配置を、多層基板 2 0 のうちの互いに相違する層に半導体チップ 2 2 p , 2 2 n を埋め込むことで実現する。

20

【 0 0 9 3 】

具体的には、多層基板 2 0 の 1 の面に、スナバ回路 S C と低電位側のスイッチング素子 S w n とを接続する配線層 2 6 n が形成され、配線層 2 6 n は、ビア導体 3 4 n を介して半導体チップ 2 2 n のうちエミッタやアノードが形成される側の面に接続されている。そして、半導体チップ 2 2 p のうちのコレクタやカソードが接続される面は、ビア導体 2 4 n を介して配線層 3 6 に接続されている。この配線層 3 6 は、多層基板 2 0 から突き出すようにして形成されている。そして配線層 3 6 は、ビア導体 3 4 p を介して半導体チップ 2 2 p のエミッタやアノードの形成される面に接続されている。半導体チップ 2 2 p のコレクタが形成される面は、ビア導体 2 4 p を介して配線層 2 6 p に接続されている。

30

【 0 0 9 4 】

そして、上記配線層 2 6 p , 2 6 n は、多層基板 2 0 から突き出すように伸び、多層基板 2 0 に併設されたスナバ回路 S C に接続されている。

【 0 0 9 5 】

こうした構成によっても、スイッチング素子 S w p , S w n のスイッチング状態の切り替えに伴う高周波電流を小さいループ経路に閉じ込めることができる。

< 第 5 の実施形態 >

以下、第 5 の実施形態について、先の第 3 の実施形態との相違点を中心に図面を参照しつつ説明する。

【 0 0 9 6 】

図 8 に、本実施形態にかかる多層基板の断面構成を示す。なお、図 8 において、先の図 6 に示した部材に対応する部材については、便宜上同一の符号を付している。

40

【 0 0 9 7 】

本実施形態では、横型デバイスからなる半導体チップ 2 2 p , 2 2 n を直列に配置する。詳しくは、この配置を、多層基板 2 0 のうちの互いに相違する層に半導体チップ 2 2 p , 2 2 n を埋め込むことで実現する。

【 0 0 9 8 】

具体的には、半導体チップ 2 2 p のうちのソース S やドレイン D が形成された面と、半導体チップ 2 2 n のうちのソース S やドレイン D が形成された面とを、互いに多層基板 2 0 の対向する面側に対向させて配置する。そしてこれら半導体チップ 2 2 p , 2 2 n のう

50

ちのソースSおよびドレインDが形成された面に対向する面の間には、絶縁膜52p, 52nを介して配線層36が形成されている。この配線層36は、多層基板20の側面を伸びて半導体チップ22pのソースSと半導体チップ22nのドレインとに接続されている。ちなみに、配線層36を、絶縁膜52p, 52nに挟まれる領域にまで延ばしているのは、半導体チップ22p, 22nの放熱効果を高めるためである。

【0099】

また、半導体チップ22pのドレインDと、半導体チップ22nのソースSとは、それぞれ配線層26p, 26nを介して、多層基板20に併設されたスナバ回路SCに接続されている。

【0100】

こうした構成によっても、スイッチング素子Swp, Swnのスイッチング状態の切り替えに伴う高周波電流を小さいループ経路に閉じ込めることができる。

<第6の実施形態>

以下、第6の実施形態について、先の第1の実施形態との相違点を中心に図面を参照しつつ説明する。

【0101】

図9に、本実施形態にかかるパワーモジュールPMの回路構成を示す。なお、図9において、先の図1に示した部材に対応する部材については、便宜上同一の符号を付している。

【0102】

図示されるように、本実施形態では、高電位側のスイッチング素子Swpと低電位側のスイッチング素子Swnとのそれぞれの入力端子および出力端子間に、個別スナバ回路SCsを接続する。ここで、個別スナバ回路SCsは、抵抗体18sおよびコンデンサ16sの直列接続体である。これら個別スナバ回路SCsによれば、サージを好適に抑制することができる。すなわち、まず第1に、スイッチング素子Swp, Swnがオン状態からオフ状態に切り替わる際の入力端子および出力端子間の電圧の変化速度を個別スナバ回路SCsによって制限することでサージを抑制することができる。第2に、フリーホイールダイオードFDp, FDnのリカバリ現象に伴う電流の急激な変化によって、その両端に電圧が印加されるに際しての電圧の変化速度を個別スナバ回路SCsによって制限することでサージを抑制することができる。

【0103】

図10に、本実施形態にかかるパワーモジュールPMの断面構成を示す。なお、図10において、先の図2に示した部材に対応する部材については、便宜上同一の符号を付している。

【0104】

図示されるように、本実施形態では、配線層26p, 26nのそれぞれに、個別スナバ回路SCsを構成する抵抗体18sの一方の端子を接続する。また、配線層26p, 26nと同一層に、配線層26sを設け、配線層26sに、個別スナバ回路SCsの抵抗体18sの他方の端子を接続する。一方、配線層36には、個別スナバ回路SCsを構成するコンデンサ16sの一方の端子を接続する。また、配線層36と同一層に、配線層36sを設け、配線層36sに、個別スナバ回路SCsのコンデンサ16sの他方の端子を接続する。そして、個別スナバ回路SCsのそれぞれに対応する配線層26sと配線層36sとを、多層基板20を貫通する導体54によって接続する。

【0105】

こうした構成によれば、半導体チップ22pおよび配線層26s間を流れる電流と、半導体チップ22pおよび配線層36s間を流れる電流とを互いに対向させて且つ逆方向とさせることができるため、配線層26p, 26s, 36s, 36等の寄生インダクタンスを低減することができる。また、高電位側のスイッチング素子SwpおよびフリーホイールダイオードFDpの両端子間と個別スナバ回路SCsとを結ぶ電流経路をショートループ化することができ、ひいては、個別スナバ回路SCsの寄生インダクタンスを低減した

10

20

30

40

50

り、放射ノイズを低減したりすることができる。なお、こうした効果は、半導体チップ 22n に接続される個別スナバ回路 SCs についても同様に生じる。

【0106】

なお、本実施形態では、半導体チップ 22p, 22n の放熱機能は、配線層 26p, 26n, 36 が担っている。

【0107】

図 11(a) に、パワーモジュール PM の上面構造を示し、図 11(b) に、パワーモジュール PM の下面構造を示す。なお、図において、スナバ回路 SC および個別スナバ回路 SCs は、いずれもコンデンサの並列接続体を備えて構成されている。これは、スイッチング素子 Swp, Swn および個別スナバ回路 SCs にて構成されるループ回路をいっ
 そうショートループ化するための設定である。すなわち、コンデンサ 16s の静電容量を確保すべく、表面積の大きいものを用いる場合、温度変化による応力ストレスが大きくなるという問題がある。そして温度の変化による影響を低減すべくコンデンサ 16s および多層基板 20 間の間隙を拡大するなら、電流経路のショートループ化の効果が低減する。このため、コンデンサ 16s として、複数のコンデンサの並列接続体を用いた。

10

【0108】

以上詳述した本実施形態によれば、先の第 1 の実施形態の上記各効果に加えて、さらに以下の効果が得られるようになる。

【0109】

(8) 個別スナバ回路 SCs を備えることで、サージを低減することができる。

20

【0110】

(9) 個別スナバ回路 SCs と、半導体チップ 22p, 22n とを接続する配線 (配線層 26p, 26n, 26s, 36s, 36 および導体 54) を多層基板 20 の配線として構成した。これにより、個別スナバ回路 SCs および半導体チップ 22p, 22n を備えるループ経路をショートループ化することができる。

【0111】

(10) 個別スナバ回路 SCs の抵抗体 18s とコンデンサ 16s とを、多層基板 20 の一対の面に割り振って実装した。これにより、個別スナバ回路 SCs および半導体チップ 22p, 22n を備えるループ経路をいっそうショートループ化することができる。

【0112】

(11) スナバ回路 SC や個別スナバ回路 SCs のコンデンサを複数のコンデンサの並列接続体にて構成した。これにより、静電容量を確保しつつも電流経路を好適にショートループ化することができる。

30

< 第 7 の実施形態 >

以下、第 7 の実施形態について、先の第 6 の実施形態との相違点を中心に図面を参照しつつ説明する。

【0113】

図 12 に、本実施形態にかかるパワーモジュール PM の断面構成を示す。なお、図 12 において、先の図 10 に示した部材に対応する部材については、便宜上同一の符号を付している。

40

【0114】

図示されるように、本実施形態では、コンデンサ 16s および抵抗体 18s の双方を多層基板 20 の 1 の面側に配置した。この場合、スイッチング素子 Swp, Swn およびフリーホイールダイオード FDP, FDN の両端部と個別スナバ回路 SCs にて構成されるループ回路は、上記第 6 の実施形態におけるものと比較すると大きくなるものの、多層基板 20 への表面実装を 1 の面に限ることができることから、製造工程を簡素化することができる等のメリットを有する。

【0115】

本実施形態によっても、先の第 6 の実施形態の上記 (8)、(9)、(11) の効果を得ることはできる。

50

< 第 8 の実施形態 >

以下、第 8 の実施形態について、先の第 1 の実施形態との相違点を中心に図面を参照しつつ説明する。

【 0 1 1 6 】

図 1 3 に、本実施形態にかかるパワーモジュール P M の構成を示す。なお、図 1 3 において、先の図 1 に示した部材に対応するものについては、便宜上同一の符号を付している。

【 0 1 1 7 】

図示されるように、本実施形態にかかるスナバ回路 S C は、高電位側のスイッチング素子 S w p および低電位側のスイッチング素子 S w n の直列接続体に並列接続された抵抗体 1 8 b、ダイオード 1 7 およびコンデンサ 1 6 の直列接続体と、抵抗体 1 8 b 及びコンデンサ 1 6 に並列接続された抵抗体 1 8 b とを備えて構成されている。ここで、抵抗体 1 8 b およびダイオード 1 7 は、コンデンサ 1 6 の充電経路を構成し、抵抗体 1 8 a は、コンデンサ 1 6 の放電経路を構成する。ここで、抵抗体 1 8 a の抵抗値 R a は、抵抗体 1 8 b の抵抗値 R b よりも大きく設定される。以下、このスナバ回路 S C の動作について説明する。

【 0 1 1 8 】

ここでは、図 1 4 (a) に示すように下側アームのフリーホイールダイオード F D n に電流が流れている状況下、図 1 4 (b) に示すように上側アームのスイッチング素子 S w p をオン操作する場合を考える。この場合、高電位側のバスバ B p から高電位側のスイッチング素子 S w p へと電流が流れ始めるものの、高電位側のバスバ B p の寄生インダクタンス p l によって生じる逆起電圧によって、電流の増加速度が制限される。また、低電位側のバスバ B n を流れる電流が減少するものの、低電位側のバスバ B n の寄生インダクタンス p l によって生じる逆起電圧によって、電流の減少速度が制限される。この際、高電位側のバスバ B p の寄生インダクタンス p l の逆起電圧や、低電位側のバスバ B n の寄生インダクタンス p l の逆起電圧は、高電位側のスイッチング素子 S w p の入力端子および出力端子間に印加されるインバータ I V の入力電圧を打ち消す側の極性である。このため、高電位側のスイッチング素子 S w p のオン操作に際して入力端子および出力端子間に印加される電圧を小さくすることができ、ひいてはオン状態への切り替えに際してのスイッチング損失を低減することができる。

【 0 1 1 9 】

このスイッチング損失の低減効果は、抵抗体 1 8 a の抵抗値 R a を大きくしたことに関係している。すなわち、この抵抗値 R a を小さくする場合、高電位側のスイッチング素子 S w p をオン状態とすることでこれに流れる電流や、フリーホイールダイオード F D n を流れるリカバリ電流は、抵抗体 1 8 a を介して放電されるコンデンサ 1 6 の放電電流によって補われるため、上記寄生インダクタンス p l による逆起電圧が小さくなる。

【 0 1 2 0 】

その後、図 1 4 (c) に示すように、フリーホイールダイオード F D n のリカバリ電流が減少する期間においては、抵抗体 1 8 b やダイオード 1 7 を備える充電経路を介してコンデンサ 1 6 が充電されることで高電位側のバスバ B p や低電位側のバスバ B n を流れる電流の変化を緩和することができ、ひいてはサージ電圧を好適に低減することができる。

【 0 1 2 1 】

ここで、リカバリ電流が減少する期間においてサージ電圧を低減することができるのは、第 1 には、上記第 1 の実施形態に記載した理由である。すなわち、抵抗体 1 8 a、ダイオード 1 7 およびコンデンサ 1 6 と、高電位側のスイッチング素子 S w p および低電位側のスイッチング素子 S w n とを備える経路（高周波電流が流れる経路）をショートループ化することで、この経路の寄生インダクタンスを十分に小さくできるからである。そして第 2 に、抵抗体 1 8 b の抵抗値 R b を小さくしたためである。すなわち、このため、コンデンサ 1 6 の充電電流を急激に増加させることができることから、高電位側のバスバ B p や低電位側のバスバ B n の電流の変化を十分に緩和することができる。

【 0 1 2 2 】

なお、スナバ回路 S C によって低減されるサージ電圧としては、フリーホイールダイオード F D p のリカバリ電流の減少期間におけるものや、スイッチング素子 S w p 、 S w n をオン状態からオフ状態へと切り替える際のものもある。

【 0 1 2 3 】

このように、本実施形態にかかるスナバ回路 S C は、高周波電流が流れる経路をショートループ化した構成において特に有益である。ちなみに、抵抗体 1 8 a の抵抗値 R a は、コンデンサ 1 6 の放電速度を定めるものであり、コンデンサ 1 6 の放電速度は、コンデンサ 1 6 の電圧が徐々に上昇していく事態を回避することや、許容範囲内に収めることができるとの条件を満たす限りで、小さくしてもかまわないものである。

10

< 第 9 の実施形態 >

以下、第 9 の実施形態について、先の第 8 の実施形態との相違点を中心に図面を参照しつつ説明する。

【 0 1 2 4 】

図 1 5 (a) に、本実施形態にかかるパワーモジュール P M の構成を示す。なお、図 1 5 (a) において、先の図 1 3 に示した部材に対応するものについては、便宜上同一の符号を付している。

【 0 1 2 5 】

図示されるように、本実施形態では、コンデンサ 1 6 の充電経路に抵抗体 1 8 b を備えない。ただし、ダイオード 1 7 のオン抵抗については、先の第 8 の実施形態のものと比較して大きくしている。これは、高電位側のバスバ B p や低電位側のバスバ B n の寄生インダクタンスとコンデンサ 1 6 との共振現象の発生を抑制するための設定である。すなわち、ダイオード 1 7 のオン抵抗を小さくする場合、上記共振現象が生じるため、コンデンサ 1 6 の充電電流 I 2 は、図 1 5 (b) に破線にて示されるように、正弦波形状となる。これに対し、ダイオード 1 7 のオン抵抗を大きくすることで共振現象の発生を抑制し、ひいては図 1 5 (a) に実線にて示す充電電流 I 1 を流すことができる。この充電電流 I 1 は、スイッチング素子 S w p , S w n のスイッチング状態の切替速度によって定まるものである。

20

【 0 1 2 6 】

こうした設定は、スイッチング状態の切替によって上記寄生インダクタンスがなかったならばスイッチング素子に流れる電流の変化速度の方が上記共振現象によって流れる充電電流 I 2 の変化速度よりも大きくなる設定の場合には特に有効である。すなわち、この場合、共振現象の発生を抑制することで、スイッチング状態の切替速度に応じてコンデンサ 1 6 の充電速度を定めることができる。

30

【 0 1 2 7 】

また、充電経路のインピーダンスが過度に低い場合、抵抗体 1 8 a を介したコンデンサ 1 6 の放電時にも共振現象が生じることが発明者らによって確認されている。こうした観点からも、ダイオード 1 7 のオン抵抗を高くすることで、共振現象の発生を抑制することが有効である。

【 0 1 2 8 】

さらに、本実施形態では、抵抗体 1 8 a をパワーモジュール P M に対して外付けする。これは、スナバ回路 S C のうち、線形素子としての抵抗体 (抵抗体 1 8 a) の発熱量が大きくなりやすいことに鑑みたものである。ここで、抵抗体 1 8 a は、コンデンサ 1 6 の放電経路を構成するものであるため、スイッチング素子 S w p , S w n の直列接続体と抵抗体 1 8 a とで構成される経路に対しては、ショートループ化の要求は生じない。そして本実施形態では、ショートループ化の必要な充電経路については、抵抗体を備えないことで、発熱の問題を好適に抑制することができる。

40

< 第 1 0 の実施形態 >

以下、第 1 0 の実施形態について、先の第 8 の実施形態との相違点を中心に図面を参照しつつ説明する。

50

【0129】

図16に、本実施形態にかかるパワーモジュールPMの構成を示す。なお、図16において、先の図13に示した部材に対応するものについては、便宜上同一の符号を付している。

【0130】

図示されるように、本実施形態では、抵抗体18bを充電経路と放電経路とで共有する。これにより、充電経路は、抵抗体18bを備えて且つ、放電経路は、抵抗体18aおよび抵抗体18bの直列接続体を備えることとなる。

【0131】

この場合、たとえば抵抗体18a, 18bを1つの抵抗体として製造することで、抵抗体の実装にかかわるプロセスを簡素化したり、実装面積を低減したりすることができる。そしてこの場合には、低コスト化や、高周波電流経路のショートループ化を促進しやすい。

10

<その他の実施形態>

なお、上記各実施形態は、以下のように変更して実施してもよい。

【0132】

「低周波電流による磁束と高周波電流による磁束とのなす角について」

これらのなす角としては、上記第1、2の実施形態において例示したように直交するものに限らない。これらが平行となる場合と比較して平行とならない場合の方が、高周波電流による磁束が低周波電流による磁束に及ぼす影響が小さくなるため、ノイズ放射を低減する効果が期待できる。

20

【0133】

「開閉制御端子に接続される導体とバスバとの配置関係について」

これらについては、上記第1の実施形態において例示したように、多層基板20の互いに対向する面側に伸びるようにするものに限らない(互いに伸びる方向が180°をなすものに限らない)。例えば、互いに直交する面側に伸びるようにしてもよい。これによっても、これらを多層基板20の同一面側に伸びるようにする場合と比較して、配線Lp, Lnと中間配線Loとの間を流れる電流による磁界の影響を開閉制御端子が受けにくい設定とはなる。

【0134】

「開閉制御端子と基準電位端子とのそれぞれに接続される配線について」

同一層とするものに限らない。ただし、互いに相違する層とする場合、先の図4に示した高周波電流によって生じる磁束がこれら一対の配線間を鎖交し、これら一対の配線の一方から他方へと電流を流そうとする起電力が生じるおそれがある。このため、こうした設定の場合には、これらの配線を、たとえば先の図4に示した配線Lp, Ln, Loに直交して且つこれらにつながる面に直交する面から外部に延ばすなどすることで、上記磁束の密度が小さい領域に配置することが望ましい。特に、この際、一対の配線を先の図4に示す平面において同一座標に配置するなら、低周波電流によって生じる磁束の影響を受けにくくすることができる。

30

【0135】

「スイッチング素子およびスナバ回路を接続する配線について」

この配線としては、配線層26pおよび導体30pや、配線層26nおよび導体30n、配線層36および導体40を備えて構成されるものに限らない。例えば、これらを一体的に構成してもよい。これは、例えば多層基板20の表面を、配線層26p, 26nの表面積と同一に開口させ、ここに導体30p, 30nを配置するなどすることで行うことができる。

40

【0136】

また、多層基板20の熱伝導率が十分である場合等にあつては、配線層26p, 26nの面積を半導体チップ22p, 22nの面積よりも大きくしなくてもよい。

【0137】

50

さらに、放熱体 44 を介した放熱が必要ではないなら、スナバ回路 SC の高さよりも導体 30p, 30n の高さの方が低くなる設定であってもよい。ちなみに、上記第 6, 7 の実施形態のように、配線層 26p, 26n, 36 による放熱機能で十分な場合には、導体 30p, 30n, 40 を備えなくてもよい。図 17 に、第 1 の実施形態について、こうした場合の構成を例示する。なお、図 17 において、先の図 2 に示した部材に対応する部材については便宜上同一の符号を付している。ただし、配線層 26p, 26n とスナバ回路 SC とを接続する導体は、ハンダ 27 である。ちなみに、図 17 に示す構成の場合、スナバ回路 SC は、半導体チップ 22p, 22n が埋め込まれた絶縁体 (多層基板 20) に接触していない。しかし、この場合であっても、パワーモジュール PM 内にスナバ回路 SC が半導体チップ 22p, 22n 等と実質的に一体形成されているために、上記第 1 の実施形態の上記 (1) の効果等を得ることができる。

10

【0138】

「絶縁体について」

絶縁体としては、多層基板 20 に限らない。例えば、図 18 に例示するように、モールド材等であってもよい。図 18 において、先の図 2 に示した部材に対応する部材については、便宜上同一の符号を付している。

【0139】

図 18 では、半導体チップ 22p のエミッタおよびアノードの接続された面に、ハンダ 60p を介して導電スペーサ 62p が接続され、さらに導電スペーサ 62p には、ハンダ 64p を介して導体 40 が接続されている。また、半導体チップ 22p のコレクタおよびカソードが形成される面には、ハンダ 66p を介して導体 30p が接続されている。導体 30p には、ハンダ 70p を介してスナバ回路 SC が接続されている。

20

【0140】

一方、半導体チップ 22n のコレクタおよびカソードが形成される面には、ハンダ 66n を介して導体 40 が接続されている。また、半導体チップ 22n のエミッタおよびアノードの形成された面には、ハンダ 60n を介して導電スペーサ 62n が接続され、導電スペーサ 62n には、ハンダ 64n を介して導体 30n が接続されている。そして、導体 30n には、ハンダ 70n を介してスナバ回路 SC が接続されている。

【0141】

上記半導体チップ 22p のうちゲートやケルビンエミッタ電極は、ボンディングワイヤ (図中、G, KE にて表記) を介して端子 68p に接続されている。また、上記半導体チップ 22n のゲートやケルビンエミッタ電極は、ボンディングワイヤ (図中、G, KE にて表記) を介して端子 68n に接続されている。

30

【0142】

上記導電スペーサ 62p, 62n は、ボンディングワイヤを配置する空間を確保するための厚さを有する導体であり、例えば銅等によって形成される。なお、上記半導体チップ 22p, 22n をはじめ、導電スペーサ 62p, 62n 等は、全てモールド材 70 によって覆われている。ここで、モールド材 70 は、例えばエポキシ樹脂等、熱硬化性樹脂等によって構成される。こうした構成の場合、多層基板 20 を用いる場合と比較して、ワイヤボンディングのスペース確保等のために、高電位側のスイッチング素子 Swp や低電位側のスイッチング素子 Swn のスイッチング状態の切り替えに伴って変化する電流 (高周波電流) の経路が若干大きくなるものの、この経路のショートループ化を実現することはできる。

40

【0143】

なお、多層基板 20 を用いる場合であっても、図 19 に示すように周囲をモールド材 70 によって覆うことは有効である。図 19 は、さきの図 2 に示した構成において、導体 30p, 30n, 40 の放熱面 (絶縁膜 42, 46 に接する面) を除いてモールド材 70 によって覆った構成である。ただし、実際には、ゲートやケルビンエミッタ電極に接続される配線等については、モールド材 70 に完全に覆われることはなく外部との電氣的な接続が可能となっている。こうした構成の場合、まず第 1 に、パワーモジュール PM の剛性を

50

高めることができる。第2に、導体30p, 30n, 40間の絶縁性を高めることもできる。すなわち、これら導体30p, 30n, 40間に高電圧が印加されるに際し、周囲が空気である場合と比較して絶縁破壊をより生じにくくすることができる。

【0144】

「スナバ回路について」

上記第8の実施形態や上記第10の実施形態において、抵抗体18aをパワーモジュールPMに対して外付けしてもよい。ちなみに、抵抗体18bは、抵抗体18aと比較して抵抗値が小さく（たとえば10分の1以下）、そのサイズも小さいため、これのみをパワーモジュールPM内に設ける場合には、双方をパワーモジュールPM内に設ける場合と比較して、発熱体としての抵抗体を放熱性の高い場所に配置することが容易となる。

10

【0145】

上記第9の実施形態において、ダイオード17のオン抵抗の設定としては、先の図15(b)の特性を満たすものに限らない。

【0146】

スナバ回路SCとしては、上記各実施形態において例示したものに限らない。例えば、図20(a)に示すように、コンデンサ16のみからなるものとしてもよい。また例えば図20(b)に示すように、コンデンサ16および抵抗体18の直列接続体に、コンデンサ19を並列接続したものとしてもよい。これによれば、コンデンサ16および抵抗体18の直列接続体からなるものと比べて、スイッチング状態の切り替え時における電圧変動を抑制する効果を大きくすることができる。ちなみに、図20(b)では、パワーモジュールPM内にコンデンサ19のみを備え、コンデンサ16および抵抗体18の直列接続体については、パワーモジュールPMに対して外付けした例を示した。これにより、コンデンサ16および抵抗体18の直列接続体については、複数のパワーモジュールPM（インバータIVを構成するパワーモジュールPM）間で共有化することができる。ただし、コンデンサ16および抵抗体18の直列接続体をパワーモジュールPM内に備えることも可能である。

20

【0147】

上記第2～第7の実施形態等におけるスナバ回路SCとしても、上記に限らず、例えばダイオード等をさらに備えてもよい。

【0148】

また、スナバ回路SCを構成するコンデンサ16と、平滑用のコンデンサ13, 15を同一のコンデンサとしてもよい。

30

【0149】

「個別スナバ回路SCsについて」

個別スナバ回路SCsとしても、コンデンサ16sおよび抵抗体18sの直列接続体に限らず、たとえばダイオードをさらに備えてもよい。また、たとえば先の図13、図15および図16に示した回路としてもよい。

【0150】

ちなみに、個別スナバ回路SCsの適用対象となるスイッチング素子としても、IGBTに限らない。特に、スーパージャンクションMOS電界効果トランジスタ等、ダイオードのリカバリ電流の変化速度が大きいものにあつては、個別スナバ回路SCsを設けることは有効である。

40

【0151】

「スイッチング素子Swp, Swnについて」

これらスイッチング素子Swp, Swnとしては、フリーホイールダイオードとは別の基板上に形成されたIGBTに限らない。例えばフリーホイールダイオードが基板上に併設されたIGBTであつてもよい。

【0152】

また、MOS電解効果トランジスタとしては、横型デバイスに限らず、縦型デバイスであつてもよい。

50

【 0 1 5 3 】

「スイッチング素子 S_{wp} , S_{wn} の用途について」

これらスイッチング素子としては、車載主機と高電圧バッテリーとの間で電力の授受を仲介する電力変換回路を構成するものに限らない。例えば、高電圧バッテリー 1 2 の電力を車載空調装置のコンプレッサに供給する電力変換回路を構成するものであってもよい。また、高電圧バッテリー 1 2 の電圧を降圧して低電圧バッテリーに出力する DC DC コンバータを構成するものであってもよい。

【 0 1 5 4 】

さらに、例えば先の図 1 に示したコンバータ CV のうち、高電位側のスイッチング素子 S_{wp} を備えることなく、フリーホイールダイオード F_{Dp} のみを備えることで昇圧チョップ回路を構成してもよい。この場合、パワーモジュール PM は、第 1 流通規制要素としての低電位側のスイッチング素子 S_{wp} およびこれに逆並列接続されたフリーホイールダイオード F_{Dp} と、第 2 流通規制要素としての高電位側のフリーホイールダイオード F_{Dp} との直列接続体を備えるものの、高電位側のスイッチング素子 S_{wp} を備えないものとなる。なお、この構成において個別スナバ回路 S_{Cs} を備える場合には、第 1 流通規制要素および第 2 流通規制要素の双方にそれぞれ個別スナバ回路 S_{Cs} を並列接続する代わりに、たとえば第 2 流通規制要素にのみ個別スナバ回路 S_{Cs} を並列接続してもよい。

10

【 0 1 5 5 】

「そのほか」

・上記第 6、第 7 の実施形態においても、上記第 1 の実施形態同様、導体 3 0 p , 3 0 n , 4 0 や、放熱体 4 4 , 4 8 を備えてもよい。

20

【 0 1 5 6 】

・放熱体 4 4 , 4 8 が導体でないなら、絶縁膜 4 2 , 4 6 を備えなくてもよい。また、放熱体 4 4 , 4 8 を介することなく、例えば空冷によって多層基板 2 0 を冷却する場合等にあっても、絶縁膜 4 2 , 4 6 を備えなくてもよい。

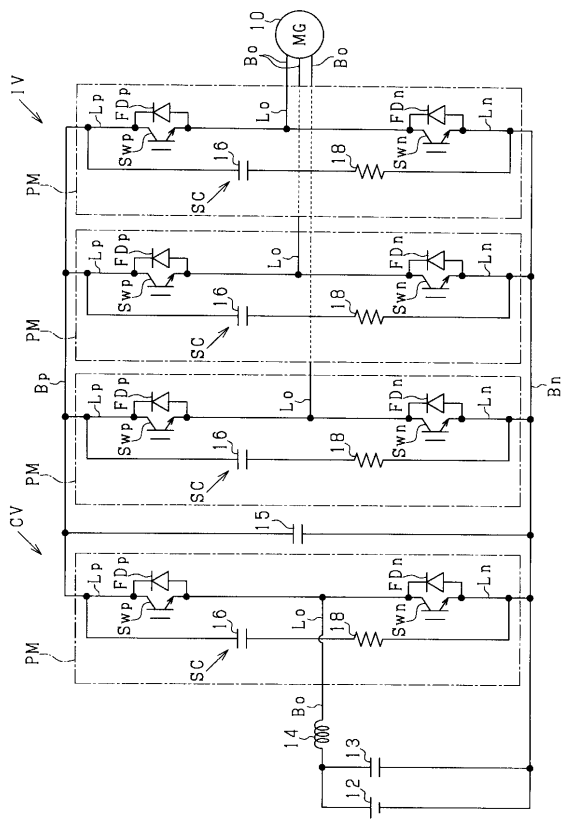
【 符号の説明 】

【 0 1 5 7 】

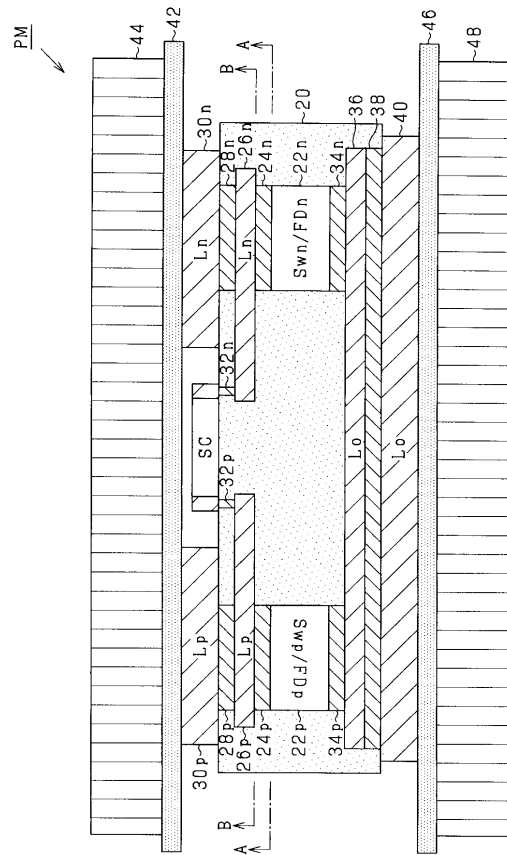
1 0 ... モータジェネレータ、1 2 ... 高電圧バッテリー、1 6 ... コンデンサ、1 8 ... 抵抗体、 S_{wp} , S_{wn} ... スwitching素子、 F_{Dp} 、 F_{Dn} ... フリーホイールダイオード、 S_{C} ... スナバ回路。

30

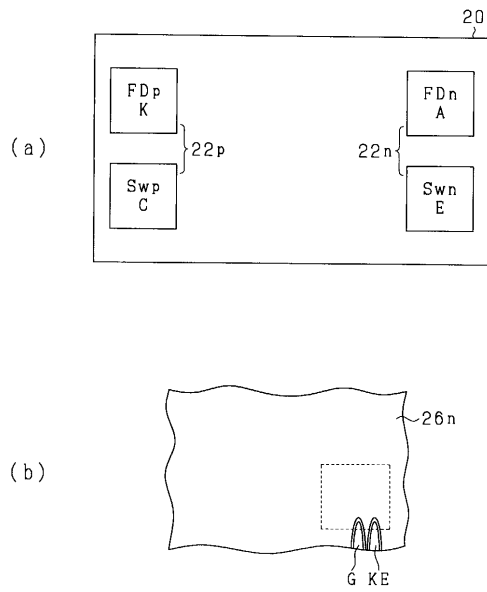
【 図 1 】



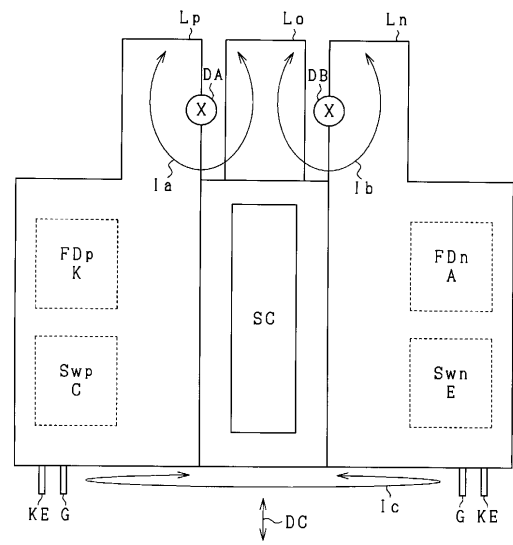
【 図 2 】



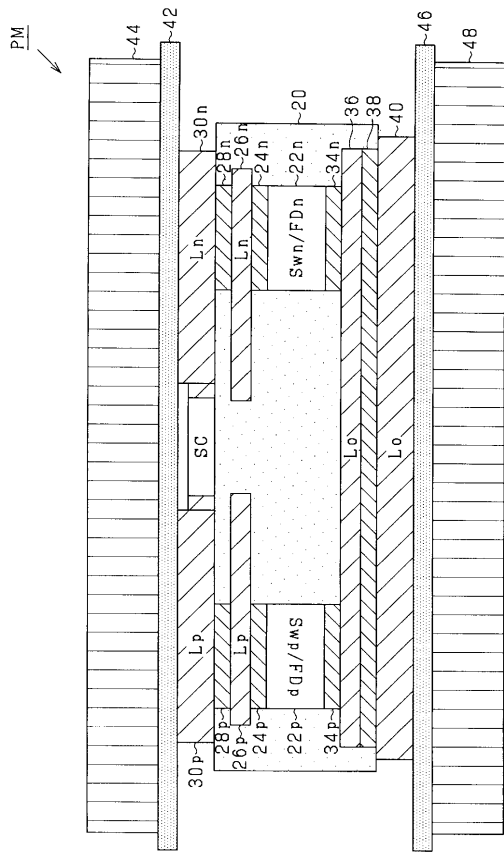
【 図 3 】



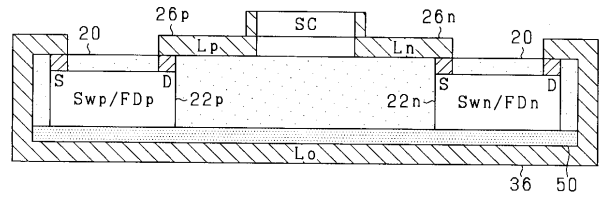
【 図 4 】



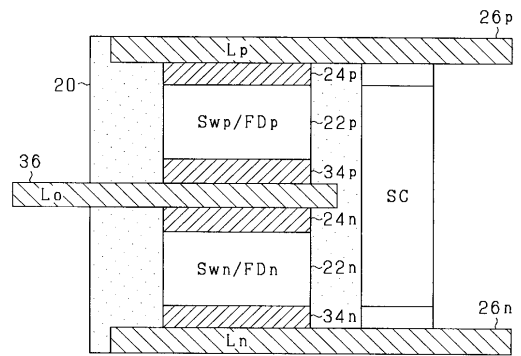
【 図 5 】



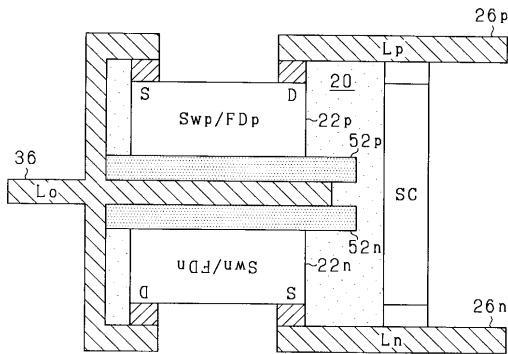
【 図 6 】



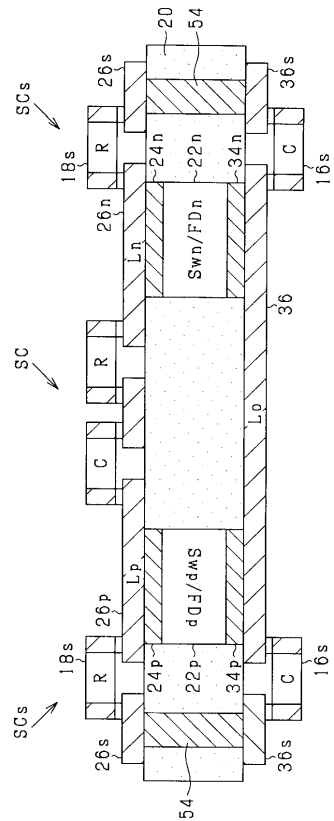
【 図 7 】



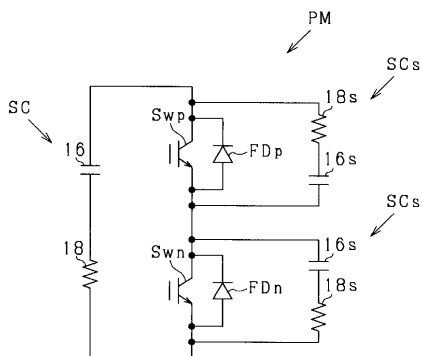
【 図 8 】



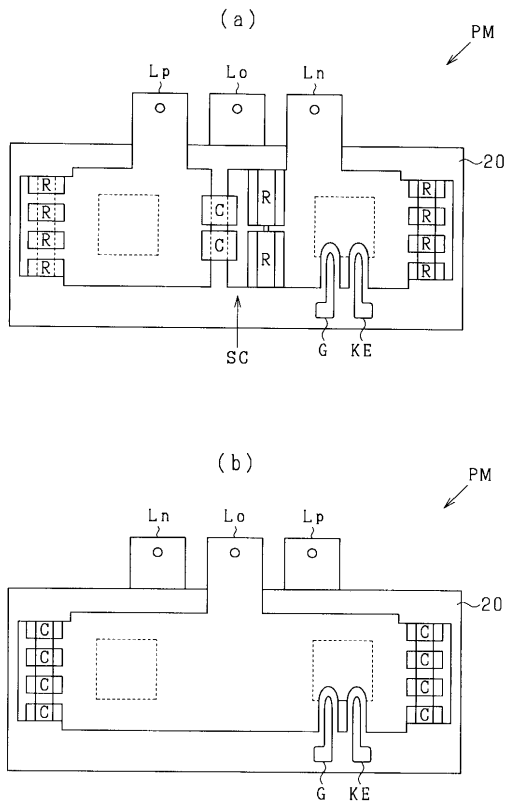
【 図 10 】



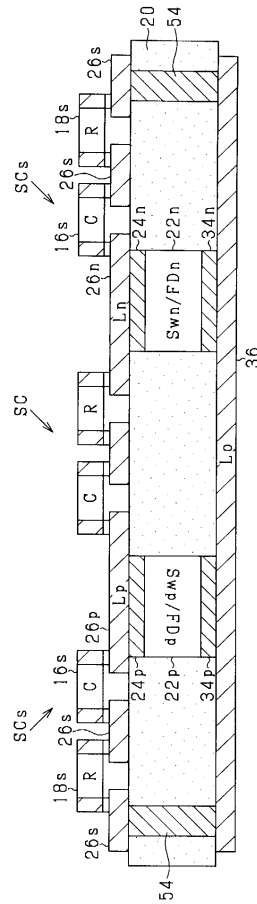
【 図 9 】



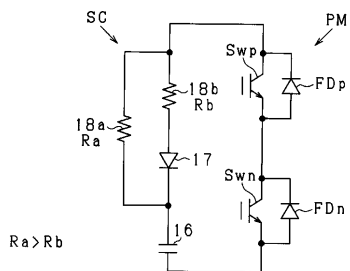
【 図 1 1 】



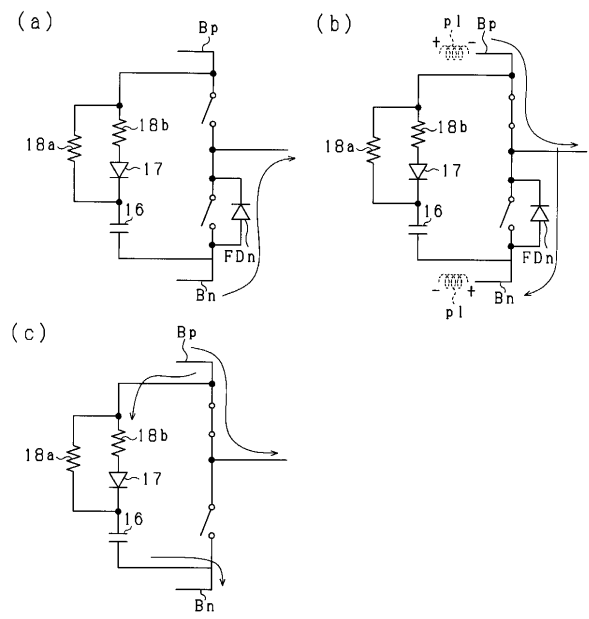
【 図 1 2 】



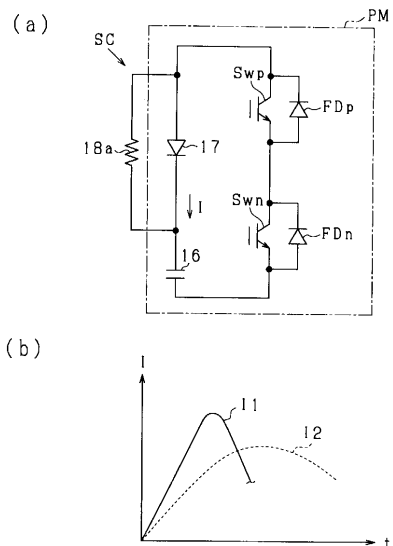
【 図 1 3 】



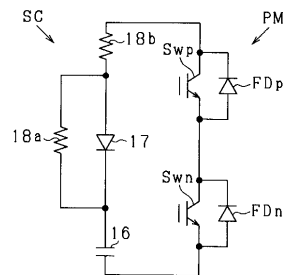
【 図 1 4 】



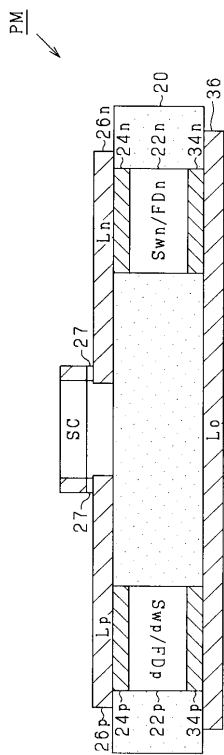
【図 15】



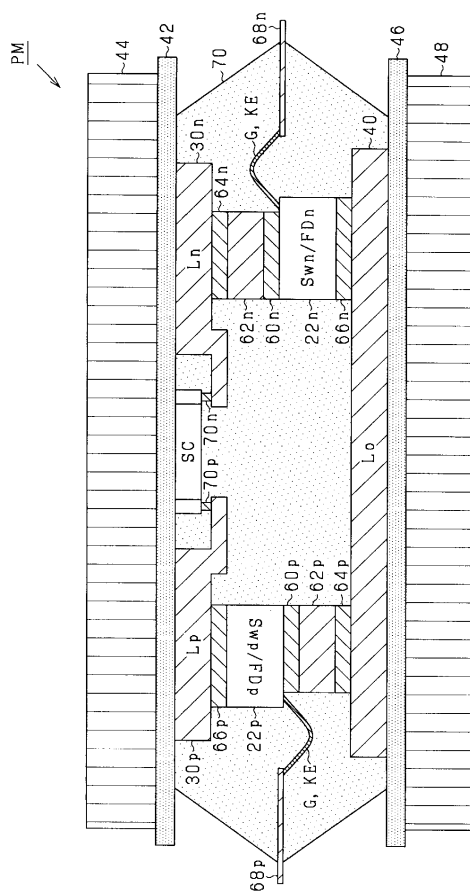
【図 16】



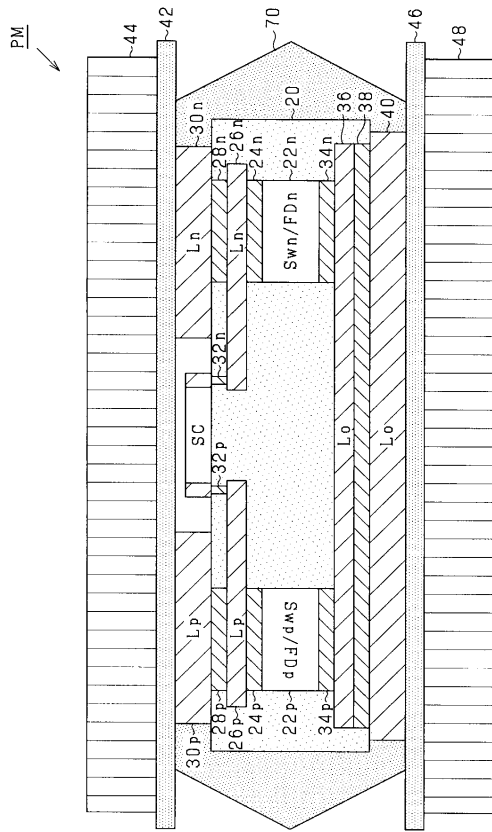
【図 17】



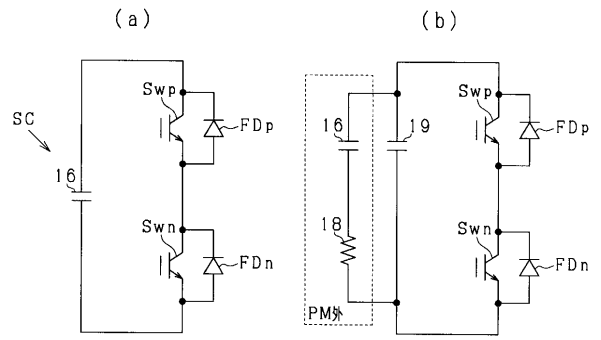
【図 18】



【 図 1 9 】



【 図 2 0 】



フロントページの続き

(72)発明者 山口 宜久

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72)発明者 酒井 泰幸

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

Fターム(参考) 5H007 AA01 BB06 CA01 CB05 CC12 CC23 FA20 HA03 HA04

5H730 AA02 AS04 AS13 BB14 BB86 DD03 DD04 DD41 EE13 ZZ05

ZZ11 ZZ13