

## (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2016年8月11日 (11.08.2016)



(10) 国际公布号  
**WO 2016/124110 A1**

- (51) 国际专利分类号:  
H01L 21/28 (2006.01) H01L 29/423 (2006.01)  
H01L 21/265 (2006.01) H01L 29/78 (2006.01)  
H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2016/072743
- (22) 国际申请日: 2016年1月29日 (29.01.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201510054233.4 2015年2月2日 (02.02.2015) CN
- (71) 申请人: 无锡华润上华半导体有限公司 (CSMC TECHNOLOGIES FABI CO., LTD.) [CN/CN]; 中国江苏省无锡市新区新洲路8号, Jiangsu 214028 (CN)。
- (72) 发明人: 李伟 (LI, Wei); 中国江苏省无锡市新区新洲路8号, Jiangsu 214028 (CN)。 郝龙 (HAO, Long); 中国江苏省无锡市新区新洲路8号, Jiangsu 214028 (CN)。 金炎 (JIN, Yan); 中国江苏省无锡市新区新洲路8号, Jiangsu 214028 (CN)。
- (74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省

广州市天河区花城大道85号3901房, Guangdong 510623 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR, AND ELECTRONIC DEVICE

(54) 发明名称: 半导体器件及其制造方法、电子装置

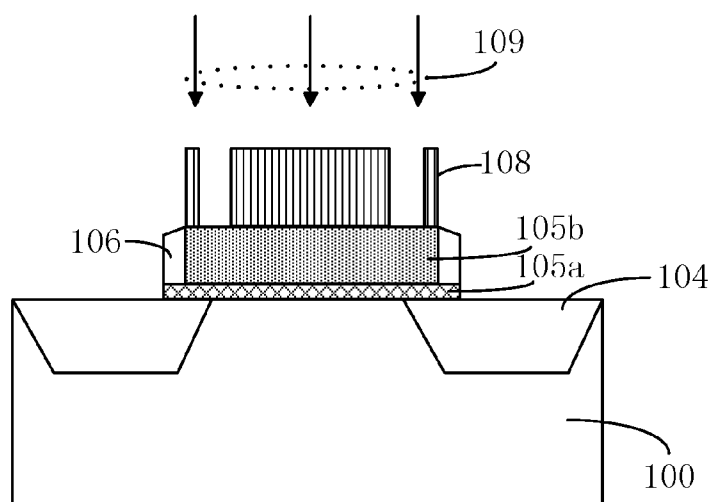


图1F

(57) Abstract: A manufacturing method for a semiconductor device, comprising: providing a semiconductor substrate (100), and forming a shallow trench isolation structure (104) in the semiconductor substrate (100); forming a gate structure comprising a gate oxidation layer (105a) and a gate material layer (105b) that are stacked from the bottom up on the semiconductor substrate (100); executing first ion implantation so as to form first doping ions in the gate material layer (105b); and executing second ion implantation (109) so as to form second doping ions at the part of the gate material layer (105b) that is located over a top corner of the shallow trench isolation structure (104), the second doping ions and the first doping ions being opposite in conduction type.

(57) 摘要: 一种半导体器件的制造方法包括: 提供半导体衬底(100), 在半导体衬底(100)中形成浅沟槽隔离结构(104); 在半导体衬底(100)上形成包括自下而上层叠的栅极氧化层(105a)和栅极材料层(105b)的栅极结构; 执行第一离子注入, 以在栅极材料层(105b)中形成第一掺杂离子; 执行第二离子注入(109), 以在栅极材料层(105b)的位于浅沟槽隔离结构(104)的顶端拐角之上的部分形成与第一掺杂离子的导电类型相反的第二掺杂离子。

成第一掺杂离子; 执行第二离子注入(109), 以在栅极材料层(105b)的位于浅沟槽隔离结构(104)的顶端拐角之上的部分形成与第一掺杂离子的导电类型相反的第二掺杂离子。

## 半导体器件及其制造方法、电子装置

### 技术领域

本发明涉及半导体制造工艺，具体而言涉及一种半导体器件及其制造方法  
5 及使用该半导体器件的电子装置。

### 背景技术

现有的集成电路生产工艺中有一类属于高压器件制造工艺，这类工艺通常使用较厚(厚度大于 200 埃)的热氧化层作为高压器件的栅极氧化层。由于浅沟槽隔离(STI)本身的结构特性，在 STI 的顶部拐角上生长的栅极氧化层通常要比在平坦的有源区生长的栅极氧化层薄得多，一般很难通过工艺调整来改善形成于 STI 的顶部拐角上的栅极氧化层的厚度。上述栅极氧化层的厚度的差异与 STI 的顶部拐角上的边缘效应相叠加，致使高压器件的栅极电压-漏极电流(VG-ID)曲线表现出双驼峰(hump)现象，如图 2 中的数据 1 组成的曲线所示。这种双驼峰现象表征了高压器件的静态漏电流偏高且阈值电压偏低，因而需要尽可能消除该现象。

为了改善采用现有工艺制备的高压器件的双驼峰效应，半导体业界通常采用的方法是提高形成于 STI 的顶部拐角上的栅极氧化层的厚度，其具体工艺步骤包括：首先，提供半导体衬底，并在半导体衬底上依次形成衬垫氧化物层和氮化硅层，衬垫氧化物层作为缓冲层可以释放氮化硅层和半导体衬底之间的应力；接着，对氮化硅层进行退火之后，利用氮化硅层作为掩膜进行 STI 蚀刻，以在半导体衬底中蚀刻出用于填充构成 STI 的隔离材料的沟槽；接着，回蚀刻氮化硅层，并在所述沟槽的侧壁和底部形成衬里氧化层；接着，沉积隔离材料层，以填充所述沟槽；接着，研磨隔离材料层 205，以形成 STI；最后，蚀刻去除剩余的氮化硅层和衬垫氧化物层，并依次实施栅极氧化层的热氧化生长和栅极材料层的沉积。上述工艺过程中，在半导体衬底中蚀刻出用于填充构成 STI 的隔离材料的沟槽后，通过增加对氮化硅层的回蚀刻，露出所述沟槽的顶端拐角，这样在所述沟槽的侧壁和底部形成衬里氧化层（其构成 STI 的侧墙氧化层）的时候，所述沟槽的顶端拐角会比较圆滑，后续通过热氧化生长栅极氧化层的时候，形成于 STI 的顶端拐角处的栅极氧化层的

厚度增大，但是增大的幅度非常有限，因而不能显著改善所述双驼峰效应。此外，由于器件有源区与 STI 的顶端拐角的交界处的边缘效应是固有的，形成于 STI 沟槽里的氧化层（所述衬里氧化层）会阻挡热氧化工艺所使用的氧气进入 STI 的顶端拐角处的硅表面，导致在此位置生长的栅极氧化层的厚度偏薄，进而造成器件的开启电压偏低，从而出现所述 VG-ID 曲线的双驼峰效应。

## 发明内容

有鉴于此，有必要提供一种能够消除器件的双驼峰效应的半导体器件的制造方法。

一种半导体器件的制造方法，包括：提供半导体衬底，在所述半导体衬底中形成浅沟槽隔离结构；在所述半导体衬底上形成包括自下而上层叠的栅极氧化层和栅极材料层的栅极结构；执行第一离子注入，以在所述栅极材料层中形成第一掺杂离子；执行第二离子注入，以在所述栅极材料层的位于所述浅沟槽隔离结构的顶端拐角之上的部分形成与所述第一掺杂离子的导电类型相反的第二掺杂离子。

通过改变器件的栅极材料层中的掺杂杂质分布，可以完全消除器件的双驼峰效应。

## 附图说明

本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述，用来解释本发明的原理。附图中：

图 1A-图 1F 为根据一实施例的方法依次实施的步骤所分别获得的器件的剖面图；

图 2 为根据一实施例的方法制备的半导体器件与根据现有工艺制备的半导体器件的 VG-ID 曲线对比图；

图 3 为根据一实施例的半导体器件的制造方法流程图。

## 具体实施方式

在下文的描述中，给出了大量具体的细节以便提供对本发明更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本发明可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本发明发生混淆，

对于本领域公知的一些技术特征未进行描述。

为了彻底理解本发明，将在下列的描述中提出详细的步骤，以便阐释本发明提出的半导体器件及其制造方法、电子装置。显然，本发明的施行并不限于半导体领域的技术人员所熟习的特殊细节。本发明的较佳实施例详细描述如下，然而除了这些详细描述外，本发明还可以具有其他实施方式。

应当理解的是，当在本说明书中使用术语“包含”和/或“包括”时，其指明存在所述特征、整体、步骤、操作、元件和/或组件，但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和/或它们的组合。

由于栅极氧化层的构成材料二氧化硅具有吸硼排磷特性，因此，双驼峰效应通常发生在使用 P 阱的高压器件 HVNMOS，因而在此以 HVNMOS 为例对本发明做出具体阐释。

参照图 1A-图 1F，其中示出了根据一实施例的方法依次实施的步骤所分别获得的器件的示意性剖面图。

请一并参照图 3，其中示出了根据一实施例的方法依次实施的步骤的流程图，用于简要示出整个制造工艺的流程。

首先，在步骤 301 中，提供半导体衬底，在半导体衬底中形成浅沟槽隔离结构。

如图 1A 所示，提供半导体衬底 100，半导体衬底 100 的构成材料可以采用未掺杂的单晶硅、掺杂有杂质的单晶硅、绝缘体上硅（SOI）、绝缘体上层叠硅（SSOI）、绝缘体上层叠锗化硅（S-SiGeOI）、绝缘体上锗化硅（SiGeOI）以及绝缘体上锗（GeOI）等。作为示例，在本实施例中，半导体衬底 100 的构成材料选用单晶硅。

接下来，在半导体衬底 100 上依次沉积衬垫氧化物层 101 和氮化硅层 102，衬垫氧化物层 101 作为缓冲层可以释放氮化硅层 102 和半导体衬底 100 之间的应力。

接着，如图 1B 所示，在对氮化硅层 102 进行退火之后，利用氮化硅层 102 作为掩膜进行隔离区光刻，蚀刻出用于填充隔离材料的沟槽 103。作为示例，沟槽 103 的深度可以为 3000 埃-8000 埃。

接着，如图 1C 所示，回蚀刻氮化硅层 102，以露出沟槽 103 的顶端拐角部分。作为示例，通过回蚀刻去除的氮化硅层 102 的沿着与半导体衬底 100 表面相平行的方向上的厚度可以为 200 埃-400 埃。

接着，如图 1D 所示，沉积隔离材料填充沟槽 103，以在半导体衬底 100

中形成浅沟槽隔离结构 104。在实施所述沉积之前，还包括在沟槽 103 的侧壁和底部形成衬里氧化层的步骤；在实施所述沉积之后，还包括研磨隔离材料以使其顶部平整的步骤。然后，通过蚀刻去除剩余的氮化硅层 102 和衬垫氧化物层 101。

5 接下来，在步骤 S302 中，在半导体衬底上形成包括自下而上层叠的栅极氧化层和栅极材料层的栅极结构。

如图 1D 所示，栅极结构包括自下而上层叠的栅极氧化层 105a 和栅极材料层 105b。栅极氧化层 105a 包括二氧化硅 ( $\text{SiO}_2$ ) 层，栅极材料层 105b 包括多晶硅层。栅极氧化层 105a 和栅极材料层 105b 的形成方法可以采用本领域技术人员所熟习的任何现有技术，优选化学气相沉积法(CVD)，如低温化学气相沉积(LTCVD)、低压化学气相沉积(LPCVD)、快热化学气相沉积(RTCVD)、等离子体增强化学气相沉积(PECVD)。形成栅极结构之前，还包括实施阱区注入，以在半导体衬底 100 中形成阱区的步骤，对于 HVNMOS 而言，形成的阱区为 P 阱。

15 然后，在栅极结构的两侧且形成紧靠栅极结构的侧壁结构 106。作为示例，侧壁结构 106 由氧化物、氮化物或者二者的组合构成。形成侧壁结构 106 的方法为本领域技术人员所熟习，在此不再赘述。

接着，在步骤 S303 中，执行第一离子注入，以在栅极材料层中形成第一掺杂离子。

20 如图 1E 所示，执行第一离子注入 107，以在栅极材料层 105b 中形成第一掺杂离子。对于 HVNMOS 而言，所述第一掺杂离子为 N 型离子，其包括磷、氮、砷、锑、铋等离子。

接着，在步骤 S304 中，执行第二离子注入，以在栅极材料层的位于浅沟槽隔离结构的顶端拐角之上的部分形成与第一掺杂离子的导电类型相反的第二掺杂离子。

25 如图 1F 所示，在栅极材料层 105b 上形成图案化的掩膜层 108 后，执行第二离子注入 109，以在栅极材料层 105b 的位于浅沟槽隔离结构 104 的顶端拐角之上的部分形成与所述第一掺杂离子的导电类型相反的第二掺杂离子。对于 HVNMOS 而言，所述第二掺杂离子为 P 型离子，其包括硼、铝、镓、铟、铊等离子。

至此，完成了根据本发明示例性实施例的方法实施的工艺步骤，接下来，去除掩膜层 108 后，可以通过后续工艺完成整个半导体器件的制作，包括：

在半导体衬底 100 中形成源/漏区；在源/漏区的顶部以及栅极材料层 105b 的顶部形成硅化物；在半导体衬底 100 上依次形成接触孔蚀刻停止层和层间绝缘层，并在其中形成底部连通所述硅化物的接触孔；在接触孔中形成接触塞，并形成底部连通所述接触塞的第一层金属布线；形成覆盖第一层金属布线的金属间绝缘层，并在其中形成连通第一层金属布线的第二层金属布线；形成另一金属间绝缘层，并在其中形成连通第二层金属布线的第三层金属布线，依次类推，形成多层金属布线结构；形成金属焊盘，用于后续实施器件封装时的引线键合。

由 NMOS 的阈值电压公式 (1) 可知，

$$\text{阈值电压} \quad V_{th} = \frac{|Q'_{SDmax}|}{C_{ox}} - \frac{Q'_{ss}}{C_{ox}} + \phi_{ms} + 2\phi_{fp} \quad (1)$$

公式中的  $\phi_{ms}$  表示的是栅极与衬底之间的功函数差，对于 HVNMOS 而言，P 型衬底与掺杂 N 型离子的栅极材料层之间的功函数差要小于 P 型衬底与掺杂 P 型离子的栅极材料层之间的功函数，且  $\phi_{ms}$  通常为负值。因此，通过额外的离子注入来降低所述 N 型离子的掺杂浓度或者使其转变为弱 P 型离子，可以提高 HVNMOS 的阈值电压。

如图 2 中的数据 2 组成的曲线所示，通过改变栅极材料层 105b 的位于浅沟槽隔离结构 104 的顶端拐角之上的部分的掺杂杂质浓度，可以调高该位置的开启电压，在器件的栅极电压上升的过程中，漏极电流得以延迟上升，从而改善器件的漏电，消除 VG-ID 曲线的双驼峰效应。

本发明还提供一种电子装置，其包括根据本发明示例性实施例的方法制造的半导体器件。所述电子装置可以是手机、平板电脑、笔记本电脑、上网本、游戏机、电视机、VCD、DVD、导航仪、照相机、摄像机、录音笔、MP3、MP4、PSP 等任何电子产品或设备，也可以是任何包括所述半导体器件的中间产品。所述电子装置，由于使用了所述半导体器件，因而具有更好的性能。

本发明已经通过上述实施例进行了说明，但应当理解的是，上述实施例只是用于举例和说明的目的，而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是，本发明并不局限于上述实施例，根据本发明的教导还可以做出更多种的变型和修改，这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

## 权利要求书

1、一种半导体器件的制造方法，包括：

在半导体衬底中形成浅沟槽隔离结构；

在所述半导体衬底上形成栅极结构，所述栅极结构包括自下而上层叠的栅极氧化层和栅极材料层；

执行第一离子注入，以在所述栅极材料层中形成第一掺杂离子；及

执行第二离子注入，以在所述栅极材料层的位于所述浅沟槽隔离结构的顶端拐角之上的部分形成与所述第一掺杂离子的导电类型相反的第二掺杂离子。

2、根据权利要求1所述的方法，其特征在于，形成所述浅沟槽隔离结构的步骤包括：

在所述半导体衬底上依次沉积衬垫氧化物层和氮化硅层；

利用所述氮化硅层作为掩膜进行隔离区光刻，蚀刻出用于填充隔离材料的沟槽；

回蚀刻所述氮化硅层，以露出所述沟槽的顶端拐角部分；

沉积隔离材料填充所述沟槽，以在所述半导体衬底中形成所述浅沟槽隔离结构；及

通过蚀刻去除剩余的所述氮化硅层和衬垫氧化物层。

3、根据权利要求2所述的方法，其特征在于，所述沟槽的深度为3000埃-8000埃，通过所述回蚀刻去除的所述氮化硅层的沿着与所述半导体衬底表面相平行的方向上的厚度为200埃-400埃。

4、根据权利要求2所述的方法，其特征在于，在实施所述沉积之前，还包括在所述沟槽的侧壁和底部形成衬里氧化层的步骤；在实施所述沉积之后，还包括研磨所述隔离材料以使其顶部平整的步骤。

- 5、根据权利要求 1 所述的方法，其特征在于，所述第一掺杂离子为 N 型离子，所述第二掺杂离子为 P 型离子。
- 6、一种采用权利要求 1-5 任意一项所述的方法制造的半导体器件。
- 7、一种电子装置，所述电子装置包括权利要求 6 所述的半导体器件。



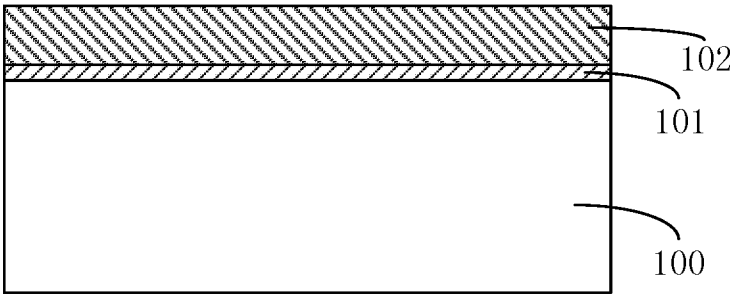


图1A

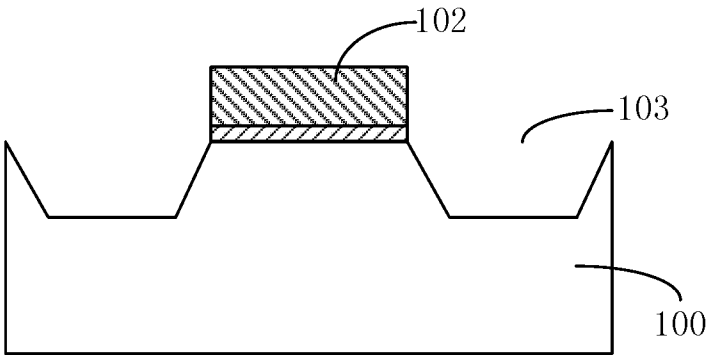


图1B

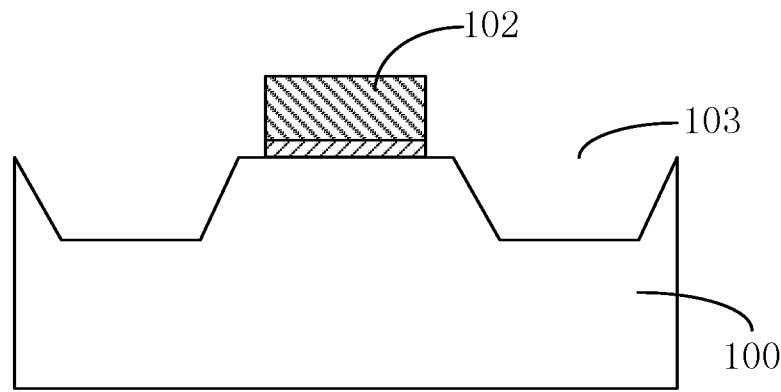


图1C

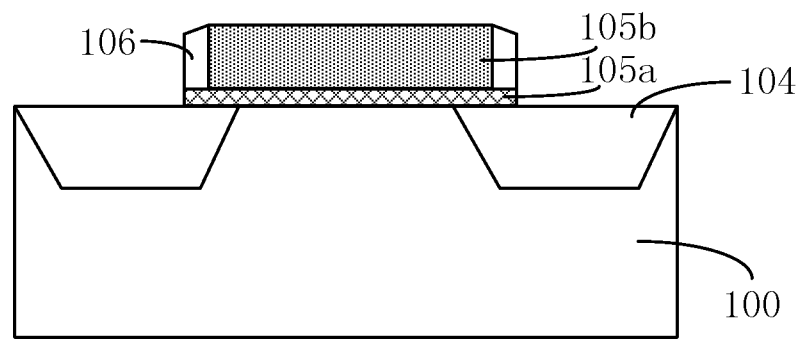


图1D

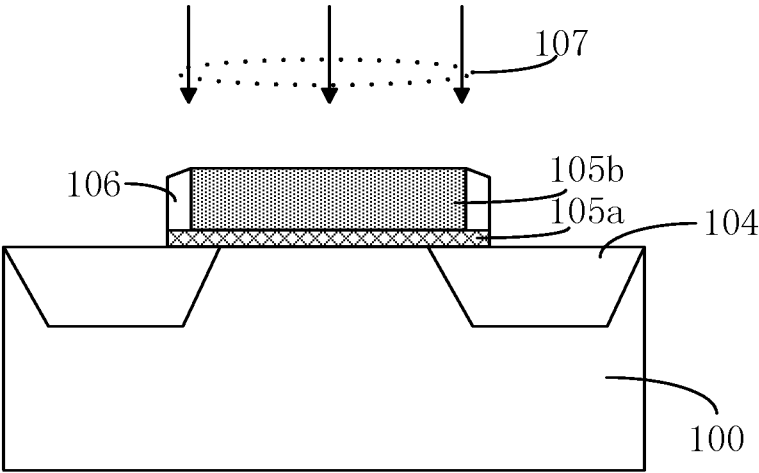


图1E

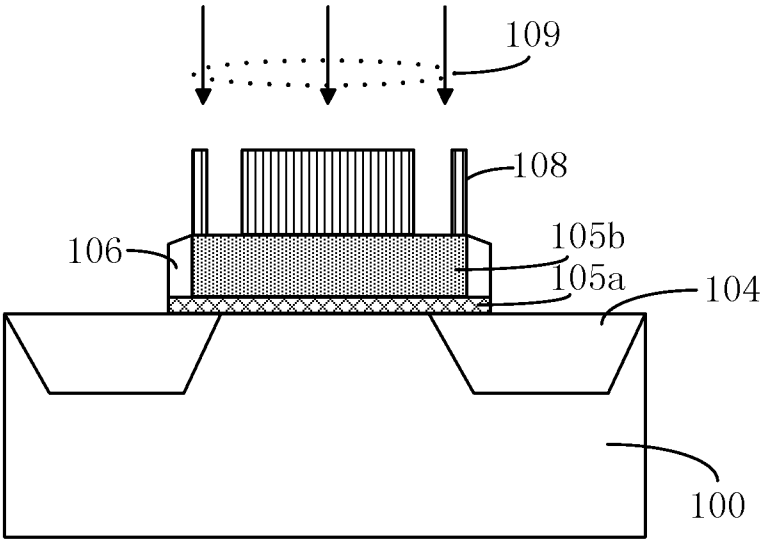


图1F

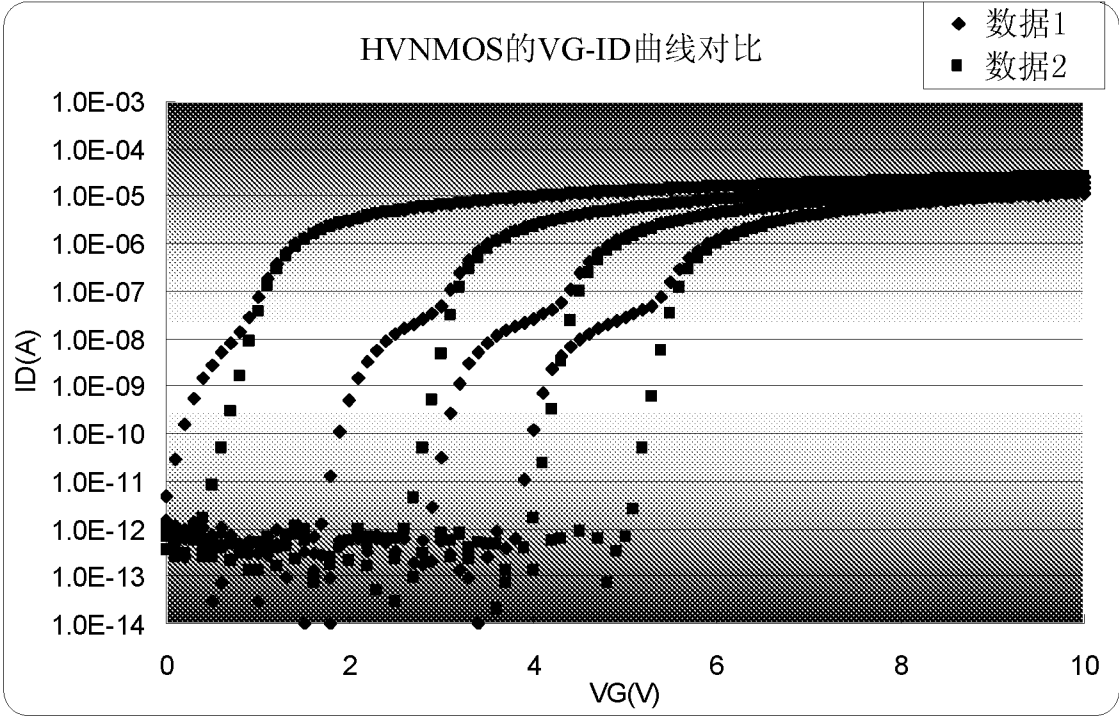


图2

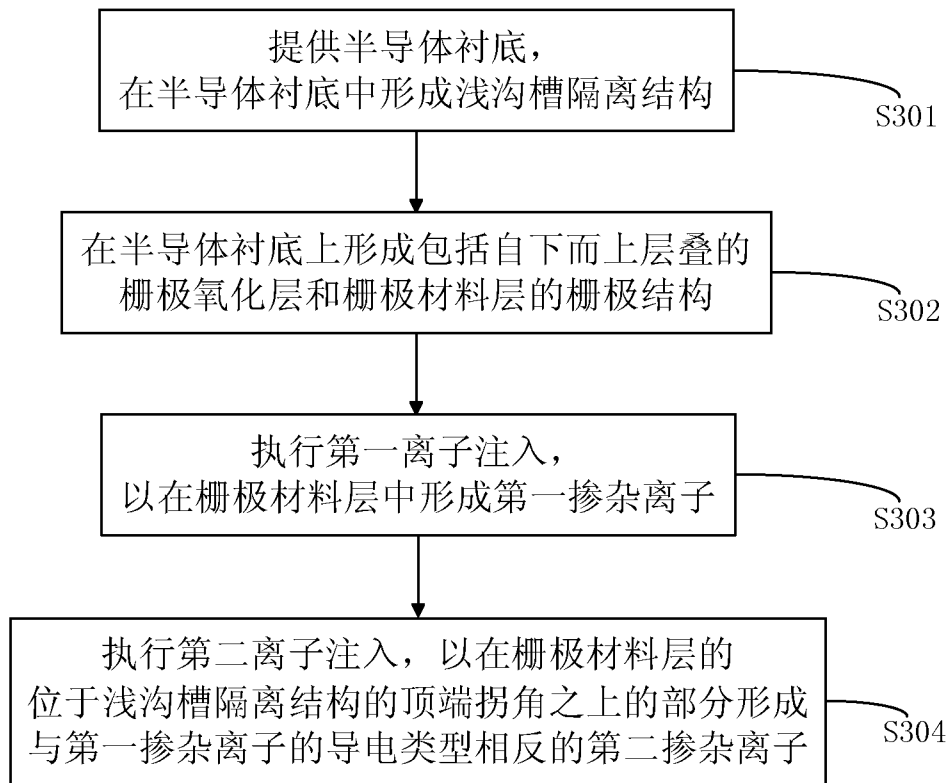


图3

# INTERNATIONAL SEARCH REPORT

International application No.

**PCT/CN2016/072743**

## A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/28 (2006.01) i; H01L 21/265 (2006.01) i; H01L 21/336 (2006.01) i; H01L 29/423 (2006.01) i; H01L 29/78 (2006.01) i  
According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNKI: shallow trench, corner, ion injection, high voltage, grid, twice

WPI, EPODOC: STI, corner, ion, inject, HV, HVNMOS, gate, grid, second

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                      | Relevant to claim No. |
|-----------|---------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | CN 101197288 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION), 11 June 2008 (11.06.2008), description, pages 6-11, and figures 2-5H | 1-7                   |
| A         | CN 102087990 A (CSMC TECHNOLOGIES FAB1 CO., LTD. et al.), 08 June 2011 (08.06.2011), the whole document                                                 | 1-7                   |
| A         | US 2010/0320529 A1 (DONG et al.), 23 December 2010 (23.12.2010), the whole document                                                                     | 1-7                   |
| A         | JP 2004-281504 A (SEIKO EPSON CORPORATION), 07 October 2004 (07.10.2004), the whole document                                                            | 1-7                   |

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

|                                                                                                                                                                         |                                                                                                                                                                                                                                                  |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| * Special categories of cited documents:                                                                                                                                | “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention                                              |
| “A” document defining the general state of the art which is not considered to be of particular relevance                                                                | “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone                                                                     |
| “E” earlier application or patent but published on or after the international filing date                                                                               | “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | “&” document member of the same patent family                                                                                                                                                                                                    |
| “O” document referring to an oral disclosure, use, exhibition or other means                                                                                            |                                                                                                                                                                                                                                                  |
| “P” document published prior to the international filing date but later than the priority date claimed                                                                  |                                                                                                                                                                                                                                                  |

|                                                                                                                                                                                                                    |                                                                                         |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------|
| Date of the actual completion of the international search<br>08 April 2016 (08.04.2016)                                                                                                                            | Date of mailing of the international search report<br><b>28 April 2016 (28.04.2016)</b> |
| Name and mailing address of the ISA/CN:<br>State Intellectual Property Office of the P. R. China<br>No. 6, Xitucheng Road, Jimenqiao<br>Haidian District, Beijing 100088, China<br>Facsimile No.: (86-10) 62019451 | Authorized officer<br><b>MA, Liang</b><br>Telephone No.: (86-10) <b>62089124</b>        |

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.

**PCT/CN2016/072743**

| Patent Documents referred<br>in the Report | Publication Date | Patent Family  | Publication Date  |
|--------------------------------------------|------------------|----------------|-------------------|
| CN 101197288 A                             | 11 June 2008     | CN 100539045 C | 09 September 2009 |
| CN 102087990 A                             | 08 June 2011     | None           |                   |
| US 2010/0320529 A1                         | 23 December 2010 | CN 101930946 A | 29 December 2010  |
|                                            |                  | US 8138051 B2  | 20 March 2012     |
|                                            |                  | SG 167744 B    | 31 December 2012  |
|                                            |                  | TW 201101423 A | 01 January 2011   |
|                                            |                  | SG 167744 A1   | 28 January 2011   |
|                                            |                  | CN 101930946 B | 03 July 2013      |
|                                            |                  | TW I413211 B   | 21 October 2013   |
| JP 2004-281504 A                           | 07 October 2004  | None           |                   |

## 国际检索报告

国际申请号

PCT/CN2016/072743

## A. 主题的分类

H01L 21/28(2006.01)i; H01L 21/265(2006.01)i; H01L 21/336(2006.01)i; H01L 29/423(2006.01)i; H01L 29/78(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

## B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNKI: 浅沟槽, 拐角, 离子注入, 高压, 栅极, 二次 WPI, EPODOC: STI, corner, ion, inject, HV, HVNMOS, gate, grid, second

## C. 相关文件

| 类 型* | 引用文件, 必要时, 指明相关段落                                                                     | 相关的权利要求 |
|------|---------------------------------------------------------------------------------------|---------|
| A    | CN 101197288 A (中芯国际集成电路制造上海有限公) 2008年 6月 11日 (2008 - 06 - 11)<br>说明书第6页至第11页, 附图2-5H | 1-7     |
| A    | CN 102087990 A (无锡华润上华半导体有限公司 等) 2011年 6月 8日 (2011 - 06 - 08)<br>全文                   | 1-7     |
| A    | US 2010/0320529 A1 (DONG 等) 2010年 12月 23日 (2010 - 12 - 23)<br>全文                      | 1-7     |
| A    | JP 2004-281504 A (精工爱普生株式会社) 2004年 10月 7日 (2004 - 10 - 07)<br>全文                      | 1-7     |

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

\* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&amp;” 同族专利的文件

国际检索实际完成的日期

2016年 4月 8日

国际检索报告邮寄日期

2016年 4月 28日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)  
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

马良

电话号码 (86-10)62089124



国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2016/072743

| 检索报告引用的专利文件 |              |    | 公布日<br>(年/月/日) | 同族专利 |           |    | 公布日<br>(年/月/日) |
|-------------|--------------|----|----------------|------|-----------|----|----------------|
| CN          | 101197288    | A  | 2008年 6月 11日   | CN   | 100539045 | C  | 2009年 9月 9日    |
| CN          | 102087990    | A  | 2011年 6月 8日    | 无    |           |    |                |
| US          | 2010/0320529 | A1 | 2010年 12月 23日  | CN   | 101930946 | A  | 2010年 12月 29日  |
|             |              |    |                | US   | 8138051   | B2 | 2012年 3月 20日   |
|             |              |    |                | SG   | 167744    | B  | 2012年 12月 31日  |
|             |              |    |                | TW   | 201101423 | A  | 2011年 1月 1日    |
|             |              |    |                | SG   | 167744    | A1 | 2011年 1月 28日   |
|             |              |    |                | CN   | 101930946 | B  | 2013年 7月 3日    |
|             |              |    |                | TW   | I413211   | B  | 2013年 10月 21日  |
| JP          | 2004-281504  | A  | 2004年 10月 7日   | 无    |           |    |                |

表 PCT/ISA/210 (同族专利附件) (2009年7月)