



(12) 发明专利

(10) 授权公告号 CN 111446259 B

(45) 授权公告日 2024. 04. 12

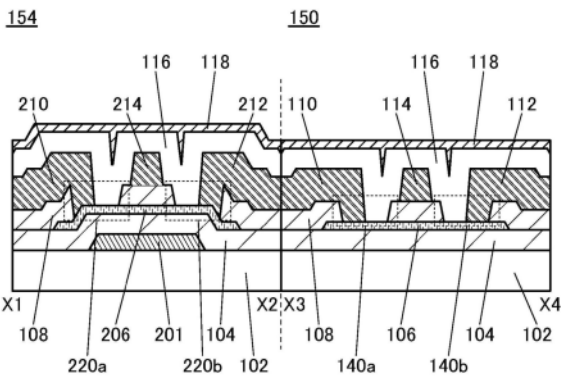
(21) 申请号 201911299399.7
(22) 申请日 2014.12.17
(65) 同一申请的已公布的文献号
 申请公布号 CN 111446259 A
(43) 申请公布日 2020.07.24
(30) 优先权数据
 2013-271783 2013.12.27 JP
(62) 分案原申请数据
 201480071297.9 2014.12.17
(73) 专利权人 株式会社半导体能源研究所
 地址 日本神奈川县厚木市
(72) 发明人 山崎舜平 肥塚纯一 神长正美
 岛行德 羽持贵士 中泽安孝
(74) 专利代理机构 中国专利代理(香港)有限公
 司 72001
 专利代理师 李啸 姜冰

(51) Int.Cl.
 H01L 27/12 (2006.01)
 H01L 29/786 (2006.01)
 G02F 1/1362 (2006.01)
 G02F 1/1368 (2006.01)
(56) 对比文件
 CN 101582453 A, 2009.11.18
 CN 102593185 A, 2012.07.18
 CN 102598280 A, 2012.07.18
 CN 103066126 A, 2013.04.24
 US 2012032162 A1, 2012.02.09
 US 2013092944 A1, 2013.04.18
 US 2013140569 A1, 2013.06.06
 审查员 李梦培

权利要求书7页 说明书64页 附图72页

(54) 发明名称
 半导体装置

(57) 摘要
 提供一种包括使用氧化物半导体并通态电
 流大的晶体管的半导体装置。一种半导体装置，
 包括：设置在驱动电路部中的第一晶体管；以及
 设置在像素部中的第二晶体管，其中，第一晶体
 管的结构和第二晶体管的结构互不相同。此外，
 第一晶体管及第二晶体管为顶栅结构的晶体管，
 被用作栅电极、源电极及漏电极的导电膜不重
 叠。此外，在氧化物半导体膜中，在不与栅电极、
 源电极及漏电极重叠的区域中具有杂质元素。



1. 一种半导体装置,包括:
双栅极晶体管,所述双栅极晶体管包括:
第一氧化物半导体膜;
所述第一氧化物半导体膜下的第一栅电极;
所述第一氧化物半导体膜上的第一绝缘膜;
所述第一绝缘膜上的第二栅电极;以及
所述第一氧化物半导体膜上的导电膜,所述导电膜电连接到所述第一氧化物半导体膜;单栅极晶体管,所述单栅极晶体管包括:
第二氧化物半导体膜;以及
所述第二氧化物半导体膜上的栅电极;
包括所述第一氧化物半导体膜的电容器;以及
所述第二栅电极与所述导电膜上的第二绝缘膜,
其中,所述电容器的所述第一氧化物半导体膜具有导电性,以及
其中,所述第二绝缘膜与所述第一氧化物半导体膜的顶面和所述第一绝缘膜的顶面接触。

2. 一种半导体装置,包括:
双栅极晶体管,所述双栅极晶体管包括:
第一氧化物半导体膜;
所述第一氧化物半导体膜下的第一栅电极;
所述第一氧化物半导体膜上的第一绝缘膜;
所述第一绝缘膜上的第二栅电极;以及
所述第一氧化物半导体膜上的导电膜,所述导电膜电连接到所述第一氧化物半导体膜;单栅极晶体管,所述单栅极晶体管包括:
第二氧化物半导体膜;以及
所述第二氧化物半导体膜上的栅电极;
所述第二栅电极与所述导电膜上的第二绝缘膜;以及
电容器,所述电容器包括氢浓度大于所述第一氧化物半导体膜的氢浓度的氧化物半导体膜,其中,所述电容器的所述氧化物半导体膜具有导电性,以及
其中,所述第二绝缘膜与所述第一氧化物半导体膜的顶面和所述第一绝缘膜的顶面接触。

3. 一种半导体装置,包括:
双栅极晶体管,所述双栅极晶体管包括:
第一氧化物半导体膜;
所述第一氧化物半导体膜下的第一栅电极;
所述第一氧化物半导体膜上的第一绝缘膜;
所述第一绝缘膜上的第二栅电极;以及
所述第一氧化物半导体膜上的导电膜,所述导电膜电连接到所述第一氧化物半导体膜;所述第二栅电极与所述导电膜上的第二绝缘膜;以及
电容器,所述电容器包括氢浓度大于所述第一氧化物半导体膜的氢浓度的氧化物半导

体膜,其中,所述电容器的所述氧化物半导体膜和所述第一氧化物半导体膜包括相同的材料,

其中,所述电容器的所述氧化物半导体膜具有导电性,以及

其中,所述第二绝缘膜与所述第一氧化物半导体膜的顶面和所述第一绝缘膜的顶面接触。

4. 一种半导体装置,包括:

双栅极晶体管,所述双栅极晶体管包括:

第一氧化物半导体膜;

所述第一氧化物半导体膜下的第一栅电极;

所述第一氧化物半导体膜上的第一绝缘膜;

所述第一绝缘膜上的第二栅电极;以及

所述第一氧化物半导体膜上的导电膜,所述导电膜电连接到所述第一氧化物半导体膜;所述第二栅电极与所述导电膜上的第二绝缘膜;以及

电容器,所述电容器包括氢浓度大于所述第一氧化物半导体膜的氢浓度的氧化物半导体膜,其中,所述电容器的氧化物半导体膜的氢浓度为 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下,

其中,所述电容器的所述氧化物半导体膜和所述第一氧化物半导体膜包括相同的材料,

其中,所述电容器的所述氧化物半导体膜具有导电性,以及

其中,所述第二绝缘膜与所述第一氧化物半导体膜的顶面和所述第一绝缘膜的顶面接触。

5. 一种半导体装置,包括:

双栅极晶体管,所述双栅极晶体管包括:

第一氧化物半导体膜;

所述第一氧化物半导体膜下的第一栅电极;

所述第一氧化物半导体膜上的第一绝缘膜;

所述第一绝缘膜上的第二栅电极;以及

所述第一氧化物半导体膜上的导电膜,所述导电膜电连接到所述第一氧化物半导体膜;单栅极晶体管,所述单栅极晶体管包括:

第二氧化物半导体膜;以及

所述第二氧化物半导体膜上的栅电极;以及

所述第二栅电极与所述导电膜上的第二绝缘膜,

其中,所述第二栅电极的侧面具有锥形形状,

其中,所述第二绝缘膜与所述第一氧化物半导体膜的顶面、所述第一绝缘膜的顶面、所述第二栅电极的顶面以及所述导电膜的顶面接触,

并且,所述第二栅电极和所述导电膜包含相同的材料。

6. 一种半导体装置,包括:

双栅极晶体管,所述双栅极晶体管包括:

第一氧化物半导体膜;

所述第一氧化物半导体膜下的第一栅电极;

所述第一氧化物半导体膜上的第一绝缘膜；
所述第一绝缘膜上的第二栅电极；以及
所述第一氧化物半导体膜上的导电膜，所述导电膜电连接到所述第一氧化物半导体膜；

单栅极晶体管，所述单栅极晶体管包括：
第二氧化物半导体膜；以及
所述第二氧化物半导体膜上的栅电极；
所述第二栅电极与所述导电膜上的第二绝缘膜；以及
电容器，所述电容器包括氢浓度大于所述第一氧化物半导体膜的氢浓度的氧化物半导体膜，其中，所述第二栅电极的侧面具有锥形形状，
其中，所述第二绝缘膜与所述第一氧化物半导体膜的顶面、所述第一绝缘膜的顶面、所述第二栅电极的顶面以及所述导电膜的顶面接触，
并且，所述第二栅电极和所述导电膜包含相同的材料。

7. 一种半导体装置，包括：
双栅极晶体管，所述双栅极晶体管包括：
第一氧化物半导体膜；
所述第一氧化物半导体膜下的第一栅电极；
所述第一氧化物半导体膜上的第一绝缘膜；
所述第一绝缘膜上的第二栅电极；以及
所述第一氧化物半导体膜上的导电膜，所述导电膜电连接到所述第一氧化物半导体膜；
所述第二栅电极与所述导电膜上的第二绝缘膜；以及
电容器，所述电容器包括氢浓度大于所述第一氧化物半导体膜的氢浓度的氧化物半导体膜，其中，所述第二栅电极的侧面具有锥形形状，
其中，所述第二绝缘膜与所述第一氧化物半导体膜的顶面、所述第一绝缘膜的顶面、所述第二栅电极的顶面以及所述导电膜的顶面接触，
并且，所述第二栅电极和所述导电膜包含相同的材料。

8. 一种半导体装置，包括：
双栅极晶体管，所述双栅极晶体管包括：
第一氧化物半导体膜；
所述第一氧化物半导体膜下的第一栅电极；
所述第一氧化物半导体膜上的第一绝缘膜；
所述第一绝缘膜上的第二栅电极；以及
所述第一氧化物半导体膜上的导电膜，所述导电膜电连接到所述第一氧化物半导体膜；
所述第二栅电极与所述导电膜上的第二绝缘膜；以及
电容器，所述电容器包括氢浓度大于所述第一氧化物半导体膜的氢浓度的氧化物半导体膜，其中，所述电容器的氧化物半导体膜的氢浓度为 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下，
其中，所述第二栅电极的侧面具有锥形形状，

所述第二绝缘膜与所述第一氧化物半导体膜的顶面、所述第一绝缘膜的顶面、所述第二栅电极的顶面以及所述导电膜的顶面接触,

并且,所述第二栅电极和所述导电膜包含相同的材料。

9. 一种半导体装置,包括:

双栅极晶体管,所述双栅极晶体管包括:

第一氧化物半导体膜;

所述第一氧化物半导体膜下的第一栅电极;

所述第一氧化物半导体膜上的第一绝缘膜;

所述第一绝缘膜上的第二栅电极;以及

所述第一氧化物半导体膜上的导电膜,所述导电膜电连接到所述第一氧化物半导体膜;

单栅极晶体管,所述单栅极晶体管包括:

第二氧化物半导体膜;以及

所述第二氧化物半导体膜上的栅电极;

所述第二栅电极与所述导电膜上的第二绝缘膜;

包括第一电极和第二电极的电容器;以及

所述第二绝缘膜上的发光元件,

其中,所述第一电极包括In-M-Zn氧化物膜,其中M是Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf,以及

其中,所述第二绝缘膜与所述第一氧化物半导体膜的顶面和所述第一绝缘膜的顶面接触。

10. 一种半导体装置,包括:

双栅极晶体管,所述双栅极晶体管包括:

第一氧化物半导体膜;

所述第一氧化物半导体膜下的第一栅电极;

所述第一氧化物半导体膜上的第一绝缘膜;

所述第一绝缘膜上的第二栅电极;以及

所述第一氧化物半导体膜上的导电膜,所述导电膜电连接到所述第一氧化物半导体膜;单栅极晶体管,所述单栅极晶体管包括:

第二氧化物半导体膜;以及

所述第二氧化物半导体膜上的栅电极;

所述第二栅电极与所述导电膜上的第二绝缘膜;

所述第二绝缘膜上的发光元件;以及

电容器,所述电容器包括氢浓度大于所述第一氧化物半导体膜的氢浓度的氧化物半导体膜,其中,所述电容器的所述氧化物半导体膜包括In-M-Zn氧化物膜,其中M是Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf,以及

其中,所述第二绝缘膜与所述第一氧化物半导体膜的顶面和所述第一绝缘膜的顶面接触。

11. 一种半导体装置,包括:

双栅极晶体管,所述双栅极晶体管包括:
第一氧化物半导体膜;
所述第一氧化物半导体膜下的第一栅电极;
所述第一氧化物半导体膜上的第一绝缘膜;
所述第一绝缘膜上的第二栅电极;以及
所述第一氧化物半导体膜上的导电膜,所述导电膜电连接到所述第一氧化物半导体膜;所述第二栅电极与所述导电膜上的第二绝缘膜;
所述第二绝缘膜上的发光元件;以及
电容器,所述电容器包括氢浓度大于所述第一氧化物半导体膜的氢浓度的氧化物半导体膜,其中,所述第一氧化物半导体膜和所述电容器的所述氧化物半导体膜中的每个膜包括In-M-Zn氧化物膜,其中M是Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf,以
其中,所述第二绝缘膜与所述第一氧化物半导体膜的顶面和所述第一绝缘膜的顶面接触。

12.一种半导体装置,包括:
双栅极晶体管,所述双栅极晶体管包括:
第一氧化物半导体膜;
所述第一氧化物半导体膜下的第一栅电极;
所述第一氧化物半导体膜上的第一绝缘膜;
所述第一绝缘膜上的第二栅电极;以及
所述第一氧化物半导体膜上的导电膜,所述导电膜电连接到所述第一氧化物半导体膜;
所述第二栅电极与所述导电膜上的第二绝缘膜;
所述第二绝缘膜上的发光元件;以及
电容器,所述电容器包括氢浓度大于所述第一氧化物半导体膜的氢浓度的氧化物半导体膜,其中,所述电容器的氧化物半导体膜的氢浓度为 1×10^{22} atoms/cm³以下,
其中,所述电容器的所述氧化物半导体膜包括In-M-Zn氧化物膜,其中M是Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf,以及
所述第二绝缘膜与所述第一氧化物半导体膜的顶面和所述第一绝缘膜的顶面接触。

13.一种半导体装置,包括:
双栅极晶体管,所述双栅极晶体管包括:
第一氧化物半导体膜;
所述第一氧化物半导体膜下的第一栅电极;
所述第一氧化物半导体膜上的第一绝缘膜;
所述第一绝缘膜上的第二栅电极;以及
所述第一氧化物半导体膜上的导电膜,所述导电膜电连接到所述第一氧化物半导体膜;
单栅极晶体管,所述单栅极晶体管包括:
第二氧化物半导体膜;以及
所述第二氧化物半导体膜上的栅电极;

所述第二栅电极与所述导电膜上的第二绝缘膜;以及
所述第二绝缘膜上的发光元件,
其中,所述第二栅电极的侧面具有锥形形状,
其中,所述第二绝缘膜与所述第一氧化物半导体膜的顶面、所述第一绝缘膜的顶面、所述第二栅电极的顶面以及所述导电膜的顶面接触,
并且,所述第二栅电极和所述导电膜包含相同的材料。

14. 一种半导体装置,包括:

双栅极晶体管,所述双栅极晶体管包括:
第一氧化物半导体膜;
所述第一氧化物半导体膜下的第一栅电极;
所述第一氧化物半导体膜上的第一绝缘膜;
所述第一绝缘膜上的第二栅电极;以及
所述第一氧化物半导体膜上的导电膜,所述导电膜电连接到所述第一氧化物半导体膜;

单栅极晶体管,所述单栅极晶体管包括:

第二氧化物半导体膜;以及
所述第二氧化物半导体膜上的栅电极;
所述第二栅电极与所述导电膜上的第二绝缘膜;
所述第二绝缘膜上的发光元件;以及
电容器,所述电容器包括氢浓度大于所述第一氧化物半导体膜的氢浓度的氧化物半导体膜,其中,所述电容器的所述氧化物半导体膜具有导电性,
其中,所述第二绝缘膜与所述第一氧化物半导体膜的顶面、所述第一绝缘膜的顶面、所述第二栅电极的顶面以及所述导电膜的顶面接触,
并且,所述第二栅电极和所述导电膜包含相同的材料。

15. 一种半导体装置,包括:

双栅极晶体管,所述双栅极晶体管包括:
第一氧化物半导体膜;
所述第一氧化物半导体膜下的第一栅电极;
所述第一氧化物半导体膜上的第一绝缘膜;
所述第一绝缘膜上的第二栅电极;以及
所述第一氧化物半导体膜上的导电膜,所述导电膜电连接到所述第一氧化物半导体膜;所述第二栅电极与所述导电膜上的第二绝缘膜;
所述第二绝缘膜上的发光元件;以及
电容器,所述电容器包括氢浓度大于所述第一氧化物半导体膜的氢浓度的氧化物半导体膜,其中,所述电容器的所述氧化物半导体膜具有导电性,
其中,所述第二绝缘膜与所述第一氧化物半导体膜的顶面、所述第一绝缘膜的顶面、所述第二栅电极的顶面以及所述导电膜的顶面接触,
并且,所述第二栅电极和所述导电膜包含相同的材料。

16. 一种半导体装置,包括:

双栅极晶体管,所述双栅极晶体管包括:

第一氧化物半导体膜;

所述第一氧化物半导体膜下的第一栅电极;

所述第一氧化物半导体膜上的第一绝缘膜;

所述第一绝缘膜上的第二栅电极;以及

所述第一氧化物半导体膜上的导电膜,所述导电膜电连接到所述第一氧化物半导体膜;

所述第二栅电极与所述导电膜上的第二绝缘膜;

所述第二绝缘膜上的发光元件;以及

电容器,所述电容器包括氢浓度大于所述第一氧化物半导体膜的氢浓度的氧化物半导体膜,其中,所述电容器的氧化物半导体膜的氢浓度为 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下,

其中,所述第一氧化物半导体膜和所述电容器的所述氧化物半导体膜中的每个膜包括In-M-Zn氧化物膜,其中M是Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf,以及

所述第二绝缘膜与所述第一氧化物半导体膜的顶面、所述第一绝缘膜的顶面、所述第二栅电极的顶面以及所述导电膜的顶面接触,

并且,所述第二栅电极和所述导电膜包含相同的材料。

半导体装置

[0001] 本申请是分案申请,其母案申请号为201480071297.9,申请日是2014年12月17日。

技术领域

[0002] 本发明的一个实施方式涉及使用氧化物半导体的半导体装置及使用该半导体装置的显示装置。

[0003] 注意,本发明的一个实施方式不局限于上述技术领域。本说明书等所公开的发明的一个实施方式的技术领域涉及一种物体、方法或制造方法。或者,本发明涉及一种工序(process)、机器(machine)、产品(manufacture)或组成物(composition of matter)。本发明特别涉及一种半导体装置、显示装置、发光装置、蓄电装置、存储装置以及其驱动方法或其制造方法。

[0004] 注意,在本说明书等中,半导体装置是指通过利用半导体特性而能够工作的所有装置。除了晶体管等的半导体元件之外,半导体电路、运算装置或存储装置也是半导体装置的一个实施方式。摄像装置、显示装置、液晶显示装置、发光装置、电光装置、发电装置(包括薄膜太阳能电池或有机薄膜太阳能电池等)及电子设备有时包括半导体装置。

背景技术

[0005] 通过利用形成在具有绝缘表面的衬底上的半导体薄膜来构成晶体管(也称为薄膜晶体管(TFT))的技术引人注目。该晶体管被广泛地应用于如集成电路(IC)及图像显示装置(显示装置)等的电子设备。作为可以应用于晶体管的半导体薄膜的材料,以硅为代表的半导体材料被广泛地周知。但是,作为其他材料,氧化物半导体受到关注。

[0006] 例如,专利文献1公开了一种技术,其中作为氧化物半导体使用包含In、Zn、Ga、Sn等的非晶氧化物制造晶体管。

[0007] [参考文献]

[0008] [专利文献]

[0009] [专利文献1]日本专利申请公开2006-165529号公报

发明内容

[0010] 作为使用氧化物半导体膜的晶体管,可以举出例如反交错型(也称为底栅结构)或平面型(也称为顶栅结构)等。在将使用氧化物半导体膜的晶体管用于显示装置的情况下,与平面型晶体管相比,反交错型晶体管的制造步骤较简单而能够抑制制造成本,从而被利用的场面更多。然而,随着显示装置的屏幕的大型化或显示装置图像质量的高清晰化(例如,以 $4k \times 2k$ (水平方向的像素数=3840像素,垂直方向的像素数=2048像素)或 $8k \times 4k$ (水平方向的像素数=7680像素,垂直方向的像素数=4320像素)为代表的高解析度显示装置),因为在反交错型晶体管中存在栅电极和源电极及漏电极之间的寄生电容,所以由于该寄生电容引起信号迟延等增大,而导致显示装置图像质量的劣化。此外,在采用反交错型晶体管的情况下,与平面型晶体管相比,发生晶体管的占有面积增大的问题。因此,至于使用

氧化物半导体膜的平面型晶体管,被期待开发具有半导体特性稳定及可靠性高的结构并以简单的制造步骤形成的晶体管。

[0011] 鉴于上述问题,本发明的一个实施方式是提供使用氧化物半导体的新颖的半导体装置。尤其提供使用氧化物半导体的平面型半导体装置。再者,其他目的是:提供使用氧化物半导体的通态电流大的半导体装置;或者提供使用氧化物半导体的关态电流小的半导体装置;或者提供使用氧化物半导体的占有面积小的半导体装置;或者提供使用氧化物半导体的电特性稳定的半导体装置;或者提供使用氧化物半导体的可靠性高的半导体装置;或者提供新颖的半导体装置;或者提供新颖的显示装置。

[0012] 注意,上述目的的记载不妨碍其它目的的存在。注意,本发明的一个实施方式并不需要实现所有上述目的。另外,上述以外的目的从说明书等的记载看来显而易见,且可以从说明书等的记载中衍生出上述以外的目的。

[0013] 本发明的一个实施方式是一种半导体装置,包括:设置在驱动电路部中的第一晶体管;以及设置在像素部中的第二晶体管,其中,第一晶体管的结构和第二晶体管的结构互不相同。此外,第一晶体管及第二晶体管为顶栅结构的晶体管,被用作栅电极、源电极及漏电极的导电膜不重叠。此外,在氧化物半导体膜中,在不与栅电极、源电极及漏电极重叠的区域中包含杂质元素。

[0014] 作为杂质元素有氢、硼、碳、氮、氟、铝、硅、磷、氯或稀有气体元素。

[0015] 氧化物半导体膜由于包含至少一个杂质元素提高导电性。因此,通过在氧化物半导体膜中,在不与栅电极、源电极及漏电极重叠的区域中包括该包含杂质元素的区域,可以降低晶体管的寄生电阻,而实现通态电流高的晶体管。

[0016] 注意,设置在驱动电路部中的第一晶体管也可以具有隔着氧化物半导体膜重叠的两个栅电极。

[0017] 另外,设置在驱动电路部中的第一晶体管也可以包括层叠有第一膜及第二膜的氧化物半导体膜,并且设置在像素部中的第二晶体管也可以包括其金属元素的原子数比与第一膜不同的氧化物半导体膜。再者,也可以包含在第二晶体管中的氧化物半导体膜的金属元素的原子数比与包含在第一晶体管的氧化物半导体膜中的第二膜相同。

[0018] 本发明的一个实施方式可以提供一种使用氧化物半导体的新颖的半导体装置。尤其可以提供一种使用氧化物半导体的平面型半导体装置。或者,可以提供一种使用氧化物半导体的通态电流大的半导体装置。或者,可以提供一种使用氧化物半导体的关态电流小的半导体装置。或者,可以提供一种使用氧化物半导体的占有面积小的半导体装置。或者,可以提供一种使用氧化物半导体的电特性稳定的半导体装置。或者,可以提供一种使用氧化物半导体的可靠性高的半导体装置。或者,可以提供一种新颖的半导体装置。或者,可以提供一种新颖的显示装置。

[0019] 注意,这些效果的记载不妨碍其他效果的存在。此外,本发明的一个实施方式并不需要具有所有上述效果。另外,从说明书、附图、权利要求书等的记载看来这些效果以外的效果是显然易见的,而可以从说明书、附图、权利要求书等的记载中衍生出这些效果以外的效果。

附图说明

- [0020] 图1A和1B是示出半导体装置的一个实施方式的截面图；
- [0021] 图2是示出半导体装置的一个实施方式的截面图；
- [0022] 图3A至图3C是示出半导体装置的一个实施方式的俯视图及截面图；
- [0023] 图4A至图4C是示出半导体装置的一个实施方式的俯视图及截面图；
- [0024] 图5A至图5C是示出半导体装置的一个实施方式的俯视图及截面图；
- [0025] 图6A和图6B是示出半导体装置的一个实施方式的俯视图；
- [0026] 图7A至图7D是示出半导体装置的制造步骤的一个实施方式的截面图；
- [0027] 图8A至图8C是示出半导体装置的制造步骤的一个实施方式的截面图；
- [0028] 图9A至图9C是示出半导体装置的制造步骤的一个实施方式的截面图；
- [0029] 图10A至图10C是示出半导体装置的一个实施方式的截面图；
- [0030] 图11A和图11B是示出带结构的一个实施方式的图；
- [0031] 图12A和图12B是示出半导体装置的一个实施方式的截面图；
- [0032] 图13是示出半导体装置的一个实施方式的截面图；
- [0033] 图14A至图14C是示出半导体装置的一个实施方式的俯视图及截面图；
- [0034] 图15A至图15C是示出半导体装置的一个实施方式的俯视图及截面图；
- [0035] 图16A至图16C是示出半导体装置的一个实施方式的俯视图及截面图；
- [0036] 图17A和图17B是示出半导体装置的一个实施方式的俯视图；
- [0037] 图18A和图18B是示出半导体装置的制造步骤的一个实施方式的截面图；
- [0038] 图19A至图19C是示出半导体装置的制造步骤的一个实施方式的截面图；
- [0039] 图20A至图20C是示出半导体装置的制造步骤的一个实施方式的截面图；
- [0040] 图21A至图21C是示出半导体装置的一个实施方式的截面图；
- [0041] 图22A至图22C是示出半导体装置的制造步骤的一个实施方式的截面图；
- [0042] 图23A和图23B是示出半导体装置的制造步骤的一个实施方式的截面图；
- [0043] 图24A和图24B是示出半导体装置的一个实施方式的截面图；
- [0044] 图25A至图25C是示出半导体装置的一个实施方式的俯视图及截面图；
- [0045] 图26A至图26C是示出半导体装置的一个实施方式的俯视图及截面图；
- [0046] 图27A至图27C是示出半导体装置的一个实施方式的俯视图及截面图；
- [0047] 图28A和图28B是示出半导体装置的一个实施方式的俯视图；
- [0048] 图29A和图29B是示出半导体装置的制造步骤的一个实施方式的截面图；
- [0049] 图30A至图30D是示出半导体装置的制造步骤的一个实施方式的截面图；
- [0050] 图31A至图31C是示出半导体装置的制造步骤的一个实施方式的截面图；
- [0051] 图32A至图32C是示出半导体装置的一个实施方式的截面图；
- [0052] 图33A和图33B是示出半导体装置的制造步骤的一个实施方式的截面图；
- [0053] 图34A至图34D是示出半导体装置的制造步骤的一个实施方式的截面图；
- [0054] 图35A至图35C是示出半导体装置的制造步骤的一个实施方式的截面图；
- [0055] 图36是示出半导体装置的一个实施方式的截面图；
- [0056] 图37A和图37B是示出半导体装置的一个实施方式的俯视图及截面图；
- [0057] 图38A和图38B是示出半导体装置的一个实施方式的俯视图及截面图；

- [0058] 图39A和图39B是示出半导体装置的一个实施方式的俯视图及截面图；
- [0059] 图40A和图40B是示出显示装置的一个实施方式的俯视图；
- [0060] 图41是示出显示装置的一个实施方式的截面图；
- [0061] 图42是示出显示装置的一个实施方式的截面图；
- [0062] 图43是示出显示装置的一个实施方式的截面图；
- [0063] 图44A至图44C是说明显示装置的方框图及电路图；
- [0064] 图45是说明显示模块的图；
- [0065] 图46A至图46H是说明电子设备的图；
- [0066] 图47A至图47D是CAAC-OS的截面中的Cs校正高分辨率TEM图像以及CAAC-OS的截面示意图；
- [0067] 图48A至图48D是CAAC-OS的平面中的Cs校正高分辨率TEM图像；
- [0068] 图49A至图49C是说明通过XRD得到的CAAC-OS以及单晶氧化物半导体的结构分析的图；
- [0069] 图50A和图50B是示出半导体装置的一个实施方式的截面图；
- [0070] 图51A和图51B是示出半导体装置的一个实施方式的截面图；
- [0071] 图52A至图52D是示出半导体装置的制造步骤的一个实施方式的截面图；
- [0072] 图53A和图53B是示出半导体装置的一个实施方式的截面图；
- [0073] 图54A和图54B是示出半导体装置的一个实施方式的截面图；
- [0074] 图55A和图55B是示出CAAC-OS的电子衍射图案的图；
- [0075] 图56是示出通过电子照射的In-Ga-Zn氧化物的结晶部的变化的图；
- [0076] 图57A和图57B是说明CAAC-OS及nc-OS的成膜模型的示意图；
- [0077] 图58A至图58C是说明InGaZnO₄的结晶及颗粒的图；
- [0078] 图59A至图59D是说明CAAC-OS的成膜模型的示意图。

具体实施方式

[0079] 下面,参照附图详细地说明本说明书所公开的发明的实施方式。但是,本发明不局限于以下说明,所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容在不脱离本发明的宗旨及其范围的情况下可以被变换为各种各样的形式。因此,本发明不应该被解释为仅局限在以下所示的实施方式所记载的内容中。

[0080] 另外,附图等所示的各结构的位置、大小、范围等为了容易理解而有时不表示实际上的位置、大小、范围等。因此,所公开的发明不一定局限于附图等所公开的位置、大小、范围等。

[0081] 另外,本说明书等中使用的“第一”、“第二”、“第三”等序数词用来避免构成要素的混同,而不是用来在数目方面上进行限定的。

[0082] 另外,在本说明书等中,“上”或“下”不局限于如下意思,即一个构成要素位于另一个构成要素的“直接上方”或“直接下方”。例如,“栅极绝缘膜上的栅电极”不排除栅极绝缘膜与栅电极之间具有其它构成要素的情况。

[0083] 另外,在本说明书等中,“电极”或“布线”不在功能上限定其构成要素。例如,有时将“电极”用作“布线”的一部分,反之亦然。再者,“电极”或“布线”还包括多个“电极”或“布

线”被形成为一体的情况等。

[0084] 另外,在使用极性不同的晶体管的情况或电路工作的电流方向变化的情况等下,“源极”及“漏极”的功能有时被互相调换。因此,在本说明书等中,“源极”和“漏极”可以互相调换。

[0085] 另外,在本说明书等中,“电连接”包括隔着“具有某种电作用的元件”连接的情况。这里,“具有某种电作用的元件”只要可以进行连接对象间的电信号的授受,就对其没有特别的限制。例如,“具有某种电作用的元件”不仅包括电极和布线,而且还包括晶体管等的开关元件、电阻元件、电感器、电容器、其他具有各种功能的元件等。

[0086] 实施方式1

[0087] 在本实施方式中,参照图1A至图11B说明半导体装置及半导体装置的制造方法的一个实施方式。

[0088] <半导体装置的结构1>

[0089] 在图1A、图1B、图6A和图6B中,作为包括在半导体装置中的晶体管的一个例子示出顶栅结构的晶体管。在此,作为半导体装置的一个例子使用显示装置进行说明。此外,说明分别设置在显示装置的驱动电路及像素部中的晶体管的结构。

[0090] 在图6A和图6B中示出设置在驱动电路部中的晶体管154及设置在像素部中的晶体管150的俯视图,在图1A和图1B中示出晶体管154及晶体管150的截面图。图6A是晶体管154的俯视图,图6B是晶体管150的俯视图。图1A是沿着图6A中的点划线X1-X2的截面图,并且是沿着图6B的点划线X3-X4的截面图。图1B是沿着图6A的点划线Y1-Y2的截面图,并且是沿着图6B的点划线Y3-Y4的截面图。注意,在图6A和图6B中,为了明确起见,省略衬底102、绝缘膜104、绝缘膜108、绝缘膜116及绝缘膜118等。另外,图1A是晶体管150及晶体管154的沟道长度方向上的截面图。另外,图1B是晶体管150及晶体管154的沟道宽度方向上的截面图。

[0091] 注意,在晶体管的俯视图中,在下述的附图中也与晶体管150及晶体管154同样有时以省略构成要素的一部分的方式图示。此外,有时将点划线X1-X2方向及点划线X3-X4方向称为沟道长度方向,将点划线Y1-Y2方向及点划线Y3-Y4方向称为沟道宽度方向。

[0092] 图1A和图1B所示的晶体管150包括:形成在衬底102上的绝缘膜104上的氧化物半导体膜106;与氧化物半导体膜106接触的绝缘膜108;在绝缘膜108的开口部140a的一部分中与氧化物半导体膜106接触的导电膜110;在绝缘膜108的开口部140b的一部分中与氧化物半导体膜106接触的导电膜112;以及,隔着绝缘膜108与氧化物半导体膜106重叠的导电膜114。注意,也可以在晶体管150上设置绝缘膜116及绝缘膜118。

[0093] 晶体管154包括:形成在衬底102上的导电膜201;导电膜201上的绝缘膜104;绝缘膜104上的氧化物半导体膜206;与氧化物半导体膜206接触的绝缘膜108;在绝缘膜108的开口部220a的一部分中与氧化物半导体膜206接触的导电膜210;在绝缘膜108的开口部220b的一部分中与氧化物半导体膜206接触的导电膜212;以及,隔着绝缘膜108与氧化物半导体膜206重叠的导电膜214。

[0094] 晶体管154具有隔着绝缘膜104与氧化物半导体膜206重叠的导电膜201。就是说,将导电膜201用作栅电极。此外,晶体管154为双栅极结构的晶体管。

[0095] 通过使导电膜214与导电膜201没有连接且被施加彼此不同的电位,可以控制晶体管154的阈值电压。或者,如图1B所示,通过使导电膜214与导电膜201连接且被施加相同电

位,可以减少初期特性的不均匀且抑制-GBT(Negative Gate Bias-Temperature;负栅极偏压温度)应力测试所导致的劣化,并且抑制在漏极电压不同时的通态电流的上升电压的变动。另外,在氧化物半导体膜206中,在膜厚度方向上进一步增大载流子流动的区域,使得载流子的迁移量增多。其结果是,晶体管154的通态电流增大,并且场效应迁移率提高。通过将晶体管的沟道长度设定为小于 $2.5\mu\text{m}$,优选设定为 $1.45\mu\text{m}$ 以上且 $2.2\mu\text{m}$ 以下,通态电流进一步增大,并且场效应迁移率可以进一步提高。

[0096] 注意,也可以采用导电膜201不与导电膜210或导电膜212重叠的结构。图54A示出此时的例子。或者,导电膜201也可以与导电膜210或导电膜212重叠并与氧化物半导体膜106整体重叠。图54B示出此时的例子。

[0097] 在本实施方式所示的显示装置中,驱动电路部和像素部中的晶体管的结构不同。驱动电路部所包括的晶体管为双栅极结构。就是说,与像素部相比,在驱动电路部中包括场效应迁移率高的晶体管。

[0098] 另外,也可以在显示装置中驱动电路部和像素部所包括的晶体管的沟道长度彼此不同。

[0099] 典型地,可以将驱动电路部所包括的晶体管154的沟道长度设定为小于 $2.5\mu\text{m}$,或者设定为 $1.45\mu\text{m}$ 以上且 $2.2\mu\text{m}$ 以下。另一方面,可以将像素部所包括的晶体管150的沟道长度设定为 $2.5\mu\text{m}$ 以上,或者设定为 $2.5\mu\text{m}$ 以上且 $20\mu\text{m}$ 以下。

[0100] 通过将驱动电路部所包括的晶体管154的沟道长度设定为小于 $2.5\mu\text{m}$,优选设定为 $1.45\mu\text{m}$ 以上且 $2.2\mu\text{m}$ 以下,与像素部所包括的晶体管150相比,可以提高场效应迁移率,并且可以增大通态电流。其结果是,可以制造能够进行高速工作的驱动电路部。

[0101] 由于晶体管的场效应迁移率高,从而可以在驱动电路部的一个例子的信号线驱动电路中形成解复用电路(demultiplexer circuit)。解复用电路为将一个输入信号分配到多个输出的电路,由此可以减少输入信号用的输入端子的个数。例如,一个像素具有红色用子像素、绿色用子像素及蓝色用子像素,并且在每个像素中设置解复用电路,可以在解复用电路中分配输入到每个子像素的输入信号,而可以将输入端子减少至1/3。

[0102] 另外,因为设置在像素部中的晶体管的栅电极不与源电极及漏电极重叠,所以寄生电容少。再者,在不与栅电极、源电极及漏电极重叠的区域中,氧化物半导体膜包含具有杂质元素的区域,从而寄生电阻小。由此,将通态电流大的晶体管设置在像素部中。其结果是,在大型显示装置或高清晰的显示装置中,可以减少信号迟延并抑制显示不均匀。

[0103] 在氧化物半导体膜106中,在不与导电膜110、导电膜112及导电膜114重叠的区域中包含形成氧空位的元素。此外,在氧化物半导体膜206中,在不与导电膜210、导电膜212及导电膜214重叠的区域中包含形成氧空位的元素。下面,将形成氧空位的元素作为杂质元素进行说明。作为杂质元素的典型例子,有氢、硼、碳、氮、氟、铝、硅、磷、氯或稀有气体元素等。作为稀有气体元素的典型例子,有氦、氖、氩、氪以及氙。

[0104] 当对氧化物半导体膜添加杂质元素时,氧化物半导体膜中的金属元素和氧的键合断开,而形成氧空位。或者,当对氧化物半导体膜添加杂质元素时,氧化物半导体膜中的与金属元素键合的氧键合于杂质元素,从金属元素脱离氧,而形成氧空位。其结果是,在氧化物半导体膜中的载流子密度增加,因而氧化物半导体膜的导电性提高。

[0105] 在此,图2示出氧化物半导体膜106附近的放大图。注意,作为典型例子,使用包括

在晶体管150中的氧化物半导体膜106附近的放大图进行说明。如图2所示,氧化物半导体膜106包括与导电膜110及导电膜112接触的区域106a、与绝缘膜116接触的区域106b、以及与绝缘膜108重叠的区域106c及区域106d。

[0106] 区域106a被用作源区域及漏区域。在导电膜110及导电膜112使用与氧容易键合的导电材料如钨、钛、铝、铜、钼、铬、钽单体或者合金等形成的情况下,包含在氧化物半导体膜中的氧和包含在导电膜110及导电膜112中的导电材料键合,在氧化物半导体膜中形成氧空位。另外,有时在氧化物半导体膜中混入形成导电膜110及导电膜112的导电材料的构成元素的一部分。其结果是,与导电膜110及导电膜112接触的区域106a提高导电性并被用作源区域及漏区域。

[0107] 区域106b及区域106c被用作低电阻区域。区域106b及区域106c包含杂质元素。注意,区域106b的杂质元素浓度比区域106c高。此外,在导电膜114的侧面具有锥形形状的情况下,区域106c的一部分也可以与导电膜114重叠。

[0108] 在杂质元素为稀有气体元素且通过溅射法形成氧化物半导体膜106的情况下,区域106a至区域106d分别包含稀有气体元素,并且与区域106a及区域106d相比,区域106b及区域106c的稀有气体元素的浓度高。这是因为在通过溅射法形成氧化物半导体膜106的情况下,作为溅射气体使用稀有气体,从而在氧化物半导体膜106中包含稀有气体,并且在区域106b及区域106c中故意地添加稀有气体,以便形成氧空位。注意,也可以在区域106b及区域106c中添加有与区域106a及区域106d不同的稀有气体元素。

[0109] 在杂质元素为硼、碳、氮、氟、铝、硅、磷或氯的情况下,仅在区域106b及区域106c中包含杂质元素。因此,与区域106a及区域106d相比,区域106b及区域106c的杂质元素的浓度高。注意,在区域106b及区域106c中,可以将通过二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)得到的杂质元素的浓度设定为 1×10^{18} atoms/cm³以上且 1×10^{22} atoms/cm³以下,或者 1×10^{19} atoms/cm³以上且 1×10^{21} atoms/cm³以下,或者 5×10^{19} atoms/cm³以上且 5×10^{20} atoms/cm³以下。

[0110] 在杂质元素为氢的情况下,与区域106a及区域106d相比,区域106b及区域106c的杂质元素的浓度高。注意,在区域106b及区域106c中,可以将通过二次离子质谱分析法得到的氢浓度设定为 8×10^{19} atoms/cm³以上,或者 1×10^{20} atoms/cm³以上,或者 5×10^{20} atoms/cm³以上。

[0111] 由于区域106b及区域106c包含杂质元素,氧空位增加并载流子密度增加。其结果是,区域106b及区域106c的导电性提高,而被用作低电阻区域。

[0112] 注意,杂质元素也可以为氢、硼、碳、氮、氟、铝、硅、磷、或氯中的一个以上,以及稀有气体的一种以上。在此情况下,在区域106b及区域106c中,因为由于稀有气体形成的氧空位和添加到该区域的氢、硼、碳、氮、氟、铝、硅、磷或氯中的一个以上的相互作用,区域106b及区域106c的导电性有时进一步提高。

[0113] 区域106d被用作沟道。

[0114] 在绝缘膜108中,与氧化物半导体膜106及导电膜114重叠的区域以及与氧化物半导体膜206及导电膜214重叠的区域被用作栅极绝缘膜。此外,在绝缘膜108中,与氧化物半导体膜106、导电膜110及导电膜112重叠的区域以及与氧化物半导体膜206、导电膜210及导电膜212重叠的区域被用作层间绝缘膜。

[0115] 导电膜110及导电膜112、导电膜210及导电膜212被用作源电极及漏电极。此外,导电膜114及导电膜214被用作栅电极。

[0116] 本实施方式所示的晶体管150及晶体管154在被用作沟道的区域和被用作源区域及漏区域的区域之间包括被用作低电阻区域的区域。由此,可以降低沟道和源区域及漏区域之间的电阻,并且晶体管150及晶体管154具有大通态电流及高场效应迁移率。

[0117] 此外,在晶体管150及晶体管154的制造步骤中,同时形成被用作栅电极的导电膜114及导电膜214、被用作源电极及漏电极的导电膜110及导电膜112、以及导电膜210及导电膜212。由此,在晶体管150中,导电膜114不与导电膜110及导电膜112重叠,而可以减少导电膜114和导电膜110及导电膜112之间的寄生电容。此外,在晶体管154中,导电膜214不与导电膜210及导电膜212重叠,而可以减少导电膜214和导电膜210及导电膜212之间的寄生电容。其结果是,在作为衬底102使用大面积衬底的情况下,可以减少导电膜110、导电膜112、导电膜114、导电膜210、导电膜212及导电膜214中的信号迟延。

[0118] 另外,在晶体管150中,将导电膜110、导电膜112及导电膜114用作掩模,对氧化物半导体膜106添加杂质元素。另外,在晶体管154中,将导电膜210、导电膜212及导电膜214用作掩模,对氧化物半导体膜206添加杂质元素。就是说,可以自对准地形成低电阻区域。

[0119] 下面说明图1A和图1B所示的结构的详细结构。

[0120] 作为衬底102,可以采用各种各样的衬底,而不局限于特定的衬底。作为该衬底的一个例子,有半导体衬底(例如单晶衬底或硅衬底)、SOI衬底、玻璃衬底、石英衬底、塑料衬底、金属衬底、不锈钢衬底,包含不锈钢箔的衬底、钨衬底、包含钨箔的衬底、柔性衬底、贴合薄膜、包含纤维状材料的纸或基材薄膜等。作为玻璃衬底的一个例子,有钡硼硅酸盐玻璃衬底、铝硼硅酸盐玻璃衬底、钠钙玻璃衬底等。作为柔性衬底、贴合薄膜、基材薄膜等的一个例子,可以举出如下。例如,可以举出以聚对苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚砜(PES)为代表的塑料。或者,作为一个例子,可以举出丙烯酸树脂等合成树脂等。作为一个例子,可以举出聚丙烯、聚酯、聚氟化乙烯、聚氯乙烯等。作为一个例子,可以举出聚酰胺、聚酰亚胺、芳族聚酰胺、环氧树脂、无机蒸镀薄膜、纸等。尤其是,通过使用半导体衬底、单晶衬底或SOI衬底等制造晶体管,可以制造特性、尺寸或形状等的不均匀性小、电流能力高且尺寸小的晶体管。当利用上述晶体管构成电路时,可以实现电路的低功耗化或电路的高集成化。

[0121] 或者,作为衬底102,也可以使用柔性衬底,并且在柔性衬底上直接形成晶体管。或者,也可以在衬底102和晶体管之间设置剥离层。剥离层可以用于在其上制造半导体装置的一部分或全部,然后将其从衬底102分离并转置到其他衬底上。此时,也可以将晶体管转置到耐热性低的衬底或柔性衬底上。另外,作为上述剥离层,例如可以使用钨膜与氧化硅膜的无机膜的叠层结构或衬底上形成有聚酰亚胺等有机树脂膜的结构等。

[0122] 作为转置晶体管的衬底的一个例子,除了上述的可以形成晶体管的衬底之外,还可以使用纸衬底、玻璃纸衬底、芳族聚酰胺薄膜衬底、聚酰亚胺薄膜衬底、石材衬底、木材衬底、布衬底(包括天然纤维(丝、棉、麻)、合成纤维(尼龙、聚氨酯、聚酯)或再生纤维(醋酸纤维、铜氨纤维、人造纤维、再生聚酯)等)、皮革衬底、橡皮衬底等。通过采用这些衬底,可以形成特性良好的晶体管、形成功耗小的晶体管、制造不容易损坏的装置、实现耐热性、轻量化或薄型化。

[0123] 绝缘膜104可以使用氧化物绝缘膜或氮化物绝缘膜的单层或叠层形成。注意,为了提高与氧化物半导体膜106及氧化物半导体膜206之间的界面特性,在绝缘膜104中至少与氧化物半导体膜106及氧化物半导体膜206接触的区域优选由氧化物绝缘膜形成。或者,作为绝缘膜104使用通过加热释放氧的氧化物绝缘膜,通过加热处理使包含在绝缘膜104中的氧移动到氧化物半导体膜106及氧化物半导体膜206。

[0124] 绝缘膜104的厚度可以为50nm以上、100nm以上且3000nm以下、或200nm以上且1000nm以下。通过使绝缘膜104厚,可以使绝缘膜104的氧释放量增加,并且能够减少绝缘膜104与氧化物半导体膜106及氧化物半导体膜206之间的界面态密度,并且减少包含在氧化物半导体膜106及氧化物半导体膜206中的氧空位。

[0125] 作为绝缘膜104,可以使用氧化硅膜、氧氮化硅膜、氮氧化硅膜、氮化硅膜、氧化铝膜、氧化钪膜、氧化镓膜或Ga-Zn氧化物膜等中的一种或多种,并且以单层或叠层设置绝缘膜104。

[0126] 氧化物半导体膜106及氧化物半导体膜206典型地由In-Ga氧化物膜、In-Zn氧化物膜、In-M-Zn氧化物膜(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)等的金属氧化物膜形成。注意,氧化物半导体膜106及氧化物半导体膜206具有透光性。

[0127] 注意,在氧化物半导体膜106及氧化物半导体膜206为In-M-Zn氧化物的情况下,In及M的原子数比为当In及M的和为100atomic%时In多于25atomic%且M低于75atomic%,或者In多于34atomic%且M低于66atomic%。

[0128] 氧化物半导体膜106及氧化物半导体膜206的能隙为2eV以上,2.5eV以上,或者3eV以上。

[0129] 氧化物半导体膜106及氧化物半导体膜206的厚度为3nm以上且200nm以下,或者3nm以上且100nm以下,或者3nm以上且50nm以下。

[0130] 当氧化物半导体膜106及氧化物半导体膜206为In-M-Zn氧化物膜(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)时,优选用于形成In-M-Zn氧化物膜的溅射靶材的金属元素的原子数比满足 $\text{In} \geq \text{M}$ 及 $\text{Zn} \geq \text{M}$ 。作为这种溅射靶材的金属元素的原子数比优选为 $\text{In}:\text{M}:\text{Zn}=1:1:1$, $\text{In}:\text{M}:\text{Zn}=1:1:1.2$, $\text{In}:\text{M}:\text{Zn}=2:1:1.5$, $\text{In}:\text{M}:\text{Zn}=2:1:2.3$, $\text{In}:\text{M}:\text{Zn}=2:1:3$, $\text{In}:\text{M}:\text{Zn}=3:1:2$ 等。注意,在所形成的氧化物半导体膜106及氧化物半导体膜206中的金属元素的原子数比从上述溅射靶材中的金属元素的原子数比偏离 $\pm 40\%$ 的误差范围内。

[0131] 此外,当氧化物半导体膜106及氧化物半导体膜206包含第14族元素之一的硅或碳时,氧化物半导体膜106及氧化物半导体膜206中的氧空位增加,导致氧化物半导体膜106及氧化物半导体膜206的n型化。因此,氧化物半导体膜106及氧化物半导体膜206中的尤其在区域106d中,可以将硅或碳的浓度(利用二次离子质谱分析法得到的浓度)设定为 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下,优选为 $2 \times 10^{17} \text{ atoms/cm}^3$ 以下。其结果,晶体管具有实现正阈值电压的电特性(也称为常关闭(normally-off)特性)。

[0132] 此外,氧化物半导体膜106及氧化物半导体膜206中的尤其在区域106d中,可以利用二次离子质谱分析法得到的碱金属或碱土金属的浓度设定为 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下,或者 $2 \times 10^{16} \text{ atoms/cm}^3$ 以下。碱金属或碱土金属有时会与氧化物半导体结合而生成载流子,导致晶体管的关态电流的增大。由此,优选降低区域106d的碱金属或碱土金属的浓度。其结果,晶体管具有实现正阈值电压的电特性(也称为常关闭特性)。

[0133] 此外,在氧化物半导体膜106及氧化物半导体膜206中的尤其在区域106d包含氮的情况下,有时会生成成为载流子的电子,载流子密度增加而使氧化物半导体膜106及氧化物半导体膜206成为n型化。其结果,使用包含氮的氧化物半导体膜的晶体管容易具有常开启(normally-on)特性。因此,该氧化物半导体膜中的尤其在区域106d中,优选尽可能减少氮。例如,可以将利用二次离子质谱分析法得到的氮浓度设定为 5×10^{18} atoms/cm³以下。

[0134] 通过氧化物半导体膜106及氧化物半导体膜206中的尤其在区域106d中减少杂质元素,可以降低氧化物半导体膜的载流子密度。因此,氧化物半导体膜106及氧化物半导体膜206中的尤其在区域106d中,可以将载流子密度设定为 1×10^{17} 个/cm³以下,或者 1×10^{15} 个/cm³以下,或者 1×10^{13} 个/cm³以下,或者 1×10^{11} 个/cm³以下。

[0135] 通过作为氧化物半导体膜106及氧化物半导体膜206,使用杂质浓度低且缺陷态密度低的氧化物半导体膜,可以制造具有更优良的电特性的晶体管。在此,将杂质浓度低且缺陷态密度低(氧空位少)的状态称为“高纯度本征或”或“实质上高纯度本征”。因为使用高纯度本征或实质上高纯度本征的氧化物半导体的晶体管的载流子发生源较少,所以有时可以降低载流子密度。由此,在该氧化物半导体膜中形成有沟道区域的晶体管容易具有实现正阈值电压的电特性(也称为常关闭特性)。因为高纯度本征或实质上高纯度本征的氧化物半导体膜具有较低的缺陷态密度,所以有可能具有较低的陷阱态密度。使用高纯度本征或实质上高纯度本征的氧化物半导体膜的晶体管的关态电流显著低,当源电极与漏电极间的电压(漏极电压)在1V至10V的范围时,关态电流也可以为半导体参数分析仪的测定极限以下,即 1×10^{-13} A以下。因此,形成沟道区域在该氧化物半导体膜中的晶体管的电特性变动小,该晶体管成为可靠性高的晶体管。

[0136] 此外,氧化物半导体膜106及氧化物半导体膜206例如也可以具有非单晶结构。非单晶结构例如包括在后面描述的CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor:c轴取向结晶氧化物半导体)、多晶结构、在后面描述的微晶结构或非晶结构。在非单晶结构中,非晶结构的缺陷态密度最高,而CAAC-OS的缺陷态密度最低。

[0137] 此外,氧化物半导体膜106及氧化物半导体膜206也可以为具有非晶结构的区域、微晶结构的区域、多晶结构的区域、CAAC-OS的区域和单晶结构的区域中的两种以上的混合膜。混合膜有时采用例如具有非晶结构的区域、微晶结构的区域、多晶结构的区域、CAAC-OS的区域和单晶结构的区域中的两种以上的区域的单层结构。另外,混合膜有时例如具有非晶结构的区域、微晶结构的区域、多晶结构的区域、CAAC-OS的区域和单晶结构的区域中的两种以上的区域的叠层结构。

[0138] 注意,在氧化物半导体膜106及氧化物半导体膜206中有时区域106b与区域106d的晶性不同。此外,在氧化物半导体膜106及氧化物半导体膜206中,有时区域106c和区域106d的晶性不同。此时,当对区域106b或区域106c添加杂质元素时,区域106b或区域106c受到损伤,而降低晶性。

[0139] 绝缘膜108可以使用氧化物绝缘膜或氮化物绝缘膜的单层或叠层形成。注意,为了提高与氧化物半导体膜106及氧化物半导体膜206之间的界面特性,在绝缘膜108中至少与氧化物半导体膜106及氧化物半导体膜206接触的区域优选由氧化物绝缘膜形成。作为绝缘膜108例如可以使用氧化硅膜、氧氮化硅膜、氮氧化硅膜、氮化硅膜、氧化铝膜、氧化钪膜、氧化镓膜或Ga-Zn氧化物膜中的一种或多种,并且以单层或叠层设置绝缘膜108。

[0140] 另外,通过作为绝缘膜108设置具有阻挡氧、氢、水等的效果的绝缘膜,能够防止氧从氧化物半导体膜106及氧化物半导体膜206扩散到外部,并能够防止氢、水等从外部侵入氧化物半导体膜106及氧化物半导体膜206。作为具有阻挡氧、氢、水等的效果的绝缘膜,可以举出氧化铝膜、氮化铝膜、氧化镓膜、氮化镓膜、氧化铪膜、氮化铪膜、氧化钪膜、氮化钪膜等。

[0141] 此外,通过作为绝缘膜108,使用硅酸铪(HfSiO_x)、添加有氮的硅酸铪($\text{HfSi}_x\text{O}_y\text{N}_z$)、添加有氮的铝酸铪($\text{HfAl}_x\text{O}_y\text{N}_z$)、氧化铪、氧化铪等high-k材料,可以降低晶体管的栅极漏电流。

[0142] 此外,作为绝缘膜108,使用通过加热释放氧的氧化物绝缘膜,通过加热处理可以使包含在绝缘膜108中的氧移动到氧化物半导体膜106及氧化物半导体膜206。

[0143] 此外,作为绝缘膜108,可以使用缺陷少的氮化硅膜。在对缺陷少的氮化硅膜进行了加热处理后的100K以下的ESR谱中,观察到g值为2.037以上且2.039以下的第一信号、g值为2.001以上且2.003以下的第二信号以及g值为1.964以上且1.966以下的第三信号。此外,第一信号与第二信号的间隔宽度以及第二信号与第三信号的间隔宽度在X波段的ESR测定中分别为5mT左右。另外,g值为2.037以上且2.039以下的第一信号、g值为2.001以上且2.003以下的第二信号以及g值为1.964以上且1.966以下的第三信号的自旋密度的总计小于 $1 \times 10^{18} \text{spins/cm}^3$,典型为 $1 \times 10^{17} \text{spins/cm}^3$ 以上且小于 $1 \times 10^{18} \text{spins/cm}^3$ 。

[0144] 另外,在100K以下的ESR谱中,g值为2.037以上且2.039以下的第一信号、g值为2.001以上且2.003以下的第二信号以及g值为1.964以上且1.966以下的第三信号相当于起因于氮氧化物(NO_x ,x为0以上且2以下,或者为1以上且2以下)的信号。作为氮氧化物的典型例子,有一氧化氮、二氧化氮等。换言之,g值为2.037以上且2.039以下的第一信号、g值为2.001以上且2.003以下的第二信号以及g值为1.964以上且1.966以下的第三信号的自旋密度的总计越低,包含在氮化硅膜中的氮氧化物的含量越少。

[0145] 此外,通过二次离子质谱分析法测量的缺陷少的氮化硅膜的氮浓度为 $6 \times 10^{20} \text{atoms/cm}^3$ 以下。通过作为绝缘膜108使用缺陷少的氮化硅膜,不容易生成氮氧化物,可以减少氧化物半导体膜106及氧化物半导体膜206与绝缘膜108的各界面处的载流子陷阱。此外,可以减少半导体装置所包括的晶体管的阈值电压的变动,并且可以减少晶体管的阈值电压的变动。

[0146] 可以将绝缘膜108的厚度设定为5nm以上且400nm以下,或者5nm以上且300nm以下,或者10nm以上且250nm以下。

[0147] 因为同时形成导电膜110、导电膜112、导电膜114、导电膜210、导电膜212及导电膜214,所以具有相同材料(例如金属元素)及相同叠层结构。导电膜110、导电膜112、导电膜114、导电膜210、导电膜212及导电膜214可以使用选自铝、铬、铜、钽、钛、钼、镍、铁、钴及钨中的金属元素,或者以上述金属元素为成分的合金,或者组合上述金属元素的合金等形成。或者,也可以使用选自锰及锆中的一个或多个的金属元素。或者,导电膜110、导电膜112、导电膜114、导电膜210、导电膜212及导电膜214可以采用单层结构或两层以上的叠层结构。例如,有包含硅的铝膜的单层结构、包含锰的铜膜的单层结构、在铝膜上层叠钛膜的两层结构、在氮化钛膜上层叠钛膜的两层结构、在氮化钛膜上层叠钨膜的两层结构、在氮化钼膜或氮化钨膜上层叠钨膜的两层结构、在包含锰的铜膜上层叠铜膜的两层结构、依次层叠钛膜、

铝膜及钛膜的三层结构、依次层叠包含锰的铜膜、铜膜及包含锰的铜膜的三层结构等。此外,也可以使用组合铝与选自钛、钽、钨、钼、铬、钨、钽中的一种或多种元素而成的合金膜或氮化膜。

[0148] 此外,作为导电膜110、导电膜112、导电膜114、导电膜210、导电膜212及导电膜214,可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、包含氧化硅的铟锡氧化物等的具有透光性的导电性材料。此外,也可以采用使用上述具有透光性的导电性材料和上述金属元素的叠层结构。

[0149] 可以将导电膜110、导电膜112、导电膜114、导电膜210、导电膜212及导电膜214的厚度设定为30nm以上且500nm以下,或者100nm以上且400nm以下。

[0150] 绝缘膜116可以使用氧化物绝缘膜或氮化物绝缘膜的单层或叠层形成。注意,为了提高与氧化物半导体膜106及氧化物半导体膜206之间的界面特性,在绝缘膜116中至少与氧化物半导体膜106及氧化物半导体膜206接触的区域优选由氧化物绝缘膜形成。另外,作为绝缘膜116使用通过加热释放氧的氧化物绝缘膜,通过加热处理可以使包含在绝缘膜116中的氧移动到氧化物半导体膜106及氧化物半导体膜206中。

[0151] 作为绝缘膜116,例如可以使用氧化硅膜、氧氮化硅膜、氮氧化硅膜、氮化硅膜、氧化铝膜、氧化钪膜、氧化镓膜或Ga-Zn氧化物膜等中的一种或多种,并且可以以单层或叠层设置绝缘膜116。

[0152] 绝缘膜118优选为被用作来自外部的氢或水等的阻挡膜的膜。作为绝缘膜118例如可以使用氮化硅膜、氮氧化硅膜、氧化铝膜等,并且可以以单层或叠层设置绝缘膜118。

[0153] 可以将绝缘膜116及绝缘膜118的厚度设定为30nm以上且500nm以下,或者100nm以上且400nm以下。

[0154] <半导体装置的结构2>

[0155] 接着,对半导体装置的其它结构参照图3A至图3C进行说明。在此,作为设置在像素部中的晶体管150的变形例子使用晶体管151进行说明。驱动电路部的晶体管154适当地使用晶体管151的绝缘膜104的结构或者导电膜110、导电膜112及导电膜114的结构。

[0156] 在图3A至图3C中示出半导体装置所包括的晶体管151的俯视图及截面图。图3A是晶体管151的俯视图,图3B是沿着图3A的点划线Y3-Y4的截面图,图3C是图3A的点划线X3-X4的截面图。

[0157] 在图3A至图3C所示的晶体管151中,导电膜110、导电膜112及导电膜114分别具有三层结构。此外,绝缘膜104具有氮化物绝缘膜104a及氧化物绝缘膜104b的叠层结构。至于其他结构,与晶体管150同样,并且发挥相同效果。

[0158] 首先,对导电膜110、导电膜112及导电膜114进行说明。

[0159] 导电膜110依次层叠有导电膜110a、导电膜110b及导电膜110c,并且导电膜110a及导电膜110c覆盖导电膜110b表面。就是说,将导电膜110a及导电膜110c用作导电膜110b的保护膜。

[0160] 与导电膜110同样,导电膜112依次层叠有导电膜112a、导电膜112b及导电膜112c,并且导电膜112a及导电膜112c覆盖导电膜112b表面。

[0161] 与导电膜110同样,导电膜114依次层叠有导电膜114a、导电膜114b及导电膜114c,

并且导电膜114a及导电膜114c覆盖导电膜114b表面。

[0162] 导电膜110a、导电膜112a及导电膜114a使用防止包含在导电膜110b、导电膜112b及导电膜114b中的金属元素扩散到氧化物半导体膜106中的材料来形成。作为导电膜110a、导电膜112a及导电膜114a,使用钛、钽、钼或钨、其合金、或者氮化钛、氮化钽、氮化钼或氮化钨等形成。或者,导电膜110a、导电膜112a及导电膜114a可以使用Cu-X合金(X为Mn、Ni、Cr、Fe、Co、Mo、Ta或Ti)等形成。

[0163] 注意,Cu-X合金(X为Mn、Ni、Cr、Fe、Co、Mo、Ta或Ti)通过加热处理有时在与氧化物半导体膜接触的区域或与绝缘膜接触的区域形成覆盖膜。覆盖膜由包含X的化合物形成。作为包含X的化合物的一个例子,有X的氧化物、In-X氧化物、Ga-X氧化物、In-Ga-X氧化物及In-Ga-Zn-X氧化物等。通过在导电膜110a、导电膜112a及导电膜114a表面形成覆盖膜,而覆盖膜成为阻挡膜,可以抑制Cu-X合金膜中的Cu侵入氧化物半导体膜。

[0164] 注意,通过将氧化物半导体膜106中的被用作沟道的区域的铜浓度设定为 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下,可以减少被用作栅极绝缘膜的绝缘膜108和氧化物半导体膜106的界面的陷阱态密度(trap state density)。其结果,可以制造亚阈值摆幅值(S值)良好的晶体管。

[0165] 导电膜110b、导电膜112b及导电膜114b使用低电阻材料形成。作为导电膜110b、导电膜112b及导电膜114b,可以使用铜、铝、金或银等、其合金、或者以上述金属为主要成分的化合物等形成。

[0166] 通过使用使包含在导电膜110b、导电膜112b及导电膜114b中的金属元素被钝态化的膜形成导电膜110c、导电膜112c及导电膜114c,可以防止在绝缘膜116的形成步骤中包含在导电膜110b、导电膜112b及导电膜114b中的金属元素移动到氧化物半导体膜106中。作为导电膜110c、导电膜112c及导电膜114c,可以使用金属硅化合物、金属硅氮化合物等,典型为 CuSi_x ($x > 0$)、 CuSi_xN_y ($x > 0, y > 0$)等。

[0167] 在此,对导电膜110c、导电膜112c及导电膜114c的形成方法进行说明。导电膜110b、导电膜112b及导电膜114b使用铜形成。另外,导电膜110c、导电膜112c及导电膜114c使用 CuSi_xN_y ($x > 0, y > 0$)形成。

[0168] 将导电膜110b、导电膜112b及导电膜114b暴露于在氢、氨、一氧化碳等的还原气氛中产生的等离子体,使导电膜110b、导电膜112b及导电膜114b表面的氧化物还原。

[0169] 接着,在 200°C 以上且 400°C 以下进行加热的同时,将导电膜110b、导电膜112b及导电膜114b暴露于硅烷。其结果,包含在导电膜110b、导电膜112b及导电膜114b中的铜被用作催化剂,硅烷被分解为Si和 H_2 ,并且在导电膜110b、导电膜112b及导电膜114b表面形成 CuSi_x ($x > 0$)。

[0170] 接着,将导电膜110b、导电膜112b及导电膜114b暴露于在氨或氮气氛等的包含氮的气氛中产生的等离子体,在导电膜110b、导电膜112b及导电膜114b表面形成的 CuSi_x ($x > 0$)与包含在等离子体中的氮起反应,而作为导电膜110c、导电膜112c及导电膜114c,形成 CuSi_xN_y ($x > 0, y > 0$)。

[0171] 注意,在上述步骤中,也可以通过在将导电膜110b、导电膜112b及导电膜114b暴露于在氨或氮气氛等包含氮的气氛中产生的等离子体之后,在 200°C 以上且 400°C 以下加热的同时,将导电膜110b、导电膜112b及导电膜114b暴露于硅烷,作为导电膜110c、导电膜112c

及导电膜114c形成 CuSi_xN_y ($x>0, y>0$)。

[0172] 接着,对层叠有氮化物绝缘膜104a及氧化物绝缘膜104b的绝缘膜104进行说明。

[0173] 例如,作为氮化物绝缘膜104a,可以使用氮化硅膜、氮氧化硅膜、氮化铝膜及氮氧化铝膜等形成。此外,作为氧化物绝缘膜104b,可以使用氧化硅膜、氧氮化硅膜及氧化铝膜等形成。通过在衬底102一侧设置氮化物绝缘膜104a,可以防止来自外部的氢、水等扩散到氧化物半导体膜106中。

[0174] <半导体装置的结构3>

[0175] 接着,对半导体装置的其它结构参照图4A至图5C及图11A和图11B进行说明。在此,作为设置在像素部中的晶体管150的变形例子使用晶体管152及晶体管153进行说明。驱动电路部中的晶体管154可以适当地使用包括在晶体管152中的氧化物半导体膜106的结构或者包括在晶体管153中的氧化物半导体膜106的结构。

[0176] 在图4A至图4C中示出半导体装置所包括的晶体管152的俯视图及截面图。图4A是晶体管152的俯视图,图4B是沿着图4A的点划线Y3-Y4的截面图,并且图4C是沿着图4A的点划线X3-X4的截面图。

[0177] 在图4A至图4C所示的晶体管152中,氧化物半导体膜106为多层结构。具体而言,氧化物半导体膜106包括与绝缘膜104接触的氧化物半导体膜107a、与氧化物半导体膜107a接触的氧化物半导体膜107b以及与氧化物半导体膜107b、导电膜110、导电膜112、绝缘膜108及绝缘膜116接触的氧化物半导体膜107c。至于其他结构,与晶体管150同样,并且发挥相同效果。

[0178] 作为氧化物半导体膜107a、氧化物半导体膜107b及氧化物半导体膜107c,典型地由In-Ga氧化物膜、In-Zn氧化物膜、In-M-Zn氧化物膜(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)等的金属氧化物膜形成。

[0179] 另外,氧化物半导体膜107a及氧化物半导体膜107c典型为In-Ga氧化物膜、In-Zn氧化物膜、In-Mg氧化物膜、Zn-Mg氧化物膜或In-M-Zn氧化物膜(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf),并且与氧化物半导体膜107b相比,其导带底的能量近于真空能级,典型地氧化物半导体膜107a及氧化物半导体膜107c的导带底的能量和氧化物半导体膜107b的导带底的能量差为0.05eV以上、0.07eV以上、0.1eV以上、或0.2eV以上,并且2eV以下、1eV以下、0.5eV以下、或0.4eV以下。注意,将真空能级和导带底的能量的能量差也称为电子亲和力。

[0180] 当氧化物半导体膜107b是In-M-Zn氧化物膜(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)时,在用于形成氧化物半导体膜107b的靶材中,假设金属元素的原子数比为 $\text{In}:\text{M}:\text{Zn}=x_1:y_1:z_1$ 时, x_1/y_1 优选为1/3以上且6以下,更优选为1以上且6以下, z_1/y_1 优选为1/3以上且6以下,更优选为1以上且6以下。另外,通过将 z_1/y_1 设定为1以上且6以下,作为氧化物半导体膜107b容易形成CAAC-OS膜。作为靶材的金属元素的原子数比的典型例子可以举出 $\text{In}:\text{M}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{M}:\text{Zn}=1:1:1.2$ 、 $\text{In}:\text{M}:\text{Zn}=2:1:1.5$ 、 $\text{In}:\text{M}:\text{Zn}=2:1:2.3$ 、 $\text{In}:\text{M}:\text{Zn}=2:1:3$,以及 $\text{In}:\text{M}:\text{Zn}=3:1:2$ 等。

[0181] 当氧化物半导体膜107a及氧化物半导体膜107c是In-M-Zn氧化物膜(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)时,在用于形成氧化物半导体膜107a及氧化物半导体膜107c的靶材中,假设金属元素的原子数比为 $\text{In}:\text{M}:\text{Zn}=x_2:y_2:z_2$ 时,优选为 $x_2/y_2 < x_1/y_1$,并且 z_2/y_2 优选为1/3以上且6以下,更优选为1以上且6以下。另外,通过将 z_2/y_2 设定为1以上且6以下,

作为氧化物半导体膜107a及氧化物半导体膜107c容易形成CAAC-OS膜。作为靶材的金属元素的原子数比的典型例子可以举出In:M:Zn=1:3:2、In:M:Zn=1:3:4、In:M:Zn=1:3:6、In:M:Zn=1:3:8、In:M:Zn=1:4:3、In:M:Zn=1:4:4、In:M:Zn=1:4:5、In:M:Zn=1:4:6、In:M:Zn=1:6:3、In:M:Zn=1:6:4、In:M:Zn=1:6:5、In:M:Zn=1:6:6、In:M:Zn=1:6:7、In:M:Zn=1:6:8、及In:M:Zn=1:6:9等。

[0182] 此外,在氧化物半导体膜107a及氧化物半导体膜107c为In-Ga氧化物膜的情况下,例如可以使用In-Ga金属氧化物靶材(In:Ga=7:93)通过溅射法形成氧化物半导体膜107a及氧化物半导体膜107c。或者,为了作为氧化物半导体膜107a及氧化物半导体膜107c利用DC放电的溅射法形成In-Ga氧化物膜,当In:Ga=x:y(原子数比)时,优选将y/(x+y)设定为0.96以下,更优选为0.95以下,例如0.93。

[0183] 注意,氧化物半导体膜107a、氧化物半导体膜107b及氧化物半导体膜107c中的金属元素的各原子数比从上述原子数比偏离±40%的误差范围内。

[0184] 注意,原子数比不局限于上述,也可以按照所必要的半导体特性设定适当的原子数比。

[0185] 此外,氧化物半导体膜107a及氧化物半导体膜107c也可以具有相同组成。例如,作为氧化物半导体膜107a及氧化物半导体膜107c也可以使用In:Ga:Zn=1:3:2、1:3:4、1:4:5、1:4:6、1:4:7、或者1:4:8的原子数比的In-Ga-Zn氧化物。

[0186] 或者,氧化物半导体膜107a及氧化物半导体膜107c也可以具有不同组成。例如,作为氧化物半导体膜107a使用In:Ga:Zn=1:3:2的原子数比的In-Ga-Zn氧化物,作为氧化物半导体膜107c使用In:Ga:Zn=1:3:4或1:4:5的原子数比的In-Ga-Zn氧化物。

[0187] 将氧化物半导体膜107a及氧化物半导体膜107c的厚度设定为3nm以上且100nm以下,或者3nm以上且50nm以下。将氧化物半导体膜107b的厚度设定为3nm以上且200nm以下,或者3nm以上且100nm以下,或者3nm以上且50nm以下。注意,使氧化物半导体膜107a及氧化物半导体膜107c的厚度分别比氧化物半导体膜107b的厚度薄,可以减少晶体管的阈值电压的变动量。

[0188] 通过利用STEM(扫描透射电子显微镜)有时可以观察氧化物半导体膜107a、氧化物半导体膜107b及氧化物半导体膜107c之间的界面。

[0189] 氧化物半导体膜107a、氧化物半导体膜107b及氧化物半导体膜107c可以适当地使用实施方式1所示的氧化物半导体膜106的结晶结构。

[0190] 将与氧化物半导体膜107b相比不容易产生氧空位的氧化物半导体膜107a及氧化物半导体膜107c分别以与氧化物半导体膜107b的下面及上面接触的方式设置,可以减少氧化物半导体膜107b中的氧空位。此外,因为氧化物半导体膜107b接触于包含构成氧化物半导体膜107b的金属元素的一个以上的氧化物半导体膜107a及氧化物半导体膜107c,所以氧化物半导体膜107a和氧化物半导体膜107b之间的界面及氧化物半导体膜107b和氧化物半导体膜107c之间的界面的界面态密度极低。由此,可以减少包含在氧化物半导体膜107b中的氧空位。

[0191] 此外,在氧化物半导体膜107b与构成元素不同的绝缘膜(例如包括氧化硅膜的绝缘膜)接触的情况下,在它们之间的界面有时形成界面态,并且该界面态形成沟道。在此情况下,有时出现阈值电压不同的晶体管,而晶体管的外观上的阈值电压变动。但是,因为包

含构成氧化物半导体膜107b的金属元素的一种以上的氧化物半导体膜107a与氧化物半导体膜107b接触,所以在氧化物半导体膜107a和氧化物半导体膜107b之间的界面不容易形成界面态。由此,通过设置氧化物半导体膜107a,可以减少晶体管的阈值电压等的电特性的不均匀。

[0192] 另外,当在绝缘膜108和氧化物半导体膜107b之间的界面形成沟道时,在该界面发生界面散射,由此晶体管的场效应迁移率变低。但是,以与氧化物半导体膜107b接触的方式设置包含构成氧化物半导体膜107b的金属元素的一种以上的氧化物半导体膜107c,在氧化物半导体膜107b和氧化物半导体膜107c之间的界面不容易发生载流子的散射,由此能够提高晶体管的场效应迁移率。

[0193] 此外,氧化物半导体膜107a及氧化物半导体膜107c被用作抑制由于绝缘膜104及绝缘膜108的构成元素或导电膜110及导电膜112的构成元素混入氧化物半导体膜107b而在氧化物半导体膜107中形成杂质态的阻挡膜。

[0194] 例如,在作为绝缘膜104及绝缘膜108,使用包含硅的绝缘膜或包含碳的绝缘膜的情况下,绝缘膜104及绝缘膜108中的硅或混入绝缘膜104及绝缘膜108中的碳有时侵入到氧化物半导体膜107a及氧化物半导体膜107c中离界面几nm左右的深度。当硅、碳等杂质混入氧化物半导体膜107b时形成杂质能级,该杂质能级有时作为施主生成电子而使氧化物半导体膜107bn型化。

[0195] 但是,当氧化物半导体膜107a及氧化物半导体膜107c的厚度大于几nm时,混入的硅、碳等杂质不到氧化物半导体膜107b,因此杂质能级的影响得到抑制。

[0196] 由上述内容可知,本实施方式所示的晶体管的阈值电压等的电特性的不均匀得到减少。

[0197] 在图5A至图5C示出与图4A至图4C不同的结构的晶体管。

[0198] 在图5A至图5C中示出半导体装置所包括的晶体管153的俯视图及截面图。图5A是晶体管153的俯视图,图5B是沿着图5A的点划线Y3-Y4的截面图,图5C是沿着图5A的点划线X3-X4的截面图。

[0199] 如图5A至图5C所示的晶体管153,氧化物半导体膜106也可以具有与绝缘膜104接触的氧化物半导体膜107b、与氧化物半导体膜107b及绝缘膜108接触的氧化物半导体膜107c的叠层结构。至于其他结构,与晶体管150同样,并且发挥相同效果。

[0200] <带结构>

[0201] 在此,对图4A至图5C所示的晶体管的带结构进行说明。注意,图11A是图4A至图4C所示的晶体管153的带结构,为了容易理解,表示绝缘膜104、氧化物半导体膜107a、氧化物半导体膜107b、氧化物半导体膜107c及绝缘膜108的导带底的能量(E_c)。此外,图11B是图5A至图5C所示的晶体管154的带结构,为了容易理解,表示绝缘膜104、氧化物半导体膜107b、氧化物半导体膜107c及绝缘膜108的导带底的能量(E_c)。

[0202] 如图11A所示,在氧化物半导体膜107a、氧化物半导体膜107b及氧化物半导体膜107c中,导带底的能量连续地变化。这是可以理解的,因为:由于氧化物半导体膜107a、氧化物半导体膜107b及氧化物半导体膜107c的构成元素共通,氧容易扩散到氧化物半导体膜107a、氧化物半导体膜107b及氧化物半导体膜107c。由此可以说,虽然氧化物半导体膜107a、氧化物半导体膜107b及氧化物半导体膜107c是组成互不相同的膜的叠层体,但是具

有连续的物理特性。

[0203] 主要成分相同的层叠氧化物半导体膜不以简单地层叠各膜的方式,而以形成连续能带(在此,尤其是指各层之间的导带底的能量连续地变化的U型阱(U-shaped well)结构)的方式形成。也就是说,以在各层的界面处上不存在有可能形成氧化物半导体的捕获中心或复合中心等缺陷能级或阻碍载流子流动的杂质的方式形成叠层结构。如果杂质混入到被层叠的氧化物半导体膜之间,能带将会失去连续性,因此载流子被捕获或被复合而消失。

[0204] 注意,图11A示出氧化物半导体膜107a的 E_c 与氧化物半导体膜107c的 E_c 相同的情况,但是也可以互不相同。

[0205] 从图11A可知,氧化物半导体膜107b成为阱(well),而在晶体管152中,沟道被形成在氧化物半导体膜107b中。注意,氧化物半导体膜107a、氧化物半导体膜107b及氧化物半导体膜107c的导带底的能量连续地变化,由此将U型阱结构的沟道也可以称为埋入沟道。

[0206] 另外,如图11B所示,在氧化物半导体膜107b及氧化物半导体膜107c中,导带底的能量也可以连续地变化。

[0207] 从图11B可知,氧化物半导体膜107b成为阱,在晶体管153中,沟道被形成在氧化物半导体膜107b中。

[0208] 图4A至图4C所示的晶体管152包括包含构成氧化物半导体膜107b的金属元素中的一种以上的氧化物半导体膜107a及氧化物半导体膜107c,由此在氧化物半导体膜107a和氧化物半导体膜107b之间的界面及氧化物半导体膜107c与氧化物半导体膜107b之间的界面不容易形成界面态。因此,通过设置氧化物半导体膜107a及氧化物半导体膜107c,可以减少晶体管的阈值电压等的电特性的不均匀或变动。

[0209] 图5A至图5C所示的晶体管153包括包含构成氧化物半导体膜107b的金属元素中的一种以上的氧化物半导体膜107c,由此在氧化物半导体膜107c和氧化物半导体膜107b之间的界面不容易形成界面态。因此,通过设置氧化物半导体膜107c,可以减少晶体管的阈值电压等的电特性的不均匀或变动。

[0210] <半导体装置的制造方法1>

[0211] 接着,对图1A和图1B所示的晶体管150及晶体管154的制造方法参照图7A至图9C进行说明。

[0212] 构成晶体管150及晶体管154的膜(绝缘膜、氧化物半导体膜及导电膜等)可以通过溅射法、化学气相沉积(CVD)法、真空蒸镀法、脉冲激光沉积(PLD)法形成。或者,可以通过涂敷法或印刷法形成。作为成膜方法的典型例子,有溅射法、等离子体增强化学气相沉积(PECVD)法,但也可以使用热CVD法。作为热CVD法的例子,可以采用MOCVD(Metal Organic Chemical Vapor Deposition:有机金属化学气相沉积)法或ALD(原子层沉积)法。

[0213] 通过热CVD法进行的沉积可以按以下方式执行:通过将处理室内的压力设定为大气压或减压,将源气体及氧化剂同时供应到处理室内,并使其在衬底附近或衬底上相互反应而沉积在衬底上。如此,由于热CVD法不发生等离子体来形成膜,因此具有不产生起因于等离子体损伤的缺陷的优点。

[0214] 另外,通过ALD法进行的沉积可以按以下方式执行:将处理室内的压力设定为大气压或减压,将用于反应的源气体依次引入处理室内,然后按该顺序反复地引入气体。例如,通过切换各开关阀(也称为高速阀)来将两种以上的源气体依次供应到处理室内。为了防止

多种源气体混合,在引入第一源气体的同时或之后引入惰性气体(氩或氮等)等,然后引入第二源气体。注意,当同时引入第一源气体及惰性气体时,将惰性气体用作载流子气体,另外,可以在引入第二源气体的同时引入惰性气体。另外,也可以通过抽空将第一源气体排出来代替引入惰性气体,然后引入第二源气体。第一源气体吸附到衬底表面形成第一层,之后引入的第二源气体与该第一层起反应,由此第二层层叠在第一层上而形成薄膜。

[0215] 通过按该顺序反复多次地引入气体直到获得所希望的厚度为止,可以形成台阶覆盖性良好的薄膜。由于薄膜的厚度可以根据按顺序反复引入气体的次数来进行调节,因此,ALD法可以准确地调节厚度而适用于微型场效应晶体管的形成。

[0216] 如图7C所示,在衬底102上形成导电膜201,并且在导电膜201上形成绝缘膜104。

[0217] 导电膜201通过溅射法、真空蒸镀法、脉冲激光沉积(PLD)法、热CVD法等形成导电膜,且在该导电膜上通过光刻(lithography)工序形成掩模之后进行蚀刻处理来形成。

[0218] 另外,可以通过使用利用ALD法的成膜装置可以形成钨膜作为导电膜201。此时,依次反复引入 WF_6 气体和 B_2H_6 气体形成初始钨膜,然后同时引入 WF_6 气体和 H_2 气体形成钨膜。注意,也可以使用 SiH_4 气体代替 B_2H_6 气体。

[0219] 另外,也可以通过电镀法、印刷法、喷墨法等形成导电膜201而代替上述形成方法。

[0220] 绝缘膜104可以适当地利用溅射法、CVD法、蒸镀法、脉冲激光沉积(PLD)法、印刷法及涂敷法等形成。另外,也可以在衬底102上形成绝缘膜之后,对该绝缘膜添加氧形成绝缘膜104。作为对绝缘膜添加的氧,有氧自由基、氧原子、氧原子离子、氧分子离子等。另外,作为添加方法,有离子掺杂法、离子注入法、等离子体处理法等。此外,也可以在绝缘膜上形成抑制氧的脱离的膜之后,隔着该膜对绝缘膜添加氧。

[0221] 在如下条件下可以形成通过加热处理能够释放氧的氧化硅膜或氧氮化硅膜作为绝缘膜104:在 180°C 以上且 280°C 以下,或者为 200°C 以上且 240°C 以下的温度下保持设置在等离子体CVD装置的抽成真空的处理室内的衬底,将源气体导入处理室,将处理室内的压力设定为 100Pa 以上且 250Pa 以下,或者为 100Pa 以上且 200Pa 以下,并对设置在处理室内的电极供应 $0.17\text{W}/\text{cm}^2$ 以上且 $0.5\text{W}/\text{cm}^2$ 以下,或者为 $0.25\text{W}/\text{cm}^2$ 以上且 $0.35\text{W}/\text{cm}^2$ 以下的高频电力。

[0222] 在此,参照图7A和图7B说明在绝缘膜上形成抑制氧的脱离的膜之后,隔着该膜对绝缘膜添加氧的方法。

[0223] 如图7A所示,在衬底102及导电膜201上形成绝缘膜103。

[0224] 接着,如图7B所示,在绝缘膜103上形成抑制氧的脱离的膜119。接着,隔着膜119对绝缘膜103添加氧121。

[0225] 作为抑制氧的脱离的膜119,使用如下具有导电性的材料形成:选自铝、铬、钽、钛、钼、镍、铁、钴、钨中的金属元素;以上述金属元素为成分的合金;组合上述金属元素的合金;包含上述金属元素的金属氮化物;包含上述金属元素的金属氧化物;以及包含上述金属元素的金属氮氧化物等。

[0226] 可以将抑制氧的脱离的膜119的厚度设定为 1nm 以上且 20nm 以下,或者 2nm 以上且 10nm 以下。

[0227] 作为隔着膜119对绝缘膜103添加氧121的方法,有离子掺杂法、离子注入法及等离子体处理法等。通过在绝缘膜103上设置膜119并添加氧,膜119被用作抑制从绝缘膜103脱

离氧的保护膜。由此,可以对绝缘膜103添加更多的氧。

[0228] 此外,在通过等离子体处理进行氧的引入时,以微波使氧激发来发生高密度的氧等离子体,可以增加对于绝缘膜103的氧引入量。

[0229] 然后,通过除去膜119,如图7C所示,可以在衬底102上形成添加有氧的绝缘膜104。注意,在沉积之后可以形成添加有足够的氧的绝缘膜104的情况下,也可以不进行图7A和图7B所示的添加氧的处理。

[0230] 接着,如图7D所示,在绝缘膜104上形成氧化物半导体膜106及氧化物半导体膜206。接着,在绝缘膜104、氧化物半导体膜106及氧化物半导体膜206上形成绝缘膜108。

[0231] 下面对氧化物半导体膜106及氧化物半导体膜206的形成方法进行说明。在绝缘膜104上通过溅射法、涂敷法、脉冲激光沉积法、激光烧蚀法、热CVD法等形成氧化物半导体膜。接着,通过加热处理,将包含在绝缘膜104中的氧移动到氧化物半导体膜。接着,通过光刻工序在氧化物半导体膜上形成掩模,然后用该掩模对氧化物半导体膜的一部分进行蚀刻,从而如图7D所示那样形成氧化物半导体膜106及氧化物半导体膜206。然后,去除掩模。注意,也可以在蚀刻氧化物半导体膜的一部分并形成氧化物半导体膜106之后,进行加热处理。

[0232] 另外,通过作为氧化物半导体膜106及氧化物半导体膜206的形成方法利用印刷法,可以直接形成被元件分离的氧化物半导体膜106及氧化物半导体膜206。

[0233] 在通过溅射法形成氧化物半导体膜的情况下,作为用来产生等离子体的电源装置,可以适当地使用RF电源装置、AC电源装置、DC电源装置等。注意,通过使用AC电源装置或DC电源装置,可以形成CAAC-OS膜。另外,与通过使用RF电源装置的溅射法形成的氧化物半导体膜相比,通过使用AC电源装置或DC电源装置的溅射法形成的氧化物半导体膜的厚度分布、膜组成的分布、或者晶性的分布更均匀,这是优选的。

[0234] 作为溅射气体,适当地使用稀有气体(典型的是氩)、氧、稀有气体和氧的混合气体。此外,当采用稀有气体和氧的混合气体时,优选增高氧气体对稀有气体的比例。

[0235] 另外,根据所形成的氧化物半导体膜的组成可以适当地选择靶材。

[0236] 另外,在当形成氧化物半导体膜时例如使用溅射法的情况下,通过将衬底温度设定为150℃以上且750℃以下,或者设定为150℃以上且450℃以下,或者设定为200℃以上且350℃以下来形成氧化物半导体膜,可以形成CAAC-OS膜。或者,通过将衬底温度设定为25℃以上且低于150℃,可以形成微晶氧化物半导体膜。

[0237] 另外,为了形成后面说明的CAAC-OS膜,优选应用以下条件。

[0238] 通过抑制成膜时的杂质的混入,可以抑制杂质所导致的结晶态的损坏。例如,可以降低存在于成膜室内的杂质浓度(氢、水、二氧化碳及氮等)。另外,可以降低成膜气体中的杂质浓度。具体而言,使用露点为-80℃以下,或者-100℃以下的成膜气体。

[0239] 另外,优选的是,通过增高成膜气体中的氧比例并对电力进行最优化,减轻成膜时的等离子体损伤。将成膜气体中的氧比例设定为30vol.%以上,或者100vol.%。

[0240] 此外,在形成氧化物半导体膜之后进行加热处理,可以使氧化物半导体膜脱氢化或脱水化。该加热处理的温度典型地为150℃以上且低于衬底的应变点、250℃以上且450℃以下或300℃以上且450℃以下。

[0241] 在包含氦、氖、氩、氪、氙等稀有气体或氮的惰性气体气氛中进行加热处理。或者,也可以在惰性气体气氛中进行加热之后在氧气氛中进行加热。另外,上述惰性气体气氛及

氧气氛优选不包含氢、水等。处理时间是3分钟以上且24小时以下。

[0242] 该加热处理可以使用电炉、RTA装置等。通过使用RTA装置,可以只在短时间内在衬底的应变点以上的温度下进行加热处理。由此,可以缩短加热处理时间。

[0243] 在进行加热的同时形成氧化物半导体膜,或者在形成氧化物半导体膜之后进行加热处理,由此,氧化物半导体膜中的通过二次离子质谱分析法得到的氢浓度可以为 5×10^{19} atoms/cm³以下, 1×10^{19} atoms/cm³以下, 5×10^{18} atoms/cm³以下, 1×10^{18} atoms/cm³以下, 5×10^{17} atoms/cm³以下,或者 1×10^{16} atoms/cm³以下。

[0244] 例如,在使用利用ALD法的成膜装置形成氧化物半导体膜如In-Ga-Zn-O膜时,依次反复引入In(CH₃)₃气体和O₃气体形成In-O层,然后同时引入Ga(CH₃)₃气体和O₃气体形成Ga-O层,之后同时引入Zn(CH₃)₂气体和O₃气体形成Zn-O层。注意,这些层的顺序不局限于上述例子。此外,也可以混合这些气体来形成混合化合物层如In-Ga-O层、In-Zn-O层、Ga-Zn-O层等。注意,虽然也可以使用利用Ar等惰性气体使其鼓泡的H₂O气体来代替O₃气体,但优选使用不含有H的O₃气体。还可以使用In(C₂H₅)₃气体代替In(CH₃)₃气体。还可以使用Ga(C₂H₅)₃气体代替Ga(CH₃)₃气体。另外,也可以使用Zn(CH₃)₂气体。

[0245] 在此,在通过溅射法形成厚度为35nm的氧化物半导体膜之后进行加热处理,使包含在绝缘膜104中的氧移动到氧化物半导体膜中。接着,在该氧化物半导体膜上形成掩模,对氧化物半导体膜的一部分选择性地蚀刻,来形成氧化物半导体膜106及氧化物半导体膜206。

[0246] 另外,通过在高于350℃且650℃以下,或450℃以上且600℃以下的温度下进行加热处理,能够获得CAAC化率为60%以上且低于100%,或80%以上且低于100%,或90%以上且低于100%,或95%以上且98%以下的氧化物半导体膜。注意,CAAC化率是指通过使用透射电子衍射测量装置测量透射电子衍射图案,在规定范围内被观察的CAAC-OS膜的衍射图案的区域的比率。此外,能够获得水、氢等的含量得到降低的氧化物半导体膜。即,能够形成杂质浓度低且缺陷态密度低的氧化物半导体膜。

[0247] 绝缘膜108可以适当地利用绝缘膜104的形成方法形成。

[0248] 在作为导电膜109使用例如低电阻材料的情况下,当低电阻材料混入氧化物半导体膜时,导致晶体管的电特性的不良。在本实施方式中,因为在形成导电膜109之前形成绝缘膜108,氧化物半导体膜106及氧化物半导体膜206的沟道与导电膜109不接触,所以可以抑制晶体管的电特性,典型为阈值电压的变动量。

[0249] 作为绝缘膜108可以通过CVD法形成氧化硅膜或氧氮化硅膜。此时,作为源气体,优选使用含有硅的沉积气体及氧化性气体。作为包含硅的沉积气体的典型例子,可以举出硅烷、乙硅烷、丙硅烷、氟化硅烷等。作为氧化性气体,可以举出氧、臭氧、一氧化二氮、二氧化氮等。

[0250] 另外,作为绝缘膜108,在下述条件下利用CVD法可以形成缺陷量少的氧氮化硅膜:在相对于沉积气体的氧化性气体比例为大于20倍且小于100倍,或者40倍以上且80倍以下;并且处理室内的压力为低于100Pa,优选为50Pa以下。

[0251] 另外,利用以下述条件可以形成致密的氧化硅膜或氧氮化硅膜以作为绝缘膜108:在280℃以上且400℃以下的温度下保持设置在等离子体CVD装置的抽成真空的处理室内的衬底,将源气体导入处理室,将处理室内的压力设定为20Pa以上且250Pa以下,优选为100Pa

以上且250Pa以下,并对设置在处理室内的电极供应高频电力。

[0252] 此外,可以通过使用微波的等离子体CVD法形成绝缘膜108。微波是在300MHz至300GHz的频率范围内。在微波中电子温度低且电子能量小。此外,在被供应的电力中用于电子的加速的比率小而能够用于更多的分子离解及电离,可以激发密度高的等离子体(高密度等离子体)。因此,对氧化物半导体膜106、氧化物半导体膜206、绝缘膜104及沉积物的等离子体损伤少且可以形成缺陷少的绝缘膜108。

[0253] 此外,可以通过使用有机硅烷气体的CVD法形成绝缘膜108。作为有机硅烷气体,可以使用正硅酸乙酯(TEOS:化学式为 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、四甲基硅烷(TMS:化学式为 $\text{Si}(\text{CH}_3)_4$)、四甲基环四硅氧烷(TMCTS)、八甲基环四硅氧烷(OMCTS)、六甲基二硅氮烷(HMDS)、三乙氧基硅烷($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、三(二甲氨基)硅烷($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)等含有硅的化合物。通过使用有机硅烷气体的CVD法,可以形成覆盖性高的绝缘膜108。

[0254] 当作为绝缘膜108形成氧化镱膜时,可以利用MOCVD(有机金属气相沉积)法来形成。

[0255] 另外,在作为绝缘膜108通过MOCVD法或ALD法等热CVD法形成氧化铪膜时,使用两种气体,即用作氧化剂的臭氧(O_3)和通过使包含溶剂和铪前体化合物的液体(铪醇盐溶液,典型为四二甲基酰胺铪(TDMAH))气化而获得的源气体。注意,四二甲基酰胺铪的化学式为 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ 。另外,作为其它材料液有四(乙基甲基酰胺)铪等。

[0256] 另外,在作为绝缘膜108通过MOCVD法或ALD法等热CVD法形成氧化铝膜时,使用两种气体,即用作氧化剂的 H_2O 和通过使包含溶剂和铝前体化合物的液体(三甲基铝(TMA)等)气化而获得的源气体。注意,三甲基铝的化学式为 $\text{Al}(\text{CH}_3)_3$ 。另外,作为其它材料液有三(二甲基酰胺)铝、三异丁基铝、铝三(2,2,6,6-四甲基-3,5-庚二酮)等。注意,通过利用ALD法,可以形成覆盖性高且厚度薄的绝缘膜108。

[0257] 另外,在作为绝缘膜108通过MOCVD法或ALD法等热CVD法形成氧化硅膜时,使六氯乙硅烷(hexachlorodisilane)吸附于氧化物半导体膜106、氧化物半导体膜206及绝缘膜104表面上,去除吸附物所包含的氯,供应氧化性气体(O_2 或一氧化二氮)的自由基使其与吸附物起反应。

[0258] 在此,作为绝缘膜108,通过等离子体CVD法形成氧氮化硅膜。

[0259] 接着,如图8A所示,在绝缘膜108上通过光刻工序形成掩模之后,蚀刻绝缘膜108的一部分形成使氧化物半导体膜106的一部分露出的开口部140a及开口部140b以及使氧化物半导体膜206的一部分露出的开口部220a及开口部220b。

[0260] 作为蚀刻绝缘膜108的方法可以适当地利用湿蚀刻法及/或干蚀刻法。

[0261] 接着,如图8B所示,在氧化物半导体膜106、氧化物半导体膜206及绝缘膜108上形成导电膜109。

[0262] 可以适当地利用导电膜201的形成方法来形成导电膜109。

[0263] 接着,如图8C所示,在导电膜109上通过光刻工序形成掩模111之后,将导电膜109暴露于蚀刻溶液及/或蚀刻气体123,形成导电膜110、导电膜112、导电膜114、导电膜210、导电膜212及导电膜214。

[0264] 作为蚀刻导电膜109的方法,可以适当地使用湿蚀刻法及/或干蚀刻法。注意,在蚀刻导电膜109之后,可以进行用于除去绝缘膜108侧面的残留物的清洗工序。其结果,可以减

少在被用作栅电极的导电膜114和氧化物半导体膜106之间及在被用作栅电极的导电膜214和氧化物半导体膜206之间的泄漏电流。

[0265] 注意,作为导电膜110、导电膜112、导电膜114、导电膜210、导电膜212及导电膜214的形成方法,也可以利用电镀法、印刷法、喷墨法等来代替上述形成方法。

[0266] 接着,如图9A所示,在残留掩模111的情况下,对氧化物半导体膜106及氧化物半导体膜206添加杂质元素117。其结果,对氧化物半导体膜中的不被掩模111覆盖的区域添加杂质元素。通过添加杂质元素117,在氧化物半导体膜106及氧化物半导体膜206形成氧空位。

[0267] 作为杂质元素117的添加方法,有离子掺杂法,离子注入法,等离子体处理法等。在利用等离子体处理法的情况下,在包含所添加的杂质元素的气体气氛中产生等离子体并进行等离子体处理,可以添加杂质元素。作为产生上述等离子体的装置,可以利用干蚀刻装置、等离子体CVD装置或高密度等离子体CVD装置等。

[0268] 注意,作为杂质元素117的源气体,可以使用 B_2H_6 、 PH_3 、 CH_4 、 N_2 、 NH_3 、 AlH_3 、 $AlCl_3$ 、 SiH_4 、 Si_2H_6 、 F_2 、 HF 、 H_2 及稀有气体中的一种以上。另外,也可以使用由稀有气体稀释的 B_2H_6 、 PH_3 、 N_2 、 NH_3 、 AlH_3 、 $AlCl_3$ 、 F_2 、 HF 及 H_2 中的一种以上。通过使用由稀有气体稀释的 B_2H_6 、 PH_3 、 N_2 、 NH_3 、 AlH_3 、 $AlCl_3$ 、 F_2 、 HF 及 H_2 中的一种以上将杂质元素117添加到氧化物半导体膜106及氧化物半导体膜206,可以将稀有气体和氢、硼、碳、氮、氟、铝、硅、磷及氯中的一种以上同时添加到氧化物半导体膜106及氧化物半导体膜206。

[0269] 另外,也可以在将稀有气体添加到氧化物半导体膜106及氧化物半导体膜206之后,将 B_2H_6 、 PH_3 、 CH_4 、 N_2 、 NH_3 、 AlH_3 、 $AlCl_3$ 、 SiH_4 、 Si_2H_6 、 F_2 、 HF 及 H_2 中的一种以上添加到氧化物半导体膜106及氧化物半导体膜206。

[0270] 另外,也可以在将 B_2H_6 、 PH_3 、 CH_4 、 N_2 、 NH_3 、 AlH_3 、 $AlCl_3$ 、 SiH_4 、 Si_2H_6 、 F_2 、 HF 及 H_2 中的一种以上添加到氧化物半导体膜106及氧化物半导体膜206之后,对氧化物半导体膜106及氧化物半导体膜206添加稀有气体。

[0271] 可以通过适当地设定加速电压或剂量等的条件控制杂质元素117的添加。例如,在通过离子注入法添加铟时,可以将加速电压设定为10kV,且将剂量设定为 1×10^{13} ions/cm²以上且 1×10^{16} ions/cm²以下,例如,可以设定为 1×10^{14} ions/cm²。此外,在通过离子注入法添加磷离子时,也可以将加速电压设定为30kV且将剂量设定为 1×10^{13} ions/cm²以上且 5×10^{16} ions/cm²以下,例如可以设定为 1×10^{15} ions/cm²。

[0272] 在此,在图10A至图10C中示出对氧化物半导体膜106添加杂质元素117时的膜厚度方向上的添加有杂质元素的区域的示意图。注意,在此作为典型例子使用包括在晶体管150中的氧化物半导体膜106附近的放大图进行说明。

[0273] 如图10A所示,杂质元素117的添加区域有时形成在绝缘膜104、氧化物半导体膜106及绝缘膜108中。注意,在露出氧化物半导体膜106的区域的深度方向上,添加区域的端部135位于绝缘膜104中。注意,深度方向是指与氧化物半导体膜106的膜厚度方向平行且从绝缘膜108向绝缘膜104的方向。

[0274] 另外,如图10B所示,有时杂质元素117的添加区域形成在氧化物半导体膜106及绝缘膜108中。注意,在露出氧化物半导体膜106的区域的深度方向上,添加区域的端部136位于绝缘膜104和氧化物半导体膜106之间的界面。

[0275] 另外,如图10C所示,杂质元素117的添加区域有时形成在氧化物半导体膜106及绝

缘膜108中。注意,在露出氧化物半导体膜106的区域的深度方向上,添加区域的端部137位于氧化物半导体膜106中。

[0276] 其结果,可以在氧化物半导体膜106及氧化物半导体膜206中形成低电阻区域。具体而言,可以形成图2所示的区域106b及区域106c。注意,因为区域106c隔着绝缘膜108对氧化物半导体膜106及氧化物半导体膜206添加杂质而形成,与区域106b相比,杂质元素的浓度低。然后,如图9B所示那样,除去掩模111。

[0277] 注意,虽然在此通过使用掩模111对氧化物半导体膜106及氧化物半导体膜206添加杂质元素117,但是也可以在除去掩模111之后,将导电膜110、导电膜112、导电膜114、导电膜210、导电膜212及导电膜214用作掩模对氧化物半导体膜106及氧化物半导体膜206添加杂质元素117。

[0278] 然后,也可以进行加热处理,进一步提高添加有杂质元素117的区域的导电性。将加热处理的温度典型地设定为150℃以上且低于衬底应变点,或者250℃以上且450℃以下,或者300℃以上且450℃以下。

[0279] 接着,如图9C所示,也可以在氧化物半导体膜106、绝缘膜108、导电膜110、导电膜112、导电膜114、氧化物半导体膜206、导电膜210、导电膜212及导电膜214上形成绝缘膜116,在绝缘膜116上形成绝缘膜118。

[0280] 绝缘膜116及绝缘膜118可以适当地利用绝缘膜104及绝缘膜108的形成方法形成。

[0281] 可以在如下条件下形成通过加热处理能够释放氧的氧化硅膜或氮化硅膜作为绝缘膜116:在180℃以上且280℃以下,或者为200℃以上且240℃以下的温度下保持设置在等离子体CVD装置的抽成真空的处理室内的衬底,将源气体导入处理室,将处理室内的压力设定为100Pa以上且250Pa以下,或者为100Pa以上且200Pa以下,并对设置在处理室内的电极供应0.17W/cm²以上且0.5W/cm²以下,或者为0.25W/cm²以上且0.35W/cm²以下的高频电力。

[0282] 另外,通过在氧化物半导体膜106、导电膜110、导电膜112、导电膜114、氧化物半导体膜206、导电膜210、导电膜212及导电膜214上形成铝膜或氧化铝膜之后进行加热处理,可以在图2所示的区域106b中,包含在氧化物半导体膜106及氧化物半导体膜206中的氧与铝膜或氧化铝膜起反应,在与作为绝缘膜116形成氧化铝膜的同时,在图2所示的区域106b中形成氧空位。其结果,可以进一步提高区域106b的导电性。

[0283] 然后,也可以进行加热处理,进一步提高添加有杂质元素117的区域的导电性。将加热处理的温度典型地设定为150℃以上且低于衬底应变点,或者250℃以上且450℃以下,或者300℃以上且450℃以下。

[0284] 通过上述步骤,可以制造晶体管150及晶体管154。

[0285] <半导体装置的制造方法2>

[0286] 说明图3A至图3C所示的晶体管151的制造方法。注意,在此对包括在晶体管151的导电膜110、导电膜112及导电膜114中的导电膜110c、导电膜112c及导电膜114c的形成步骤及对氧化物半导体膜106添加杂质元素117的步骤进行说明。

[0287] 经过图7A至图8C的步骤,在衬底102上形成绝缘膜104、氧化物半导体膜106、绝缘膜108、导电膜110、导电膜112、导电膜114及掩模111。

[0288] 接着,如图8C所示,对氧化物半导体膜106添加杂质元素117。

[0289] 接着,除去掩模111。

[0290] 接着,在将在导电膜110、导电膜112及导电膜114中分别包括的导电膜110b、导电膜112b及导电膜114b暴露于在还原性气氛中产生的等离子体,将导电膜110b、导电膜112b及导电膜114b的表面的氧化物还原。接着,边在200℃以上且400℃以下进行加热,边将导电膜110b、导电膜112b及导电膜114b暴露于硅烷。然后,通过将导电膜110b、导电膜112b及导电膜114b暴露于在氨或氮气氛等包含氮的气氛中产生的等离子体,可以形成被用作导电膜110c、导电膜112c及导电膜114c的 CuSi_xN_y ($x>0, y>0$)。

[0291] 注意,在暴露于氨或氮气氛等包含氮的气氛中产生的等离子体时,由于氧化物半导体膜106被暴露于在氨或氮气氛等包含氮的气氛中产生的等离子体,可以对氧化物半导体膜106添加氮及/或氢。

[0292] 注意,也可以在对氧化物半导体膜106添加杂质元素117之前除去掩模111,且形成包括在导电膜110、导电膜112及导电膜114的导电膜110c、导电膜112c及导电膜114c。

[0293] 然后,经过图9B的步骤可以制造晶体管151。

[0294] 在本实施方式所示的晶体管中,因为被用作源电极及漏电极的导电膜不与被用作栅电极的导电膜重叠,能够减少寄生电容且通态电流大。另外,在本实施方式所示的晶体管中,可以稳定地形成低电阻区域,与现有的晶体管相比,提高通态电流并减少晶体管的电特性的不均匀。

[0295] 本实施方式所示的结构及方法等可以与其他实施方式所示的其他结构及方法等适当地组合而使用。

[0296] 实施方式2

[0297] 在本实施方式中,参照图12A至图22C说明半导体装置及半导体装置的制造方法的一个实施方式。注意,本实施方式的与实施方式1不同之处在于低电阻区域的制造方法。

[0298] <半导体装置的结构1>

[0299] 在图12A、图12B、图17A及图17B中,作为包括在半导体装置中的晶体管的一个例子示出顶栅结构的晶体管。

[0300] 在图17A和图17B中示出设置在驱动电路部中的晶体管194及设置在像素部中的晶体管190的俯视图,在图12A和图12B中示出晶体管194及晶体管190的截面图。图17A是晶体管194的俯视图,图17B是晶体管190的俯视图。图12A是沿着图17A中的点划线X1-X2的截面图,并且沿着图17B的点划线X3-X4的截面图。图12B是沿着图17A的点划线Y1-Y2的截面图,并且沿着图17B的点划线Y3-Y4的截面图。另外,图12A是晶体管190的沟道长度方向上的截面图。另外,图12B是晶体管190的沟道宽度方向上的截面图。

[0301] 图12A和图12B所示的晶体管190包括:形成在衬底162上的绝缘膜164上的氧化物半导体膜166;与氧化物半导体膜166接触的绝缘膜168;在绝缘膜168的开口部180a的一部分中与氧化物半导体膜166接触的导电膜170;在绝缘膜168的开口部180b的一部分中与氧化物半导体膜166接触的导电膜172;以及,隔着绝缘膜168与氧化物半导体膜166重叠的导电膜174。此外,在晶体管190上设置有绝缘膜176。此外,也可以在绝缘膜176上设置绝缘膜178。

[0302] 图12A和图12B所示的晶体管194包括:形成在衬底162上的导电膜221;导电膜221上的绝缘膜164;绝缘膜164上的氧化物半导体膜226;与氧化物半导体膜226接触的绝缘膜

168;在绝缘膜168的开口部240a的一部分中与氧化物半导体膜226接触的导电膜230;在绝缘膜168的开口部240b的一部分中与氧化物半导体膜226接触的导电膜232;以及,隔着绝缘膜168与氧化物半导体膜226重叠的导电膜234。

[0303] 晶体管194具有隔着绝缘膜164与氧化物半导体膜226重叠的导电膜221。就是说,将导电膜221用作栅电极。此外,晶体管194为双栅极结构的晶体管。

[0304] 通过导电膜234与导电膜221没有连接且被施加彼此不同的电位,可以控制晶体管194的阈值电压。或者,如图17A所示,通过开口部183导电膜234与导电膜221连接且被施加相同电位,可以减少初期特性的不均匀且抑制-GBT应力测试所导致的劣化,并且抑制在漏极电压不同时的通态电流的上升电压的变动。另外,在氧化物半导体膜226中,在膜厚度方向上进一步增大载流子流动的区域,使得载流子的迁移率增多。其结果是,晶体管194的通态电流增大,并且场效应迁移率提高。通过将晶体管的沟道长度设定为小于 $2.5\mu\text{m}$,优选设定为 $1.45\mu\text{m}$ 以上且 $2.2\mu\text{m}$ 以下,通态电流进一步增大,并且场效应迁移率可以进一步提高。

[0305] 在本实施方式所示的显示装置中,驱动电路部和像素部中的晶体管的结构不同。驱动电路部所包括的晶体管为双栅极结构。就是说,与像素部相比,驱动电路部包括场效应迁移率高的晶体管。

[0306] 另外,也可以在显示装置中驱动电路部和像素部所包括的晶体管的沟道长度彼此不同。

[0307] 典型地,可以将驱动电路部所包括的晶体管194的沟道长度设定为小于 $2.5\mu\text{m}$,或者设定为 $1.45\mu\text{m}$ 以上且 $2.2\mu\text{m}$ 以下。另一方面,可以将像素部所包括的晶体管190的沟道长度设定为 $2.5\mu\text{m}$ 以上,或者 $2.5\mu\text{m}$ 以上且 $20\mu\text{m}$ 以下。

[0308] 通过将驱动电路部所包括的晶体管194的沟道长度设定为小于 $2.5\mu\text{m}$,优选设定为 $1.45\mu\text{m}$ 以上且 $2.2\mu\text{m}$ 以下,与像素部所包括的晶体管190相比,可以提高场效应迁移率,而可以使通态电流增大。其结果是,可以制造能够进行高速工作的驱动电路部。

[0309] 由于驱动电路部所包括的晶体管的场效应迁移率高,从而能够减少输入端子个数。另外,因为可以增大像素部所包括的晶体管的通态电流,所以能够抑制像素部的显示不均匀。

[0310] 在氧化物半导体膜166中,在不与导电膜170、导电膜172及导电膜174重叠的区域中包含形成氧空位的元素。此外,在氧化物半导体膜226中,在不与导电膜230、导电膜232及导电膜234重叠的区域中包含形成氧空位的元素。下面,将形成氧空位的元素作为杂质元素进行说明。作为杂质元素的典型例子,有氢或稀有气体元素等。作为稀有气体元素的典型例子,有氦、氖、氩、氪以及氙等。再者,也可以作为杂质元素,在氧化物半导体膜166及氧化物半导体膜226中包含硼、碳、氮、氟、铝、硅、磷及氯等。

[0311] 此外,绝缘膜176是包含氢的膜,典型为氮化物绝缘膜。绝缘膜176与氧化物半导体膜166及氧化物半导体膜226接触,由此包含在绝缘膜176中的氢扩散于氧化物半导体膜166及氧化物半导体膜226。其结果,在氧化物半导体膜166及氧化物半导体膜226中的与绝缘膜176接触的区域中,包含多量的氢。

[0312] 当对氧化物半导体膜添加稀有气体作为杂质元素时,氧化物半导体膜中的金属元素和氧的键合断开,而形成氧空位。由于包含在氧化物半导体膜中的氧空位与氢的相互作用,氧化物半导体膜的导电率提高。具体而言,由于氢进入包含在氧化物半导体膜中的氧空

位,生成被用作载流子的电子。其结果,导电率提高。

[0313] 在此,图13示出氧化物半导体膜166附近的放大图。注意,作为典型例子,使用包括在晶体管190中的氧化物半导体膜166附近的放大图进行说明。如图13所示,氧化物半导体膜166包括与导电膜170及导电膜172接触的区域166a、与绝缘膜176接触的区域166b、以及与绝缘膜168重叠的区域166c及区域166d。

[0314] 区域166a被用作源区域及漏区域。与实施方式1所示的区域106a同样,与导电膜170及导电膜172接触的区域166a具有高导电性且被用作源区域及漏区域。

[0315] 区域166b及区域166c被用作低电阻区域。区域166b及区域166c至少包含稀有气体及氢作为杂质元素。注意,区域166b的杂质元素的浓度比区域166c高。此外,在导电膜174的侧面具有锥形形状的情况下,区域166c的一部分也可以与导电膜174重叠。

[0316] 在通过溅射法形成氧化物半导体膜166的情况下,区域166a至区域166d分别包含稀有气体元素,并且与区域166a及区域166d相比,区域166b及区域166c的稀有气体元素的浓度更高。这是因为在通过溅射法形成氧化物半导体膜166的情况下,作为溅射气体使用稀有气体,从而在氧化物半导体膜166中包含稀有气体,并且在区域166b及区域166c中故意地添加稀有气体,以便形成氧空位。注意,也可以在区域166b及区域166c中添加有与区域166a及区域166d不同的稀有气体元素。

[0317] 另外,由于区域166b接触于绝缘膜176,与区域166a及区域166d相比,区域166b的氢浓度高。另外,在氢从区域166b扩散到区域166c的情况下,区域166c的氢浓度比区域166a及区域166d高。但是,区域166b的氢浓度比区域166c高。

[0318] 在区域166b及区域166c中,可以将通过二次离子质谱分析法得到的氢浓度设定为 8×10^{19} atoms/cm³以上,或者 1×10^{20} atoms/cm³以上,或者 5×10^{20} atoms/cm³以上。注意,可以将通过二次离子质谱分析法得到的区域166a及区域166d的氢浓度设定为 5×10^{19} atoms/cm³以下,或者 1×10^{19} atoms/cm³以下,或者 5×10^{18} atoms/cm³以下,或者 1×10^{18} atoms/cm³以下,或者 5×10^{17} atoms/cm³以下,或者 1×10^{16} atoms/cm³以下。

[0319] 此外,在作为杂质元素将硼、碳、氮、氟、铝、硅、磷或氯添加到氧化物半导体膜166的情况下,仅在区域166b及区域166c中包含杂质元素。因此,与区域166a及区域166d相比,区域166b及区域166c的杂质元素的浓度高。注意,在区域166b及区域166c中,可以将通过二次离子质谱分析法得到的杂质元素的浓度设定为 5×10^{18} atoms/cm³以上且 1×10^{22} atoms/cm³以下,或者 1×10^{19} atoms/cm³以上且 1×10^{21} atoms/cm³以下,或者 5×10^{19} atoms/cm³以上且 5×10^{20} atoms/cm³以下。

[0320] 与区域166d相比,区域166b及区域166c的氢浓度高且由于杂质元素的添加的氧空位量多。由此区域166b及区域166c具有高导电性并被用作低电阻区域。典型地,作为区域166b及区域166c的电阻率,可以设定为 $1 \times 10^{-3} \Omega \text{ cm}$ 以上且低于 $1 \times 10^4 \Omega \text{ cm}$,或者 $1 \times 10^{-3} \Omega \text{ cm}$ 以上且低于 $1 \times 10^{-1} \Omega \text{ cm}$ 。

[0321] 注意,当在区域166b及区域166c中,氢量与氧空位量相同或比氧空位量较少时,氢容易被氧空位俘获,而不容易扩散到被用作沟道的区域166d。其结果,可以制造常关闭特性的晶体管。

[0322] 另外,在区域166b及区域166c中,在氧空位量多于氢量时,通过控制氢量,可以控制区域166b及区域166c的载流子密度。另外,在区域166b及区域166c中,在氢量多于氧空位

量时,通过控制氧空位量,可以控制区域166b及区域166c的载流子密度。注意,通过将区域166b及区域166c的载流子密度设定为 5×10^{18} 个/ cm^3 以上,或者 1×10^{19} 个/ cm^3 以上,或者 1×10^{20} 个/ cm^3 以上,可以制造在沟道和源区域及漏区域之间的电阻小且通态电流大的晶体管。

[0323] 区域166d被用作沟道。

[0324] 在绝缘膜168中,与氧化物半导体膜166及导电膜174重叠的区域以及与氧化物半导体膜226及导电膜234重叠的区域被用作栅极绝缘膜。此外,在绝缘膜168中,与氧化物半导体膜166、导电膜170及导电膜172重叠的区域以及与氧化物半导体膜226、导电膜230及导电膜232重叠的区域被用作层间绝缘膜。

[0325] 导电膜170及导电膜172、导电膜230及导电膜232被用作源电极及漏电极。此外,导电膜174及导电膜234被用作栅电极。

[0326] 本实施方式所示的晶体管190及晶体管194在被用作沟道的区域166d和被用作源区域及漏区域的区域166a之间包括被用作低电阻区域的区域166b及166c。可以降低沟道和源区域及漏区域之间的电阻,并且晶体管190及晶体管194的通态电流大且场效应迁移率高。

[0327] 此外,在晶体管190及晶体管194的制造步骤中,同时形成被用作栅电极的导电膜174及导电膜234、被用作源电极及漏电极的导电膜170及导电膜172。由此,在晶体管190中,导电膜174不与导电膜170及导电膜172重叠,而可以减少导电膜174和导电膜170及导电膜172之间的寄生电容。此外,在晶体管194中,导电膜234不与导电膜230及导电膜232重叠,而可以减少导电膜234和导电膜230及导电膜232之间的寄生电容。其结果是,在作为衬底162使用大面积衬底的情况下,可以减少导电膜170、导电膜172、导电膜174、导电膜230、导电膜232及导电膜234中的信号迟延。

[0328] 此外,在晶体管190中,通过将导电膜170、导电膜172及导电膜174用作掩模,对氧化物半导体膜166添加稀有气体元素,形成包含氧空位的区域。此外,在晶体管194中,通过将导电膜230、导电膜232及导电膜234用作掩模,对氧化物半导体膜226添加杂质元素,形成包含氧空位的区域。再者,包含氧空位的区域与包含氢的绝缘膜176接触,由此包含在绝缘膜176中的氢扩散到包含氧空位的区域,来形成低电阻区域。就是说,可以自对准地形成低电阻区域。

[0329] 此外,本实施方式所示的晶体管190及晶体管194通过对区域166b及区域166c添加稀有气体,形成氧空位并添加氢。由此可以提高区域166b及区域166c的导电率并减少每个晶体管的区域166b及区域166c的导电率的不均匀。就是说,通过对区域166b及区域166c添加稀有气体及氢,可以控制区域166b及区域166c的导电率。

[0330] 下面说明图12A和图12B所示的详细结构。

[0331] 作为衬底162,能够适当地使用实施方式1所示的衬底102。

[0332] 作为绝缘膜164可以适当地使用用于实施方式1所示的绝缘膜104的材料。

[0333] 作为氧化物半导体膜166及氧化物半导体膜226,可以适当地使用用于实施方式1所示的氧化物半导体膜106的材料及结构。

[0334] 作为绝缘膜168,可以适当地使用用于实施方式1所示的绝缘膜108的材料。

[0335] 作为导电膜170、导电膜172、导电膜174、导电膜230、导电膜232及导电膜234,可以适当地使用用于实施方式1所示的导电膜110、导电膜112及导电膜114的材料。

[0336] 绝缘膜176是包含氢的膜,典型为氮化物绝缘膜。氮化物绝缘膜可以使用氮化硅、氮化铝等形成。

[0337] 作为绝缘膜178,可以适当地使用用于实施方式1所示的绝缘膜118的材料。

[0338] <半导体装置的结构2>

[0339] 接着,对半导体装置的其它结构参照图14A至图14C进行说明。在此,作为设置在像素部中的晶体管190的变形例子使用晶体管191进行说明。驱动电路部的晶体管194适当地使用晶体管191的绝缘膜164的结构或者导电膜170、导电膜172及导电膜174的结构。

[0340] 在图14A至图14C中示出半导体装置所包括的晶体管191的俯视图及截面图。图14A是晶体管191的俯视图,图14B是沿着图14A的点划线Y3-Y4的截面图,图14C是沿着图14A的点划线X3-X4的截面图。

[0341] 在图14A至图14C所示的晶体管191中,导电膜170、导电膜172及导电膜174分别具有三层结构。此外,绝缘膜164具有氮化物绝缘膜164a及氧化物绝缘膜164b的叠层结构。至于其他结构,与晶体管190同样,并且发挥相同效果。

[0342] 首先,对导电膜170、导电膜172及导电膜174进行说明。

[0343] 导电膜170依次层叠有导电膜170a、导电膜170b及导电膜170c,并且导电膜170a及导电膜170c覆盖导电膜170b表面。就是说,将导电膜170a及导电膜170c用作导电膜170b的保护膜。

[0344] 与导电膜170同样,导电膜172依次层叠有导电膜172a、导电膜172b及导电膜172c,并且导电膜172a及导电膜172c覆盖导电膜172b表面。

[0345] 与导电膜170同样,导电膜174依次层叠有导电膜174a、导电膜174b及导电膜174c,并且导电膜174a及导电膜174c覆盖导电膜174b表面。

[0346] 作为导电膜170a、导电膜172a及导电膜174a,与实施方式1所示的导电膜110a、导电膜112a及导电膜114a同样,可以适当地使用防止包含在导电膜170b、导电膜172b及导电膜174b中的金属元素扩散到氧化物半导体膜166的材料。

[0347] 作为导电膜170b、导电膜172b及导电膜174b,与实施方式1所示的导电膜110b、导电膜112b及导电膜114b同样,可以适当地使用低电阻材料。

[0348] 作为导电膜170c、导电膜172c及导电膜174c,与实施方式1所示的导电膜110c、导电膜112c及导电膜114c同样,可以使用使包含在导电膜170b、导电膜172b及导电膜174b中的金属元素被钝态化的膜形成。其结果,可以防止在绝缘膜176的形成步骤中包含在导电膜170b、导电膜172b及导电膜174b中的金属元素移动到氧化物半导体膜166。

[0349] 接着,对层叠有氮化物绝缘膜164a及氧化物绝缘膜164b的绝缘膜164进行说明。

[0350] 作为氮化物绝缘膜164a及氧化物绝缘膜164b分别可以适当地使用用于实施方式1所示的氮化物绝缘膜104a及氧化物绝缘膜104b的材料。

[0351] <半导体装置的结构3>

[0352] 接着,对半导体装置的其它结构参照图15A至图16C进行说明。在此,虽然作为设置在像素部中的晶体管190的变形例子使用晶体管192及晶体管193进行说明,但是对驱动电路部中的晶体管194可以适当地使用包括在晶体管192中的氧化物半导体膜166的结构,或者包括在晶体管193中的氧化物半导体膜166的结构。

[0353] 在图15A至图15C中示出半导体装置所包括的晶体管192的俯视图及截面图。图15A

是晶体管192的俯视图,图15B是沿着图15A的点划线Y3-Y4的截面图,图15C是沿着图15A的点划线X3-X4的截面图。

[0354] 在图15A至图15C所示的晶体管192中,氧化物半导体膜166为多层结构。具体而言,氧化物半导体膜166包括与绝缘膜164接触的氧化物半导体膜167a、与氧化物半导体膜167a接触的氧化物半导体膜167b以及与氧化物半导体膜167b、导电膜170、导电膜172、绝缘膜168及绝缘膜176接触的氧化物半导体膜167c。至于其他结构,与晶体管190同样,并且发挥相同效果。

[0355] 氧化物半导体膜167a、氧化物半导体膜167b及氧化物半导体膜167c分别可以适当地使用用于实施方式1所示的氧化物半导体膜107a、氧化物半导体膜107b及氧化物半导体膜107c的材料及晶体结构。

[0356] 将与氧化物半导体膜167b相比不容易产生氧空位的氧化物半导体膜167a及氧化物半导体膜167c分别以与氧化物半导体膜167b的下面及上面接触的方式设置,可以减少氧化物半导体膜167b中的氧空位。此外,因为氧化物半导体膜167b接触于具有构成氧化物半导体膜167b的金属元素中的一种以上的氧化物半导体膜167a及氧化物半导体膜167c,所以氧化物半导体膜167a和氧化物半导体膜167b之间的界面及氧化物半导体膜167b和氧化物半导体膜167c之间的界面的界面态密度极低。由此,可以减少包含在氧化物半导体膜167b中的氧空位。

[0357] 此外,通过设置氧化物半导体膜167a,能够抑制晶体管的阈值电压等电特性的不均匀。

[0358] 另外,以与氧化物半导体膜167b接触的方式设置包含构成氧化物半导体膜167b的金属元素中的一种以上的氧化物半导体膜167c,在氧化物半导体膜167b和氧化物半导体膜167c之间的界面不容易发生载流子的散射,由此能够提高晶体管的场效应迁移率。

[0359] 此外,氧化物半导体膜167a及氧化物半导体膜167c被用作抑制由于绝缘膜164及绝缘膜168的构成元素或导电膜170及导电膜172的构成元素混入氧化物半导体膜167b而形成杂质态的阻挡膜。

[0360] 由上述内容可知,本实施方式所示的晶体管的阈值电压等的电特性的不均匀的减少。

[0361] 在图16A至图16C示出与图15A至图15C不同的结构的晶体管。

[0362] 在图16A至图16C中示出半导体装置所包括的晶体管193的俯视图及截面图。图16A是晶体管193的俯视图,图16B是沿着图16A的点划线Y3-Y4的截面图,图16C是沿着图16A的点划线X3-X4的截面图。

[0363] 如图16A至图16C所示的晶体管193,氧化物半导体膜166也可以具有与绝缘膜164接触的氧化物半导体膜167b、与氧化物半导体膜167b及绝缘膜168接触的氧化物半导体膜167c的叠层结构。至于其他结构,与晶体管190同样,并且发挥相同效果。

[0364] <半导体装置的制造方法1>

[0365] 接着,对图12A和图12B所示的晶体管190及晶体管194的制造方法参照图18A至图20C进行说明。

[0366] 如图18A所示,在衬底162上形成导电膜221,并且在导电膜221上形成绝缘膜164。

[0367] 可以适当地利用实施方式1所示的导电膜201的形成方法来形成导电膜221。

[0368] 可以适当地利用实施方式1所示的绝缘膜104的形成方法来形成绝缘膜164。

[0369] 接着,如图18B所示,在绝缘膜164上形成氧化物半导体膜166及氧化物半导体膜226。接着,在绝缘膜164、氧化物半导体膜166及氧化物半导体膜226上形成绝缘膜168。可以适当地利用实施方式1所示的氧化物半导体膜106及绝缘膜108的形成方法来分别形成氧化物半导体膜166、氧化物半导体膜226及绝缘膜168。

[0370] 接着,如图19A所示,在绝缘膜168上通过光刻工序形成掩模之后,蚀刻绝缘膜168的一部分形成而使氧化物半导体膜166的一部分露出的开口部180a及开口部180b且使氧化物半导体膜226的一部分露出的开口部240a及开口部240b。

[0371] 接着,如图19B所示,在氧化物半导体膜166、氧化物半导体膜226及绝缘膜168上形成导电膜169。

[0372] 可以适当地利用实施方式1所示的导电膜201的形成方法来形成导电膜169。

[0373] 接着,如图19C所示,在导电膜169上通过光刻工序形成掩模111之后,将导电膜169暴露于蚀刻溶液及/或蚀刻气体167,形成导电膜170、导电膜172、导电膜174、导电膜230、导电膜232及导电膜234。

[0374] 作为蚀刻导电膜169的方法可以适当地利用湿蚀刻法及/或干蚀刻法。

[0375] 注意,作为导电膜170、导电膜172、导电膜174、导电膜230、导电膜232及导电膜234的形成方法,也可以利用电镀法、印刷法、喷墨法等来代替上述形成方法。

[0376] 接着,如图20A所示,在残留掩模111的情况下,对氧化物半导体膜166及氧化物半导体膜226添加稀有气体作为杂质元素177。其结果,对氧化物半导体膜中的不被掩模111覆盖的区域添加杂质元素。注意,通过添加杂质元素177,在氧化物半导体膜中形成氧空位。

[0377] 作为杂质元素177的添加方法可以适当地利用实施方式1所示的杂质元素117的添加方法。

[0378] 在此,在21A至图21C中示出对氧化物半导体膜166添加杂质元素177时的膜厚度方向上的添加有杂质元素的区域的示意图。注意,在此作为典型例子使用包括在晶体管190中的氧化物半导体膜166附近的放大图进行说明。

[0379] 如图21A所示,有时杂质元素177的添加区域形成在绝缘膜164、氧化物半导体膜166及绝缘膜168中。注意,在露出氧化物半导体膜166的区域的深度方向上,添加区域的端部195位于绝缘膜164中。

[0380] 另外,如图21B所示,有时杂质元素177的添加区域形成在氧化物半导体膜166及绝缘膜168中。注意,在露出氧化物半导体膜166的区域的深度方向上,添加区域的端部196位于绝缘膜164和氧化物半导体膜166之间的界面。

[0381] 另外,如图21C所示,有时杂质元素177的添加区域形成在氧化物半导体膜166及绝缘膜168中。注意,在露出氧化物半导体膜166的区域的深度方向上,添加区域的端部197位于氧化物半导体膜166中。

[0382] 然后,如图20B所示,除去掩模111。

[0383] 注意,虽然在此通过使用掩模111对氧化物半导体膜166及氧化物半导体膜226添加杂质元素177,但是也可以在除去掩模111之后,将导电膜170、导电膜172、导电膜174、导电膜230、导电膜232及导电膜234用作掩模对氧化物半导体膜166及氧化物半导体膜226添加杂质元素177。

[0384] 此外,在导电膜169的形成步骤、导电膜169的蚀刻步骤或之后的绝缘膜176的形成步骤中,氧化物半导体膜166及氧化物半导体膜226受到损伤并形成氧空位时,也可以不进行杂质元素177的添加。

[0385] 接着,如图20C所示,也可以在氧化物半导体膜166、绝缘膜168、导电膜170、导电膜172、导电膜174、氧化物半导体膜226、导电膜230、导电膜232及导电膜234上形成绝缘膜176,在绝缘膜176上形成绝缘膜178。

[0386] 作为绝缘膜176的形成方法,有溅射法、CVD法、真空蒸镀法及脉冲激光沉积法等。另外,通过使用将硅烷及氨、或者硅烷及氮用作源气体的等离子体CVD法,可以形成包含氢的氮化硅膜。此外,通过利用等离子体CVD法,可以对氧化物半导体膜166施加损伤,而能够在氧化物半导体膜166中形成氧空位。

[0387] 因为绝缘膜176包含氢,所以在氧化物半导体膜166及氧化物半导体膜226中,添加有杂质元素的区域和绝缘膜176接触,由此包含在绝缘膜176中的氢可以移动到氧化物半导体膜的添加有杂质元素的区域中。因为添加有杂质元素的区域包含氧空位,所以可以在氧化物半导体膜166及氧化物半导体膜226中形成低电阻区域。具体而言,可以形成图13所示的区域166b及区域166c。注意,因为区域166c隔着绝缘膜168对氧化物半导体膜166及氧化物半导体膜226添加杂质而形成,与区域166b相比,杂质元素的浓度低。

[0388] 注意,在进行加热的同时形成绝缘膜176,由此包含在氧化物半导体膜中的氢扩散。然而,在氢移动到氧空位时,该氢在能量上得到稳定,因而氢从氧空位不容易脱离。此外,由于氧空位与氢的相互作用,生成被用作载流子的电子。因此,通过在进行加热的同时形成绝缘膜176,可以形成导电率的变动少的低电阻区域。

[0389] 然后,也可以进行加热处理,进一步提高添加有杂质元素177的区域的导电性。该加热处理的温度典型地为150℃以上且低于衬底的应变点、250℃以上且450℃以下或300℃以上且450℃以下。其结果,可以提高低电阻区域的导电性且减少低电阻区域的导电率的变动。

[0390] 可以适当地利用绝缘膜164及绝缘膜168的形成方法形成绝缘膜178。

[0391] 可以在如下条件下形成通过加热处理能够释放氧的氧化硅膜或氧氮化硅膜作为绝缘膜178:在180℃以上且280℃以下或者200℃以上且240℃以下的温度下保持设置在等离子体CVD装置的抽成真空的处理室内的衬底,将源气体导入处理室,将处理室内的压力设定为100Pa以上且250Pa以下或者100Pa以上且200Pa以下,并对设置在处理室内的电极供应 $0.17\text{W}/\text{cm}^2$ 以上且 $0.5\text{W}/\text{cm}^2$ 以下或者 $0.25\text{W}/\text{cm}^2$ 以上且 $0.35\text{W}/\text{cm}^2$ 以下的高频电力。

[0392] 通过上述步骤,可以制造晶体管。

[0393] <半导体装置的制造方法2>

[0394] 说明图14A至图14C所示的晶体管191的制造方法。注意,在此对分别包括在晶体管191的导电膜170、导电膜172及导电膜174中的导电膜170c、导电膜172c及导电膜174c的形成步骤及对氧化物半导体膜166添加杂质元素177的步骤进行说明。

[0395] 通过图18A至图19C的步骤,在衬底162上形成绝缘膜164、氧化物半导体膜166、绝缘膜168、导电膜170、导电膜172、导电膜174及掩模111。

[0396] 接着,如图20A所示,对氧化物半导体膜166添加杂质元素177。

[0397] 接着,除去掩模111。

[0398] 接着,在将在导电膜170、导电膜172及导电膜174中分别包括的导电膜170b、导电膜172b及导电膜174b暴露于在还原性气氛中产生的等离子体,将导电膜170b、导电膜172b及导电膜174b的表面的氧化物还原。接着,边在200℃以上且400℃以下进行加热,边将导电膜170b、导电膜172b及导电膜174b暴露于硅烷。然后,通过将导电膜170b、导电膜172b及导电膜174b暴露于在氨或氮气氛等包含氮的气氛中产生的等离子体,可以形成被用作导电膜170c、导电膜172c及导电膜174c的 CuSi_xN_y ($x>0, y>0$)。

[0399] 另外,在暴露于氨或氮气氛等包含氮的气氛中产生的等离子体时,由于氧化物半导体膜166被暴露于在氨或氮气氛等包含氮的气氛中产生的等离子体,可以对氧化物半导体膜166添加氮及/或氢。

[0400] 注意,也可以在对氧化物半导体膜166添加杂质元素177之前除去掩模111,且形成包括在导电膜170、导电膜172及导电膜174中的导电膜170c、导电膜172c及导电膜174c。

[0401] 然后,经过图20C的步骤可以制造晶体管191。

[0402] <半导体装置的制造方法3>

[0403] 说明图12A和图12B所示的晶体管190的其它制造方法。注意,在此对杂质元素的添加步骤及绝缘膜176的制造步骤参照图22A至图22C进行说明。

[0404] 通过图18A至图19C的步骤,在衬底162上形成绝缘膜164、氧化物半导体膜166、绝缘膜168、导电膜170、导电膜172、导电膜174及掩模111。然后,如图22A所示那样,除去掩模111。

[0405] 接着,如图22B所示,在氧化物半导体膜166、绝缘膜168、导电膜170、导电膜172及导电膜174上形成绝缘膜176之后,将导电膜170、导电膜172及导电膜174用作掩模,隔着绝缘膜176对氧化物半导体膜166添加杂质元素177。

[0406] 接着,如图22C所示,也可以形成绝缘膜178。通过上述步骤,可以制造晶体管190。

[0407] 在本实施方式所示的晶体管中,因为被用作源电极及漏电极的导电膜不与被用作栅电极的导电膜重叠,能够减少寄生电容且通态电流大。另外,在本实施方式所示的晶体管中,可以稳定地形成低电阻区域,与现有的晶体管相比,通态电流提高并晶体管的电特性的不均匀减少。

[0408] 本实施方式所示的结构及方法等可以与其他实施方式所示的其他结构及方法等适当地组合而使用。

[0409] 实施方式3

[0410] 在本实施方式中,参照图23A至图35C说明半导体装置及半导体装置的制造方法的一个实施方式。注意,本实施方式与实施方式1的不同之处在于被用作栅电极的导电膜的形成方法不同于被用作源电极的导电膜及漏电极的导电膜的形成方法。此外,作为包含在晶体管中的低电阻区域的制造方法,利用实施方式2所示的方法。

[0411] <半导体装置的结构1>

[0412] 在图23A和图23B中,作为包括在半导体装置中的晶体管的一个例子示出顶栅结构的晶体管。

[0413] 在图28A和图28B中示出设置在驱动电路部中的晶体管394及设置在像素部中的晶体管390的俯视图,在图23A和图23B中示出晶体管394及晶体管390的截面图。图28A是晶体管394的俯视图,图28B是晶体管390的俯视图。图23A是沿着图28A中的点划线X1-X2的截面

图,并且沿着图28B的点划线X3-X4的截面图。图23B是沿着图28A的点划线Y1-Y2的截面图,并且沿着图28B的点划线Y3-Y4的截面图。另外,图23A是晶体管390的沟道长度方向上的截面图。另外,图23B是晶体管390的沟道宽度方向上的截面图。

[0414] 图23A和图23B所示的晶体管390包括:形成在衬底362上的绝缘膜364上的氧化物半导体膜366;与氧化物半导体膜366接触的导电膜368;导电膜370;绝缘膜372;以及,隔着绝缘膜372与氧化物半导体膜366重叠的导电膜374。此外,在晶体管390上设置有绝缘膜376。

[0415] 图23A和图23B所示的晶体管394包括:形成在衬底362上的绝缘膜364上的氧化物半导体膜266;与氧化物半导体膜266接触的导电膜268;导电膜270;绝缘膜272;以及,隔着绝缘膜272与氧化物半导体膜266重叠的导电膜274。

[0416] 晶体管394具有隔着绝缘膜364与氧化物半导体膜266重叠的导电膜261。就是说,将导电膜261用作栅电极。此外,晶体管394为双栅极结构的晶体管。至于其他结构,与晶体管390同样,并且发挥相同效果。

[0417] 通过导电膜274与导电膜261没有连接且被施加彼此不同的电位,可以控制晶体管394的阈值电压。或者,如图23B所示,导电膜274与导电膜261连接且被施加相同电位,可以减少初期特性的不均匀且抑制-GBT应力测试所导致的劣化,并且抑制在漏极电压不同时的通态电流的上升电压的变动。另外,在氧化物半导体膜266中,在膜厚度方向上进一步增大载流子流动的区域,使得载流子的迁移率增多。其结果是,晶体管394的通态电流增大,并且场效应迁移率提高。通过将晶体管的沟道长度设定为小于 $2.5\mu\text{m}$,优选设定为 $1.45\mu\text{m}$ 以上且 $2.2\mu\text{m}$ 以下,通态电流进一步增大,并且场效应迁移率可以进一步提高。

[0418] 在本实施方式所示的显示装置中,驱动电路部和像素部中的晶体管的结构不同。驱动电路部所包括的晶体管为双栅极结构。就是说,与像素部相比,在驱动电路部中包括场效应迁移率高的晶体管。

[0419] 另外,也可以在显示装置中驱动电路部和像素部所包括的晶体管的沟道长度彼此不同。

[0420] 典型地,可以将驱动电路部所包括的晶体管394的沟道长度设定为小于 $2.5\mu\text{m}$,或者设定为 $1.45\mu\text{m}$ 以上且 $2.2\mu\text{m}$ 以下。另一方面,可以将像素部所包括的晶体管390的沟道长度设定为 $2.5\mu\text{m}$ 以上,或者 $2.5\mu\text{m}$ 以上且 $20\mu\text{m}$ 以下。

[0421] 通过将驱动电路部所包括的晶体管394的沟道长度设定为小于 $2.5\mu\text{m}$,优选设定为 $1.45\mu\text{m}$ 以上且 $2.2\mu\text{m}$ 以下,与像素部所包括的晶体管390相比,可以提高场效应迁移率,而可以使通态电流增大。其结果是,可以制造能够进行高速工作的驱动电路部。另外,因为可以增大像素部所包括的晶体管的通态电流,所以能够抑制像素部的显示不均匀。

[0422] 由于驱动电路部所包括的晶体管的场效应迁移率高,从而能够减少输入端子个数。

[0423] 在氧化物半导体膜366中,在不与导电膜368、导电膜370及导电膜374重叠的区域中包含形成氧空位的元素。此外,在氧化物半导体膜266中,在不与导电膜268、导电膜270及导电膜274重叠的区域中包含形成氧空位的元素。下面,将形成氧空位的元素作为杂质元素进行说明。作为杂质元素的典型例子,有氢或稀有气体元素等。作为稀有气体元素的典型例子,有氦、氖、氩、氪以及氙等。再者,也可以作为杂质元素,在氧化物半导体膜366及氧化物

半导体膜266中包含硼、碳、氮、氟、铝、硅、磷及氯等。

[0424] 此外,绝缘膜376是包含氢的膜,典型为氮化物绝缘膜。绝缘膜376与氧化物半导体膜366及氧化物半导体膜266接触,由此包含在绝缘膜376中的氢扩散于氧化物半导体膜366及氧化物半导体膜266。其结果,在氧化物半导体膜366及氧化物半导体膜266中的与绝缘膜376接触的区域中,包含多量的氢。

[0425] 当对氧化物半导体膜添加稀有气体作为杂质元素时,氧化物半导体膜中的金属元素和氧的键合断开,而形成氧空位。由于包含在氧化物半导体膜中的氧空位与氢的相互作用,氧化物半导体膜的导电率提高。具体而言,由于氢进入包含在氧化物半导体膜中的氧空位,生成被用作载流子的电子。其结果,导电率提高。

[0426] 在此,图24A和图24B示出氧化物半导体膜366附近的放大图。注意,作为典型例子,使用包括在晶体管390中的氧化物半导体膜366附近的放大图进行说明。如图24A和图24B所示,氧化物半导体膜366包括与导电膜368或导电膜370接触的区域366a、与绝缘膜376接触的区域366b、以及与绝缘膜372接触的区域366d。注意,在导电膜374的侧面具有锥形形状的情况下,也可以包括与导电膜374的锥形部重叠的区域366c。

[0427] 区域366a被用作源区域及漏区域。与实施方式1所示的区域106a同样,与导电膜368及导电膜370接触的区域366a具有高导电性且被用作源区域及漏区域。

[0428] 区域366b被用作低电阻区域。区域366b至少包含稀有气体及氢作为杂质元素。注意,在导电膜374的侧面具有锥形形状的情况下,因为杂质元素通过导电膜374的锥形部添加到区域366c,所以与区域366b相比,区域366c的杂质元素的一个例子的稀有气体元素的浓度低,然而包含杂质元素。由于包括区域366c,可以提高晶体管的源极-漏极击穿电压。

[0429] 在通过溅射法形成氧化物半导体膜366的情况下,区域366a至区域366d分别包含稀有气体元素,并且与区域366a及区域366d相比,区域366b及区域366c的稀有气体元素的浓度更高。这是因为在通过溅射法形成氧化物半导体膜366的情况下,作为溅射气体使用稀有气体,从而在氧化物半导体膜366中包含稀有气体,并且在区域366b及区域366c中故意地添加稀有气体,以便形成氧空位。注意,也可以在区域366b及区域366c中添加有与区域366a及区域366d不同的稀有气体元素。

[0430] 另外,由于区域366b接触于绝缘膜376,与区域366a及区域366d相比,区域366b的氢浓度高。另外,在氢从区域366b扩散到区域366c的情况下,区域366c的氢浓度比区域366a及区域366d高。但是,区域366b的氢浓度比区域366c高。

[0431] 在区域366b及区域366c中,可以将通过二次离子质谱分析法得到的氢浓度设定为 8×10^{19} atoms/cm³以上,或者 1×10^{20} atoms/cm³以上,或者 5×10^{20} atoms/cm³以上。注意,可以将通过二次离子质谱分析法得到的区域366a及区域366d的氢浓度设定为 5×10^{19} atoms/cm³以下,或者 1×10^{19} atoms/cm³以下,或者 5×10^{18} atoms/cm³以下,或者 1×10^{18} atoms/cm³以下,或者 5×10^{17} atoms/cm³以下,或者 1×10^{16} atoms/cm³以下。

[0432] 此外,在作为杂质元素将硼、碳、氮、氟、铝、硅、磷或氯添加到氧化物半导体膜366的情况下,仅在区域366b及区域366c中包含杂质元素。因此,与区域366a及区域366d相比,区域366b及区域366c的杂质元素的浓度高。注意,在区域366b及区域366c中,可以将通过二次离子质谱分析法得到的杂质元素的浓度设定为 1×10^{18} atoms/cm³以上且 1×10^{22} atoms/cm³以下,或者 1×10^{19} atoms/cm³以上且 1×10^{21} atoms/cm³以下,或者 5×10^{19} atoms/cm³以上

且 5×10^{20} atoms/cm³以下。

[0433] 与区域366d相比,区域366b及区域366c的氢浓度高且由于杂质元素的添加的氧空位量多。由此区域366b及区域366c的导电性提高而其被用作低电阻区域。典型地,作为区域366b及区域366c的电阻率,可以设定为 $1 \times 10^{-3} \Omega \text{cm}$ 以上且低于 $1 \times 10^4 \Omega \text{cm}$,或者 $1 \times 10^{-3} \Omega \text{cm}$ 以上且低于 $1 \times 10^{-1} \Omega \text{cm}$ 。

[0434] 注意,当在区域366b及区域366c中,氢量与氧空位量相同或比氧空位量较少时,氢容易被氧空位俘获,而不容易扩散到被用作沟道的区域366d。其结果,可以制造常关闭特性的晶体管。

[0435] 区域366d被用作沟道。

[0436] 此外,在将导电膜368、导电膜370及导电膜374用作掩模对氧化物半导体膜366添加杂质元素之后,也可以以如下方式缩小导电膜368、导电膜370及导电膜374每一个的上面形状的面积。在导电膜368、导电膜370及导电膜374的形成步骤中,对导电膜368、导电膜370及导电膜374上的掩模进行缩小处理,而将它们用作更致密的结构掩模。接着,通过使用该掩模对导电膜368、导电膜370及导电膜374进行蚀刻,可以形成图24B所示的导电膜368d、导电膜370d及导电膜374d。作为缩小处理可以适用例如使用氧自由基等的灰化处理。

[0437] 其结果,在氧化物半导体膜366中,在区域366c和被用作沟道的区域366d之间,形成偏置(offset)区366e。通过将沟道长度方向上的偏置区366e的长度设定为低于 $0.1 \mu\text{m}$,可以抑制晶体管的通态电流的降低。

[0438] 绝缘膜372及绝缘膜272被用作栅极绝缘膜。

[0439] 导电膜368、导电膜370、导电膜268及导电膜270被用作源电极及漏电极。

[0440] 导电膜374及导电膜274被用作栅电极。

[0441] 本实施方式所示的晶体管390及晶体管394在被用作沟道的区域366d和被用作源区域及漏区域的区域366a之间包括被用作低电阻区域的区域366b及/或区域366c。由此,可以降低沟道和源区域及漏区域之间的电阻,并且晶体管390及晶体管394的通态电流大且场效应迁移率高。

[0442] 由此,在晶体管390中,导电膜374不与导电膜368及导电膜370重叠,而可以减少导电膜374和导电膜368及导电膜370之间的寄生电容。此外,在晶体管394中,导电膜274不与导电膜268及导电膜270重叠,而可以减少导电膜274和导电膜268及导电膜270之间的寄生电容。其结果是,在作为衬底362使用大面积衬底的情况下,可以减少导电膜368、导电膜370、导电膜374、导电膜268、导电膜270及导电膜274中的信号迟延。

[0443] 此外,在晶体管390中,通过将导电膜368、导电膜370及导电膜374用作掩模,对氧化物半导体膜366添加稀有气体元素,形成包含氧空位的区域。此外,在晶体管394中,通过将导电膜268、导电膜270及导电膜274用作掩模,对氧化物半导体膜266添加杂质元素,形成包含氧空位的区域。再者,包含氧空位的区域与包含氢的绝缘膜376接触,由此包含在绝缘膜376中的氢扩散到包含氧空位的区域,来形成低电阻区域。就是说,可以自对准地形成低电阻区域。

[0444] 此外,本实施方式所示的晶体管390及晶体管394通过对区域366b添加稀有气体,形成氧空位并添加氢。由此可以提高区域366b的导电率并减少每个晶体管的区域366b的导电率的不均匀。就是说,通过对区域366b添加稀有气体及氢,可以控制区域366b的导电率。

[0445] 下面说明图23A和图23B所示的详细结构。

[0446] 作为衬底362,可以适当地使用实施方式1所示的衬底102。

[0447] 作为绝缘膜364,可以适当地使用用于实施方式1所示的绝缘膜104的材料。

[0448] 作为氧化物半导体膜366及氧化物半导体膜266,可以适当地使用用于实施方式1所示的氧化物半导体膜106的材料及结构。

[0449] 作为绝缘膜372及绝缘膜272,可以适当地使用用于实施方式1所示的绝缘膜108的材料。

[0450] 作为导电膜368、导电膜370、导电膜374、导电膜261、导电膜268、导电膜270及导电膜274,可以适当地使用用于实施方式1所示的导电膜110、导电膜112及导电膜114的材料。

[0451] 绝缘膜376是包含氢的膜,典型为氮化物绝缘膜。氮化物绝缘膜可以使用氮化硅、氮化铝等形成。

[0452] <半导体装置的结构2>

[0453] 接着,对半导体装置的其它结构参照图25A至图25C进行说明。在此,虽然作为设置在像素部中的晶体管390的变形例子使用晶体管391进行说明。驱动电路部的晶体管394适当地使用晶体管391的绝缘膜364的结构或者导电膜368、导电膜370及导电膜374的结构。

[0454] 在图25A至图25C中示出半导体装置所包括的晶体管391的俯视图及截面图。图25A是晶体管391的俯视图,图25B是沿着图25A的点划线Y3-Y4的截面图,图25C是沿着图25A的点划线X3-X4的截面图。

[0455] 在图25A至图25C所示的晶体管391中,导电膜368、导电膜370及导电膜374分别具有三层结构。此外,绝缘膜364具有氮化物绝缘膜364a及氧化物绝缘膜364b的叠层结构。至于其他结构,与晶体管390同样,并且发挥相同效果。

[0456] 首先,对导电膜368、导电膜370及导电膜374进行说明。

[0457] 导电膜368依次层叠有导电膜368a、导电膜368b及导电膜368c,并且导电膜368a及导电膜368c覆盖导电膜368b表面。就是说,将导电膜368a及导电膜368c用作导电膜368b的保护膜。

[0458] 与导电膜368同样,导电膜370依次层叠有导电膜370a、导电膜370b及导电膜370c,并且导电膜370a及导电膜370c覆盖导电膜370b表面。

[0459] 导电膜374依次层叠有导电膜374a及导电膜374b。

[0460] 作为导电膜368a、导电膜370a及导电膜374a,与实施方式1所示的导电膜110a、导电膜112a及导电膜114a同样,可以适当地使用防止包含在导电膜368b、导电膜370b及导电膜374b中的金属元素扩散到氧化物半导体膜366的材料。

[0461] 作为导电膜368b、导电膜370b及导电膜374b,与实施方式1所示的导电膜110b、导电膜112b及导电膜114b同样,可以适当地使用低电阻材料。

[0462] 作为导电膜368c及导电膜370c,与实施方式1所示的导电膜110c、导电膜112c及导电膜114c同样,可以使用使包含在导电膜368b及导电膜370b中的金属元素被钝态化的膜形成。其结果,可以防止在绝缘膜376的形成步骤中包含在导电膜368b及导电膜370b中的金属元素移动到氧化物半导体膜366。

[0463] 接着,对层叠有氮化物绝缘膜364a及氧化物绝缘膜364b的绝缘膜364进行说明。

[0464] 作为氮化物绝缘膜364a及氧化物绝缘膜364b分别可以适当地使用用于实施方式1

所示的氮化物绝缘膜104a及氧化物绝缘膜104b的材料。

[0465] <半导体装置的结构3>

[0466] 接着,对半导体装置的其它结构参照图26A至图27C进行说明。在此,虽然作为设置在像素部中的晶体管390的变形例子使用晶体管392及晶体管393进行说明,但是对驱动电路部中的晶体管394可以适当地使用包括在晶体管392中的氧化物半导体膜366的结构,或者包括在晶体管393中的氧化物半导体膜366的结构。

[0467] 在图26A至图26C中示出半导体装置所包括的晶体管392的俯视图及截面图。图26A是晶体管392的俯视图,图26B是沿着图26A的点划线Y3-Y4的截面图,图26C是沿着图26A的点划线X3-X4的截面图。

[0468] 在图26A至图26C所示的晶体管392中,氧化物半导体膜366为多层结构。具体而言,氧化物半导体膜366包括与绝缘膜364接触的氧化物半导体膜367a、与氧化物半导体膜367a接触的氧化物半导体膜367b以及与氧化物半导体膜367b、导电膜368、导电膜370、绝缘膜372及绝缘膜376接触的氧化物半导体膜367c。至于其他结构,与晶体管390同样,并且发挥相同效果。

[0469] 氧化物半导体膜367a、氧化物半导体膜367b及氧化物半导体膜367c分别可以适当地使用用于实施方式1所示的氧化物半导体膜107a、氧化物半导体膜107b及氧化物半导体膜107c的材料及晶体结构。

[0470] 将与氧化物半导体膜367b相比不容易产生氧空位的氧化物半导体膜367a及氧化物半导体膜367c分别以与氧化物半导体膜367b的下面及上面接触的方式设置,可以减少氧化物半导体膜367b中的氧空位。此外,因为氧化物半导体膜367b接触于具有构成氧化物半导体膜367b的金属元素中的一种以上的氧化物半导体膜367a及氧化物半导体膜367c,所以氧化物半导体膜367a和氧化物半导体膜367b之间的界面及氧化物半导体膜367b和氧化物半导体膜367c之间的界面的界面态密度极低。由此,可以减少包含在氧化物半导体膜367b中的氧空位。

[0471] 此外,通过设置氧化物半导体膜367a,能够抑制晶体管的阈值电压等电特性的不均匀。

[0472] 另外,以与氧化物半导体膜367b接触的方式设置包含构成氧化物半导体膜367b的金属元素中的一种以上的氧化物半导体膜367c,在氧化物半导体膜367b和氧化物半导体膜367c之间的界面不容易发生载流子的散射,由此能够提高晶体管的场效应迁移率。

[0473] 此外,氧化物半导体膜367a及氧化物半导体膜367c被用作抑制由于绝缘膜364及绝缘膜372的构成元素混入氧化物半导体膜367b而形成杂质态的阻挡膜。

[0474] 由上述内容可知,本实施方式所示的晶体管的阈值电压等的电特性的不均匀减少。

[0475] 在图27A至图27C示出与图26A至图26C不同的结构的晶体管。

[0476] 在图27A至图27C中示出半导体装置所包括的晶体管393的俯视图及截面图。图27A是晶体管393的俯视图,图27B是沿着图27A的点划线Y3-Y4的截面图,图27C是沿着图27A的点划线X3-X4的截面图。注意,在图27A中,为了明确起见,省略衬底362、绝缘膜364、绝缘膜372及绝缘膜376等。另外,图27B是晶体管393的沟道宽度方向上的截面图。另外,图27C是晶体管393的沟道长度方向上的截面图。

[0477] 如图27A至图27C所示的晶体管393,氧化物半导体膜366也可以具有与绝缘膜364接触的氧化物半导体膜367b、与氧化物半导体膜367b及绝缘膜372接触的氧化物半导体膜367c的叠层结构。

[0478] <半导体装置的结构4>

[0479] 接着,对半导体装置的其它结构参照图36进行说明。在此,对通过利用实施方式1所示的方法形成低电阻区域的晶体管进行说明。

[0480] 图36所示的晶体管350包括:形成在衬底362上的绝缘膜364上的氧化物半导体膜306;与氧化物半导体膜306接触的导电膜368;导电膜370;绝缘膜312;以及,隔着绝缘膜312与氧化物半导体膜306重叠的导电膜374。在晶体管350上设置有绝缘膜376。

[0481] 图36所示的晶体管354包括:形成在衬底362上的导电膜261;导电膜261上的绝缘膜364;绝缘膜364上的氧化物半导体膜206;与氧化物半导体膜206接触的导电膜268;导电膜270;绝缘膜312;以及,隔着绝缘膜312与氧化物半导体膜206重叠的导电膜274。

[0482] 晶体管354具有隔着绝缘膜364与氧化物半导体膜206重叠的导电膜261。就是说,将导电膜261用作栅电极。此外,晶体管354为双栅极结构的晶体管。至于其他结构,与晶体管350同样,并且发挥相同效果。

[0483] 在晶体管350及晶体管354中,绝缘膜312被用作栅极绝缘膜。此外,氧化物半导体膜306、氧化物半导体膜206及包含在它们中的低电阻区域分别可以通过与实施方式1所示的氧化物半导体膜306、氧化物半导体膜206及包含在它们中的低电阻区域同样的方法形成。

[0484] <半导体装置的结构5>

[0485] 接着,对半导体装置的另外结构参照图53A和图53B进行说明。

[0486] 在图53A中示出半导体装置所包括的晶体管390a的截面图。此外在图53B中示出对氧化物半导体膜366添加杂质元素时的膜厚方向上的示意图。注意,至于图53A所示的晶体管390a的俯视图及沟道宽度方向上的截面图,分别与图28B所示的俯视图及图23A所示的截面图同样,由此省略在此说明。

[0487] 图53A所示的晶体管390a是图23A所示的晶体管390的变形例子,且与晶体管390所包括的导电膜374的结构互不相同。另外,图53A所示的晶体管390a与晶体管390所包括的绝缘膜372及绝缘膜376的截面形状互不相同。在图53A所示的晶体管390a中,导电膜374具有两层的叠层结构,且绝缘膜372及绝缘膜376的端部形状的一部分具有曲率。至于其他结构,与晶体管390同样,并且发挥相同效果。

[0488] 导电膜374为导电膜374d及导电膜374e的叠层结构。作为导电膜374d,可以使用例如氮化钽、氮化钛、氮化钼及氮化钨等的氮化金属膜。

[0489] 导电膜374e可以由上面所记载的低电阻金属材料形成。作为该低电阻金属材料,例如有铝、铜、银或钨等。

[0490] 另外,在导电膜374中,导电膜374d的侧端部从导电膜374e的侧端部突出于外侧。如此,通过使导电膜374的形状具有两层的叠层结构,并且使其下层的导电膜为突出形状,可以形成类似于帽子形状的导电膜。通过采用该帽子形状,在添加杂质元素时,有时下层的导电膜可以抑制杂质的透过。

[0491] 此外,作为导电膜374的加工方法,可以举出例如干蚀刻法。在通过利用该干蚀刻

法对导电膜374进行加工时,有时绝缘膜372的侧端部的一部分被掉去,而该侧端部的形状成为具有曲率的形状。另外,在绝缘膜372的侧端部的形状成为具有曲率的形状时,由于绝缘膜372的影响,有时在绝缘膜372上方形成的绝缘膜376的形状也成为其侧端部的一部分具有曲率。

[0492] 接着,参照图53B,对图53A所示的晶体管390a的氧化物半导体膜366添加杂质元素时的厚度方向上的概念图,下面进行说明。

[0493] 在图53B中,氧化物半导体膜366包含区域366x及区域366y。在氧化物半导体膜366为例如结晶性的氧化物半导体膜时,区域366y的结晶性比区域366x高。该结晶性的差异因为在添加杂质元素时区域366x受到损伤而导致结晶性降低的缘故。

[0494] <半导体装置的制造方法1>

[0495] 接着,对图23A和图23B所示的晶体管390及晶体管394的制造方法参照图29A至图31C进行说明。

[0496] 如图29A所示,在衬底362上形成导电膜261,并且在导电膜261上形成绝缘膜364。

[0497] 可以适当地利用实施方式1所示的导电膜201的形成方法来形成导电膜261。

[0498] 可以适当地利用实施方式1所示的绝缘膜104的形成方法来形成绝缘膜364。

[0499] 接着,如图29B所示,在绝缘膜364上形成氧化物半导体膜366及氧化物半导体膜266。可以适当地利用实施方式1所示的氧化物半导体膜106的形成方法来形成氧化物半导体膜366及氧化物半导体膜266。

[0500] 接着,如图30A所示,在绝缘膜364、氧化物半导体膜366及氧化物半导体膜266上形成导电膜367。

[0501] 可以适当地利用实施方式1所示的导电膜201的形成方法来形成导电膜367。

[0502] 接着,如图30B所示,在导电膜367上通过光刻工序形成掩模之后,将导电膜367暴露于蚀刻溶液及/或蚀刻气体,形成导电膜368、导电膜370、导电膜268及导电膜270。

[0503] 作为蚀刻导电膜367的方法可以适当地利用湿蚀刻法及/或干蚀刻法。

[0504] 注意,作为导电膜368、导电膜370、导电膜268及导电膜270的形成方法,也可以利用电镀法、印刷法、喷墨法等来代替上述形成方法。

[0505] 接着,如图30C所示,在绝缘膜364、氧化物半导体膜366、导电膜368、导电膜370、氧化物半导体膜266、导电膜268及导电膜270上形成绝缘膜372。可以适当地利用实施方式1所示的绝缘膜108的形成方法来形成绝缘膜372。

[0506] 接着,如图30D所示,在绝缘膜372上形成导电膜373。

[0507] 可以适当地利用实施方式1所示的导电膜201的形成方法来形成导电膜373。

[0508] 接着,如图31A所示,在导电膜373上通过光刻工序形成掩模之后,将导电膜373暴露于蚀刻溶液及/或蚀刻气体,形成绝缘膜372、导电膜374、绝缘膜272及绝缘膜274。

[0509] 作为蚀刻导电膜373的方法可以适当地利用湿蚀刻法及/或干蚀刻法。

[0510] 注意,作为导电膜374及导电膜274的形成方法,也可以利用电镀法、印刷法、喷墨法等来代替上述形成方法。

[0511] 接着,如图31B所示,在去除掩模之后,对氧化物半导体膜366及氧化物半导体膜266添加稀有气体作为杂质元素377。其结果,对氧化物半导体膜366中的不与导电膜368、导电膜370及导电膜374重叠的区域添加杂质元素。另外,在氧化物半导体膜266中不与导电膜

268、导电膜270及导电膜274重叠的区域添加杂质元素。通过添加杂质元素377,在氧化物半导体膜366及氧化物半导体膜266中形成氧空位。

[0512] 作为杂质元素377的添加方法可以适当地利用实施方式1所示的杂质元素117的添加方法。

[0513] 在此,在32A至图32C中示出对氧化物半导体膜366添加杂质元素377时的膜厚度方向上的添加有杂质元素的区域的示意图。注意,在此作为典型例子使用包括在晶体管390中的氧化物半导体膜366附近的放大图进行说明。

[0514] 如图32A所示,有时杂质元素377的添加区域形成在绝缘膜364、氧化物半导体膜366及绝缘膜372中。注意,在露出氧化物半导体膜366的区域的深度方向上,添加区域的端部385位于绝缘膜364中。

[0515] 另外,如图32B所示,有时杂质元素377的添加区域形成在氧化物半导体膜366及绝缘膜372中。注意,在露出氧化物半导体膜366的区域的深度方向上,添加区域的端部386位于绝缘膜364和氧化物半导体膜366之间的界面。

[0516] 另外,如图32C所示,有时杂质元素377的添加区域形成在氧化物半导体膜366及绝缘膜372中。注意,在露出氧化物半导体膜366的区域的深度方向上,添加区域的端部387位于氧化物半导体膜366中。

[0517] 注意,在此,虽然将导电膜368、导电膜370及导电膜374用作掩模对氧化物半导体膜366添加杂质元素377,但是也可以在去除用于形成导电膜368、导电膜370及导电膜374的掩模之前对氧化物半导体膜366添加杂质元素377。

[0518] 接着,如图31C所示,在氧化物半导体膜366、绝缘膜372、导电膜368、导电膜370、导电膜374、氧化物半导体膜266、绝缘膜272、导电膜268、导电膜270及导电膜274上形成绝缘膜376。

[0519] 可以适当地利用实施方式2所示的绝缘膜176的形成方法来形成绝缘膜376。

[0520] 因为绝缘膜376包含氢,所以在氧化物半导体膜366及氧化物半导体膜266中,添加有杂质元素的区域和绝缘膜376接触,由此包含在绝缘膜376中的氢可以移动到氧化物半导体膜的添加有杂质元素的区域中。因为添加有杂质元素的区域包含氧空位,所以可以在氧化物半导体膜366及氧化物半导体膜266中形成低电阻区域。具体而言,可以形成图24A和图24B所示的区域366b及区域366c。注意,在导电膜374的侧面具有锥形形状的情况下,因为杂质元素通过导电膜374的锥形部添加到区域366c,所以与区域366b相比,区域366c的杂质元素的一个例子的稀有气体元素的浓度低。

[0521] 然后,也可以进行加热处理,进一步提高添加有杂质元素377的区域的导电性。将加热处理的温度典型地设定为150℃以上且低于衬底应变点,或者250℃以上且450℃以下,或者300℃以上且450℃以下。此外,通过该加热处理包含在区域366b中的氢扩散到区域366c。其结果,提高区域366c的导电性。

[0522] 通过上述步骤,可以制造晶体管。

[0523] <半导体装置的制造方法2>

[0524] 说明图25A至图25C所示的晶体管391的制造方法。注意,在此,对晶体管391所包括的导电膜368及导电膜370中的导电膜368c及导电膜370c的形成步骤以及对氧化物半导体膜366添加杂质元素377的步骤进行说明。

[0525] 通过图29A至图30B的步骤,在衬底362上形成绝缘膜364、氧化物半导体膜366、导电膜368及导电膜370。

[0526] 接着,在将包括在导电膜368及导电膜370的导电膜368b及导电膜370b暴露于在还原性气氛中产生的等离子体,将导电膜368b及导电膜370b的表面的氧化物还原。接着,边在200℃以上且400℃以下进行加热,边将导电膜368b及导电膜370b暴露于硅烷。然后,通过将导电膜368b及导电膜370b暴露于在氨或氮气气氛等包含氮的气氛中产生的等离子体,可以形成被用作导电膜368c及导电膜370c的 CuSi_xN_y ($x>0, y>0$)。

[0527] 然后,经过图30C、图30D及图31A至图31C的步骤可以制造晶体管391。

[0528] <半导体装置的制造方法3>

[0529] 说明图23A和图23B所示的晶体管390的其它制造方法。注意,在此参照图33A和图33B对杂质元素的添加步骤及绝缘膜376的制造步骤进行说明。

[0530] 通过图29A至图31A的步骤,在衬底362上形成绝缘膜364、氧化物半导体膜366、导电膜368、导电膜370、绝缘膜372及导电膜374。

[0531] 接着,如图33A所示,在氧化物半导体膜366、导电膜368、导电膜370、绝缘膜372及导电膜374上形成绝缘膜376之后,如图33B所示,将导电膜368、导电膜370及导电膜374用作掩模对氧化物半导体膜366添加杂质元素377。

[0532] 通过上述步骤,可以制造晶体管390。

[0533] <半导体装置的制造方法4>

[0534] 对包括侧壁绝缘膜的晶体管的制造方法,参照图34A至图35C进行说明。

[0535] 通过图29A至图31A的步骤,在衬底362上形成绝缘膜364、氧化物半导体膜366、导电膜368、导电膜370、绝缘膜372及导电膜374。注意,在此,绝缘膜372不被蚀刻而形成在全面上。

[0536] 接着,如图34B所示,将导电膜368、导电膜370及导电膜374用作掩模对氧化物半导体膜366添加杂质元素377。

[0537] 接着,如图34C所示,在绝缘膜372及导电膜374上形成绝缘膜375。

[0538] 绝缘膜375是之后成为侧壁绝缘膜的膜。绝缘膜375可以适当地利用实施方式1所示的绝缘膜104的材料及形成方法形成。

[0539] 接着,通过利用RIE法(Reactive ion etching:反应性离子蚀刻)法等各向异性蚀刻对绝缘膜375进行加工,如图34D所示,可以以自对准地方式形成与导电膜374的侧面接触的侧壁绝缘膜331a及侧壁绝缘膜331b。

[0540] 接着,如图35A所示,将侧壁绝缘膜331a及侧壁绝缘膜331b用作掩模对绝缘膜372进行蚀刻,使氧化物半导体膜366的一部分露出。

[0541] 接着,如图35B所示,在氧化物半导体膜366、导电膜368、导电膜370及导电膜374上形成绝缘膜376。绝缘膜376是包含氢的膜,由此在氧化物半导体膜366中,氢移动到与绝缘膜376接触的区域。

[0542] 图35C是图35B中的氧化物半导体膜366附近的放大图。氧化物半导体膜366包括与导电膜368或导电膜370接触的区域366a、与绝缘膜376接触的区域366b及与绝缘膜372接触的区域366d。此外,包含隔着绝缘膜372与侧壁绝缘膜331a及331b重叠的区域366c。注意,在导电膜374的侧面具有锥形形状的情况下,区域366c的一部分也可以与导电膜374重叠。

[0543] 区域366b及区域366c被用作低电阻区域。区域366b至少包含稀有气体及氢作为杂质元素。另外,区域366c至少包含稀有气体元素作为杂质元素。再者,在从区域366b扩散氢时,区域366c包含氢,但是区域366c的杂质元素浓度比区域366b低。由于包括区域366c,可以提高源极-漏极击穿电压。

[0544] 在本实施方式所示的晶体管中,因为被用作源电极及漏电极的导电膜不与被用作栅电极的导电膜重叠,能够减少寄生电容且通态电流大。另外,在本实施方式所示的晶体管中,可以稳定地形成低电阻区域,与现有的晶体管相比,通态电流提高且晶体管的电特性的不均匀减少。

[0545] 本实施方式所示的结构及方法等可以与其他实施方式所示的其他结构及方法等适当地组合而使用。

[0546] 实施方式4

[0547] 在本实施方式中,使用图50A至图52D说明半导体装置及半导体装置的制造方法的一个实施方式。注意,本实施方式与实施方式1的驱动电路部的晶体管所包括的氧化物半导体膜的结构不同。另外,作为晶体管中的低电阻区域的制造方法,使用实施方式3所示的方法。

[0548] <半导体装置的结构>

[0549] 作为半导体装置所包括的晶体管的一个例子,图50A和图50B示出顶栅结构的晶体管。

[0550] 图50A示出晶体管390及晶体管395a的截面图。另外,图50B示出晶体管390及晶体管395b的截面图。在图50A至图52D中,X1-X2是设置在驱动电路部的晶体管的截面图,X3-X4是设置在像素部的晶体管的截面图。

[0551] 在图50A和图50B中,设置在驱动电路部的晶体管与设置在像素部的晶体管的不同之处在于氧化物半导体膜的结构。

[0552] 与实施方式3所示的晶体管390同样,图50A所示的晶体管390包括单层的氧化物半导体膜366。

[0553] 另一方面,图50A所示的晶体管395a包括层叠有氧化物半导体膜267a及氧化物半导体膜267b的氧化物半导体膜266。在顶面形状中,氧化物半导体膜267b的端部位于氧化物半导体膜267a的端部的外侧。换言之,氧化物半导体膜267b覆盖氧化物半导体膜267a的顶面及侧面。另外,氧化物半导体膜267a与绝缘膜364接触,氧化物半导体膜267b与氧化物半导体膜267a及绝缘膜272接触。

[0554] 另外,图50B所示的晶体管395b包括层叠有氧化物半导体膜267a、氧化物半导体膜267b及氧化物半导体膜267c的氧化物半导体膜266。在顶面形状中,氧化物半导体膜267b的端部位于氧化物半导体膜267a及氧化物半导体膜267c的端部的外侧。换言之,氧化物半导体膜267b覆盖氧化物半导体膜267a的顶面和侧面以及氧化物半导体膜267c的侧面。另外,氧化物半导体膜267c与绝缘膜364接触。氧化物半导体膜267b与绝缘膜272接触。另外,氧化物半导体膜267a与氧化物半导体膜267b及氧化物半导体膜267c接触。

[0555] 在晶体管395a、晶体管395b以及晶体管390中,氧化物半导体膜267a与氧化物半导体膜267b的组成不同,而氧化物半导体膜267b与氧化物半导体膜366的组成相同。换言之,氧化物半导体膜267a与氧化物半导体膜267b及氧化物半导体膜366在不同的工序中形成,

并且氧化物半导体膜267b与氧化物半导体膜366在相同的工序中形成。

[0556] 晶体管395a及晶体管395b在氧化物半导体膜267a中形成沟道。因此,氧化物半导体膜267a优选具有比氧化物半导体膜267b大的厚度。

[0557] 氧化物半导体膜267a的厚度为3nm以上且200nm以下,或者10nm以上且50nm以下,或者20nm以上且35nm以下。氧化物半导体膜267b及氧化物半导体膜366的厚度为3nm以上且200nm以下,或者3nm以上且100nm以下,或者10nm以上且100nm以下,或者30nm以上且50nm以下。

[0558] 氧化物半导体膜267a、氧化物半导体膜267b及氧化物半导体膜366由至少包含In的金属氧化物膜形成,典型为In-Ga氧化物膜、In-M-Zn氧化物膜(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)等。

[0559] 在氧化物半导体膜267a中,In的原子数比大于M(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)。当氧化物半导体膜367a为In-M-Zn氧化物(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)时,作为用来形成氧化物半导体膜367a的靶材,在将金属元素的原子数比设定为 $\text{In:M:Zn} = x_3:y_3:z_3$ 时,优选的是, x_3/y_3 大于1且为6以下。作为靶材的金属元素的原子数比的典型例子,有 $\text{In:M:Zn} = 2:1:1.5$ 、 $\text{In:M:Zn} = 2:1:2.3$ 、 $\text{In:M:Zn} = 2:1:3$ 、 $\text{In:M:Zn} = 3:1:2$ 、 $\text{In:M:Zn} = 3:1:3$ 、 $\text{In:M:Zn} = 3:1:4$ 等。

[0560] 在氧化物半导体膜267b及氧化物半导体膜366中,In的原子数比小于或等于M(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)。当氧化物半导体膜267b及氧化物半导体膜366为In-M-Zn氧化物膜(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)时,作为用来形成氧化物半导体膜267b及氧化物半导体膜366的靶材,在将金属元素的原子数比设定为 $\text{In:M:Zn} = x_4:y_4:z_4$ 时,优选的是, x_4/y_4 为1/6以上且1以下。另外, z_4/y_4 优选为1/3以上且6以下,更优选为1以上且6以下。通过使 z_4/y_4 为1以上且6以下,作为氧化物半导体膜267b及氧化物半导体膜366容易形成CAAC-OS膜。作为靶材的金属元素的原子数比的典型例子,有 $\text{In:M:Zn} = 1:1:1$ 、 $\text{In:M:Zn} = 1:1:1.2$ 、 $\text{In:M:Zn} = 1:3:2$ 、 $\text{In:M:Zn} = 1:3:4$ 、 $\text{In:M:Zn} = 1:3:6$ 、 $\text{In:M:Zn} = 1:3:8$ 、 $\text{In:M:Zn} = 1:4:4$ 、 $\text{In:M:Zn} = 1:4:5$ 、 $\text{In:M:Zn} = 1:4:6$ 、 $\text{In:M:Zn} = 1:4:7$ 、 $\text{In:M:Zn} = 1:4:8$ 、 $\text{In:M:Zn} = 1:5:5$ 、 $\text{In:M:Zn} = 1:5:6$ 、 $\text{In:M:Zn} = 1:5:7$ 、 $\text{In:M:Zn} = 1:5:8$ 、 $\text{In:M:Zn} = 1:6:8$ 等。

[0561] 在晶体管395a及晶体管395b中,由于在In的原子数比大于M(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)的氧化物半导体膜267a中形成沟道,因此场效应迁移率高。典型的是,场效应迁移率为 $10\text{cm}^2/\text{Vs}$ 以上且小于 $60\text{cm}^2/\text{Vs}$,优选为 $15\text{cm}^2/\text{Vs}$ 以上且小于 $50\text{cm}^2/\text{Vs}$ 的晶体管。然而,当被照射光时,关闭状态(off-state)时的电流增大。因此,通过在驱动电路部设置遮光膜,实现场效应迁移率高且关闭状态时的电流低的晶体管。其结果是,可以制造能够进行高速工作的驱动电路部。

[0562] 或者,如图51A所示的晶体管397a及图51B所示的晶体管397b,也可以设置用作遮光膜的导电膜261。再者,通过连接导电膜261与导电膜274,可以进一步增大晶体管397a及晶体管397b的通态电流,并且提高场效应迁移率。

[0563] 另一方面,在晶体管390中,由于在In的原子数比小于或等于M(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)的氧化物半导体膜中形成沟道,因此即使光照射到氧化物半导体膜,关态电流的增大量也少。因此,通过在像素部设置包括In的原子数比与M(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)相同或相对于M较小的氧化物半导体膜的晶体管,可以制造光照射的

劣化少且显示质量优异的像素部。

[0564] 在氧化物半导体膜267c中, In的原子数比小于M(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)。当氧化物半导体膜267c为In-M-Zn氧化物膜(M为Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)时, 作为用来形成氧化物半导体膜267c的靶材, 在将金属元素的原子数比设定为In:M:Zn= $x_5:y_5:z_5$ 时, 优选的是, x_5/y_5 为1/6以上且小于1。另外, z_5/y_5 优选为1/3以上且6以下, 更优选为1以上且6以下。通过使 z_5/y_5 为1以上且6以下, 作为氧化物半导体膜267c容易形成CAAC-OS膜。作为靶材的金属元素的原子数比的典型例子, 有In:M:Zn=1:3:2、In:M:Zn=1:3:4、In:M:Zn=1:3:6、In:M:Zn=1:3:8、In:M:Zn=1:4:4、In:M:Zn=1:4:5、In:M:Zn=1:4:6、In:M:Zn=1:4:7、In:M:Zn=1:4:8、In:M:Zn=1:5:5、In:M:Zn=1:5:6、In:M:Zn=1:5:7、In:M:Zn=1:5:8、In:M:Zn=1:6:8等。

[0565] 另外, 当氧化物半导体膜267c为In-Ga氧化物膜时, 例如, 可以使用In-Ga金属氧化物靶材(In:Ga=7:93), 并通过溅射法形成。另外, 为了通过利用直流放电的溅射法形成In-Ga氧化物膜作为氧化物半导体膜267c, 当In:Ga= $x:y$ [原子数比]时, 将 $y/(x+y)$ 优选设定为0.96以下, 更优选为0.95以下, 例如可以是0.93。

[0566] 设置在图50B的晶体管395b及图51B的晶体管397b中的氧化物半导体膜267c的厚度小于氧化物半导体膜267a的厚度, 并且该厚度为2nm以上且100nm以下, 优选为2nm以上且50nm以下, 更优选为3nm以上且15nm以下。通过在使用栅极绝缘膜的绝缘膜364与氧化物半导体膜267a之间设置氧化物半导体膜267c, 可以降低晶体管的阈值电压的变动。

[0567] <半导体装置的制造方法>

[0568] 接着, 使用图52A至图52D说明图51A所示的晶体管390及晶体管397a的制造方法。

[0569] 如图52A所示, 在衬底362上形成导电膜261。接着, 在衬底362及导电膜261上形成绝缘膜364。接着, 在绝缘膜364上形成氧化物半导体膜265a。

[0570] 接着, 如图52B所示, 在氧化物半导体膜265a上通过光刻工序形成掩模, 然后对氧化物半导体膜265a进行蚀刻, 由此在驱动电路部形成氧化物半导体膜267a。

[0571] 接着, 如图52C所示, 在绝缘膜364及氧化物半导体膜267a上形成氧化物半导体膜265b。

[0572] 接着, 如图52D所示, 在氧化物半导体膜265b上通过光刻工序形成掩模, 然后对氧化物半导体膜265b进行蚀刻, 由此在驱动电路部形成覆盖氧化物半导体膜267a的氧化物半导体膜267b, 并且在像素部形成氧化物半导体膜366。

[0573] 在该工序中, 通过以覆盖氧化物半导体膜267a的顶面及侧面的方式形成氧化物半导体膜267b, 在后面的用作源电极及漏电极的导电膜的形成工序中, 氧化物半导体膜267a不被蚀刻。其结果是, 可以降低晶体管的沟道宽度方向的氧化物半导体膜267a的长度的变动, 所以是优选的。

[0574] 然后, 经过图30A至图31C的工序, 可以制造晶体管390及晶体管397a。

[0575] 本实施方式所示的结构及方法等可以与其他实施方式所示的结构及方法适当地组合而使用。

[0576] 实施方式5

[0577] 在本实施方式中, 使用图37A至图39B说明半导体装置的一个实施方式。在此, 作为半导体装置的一个例子使用显示装置进行说明。另外, 显示装置的像素部由多个的像素构

成。在此,说明设置在一个像素中的晶体管以及连接于该晶体管的电容元件的结构。

[0578] <半导体装置的结构1>

[0579] 图37A及图37B示出像素所包括的晶体管150及连接于该晶体管150的电容元件159的结构。

[0580] 图37A及图37B示出晶体管150及电容元件159的俯视图及截面图。图37A是晶体管150及电容元件159的俯视图,图37B是图37A的点划线X3-X4间的截面图及点划线X5-X6间的截面图。

[0581] 图37A及图37B所示的晶体管150具有与实施方式1所示的晶体管150同样的结构。

[0582] 另外,电容元件159包括:绝缘膜104上的氧化物半导体膜156;接触于氧化物半导体膜156的绝缘膜118;以及绝缘膜118上的导电膜124。

[0583] 绝缘膜118上形成有绝缘膜122。在绝缘膜116、绝缘膜118及绝缘膜122的开口部142a中,导电膜124与导电膜112接触。在绝缘膜108、绝缘膜116及绝缘膜122的开口部142b中,导电膜124与绝缘膜118接触。

[0584] 绝缘膜122例如可以使用聚酰亚胺、丙烯酸树脂、聚酰胺、环氧树脂等有机树脂膜。绝缘膜122的厚度优选为500nm以上且10 μ m以下。

[0585] 导电膜124可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、包含氧化硅的铟锡氧化物等具有透光性的导电性材料来形成。

[0586] 另外,导电膜124可以使用银、铝、铬、铜、钼、钛、钽、钨等反射光的金属元素来形成。再者,也可以将使用反射光的金属元素形成的膜与使用上述具有透光性的导电性材料形成的膜层叠来形成。

[0587] 氧化物半导体膜156因为与氧化物半导体膜106同时形成所以具有透光性。另外,氧化物半导体膜156与氧化物半导体膜106中的区域106b同样地被添加有杂质元素。因此,氧化物半导体膜156具有导电性。

[0588] 当作为导电膜124使用具有透光性的导电性材料形成时,电容元件159具有透光性。因此,通过在显示装置的像素中设置电容元件159,能够提高像素中的开口率。

[0589] <半导体装置的结构2>

[0590] 图38A及图38B示出像素所包括的晶体管190以及与该晶体管190连接的电容元件199的结构。

[0591] 图38A及图38B示出晶体管190及电容元件199的俯视图及截面图。图38A是晶体管190及电容元件199的俯视图,图38B是图38A的点划线X3-X4间的截面图及点划线X5-X6间的截面图。

[0592] 图38A及图38B所示的晶体管190具有与实施方式2所示的晶体管190同样的结构。

[0593] 另外,电容元件199包括:绝缘膜164上的氧化物半导体膜198;接触于氧化物半导体膜198的绝缘膜176;以及绝缘膜176上的导电膜184。

[0594] 绝缘膜178上形成有绝缘膜182。在绝缘膜176、绝缘膜178及绝缘膜182的开口部182a中,导电膜184与导电膜172接触。在绝缘膜168、绝缘膜178及绝缘膜182的开口部182b中,导电膜184与绝缘膜176接触。

[0595] 绝缘膜182可以适当地使用图37B所示的绝缘膜122的材料。

[0596] 导电膜184可以适当地使用图37B所示的导电膜124的材料。

[0597] 氧化物半导体膜198因为与氧化物半导体膜166同时形成所以具有透光性。另外，氧化物半导体膜198与氧化物半导体膜166中的区域166b同样地被添加有杂质元素。因此，氧化物半导体膜198具有导电性。

[0598] 当作为导电膜184使用具有透光性的导电性材料形成时，电容元件199具有透光性。因此，通过在显示装置的像素中设置电容元件199，能够提高像素中的开口率。

[0599] 另外，作为电容元件的一个电极，可以与晶体管所包括的氧化物半导体膜同时地形成具有导电性的氧化物半导体膜。因此，可以以不增加掩模数的方式同时形成晶体管及电容元件。

[0600] <半导体装置的结构3>

[0601] 图39A及图39B示出像素所包括的晶体管390以及与该晶体管390连接的电容元件399的结构。

[0602] 图39A及图39B示出晶体管390及电容元件399的俯视图及截面图。图39A是晶体管390及电容元件399的俯视图，图39B是图39A的点划线X3-X4间的截面图及点划线X5-X6间的截面图。

[0603] 图39A及图39B所示的晶体管390具有与实施方式3所示的晶体管390同样的结构。

[0604] 另外，电容元件399包括：绝缘膜364上的氧化物半导体膜396；接触于氧化物半导体膜396的绝缘膜376；以及绝缘膜376上的导电膜384。

[0605] 绝缘膜376上形成有绝缘膜382。在绝缘膜376及绝缘膜382的开口部388a中，导电膜384与导电膜370连接。在绝缘膜382的开口部388b中，导电膜384与绝缘膜376连接。

[0606] 绝缘膜382可以适当地使用图37B所示的绝缘膜122的材料。

[0607] 导电膜384可以适当地使用图37B所示的导电膜124的材料。

[0608] 氧化物半导体膜396因为与氧化物半导体膜366同时形成所以具有透光性。另外，氧化物半导体膜396与氧化物半导体膜366中的区域366b同样地被添加有杂质元素。因此，氧化物半导体膜396具有导电性。

[0609] 当作为导电膜384使用具有透光性的导电性材料形成时，电容元件399具有透光性。因此，通过在显示装置的像素中设置电容元件399，能够提高像素中的开口率。

[0610] 另外，作为电容元件的一个电极，可以与晶体管所包括的氧化物半导体膜同时地形成具有导电性的氧化物半导体膜。因此，可以以不增加掩模数的方式同时形成晶体管及电容元件。

[0611] 本实施方式所示的结构及方法等可以与其他实施方式所示的结构及方法等适当地组合而使用。

[0612] 实施方式6

[0613] 在本实施方式中，详细说明包含在本发明的一个实施方式的半导体装置中的氧化物半导体膜的结构。

[0614] <氧化物半导体的结构>

[0615] 下面说明氧化物半导体的结构。

[0616] 氧化物半导体被分为单晶氧化物半导体和非单晶氧化物半导体。作为非单晶氧化物半导体有CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor:c轴取向结晶

氧化物半导体)、多晶氧化物半导体、微晶氧化物半导体以及非晶氧化物半导体等。

[0617] 从其他观点看来,氧化物半导体被分为非晶氧化物半导体和结晶氧化物半导体。作为结晶氧化物半导体有单晶氧化物半导体、CAAC-OS、多晶氧化物半导体以及微晶氧化物半导体等。

[0618] <CAAC-OS>

[0619] 首先,对CAAC-OS进行说明。注意,也可以将CAAC-OS称为具有CANC (C-Axis Aligned nanocrystals:c轴取向纳米晶)的氧化物半导体。

[0620] CAAC-OS是包含多个c轴取向的结晶部(也称为颗粒)的氧化物半导体之一。

[0621] 在利用透射电子显微镜(TEM:Transmission Electron Microscope)观察所得到的CAAC-OS的明视场图像与衍射图案的复合分析图像(也称为高分辨率TEM图像)中,观察到多个颗粒。然而,在高分辨率TEM图像中,观察不到颗粒与颗粒之间的明确的边界,即晶界(grain boundary)。因此,可以说在CAAC-OS中,不容易发生起因于晶界的电子迁移率的降低。

[0622] 下面,对利用TEM观察的CAAC-OS进行说明。图47A示出从大致平行于样品面的方向观察所得到的CAAC-OS的截面的高分辨率TEM图像。利用球面像差校正(Spherical Aberration Corrector)功能得到高分辨率TEM图像。将利用球面像差校正功能所得到的高分辨率TEM图像特别称为Cs校正高分辨率TEM图像。例如可以使用日本电子株式会社制造的原子分辨率分析型电子显微镜JEM-ARM200F等得到Cs校正高分辨率TEM图像。

[0623] 图47B示出将图47A中的区域(1)放大的Cs校正高分辨率TEM图像。由图47B可以确认到在颗粒中金属原子排列为层状。各金属原子层具有反映了形成CAAC-OS膜的面(也称为被形成面)或CAAC-OS膜的顶面的凸凹的配置并以平行于CAAC-OS的被形成面或顶面的方式排列。

[0624] 如图47B所示,CAAC-OS具有特有的原子排列。图47C是以辅助线示出特有的原子排列的图。由图47B和图47C可知,一个颗粒的尺寸为1nm以上且3nm以下左右,由颗粒与颗粒之间的倾斜产生的空隙的尺寸为0.8nm左右。因此,也可以将颗粒称为纳米晶(nc:nanocrystal)。

[0625] 在此,根据Cs校正高分辨率TEM图像,将衬底5120上的CAAC-OS的颗粒5100的配置示意性地表示为堆积砖块或块体的结构(参照图47D)。在图47C中观察到的在颗粒与颗粒之间产生倾斜的部分相当于图47D所示的区域5161。

[0626] 图48A示出从大致垂直于样品面的方向观察所得到的CAAC-OS的平面的Cs校正高分辨率TEM图像。图48B、图48C和图48D分别示出将图48A中的区域(1)、区域(2)和区域(3)放大的Cs校正高分辨率TEM图像。由图48B、图48C和图48D可知在颗粒中金属原子排列为三角形状、四角形状或六角形状。但是,在不同的颗粒之间金属原子的排列没有规律性。

[0627] 接着,说明使用X射线衍射(XRD:X-Ray Diffraction)装置进行分析的CAAC-OS。例如,当利用out-of-plane法分析包含 InGaZnO_4 结晶的CAAC-OS的结构时,如图49A所示,在衍射角(2θ)为 31° 附近时常出现峰值。由于该峰值来源于 InGaZnO_4 结晶的(009)面,由此可知CAAC-OS中的结晶具有c轴取向性,并且c轴朝向大致垂直于被形成面或顶面的方向。

[0628] 注意,当利用out-of-plane法分析CAAC-OS的结构时,除了 2θ 为 31° 附近的峰值以外,有时在 2θ 为 36° 附近时也出现峰值。 2θ 为 36° 附近的峰值表示CAAC-OS中的一部分包含不

具有c轴取向性的结晶。优选的是,在利用out-of-plane法分析的CAAC-OS的结构中,在 2θ 为 31° 附近时出现峰值而在 2θ 为 36° 附近时不出现峰值。

[0629] 另一方面,当利用从大致垂直于c轴的方向使X射线入射到样品的in-plane法分析CAAC-OS的结构时,在 2θ 为 56° 附近时出现峰值。该峰值来源于 InGaZnO_4 结晶的(110)面。在CAAC-OS中,即使将 2θ 固定为 56° 附近并在以样品面的法线向量为轴(φ 轴)旋转样品的条件下进行分析(φ 扫描),也如图49B所示的那样观察不到明确的峰值。相比之下,在 InGaZnO_4 的单晶氧化物半导体中,在将 2θ 固定为 56° 附近来进行 φ 扫描时,如图49C所示的那样观察到来源于相等于(110)面的结晶面的六个峰值。因此,由使用XRD的结构分析可以确认到CAAC-OS中的a轴和b轴的取向没有规律性。

[0630] 接着,说明利用电子衍射进行分析的CAAC-OS。例如,当对包含 InGaZnO_4 结晶的CAAC-OS在平行于样品面的方向上入射束径为300nm的电子线时,可能会获得图55A所示的衍射图案(也称为选区透射电子衍射图案)。在该衍射图案中包含起因于 InGaZnO_4 结晶的(009)面的斑点。因此,由电子衍射也可知CAAC-OS所包含的颗粒具有c轴取向性,并且c轴朝向大致垂直于被形成面或顶面的方向。另一方面,图55B示出对相同的样品在垂直于样品面的方向上入射束径为300nm的电子线时的衍射图案。由图55B观察到环状的衍射图案。因此,由电子衍射也可知CAAC-OS所包含的颗粒的a轴和b轴不具有取向性。可以认为图55B中的第一环起因于 InGaZnO_4 结晶的(010)面和(100)面等。另外,可以认为图55B中的第二环起因于(110)面等。

[0631] 另外,CAAC-OS是缺陷态密度低的氧化物半导体。氧化物半导体的缺陷例如有起因于杂质的缺陷、氧空位等。因此,可以将CAAC-OS称为杂质浓度低的氧化物半导体或者氧空位少的氧化物半导体。

[0632] 包含于氧化物半导体的杂质有时会成为载流子陷阱或载流子发生源。另外,氧化物半导体中的氧空位有时会成为载流子陷阱或因俘获氢而成为载流子发生源。

[0633] 此外,杂质是指氧化物半导体的主要成分以外的元素,诸如氢、碳、硅和过渡金属元素等。例如,与氧的键合力比构成氧化物半导体的金属元素强的硅等元素会夺取氧化物半导体中的氧,由此打乱氧化物半导体的原子排列,导致结晶性下降。另外,由于铁或镍等的重金属、氮、二氧化碳等的原子半径(或分子半径)大,所以会打乱氧化物半导体的原子排列,导致结晶性下降。

[0634] 缺陷态密度低(氧空位少)的氧化物半导体可以具有低载流子密度。将这样的氧化物半导体称为高纯度本征或实质上高纯度本征的氧化物半导体。CAAC-OS的杂质浓度和缺陷态密度低。换言之,CAAC-OS容易成为高纯度本征或实质上高纯度本征的氧化物半导体。因此,使用CAAC-OS的晶体管很少具有负阈值电压的电特性(很少成为常开启)。高纯度本征或实质上高纯度本征的氧化物半导体的载流子陷阱少。被氧化物半导体的载流子陷阱俘获的电荷需要很长时间才能被释放,并且有时像固定电荷那样动作。因此,使用杂质浓度高且缺陷态密度高的氧化物半导体的晶体管有时电特性不稳定。但是,使用CAAC-OS的晶体管电特性变动小且可靠性高。

[0635] 由于CAAC-OS的缺陷态密度低,所以因光照射等而生成的载流子很少被缺陷能级俘获。因此,在使用CAAC-OS的晶体管中,起因于可见光或紫外光的照射的电特性的变动小。

[0636] <微晶氧化物半导体>

[0637] 接着说明微晶氧化物半导体。

[0638] 在微晶氧化物半导体的高分辨率TEM图像中有能够观察到结晶部的区域和观察不到明确的结晶部的区域。微晶氧化物半导体所包含的结晶部的尺寸大多为1nm以上且100nm以下或1nm以上且10nm以下。尤其是,将包含尺寸为1nm以上且10nm以下或1nm以上且3nm以下的微晶的纳米晶的氧化物半导体称为nc-OS(nanocrystalline Oxide Semiconductor: 纳米晶氧化物半导体)。例如,在nc-OS的高分辨率TEM图像中,有时无法明确地观察到晶界。注意,纳米晶的来源有可能与CAAC-OS中的颗粒相同。因此,下面有时将nc-OS的结晶部称为颗粒。

[0639] 在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。另外,nc-OS在不同的颗粒之间观察不到结晶取向的规律性。因此,在膜整体中观察不到取向性。所以,有时nc-OS在某些分析方法中与非晶氧化物半导体没有差别。例如,当利用使用其束径比颗粒大的X射线的XRD装置通过out-of-plane法对nc-OS进行结构分析时,检测不到表示结晶面的峰值。在使用其束径比颗粒大(例如,50nm以上)的电子射线对nc-OS进行电子衍射(选区电子衍射)时,观察到类似光晕图案的衍射图案。另一方面,在使用其束径近于颗粒或者比颗粒小的电子射线对nc-OS进行纳米束电子衍射时,观察到斑点。另外,在nc-OS的纳米束电子衍射图案中,有时观察到如圆圈那样的(环状的)亮度高的区域。而且,在nc-OS的纳米束电子衍射图案中,有时还观察到环状的区域内的多个斑点。

[0640] 如此,由于在颗粒(纳米晶)之间结晶取向都没有规律性,所以也可以将nc-OS称为包含RANC(Random Aligned nanocrystals:无规取向纳米晶)的氧化物半导体或包含NANC(Non-Aligned nanocrystals:无取向纳米晶)的氧化物半导体。

[0641] nc-OS是规律性比非晶氧化物半导体高的氧化物半导体。因此,nc-OS的缺陷态密度比非晶氧化物半导体低。但是,在nc-OS中的不同的颗粒之间观察不到晶体取向的规律性。所以,nc-OS的缺陷态密度比CAAC-OS高。

[0642] <非晶氧化物半导体>

[0643] 接着,说明非晶氧化物半导体。

[0644] 非晶氧化物半导体是膜中的原子排列没有规律且不具有结晶部的氧化物半导体。其一个例子为具有如石英那样的无定形状态的氧化物半导体。

[0645] 在非晶氧化物半导体的高分辨率TEM图像中无法发现结晶部。

[0646] 在使用XRD装置通过out-of-plane法对非晶氧化物半导体进行结构分析时,检测不到表示结晶面的峰值。在对非晶氧化物半导体进行电子衍射时,观察到光晕图案。在对非晶氧化物半导体进行纳米束电子衍射时,观察不到斑点而只观察到光晕图案。

[0647] 关于非晶结构有各种见解。例如,有时将原子排列完全没有规律性的结构称为完全的非晶结构(completely amorphous structure)。也有时将到最接近原子间距或到第二接近原子间距具有规律性,并且不是长程有序的结构称为非晶结构。因此,根据最严格的定义,即使是略微具有原子排列的规律性的氧化物半导体也不能被称为非晶氧化物半导体。至少不能将长程有序的氧化物半导体称为非晶氧化物半导体。因此,由于具有结晶部,例如不能将CAAC-OS和nc-OS称为非晶氧化物半导体或完全的非晶氧化物半导体。

[0648] <amorphous-like氧化物半导体>

[0649] 注意,氧化物半导体有时具有介于nc-OS与非晶氧化物半导体之间的结构。将具有这样的结构的氧化物半导体特别称为amorphous-like氧化物半导体(a-like OS: amorphous-like Oxide Semiconductor)。

[0650] 在a-like OS的高分辨率TEM图像中有时观察到空洞(void)。另外,在高分辨率TEM图像中,有能够明确地观察到结晶部的区域和不能观察到结晶部的区域。

[0651] 由于a-like OS包含空洞,所以其结构不稳定。为了证明与CAAC-OS及nc-OS相比a-like OS具有不稳定的结构,下面示出电子照射所导致的结构变化。

[0652] 作为进行电子照射的样品,准备a-like OS(样品A)、nc-OS(样品B)和CAAC-OS(样品C)。每个样品都是In-Ga-Zn氧化物。

[0653] 首先,取得各样品的高分辨率截面TEM图像。由高分辨率截面TEM图像可知,每个样品都具有结晶部。

[0654] 注意,如下那样决定将哪个部分作为一个结晶部。例如,已知 InGaZnO_4 结晶的单位晶格具有包括三个In-O层和六个Ga-Zn-O层的9个层在c轴方向上以层状层叠的结构。这些彼此靠近的层的间隔与(009)面的晶格表面间隔(也称为d值)是几乎相等的,由结晶结构分析求出其值为0.29nm。由此,可以将晶格条纹的间隔为0.28nm以上且0.30nm以下的部分作为 InGaZnO_4 结晶部。每个晶格条纹对应于 InGaZnO_4 结晶的a-b面。

[0655] 图56示出调查了各样品的结晶部(22个部分至45个部分)的平均尺寸的例子。注意,结晶部尺寸对应于上述晶格条纹的长度。由图56可知,在a-like OS中,结晶部根据电子的累积照射量逐渐变大。具体而言,如图56中的(1)所示,可知在利用TEM的观察初期尺寸为1.2nm左右的结晶部(也称为初始晶核)在累积照射量为 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 时生长到2.6nm左右。另一方面,可知nc-OS和CAAC-OS在开始电子照射时到电子的累积照射量为 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 的范围内,结晶部的尺寸都没有变化。具体而言,如图56中的(2)及(3)所示,可知无论电子的累积照射量如何,nc-OS及CAAC-OS的平均结晶部尺寸都分别为1.4nm左右及2.1nm左右。

[0656] 如此,有时电子照射引起a-like OS中的结晶部的生长。另一方面,可知在nc-OS和CAAC-OS中,几乎没有电子照射所引起的结晶部的生长。换言之,a-like OS与CAAC-OS及nc-OS相比具有不稳定的结构。

[0657] 此外,由于a-like OS包含空洞,所以其密度比nc-OS及CAAC-OS低。具体地,a-like OS的密度为具有相同组成的单晶氧化物半导体的78.6%以上且小于92.3%。nc-OS的密度及CAAC-OS的密度为具有相同组成的单晶氧化物半导体的92.3%以上且小于100%。注意,难以形成其密度小于单晶氧化物半导体的密度的78%的氧化物半导体。

[0658] 例如,在原子数比满足 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 的氧化物半导体中,具有菱方晶系结构的单晶 InGaZnO_4 的密度为 $6.357\text{g}/\text{cm}^3$ 。因此,例如,在原子数比满足 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 的氧化物半导体中,a-like OS的密度为 $5.0\text{g}/\text{cm}^3$ 以上且小于 $5.9\text{g}/\text{cm}^3$ 。另外,例如,在原子数比满足 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 的氧化物半导体中,nc-OS的密度和CAAC-OS的密度为 $5.9\text{g}/\text{cm}^3$ 以上且小于 $6.3\text{g}/\text{cm}^3$ 。

[0659] 注意,有时不存在相同组成的单晶。此时,通过以任意比例组合组成不同的单晶氧化物半导体,可以估计出相当于所希望的组成的单晶氧化物半导体的密度。根据组成不同的单晶的组合比例使用加权平均计算出相当于所希望的组成的单晶氧化物半导体的密度

即可。注意,优选尽可能减少所组合的单晶氧化物半导体的种类来计算密度。

[0660] 如上所述,氧化物半导体具有各种结构及各种特性。注意,氧化物半导体例如可以是包括非晶氧化物半导体、a-like OS、微晶氧化物半导体和CAAC-OS中的两种以上的叠层膜。

[0661] <成膜模型>

[0662] 下面对CAAC-OS和nc-OS的成膜模型的一个例子进行说明。

[0663] 图57A是示出利用溅射法形成CAAC-OS的状况的成膜室内的示意图。

[0664] 靶材5130被粘合到垫板上。在隔着垫板与靶材5130相对的位置配置多个磁铁。由该多个磁铁产生磁场。利用磁铁的磁场提高成膜速度的溅射法被称为磁控溅射法。

[0665] 衬底5120以与靶材5130相对的方式配置,其距离d(也称为靶材与衬底之间的距离(T-S间距离))为0.01m以上且1m以下,优选为0.02m以上且0.5m以下。成膜室内几乎被成膜气体(例如,氧、氩或包含5vol%以上的氧的混合气体)充满,并且成膜室内的压力被控制为0.01Pa以上且100Pa以下,优选为0.1Pa以上且10Pa以下。在此,通过对靶材5130施加一定程度以上的电压,开始放电且确认到等离子体。由磁场在靶材5130附近形成高密度等离子体区域。在高密度等离子体区域中,因成膜气体的离子化而产生离子5101。离子5101例如是氧的阳离子(O^+)或氩的阳离子(Ar^+)等。

[0666] 这里,靶材5130具有包括多个晶粒的多晶结构,其中至少一个晶粒包括劈开面。作为一个例子,图58A示出靶材5130所包含的 $InGaZnO_4$ 结晶的结构。注意,图58A示出从平行于b轴的方向观察 $InGaZnO_4$ 结晶时的结构。由图58A可知,在靠近的两个Ga-Zn-O层中,每个层中的氧原子彼此配置得很近。并且,通过氧原子具有负电荷,在靠近的两个Ga-Zn-O层之间产生斥力。其结果, $InGaZnO_4$ 结晶在靠近的两个Ga-Zn-O层之间具有劈开面。

[0667] 在高密度等离子体区域产生的离子5101由电场向靶材5130一侧被加速而碰撞到靶材5130。此时,平板状或颗粒状的溅射粒子的颗粒5100a和颗粒5100b从劈开面剥离而溅出。注意,颗粒5100a和颗粒5100b的结构有时会因离子5101碰撞的冲击而产生畸变。

[0668] 颗粒5100a是具有三角形(例如正三角形)的平面的平板状或颗粒状的溅射粒子。颗粒5100b是具有六角形(例如正六角形)的平面的平板状或颗粒状的溅射粒子。注意,将颗粒5100a和颗粒5100b等平板状或颗粒状的溅射粒子总称为颗粒5100。颗粒5100的平面的形状不局限于三角形或六角形。例如,有时为组合多个三角形的形状。例如,还有时为组合两个三角形(例如正三角形)的四角形(例如菱形)。

[0669] 根据成膜气体的种类等决定颗粒5100的厚度。颗粒5100的厚度优选为均匀的,其理由在后面说明。另外,与厚度大的色子状相比,溅射粒子优选为厚度小的颗粒状。例如,颗粒5100的厚度为0.4nm以上且1nm以下,优选为0.6nm以上且0.8nm以下。另外,例如,颗粒5100的宽度为1nm以上且3nm以下,优选为1.2nm以上且2.5nm以下。颗粒5100相当于在上述图56中的(1)所说明的初始晶核。例如,在使离子5101碰撞包含In-Ga-Zn氧化物的靶材5130的情况下,如图58B所示,包含Ga-Zn-O层、In-O层和Ga-Zn-O层的三个层的颗粒5100剥离。图58C示出从平行于c轴的方向观察剥离的颗粒5100时的结构。可以将颗粒5100的结构称为包含两个Ga-Zn-O层和In-O层的纳米尺寸的三明治结构。

[0670] 有时颗粒5100在穿过等离子体时,其侧面带负电或带正电。例如,在颗粒5100中,位于其侧面的氧原子有可能带负电。因侧面带相同极性的电荷而电荷相互排斥,从而可以

维持平板形状或颗粒形状。当CAAC-OS是In-Ga-Zn氧化物时,与铟原子键合的氧原子有可能带负电。或者,与铟原子、镓原子或锌原子键合的氧原子有可能带负电。另外,有时颗粒5100在穿过等离子体时与等离子体中的铟原子、镓原子、锌原子和氧原子等键合而生长。上述图56中的(2)和(1)的尺寸的差异相当于等离子体中的生长程度。在此,当衬底5120的温度为室温左右时,不容易产生衬底5120上的颗粒5100的生长,因此成为nc-OS(参照图57B)。由于能够在室温左右的温度下进行成膜,即使衬底5120的面积大也能够形成nc-OS。注意,为了使颗粒5100在等离子体中生长,提高溅射法中的成膜功率是有效的。通过提高成膜功率,可以使颗粒5100的结构稳定。

[0671] 如图57A和图57B所示,例如颗粒5100像风筝那样在等离子体中飞着,并轻飘飘地飞到衬底5120上。由于颗粒5100带有电荷,所以在它靠近其他颗粒5100已沉积的区域时产生斥力。在此,在衬底5120的顶面产生平行于衬底5120顶面的磁场(也称为水平磁场)。另外,由于在衬底5120与靶材5130之间有电位差,所以电流从衬底5120向靶材5130流过。因此,颗粒5100在衬底5120顶面受到由磁场和电流的作用引起的力量(洛伦兹力)。这可以由弗莱明左手定则得到解释。

[0672] 颗粒5100的质量比一个原子大。因此,为了在衬底5120顶面移动,重要的是从外部施加某些力量。该力量之一有可能是由磁场和电流的作用产生的力量。为了对颗粒5100施加充分的力量以便颗粒5100在衬底5120顶面移动,优选在衬底5120顶面设置平行于衬底5120顶面的磁场为10G以上,优选为20G以上,更优选为30G以上,进一步优选为50G以上的区域。或者,优选在衬底5120顶面设置平行于衬底5120顶面的磁场为垂直于衬底5120顶面的磁场的1.5倍以上,优选为2倍以上,更优选为3倍以上,进一步优选为5倍以上的区域。

[0673] 此时,通过磁铁与衬底5120相对地移动或旋转,衬底5120顶面的水平磁场的方向不断地变化。因此,在衬底5120顶面,颗粒5100受到各种方向的力量而可以向各种方向移动。

[0674] 另外,如图57A所示,当衬底5120被加热时,颗粒5100与衬底5120之间的由摩擦等引起的电阻小。其结果,颗粒5100在衬底5120顶面下滑。颗粒5100的移动发生在使其平板面朝向衬底5120的状态下。然后,当颗粒5100到达已沉积的其他颗粒5100的侧面时,它们的侧面彼此键合。此时,颗粒5100的侧面的氧原子脱离。CAAC-OS中的氧空位有时被所脱离的氧原子填补,因此形成缺陷态密度低的CAAC-OS。注意,衬底5120的顶面温度例如为100℃以上且小于500℃、150℃以上且小于450℃或170℃以上且小于400℃即可。因此,即使衬底5120的面积大也能够形成CAAC-OS。

[0675] 另外,通过在衬底5120上加热颗粒5100,原子重新排列,从而离子5101的碰撞所引起的结构畸变得到缓和。畸变得到缓和的颗粒5100几乎成为单晶。由于颗粒5100几乎成为单晶,即使颗粒5100在彼此键合之后被加热也几乎不会发生颗粒5100本身的伸缩。因此,不会发生颗粒5100之间的空隙扩大导致晶界等缺陷的形成而成为裂缝(crevasse)的情况。

[0676] CAAC-OS不是如一张平板的单晶氧化物半导体,而是具有如砖块或块体堆积起来那样的颗粒5100(纳米晶)的集合体的排列的结构。另外,颗粒5100之间没有晶界。因此,即使因成膜时的加热、成膜后的加热或弯曲等而发生CAAC-OS的收缩等变形,也能够缓和局部应力或解除畸变。因此,这是适合于具有柔性的半导体装置的结构。注意,nc-OS具有颗粒5100(纳米晶)无序地堆积起来那样的排列。

[0677] 当使离子5101碰撞靶材5130时,有时不仅是颗粒5100,氧化锌等也剥离。氧化锌比颗粒5100轻,因此先到达衬底5120的顶面。并且形成0.1nm以上且10nm以下、0.2nm以上且5nm以下或0.5nm以上且2nm以下的氧化锌层5102。图59A至图59D示出截面示意图。

[0678] 如图59A所示,在氧化锌层5102上沉积颗粒5105a和颗粒5105b。在此,颗粒5105a和颗粒5105b的侧面彼此接触。另外,颗粒5105c在沉积到颗粒5105b上后,在颗粒5105b上滑动。此外,在颗粒5105a的其他侧面上,与氧化锌一起从靶材剥离的多个粒子5103因来自衬底5120的热量而晶化,由此形成区域5105a1。注意,多个粒子5103有可能包含氧、锌、镉和镓等。

[0679] 然后,如图59B所示,区域5105a1与颗粒5105a变为一体而成为颗粒5105a2。另外,颗粒5105c的侧面与颗粒5105b的其他侧面接触。

[0680] 接着,如图59C所示,颗粒5105d在沉积到颗粒5105a2上和颗粒5105b上后,在颗粒5105a2上和颗粒5105b上滑动。另外,颗粒5105e在氧化锌层5102上向颗粒5105c的其他侧面滑动。

[0681] 然后,如图59D所示,颗粒5105d的侧面与颗粒5105a2的侧面接触。另外,颗粒5105e的侧面与颗粒5105c的其他侧面接触。此外,在颗粒5105d的其他侧面上,与氧化锌一起从靶材5130剥离的多个粒子5103因来自衬底5120的热量而晶化,由此形成区域5105d1。

[0682] 如上所述,通过所沉积的颗粒彼此接触,并且在颗粒的侧面发生生长,在衬底5120上形成CAAC-OS。因此,CAAC-OS的颗粒的每一个都比nc-OS的颗粒大。上述图56中的(3)和(2)的尺寸的差异相当于沉积之后的生长程度。

[0683] 当颗粒彼此之间的空隙极小时,有时形成有一个大颗粒。一个大颗粒具有单晶结构。例如,从顶面看来颗粒的尺寸有时为10nm以上且200nm以下、15nm以上且100nm以下或20nm以上且50nm以下。此时,有时在用于微细的晶体管的氧化物半导体中,沟道形成区域容纳在一个大颗粒中。换言之,可以将具有单晶结构的区域用作沟道形成区域。另外,当颗粒变大时,有时可以将具有单晶结构的区域用作晶体管的沟道形成区域、源区域和漏区域。

[0684] 如此,通过晶体管的沟道形成区域等形成在具有单晶结构的区域中,有时可以提高晶体管的频率特性。

[0685] 如上述模型那样,可以认为颗粒5100沉积到衬底5120上。因此,可知即使被形成面不具有结晶结构,也能够形成CAAC-OS,这是与外延生长不同的。此外,CAAC-OS不需要激光晶化,并且在大面积的玻璃衬底等上也能够均匀地进行成膜。例如,即使衬底5120的顶面(被形成面)结构为非晶结构(例如非晶氧化硅),也能够形成CAAC-OS。

[0686] 另外,可知即使作为被形成面的衬底5120顶面具有凹凸,在CAAC-OS中颗粒5100也根据衬底5120顶面的形状排列。例如,当衬底5120的顶面在原子级别上平坦时,颗粒5100以使其平行于a-b面的平板面朝下的方式排列。当颗粒5100的厚度均匀时,形成厚度均匀、平坦且结晶性高的层。并且,通过层叠n个(n是自然数)该层,可以得到CAAC-OS。

[0687] 另一方面,在衬底5120的顶面具有凹凸的情况下,CAAC-OS也具有颗粒5100沿凹凸排列的层层叠为n个(n是自然数)层的结构。由于衬底5120具有凹凸,在CAAC-OS中有时容易在颗粒5100之间产生空隙。注意,此时,由于在颗粒5100之间产生分子间力,所以即使有凹凸,颗粒也以尽可能地减小它们之间的空隙的方式排列。因此,即使有凹凸也可以得到结晶性高的CAAC-OS。

[0688] 因为根据这样的模型形成CAAC-OS,所以溅射粒子优选为厚度小的颗粒状。注意,当溅射粒子为厚度大的色子状时,朝向衬底5120上的面不固定,所以有时不能使厚度或结晶的取向均匀。

[0689] 根据上述成膜模型,即使在具有非晶结构的被形成面上也可以形成结晶性高的CAAC-OS。

[0690] 本实施方式所示的结构及方法可以与其他实施方式所示的结构及方法适当地组合而使用。

[0691] 实施方式7

[0692] 在本实施方式中,使用图40A至图42说明使用前面例示的晶体管且具有显示功能的显示装置的一个例子。

[0693] 图40A是示出显示装置的一个例子的俯视图。图40A所示的显示装置700包括:设置在第一衬底701上的像素部702;设置在第一衬底上的作为驱动电路部的源极驱动电路部704及栅极驱动电路部706;以围绕像素部702、源极驱动电路部704及栅极驱动电路部706的方式配置的密封剂712;以及以与第一衬底701相对的方式设置的第二衬底705。第一衬底701及第二衬底705由密封剂712密封。换言之,像素部702、驱动电路部704及栅极驱动电路部706由第一衬底701、密封剂712及第二衬底705密封。注意,虽然在图40A中未图示,但是在第一衬底701与第二衬底705之间设置有显示元件。

[0694] 另外,在显示装置700中,在第一衬底701上的不由密封剂712围绕的区域中设置有电连接于像素部702、源极驱动电路部704及栅极驱动电路部706的FPC(Flexible print circuit:柔性印刷电路)端子部708。此外,FPC端子部708连接于FPC716,并且通过FPC716对像素部702、源极驱动电路部704及栅极驱动电路部706供应各种信号等。另外,像素部702、源极驱动电路部704、栅极驱动电路部706以及FPC端子部708各与信号线710a连接。由FPC716供应的各种信号等是通过信号线710a供应到像素部702、源极驱动电路部704、栅极驱动电路部706以及FPC端子部708的。

[0695] 图40B是示出显示装置的一个例子的俯视图。作为图40B所示的显示装置800,使用像素部802代替图40A所示的显示装置700的像素部702,并且使用信号线710b代替信号线710a。

[0696] 另外,也可以在显示装置700、800中设置多个栅极驱动电路部706。另外,作为显示装置700、800,虽然示出将源极驱动电路部704及栅极驱动电路部706形成在与像素部702、802相同的第一衬底701上的例子,但是并不局限于该结构。例如,既可以只将栅极驱动电路部706形成在第一衬底701上,又可以只将源极驱动电路部704形成在第一衬底701上。此时,也可以采用将另行准备的形成有源极驱动电路或栅极驱动电路等的衬底(例如,由单晶半导体膜、多晶半导体膜形成的驱动电路衬底)安装于第一衬底701的结构。

[0697] 另外,对另行形成的驱动电路衬底的连接方法没有特别的限制,而可以采用COG(Chip On Glass:玻璃覆晶封装)方法、引线键合方法等。注意,本说明书中的显示装置是指图像显示装置或光源(包括照明装置等)。另外,显示装置还包括:安装有诸如FPC、TCP(Tape Carrier Package:载带封装)的连接器的模块;在TCP的端部设置有印刷线路板的模块;或者通过COG方式将驱动电路衬底或IC(集成电路)直接安装到显示元件的模块。

[0698] 另外,显示装置700、800所包括的像素部702、802、源极驱动电路部704及栅极驱动

电路部706包括多个晶体管,作为该多个晶体管可以适用本发明的一个实施方式的半导体装置的晶体管。

[0699] 另外,显示装置700作为显示元件使用液晶元件,而显示装置800作为显示元件使用发光元件。

[0700] 注意,显示元件、作为包括显示元件的装置的显示装置、发光元件以及作为包括发光元件的装置的发光装置可以采用各种方式或者包括各种元件。作为显示元件、显示装置、发光元件或发光装置的一个例子,有对比度、亮度、反射率、透射率等因电磁作用而发生变化的显示媒体,如EL(电致发光)元件(包含有机和无机材料的EL元件、有机EL元件或无机EL元件)、LED(白色LED、红色LED、绿色LED、蓝色LED等)、晶体管(根据电流而发光的晶体管)、电子发射元件、液晶元件、电子墨水、电泳元件、光栅光阀(GLV)、等离子体显示器(PDP)、使用微电机系统(MEMS)的显示元件、数字微镜设备(DMD)、数字微快门(DMS)、MIRASOL(注册商标)、IMOD(干涉测量调节)元件、快门方式的MEMS显示元件、光干涉方式的MEMS显示元件、电润湿(electrowetting)元件、压电陶瓷显示器或碳纳米管等。作为使用EL元件的显示装置的一个例子,有EL显示器等。作为使用电子发射元件的显示装置的一个例子,有场致发射显示器(FED)或SED方式平面型显示器(SED:Surface-conduction Electron-emitter Display:表面传导电子发射显示器)等。作为使用液晶元件的显示装置的一个例子,有液晶显示器(透射式液晶显示器、半透射式液晶显示器、反射式液晶显示器、直观式液晶显示器、投射式液晶显示器)等。作为使用电子墨水或电泳元件的显示装置的一个例子,有电子纸等。注意,当实现半透射式液晶显示器或反射式液晶显示器时,使像素电极的一部分或全部具有反射电极的功能,即可。例如,使像素电极的一部分或全部包含铝、银等,即可。并且,此时也可以将SRAM等存储电路设置在反射电极下。由此,可以进一步降低功耗。

[0701] 使用图41至图43详细说明显示装置700及显示装置800,首先说明显示装置700与显示装置800的相同的部分,接着说明不同的部分。

[0702] <显示装置的相同的部分的说明>

[0703] 图41是相当于沿着图40A所示的点划线Q-R的截面的截面图。图42是相当于沿着图40B所示的点划线V-W的截面的截面图。

[0704] 图41及图42所示的显示装置700、800包括:引绕布线部711;像素部702、802;源极驱动电路部704;以及FPC端子部708。引绕布线部711包括信号线710a或信号线710b。

[0705] 另外,引绕布线部711所包括的信号线710a与用作晶体管750、752的源电极及漏电极的导电膜在同一工序中形成。另外,引绕布线部711所包括的信号线710b与晶体管750、752的栅电极、源电极及漏电极在不同的工序中形成。信号线710a、710b可以使用与用作晶体管750、752的栅电极的导电膜在同一工序中形成的导电膜或与栅电极、源电极或漏电极在不同的工序中形成的导电膜。

[0706] 另外,FPC端子部708包括连接电极760、各向异性导电膜780及FPC716。连接电极760与用作晶体管750的源电极层及漏电极层的导电膜在同一工序中形成。另外,连接电极760与FPC716所包括的端子通过各向异性导电膜780电连接。

[0707] 另外,在图41及图42所示的显示装置700、800中,例示出在像素部702、802中设置晶体管750,并在源极驱动电路部704中设置晶体管752的结构。晶体管750是与实施方式3所示的晶体管390相同的结构,晶体管752是与实施方式3所示的晶体管394相同的结构。注意,

晶体管750及晶体管752的结构不局限于晶体管390及晶体管394的结构,而可以适当地使用其他晶体管的结构。

[0708] 在本实施方式中使用的晶体管包含实现了高度纯化且抑制了氧空位的形成的氧化物半导体膜,可以降低关闭状态下的电流值(关态电流值)。由此,可以延长图像信号等电信号的保持时间,从而可以延长电源开启状态下的写入间隔。因此,可以降低刷新工作的频度,由此可以发挥抑制功耗的效果。

[0709] 另外,在本实施方式中使用的晶体管包含实现了高度纯化且抑制了氧空位的形成的氧化物半导体膜,可以得到较高的场效应迁移率,所以能够进行高速驱动。例如,通过将这种能够进行高速驱动的晶体管用于液晶显示装置,可以将像素部的开关晶体管和用于驱动电路部的驱动晶体管形成在同一个衬底上。换言之,因为作为驱动电路不需要另行使用由硅晶片等形成的半导体装置,所以可以缩减半导体装置的构件数量。另外,通过在像素部中也使用能够进行高速驱动的晶体管,可以提供高质量的图像。

[0710] 另外,作为与像素部中的晶体管及驱动电路部中的晶体管连接的信号线,可以使用含有铜元素的布线。因此,在本发明的一个实施方式的显示装置中,起因于布线电阻的信号延迟等较少且能够在大屏幕显示。

[0711] 注意,在本实施方式中,像素部702、802所包括的晶体管750与源极驱动电路部704所包括的晶体管752的尺寸相同,但是并不局限于此。可以适当地改变用于像素部702和源极驱动电路部704的晶体管的尺寸(L/W)或数量等。另外,虽然在图41和图42中未图示栅极驱动电路部706,但是通过改变栅极驱动电路部706的连接位置或连接方法,可以使栅极驱动电路部706与源极驱动电路部704的结构相同。

[0712] 另外,在图41及图42中,在晶体管750及晶体管752所包括的绝缘膜764、766上设置有平坦化绝缘膜770。

[0713] 作为绝缘膜766,可以使用与前面的实施方式所示的绝缘膜376同样的材料及制造方法形成。

[0714] 另外,作为平坦化绝缘膜770,可以使用具有耐热性的有机材料如聚酰亚胺树脂、丙烯酸树脂、聚酰亚胺酰胺树脂、苯并环丁烯树脂、聚酰胺树脂、环氧树脂等。另外,也可以层叠多个由上述材料形成的绝缘膜来形成平坦化绝缘膜770。另外,也可以采用不设置平坦化绝缘膜770的结构。

[0715] 另外,用作晶体管750所包括的源电极及漏电极的导电膜的一方与导电膜772或导电膜844连接。导电膜772、844被用作形成在平坦化绝缘膜770上的像素电极,即显示元件的一方的电极。作为导电膜772,优选使用对可见光具有透光性的导电膜。作为该导电膜,例如,使用包含选自铟(In)、锌(Zn)、锡(Sn)中的一种的材料即可。另外,作为导电膜844,优选使用具有反射性的导电膜。

[0716] <作为显示元件使用液晶元件的显示装置的结构例子1>

[0717] 图41所示的显示装置700包括液晶元件775。液晶元件775包括导电膜772、导电膜774及液晶层776。导电膜774被设置在第二衬底705一侧,并具有对置电极的功能。图41所示的显示装置700可以通过施加到导电膜772及导电膜774的电压改变液晶层776的取向状态,由此控制光的透过及非透过而显示图像。

[0718] 注意,虽然在图41中未图示,但是也可以分别在导电膜772、774的与液晶层776接

触的一侧设置取向膜。

[0719] 另外,显示装置700在第二衬底705一侧包括遮光膜738、绝缘膜734及着色膜736。在与液晶元件775重叠的位置设置有着色膜736,并且在引绕布线部711及源极驱动电路部704中设置有遮光膜738。着色膜736及遮光膜738被绝缘膜734覆盖。由于驱动电路部的晶体管752及像素部的晶体管750与遮光膜738重叠,因此可以防止外光照射到晶体管。注意,也可以代替遮光膜738而设置着色膜。

[0720] 另外,虽然在图41中未图示,但是可以适当地设置偏振构件、相位差构件、抗反射构件等光学构件(光学衬底)等。例如,也可以使用利用偏振衬底以及相位差衬底的圆偏振。此外,作为光源,也可以使用背光、侧光等。

[0721] 作为第一衬底701及第二衬底705,例如可以使用玻璃衬底。另外,作为第一衬底701及第二衬底705,可以使用具有柔性的衬底。作为该具有柔性的衬底,例如可以举出塑料衬底等。

[0722] 另外,在第一衬底701与第二衬底705之间设置有间隔物778。间隔物778是通过对绝缘膜选择性地蚀刻而获得的柱状间隔物,并且该间隔物是为了控制液晶层776的厚度(液晶盒厚度(cell gap))而设置的。注意,作为间隔物778也可以使用球状的间隔物。

[0723] 当作为显示元件使用液晶元件时,可以使用热致液晶、低分子液晶、高分子液晶、高分子分散型液晶、铁电液晶、反铁电液晶等。这些液晶材料根据条件呈现出胆甾相、近晶相、立方相、手征向列相、各向同性相等。

[0724] 另外,在采用横向电场方式的情况下,也可以使用不需要取向膜的呈现蓝相的液晶。蓝相是液晶相的一种,当使胆甾相液晶的温度上升时,在即将从胆甾相转变到各向同性相之前出现。由于蓝相只出现在较窄的温度范围内,所以为了改善温度范围而将混合有几十wt.%以上的手性试剂的液晶组成物用于液晶层。包含呈现蓝相的液晶和手征试剂的液晶组成物的响应速度快,并且具有光学各向同性。另外,包含呈现蓝相的液晶和手征试剂的液晶组成物不需要取向处理且视角依赖性小。另外,因不需要设置取向膜而不需要摩擦处理,因此可以防止由于摩擦处理而引起的静电破坏,由此可以降低制造工序中的液晶显示装置的不良和破损。

[0725] 另外,当作为显示元件使用液晶元件时,可以采用TN(Twisted Nematic:扭曲向列)模式、IPS(In-Plane-Switching:平面内转换)模式、FFS(FringeField Switching:边缘电场转换)模式、ASM(Axially Symmetric aligned Micro-cell:轴对称排列微单元)模式、OCB(Optical Compensated Birefringence:光学补偿弯曲)模式、FLC(Ferroelectric Liquid Crystal:铁电液晶)模式、AFLC(Anti Ferroelectric Liquid Crystal:反铁电液晶)模式等。

[0726] 另外,也可以使用常黑型液晶显示装置,例如采用垂直取向(VA)模式的透射式液晶显示装置。作为垂直配向模式,可以举出几个例子,例如可以使用MVA(Multi-Domain Vertical Alignment:多象限垂直取向)模式、PVA(Patterned Vertical Alignment:垂直取向构型)模式、ASV(Advanced Super View:高级超视觉)模式等。

[0727] 另外,作为像素部702中的显示方式,可以采用逐行扫描方式或隔行扫描方式等。此外,作为当进行彩色显示时在像素中控制的色彩要素,不局限于RGB(R表示红色,G表示绿色,B表示蓝色)这三种色彩。例如,也可以由R像素、G像素、B像素及W(白色)像素这四个像素

构成。或者,如PenTile排列,也可以由RGB中的两个颜色构成一个颜色要素,并根据颜色要素选择不同的两个颜色来构成。或者可以对RGB追加黄色(yellow)、青色(cyan)、品红色(magenta)等中的一种以上的颜色。另外,各个颜色要素的点的显示区域的大小可以不同。但是,所公开的发明不局限于彩色显示的显示装置,也可以应用于黑白显示的显示装置。

[0728] <作为显示元件使用发光元件的显示装置>

[0729] 图42所示的显示装置800包括发光元件880。发光元件880包括导电膜844、EL层846及导电膜848。通过使发光元件880所包括的EL层846发光,显示装置800可以显示图像。

[0730] 另外,图42所示的显示装置800中设置有平坦化绝缘膜770及导电膜844上的绝缘膜830。绝缘膜830覆盖导电膜844的一部分。注意,发光元件880具有顶部发射结构。因此,导电膜848具有透光性,而使EL层846所发射的光透过。注意,虽然在本实施方式中例示顶部发射结构,但是并不局限于此。例如,也可以适用对导电膜844一侧发射光的底部发射结构或对导电膜844及导电膜848的双方发射光的双面发射结构。

[0731] 另外,在与发光元件880重叠的位置设置有着色膜836,并且在与绝缘膜830重叠的位置、引绕布线部711以及源极驱动电路部704中设置有遮光膜838。着色膜836及遮光膜838被绝缘膜834覆盖。发光元件880与绝缘膜834之间填充有密封膜832。注意,虽然在显示装置800中例示出设置着色膜836的结构,但是不局限于此。例如,在通过分别涂布(separate coloring)来形成EL层846时,也可以采用不设置着色膜836的结构。

[0732] 接着,使用图43说明作为图41所示的显示装置700的变形例子的显示装置700a。

[0733] <作为显示元件使用液晶元件的显示装置的结构例子2>

[0734] 图43所示的显示装置700a包括液晶元件775。液晶元件775包括导电膜773、导电膜777及液晶层776。导电膜773被设置在第一衬底701上的平坦化绝缘膜770上,并具有反射电极的功能。图43所示的显示装置700a是将外光由导电膜773反射并通过着色膜836来进行显示的所谓反射式彩色液晶显示装置。

[0735] 在图43所示的显示装置700a中,在像素部702的平坦化绝缘膜770的一部分中设置有凹凸。该凹凸例如可以通过使用有机树脂膜等形成平坦化绝缘膜770并对该有机树脂膜的表面设置凹凸而形成。另外,用作反射电极的导电膜773沿着上述凹凸形成。因此,当外光入射到导电膜773时,可以使光在导电膜773的表面漫反射,而可以提高可见度。

[0736] 另外,显示装置700a在第二衬底705一侧包括遮光膜838、绝缘膜834及着色膜836。另外,显示装置700a所包括的导电膜773与用作晶体管750的源电极或漏电极的导电膜电连接。作为导电膜773,可以通过援用用于导电膜844的材料及方法来形成。

[0737] 另外,显示装置700a包括电容元件790。电容元件790在一对电极之间包括绝缘膜。更具体而言,作为电容元件790,将与用作晶体管750的源电极或漏电极的导电膜在同一工序中形成的导电膜用作一方的电极,并将与用作晶体管750的栅电极的导电膜在同一工序中形成的导电膜792用作他方的电极,在上述导电膜之间包括与用作晶体管750的栅极绝缘膜的绝缘膜在同一工序中形成的绝缘膜。

[0738] 如上所述,本发明的一个实施方式的半导体装置的晶体管能够用于各种各样的显示装置。

[0739] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合而使用。

[0740] 实施方式8

[0741] 在本实施方式中,使用图44A至图44C说明可以使用本发明的一个实施方式的半导体装置的显示装置。

[0742] 图44A所示的显示装置包括:具有显示元件的像素的区域(以下称为像素部502);配置在像素部502的外侧并具有用来驱动像素的电路的电路部(以下称为驱动电路部504);具有保护元件的功能的电路(以下称为保护电路506);以及端子部507。注意,也可以采用不设置保护电路506的结构。

[0743] 驱动电路部504的一部分或全部优选与像素部502形成在同一衬底上。由此,可以减少构件的数量或端子的数量。当驱动电路部504的一部分或全部不与像素部502形成在同一衬底上时,驱动电路部504的一部分或全部也可以通过COG(Chip On Glass)或TAB(Tape Automated Bonding)安装。

[0744] 像素部502包括用来驱动配置为X行(X为2以上的自然数)Y列(Y为2以上的自然数)的多个显示元件的电路(以下称为像素电路501),驱动电路部504包括输出选择像素的信号(扫描信号)的电路(以下称为栅极驱动器504a)、用来供应用来驱动像素的显示元件的信号(数据信号)的电路(以下称为源极驱动器504b)等驱动电路。

[0745] 栅极驱动器504a具有移位寄存器等。栅极驱动器504a通过端子部507被输入用来驱动移位寄存器的信号并输出信号。例如,栅极驱动器504a被输入起始脉冲信号、时钟信号等并输出脉冲信号。栅极驱动器504a具有分别控制被供应扫描信号的布线(以下称为扫描线GL_1至GL_X。)的电位的功能。另外,也可以设置多个栅极驱动器504a,并通过多个栅极驱动器504a分别控制扫描线GL_1至GL_X。或者,栅极驱动器504a具有能够供应初始化信号的功能。但是,不局限于此,栅极驱动器504a也可以供应其他信号。

[0746] 源极驱动器504b具有移位寄存器等。除了用来驱动移位寄存器的信号之外,从其中得出数据信号的信号(视频信号)也通过端子部507被输入到源极驱动器504b。源极驱动器504b具有根据视频信号生成写入到像素电路501的数据信号的功能。另外,源极驱动器504b具有依照输入起始脉冲信号、时钟信号等而得到的脉冲信号来控制数据信号的输出的功能。另外,源极驱动器504b具有控制被供应数据信号的布线(以下称为信号线DL_1至DL_Y)的电位的功能。或者,源极驱动器504b具有能够供应初始化信号的功能。但是,不局限于此,源极驱动器504b可以供应其他信号。

[0747] 源极驱动器504b例如使用多个模拟开关等来构成。通过依次使多个模拟开关成为开启状态(on-state current),源极驱动器504b可以输出对图像信号进行时间分割而成的信号作为数据信号。此外,也可以使用移位寄存器等构成源极驱动器504b。

[0748] 多个像素电路501的每一个分别通过被供应扫描信号的多个扫描线GL之一而被输入脉冲信号,并通过被供应数据信号的多个信号线DL之一而被输入数据信号。另外,多个像素电路501的每一个通过栅极驱动器504a来控制数据信号的数据的写入及保持。例如,通过扫描线GL_m(m是X以下的自然数)从栅极驱动器504a对第m行第n列的像素电路501输入脉冲信号,并根据扫描线GL_m的电位而通过信号线DL_n(n是Y以下的自然数)从源极驱动器504b对第m行第n列的像素电路501输入数据信号。

[0749] 图44A所示的保护电路506例如连接于作为栅极驱动器504a与像素电路501之间的布线的扫描线GL。或者,保护电路506连接于作为源极驱动器504b与像素电路501之间的布线的信号线DL。或者,保护电路506可以连接于栅极驱动器504a与端子部507之间的布线。或

者,保护电路506可以连接于源极驱动器504b与端子部507之间的布线。此外,端子部507是指设置有用从外部的电路对显示装置输入电源、控制信号及视频信号的端子的部分。

[0750] 保护电路506是在自身所连接的布线被供应一定的范围之外的电位时使该布线与其他布线之间处于开启状态的电路。

[0751] 如图44A所示,通过对像素部502和驱动电路部504分别设置保护电路506,可以提高显示装置对因ESD(Electro Static Discharge:静电放电)等而产生的过电流的耐受性。但是,保护电路506的结构不局限于此,例如,也可以采用将栅极驱动器504a与保护电路506连接的结构或将源极驱动器504b与保护电路506连接的结构。或者,也可以采用将端子部507与保护电路506连接的结构。

[0752] 另外,虽然在图44A中示出由栅极驱动器504a和源极驱动器504b形成驱动电路部504的例子,但是不局限于该结构。例如,也可以采用只形成栅极驱动器504a并安装另行准备的形成有源极驱动电路的衬底(例如,由单晶半导体膜、多晶半导体膜形成的驱动电路衬底)的结构。

[0753] 另外,图44A所示的多个像素电路501例如可以采用图44B所示的结构。

[0754] 图44B所示的像素电路501包括液晶元件570、晶体管550以及电容元件560。

[0755] 作为晶体管550,可以适当地使用前面的实施方式所示的晶体管。

[0756] 根据像素电路501的规格适当地设定液晶元件570的一对电极中的一个电极的电位。根据被写入的数据设定液晶元件570的取向状态。此外,也可以对多个像素电路501的每一个所具有的液晶元件570的一对电极中的一个电极供应公共电位。此外,也可以对各行的像素电路501的每一个所具有的液晶元件570的一对电极中的一个电极供应不同的电位。

[0757] 例如,作为具备液晶元件570的显示装置的驱动方法也可以使用如下模式:TN模式;STN模式;VA模式;ASM(Axially Symmetric Aligned Micro-cell:轴对称排列微单元)模式;OCB(Optically Compensated Birefringence:光学补偿弯曲)模式;FLC(Ferroelectric Liquid Crystal:铁电性液晶)模式;AFLC(AntiFerroelectric Liquid Crystal:反铁电液晶)模式;MVA模式;PVA(Patterned Vertical Alignment:垂直取向构型)模式;IPS模式;FFS模式;或TBA(Transverse Bend Alignment:横向弯曲取向)模式等。另外,作为显示装置的驱动方法,除了上述驱动方法之外,还有ECB(Electrically Controlled Birefringence:电控双折射)模式、PDLC(Polymer Dispersed Liquid Crystal:聚合物分散型液晶)模式、PNLC(Polymer Network Liquid Crystal:聚合物网络型液晶)模式、宾主模式等。但是,不局限于此,作为液晶元件及其驱动方式可以使用各种液晶元件及驱动方式。

[0758] 在第m行第n列的像素电路501中,晶体管550的源电极和漏电极中的一方与信号线DL_n电连接,源极和漏极中的另一方与液晶元件570的一对电极中的另一个电极电连接。此外,晶体管550的栅电极与扫描线GL_m电连接。晶体管550具有通过成为开启状态或关闭状态而对数据信号的数据的写入进行控制的功能。

[0759] 电容元件560的一对电极中的一个电极与供应电位的布线(以下,称为电位供应线VL)电连接,另一个电极与液晶元件570的一对电极中的另一个电极电连接。此外,根据像素电路501的规格适当地设定电位供应线VL的电位的值。电容元件560具有储存被写入的数据的存储电容器的功能。

[0760] 例如,在具有图44B的像素电路501的显示装置中,例如,通过图44A所示的栅极驱动器504a依次选择各行的像素电路501,并使晶体管550成为开启状态而写入数据信号的数据。

[0761] 当晶体管550成为关闭状态时,被写入数据的像素电路501成为保持状态。通过按行依次进行上述步骤,可以显示图像。

[0762] 图44A所示的多个像素电路501例如可以采用图44C所示的结构。

[0763] 另外,图44C所示的像素电路501包括晶体管552、554、电容元件562以及发光元件572。在此,晶体管552和晶体管554中的任一方或双方可以适当地使用前面的实施方式所示的晶体管。

[0764] 晶体管552的源电极和漏电极中的一个电连接于被供应数据信号的布线(信号线DL_n)。并且,晶体管552的栅电极电连接于被供应栅极信号的布线(扫描线GL_m)。

[0765] 晶体管552具有通过成为开启状态或关闭状态而对数据信号的写入进行控制的功能。

[0766] 电容元件562的一对电极中的一个与被供应电位的布线(以下,称为电位供应线VL_a)电连接,另一个与晶体管552的源电极和漏电极中的另一个电连接。

[0767] 电容元件562具有储存被写入的数据的存储电容器的功能。

[0768] 晶体管554的源电极和漏电极中的一个与电位供应线VL_a电连接。并且,晶体管554的栅电极与晶体管552的源电极和漏电极中的另一个电连接。

[0769] 发光元件572的阳极和阴极中的一个与电位供应线VL_b电连接,另一个与晶体管554的源电极和漏电极中的另一个电连接。

[0770] 作为发光元件572,可以使用例如有机电致发光元件(也称为有机EL元件)等。注意,发光元件572并不局限于有机EL元件,也可以为由无机材料构成的无机EL元件。

[0771] 此外,电位供应线VL_a和电位供应线VL_b中的一个被施加高电源电位VDD,电位供应线VL_a和电位供应线VL_b中的另一个被施加低电源电位VSS。

[0772] 例如,在具有图44C的像素电路501的显示装置中,通过图44A所示的栅极驱动器504a依次选择各行的像素电路501,并使晶体管552成为开启状态而写入数据信号的数据。

[0773] 当晶体管552成为关闭状态时,被写入数据的像素电路501成为保持状态。并且,流在晶体管554的源电极与漏电极之间的电流量根据被写入的数据信号的电位被控制,发光元件572以对应于流动的电流量的亮度发光。通过按行依次进行上述步骤,可以显示图像。

[0774] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合而使用。

[0775] 实施方式9

[0776] 在本实施方式中,参照图45以及图46A至图46H对可以使用本发明的一个实施方式的半导体装置的显示模块及电子设备进行说明。

[0777] 图45所示的显示模块8000在上部覆盖物8001与下部覆盖物8002之间包括连接于FPC8003的触摸面板8004、连接于FPC8005的显示面板8006、背光8007、框架8009、印刷衬底8010、电池8011。

[0778] 例如可以将本发明的一个实施方式的半导体装置用于显示面板8006。

[0779] 上部覆盖物8001及下部覆盖物8002可以根据触摸面板8004及显示面板8006的尺寸适当地改变其形状或尺寸。

[0780] 触摸面板8004可以是电阻膜式触摸面板或静电容量式触摸面板,并且能够被形成与显示面板8006重叠。此外,也可以使显示面板8006的对置衬底(密封衬底)具有触摸面板的功能。另外,也可以在显示面板8006的各像素内设置光传感器,而用作光学触摸面板。

[0781] 背光8007具有光源8008。注意,虽然在图45中例示出在背光8007上配置光源8008的结构,但是不局限于此。例如,可以在背光8007的端部设置光源8008,并使用光扩散板。注意,当使用有机EL元件等自发光型的发光元件或反射式面板等时,也可以采用不设置背光8007的结构。

[0782] 框架8009除了具有保护显示面板8006的功能以外还具有用来遮断因印刷衬底8010的工作而产生的电磁波的电磁屏蔽的功能。此外,框架8009也可以具有散热板的功能。

[0783] 印刷衬底8010具有电源电路以及用来输出视频信号及时钟信号的信号处理电路。作为对电源电路供应电力的电源,既可以采用外部的商业电源,又可以采用另行设置的电池8011的电源。当使用商用电源时,可以省略电池8011。

[0784] 此外,在显示模块8000中还可以设置偏振片、相位差板、棱镜片等构件。

[0785] 图46A至图46H是示出电子设备的图。这些电子设备可以包括框体5000、显示部5001、扬声器5003、LED灯5004、操作键5005(包括电源开关或操作开关)、连接端子5006、传感器5007(具有测量如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)、麦克风5008等。

[0786] 图46A示出移动计算机,该移动计算机除了上述以外还可以包括开关5009、红外端口5010等。图46B示出具备记录介质的便携式图像再现装置(例如DVD再现装置),该便携式图像再现装置除了上述以外还可以包括第二显示部5002、记录介质读取部5011等。图46C示出护目镜型显示器,该护目镜型显示器除了上述以外还可以包括第二显示部5002、支撑部5012、耳机5013等。图46D示出便携式游戏机,该便携式游戏机除了上述以外还可以包括记录介质读取部5011等。图46E示出具有电视接收功能的数码相机,该数码相机除了上述以外还可以包括天线5014、快门按钮5015、图像接收部5016等。图46F示出便携式游戏机,该便携式游戏机除了上述以外还可以包括第二显示部5002、记录介质读取部5011等。图46G示出电视接收机,该电视接收机除了上述以外还可以包括调谐器、图像处理部等。图46H示出便携式电视接收机,该便携式电视接收机除了上述以外还可以包括能够收发信号的充电器5017等。

[0787] 图46A至图46H所示的电子设备可以具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图像、文字图像等)显示在显示部上;触控面板;显示日历、日期或时刻等;通过利用各种软件(程序)控制处理;进行无线通信;通过利用无线通信功能来连接到各种计算机网络;通过利用无线通信功能,进行各种数据的发送或接收;读出储存在记录介质中的程序或数据来将其显示在显示部上等。再者,在具有多个显示部的电子设备中,可以具有如下功能:一个显示部主要显示图像信息,而另一个显示部主要显示文字信息;或者,在多个显示部上显示考虑到视差的图像来显示立体图像等。再者,在具有图像接收部的电子设备中,可以具有如下功能:拍摄静态图像;拍摄动态图像;对所拍摄的图像进行自动或手动校正;将所拍摄的图像储存在记录介质(外部或内置于相机)中;将所拍摄的图像显示在显示部等。注意,图46A至图46H所示的电子设备可具有的功能不局限于上述功能,而可以

具有各种各样的功能。

[0788] 本实施方式所述的电子设备的特征在于具有用来显示某些信息的显示部。注意，本发明的一个实施方式的半导体装置也可以用于不具有显示部的电子设备。

[0789] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合而使用。

[0790] 符号说明

[0791] DL_Y:信号线,DL_1:信号线,GL_X:扫描线,GL_1:扫描线,102:衬底,103:绝缘膜,104:绝缘膜,104a:氮化物绝缘膜,104b:氧化物绝缘膜,106:氧化物半导体膜,106a:区域,106b:区域,106c:区域,106d:区域,107:氧化物半导体膜,107a:氧化物半导体膜,107b:氧化物半导体膜,107c:氧化物半导体膜,108:绝缘膜,109:导电膜,110:导电膜,110a:导电膜,110b:导电膜,110c:导电膜,111:掩模,112:导电膜,112a:导电膜,112b:导电膜,112c:导电膜,114:导电膜,114a:导电膜,114b:导电膜,114c:导电膜,116:绝缘膜,117:杂质元素,118:绝缘膜,119:膜,121:氧,122:绝缘膜,123:蚀刻气体,124:导电膜,135:端部,136:端部,137:端部,140a:开口部,140b:开口部,142a:开口部,142b:开口部,150:晶体管,151:晶体管,152:晶体管,153:晶体管,154:晶体管,156:氧化物半导体膜,159:电容元件,162:衬底,164:绝缘膜,164a:氮化物绝缘膜,164b:氧化物绝缘膜,166:氧化物半导体膜,166a:区域,166b:区域,166c:区域,166d:区域,167:蚀刻气体,167a:氧化物半导体膜,167b:氧化物半导体膜,167c:氧化物半导体膜,168:绝缘膜,169:导电膜,170:导电膜,170a:导电膜,170b:导电膜,170c:导电膜,172:导电膜,172a:导电膜,172b:导电膜,172c:导电膜,174:导电膜,174a:导电膜,174b:导电膜,174c:导电膜,176:绝缘膜,177:杂质元素,178:绝缘膜,180a:开口部,180b:开口部,182:绝缘膜,182a:开口部,182b:开口部,183:开口部,184:导电膜,190:晶体管,191:晶体管,192:晶体管,193:晶体管,194:晶体管,195:端部,196:端部,197:端部,198:氧化物半导体膜,199:电容元件,201:导电膜,206:氧化物半导体膜,210:导电膜,212:导电膜,214:导电膜,220a:开口部,220b:开口部,221:导电膜,226:氧化物半导体膜,230:导电膜,232:导电膜,234:导电膜,240a:开口部,240b:开口部,246:氧化物半导体膜,261:导电膜,265a:氧化物半导体膜,265b:氧化物半导体膜,266:氧化物半导体膜,267a:氧化物半导体膜,267b:氧化物半导体膜,267c:氧化物半导体膜,268:导电膜,270:导电膜,272:绝缘膜,274:导电膜,306:氧化物半导体膜,312:绝缘膜,331a:侧壁绝缘膜,331b:侧壁绝缘膜,350:晶体管,354:晶体管,362:衬底,364:绝缘膜,364a:氮化物绝缘膜,364b:氧化物绝缘膜,366:氧化物半导体膜,366a:区域,366b:区域,366c:区域,366d:区域,366e:偏置区,366x:区域,366y:区域,367:导电膜,367a:氧化物半导体膜,367b:氧化物半导体膜,367c:氧化物半导体膜,368:导电膜,368a:导电膜,368b:导电膜,368c:导电膜,368d:导电膜,370:导电膜,370a:导电膜,370b:导电膜,370c:导电膜,370d:导电膜,372:绝缘膜,373:导电膜,374:导电膜,374a:导电膜,374b:导电膜,374d:导电膜,374e:导电膜,375:绝缘膜,376:绝缘膜,377:杂质元素,382:绝缘膜,384:导电膜,385:端部,386:端部,387:端部,388a:开口部,388b:开口部,390:晶体管,390a:晶体管,391:晶体管,392:晶体管,393:晶体管,394:晶体管,395a:晶体管,395b:晶体管,396:氧化物半导体膜,397a:晶体管,397b:晶体管,399:电容元件,501:像素电路,502:像素部,504:驱动电路部,504a:栅极驱动器,504b:源极驱动器,506:保护电路,507:端子部,550:晶体管,552:晶体管,554:晶体管,560:电容元件,562:电容元件,570:液晶元件,572:发光元件,700:显示装置,700a:显示

装置,701:衬底,702:像素部,704:源极驱动电路部,705:衬底,706:栅极驱动电路部,708:FPC端子部,710a:信号线,710b:信号线,711:布线部,712:密封剂,716:FPC,734:绝缘膜,736:着色膜,738:遮光膜,750:晶体管,752:晶体管,760:连接电极,764:绝缘膜,766:绝缘膜,770:平坦化绝缘膜,772:导电膜,773:导电膜,774:导电膜,775:液晶元件,776:液晶层,777:导电膜,778:间隔物,780:各向异性导电膜,790:电容元件,792:导电膜,800:显示装置,802:像素部,830:绝缘膜,832:密封膜,834:绝缘膜,836:着色膜,838:遮光膜,844:导电膜,846:EL层,848:导电膜,880:发光元件,5000:框体,5001:显示部,5002:显示部,5003:扬声器,5004:LED灯,5005:操作键,5006:连接端子,5007:传感器,5008:麦克风,5009:开关,5010:红外端口,5011:记录介质读取部,5012:支撑部,5013:耳机,5014:天线,5015:快门按钮,5016:图像接收部,5017:充电器,5100:颗粒,5100a:颗粒,5100b:颗粒,5101:离子,5102:氧化锌层,5103:粒子,5105a:颗粒,5105a1:区域,5105a2:颗粒,5105b:颗粒,5105c:颗粒,5105d:颗粒,5105d1:区域,5105e:颗粒,5120:衬底,5130:靶材,5161:区域,8000:显示模块,8001:上部覆盖物,8002:下部覆盖物,8003:FPC,8004:触摸面板,8005:FPC,8006:显示面板,8007:背光,8008:光源,8009:框架,8010:印刷衬底,8011:电池

[0792] 本申请基于2013年12月27日提交到日本专利局的日本专利申请No.2013-271783,通过引用将其完整内容并入在此。

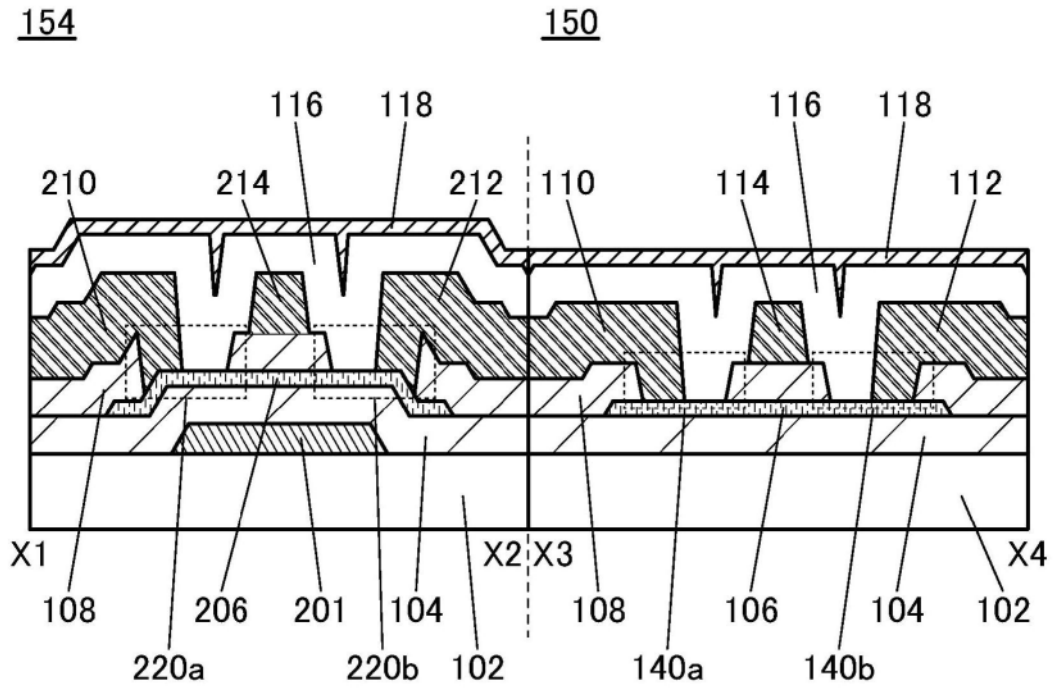


图1A

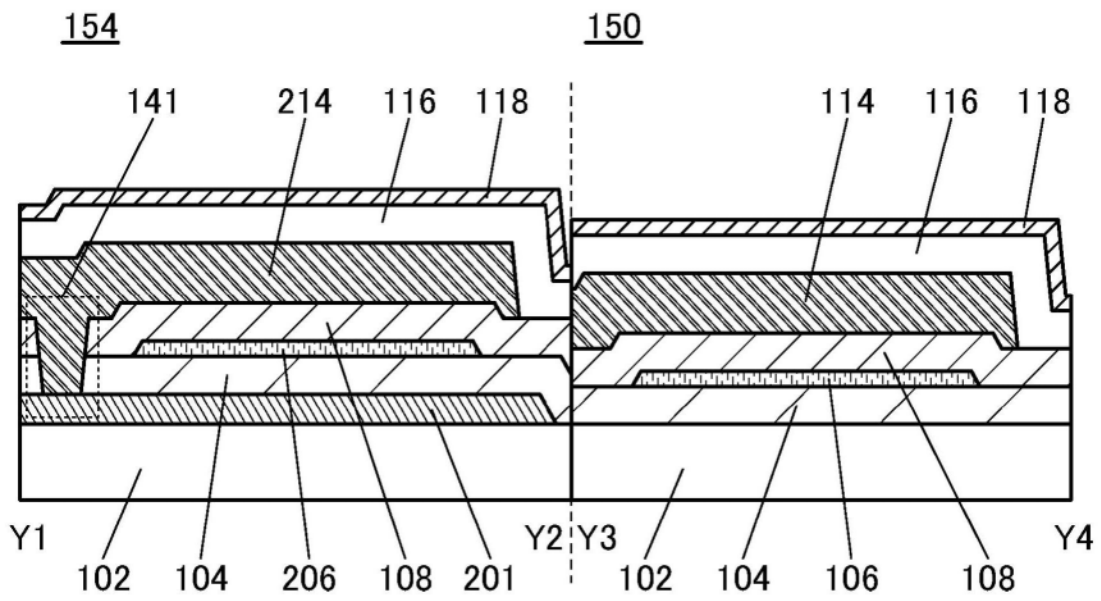


图1B

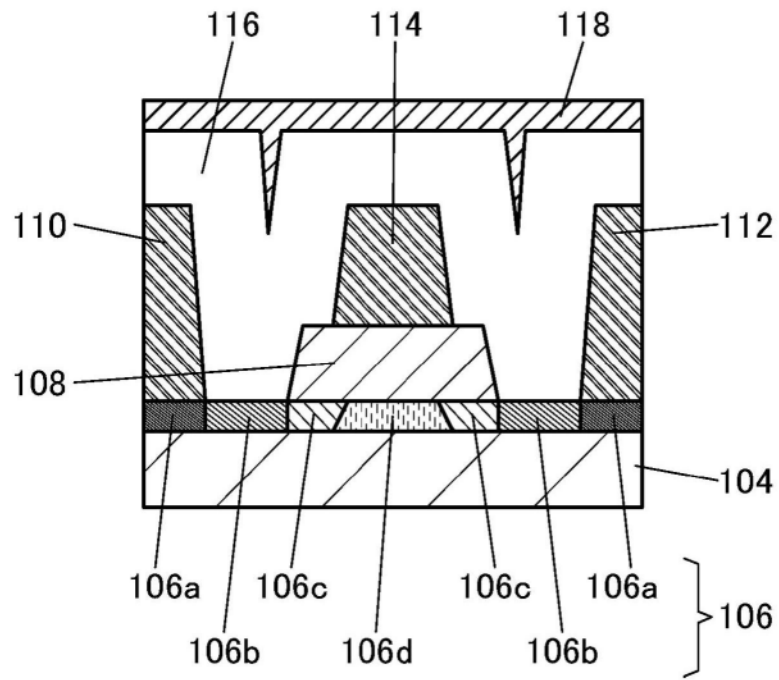


图2

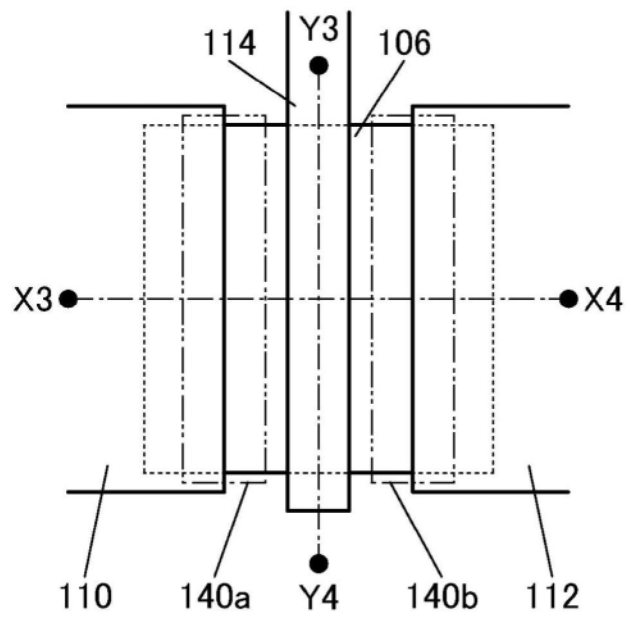
151

图3A

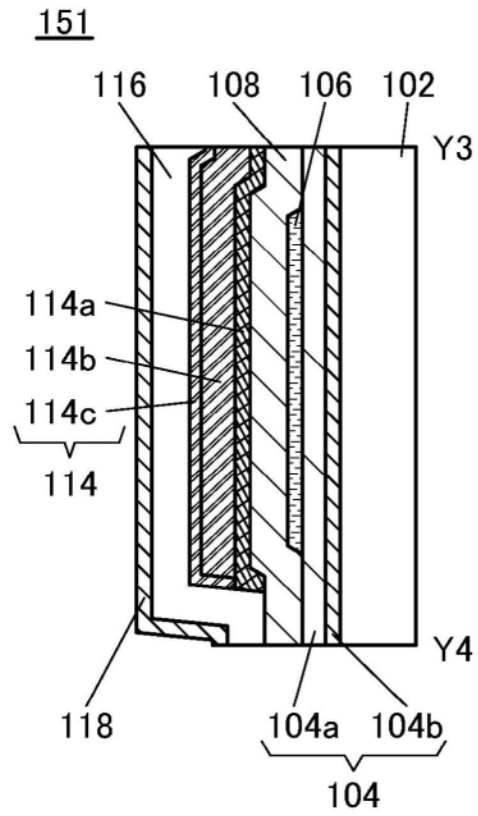


图3B

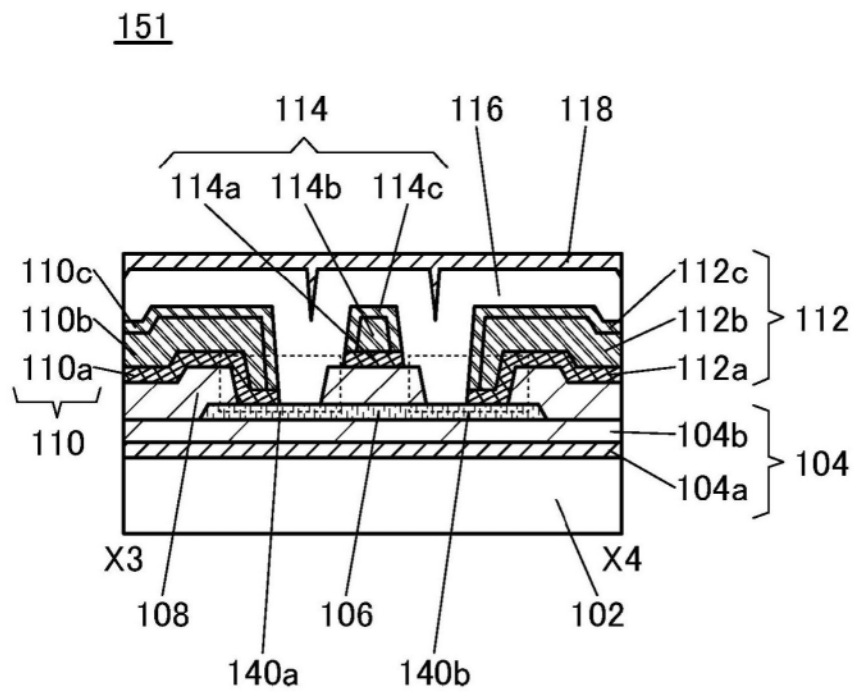


图3C

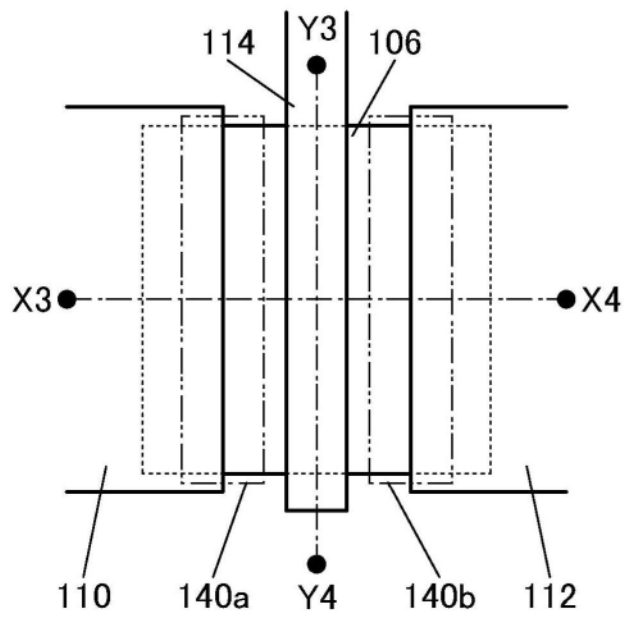
152

图4A

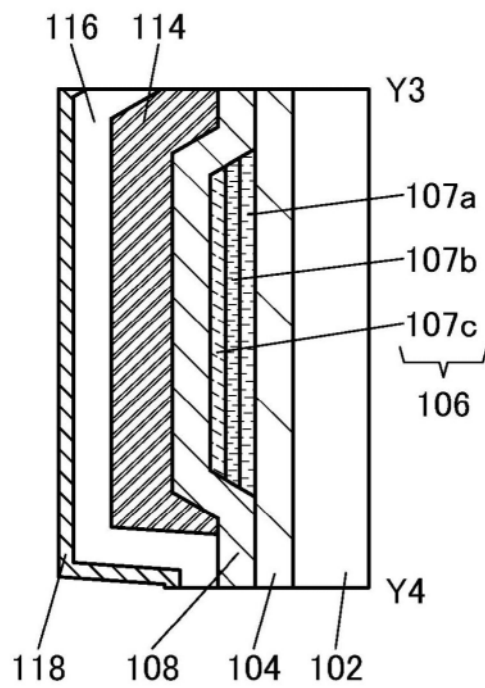
152

图4B

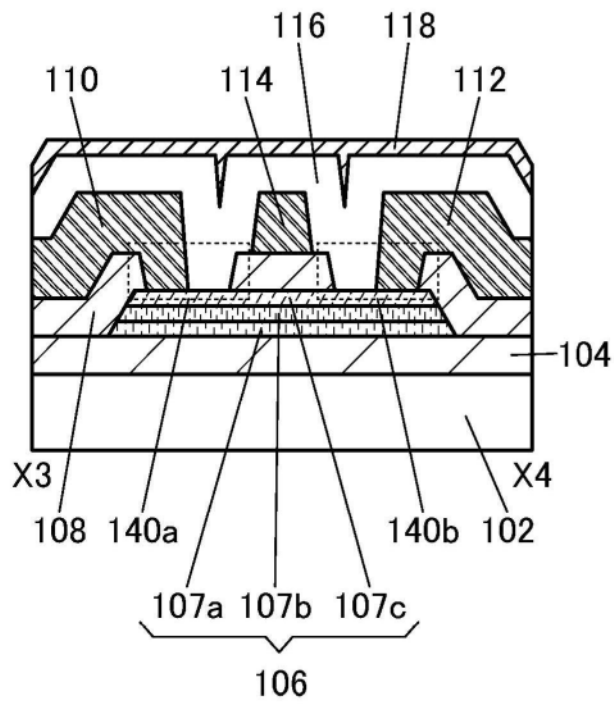
152

图4C

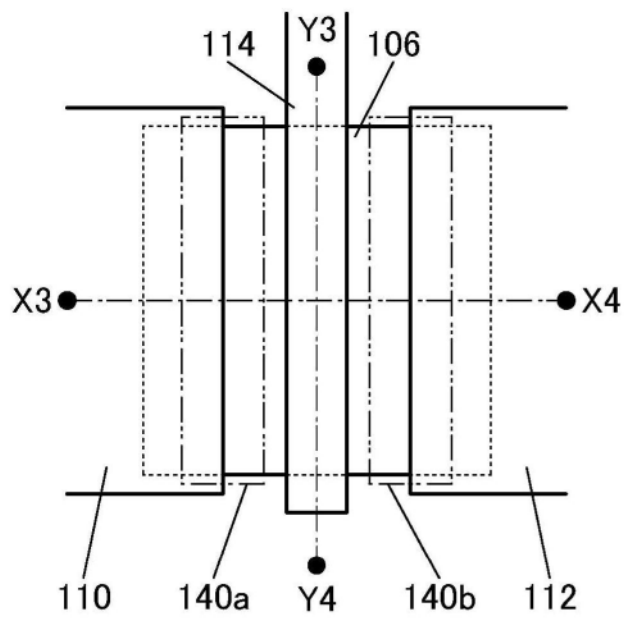
153

图5A

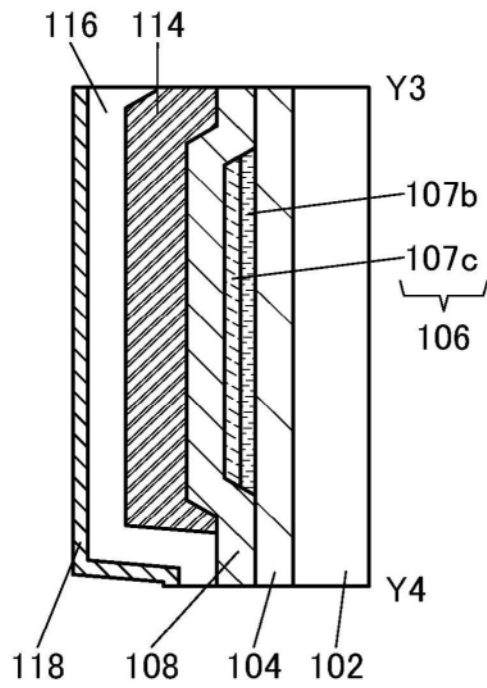
153

图5B

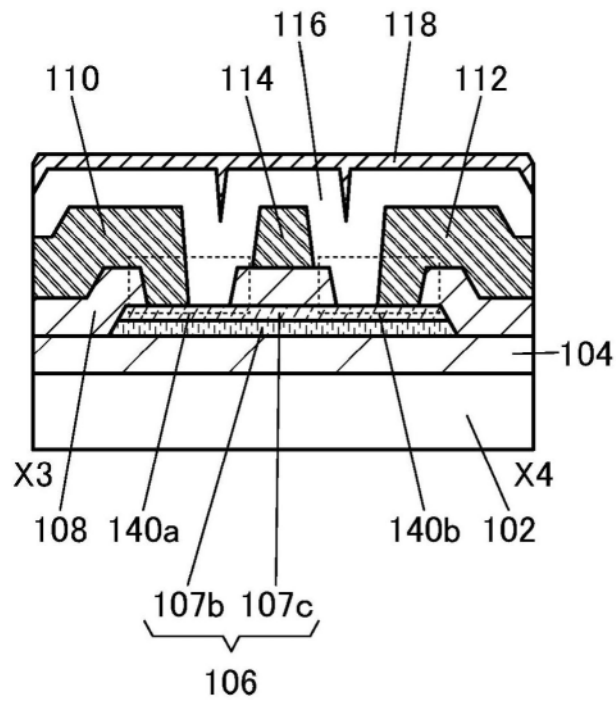
153

图5C

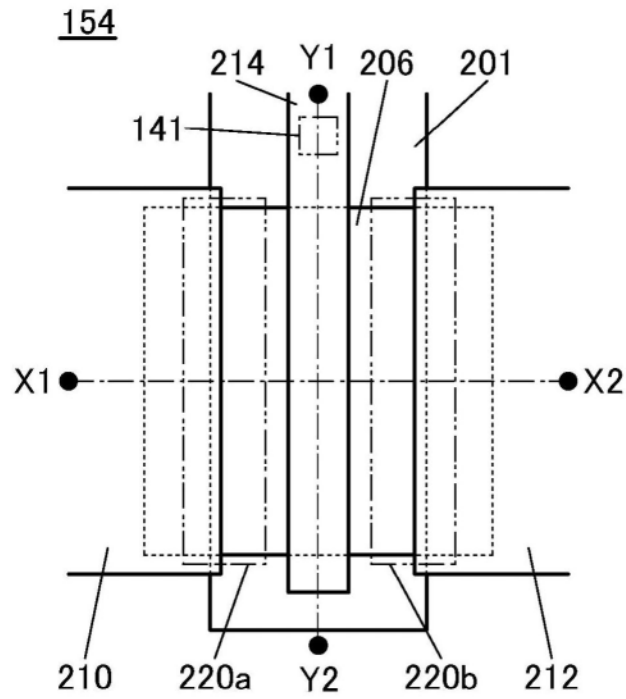


图6A

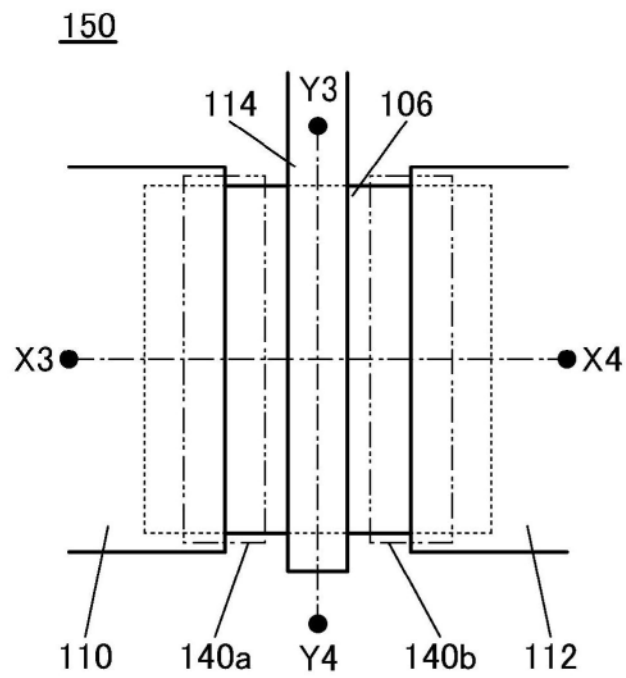


图6B

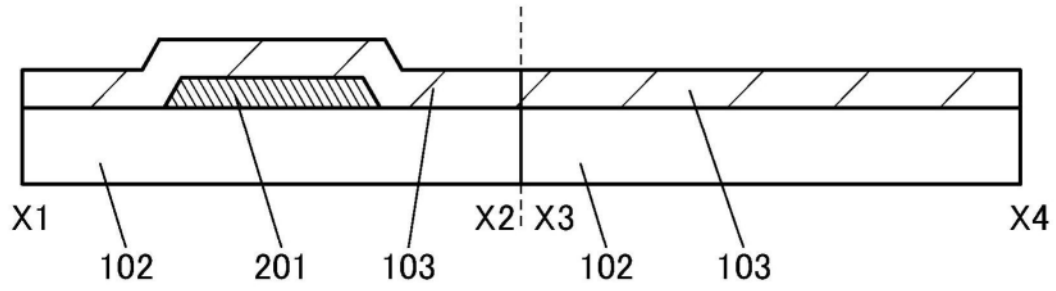


图7A

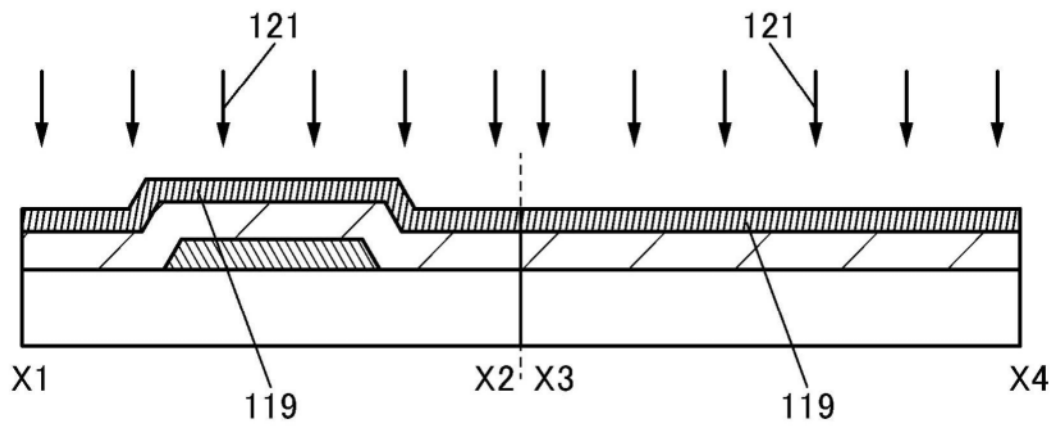


图7B

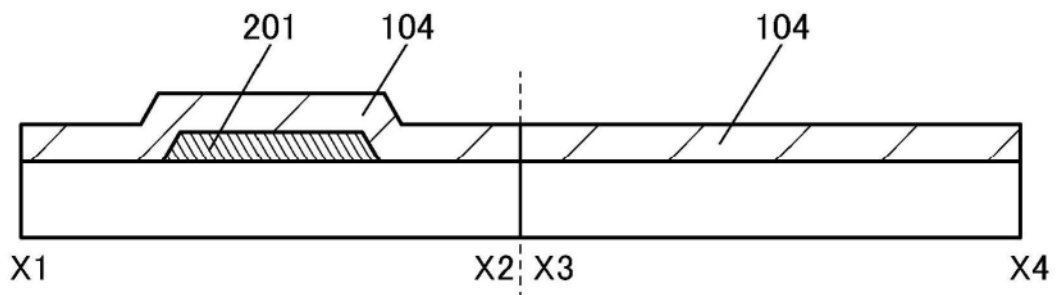


图7C

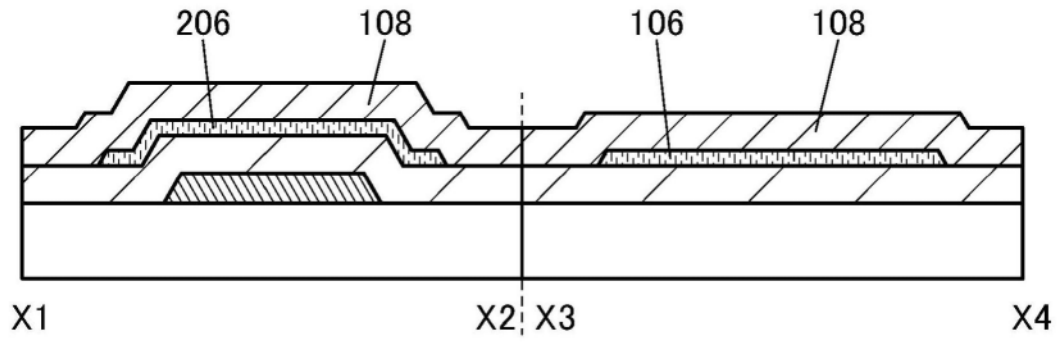


图7D

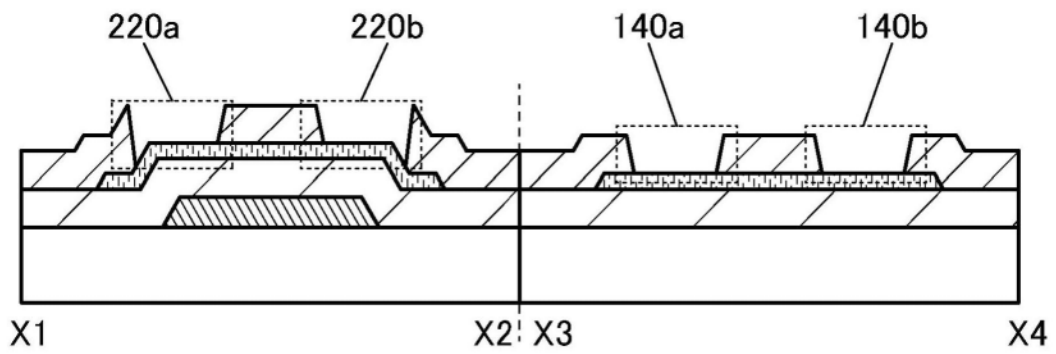


图8A

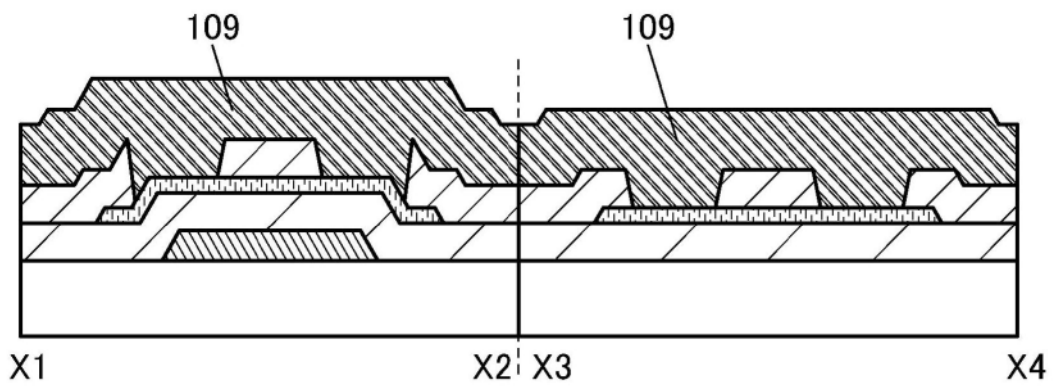


图8B

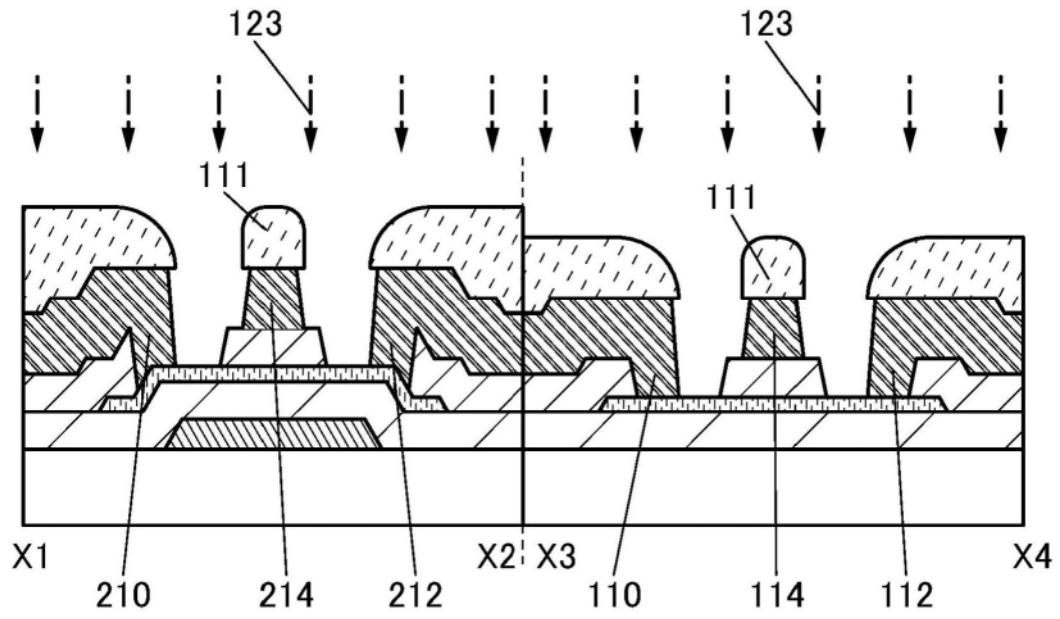


图8C

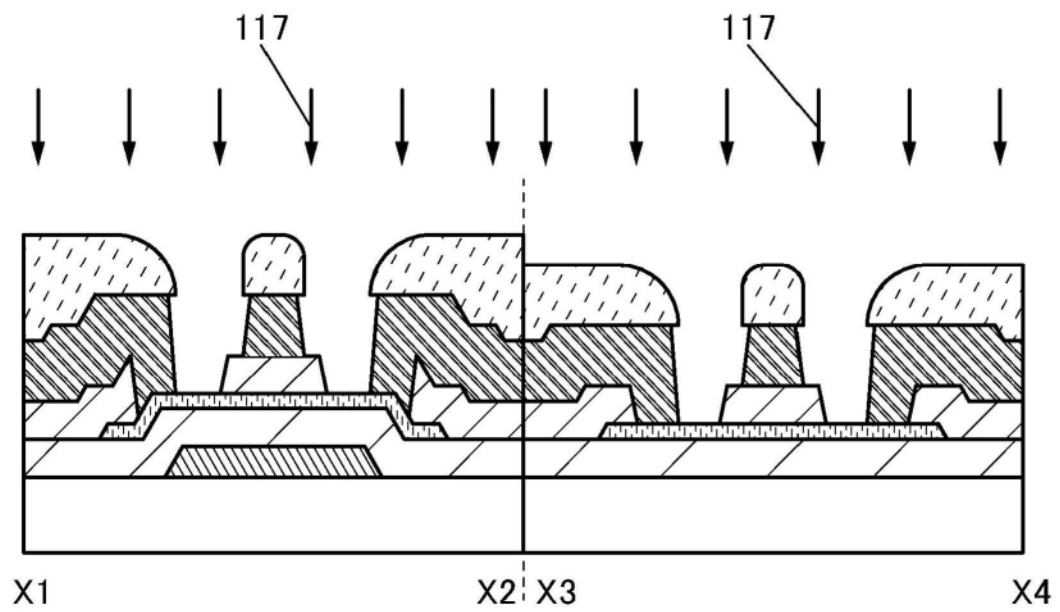


图9A

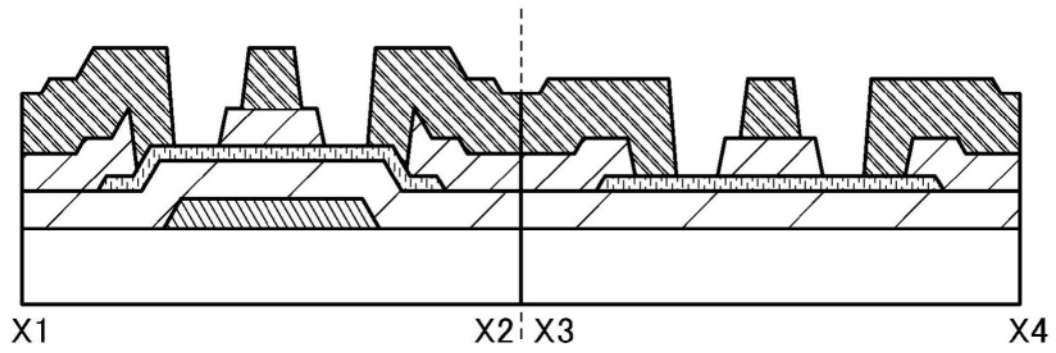


图9B

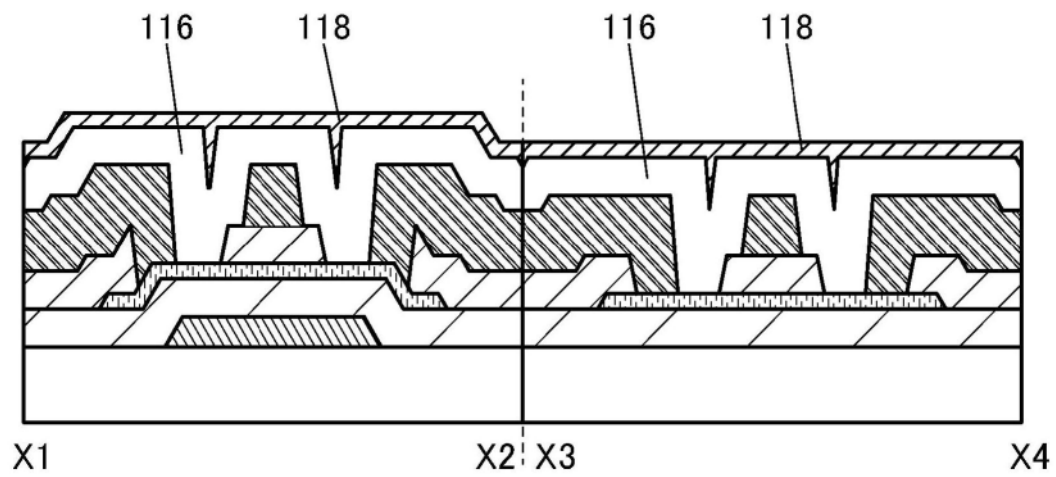


图9C

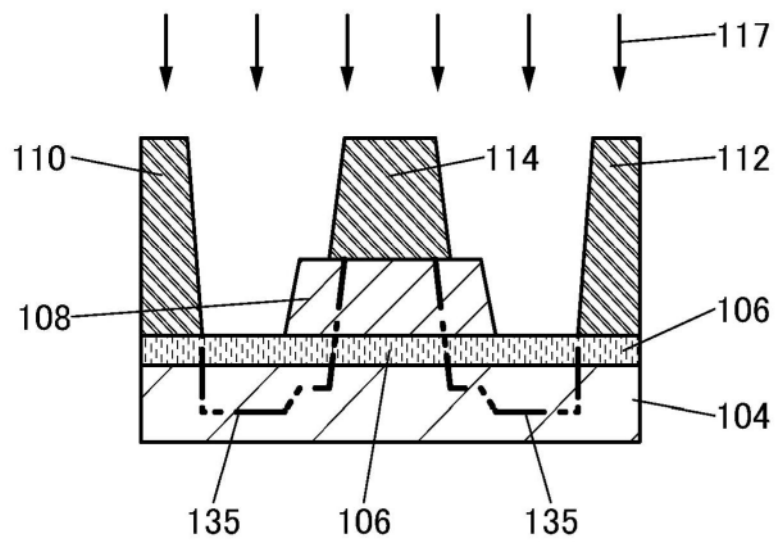


图10A

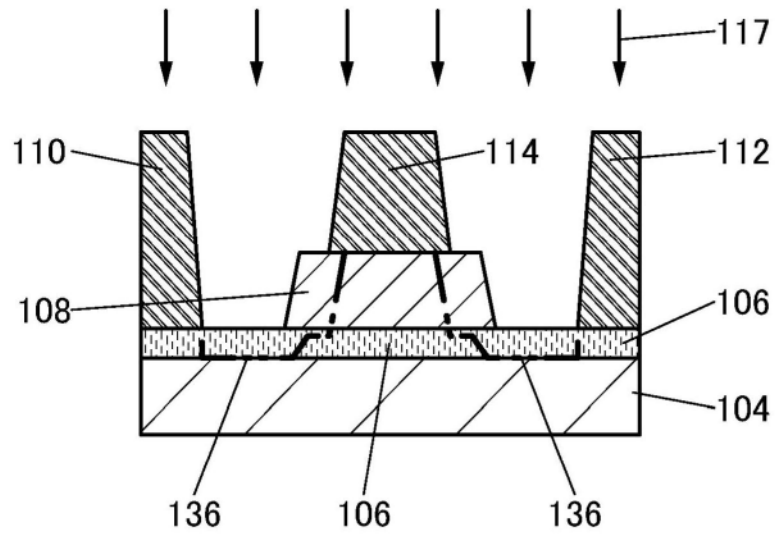


图10B

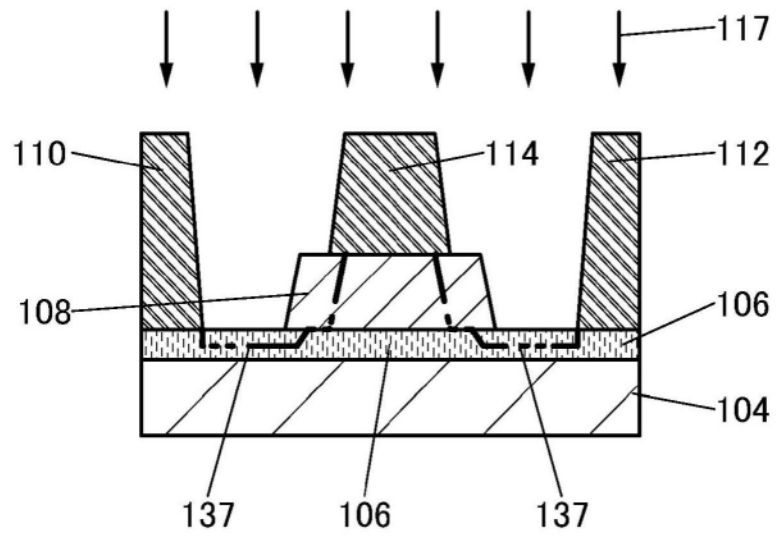


图10C

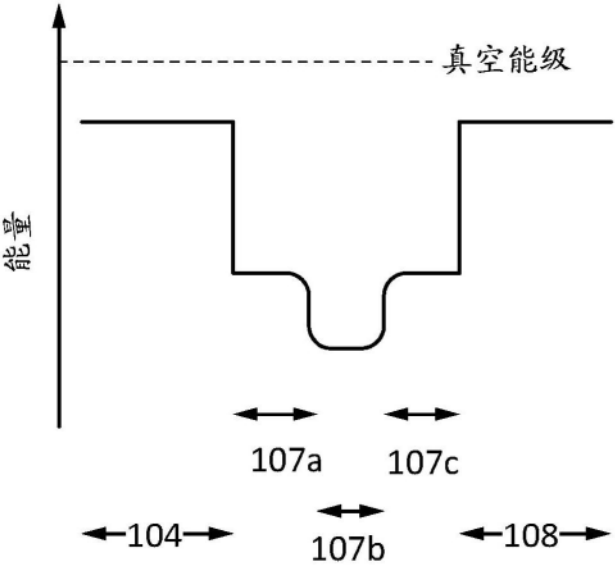


图11A

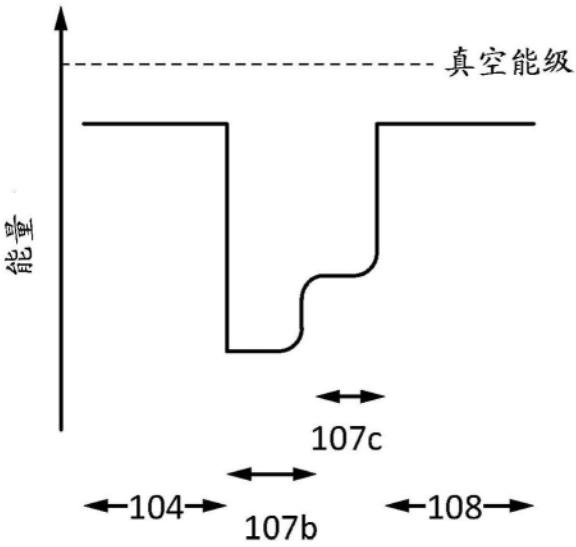


图11B

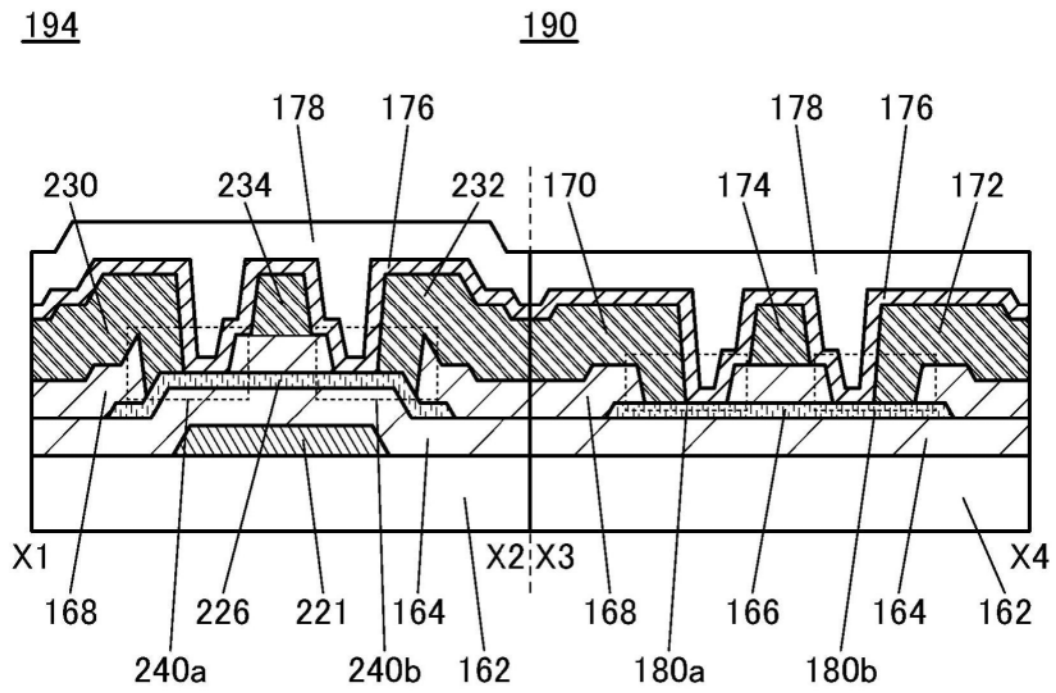


图12A

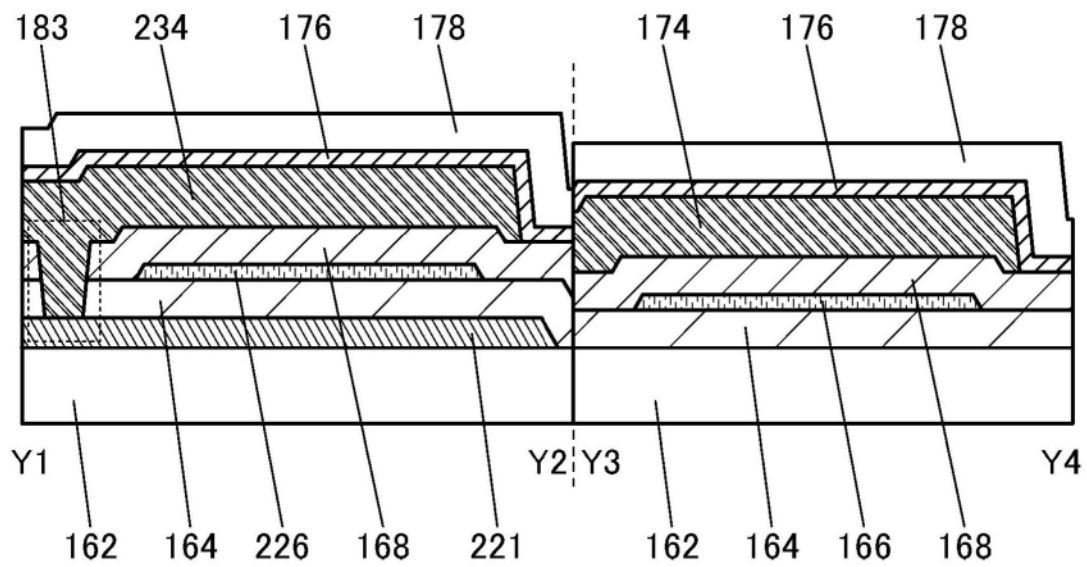


图12B

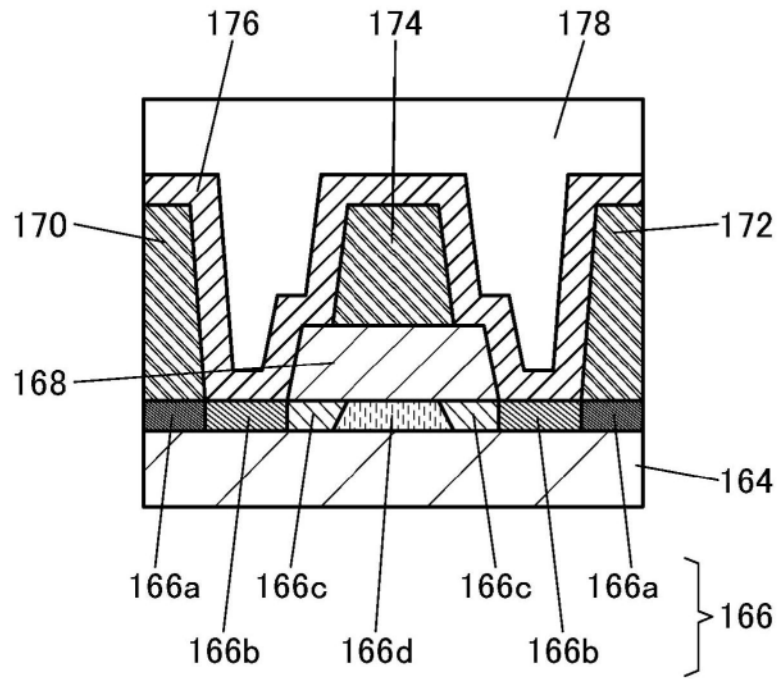


图13

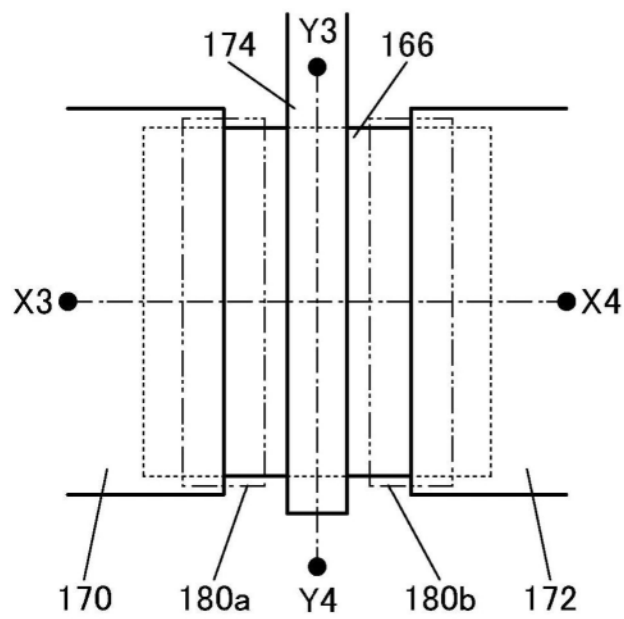
191

图14A

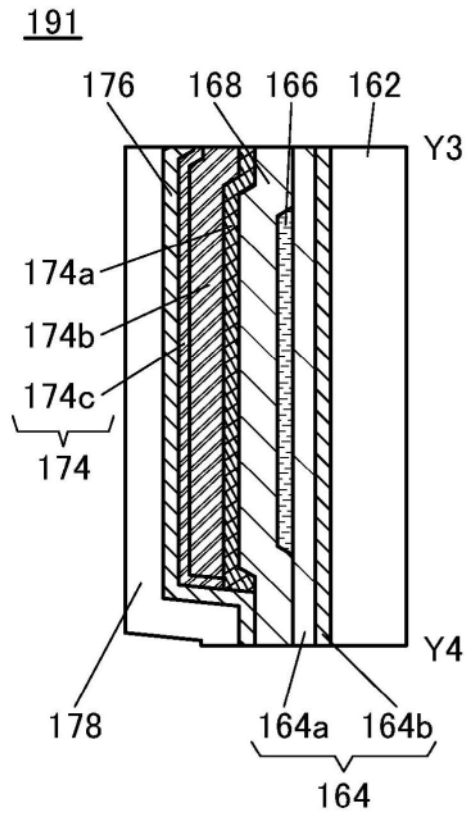


图14B

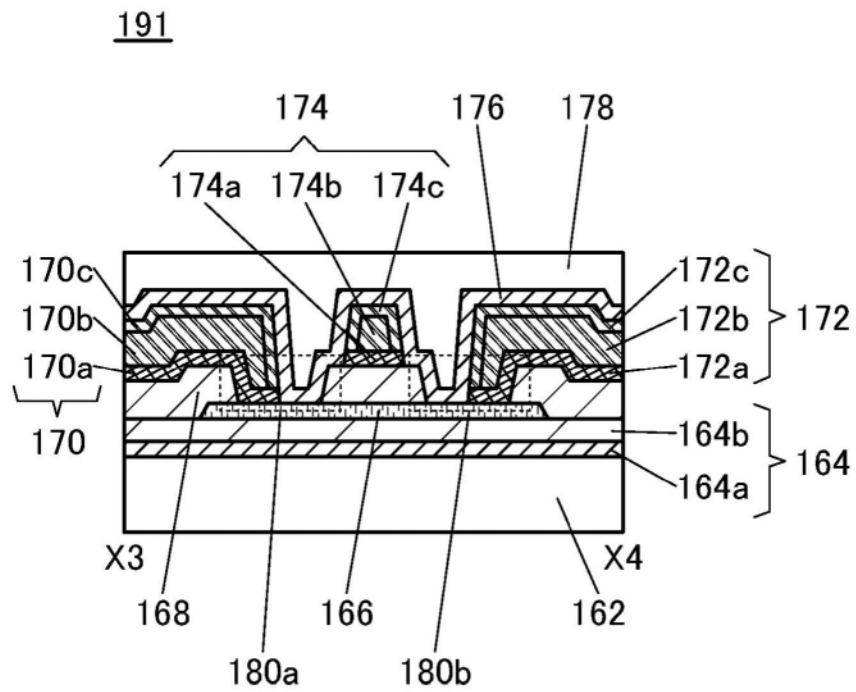


图14C

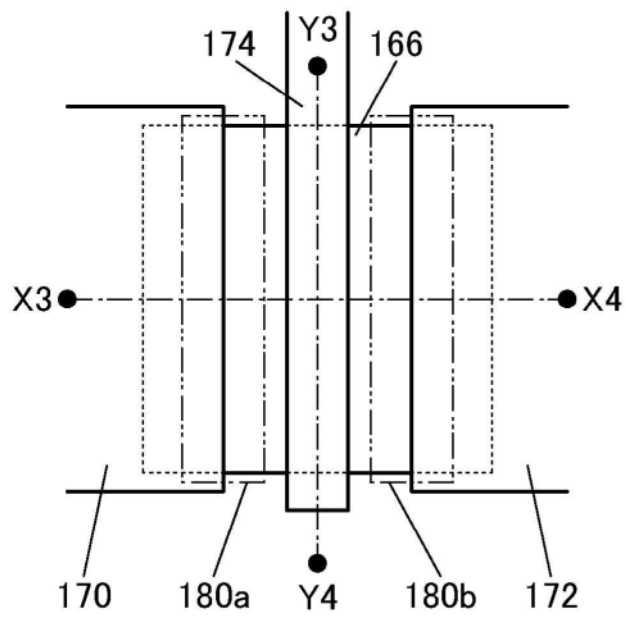
192

图15A

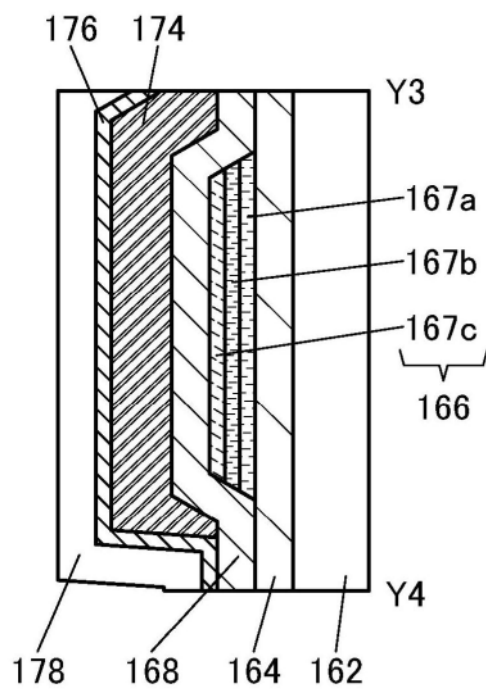
192

图15B

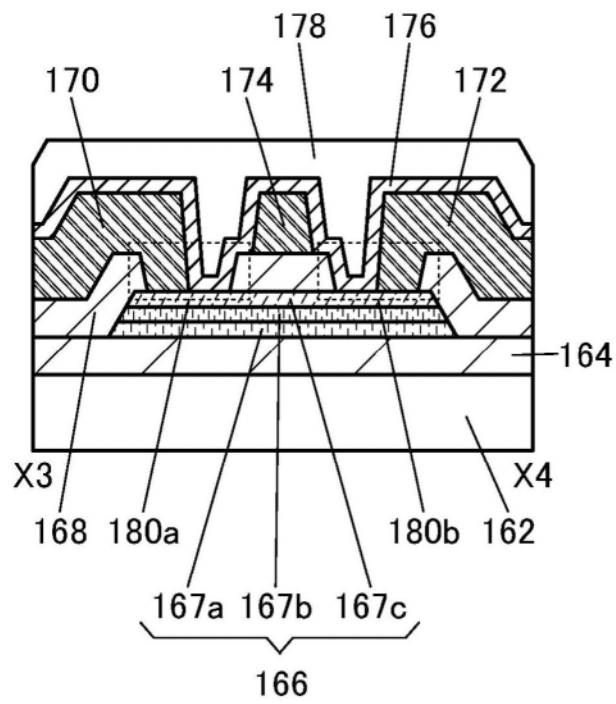
192

图15C

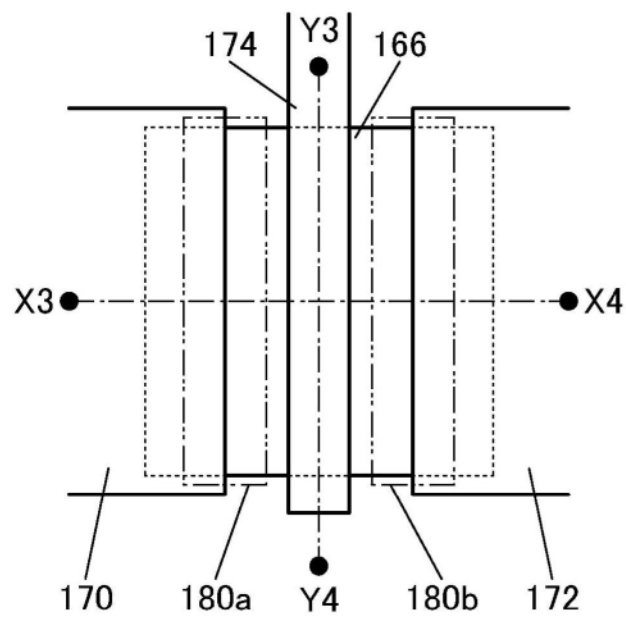
193

图16A

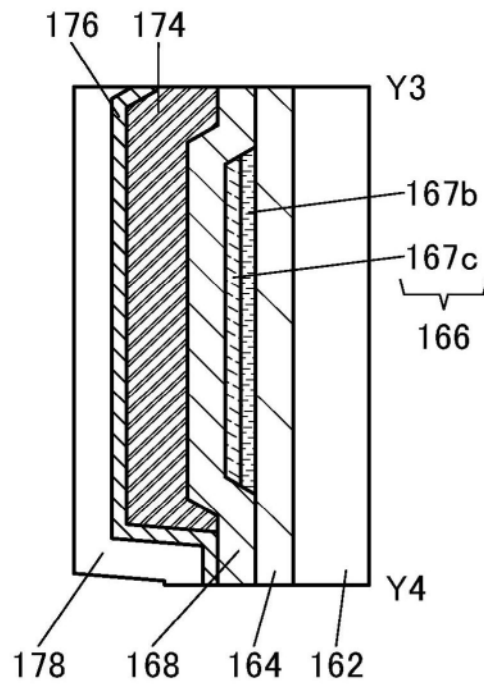
193

图16B

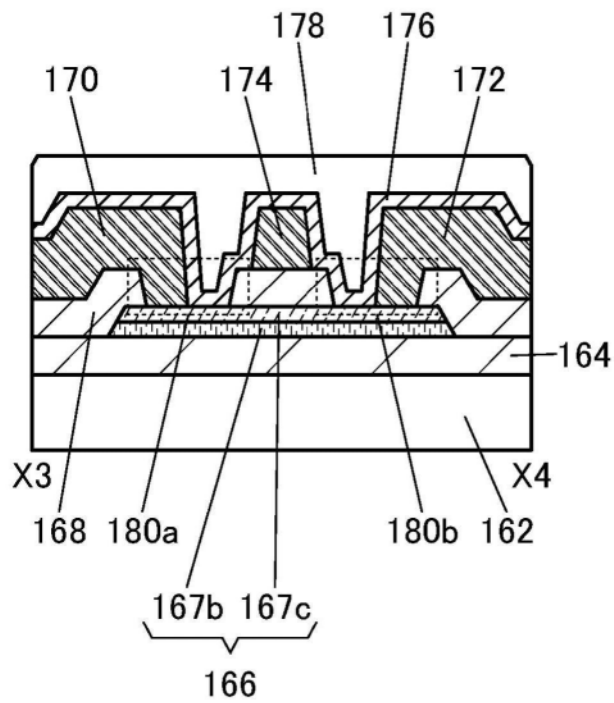
193

图16C

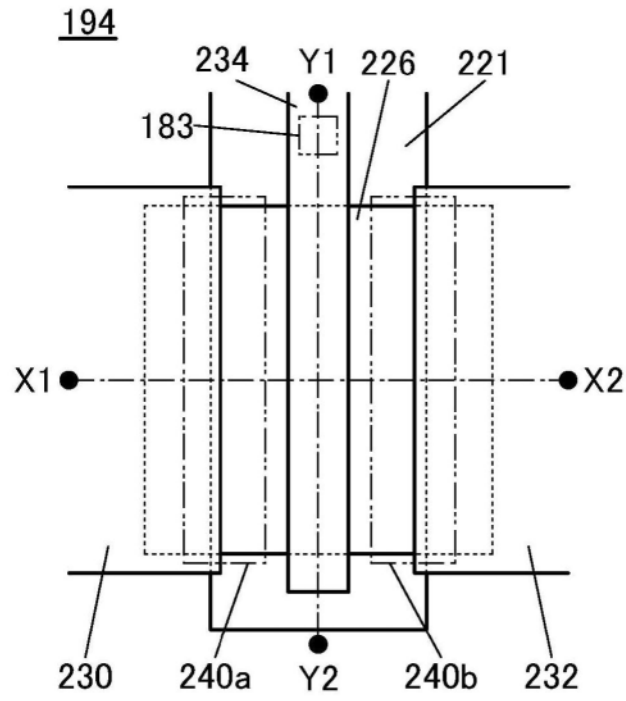


图17A

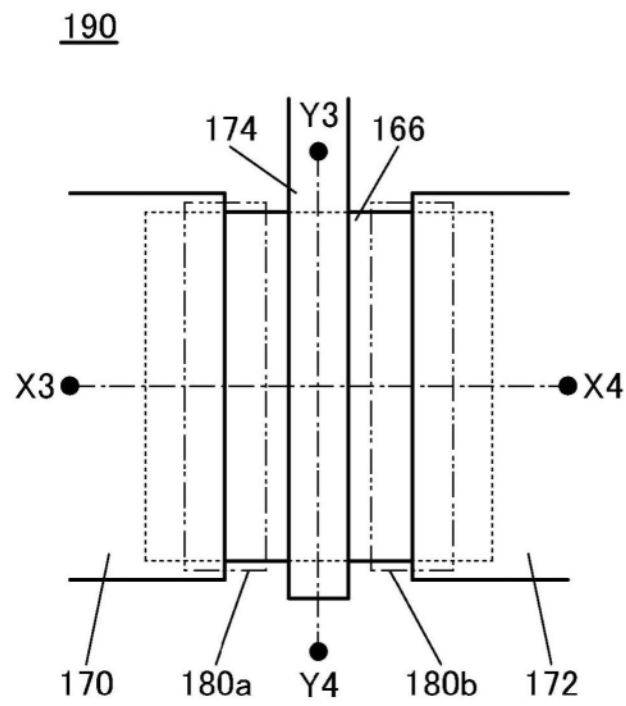


图17B

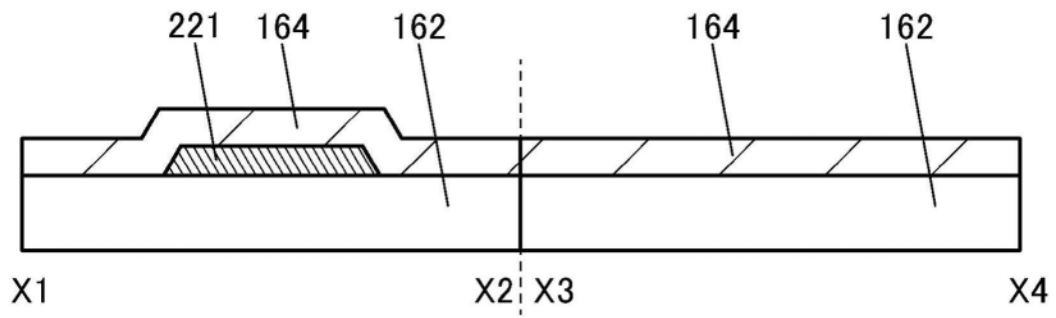


图18A

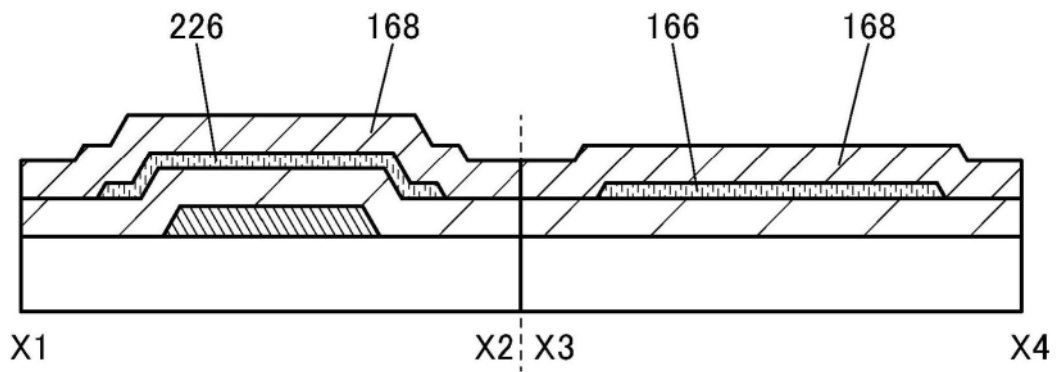


图18B

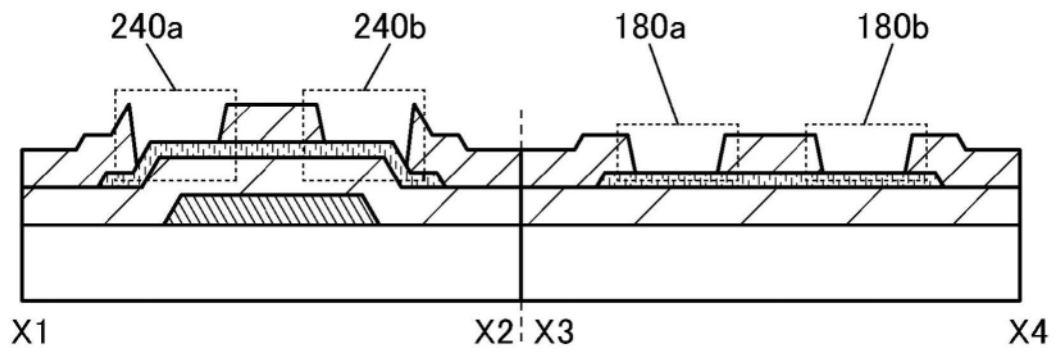


图19A

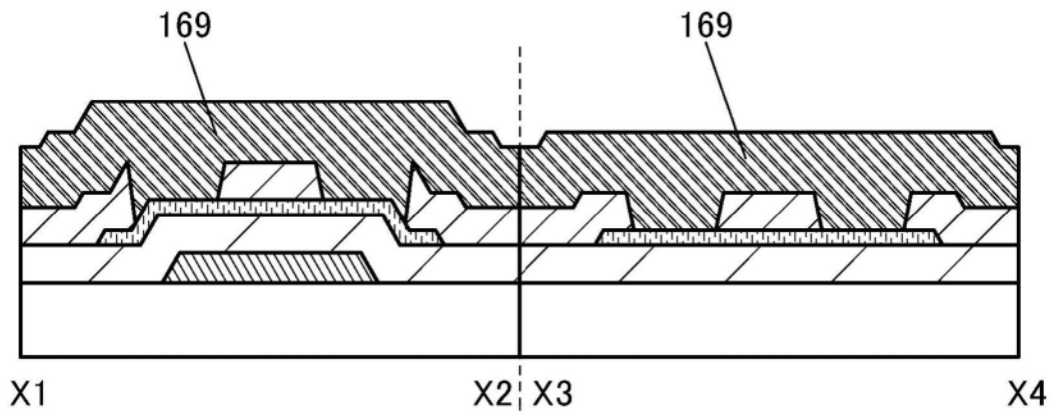


图19B

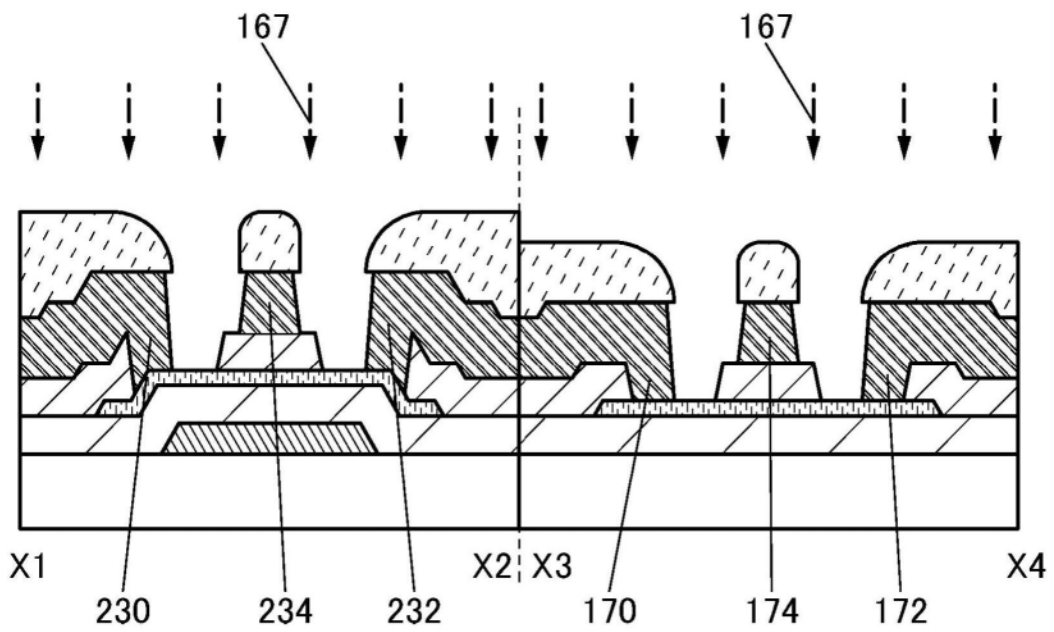


图19C

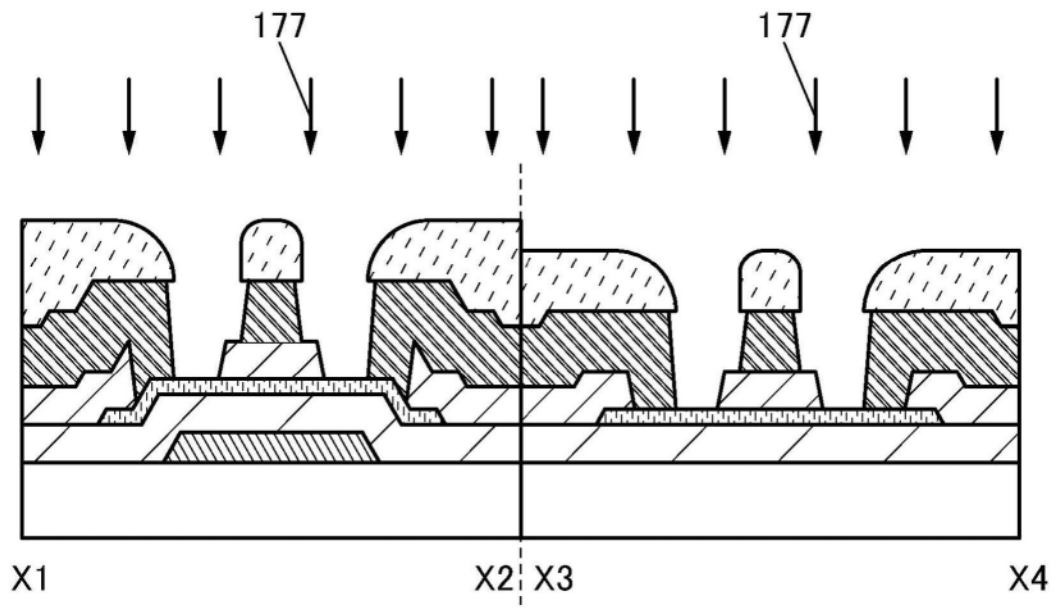


图20A

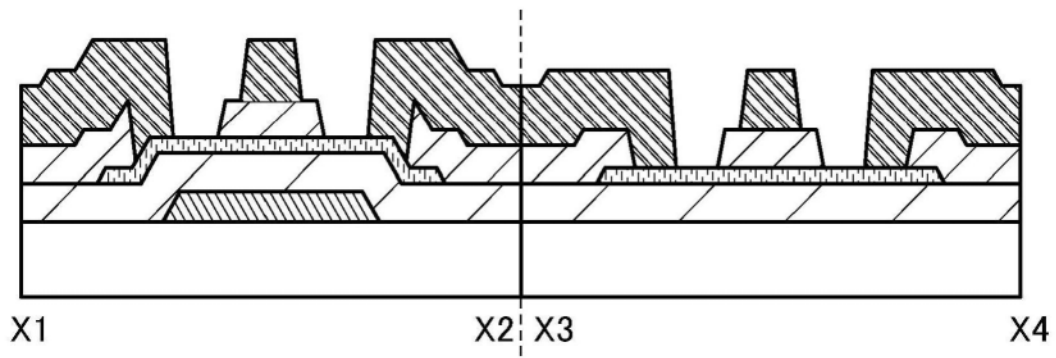


图20B

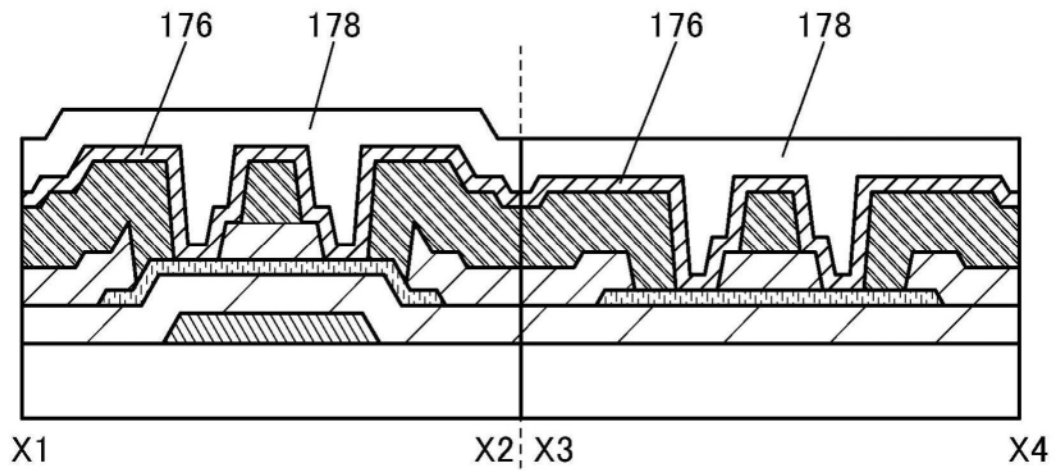


图20C

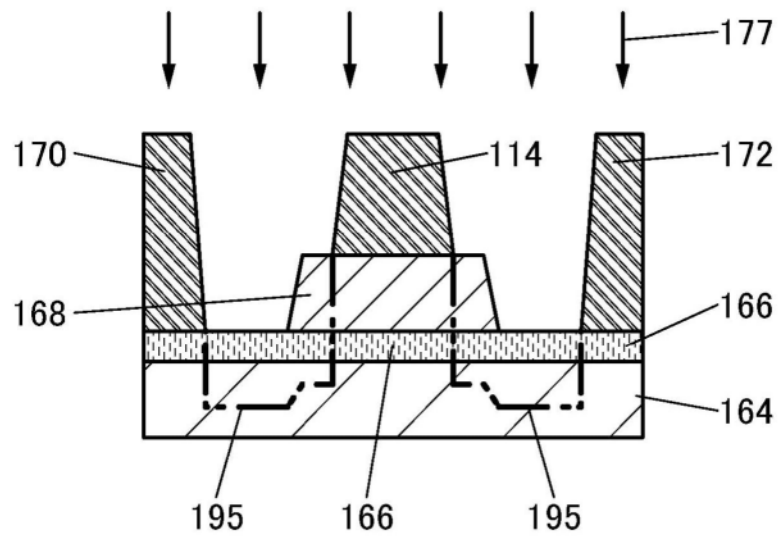


图21A

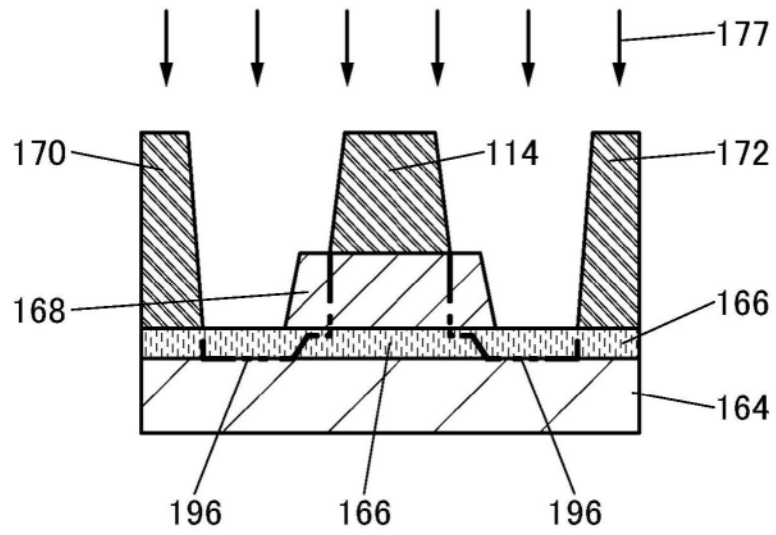


图21B

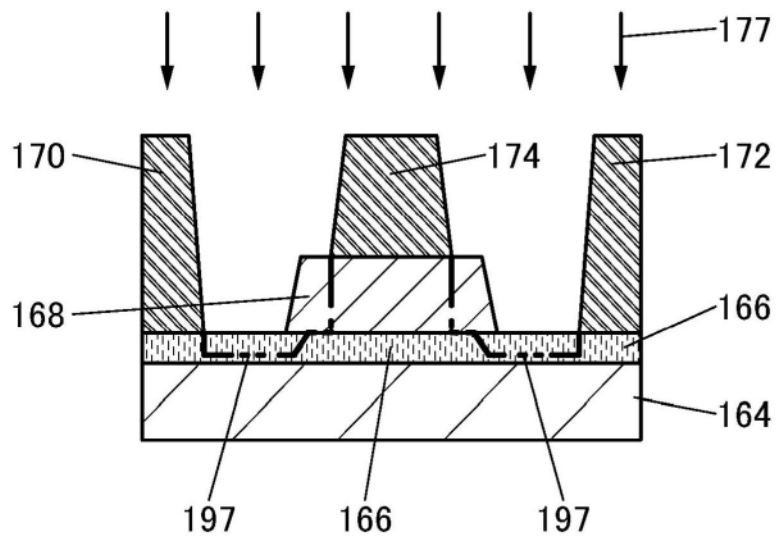


图21C

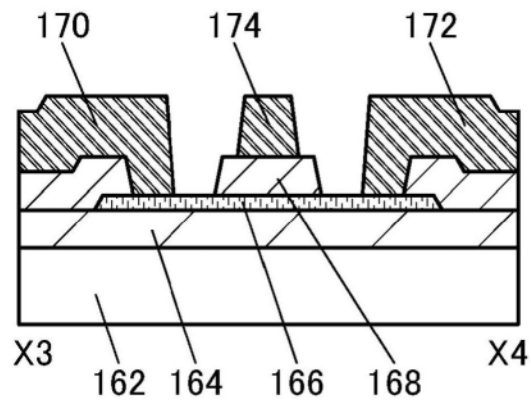


图22A

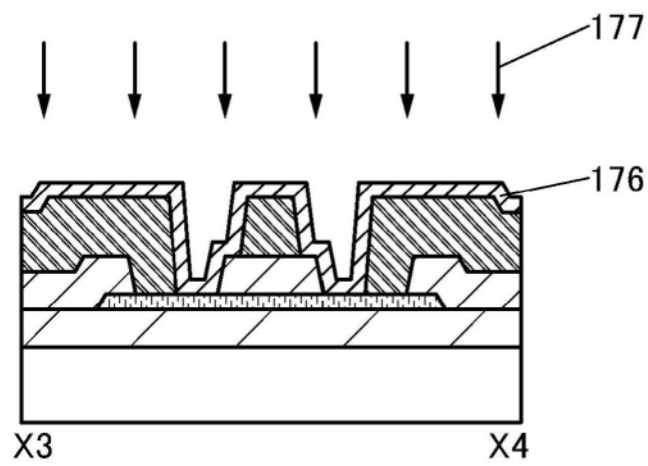


图22B

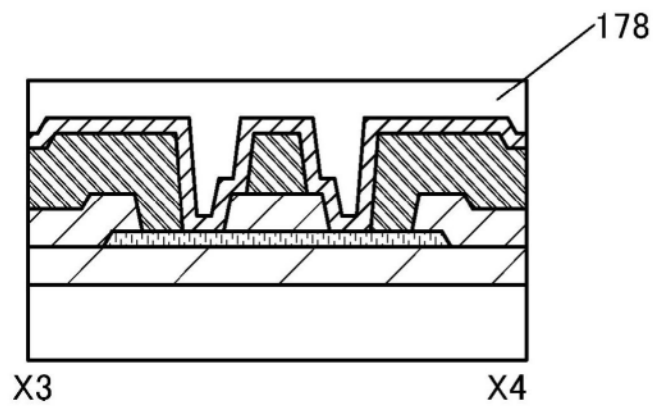


图22C

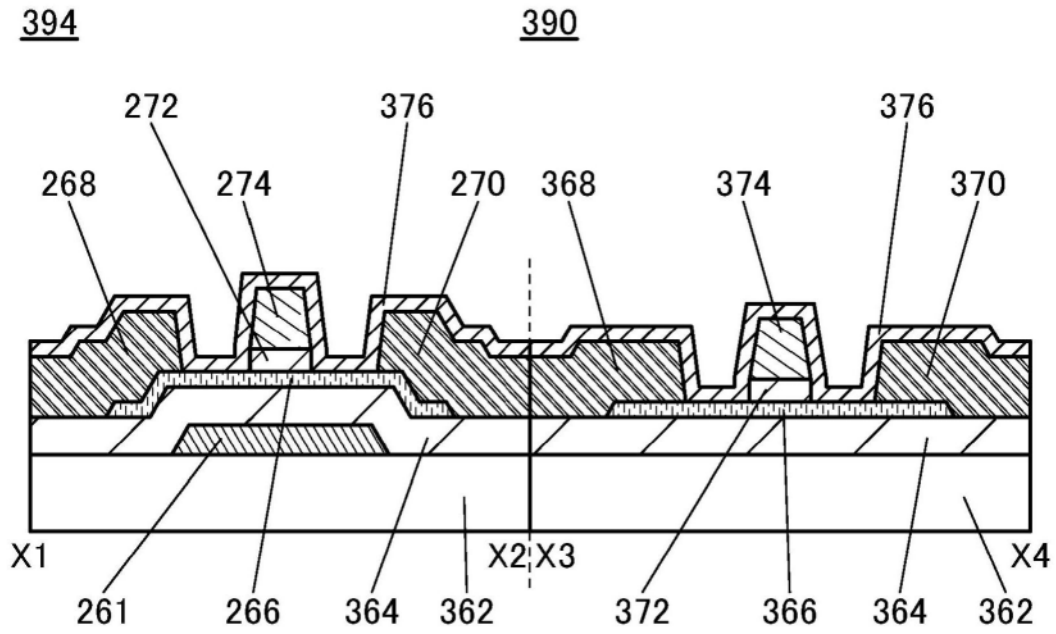


图23A

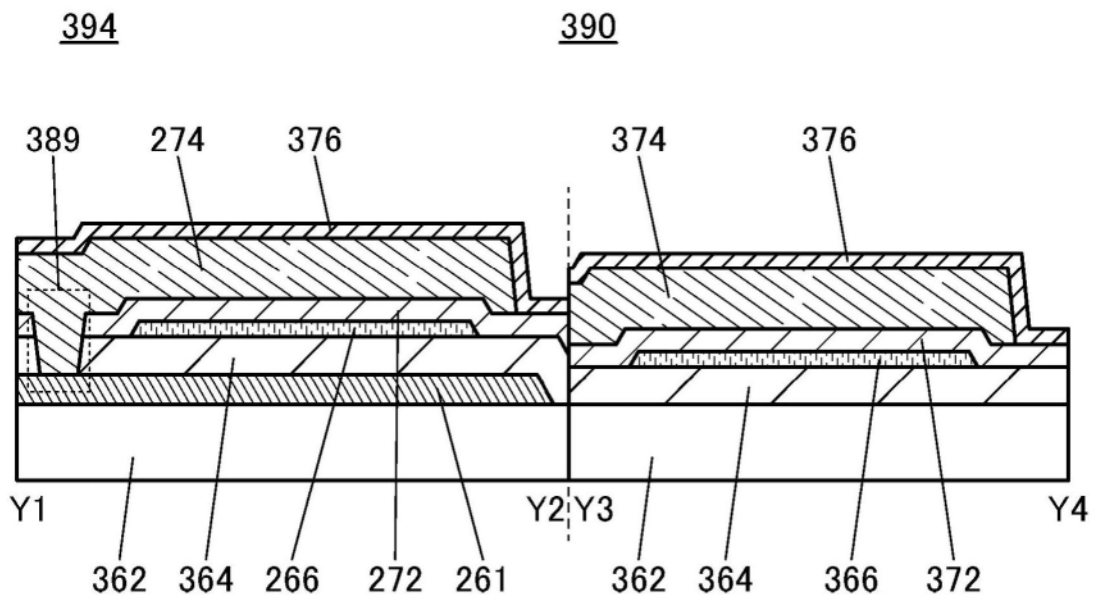


图23B

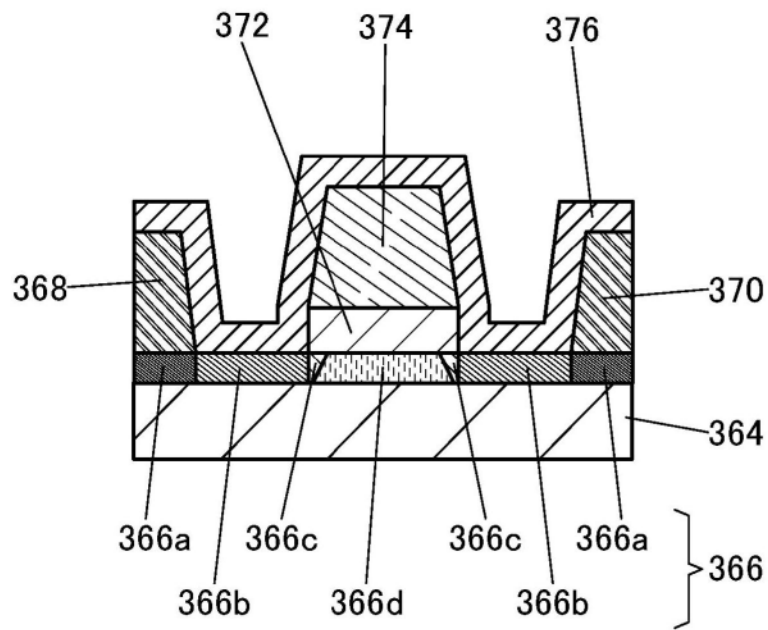


图24A

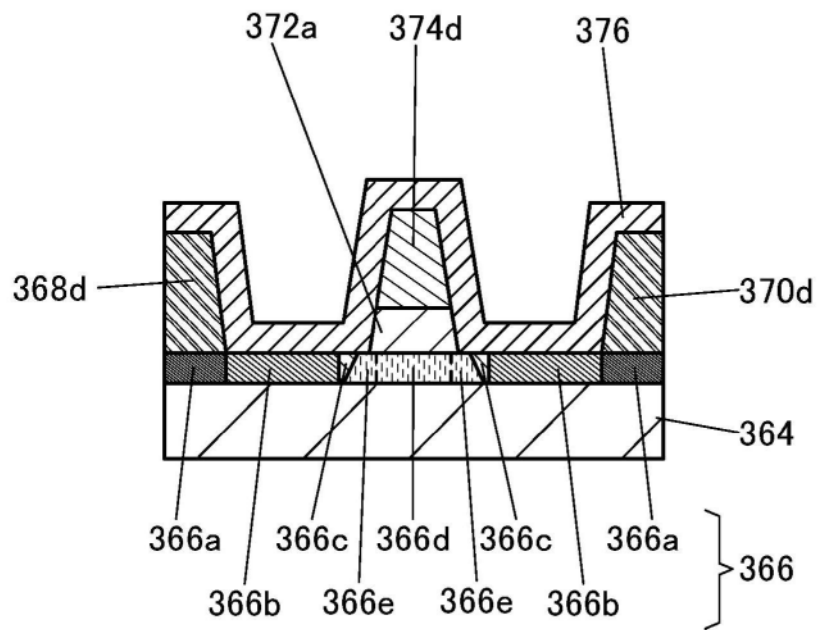


图24B

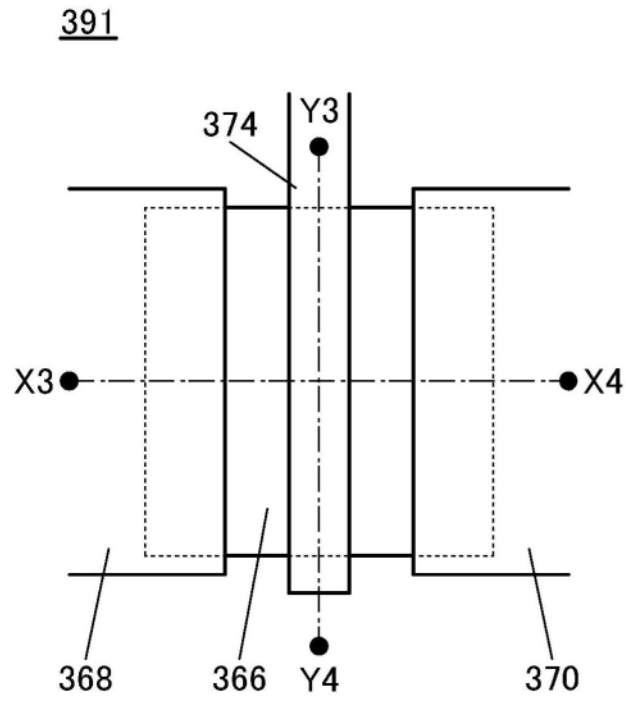


图25A

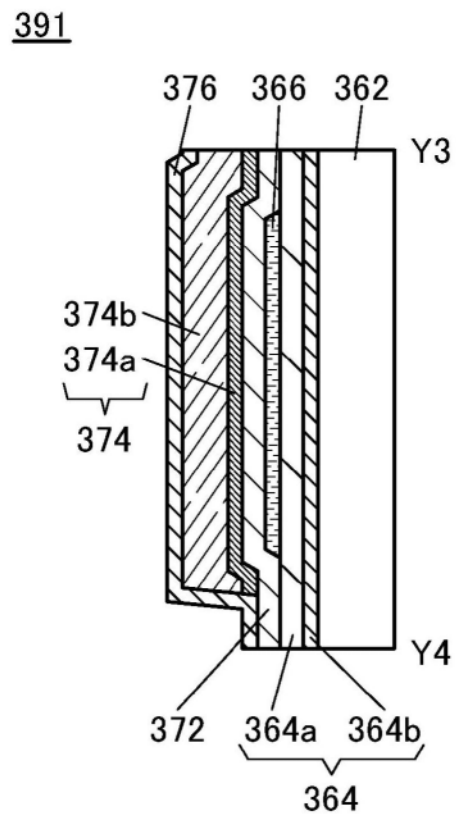


图25B

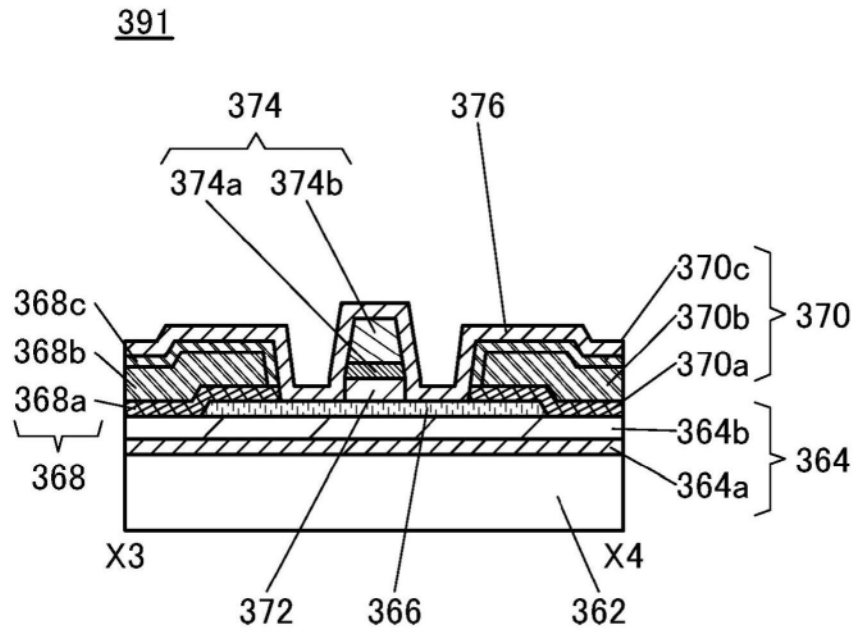


图25C

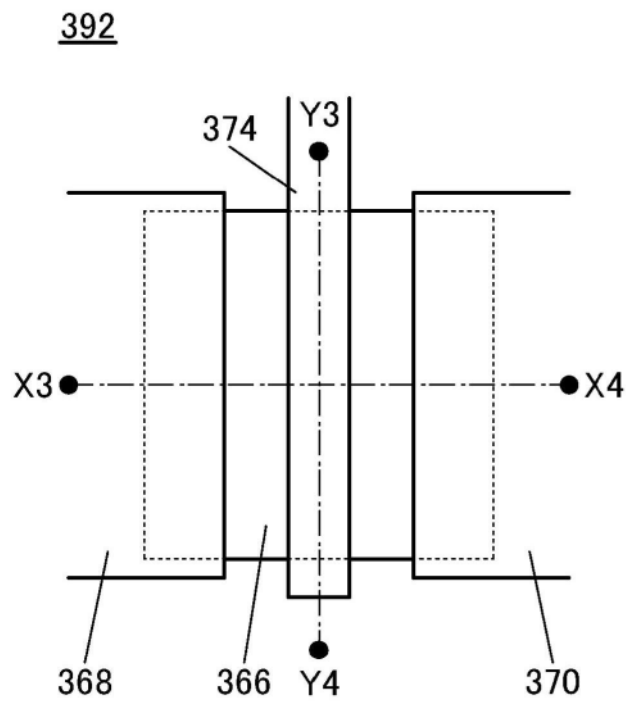


图26A

392

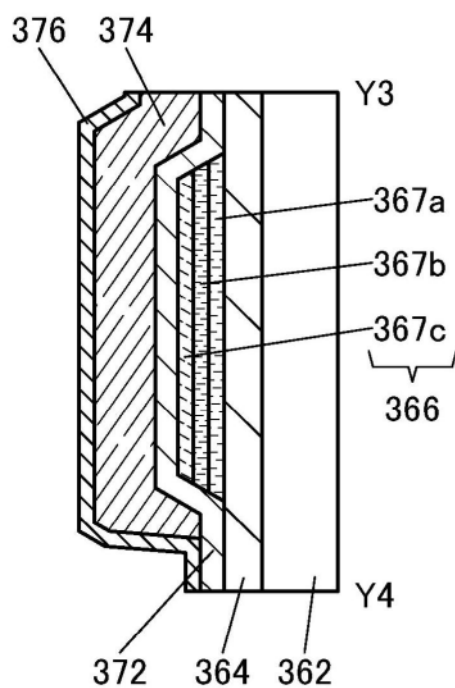


图26B

392

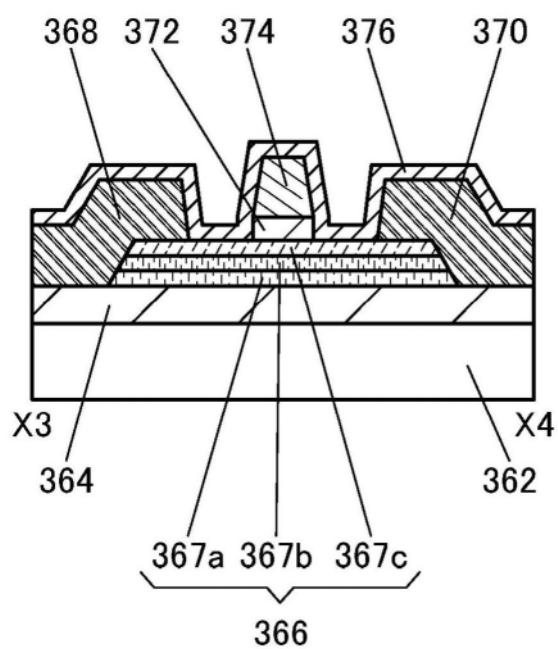


图26C

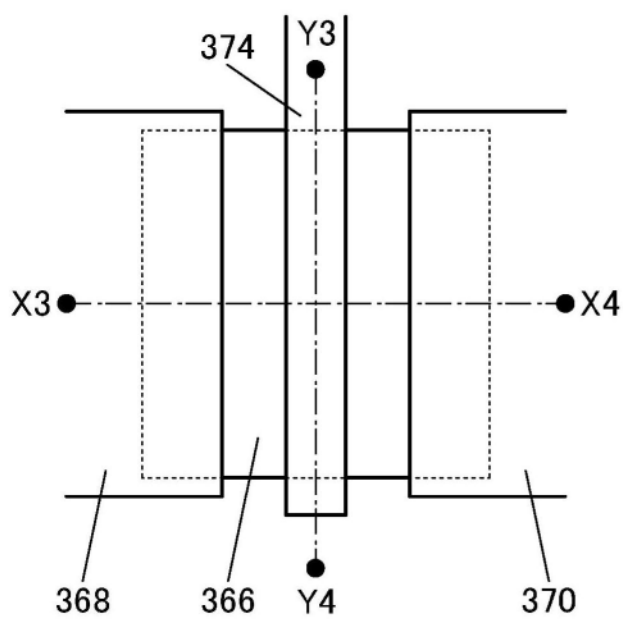
393

图27A

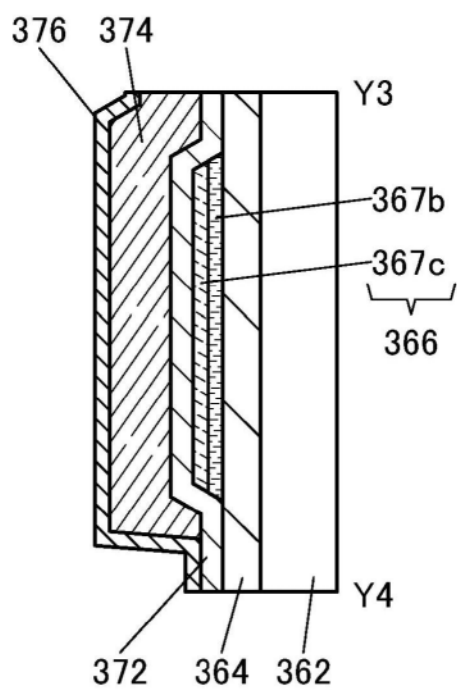
393

图27B

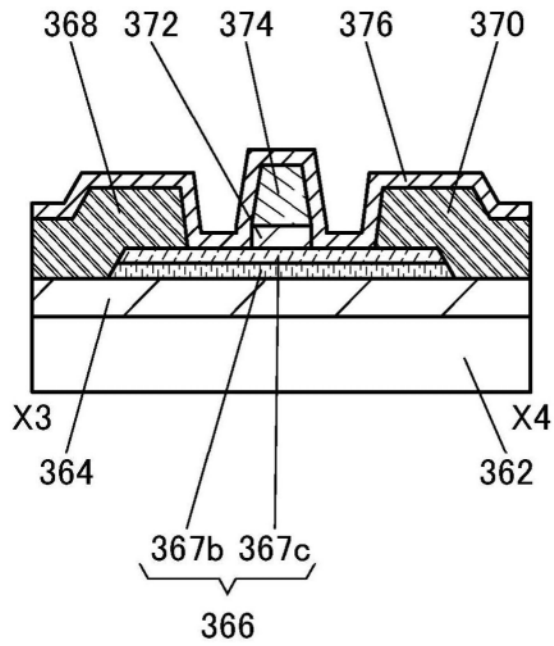
393

图27C

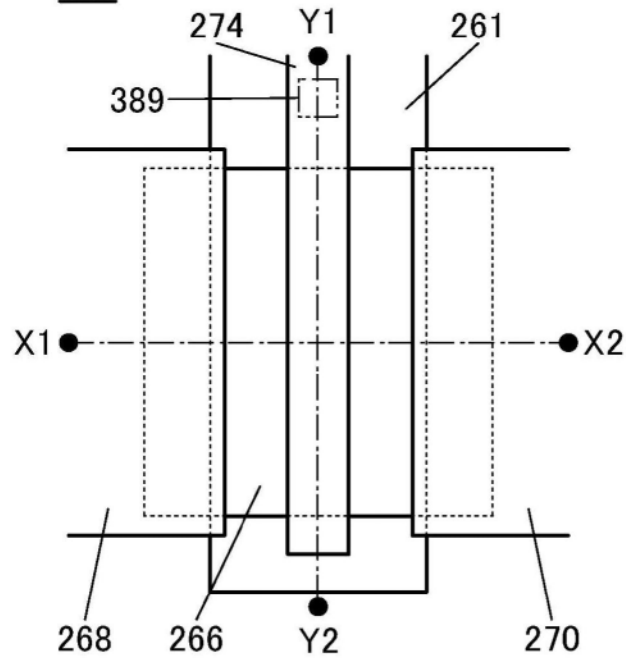
394

图28A

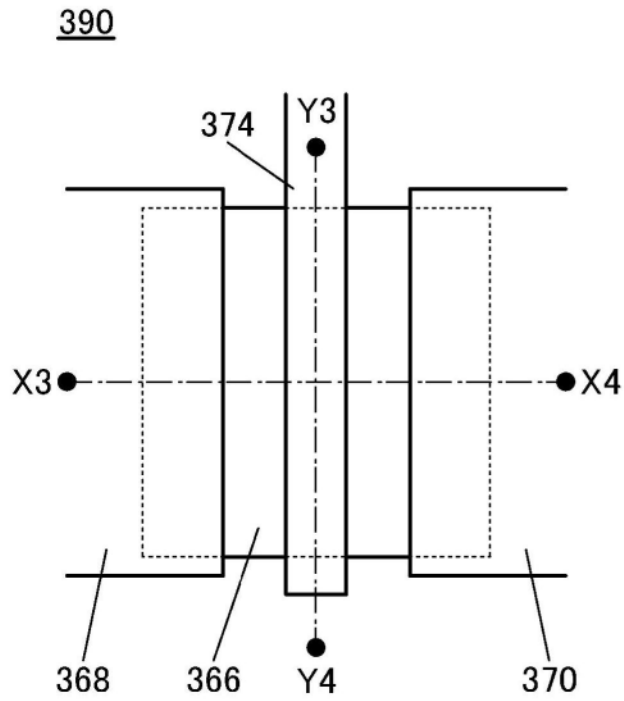


图28B

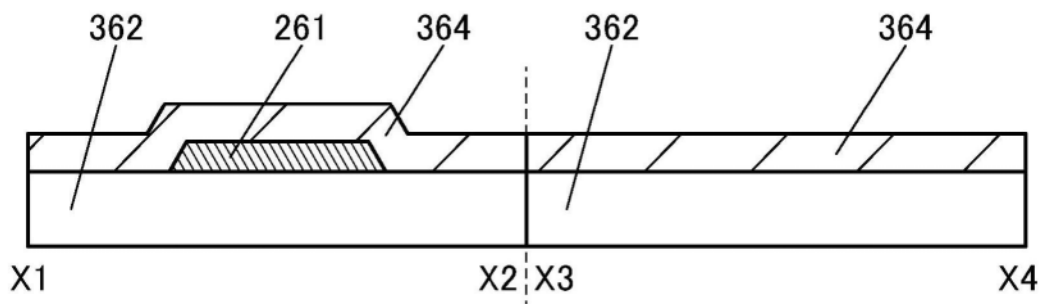


图29A

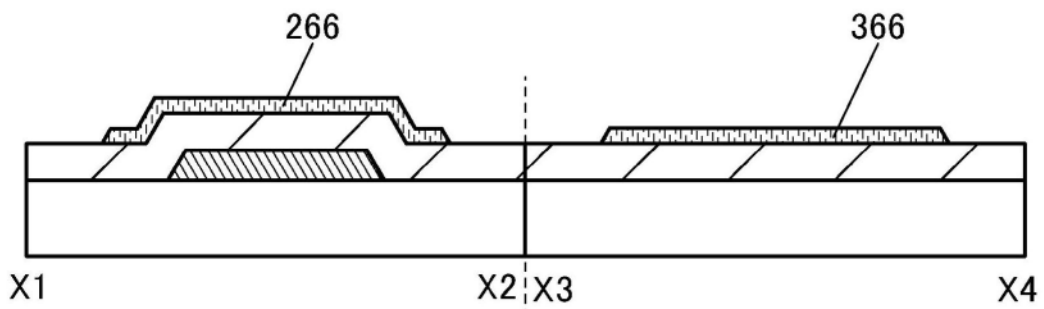


图29B

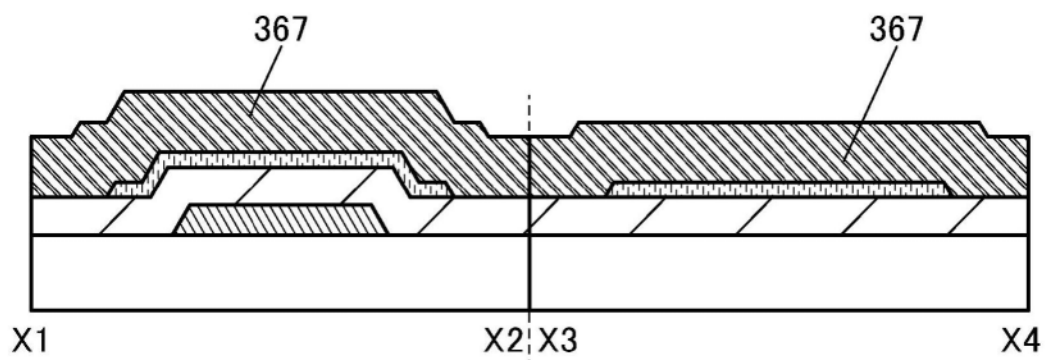


图30A

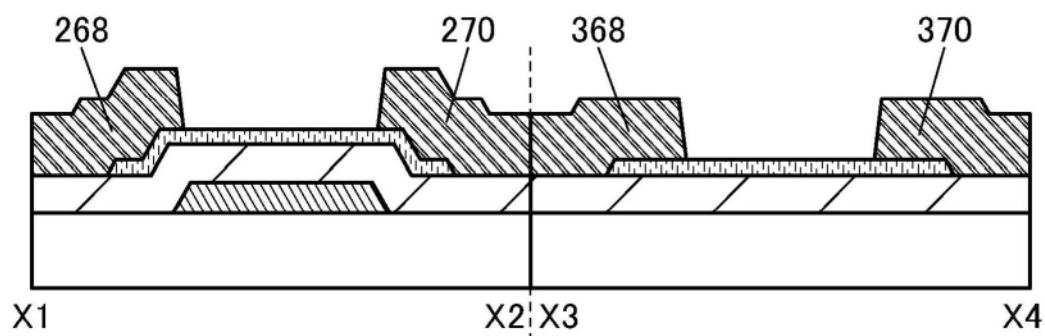


图30B

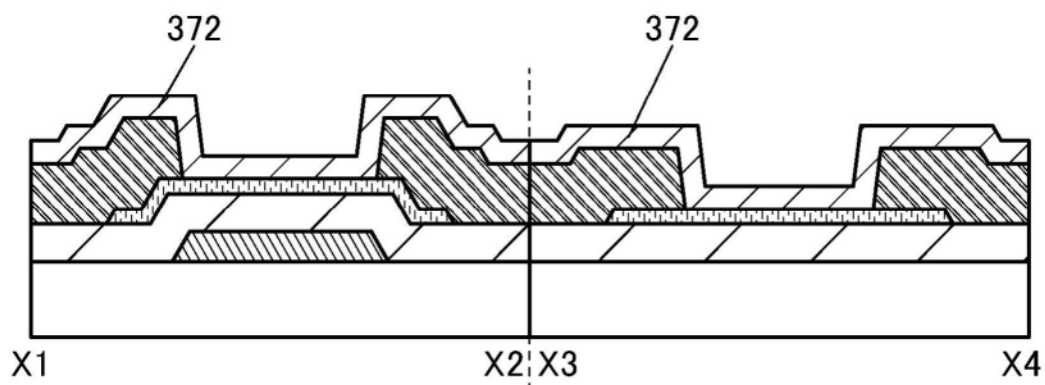


图30C

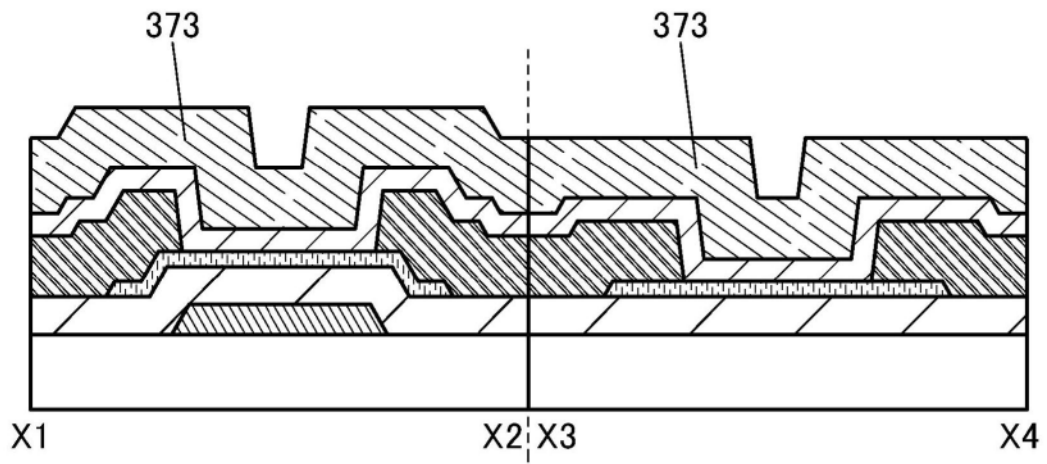


图30D

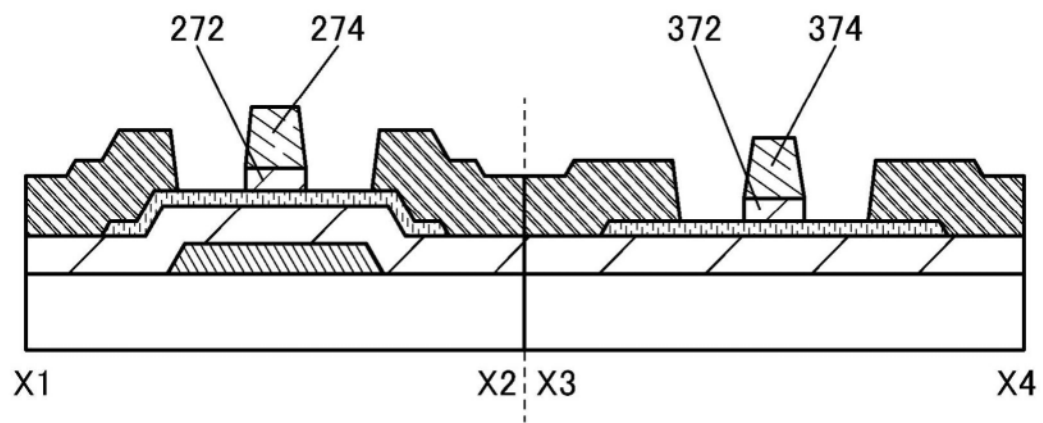


图31A

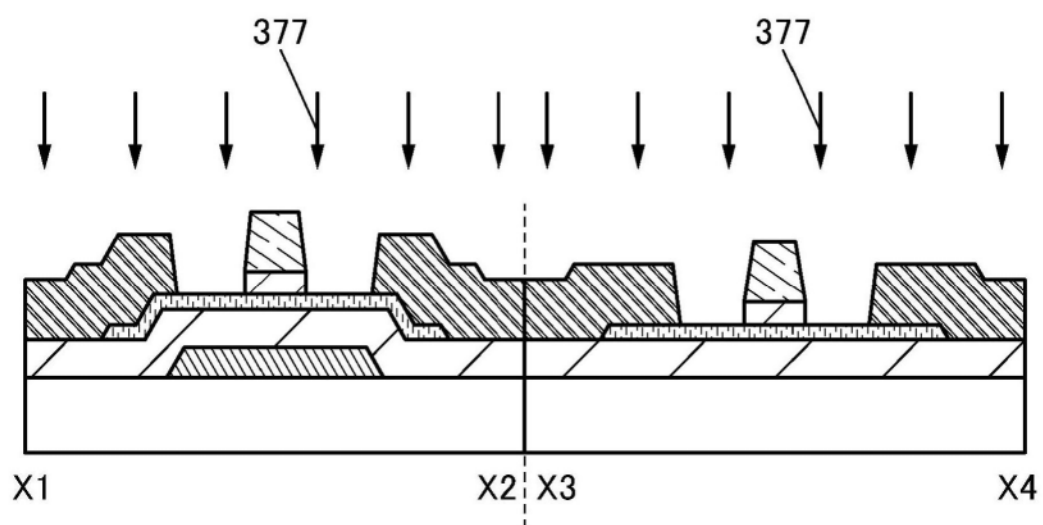


图31B

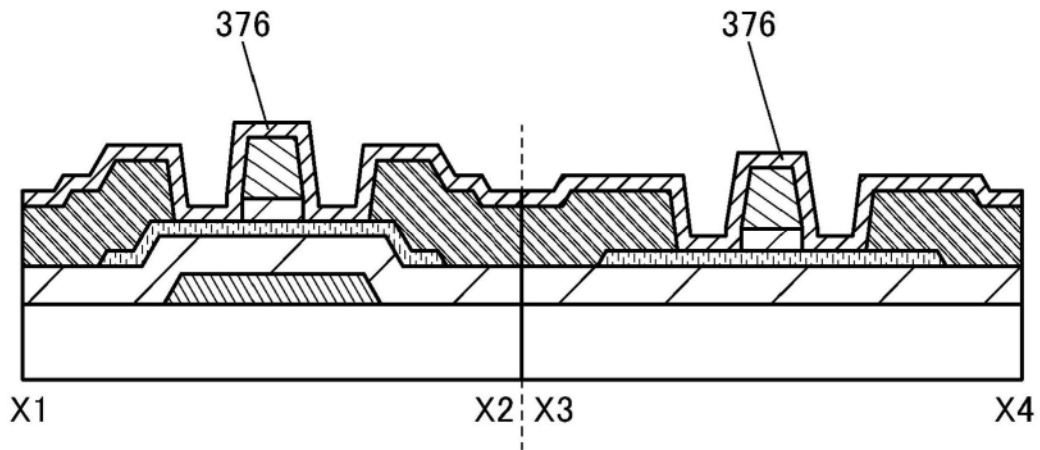


图31C

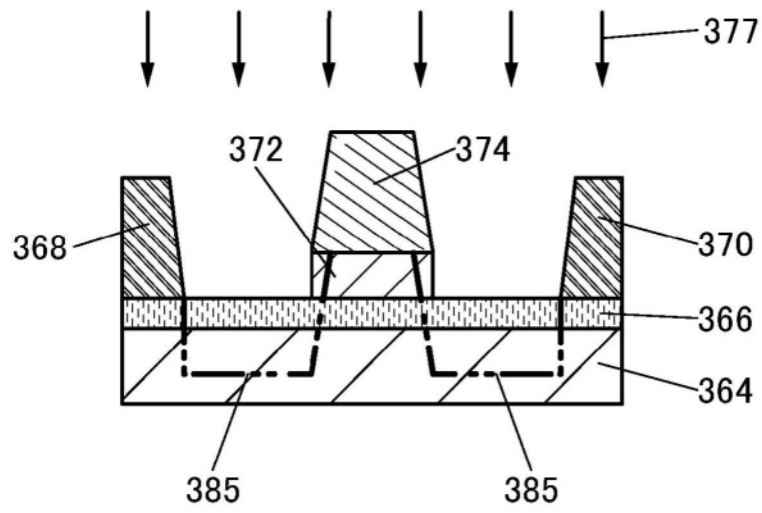


图32A

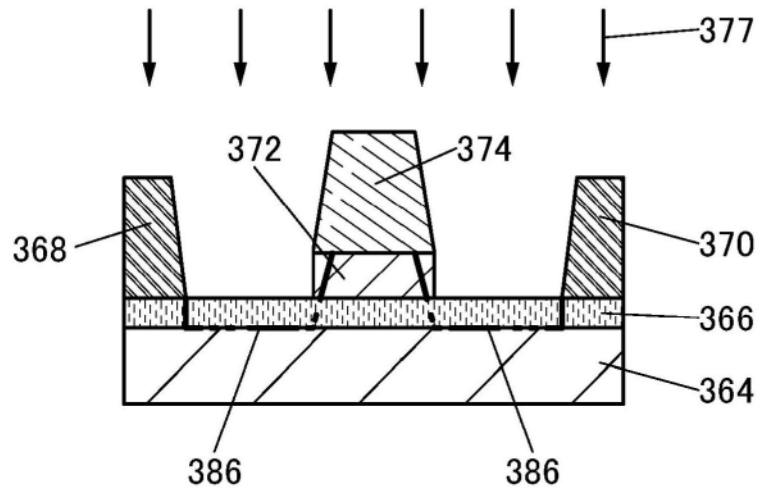


图32B

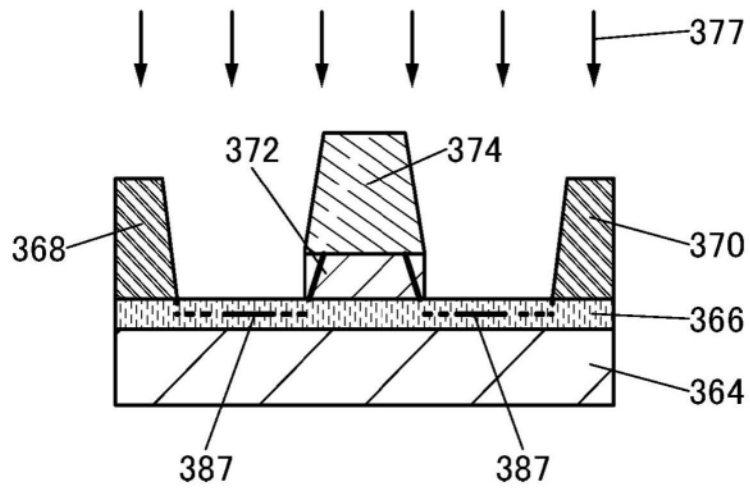


图32C

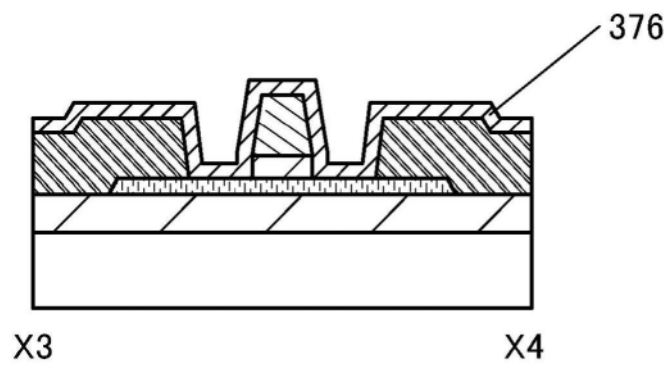


图33A

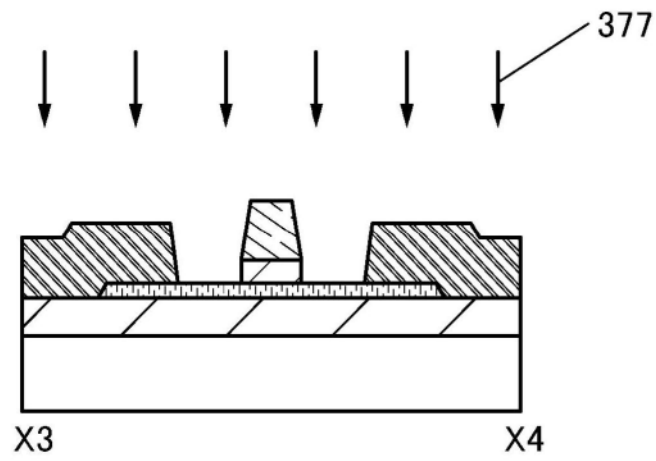


图33B

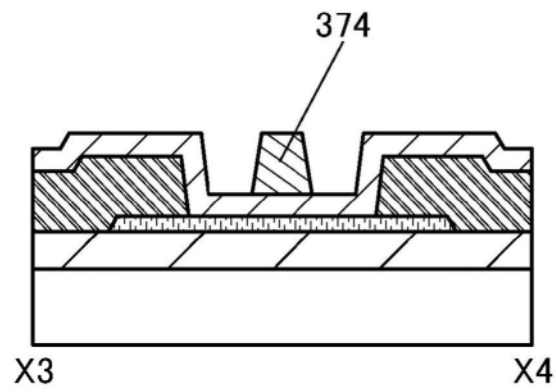


图34A

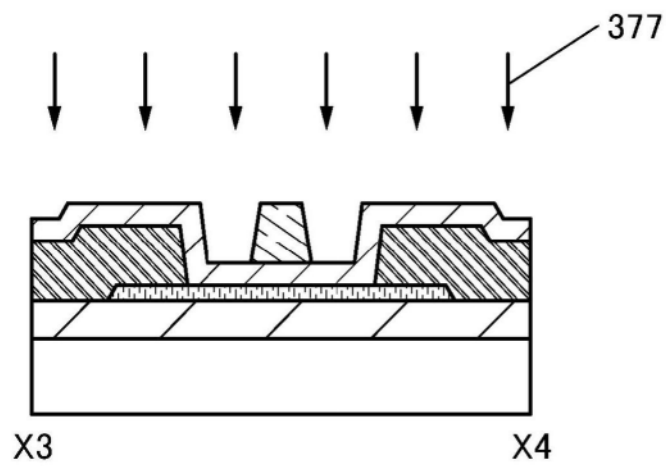


图34B

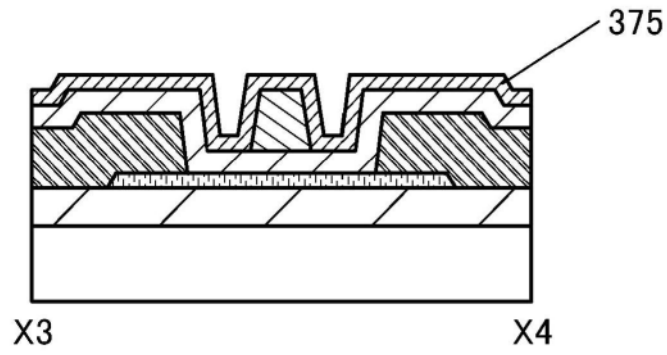


图34C

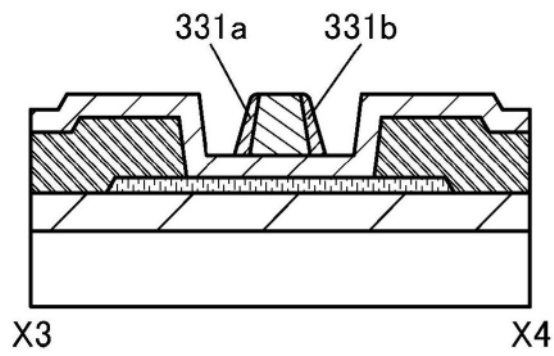


图34D

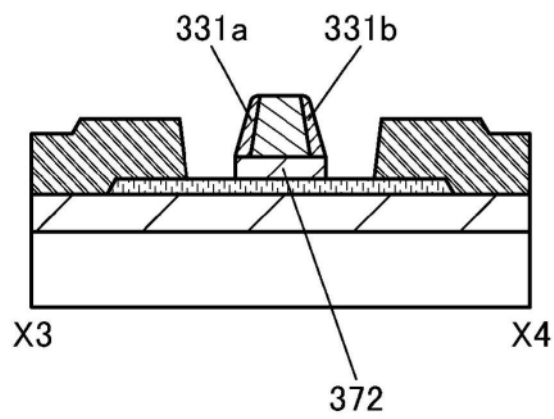


图35A

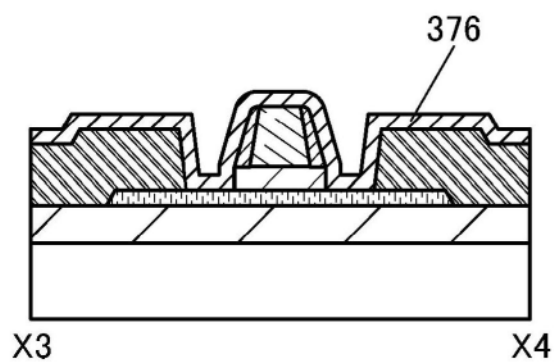


图35B

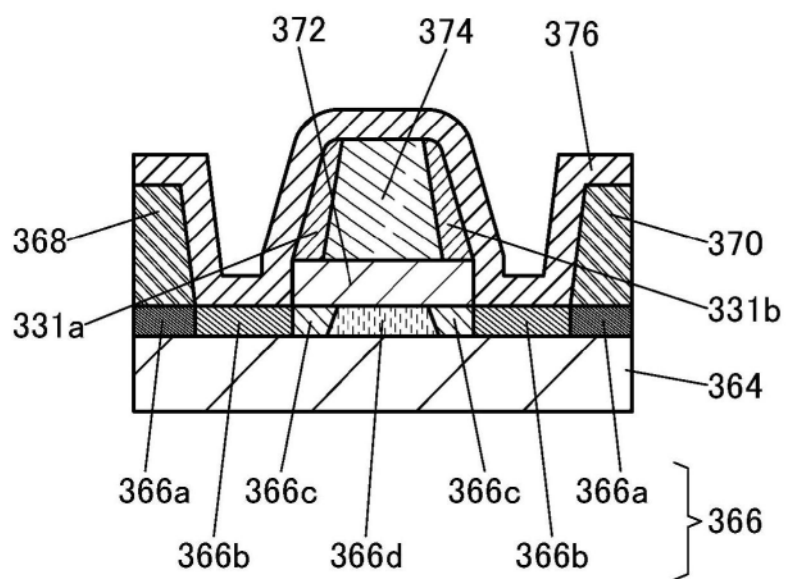


图35C

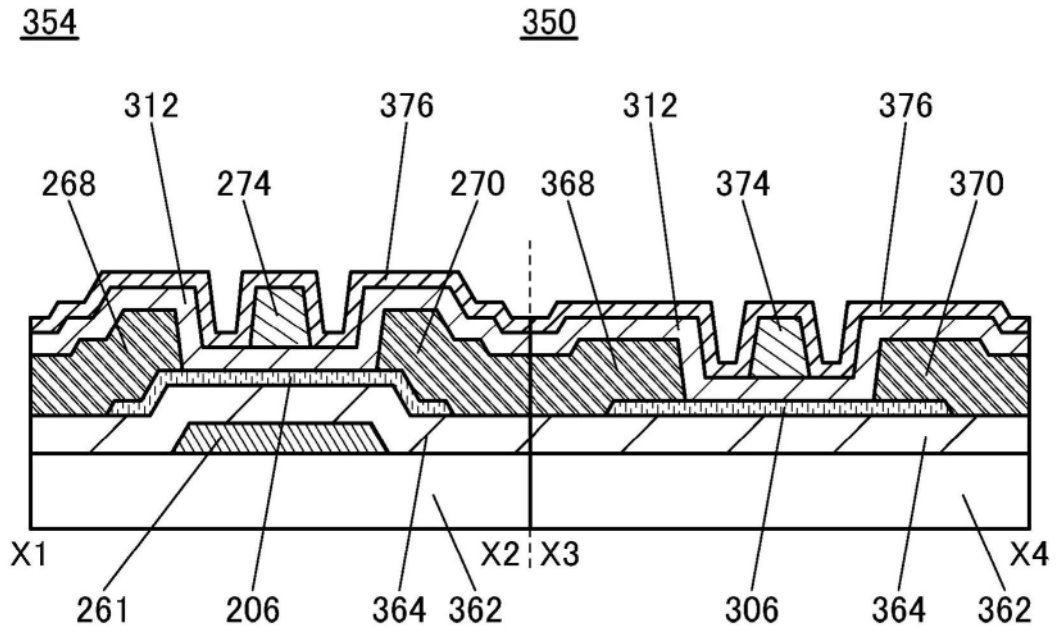


图36

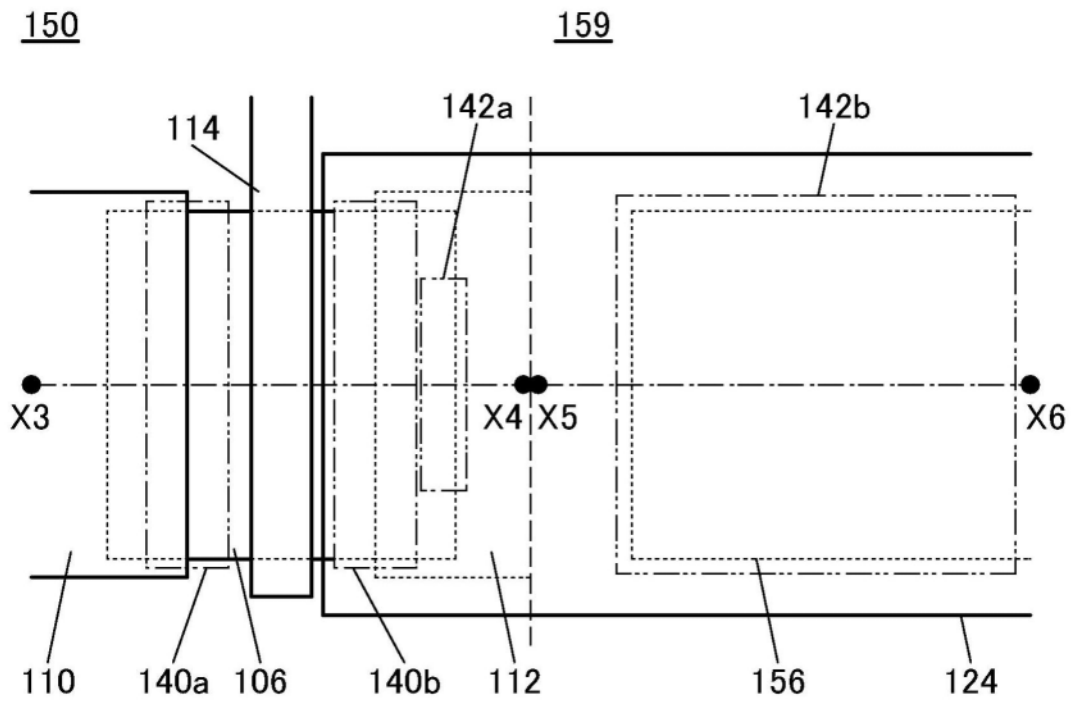


图37A

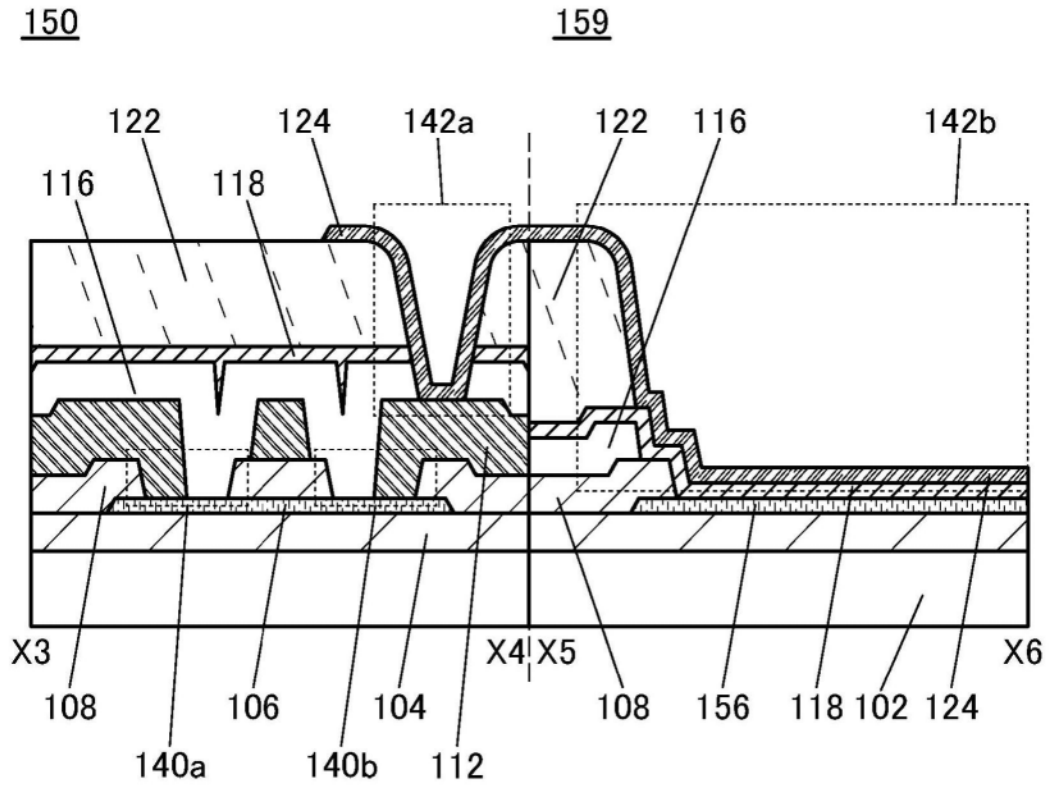


图37B

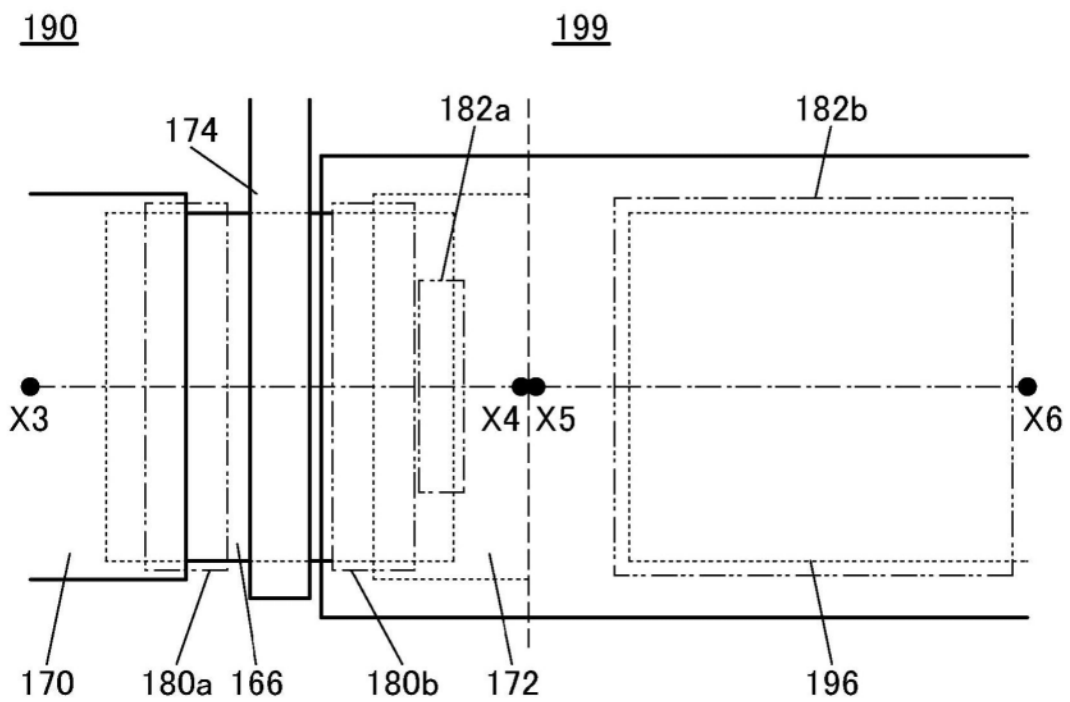


图38A

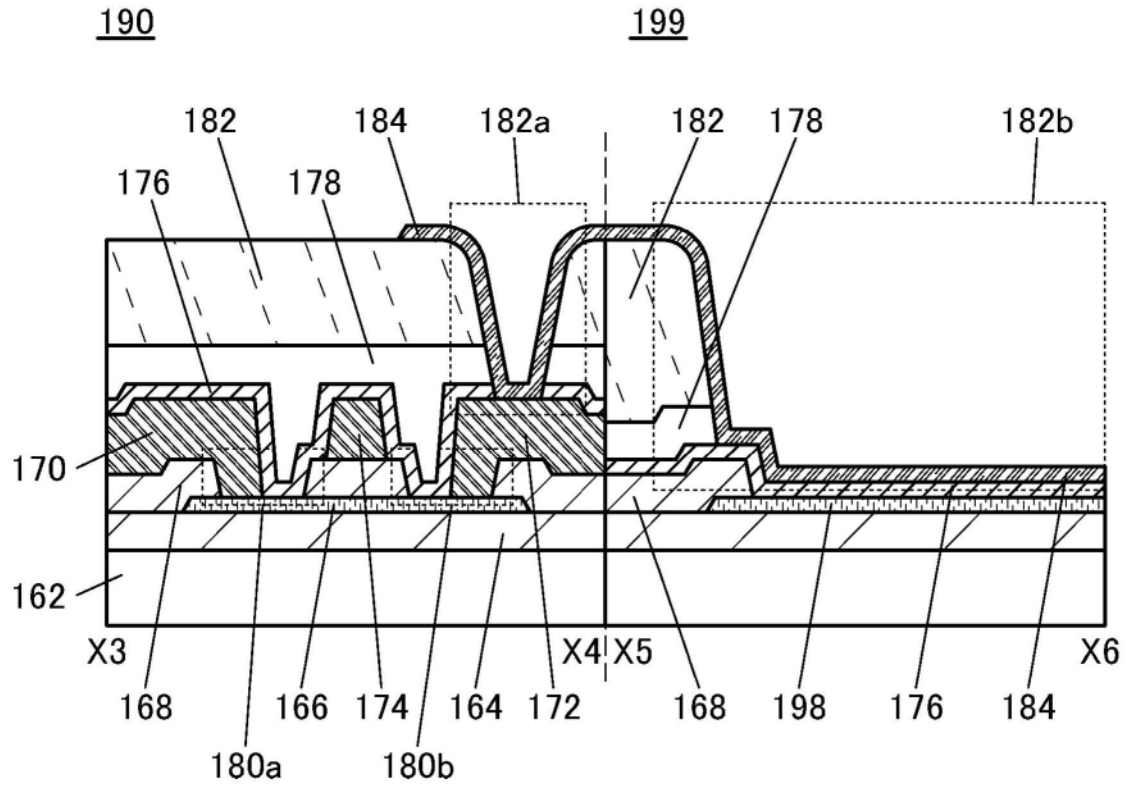


图38B

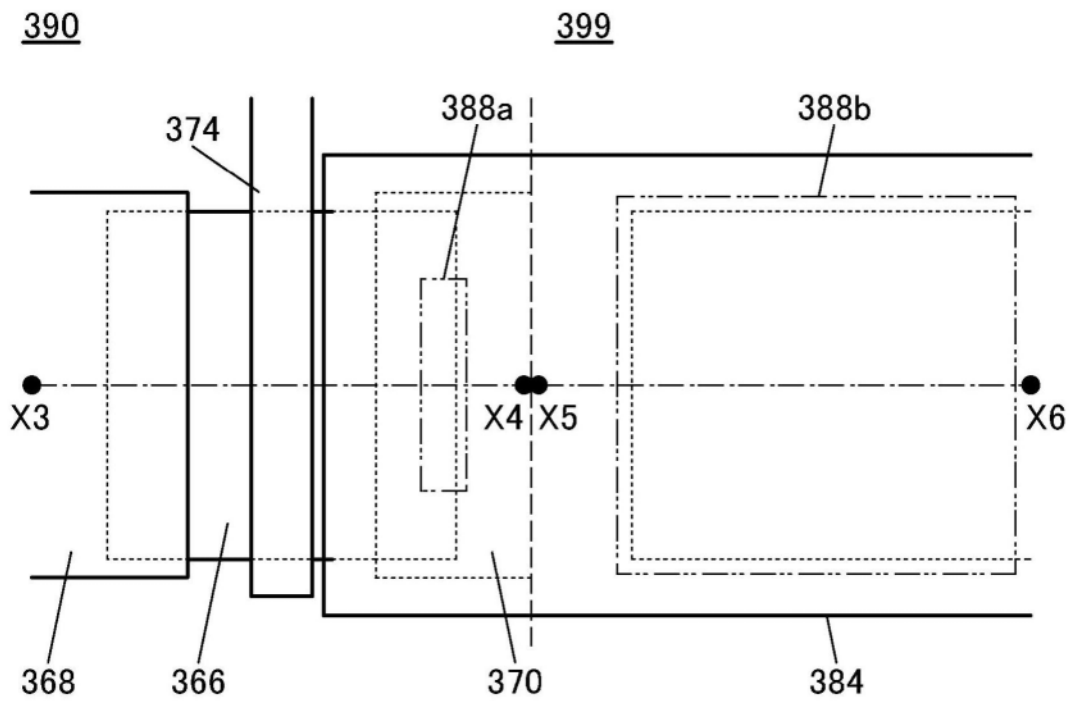


图39A

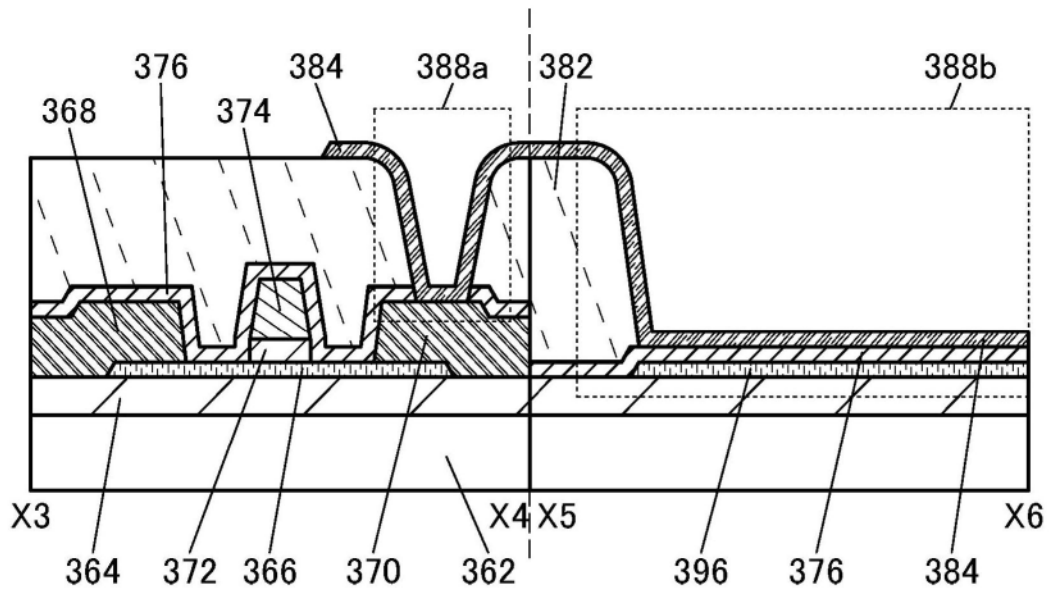
390399

图39B

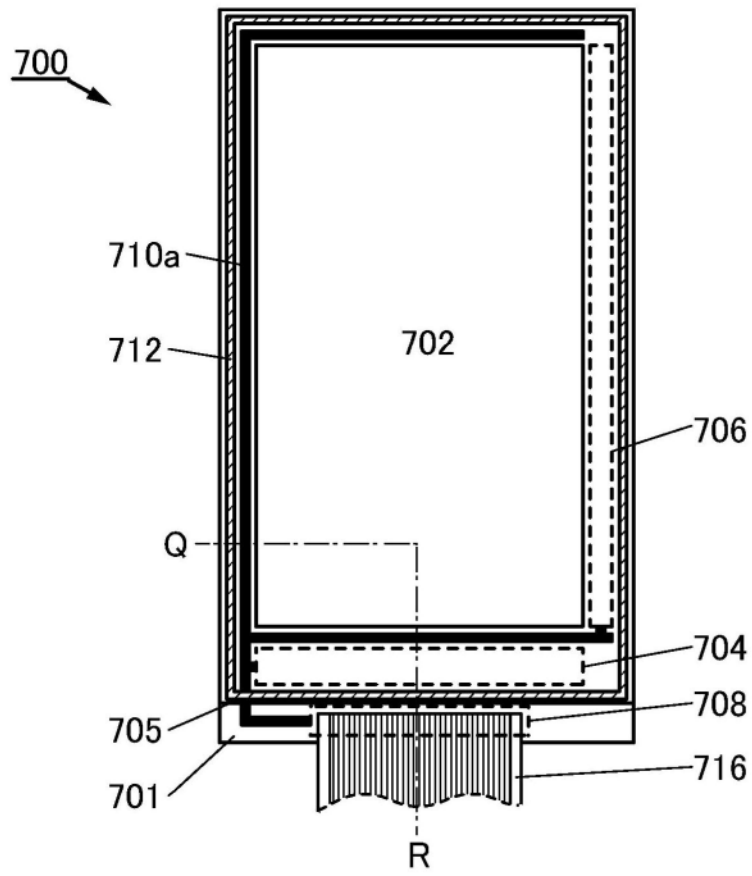


图40A

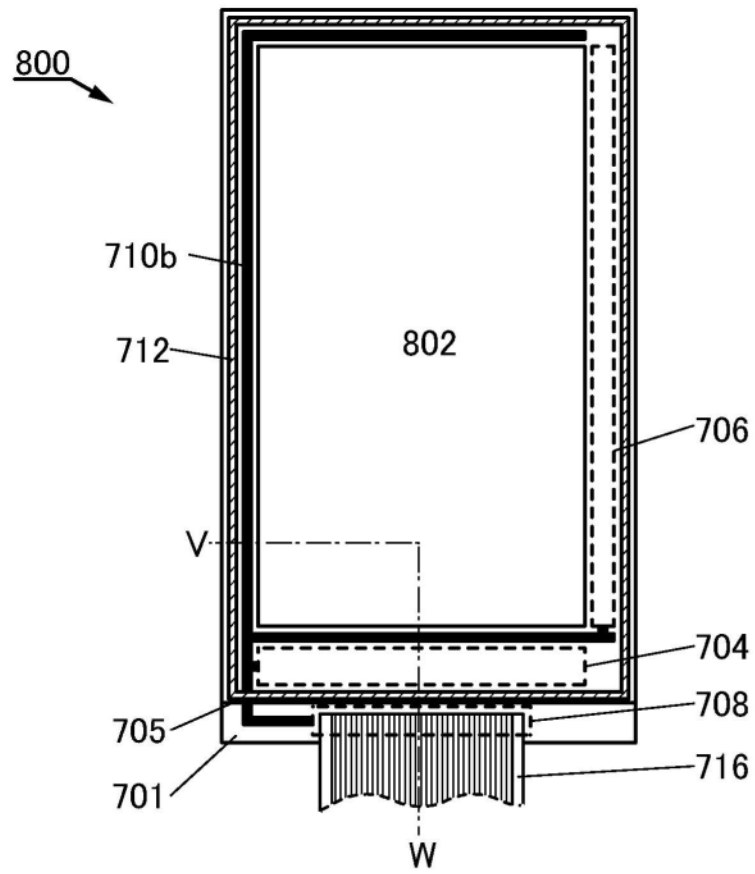


图40B

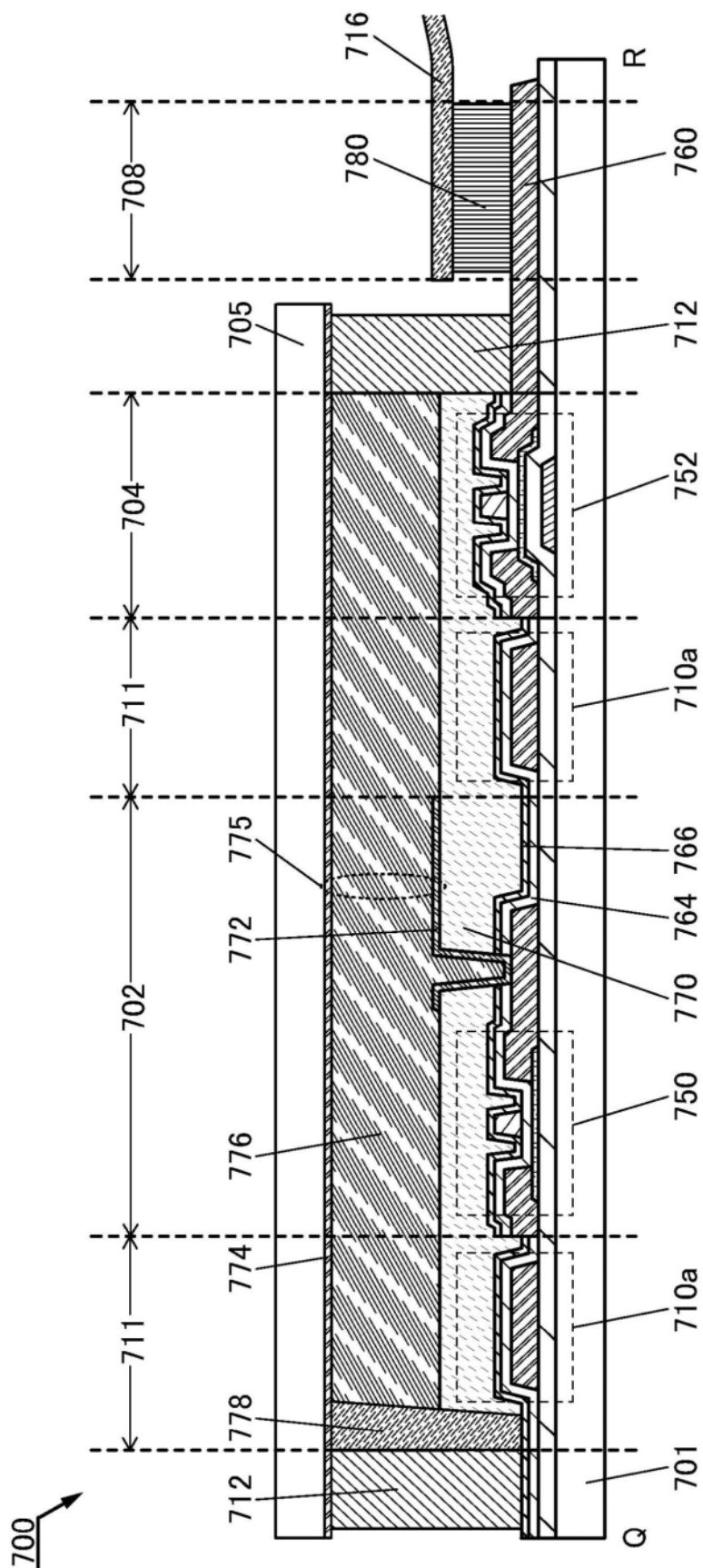


图41

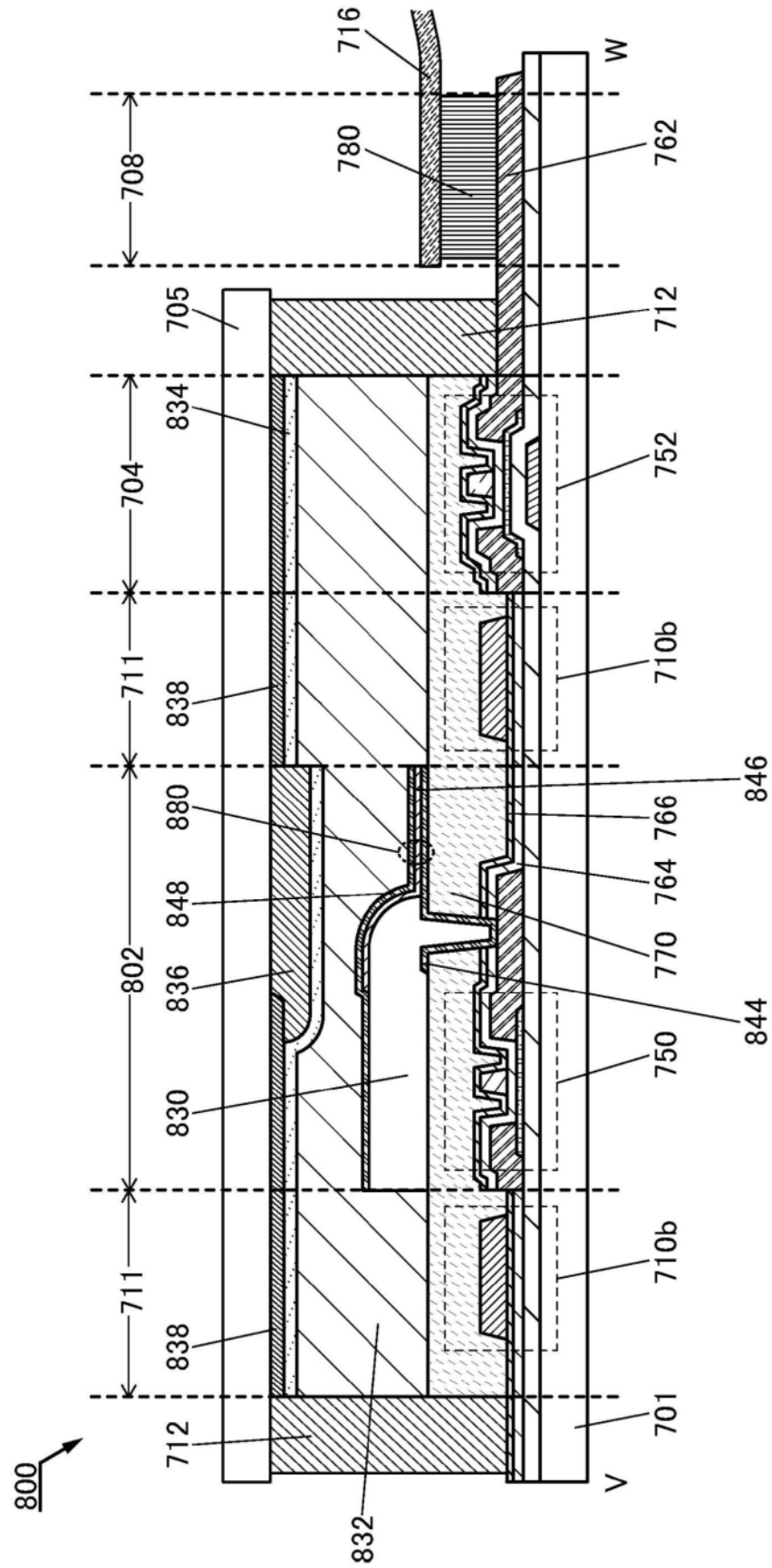


图42

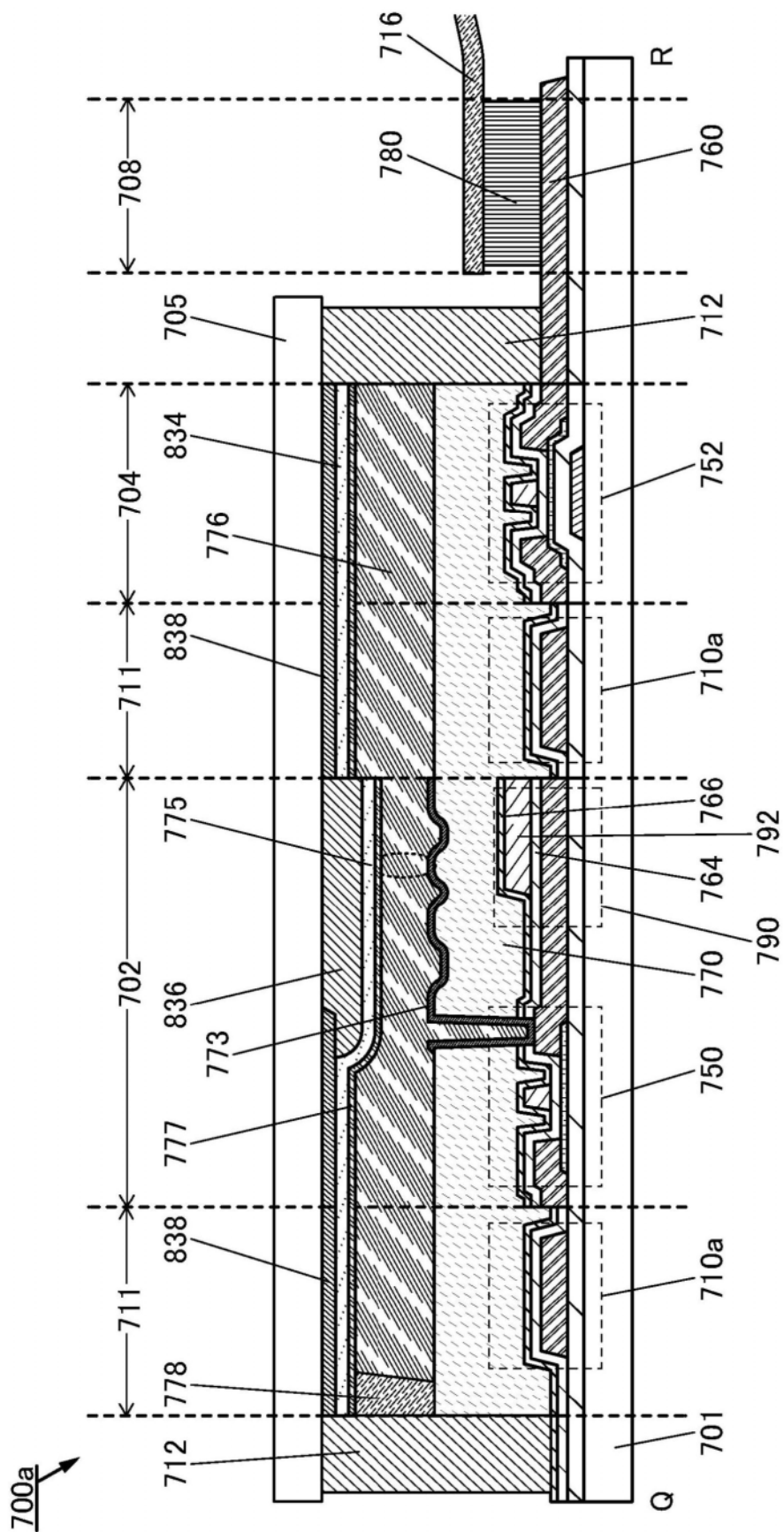


图43

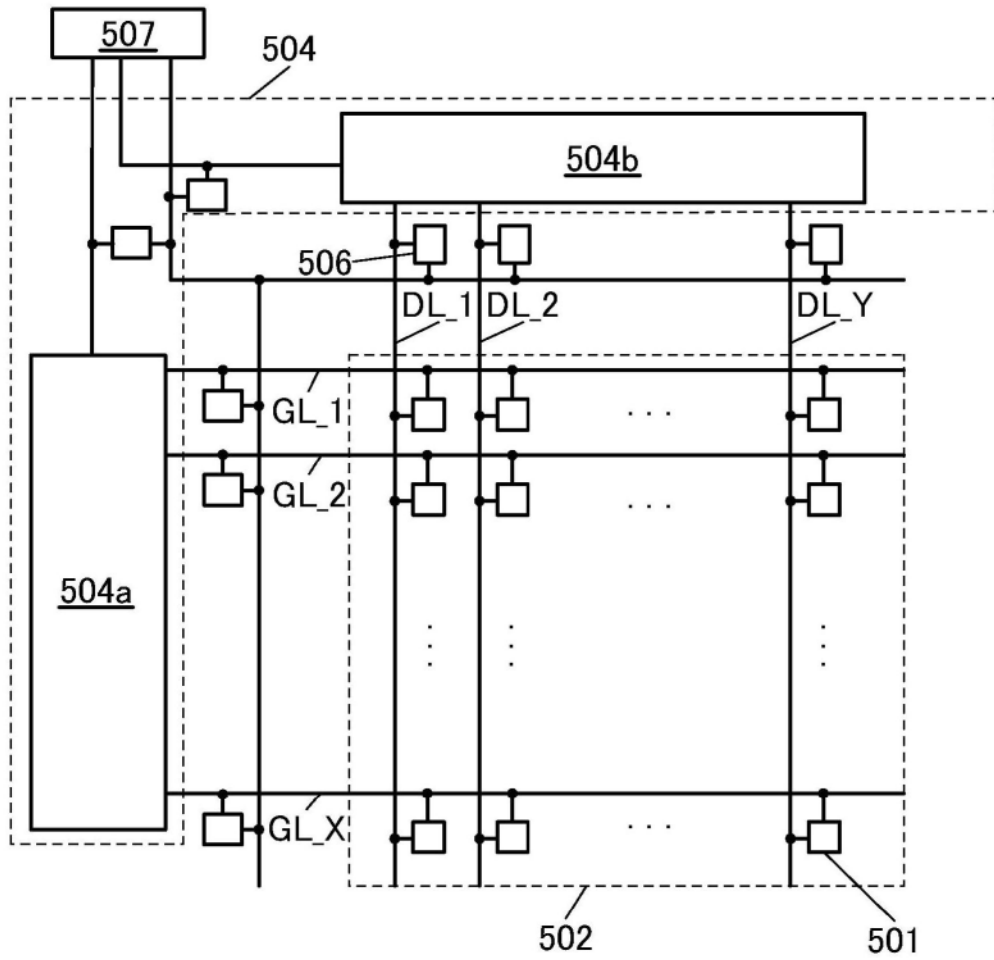


图44A

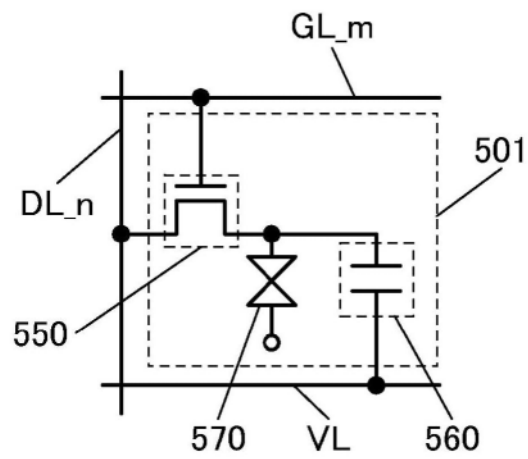


图44B

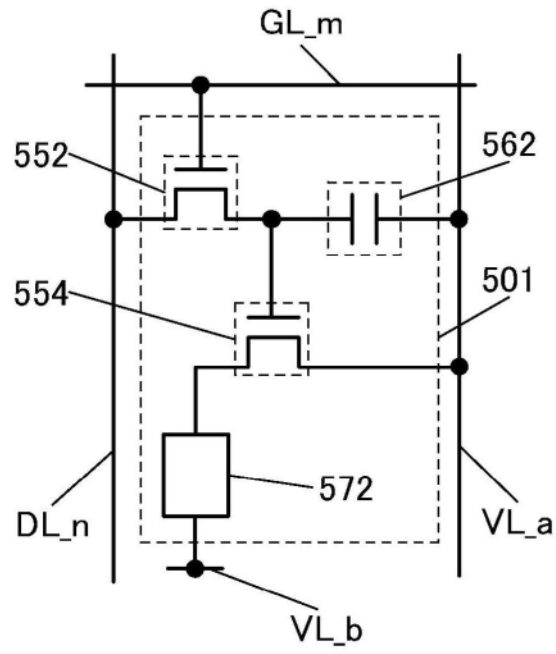


图44C

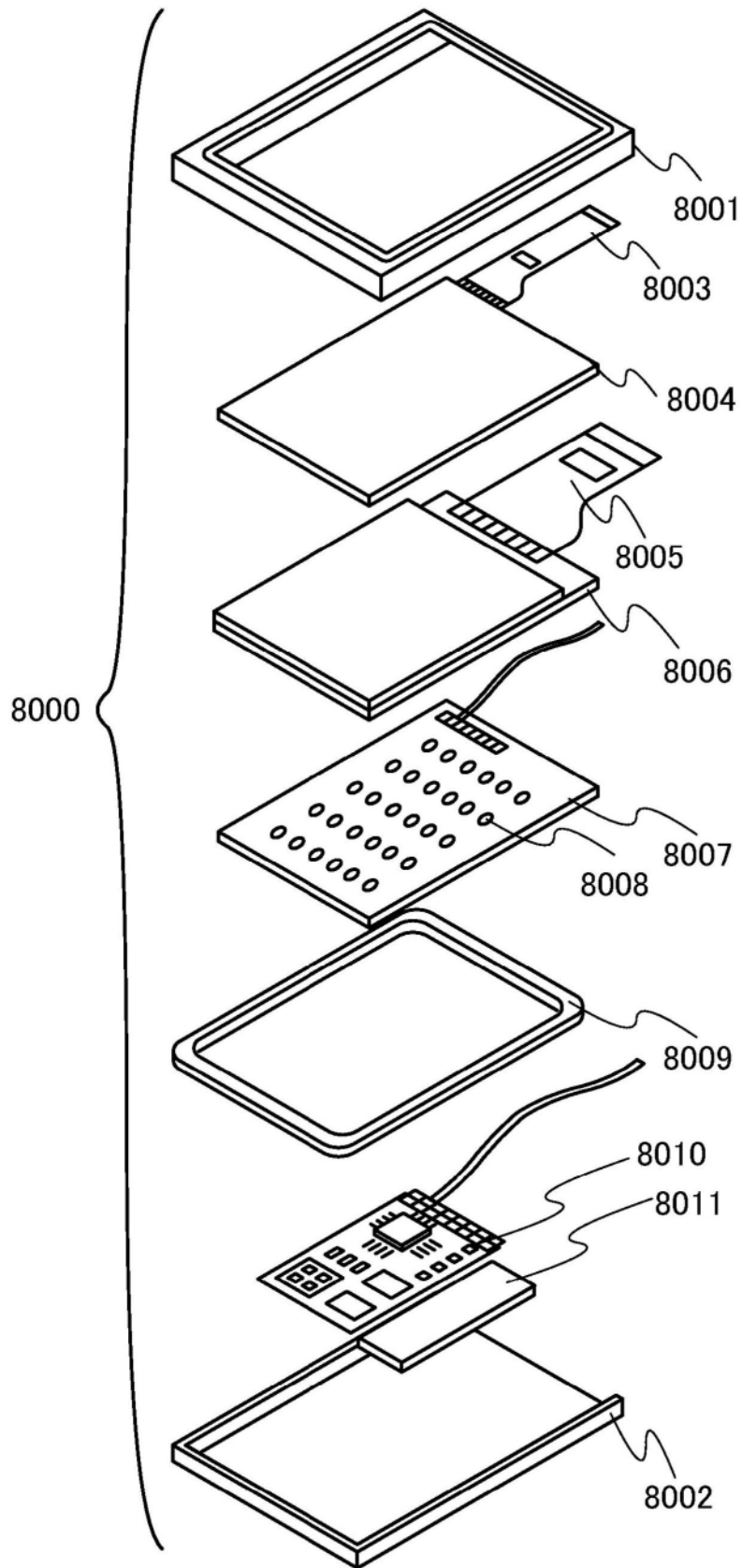


图45

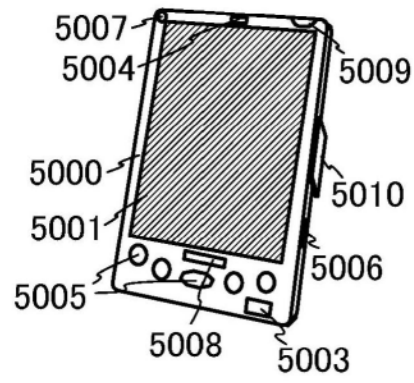


图46A

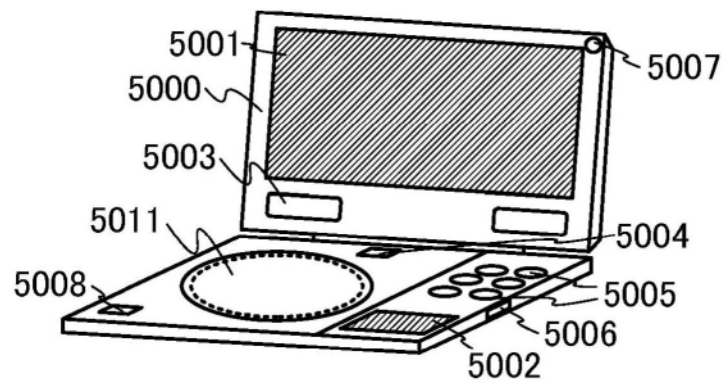


图46B

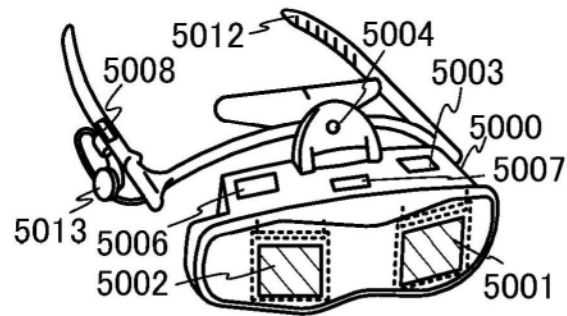


图46C

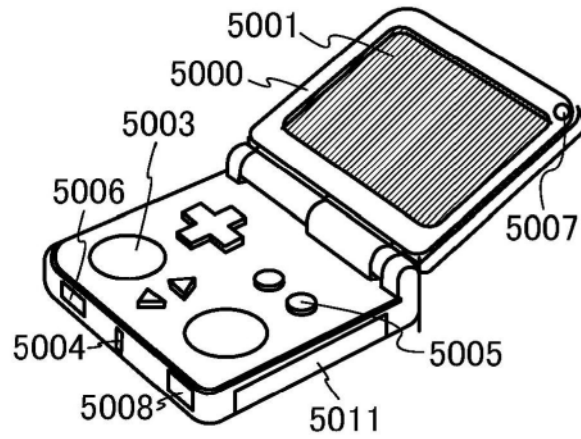


图46D

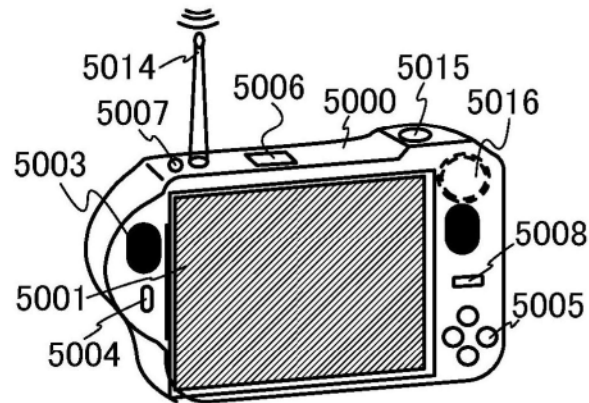


图46E

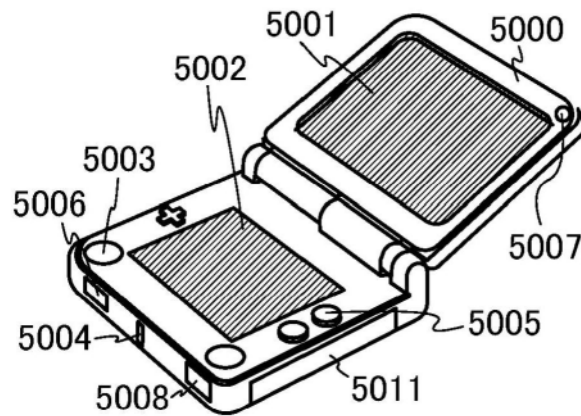


图46F

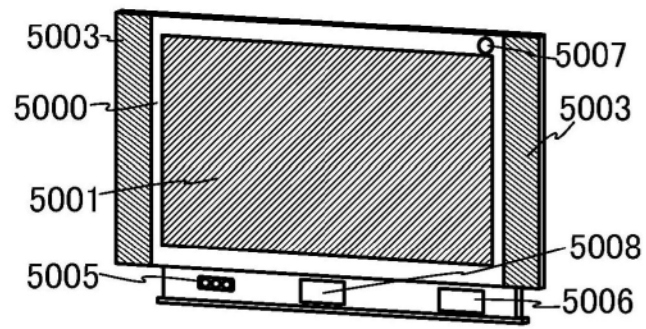


图46G

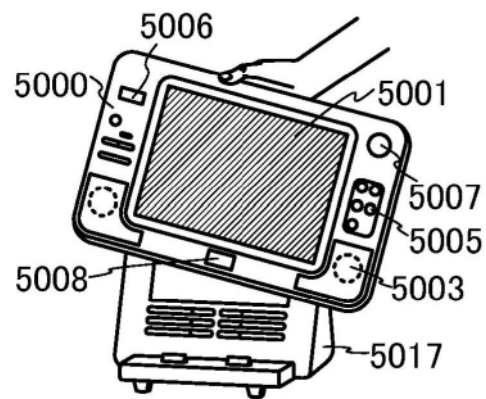


图46H

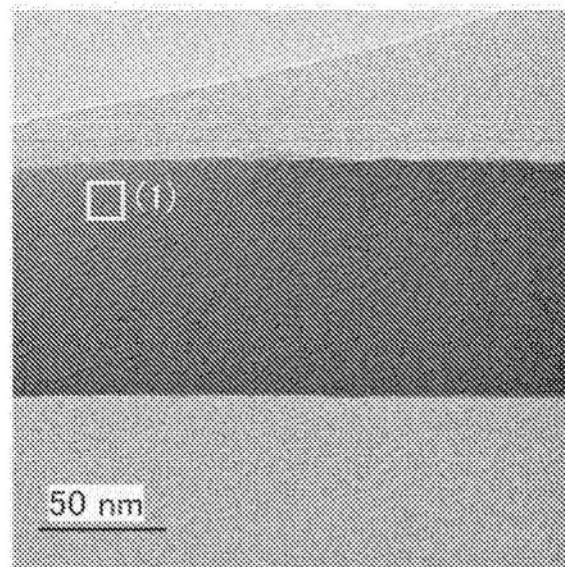


图47A

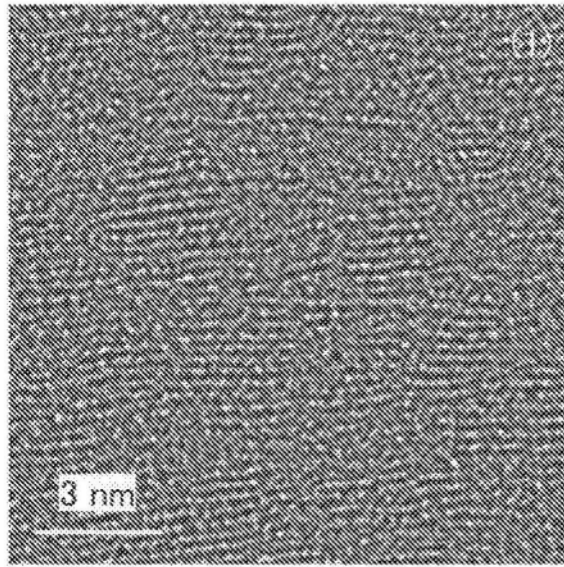


图47B

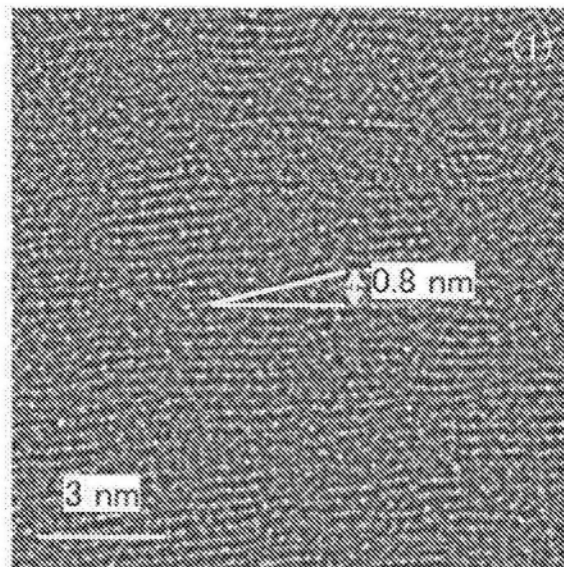


图47C

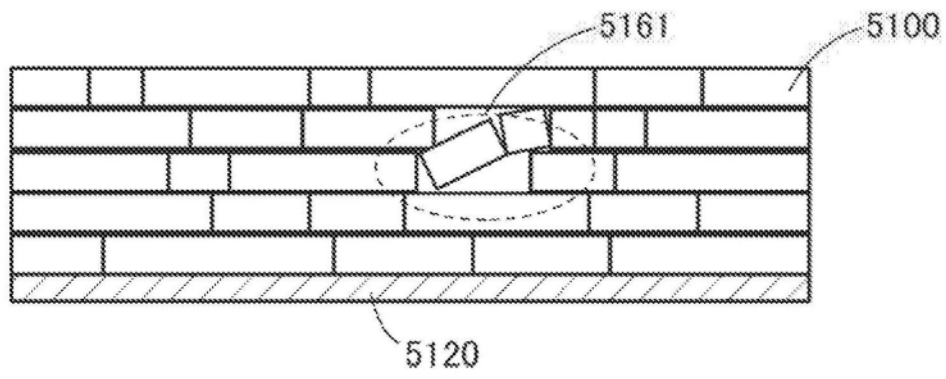


图47D

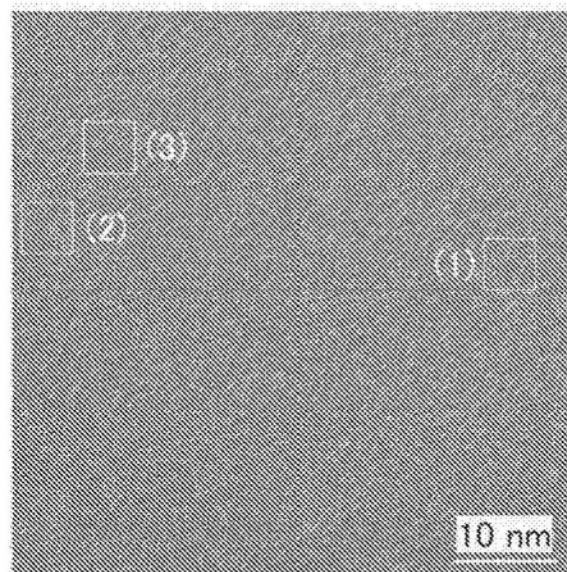


图48A

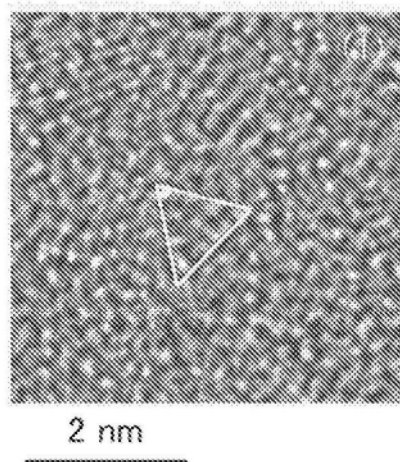


图48B

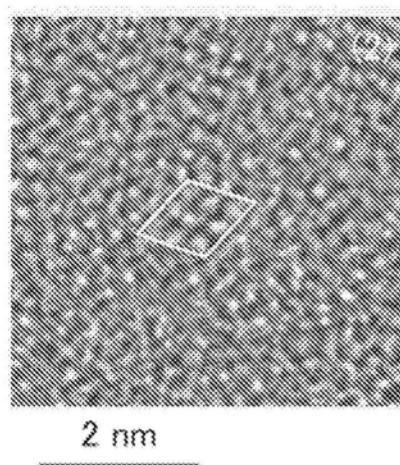


图48C

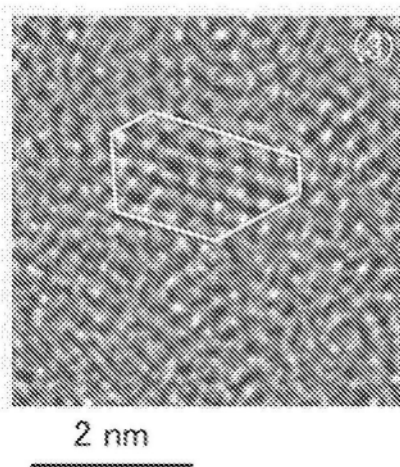


图48D

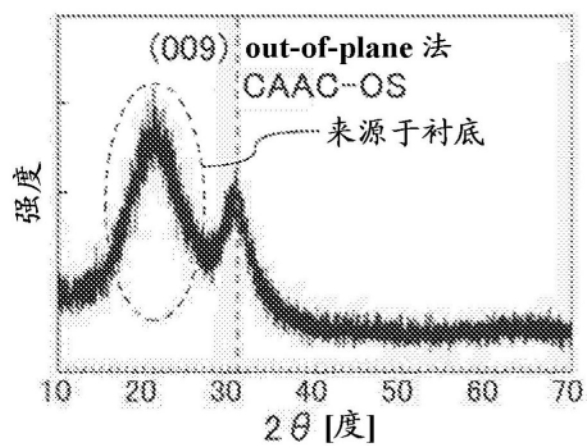


图49A

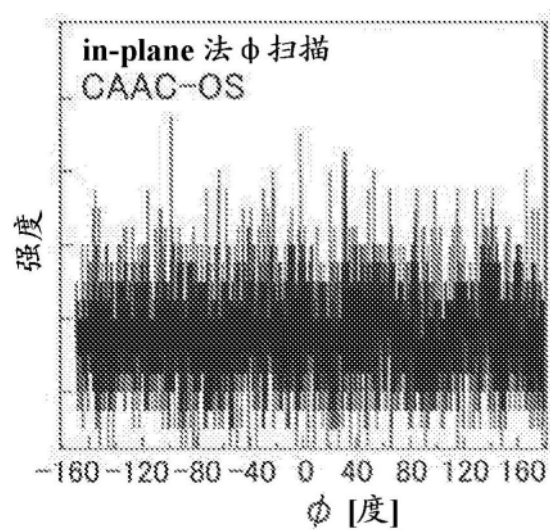


图49B

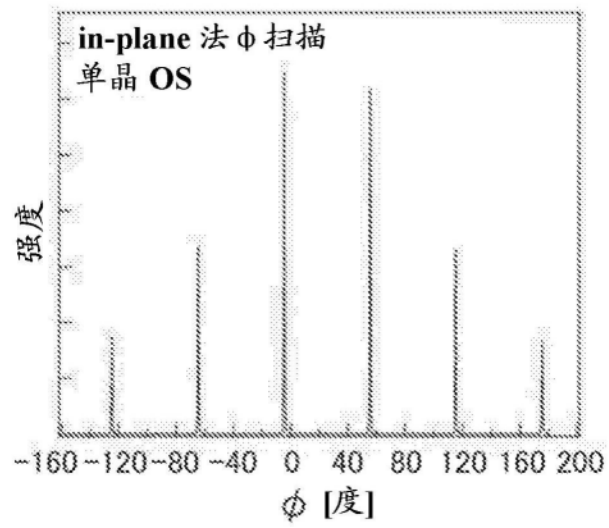


图49C

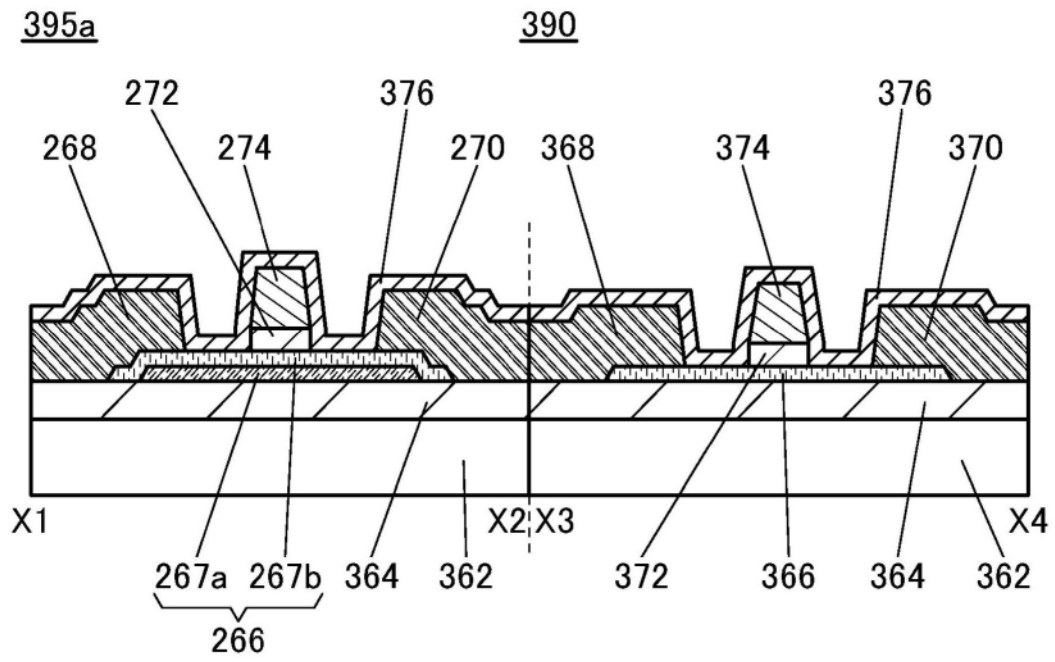


图50A

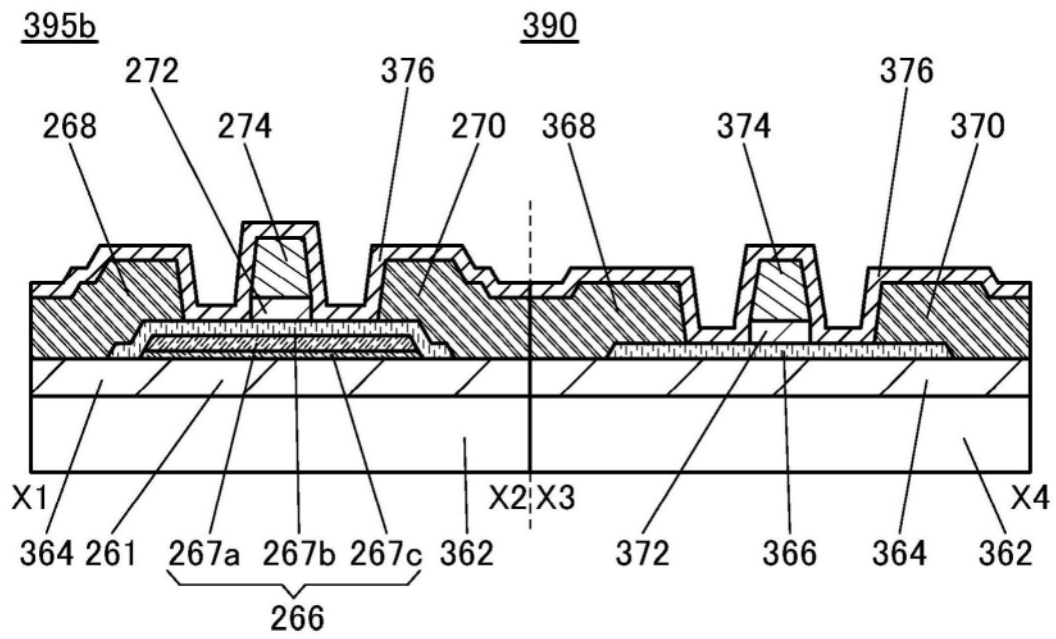


图50B

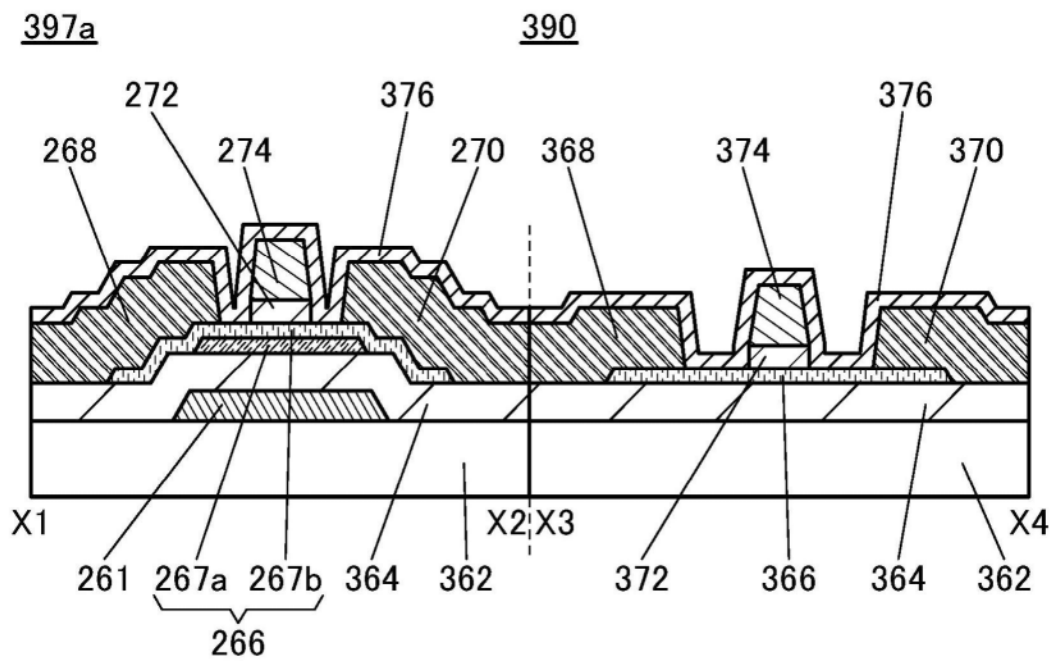


图51A

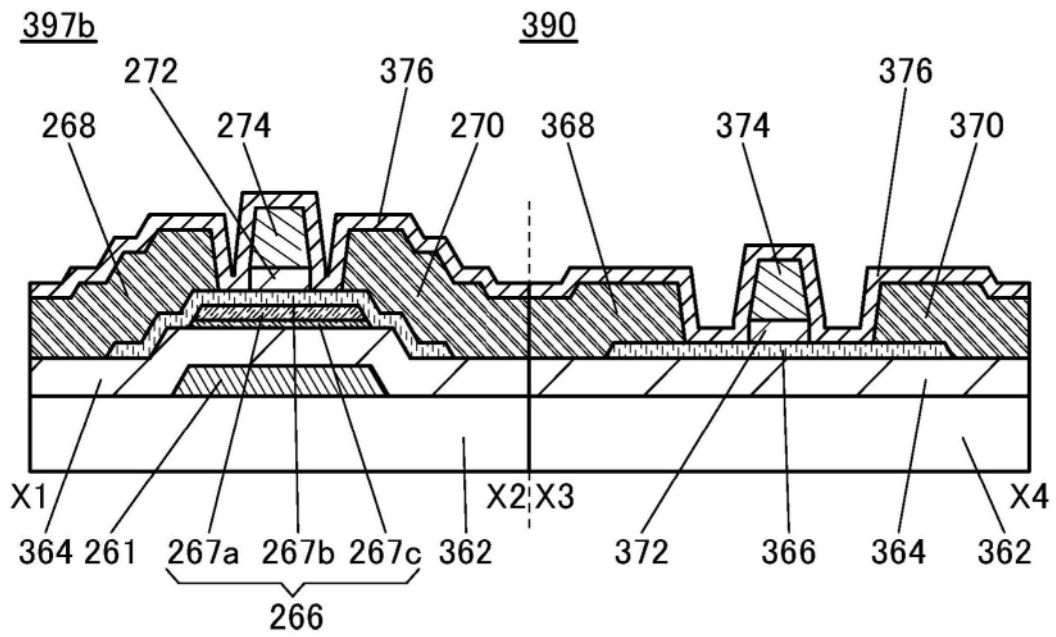


图51B

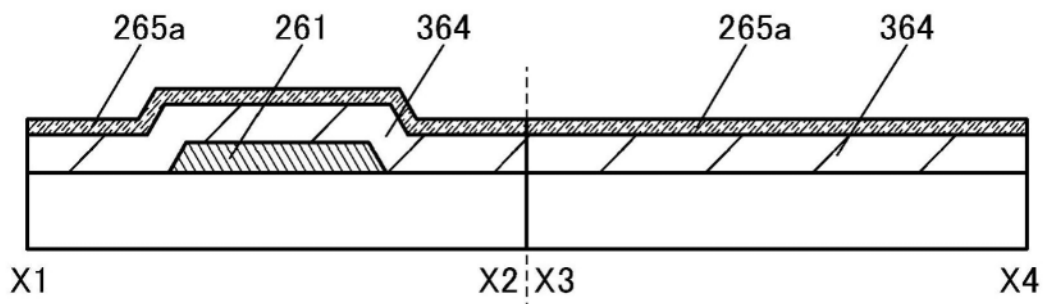


图52A

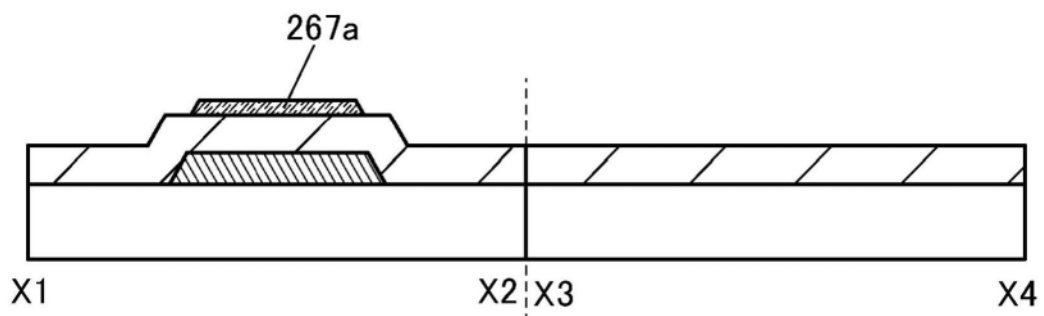


图52B

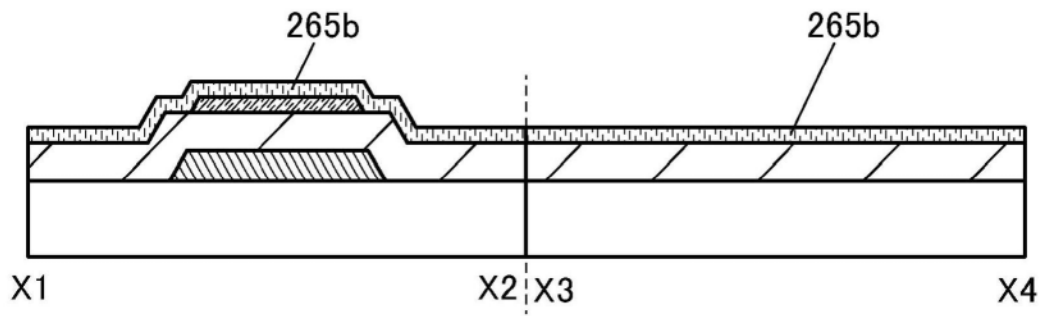


图52C

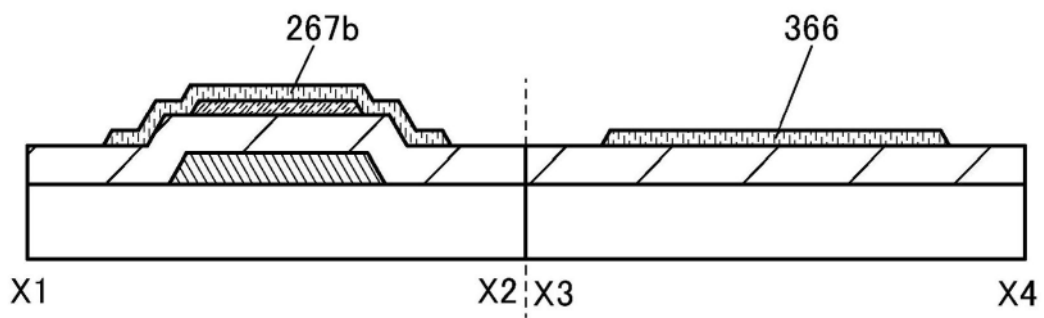


图52D

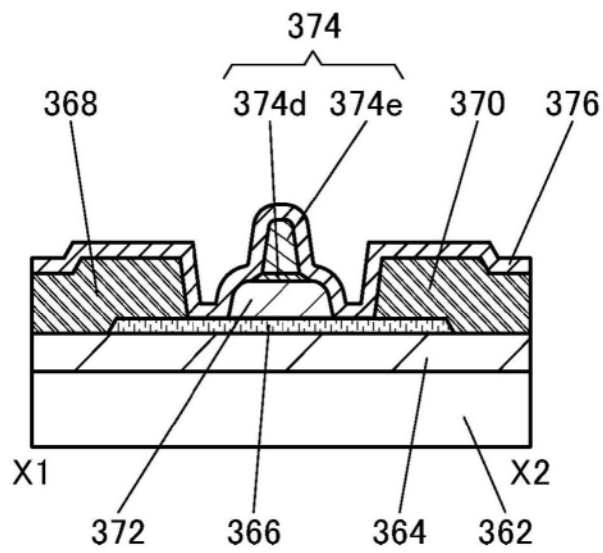
390a

图53A

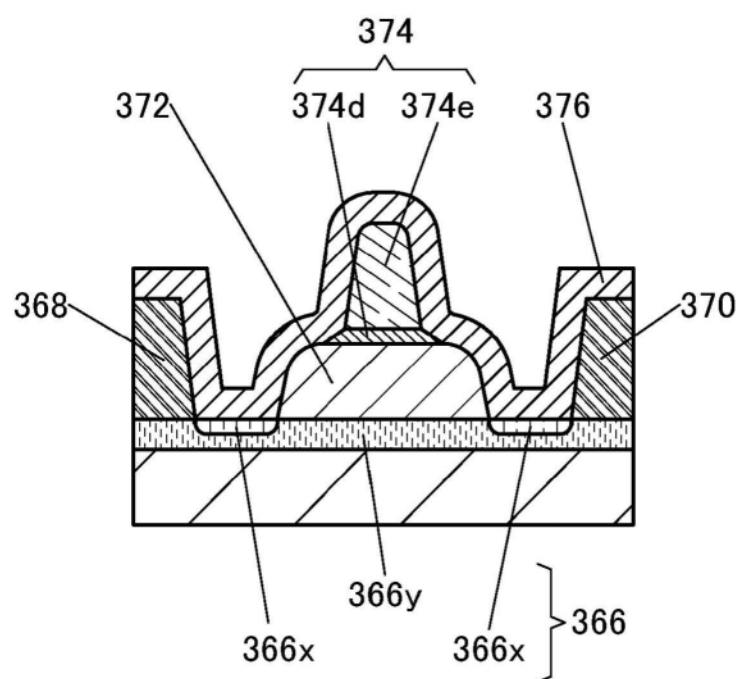


图53B

154

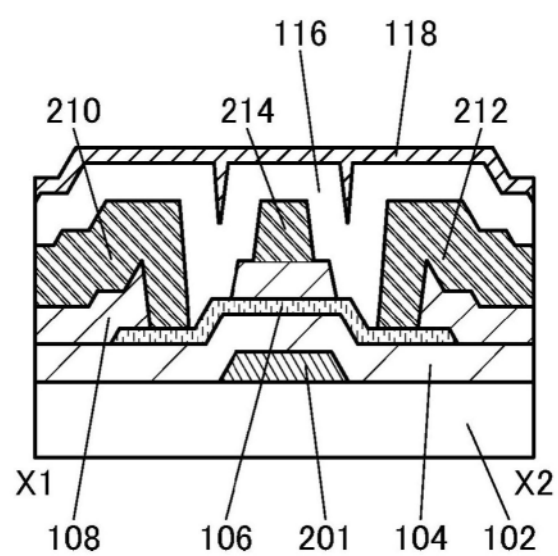


图54A

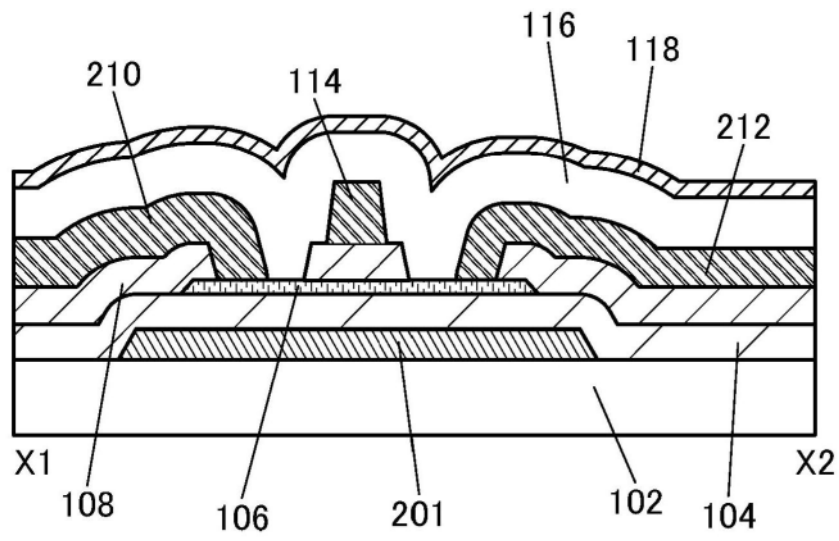
154

图54B

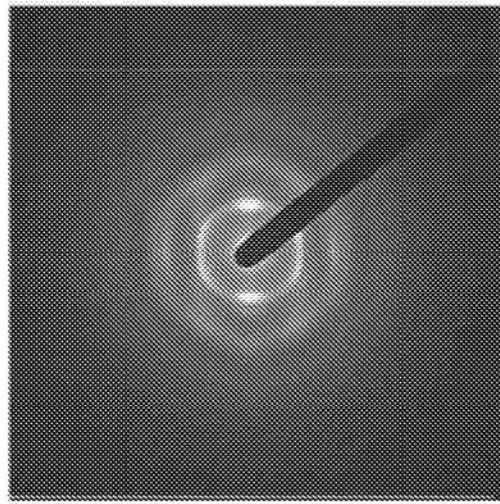


图55A

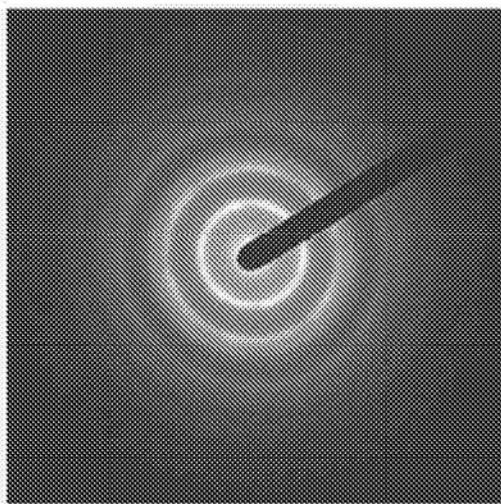


图55B

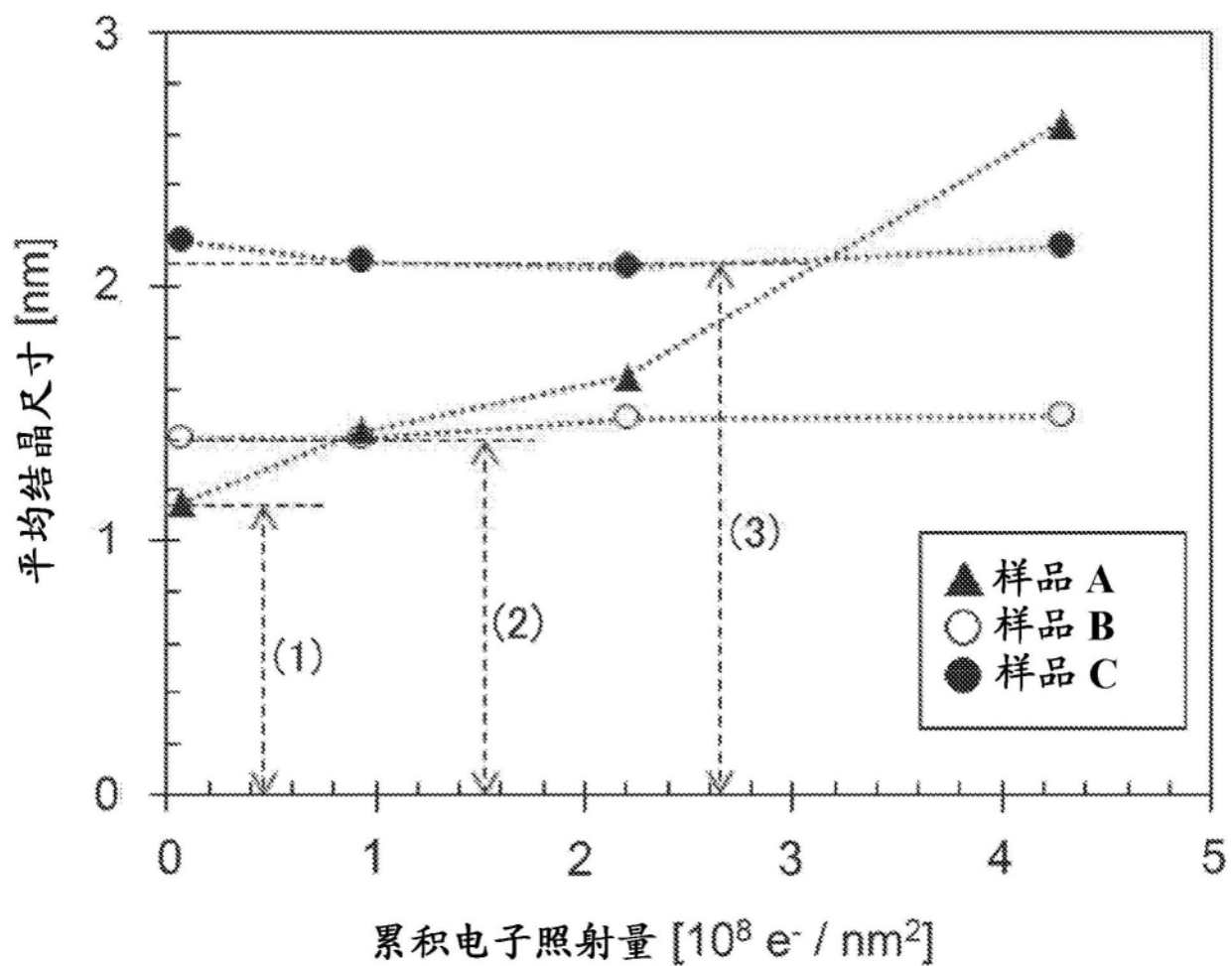


图56

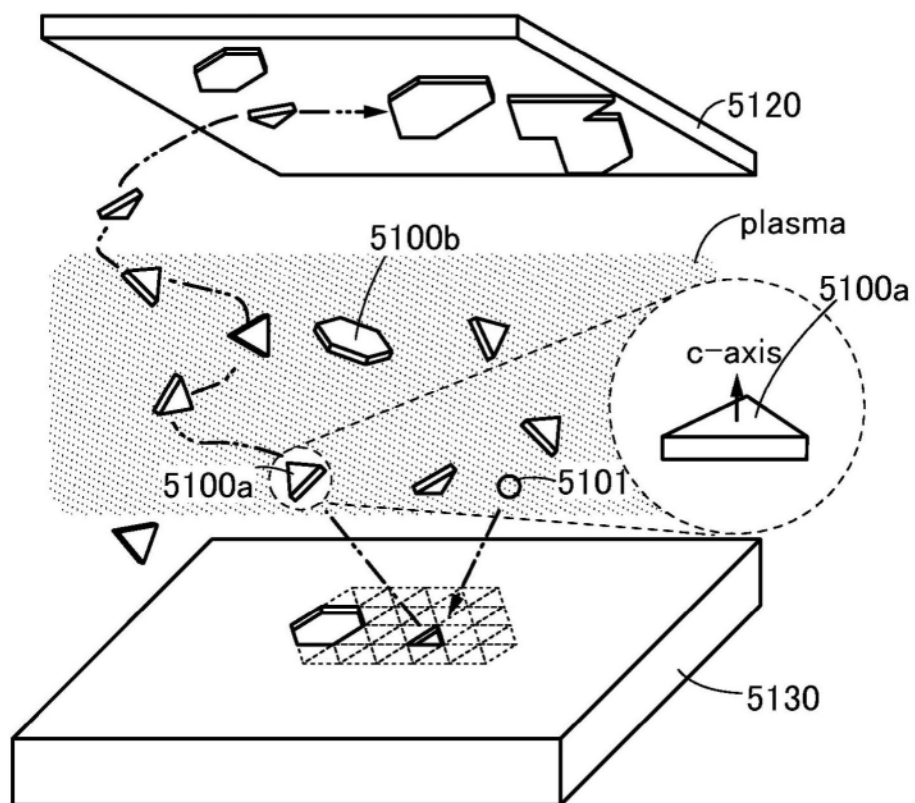


图57A

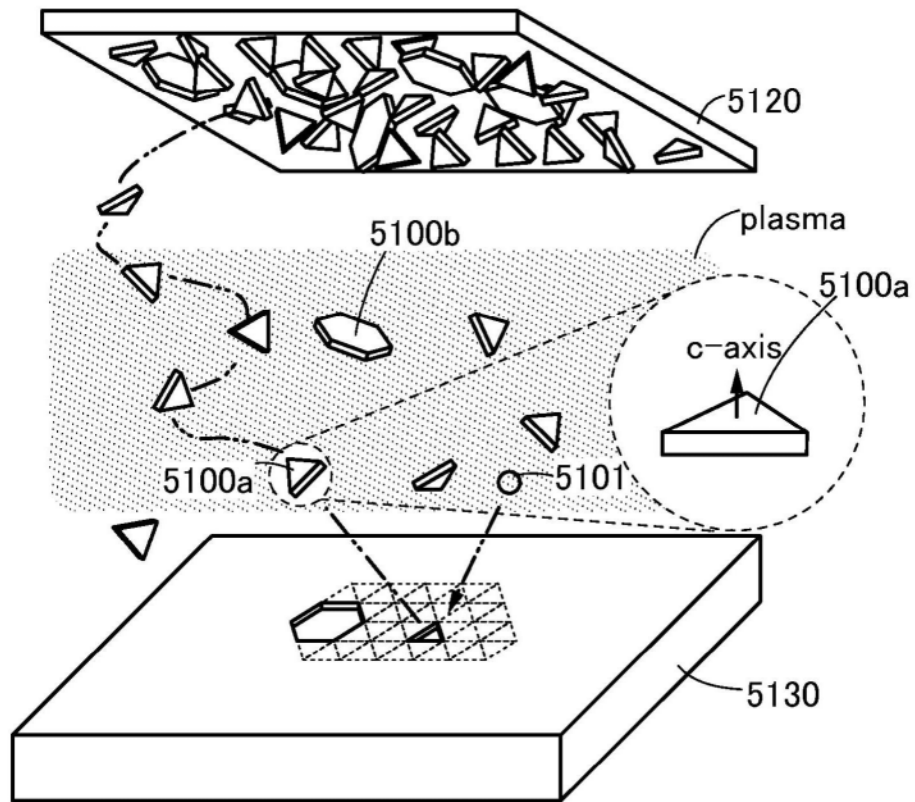


图57B

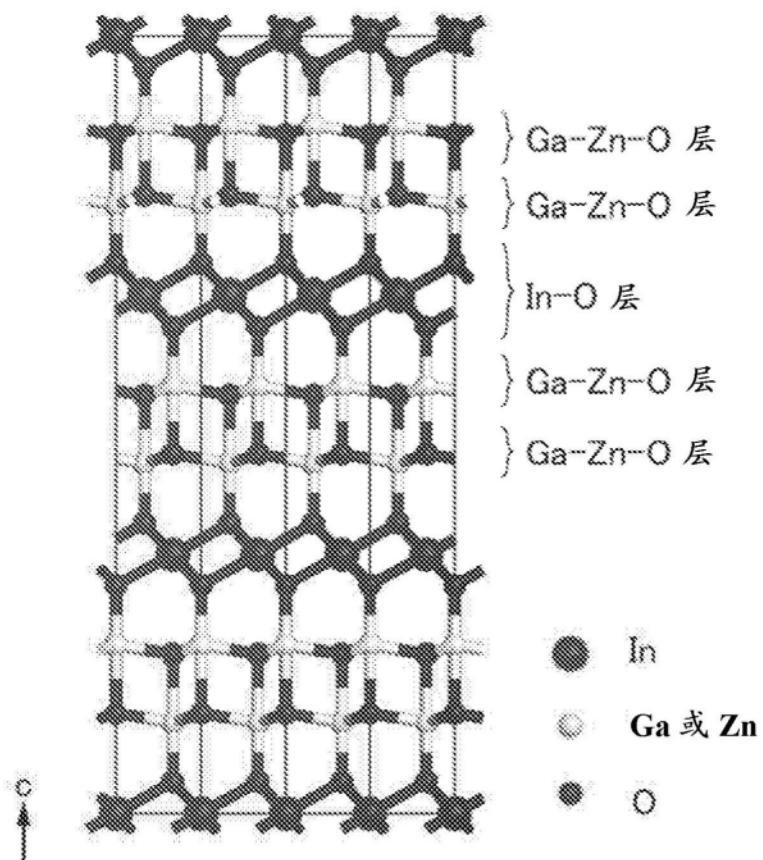


图58A

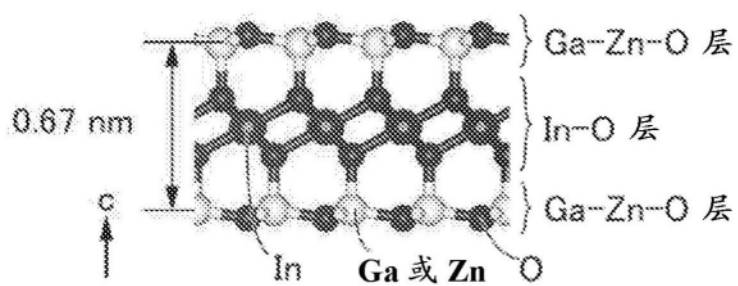


图58B

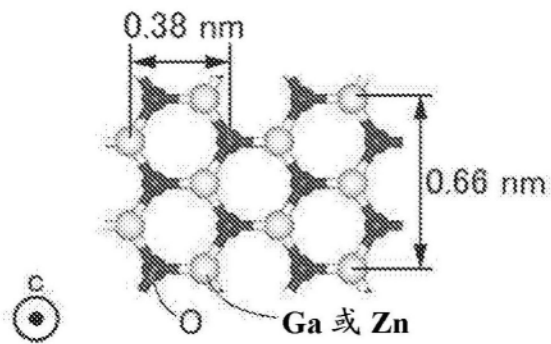


图58C

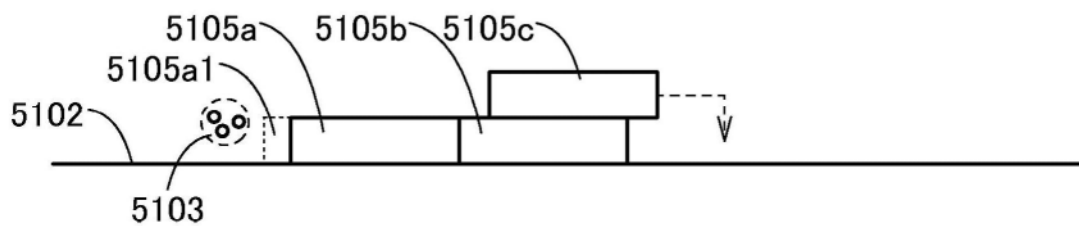


图59A

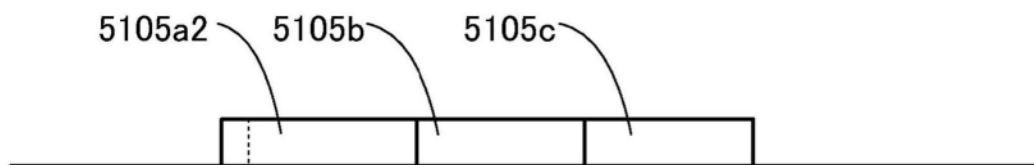


图59B

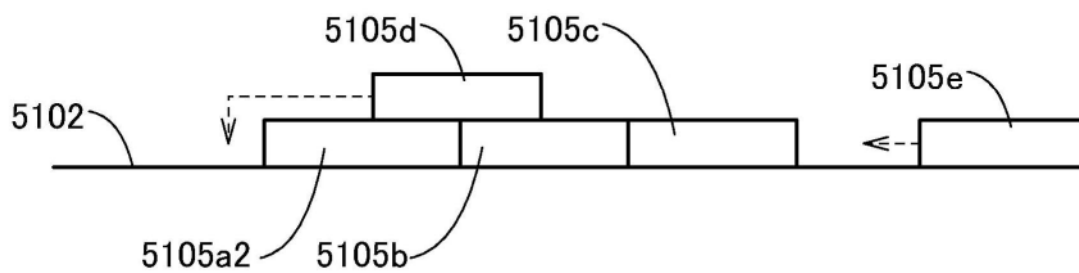


图59C

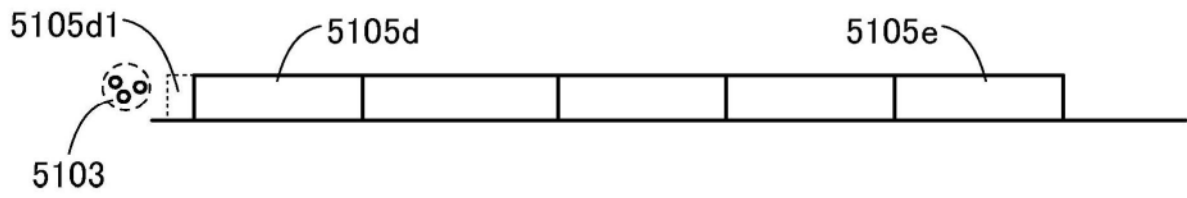


图59D