



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I553872 B

(45)公告日：中華民國 105 (2016) 年 10 月 11 日

(21)申請案號：104123763

(22)申請日：中華民國 99 (2010) 年 12 月 15 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L21/336 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2009/12/25 日本

2009-294738

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；鄉戶宏充 GODO, HIROMICHI (JP)；河江
大輔 KAWAE, DAISUKE (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200903810A

WO 2009/093722A1

審查人員：毛弘瑋

申請專利範圍項數：11 項 圖式數：12 共 82 頁

(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

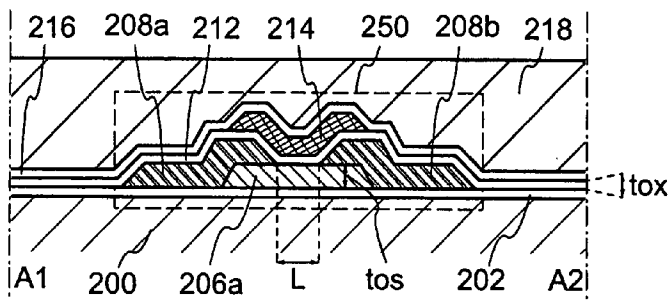
(57)摘要

提供一種半導體裝置，其包括：氧化物半導體層；源極電極；及汲極電極電氣連接至該氧化物半導體層；閘極絕緣層，覆蓋該氧化物半導體、該源極電極及該汲極電極；及閘極電極在該閘極絕緣層之上。該氧化物半導體層的厚度係大於或等於 1nm 及小於或等於 10nm。閘極絕緣層滿足一關係，其中當用作為閘極絕緣層的材料之相對電容率為 ϵ_r 及閘極絕緣層的厚度為 d 時， ϵ_r/d 係大於或等於 $0.08(\text{nm}^{-1})$ 及小於或等於 $7.9(\text{nm}^{-1})$ 。於源極電極與汲極電極間之距離係大於或等於 10nm 並小於或等於 $1\mu\text{m}$ 。

A semiconductor device which includes an oxide semiconductor layer, a source electrode and a drain electrode electrically connected to the oxide semiconductor layer, a gate insulating layer covering the oxide semiconductor layer, the source electrode, and the drain electrode, and a gate electrode over the gate insulating layer is provided. The thickness of the oxide semiconductor layer is greater than or equal to 1 nm and less than or equal to 10 nm. The gate insulating layer satisfies a relation where ϵ_r/d is greater than or equal to $0.08(\text{nm}^{-1})$ and less than or equal to $7.9(\text{nm}^{-1})$ when the relative permittivity of a material used for the gate insulating layer is ϵ_r and the thickness of the gate insulating layer is d . The distance between the source electrode and the drain electrode is greater than or equal to 10 nm and less than or equal to $1\mu\text{m}$.

指定代表圖：

圖 1A



符號簡單說明：

- 200 . . . 基材
- 202 . . . 絕緣層
- 206a . . . 氧化物半導體層
- 208a . . . 源極或汲極電極
- 208b . . . 源極或汲極電極
- 212 . . . 閘極絕緣層
- 214 . . . 閘極電極
- 216 . . . 層間絕緣層
- 218 . . . 層間絕緣層
- 250 . . . 電晶體
- L . . . 通道長度
- tos . . . 厚度
- tox . . . 厚度

發明摘要

※申請案號: 104123703 (由 99143989 分割)

※申請日: 99.12.15

※IPC 分類: H01L 29/78 (2006.01)

H01L 21/336 (2006.01)

【發明名稱】(中文/英文)

H01L 21/28 (2006.01)

半導體裝置及其製造方法

Semiconductor device and method for manufacturing the same

【中文】

提供一種半導體裝置，其包括：氧化物半導體層；源極電極；及汲極電極電氣連接至該氧化物半導體層；閘極絕緣層，覆蓋該氧化物半導體、該源極電極及該汲極電極；及閘極電極在該閘極絕緣層之上。該氧化物半導體層的厚度係大於或等於 1nm 及小於或等於 10nm。閘極絕緣層滿足一關係，其中當用作為閘極絕緣層的材料之相對電容率為 ϵ_r 及閘極絕緣層的厚度為 d 時， ϵ_r/d 係大於或等於 $0.08(\text{nm}^{-1})$ 及小於或等於 $7.9(\text{nm}^{-1})$ 。於源極電極與汲極電極間之距離係大於或等於 10nm 並小於或等於 $1\mu\text{m}$ 。

【 英文 】

A semiconductor device which includes an oxide semiconductor layer, a source electrode and a drain electrode electrically connected to the oxide semiconductor layer, a gate insulating layer covering the oxide semiconductor layer, the source electrode, and the drain electrode, and a gate electrode over the gate insulating layer is provided. The thickness of the oxide semiconductor layer is greater than or equal to 1 nm and less than or equal to 10 nm. The gate insulating layer satisfies a relation where ϵ_r/d is greater than or equal to 0.08 (nm^{-1}) and less than or equal to 7.9 (nm^{-1}) when the relative permittivity of a material used for the gate insulating layer is ϵ_r and the thickness of the gate insulating layer is d . The distance between the source electrode and the drain electrode is greater than or equal to 10 nm and less than or equal to 1 μm .

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

200：基材

202：絕緣層

206a：氧化物半導體層

208a：源極或汲極電極

208b：源極或汲極電極

212：閘極絕緣層

214：閘極電極

216：層間絕緣層

218：層間絕緣層

250：電晶體

L：通道長度

tos：厚度

tox：厚度

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and method for manufacturing the same

【技術領域】

本發明技術領域關係於半導體裝置及用以製造該半導體裝置的方法。應注意的是，於此所稱之半導體裝置表示一般元件或裝置，其動作係利用半導體特性者。

【先前技術】

有各種類型之金屬氧化物可以用於各種應用中。氧化銦係為已知材料並可以使用作為液晶顯示裝置及類似物所需之作為透明電極的材料。

一些金屬氧化具有半導體特徵。此等金屬氧化物的例子包含氧化鎢、氧化錫、氧化銦、氧化鋅及類似物。其中使用此金屬氧化物形成有通道形成區的薄膜電晶體係為已知的(例如，見專利文獻 1 至 4，非專利文獻 1 及類似物)。

不只單一成份氧化物，多成份氧化物也已知作為金屬氧化物。例如，具有同質系列之 $\text{InGaO}_3(\text{ZnO})_m$ (m 為自然數)係為已知多成份氧化物半導體，包含 In、Ga 及 Zn(例如，見非專利文獻 2 至 4 及類似物)。

另外，確認出此 In-Ga-Zn 為主氧化物的氧化物半導體也可以用於薄膜電晶體的通道形成區(例如，見專利文獻 5，非專利文獻 5 及 6 及類似物)。

[參考]

[專利文獻]

[專利文獻 1]日本公開專利申請號 S60-198861

[專利文獻 2]日本公開專利申請號 H8-264794

[專利文獻 3]PCT 國際申請號 H11-505377 的日譯

[專利文獻 4]日本公開專利申請號 2000-150900

[專利文獻 5]日本公開專利申請號 2004-103957

[非專利文獻]

[非專利文獻1] M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor", *Appl. Phys. Lett.*, 17 June, 1996, Vol. 68, pp. 3650-3652

[非專利文獻2] M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the $\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$ System at 1350°C ", *J. Solid State Chem.*, 1991, Vol. 93, pp. 298-315

[非專利文獻3] N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m = 3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m = 7, 8, 9$, and 16) in the $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ System", *J. Solid State Chem.*, 1995, Vol. 116, pp. 170-178

[非專利文獻4] M. Nakamura, N. Kimizuka, T. Mohri, and M. Isobe, "Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides ($\text{InFeO}_3(\text{ZnO})_m$) (m : natural number) and related compounds", *KOTAI BUTSURI (SOLID STATE PHYSICS)*, 1993, Vol. 28, No. 5, pp. 317-327

[非專利文獻5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor", *SCIENCE*, 2003, Vol. 300, pp. 1269-1272

[非專利文獻6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors", *NATURE*, 2004, Vol. 432, pp. 488-492

【發明內容】

為了完成電晶體的高速操作、低功率消耗、成本降低等，有必要縮小化一電晶體。

當電晶體被縮小時，短通道效應變成一主要問題。於此，短通道效應表示隨著電晶體的縮小化(在通道長度(L))變成明顯時的電氣特性的劣化。短通道效應由於在汲極或在源極之電場效應所造成。短通道效應的特定例子為在臨限電壓的降低、在次臨限擺動(S 值)的增加、洩漏電流的增加及類似物。

氧化物半導體具有低載體密度，及例如臨限電壓的降低之短通道效應也似乎被造成。因此，當電晶體包含例如矽的材料時，可能造成未發生的問題。

針對於此，本案揭示發明的一實施例之目的為提供一種半導體裝置，其維持有利之特徵，完成縮小化並包含氧化物半導體。

例如，所揭示發明之一實施例為一半導體裝置，其包含氧化物半導體層；源極電極及汲極電極，電連接至該氧化物半導體層；閘極絕緣層，覆蓋該氧化物半導體層、源極電極及汲極電極；及閘極電極在該閘極絕緣層之上。氧化物半導體層的厚度為大於或等於 1nm 及小於或等於 10nm 。當用於閘極絕緣層的材料之相對電容率為 ϵ_r 及閘極絕緣層的厚度為 d 時，閘極絕緣層滿足關係 ϵ_r/d 大於或等於 $0.08(\text{nm}^{-1})$ 及小於或等於 $7.9(\text{nm}^{-1})$ 。於源極電極與汲極電極間之距離係大於或等於 10nm 及低於或等於 $1\mu\text{m}$ 。

在上述結構中，源極電極與汲極電極各個較佳具有一氧化物區，其係藉由氧化源極電極與汲極電極的側表面加以形成。在上述結構中，較佳地，該源極電極與汲極電極的氧化物區係藉由具有大於或等於 300MHz 及小於或等於 300GHz 的高頻功率及氧與氬的混合氣體的電漿處理加以形成。

在上述結構中，氧化物半導體層較佳為電漿處理所供給以氧。

在上述結構中，較佳地，具有實質與源極電極與汲極電極相同平面形狀的絕緣層係被形成在源極電極與汲極電極之上。於此，用語“實質相同”並不必然表示以嚴格方式之準確相同。例如，此一藉由單一蝕刻製程所作出之差為可接受的。

在上述結構中，關斷電流密度較佳 $100\text{zA}/\mu\text{m}$ 或更少。於此，用語“關斷電流密度”表示以一方式取得之值，該方式係使得關斷電流為電晶體的通道寬度所分割。

在上述結構中，半導體裝置較佳形成在一表面上，其具有 1nm 或更少之算術平均偏差。

所揭示之發明的另一實施例為製造半導體裝置的方法，其包含步驟有：在基材上形成氧化物半導體層；形成源極電極與汲極電極電連接至該氧化物半導體；在氧化該源極電極與汲極電極的側表面後，形成一閘極絕緣層，覆蓋該氧化物半導體層、源極電極、及汲極電極；及在閘極絕緣層之上，形成閘極電極。

在上述結構中，較佳地，源極電極與汲極電極的側表面可以為具有以大於或等於 300MHz 及小於或等於 300GHz 的高頻功率的電漿處理加以氧化。

在上述結構中，氧化物半導體較佳為電漿處理所供給有氧。在上述結構中，用以降低在氧化物半導體層中之氫的程序較佳係在電漿處理前被執行。

在上述結構中，較佳地，氧化物半導體層的厚度大於或等於 1nm 及小於或等於 10nm ，當用於閘極絕緣層的材

料之相對電容率為 ϵ_r 及閘極絕緣層的厚度為 d 時，閘極絕緣層滿足關係 ϵ_r/d 大於或等於 $0.08(\text{nm}^{-1})$ 及小於或等於 $7.9(\text{nm}^{-1})$ ，及在源極電極與汲極電極間之距離為大於或等於 10nm 及小於或等於 $1\mu\text{m}$ 。

在上述結構中，較佳地，絕緣層具有與源極電極及汲極電極實質相同的平面形狀，並被形成在源極電極與汲極電極之上。

在上述結構中，其表面具有 1nm 或更少之算術平均偏差的基材係較佳被使用作為半導體裝置的基材。

注意，在此說明書中及類似物，例如“之上”或“之下”的用語並不必然表示一元件被直接放在另一元件“上”或“下”。例如，用語“閘極電極在閘極絕緣層之上”並不排除一元件被放置在該閘極絕緣層與閘極電極層之間。再者，例如“之上”及“之下”的用語只用於方便描述除非特別指明，並可能包含當元件的位置為反轉。

另外，在此說明書中及類似物，例如“電極”或“配線”的用語並不限一元件的功能。例如，一“電極”可以被使用作為“配線”的一部份，“配線”可以被使用作為“電極”的一部份。再者，用語“電極”或“配線”可以包含當多數“電極”或“配線”被形成為積集方式時。

當電極的相反極性被使用或當例如電路操作時電流的流動方向改變時，“源極”及“汲極”的功能有時被彼此交換。因此，用語“源極”及“汲極”可以分別在此說明書中表示汲極與源極。

注意在此說明書等之中，用語“電連接”包含當元件透過“具有任何電功能的物體”連接。對於“具有任何電功能的物體”並沒有特定限制，只要電信號可以透過該物體在連接的元件間被傳送及接收即可。

“具有任何電功能的物體”的例子為開關單元，例如電晶體、電阻、電感、電容，及具有各種功能的元件及電極與配線。

依據所揭示發明之一實施例，氧化物半導體層與閘極絕緣層的厚度、及源極電極與汲極電極間之距離及類似係在其個別預定範圍內，藉以可以提供維持有利特徵及完成縮小化的半導體裝置。

當氧被供給氧化物半導體層及源極電極與汲極電極的側表面被氧化時，有可能防止閘極電極與源極或汲極電極間之短路，這可能造成閘極絕緣層的厚度降低或具有缺陷覆蓋。

當絕緣層設在源極電極與汲極電極之上時，形成於閘極電極與源極電極間以及形成在閘極電極與汲極電極間之電容被降低，藉以可以以更高速度操作該半導體裝置。

以此方式，依據所揭示發明之一實施例，可以提供具有維持有利特徵完成縮小化的半導體裝置。

【圖式簡單說明】

圖 1A-1D 為半導體裝置的剖面圖。

圖 2A-2E 為顯示半導體裝置的製造步驟的剖面圖。

圖 3A-3E 為顯示半導體裝置的製造步驟的剖面圖。

圖 4A-4E 為顯示半導體裝置的製造步驟的剖面圖。

圖 5A 及 5B 為半導體裝置的電路圖。

圖 6A 及 6B 為半導體裝置的電路圖。

圖 7A1、7A2 及 7B 為半導體裝置的電路圖。

圖 8A 及 8B 為半導體裝置的電路圖。

圖 9A 至 9F 各個顯示包含半導體裝置的電子裝置。

圖 10A 至 10C 顯示計算結果。

圖 11 顯示通道長度 $L(\text{nm})$ 的所需下限。

圖 12 顯示電晶體的開關速度與其通道長度 L 間的關係。

【實施方式】

以下，本發明之實施例將參考附圖加以描述。注意，本發明並不限於以下說明，可以為熟習於本技藝者所了解的是，模式及細節可以以各種方式加以修改，而不脫離本發明之精神與範圍。因此，本發明應不解釋為限制於以下實施例的說明。

注意，為了容易了解，如圖所示之各個元件之位置、大小、範圍等並不是準確顯示。因此，所揭示之發明並不必然限制於圖中所揭示之位置、大小、範圍及類似。

在此說明書等中，例如“第一”、“第二”及“第三”的順序號碼係用以避免在元件間混亂，該名詞並不用以在數目的元件上作限制。

[實施例 1]

在此實施例，依據所揭示發明的實施例的半導體裝置結構將參考圖 1A 至 1D 加以描述。注意的是，雖然頂閘極電晶體係被描述為一例子，電晶體的結構並不限於頂閘極結構。

圖 1A 顯示半導體裝置的結構例。電晶體 250 包含：設在基材 200 之上的氧化物半導體層 206a；源極或汲極電極 208a 及源極或汲極電極 208b 電連接至氧化物半導體層 206a；閘極絕緣層 212 設置以覆蓋氧化物半導體層 206a、源極或汲極電極 208a 及源極或汲極電極 208b；及閘極電極 214，設在閘極絕緣層 212 上，以重疊該氧化物半導體層 206a。層間絕緣層 216 及層間絕緣層 218 係被設置，以覆蓋電晶體 250。注意，作為基礎的絕緣層 202 可以設在基材 200 與氧化物半導體層 206a 之間。

在電晶體 250 中，氧化物半導體層 206a 具有非晶結構。電晶體 250 的通道長度(L)被設定以大於或等於 10nm 及小於或等於 1000nm，較佳大於或等於 10nm 及小於或等於 70nm。這是因為例如高速操作或低功率消耗的有利效應可以當電晶體的通道長度縮短時被取得。氧化物半導體層 206a 的厚度(t_{os})被設定大於或等於 1nm 及小於或等於 50nm，較佳大於或等於 1nm 及小於或等於 30nm，更好是大於或等於 1nm 及小於或等於 10nm(例如，大於或等於 3nm 及小於或等於 10nm)。這是因為當使用具有此厚度的

氧化物半導體層 206a 時，由於縮小化，短通道效應可以被抑制。

當用於作為閘極絕緣層 212 的材料之相對電容率為 ϵ_r 及閘極絕緣層 212 的厚度為 d 時，閘極絕緣層 212 的厚度(t_{ox})可以被設定至此滿足關係的厚度，其中 ϵ_r/d 大於或等於 $0.08(\text{nm}^{-1})$ 及小於或等於 $7.9(\text{nm}^{-1})$ ，較佳地，大於或等於 $0.26(\text{nm}^{-1})$ 及小於或等於 $7.9(\text{nm}^{-1})$ ，更好是大於或等於 $1.3(\text{nm}^{-1})$ 及小於或等於 $7.9(\text{nm}^{-1})$ 。當滿足上述關係時，電晶體的操作可以被足夠確保。例如，當閘極絕緣層 212 係使用氧化矽形成時(其相對電容率被假設為約 3.9)，閘極絕緣層 212 的厚度可以被設定大於或等於 0.5nm 及小於或等於 50nm ，較佳大於或等於 0.5nm 及小於或等於 15nm ，更好是大於或等於 0.5nm 及小於或等於 3nm 。

注意至於閘極絕緣層 212 的材料，較佳使用具有例如氧化鋁或氧化鉭之高介電常數(高-k 材料)的材料。使用此一材料，當閘極絕緣層 212 的厚度足夠地確定，上述關係可以滿足，及閘極洩漏可以被抑制，而不必犧牲電晶體的操作。

圖 1B 顯示圖 1A 中之半導體裝置的修改例。電晶體 350 包含第一氧化物半導體層 304a 及第二氧化物半導體層 306a，設在基材 300 之上；源極或汲極電極 308a 及源極或汲極電極 308b 電連接至第一氧化物半導體層 304a 及第二氧化物半導體層 306a；閘極絕緣層 312 設置以覆蓋該第二氧化物半導體層 306a，及源極或汲極電極 308a、

及源極或汲極電極 308b；及閘極電極 314 設在該閘極絕緣層 312 之上，以重疊該第二氧化物半導體層 306a。層間絕緣層 316 及層間絕緣層 318 係被設置以覆蓋電晶體 350。注意作為基部的絕緣層 302 可以設在基材 300 與第一氧化物半導體層 304a 之間。

示於圖 1B 中之結構及示於圖 1A 之結構係彼此於氧化物半導體的結晶性不同。在圖 1A 中之氧化物半導體層 206a 的結晶性為非結晶，而在圖 1B 中之第一氧化物半導體 304a 及第二氧化物半導體層 306a 各個為其中設有結晶區的結構。結晶區具有 a-b 面，其係實質平行於氧化物半導體層的表面，並包含一結晶，其係在實質垂直於表面的方向中 c 軸對準。於此，“實質平行方向”表示與平行方向離開 $\pm 10^\circ$ 的方向，及“實質垂直方向”表示與垂直方向離開 $\pm 10^\circ$ 的方向。

如於圖 1B 所示，使用具有用於電晶體的結晶區的氧化物半導體層，可以完成 $\mu > 100 \text{ cm}^2/\text{V}\cdot\text{s}$ 的電場遷移率。因此，示於圖 1B 中之半導體裝置係適用於需要高速操作的邏輯電路。

例如電晶體的通道長度、氧化物半導體層的厚度、及閘極絕緣層的厚度之條件係與圖 1A 中所示者相同。

注意雖然圖 1B 中所示之氧化物半導體層具有兩層結構，但所揭示發明之實施例並不限於此結構。當只以第一氧化物半導體層 304a 確保所需厚度時，則不需第二氧化物半導體層 306a。即，氧化物半導體層可以具有結晶區

的氧化物半導體層的單層結構。

圖 1C 顯示圖 1A 中之半導體裝置的修改例。電晶體 450 包括設在基材 400 之上的氧化物半導體層 406a；源極或汲極電極 408a 及源極或汲極電極 408b 連接至該氧化物半導體 406a；絕緣層 410a 及絕緣層 410b 設置，以覆蓋源極或汲極電極 408a 及源極或汲極電極 408b 的上部份；閘極絕緣層 412 設置以覆蓋氧化物半導體層 406a，源極或汲極電極 408a、源極電極或汲極電極 408b 及類似物；及閘極電極 414 設在該閘極絕緣層 412 之上，以重疊該氧化物半導體層 406a。層間絕緣層 416 及層間絕緣層 418 係被設置以覆蓋電晶體 450。注意作為基礎的絕緣層 402 可以設在基材 400 與氧化物半導體層 406a 之間。

示於圖 1C 的結構係與示於圖 1A 之結構的不同在於存在有絕緣層 410a 及絕緣層 410b。當設有絕緣層 410a 及絕緣層 410b 時，形成在閘極電極 414 與源極或汲極電極 408a 間或閘極電極 414 與源極或汲極電極 408b 間之電容可以降低。

源極或汲極電極 408a 及源極或汲極電極 408b 分別在部份中具有氧化物區 411a 及氧化物區 411b，在該等部份中源極或汲極電極 408a 及源極或汲極電極 408b 係與閘極絕緣層 412 接觸。以氧化物區，有可能防止於閘極電極 414 與源極或汲極電極 408a 及於閘極電極 414 與源極或汲極電極 408b 間之短路，短路可能由閘極絕緣層的厚度的降低或其缺陷覆蓋所造成。再者，有可能降低於氧化物

半導體層 406a 及源極或汲極電極 408a 間之界面及氧化物半導體層 406a 與源極或汲極電極 408b 間之界面的電場。

例如電晶體的通道長度、氧化物半導體層的厚度、及閘極絕緣層的厚度的條件係與圖 1A 中者相同。

圖 1D 顯示於圖 1B 中之半導體裝置的修改例。或者，圖 1D 顯示於圖 1C 中之半導體裝置的修改例。電晶體 550 包括第一氧化物半導體層 504a 及設在基材 500 上之第二氧化物半導體層 506a；源極或汲極電極 508a 及源極或汲極電極 508b 電連接至該第一氧化物半導體層 504a 及第二氧化物半導體層 506a；絕緣層 510a 及絕緣層 510b 被設置以覆蓋源極或汲極電極 508a 及源極或汲極電極 508b 的上部份；閘極絕緣層 512，設置以覆蓋第二氧化物半導體層 506a、源極或汲極電極 508a、源極或汲極電極 508b 及類似物；及閘極電極 514 設在閘極絕緣層 512 之上，以重疊第二氧化物半導體層 506a。層間絕緣層 516 及層間絕緣層 518 係被設置以覆蓋電晶體 550。注意作為基礎的絕緣層 502 可以設在基材 500 與第二氧化物半導體層 506a 之間。

示於圖 1D 中之結構與示於圖 1B 中之結構不同在於絕緣層 510a 及絕緣層 510b 的存在。當設置絕緣層 510a 及絕緣層 510b 時，形成在閘極電極 514 與源極或汲極電極 508a 間與形成在閘極電極 514 及源極或汲極電極 508b 間之電容可以被降低。

源極或汲極電極 508a 及源極或汲極電極 508b 分別在

部份具有氧化物區 511a 及氧化物區 511b，其中源極或汲極電極 508a 及源極或汲極電極 508b 係連接至閘極絕緣層 512。以此等氧化物區域，有可能防止由於閘極絕緣層的厚度降低及其缺陷覆蓋造成之於閘極電極與源極電極間及在閘極電極及汲極電極間之短路。

例示於圖 1D 的結構及圖 1C 的結構係不同在於氧化物半導體層的結晶性。圖 1D 中所示之第一氧化物半導體層 504a 及第二氧化物半導體層 506a 各個具有一結構，其中設有結晶區。結晶區具有 a-b 面，其係實質平行於氧化物半導體層的表面，並包含一結晶，在一些情況下，其具有 c 軸對準於實質垂直於該表面的方向。於此，“實質平行方向”表示離開平行方向於 $\pm 10^\circ$ 的方向，及“實質垂直方向”表示與垂直方向離開 $\pm 10^\circ$ 的方向。

如圖 1D 所示，使用具有電晶體的結晶區的氧化物半導體層，可以完成場效遷移率 $\mu > 100 \text{ cm}^2/\text{V}\cdot\text{s}$ 。因此，在圖 1D 中所示之半導體裝置係適用以需要高速操作的邏輯電路。

例如，電晶體的通道長度、氧化物半導體層的厚度及閘極絕緣層的條件係與圖 1A 所示者相同。

注意雖然圖 1D 顯示出氧化物半導體層具有兩層結構，但所揭示發明的實施例並不限於此結構。當所需之厚度只為第一氧化物半導體層 504a 所確定時，則不必第二氧化物半導體層 506a。即，氧化物半導體層可以具有具有結晶區的氧化物半導體層的單層結構。

於此實施例所描述之結構係適用於縮小化。於使用此結構時，包含氧化物半導體的半導體裝置可以維持有利特徵，並可以完成縮小化。

於此實施例中所述之結構、方法及類似可以被適當地組合於其他實施例中所述之任意結構、方法及類似。

[實施例 2]

在此實施例中，將描述用以製造包含氧化物半導體(特別是非晶結構)的半導體裝置的方法。明確地說，將參考圖 2A 至 2E 描述圖 1A 中之半導體裝置的製造方法。注意雖然頂閘電晶體被描述為例子，但電晶體的結構並不限於頂閘結構。

首先，絕緣層 202 係形成在基材 200 之上。隨後，氧化物半導體層 206 被形成絕緣層 202 之上(見圖 2A)。

至於基材 200，可以使用例如玻璃基材。至於基材 200，可以使用例如陶瓷基材、石英基材、藍寶石基材的絕緣體形成之絕緣基材；使用例如矽之半導體材料及其表面被覆蓋有絕緣材料的半導體基材；使用例如金屬或不鏽鋼所形成之導體基材其被覆蓋有絕緣材料等，也可以與玻璃基材般地使用。使用塑膠或類似物的基材大致傾向於具有低的上限溫度，但可以使用作為基材 200，只要基材可以忍受在隨後執行製造程序的處理溫度即可。

注意基材 200 較佳具有 1nm 或更低之算術平均偏差(Ra)。更明確地說，基材 200 具有 0.5nm 或更低之算術平

均偏差。此理由如下：依據半導體裝置的縮小化增加之用以圖案化所用之光罩的曝光條件的需求，即使，當需要高曝光狀態時，它們可以容易地符合具有高平坦度的基材的使用。注意，對於上述算術平均偏差，例如，可以使用在 $10\mu\text{m}\times 10\mu\text{m}$ 區域上執行之量測所取得之值。

絕緣層 202 作動為基礎並可以藉由 PVD 法、CVD 法或類似法加以形成。絕緣層 202 可以使用包含例如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁或氧化鉭的無機絕緣材料的材料所形成。注意，想要以形成絕緣層 202，以儘可能包含愈少之氫或水。也可能使用其中未設有絕緣層 202 的結構。

至於氧化物半導體層 206，可以使用四元素金屬氧化物的 In-Sn-Ga-Zn-O 為主的氧化物半導體；以三元素金屬氧化物的 In-Ga-Zn-O 為主的氧化物半導體、In-Sn-Zn-O 為主的氧化物半導體、In-Al-Zn-O 為主的氧化物半導體、Sn-Ga-Zn-O 為主的氧化物半導體、Al-Ga-Zn-O 為主的氧化物半導體或 Sn-Al-Zn-O 為主的氧化物半導體；以兩元素金屬氧化物之 In-Zn-O 為主氧化物半導體、Sn-Zn-O 為主氧化物半導體、Al-Zn-O 為主氧化物半導體、Zn-Mg-O 為主氧化物半導體、Sn-Mg-O 為主氧化物半導體或 In-Mg-O 為主氧化物半導體；或 In-O 為主氧化物半導體、Sn-O 為主氧化物半導體或 Zn-O 為主氧化物半導體。

更明確地說，當沒有電場時，In-Ga-Zn-O 為主氧化物半導體材料具有足夠高電阻，因此，關斷電流可以足夠降

低。另外，一旦有足夠高場效遷移率，In-Ga-Zn-O 為主氧化物半導體材料係適用以用於半導體裝置中的半導體材料。

In-Ga-Zn-O 為主半導體材料的典型例子，有為 $\text{InGaO}_3(\text{ZnO})_m (m>0)$ 所代表的氧化物半導體材料。再者，當 M 被使用以替換 Ga 時，有為 $\text{InMO}_3(\text{ZnO})_m (m>0)$ 所代表的氧化物半導體材料。於此，M 代表由鎵(Ga)、鋁(Al)、鐵(Fe)、鎳(Ni)、錳(Mn)、鈷(Co)、及類似物所選出之一或更多金屬元素。例如，M 可以為 Ga、Ga 及 Al、Ga 及 Fe、Ga 及 Ni、Ga 及 Mn、Ga 及 Co 或類似物。注意，上述組合物係由該氧化物半導體材料可以具有的結晶結構導出，並只為例子而已。

至於用以濺鍍法以形成氧化物半導體層 206 的靶材，較佳為具有 $\text{In:Ga:Zn}=1:x:y$ (x 大於等於 0，及 y 大於等於 0.5 及小於或等於 5) 的組成物比率的靶材。例如，可以使用具有 $\text{In:Ga:Zn}=1:1:1$ [原子比] ($x=1$ ， $y=1$) (即， $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [莫耳比]) 的組成物比率的靶材。或者，可以具有 $\text{In:Ga:Zn}=1:1:0.5$ [原子比] ($x=1$ ， $y=0.5$) (即， $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [莫耳比]) 的組成物比率的靶材；具有 $\text{In:Ga:Zn}=1:1:2$ [原子比] ($x=1$ ， $y=2$) (即， $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ [莫耳比]) 的組成物比率的靶材；或具有 $\text{In:Ga:Zn}=1:0:1$ [原子比] ($x=0$ ， $y=1$) (即， $\text{In}_2\text{O}_3:\text{ZnO}=1:2$ [莫耳比]) 的組成物比率的靶材。

在此實施例中，具有非晶結構的氧化物半導體層 206

係藉由濺鍍法，使用 In-Ga-Zn-O 為主金屬氧化物靶材加以形成。

在金屬氧化物中之金屬氧化物的相對密度為 80%或更多，較佳 95%或更多，更好為 99.9%或更多。具有高相對密度的金屬氧化物靶材的使用，使其可能形成具有密質結構的氧化物半導體層 206。

形成氧化物半導體層 206 的氣氛較佳為稀有氣體(典型，氬)氣份、氧氣氛、或稀有氣體(典型氬)及氧的混合氣氛。明確地說，較佳使用高純度氣體氣氛，其中例如氫、水、羥基及氫化物係被由其中移除，使得其濃度被降低至 1ppm 或更低(較佳，10ppb 或更低)。

在形成氧化物半導體層 206 時，例如，基材被固持於處理室中，其被保持為降壓狀態，及基材被加熱至高於或等於 100℃ 及低於 550℃ 的溫度、較佳高於或等於 200℃ 及低於或等於 400℃ 的溫度。或者，在形成氧化物半導體層 206 時，基材溫度可以為室溫。然後，來自被移除了氫、水及類似物的濺鍍氣體係被引入處理室內，同時，在處理室中之濕氣被移除，藉以氧化物半導體層 206 被使用上述靶材加以形成。氧化物半導體層 206 係於基材被加熱時被形成，使得包含在氧化物半導體層 206 中之雜質可以降低。另外，由於濺鍍的損壞可以被降低。為了移除在處理室中之濕氣，較佳使用加陷真空泵。可以使用例如，冷凍泵、離子泵、鈦昇華泵或類似物。或者，也可以使用設有冷陷的渦輪泵。使用冷凍泵或類似物，氫、水及類似物

可以自處理室移除，因此，在氧化物半導體層 206 中之雜質濃度可以降低。

例如，用以形成氧化物半導體層 206 的條件係設定如下：於基材與靶材間之距離為 170mm，壓力為 0.4Pa、直流(DC)功率為 0.5kW、及氣氛為氧(100%氧)氣氛、氬(100%氬)氣氛、或氧與氬的混合氣氛。注意，較佳使用脈衝直流(DC)電源，因為灰塵(例如在膜形成時所形成之粉末物質)可以被減少及膜厚度可以均勻。氧化物半導體層 206 的厚度大於或等於 1nm 及小於或等於 50nm，較佳大於或等於 1nm 及小於或等於 30nm，更好為大於或等於 1nm 及小於或等於 10nm(例如，大於或等於 3nm 及小於或等於 10nm)。以具有此厚度的氧化物半導體層 206 的使用，可以抑制由於縮小化的短通道效應。注意，適當的厚度係取決於氧化物半導體的材料、半導體裝置的用途等等而改變，因此，厚度可以取決於材料、用途等等而適當地選擇。

注意，在以濺鍍法形成氧化物半導體層 206 之前，較佳執行逆濺鍍法，其中引入電漿被以氬氣產生，使得附著至其上形成有氧化物半導體層 206 的表面(例如絕緣層 202 的表面)的灰塵被移除。於此，逆濺鍍為一種方法，其中離子碰撞予以處理的表面，使得表面相對於離子碰撞濺鍍靶材的一般濺鍍被修改。使離子碰撞予以處理的表面的方法為一種方法，其中高頻電壓在氬氣氛中被施加至表面，使得電漿接近於基材處產生。注意，可以使用氮、氬、氧

或類似物之氣氛，以替代氬氣氛。

再者，氧化物半導體層 206 係為例如使用遮罩的蝕刻法加以處理；因此，形成島狀氧化物半導體層 206a。

至於用於蝕刻氧化物半導體層 206 的方法，可以利用乾式蝕刻或濕式蝕刻法。不必說，乾式蝕刻及濕式蝕刻可以組合使用。蝕刻條件(例如蝕刻氣體或蝕刻劑、蝕刻時間及溫度)係取決於材料而適當設定，使得氧化物半導體層可以蝕刻入想要形狀。

用於乾式蝕刻的蝕刻氣體例為包含氯之氣體(例如氯為主的氣體，例如氯(Cl_2)、三氯化硼(BCl_3)、四氯化矽(SiCl_4)、或四氯化碳(CCl_4))。再者，可以使用含氟的氣體(氟為主氣體，例如四氟化碳(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)、或三氟甲烷(CHF_3))、溴化氫(HBr)、氧(O_2)、或這些氣體之任一，其中加入有例如氦(He)或氬(Ar)的稀有氣體等等。

至於乾式蝕刻法，可以使用平行板 RIE(反應離子蝕刻)法或 ICP(電感耦合電漿)蝕刻法。為了蝕刻氧化物半導體成為想要形狀，係被適當設定蝕刻條件(例如，施加至線圈狀電極的電功率量、及施加至基材側的電極之電功率量、及在基材側上之電極溫度)。

至於用於濕式蝕刻的蝕刻劑，可以使用藉由混合磷酸、醋酸、及硝酸的溶液、過氧化氫混合物(31wt%的過氧化氫水:28wt%的氨水:水=5:2:2)，或類似物。也可以使用例如 ITO-07N(由 KANTO 化學有限公司所生產)的蝕刻

劑。

蝕刻較佳係被執行，使得氧化物半導體層 206a 的端部份具有錐形。於此，錐角係較佳例如大於或等於 30 度及小於或等於 60 度。注意，當由(垂直於基材表面的平面)垂直於剖面的方向觀看時，“錐角”表示由側面與具有錐形(例如氧化物半導體層 206a)的層的底面所形成的斜角。蝕刻係被執行使得氧化物半導體層 206a 的端部具有錐形，藉以予以隨後形成與源極或汲極電極 208a 及源極或汲極電極 208b 的覆蓋被改良及可以防止斷路。

隨後，熱處理(第一熱處理)較佳被執行於氧化物半導體層 206a 之上。透過第一熱處理，在氧化物半導體層 206a 中之過量氧(包含水或羥基)被移除，但氧化物半導體層 206a 的結構被改良，及可以降低在能帶隙中之缺陷位準。第一熱處理的溫度被設定為高於或等於 300℃ 及低於 550℃，或高於或等於 400℃ 及低於或等於 500℃。注意如上所述，當在蝕刻後執行熱處理(第一熱處理)時，蝕刻可以被執行以較濕式蝕刻更高的蝕刻速率；因此，達成蝕刻所需的時間可以被縮短。

例如，在基材 200 被引入包含電阻加熱器或類似物的電爐時，熱處理可以執行於氮氣氛中以約 450℃ 持續 1 小時。於熱處理時，氧化物半導體層 206a 並未曝露至空氣，使得水或氫的進入可以被防止。

熱處理設備並不必然限制於電爐並可以為用以加熱予以為熱輻射或由例如受熱氣體的媒體所熱傳導的物體的設

備。例如，可以使用例如氣體快速熱退火(gas rapid thermal annealing, GRTA)設備或燈快速熱退火(lamp rapid thermal annealing, LRTA)設備的快速熱退火(rapid thermal annealing, RTA)設備。LRTA 設備為一設備，用以藉由例如鹵素燈、金屬鹵化物燈、氙氣燈、碳弧燈、高壓鈉燈或高壓水銀燈的燈所發射之光(電磁波)的輻射加熱予以處理的物體。GRTA 設備係為一設備，用以使用高溫氣體的熱處理。至於氣體，可以使用不與予以處理的物體反應的惰性氣體，例如氮或稀有氣體，例如氬。

例如，至於第一熱處理，GRTA 可以執行如下。基材被放置於惰性氣氛中，其已經被加熱，加熱幾分鐘，並自加熱惰性氣氛取出。GRTA 使得高溫熱處理持續短時間。另外，即使溫度超出基材的上溫度限制，因為只持續短時間，所以，此加熱處理係可應用。注意惰性氣體可以在處理時改變為包含氧的氣體。這是因為由於氧缺乏在能帶隙中之缺陷位準可以為在含氧的氣氛中，藉由第一熱處理所降低。

注意，至於惰性氣體氣氛，包含氮或稀有氣體(例如氬、氙、或氪)作為主要成份並不含水的氣氛，較佳使用氬等等。例如，引入熱處理設備中之氮或例如氬、氙、或氪的稀有氣體的純度係被設定為 6N(99.9999%)或更多，較佳 7N(99.99999%)或更多(即雜質濃度為 1ppm 或更低，較佳為 0.1ppm 或更低)。

在任何情形下，雜質係為第一熱處理所降低，使得為 i-型半導體層(本徵半導體層)的氧化物半導體層 206a 或實

質 i-型半導體層被形成。因此，可以實現具有極端優良特徵的電晶體。

注意第一熱處理可以被執行於氧化物半導體層 206 上，其並未被處理為島型氧化物半導體層 206a 者。在此情形中，在第一熱處理後，基材 200 係被由加熱設備取出及執行光微影步驟。

上述加熱處理(第一加熱處理)可以較佳被稱脫水處理、去氫處理等等，因為其具有移除氫或水的作用。脫水處理或去氫處理也可以在形成氧化物半導體層 206a 後被執行，或者，在源極電極及汲極電極堆疊於氧化物半導體層 206a 之上。此脫水處理或去氫處理可以被執行超出一次。

再者，導電層被形成與氧化物半導體層 206a 接觸。然後，導電層被選擇地蝕刻，以形成源極或汲極電極 208a 及源極或汲極電極 208b(見圖 2B)。

導電層可以例如濺鍍法的 PVD 法或例如電漿 CVD 法的 CVD 法形成。至於，用於導電層的材料，可以使用選自鋁、鉻、銅、鈹、鈦、鉬、或鎢之一元素，或者，包含這些元素的合金作為其成份等等。或者，也可以使用自錳、鎂、鋅、及銩選出之一或更多材料。或者，也可以使用被組合以自鈦、鈹、鎢、鉬、鉻、銲、及銦選出之一或更多元素的鋁。

導電層可以具有單層結構或兩或更多層之堆疊層結構。例如，可以給定單層結構的鈦膜或氮化鈦膜；單層結

構的含矽之鋁膜；兩層結構，其中鈦膜被堆疊於鋁膜之上；兩層結構，其中鈦膜被堆疊於氮化鈦膜之上；三層結構，其中以鈦膜、鋁膜及鈦膜的順序堆疊等等。注意，當導電層具有單層結構的鈦膜或氮化鈦膜時，其優點為導電層可以容易地處理為源極或汲極電極 208a 及源極或汲極電極 208b，各個具有錐形。

導電層也可以使用導電金屬氧化物加以形成。至於導電金屬氧化物，可以使用氧化銦(In_2O_3)、氧化錫(SnO_2)、氧化鋅(ZnO)、氧化銦-氧化錫合金($\text{In}_2\text{O}_3\text{-SnO}_2$ ，在一些情形下被縮寫成為 ITO)、氧化銦-氧化鋅合金($\text{In}_2\text{O}_3\text{-ZnO}$)、或任一這些金屬氧化物材料，其中包含有矽或氧化矽。

導電層較佳被蝕刻，使得源極或汲極電極 208a 及源極或汲極電極 208b 的端部被形成具有錐形。例如於此，錐角較佳大於或等於 30 度及小於或等於 60 度。蝕刻係被執行使得源極或汲極電極 208a 及源極或汲極電極 208b 的端部具有錐形，藉以予以隨後形成之以閘極絕緣層 212 的覆蓋被改良並防止斷線。

電晶體的通道長度(L)係藉由在源極或汲極電極 208a 的下緣部及源極或汲極電極 208b 的下緣部間之距離所決定。注意，對於曝光通道長度(L)小於 25nm 的情況，用以形成遮罩的曝光較佳以極紫外線光執行，其波長為短的幾奈米至幾十奈米。以極紫外線曝光造成高解析度及大景深。因此，予以隨後形成之電晶體的通道長度(L)可以大於或等於 10nm 及小於或等於 1000nm(1 μm)，例如大於或

等於 10nm 及小於或等於 70nm，因此，可以增加電路的操作速度。另外，半導體裝置的功率消耗由於縮小化而可以降低。

注意，絕緣層可以形成在源極或汲極電極 208a 及源極或汲極電極 208b 之上。當設有絕緣層時，於予以隨後形成之閘極電極與源極或汲極電極 208a 間，及閘極電極與源極或汲極電極 208b 間之寄生電容可以降低。

再者，閘極絕緣層 212 係被形成與氧化半導體層 206a 的一部份接觸(見圖 2C)。閘極絕緣層 212 可以為 CVD 法、濺鍍法等等形成。閘極絕緣層 212 較佳被形成以包含氧化矽、氮化矽、氧氮化矽、氧化鋁、氧化鉭、氧化鉛、氧化釷、矽酸鉛 ($\text{HfSi}_x\text{O}_y(x>0, y>0)$)、矽酸鉛 ($\text{HfSi}_x\text{O}_y(x>0, y>0)$)，其中加入有氮、鋁酸鉛 ($\text{HfAl}_x\text{O}_y(x>0, y>0)$)，其中加入有氮等等。閘極絕緣層 212 也可以具有單層結構或堆疊層結構。當半導體裝置被縮小化時，閘極絕緣層 212 較佳為薄，以確保電晶體的操作。例如，當使用氧化矽時，其厚度可以大於或等於 0.5nm 及小於或等於 50nm，較佳大於或等於 0.5nm 及小於或等於 15nm，更好是大於或等於 0.5nm 及小於或等於 3nm。

當閘極絕緣膜係如上述形成為很薄，則由於隧道效應等之閘極洩漏變成問題。為了解決閘極洩漏的問題，閘極絕緣層 212 較佳係使用具有高介電常數(高-k 材料)的材料，例如氧化鉛、氧化鉭、氧化釷、矽酸鉛

(HfSi_xO_y ($x>0$, $y>0$))、其中加入有氮的矽酸鉛 (HfSi_xO_y ($x>0$, $y>0$))、其中加入有氮的或鋁酸鉛 (HfAl_xO_y ($x>0$, $y>0$))來形成。隨著使用高介電常數的材料 (高-k 材料)用於閘極絕緣層 212，則閘極絕緣層 212 的厚度可以很大，以確保電氣特徵並防止閘極洩漏。注意，閘極絕緣層 212 可以具有具有高介電常數的材料 (高-k 材料)的膜與包含氧化矽、氮化矽、氧氮化矽、氮化氧化矽、氧化鋁等等之膜的堆疊層結構。

閘極絕緣層 212 的厚度可以被設定至一厚度，以滿足一關係，其中當用於閘極絕緣層 212 的材料之相對電容率為 ϵ_r 及閘極絕緣層 212 的厚度為 d 時， ϵ_r/d 大於或等於 $0.08(\text{nm}^{-1})$ 及小於或等於 $7.9(\text{nm}^{-1})$ ，較佳大於或等於 $0.26(\text{nm}^{-1})$ 及小於或等於 $7.9(\text{nm}^{-1})$ ，更好是大於或等於 $1.3(\text{nm}^{-1})$ 及小於或等於 $7.9(\text{nm}^{-1})$ 。注意，當使用氧化矽 (相對電容率被假定為約 3.9) 時，上述條件實質對應於閘極絕緣層 212 的厚度係大於或等於 0.5nm 及小於或等於 50nm 的條件，較佳為大於或等於 0.5nm 及小於或等於 15nm ，更好為大於或等於 0.5nm 及小於或等於 3nm 。

在閘極絕緣層 212 被形成後，第二熱處理較佳被執行於惰性氣體氛氛中或氧氣氛中。第二熱處理的溫度係高於或等於 200°C 及低於或等於 450°C ，較佳地高於或等於 250°C 及低於或等於 350°C 。例如，第二熱處理可以執行於 250°C 在氮氣氛中持續 1 小時。第二熱處理可以降低電晶體的電特性的變化。當閘極絕緣層 212 包含氧時，有可

能供給氧至氧化物半導體層 206a 並補償在氧化物半導體層 206a 中之氧缺乏，使得為 i-型氧化物半導體層(本徵半導體層)或實質 i-型半導體可以被形成。

雖然第二熱處理在閘極絕緣層 212 被形成後在此實施例中被執行，但第二熱處理的時序並非特別限制於此。例如，第二熱處理可以在閘極電極 214 被形成後加以執行。

再者，閘極電極 214 被形成在閘極絕緣層 212 之上，與氧化物半導體層 206a 重疊的區域中(見圖 2D)。閘極電極 214 可以形成以使得導電層被形成於閘極絕緣層 212 之上然後被選擇地圖案化。予以為閘極電極 214 的導電層可以藉由例如濺鍍法之 PVD 法或例如電漿 CVD 法的 CVD 法形成。這些細節係類似於形成源極或汲極電極 208a、源極或汲極電極 208b 等等，其說明係可以作為參考。

注意，層間絕緣層 216 及層間絕緣層 218 係被形成於閘極絕緣層 212 及閘極電極 214 之上(見圖 2E)。層間絕緣層 216 與 218 可以藉由 PVD 法、CVD 法等等加以形成。層間絕緣層 216 與 218 可以使用包含無機絕緣材料，例如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鉭之材料加以形成。注意，層間絕緣層 216 與 218 在此實施例中被堆疊，但所揭示發明之一實施例並不限於此例子。也可以使用單層結構或三或更多層之堆疊層結構。或者，層間絕緣層可以省略。

注意，層間絕緣層 218 係想要地形成，以具有平坦化面。這是因為即使半導體裝置被例如縮小時，電極、配

線等等可以有利地形成在層間絕緣層 218 之上。層間絕緣層 218 可以使用例如化學機械研磨法(CMP)之方法加以平坦化。

透過上述步驟，包含高純化氧化物半導體層 206a 的電晶體 250 被完成(見圖 2E)。

示於圖 2E 的電晶體 250 包含設在基材 200 上之氧化物半導體層 206a，其間有絕緣層 202；源極或汲極電極 208a 及源極或汲極電極 208b 電連接至氧化物半導體層 206a；閘極絕緣層 212 被設置，以覆蓋氧化物半導體層 206a、源極或汲極電極 208a，及源極或汲極電極 208b；閘極電極 214 係在閘極絕緣層 212 之上；層間絕緣層 216 係在閘極絕緣層 212 與閘極電極 214 之上；及層間絕緣層 218 係在層間絕緣層 216 之上。

在於此實施例所描述之電晶體 250 中，氧化物半導體層 206a 為高度純化，及在氧化物半導體層 206a 中之氫濃度係 $5 \times 10^{19} \text{atom/cm}^3$ 或更少，較佳 $5 \times 10^{18} \text{atom/cm}^3$ 或更少，更好 $5 \times 10^{17} \text{atom/cm}^3$ 或更少。相較於具有載子密度大約 $1 \times 10^{14} / \text{cm}^3$ 的一般矽晶圓，氧化物半導體層 206a 較佳具有足夠低載子密度(例如，少於 $1 \times 10^{12} / \text{cm}^3$ ，更好是 $1.45 \times 10^{10} / \text{cm}^3$)。因此，足夠降低關斷電流。例如，於室溫電晶體 250 的關斷電流密度(當關斷電流被除以電晶體的通道寬度所取得之值)係於 $1 \times 10^{-20} \text{A}/\mu\text{m}$ ($10 \text{zA}/\mu\text{m}$) 至 $1 \times 10^{-19} \text{A}/\mu\text{m}$ ($100 \text{zA}/\mu\text{m}$)。

以高純化及本徵氧化物半導體層 206a 的使用，電晶

體的關斷電流可以被足夠降低。

如於此實施例所述，氧化物半導體層與閘極絕緣層的厚度、在源極電極與汲極電極間之距離等等係分別在其預定範圍內，藉以可以維持有利特徵並完成縮小化。

於此實施例中所述之結構、方法等等可以適當地以在其他實施例所述之任一結構、方法等等加以組合。

● [實施例 3]

在此實施例中，將參考圖 3A 至 3E 描述包含氧化物半導體的半導體裝置的製造方法。在此實施例中，一種製造半導體裝置的方法，即製造如圖 1B 所示之半導體裝置的方法將被詳細描述，其中具有結晶區的第一氧化物半導體層及由該第一氧化物半導體層的結晶區結晶成長的第二氧化物半導體層係被使用作為氧化物半導體層。當只由第一氧化物半導體層確保所需厚度時，第二氧化物半導體層為不必要。注意，雖然頂閘極電晶體係被描述為一例子，但電晶體的結構並不限於頂閘極結構。

● 首先，絕緣層 302 係被形成在基材 300 之上。然後，第一氧化物半導體層被形成在絕緣層 302 之上，及第一熱處理係被執行，以結晶化包含第一氧化物半導體層之至少一表面的區域，藉以第一氧化物半導體層 304 被形成(見圖 3A)。

注意，在類似於上述實施例中之基材 200 的基材可以使用作為基材 300。前述實施例可以參考其詳細說明。

絕緣層 302 作為一基部，並可以以類似於上述實施例所述之絕緣層 202 的方式形成。上述實施例可以參考其詳細說明。注意，想要形成絕緣層 302，以儘可能不包含氫或水。也可以利用其中未設有絕緣層 302 的結構。

第一氧化物半導體層可以以類似於上述實施例之氧化物半導體層 206 之方式加以形成。上述實施例也可以參考第一氧化物半導體層之細節及其形成方法。注意，因為第一氧化物半導體層在此實施例中故意為第一熱處理所結晶，所以，第一氧化物半導體層較佳使用容易結晶的氧化物半導體加以形成。至於氧化物半導體，可以例如使用 ZnO。即使在例如 In-Ga-Zn-O 為主之氧化物半導體，具有高 Zn 濃度者係容易結晶；於金屬元件(In, Ga 及 Zn)間之 Zn 的比例為 60atom%或更多，為了此目的係較佳的。第一氧化物半導體層的厚度較佳大於或等於 1nm 並小於或等於 10nm。在此實施例中，例如第一氧化物半導體層具有 3nm 的厚度。注意適當厚度取決於氧化物半導體的材料、半導體裝置的用途等等而改變，因此，厚度可以取決於材料、用途等等而適當地選擇。

第一熱處理的溫度係高於或等於 550°C 及低於或等於 850°C，較佳高於或等於 600°C 及低於或等於 750°C。熱處理的時間較佳長於或等於 1 分鐘及短於或等於 24 小時。注意，熱處理的溫度及熱處理的時間係取決於氧化物半導體的類型等等而改變。

較佳地，執行第一熱處理的氣氛內不包含氫、水或類

似物。例如，可以使用其中水被足夠移除的氮氣氛、氧氣氛、或稀有氣體(例如氦、氖、或氬)氣氛。

熱處理設備並不必然限制於電爐並可以以熱輻射或來自例如受熱氣體的媒體的熱傳導來加熱予以處理之物體的設備。例如，可以使用譬如氣體快速熱退火(GRTA)設備的快速熱退火(RTA)設備或者燈快速熱退火(LRTA)設備。LRTA 設備為用以予以藉由例如鹵素燈、金屬鹵化物燈、氙氣弧燈、碳弧燈、高壓鈉燈、或高壓水銀燈之燈所發射的光(電磁波)輻射所處理之物體的設備。GRTA 設備為一種設備，用以使用高溫氣體執行熱處理。至於氣體，可以使用不與予以為熱處理所處理的物體反應的惰性氣體，例如氮或例如氬之稀有氣體。

透過上述第一熱處理，包含至少第一氧化物半導體層的表面之區域係被結晶化。結晶區域係藉由由該第一氧化物半導體層的表面向第一氧化物半導體層的內側結晶成長所形成。注意，在一些例子中，結晶區域包含板狀結晶，具有大於或等於 1nm 及小於或等於 10nm 的平均厚度。再者，在一些例子中，結晶區具有 a-b 平面，其係實質平行於該氧化物半導體層的表面，並包含對準 c-軸的方向的結晶，該方向係實質垂直於該表面。於此，“實質平行方向”表示與平行方向離開 ± 10 度的方向，及“實質垂直方向”表示離開垂直方向 ± 10 度的方向。

透過第一熱處理，形成結晶區，另外，在第一氧化物半導體層中之氫(包含水及羥)被想要地移除。當氫等被移

除時，第一熱處理較佳係執行於氮氣氛、氧氣氛、或具有純度 6N(99.9999%)或更多(即，雜質濃度為 1ppm 或更少)的稀有氣體(例如氦、氖、或氬)氣氛中。具有純度 7N(99.99999%)或更多(即，雜質濃度為 0.1ppm 或更低)的氣氛係較佳的。第一熱處理可以執行於具有 20ppm 或更低之 H_2O 濃度的極端乾燥空氣中，或較佳具有 1ppm 或更低之 H_2O 濃度的極端乾燥空氣中。

透過第一熱處理，結晶區被形成，另外，氧被想要地供給至第一氧化物半導體層。例如，其中執行有熱處理的氣氛係被設定為氧氣氛，藉以氧被供給至該第一氧化物半導體層。

在此實施例中，至於第一熱處理，熱處理可以在氮氣氛中以 $700^{\circ}C$ 執行持續一小時，使得氫等可以由氧化物半導體層移除，並且，然後，氮氣氛被改變為氧氣氛；因此，氧被供給至第一氧化物半導體層。注意，第一熱處理主要被執行以形成結晶區，使得用以移除氫的處理及用以供給氧的處理可以被分開執行。例如，有可能在熱處理以移除氫或供給氧的處理被執行後，執行熱處理可以結晶化。

透過此第一熱處理，取得包含結晶區的第一氧化物半導體層 304，其包含結晶區，其中氫(包含水與羥)等係被移除，及供給氧。

再者，第二氧化物半導體層 305 係被形成在第一氧化物半導體層 304 之上，其包含結晶區在包含至少該表面的

區域中(見圖 3B)。當只有第一氧化物半導體層 304 所確保所需厚度時，第二氧化物半導體層 305 為不必要。在此時，可以省略用於第二氧化物半導體層 305 的步驟。

第二氧化物半導體層 305 可以以類似於上述實施例所述氧化物半導體層 206 的方式形成。前述實施例可以參考第二氧化物半導體層 305 的細節及其形成方法。注意，第二氧化物半導體層 305 的厚度較佳大於第一氧化物半導體層 304 的厚度。第二氧化物半導體層 305 較佳被形成使得第一氧化物半導體層 304 與第二氧化物半導體層 305 的厚度總和可以大於或等於 1nm 及小於或等於 50nm，較佳係大於或等於 1nm 及小於或等於 10nm。在此實施例中，第二氧化物半導體層 305 具有例如 7nm 的厚度。注意，適當的厚度取決於氧化物半導體的材料、半導體裝置的用途等等，因此，厚度可以取決於材料、用途等適當地選擇。

第二氧化物半導體層 305 較佳係使用包含與第一氧化物半導體層 304 相同的主要成份之材料形成，其在結晶後的晶格常數係接近第一氧化物半導體層 304 的晶格常數(失配 1%或更低)。這是因為使用第一氧化物半導體層 304 的結晶區作為種晶的結晶成長容易在第二氧化物半導體層 305 的結晶化中進行。再者，使用包含有與第一氧化物半導體層 304 相同主要成份的材料，可以取得有利介面特徵或有利的電特徵。

注意，當想要膜品質藉由結晶化取得時，第二氧化物半導體層 305 可以使用一材料加以形成，該材料的主要成

份係與第一氧化物半導體層 304 者不同。

再者，在第二氧化物半導體層 305 上執行第二熱處理，使得使用第一氧化物半導體層 304 的結晶區作為晶種之結晶成長可以進行。因此，形成第二氧化物半導體層 306(見圖 3C)。當第二氧化物半導體層 305 並未形成時，此結構也可以省略。

第二熱處理的溫度係高於或等於 550℃ 並低於或等於 850℃，較佳高於或等於 600℃ 及低於或等於 750℃。第二熱處理的時間係長於或等於 1 分鐘及短於或等於 100 小時，較佳長於或等於 5 小時及短於或等於 20 小時，典型為 10 小時。注意，較佳地，在其中執行有第二熱處理的氣氛並不包含氫、水等等。

氣氛的細節與熱處理的作用係與第一熱處理者相同。可以使用的熱處理設備係與第一熱處理者相同。例如，當溫度為增加時，在第二熱處理中，爐內部被設定至氮氣氛，而當執行冷卻時，爐內部被設定為氧氣氛；因此，當使用氮氣氛時，氫等可以移除，當利用氧氣氛時，則氧可以被供給。

第二熱處理係以上述方式執行，藉以結晶成長由形成在第一氧化物半導體層 304 中之結晶區進行至第二氧化物半導體層 305 的整個部份；因此，可以形成第二氧化物半導體層 306。可以形成其中氫(包含水及羥)等等被移除並供給有氧之第二氧化物半導體層 306。另外，透過第二熱處理，也有可能改良第一氧化物半導體層 304 的結晶區的

取向。

例如，當使用 In-Ga-Zn-O 為主氧化物半導體材料作為第二氧化物半導體層 306 時，第二氧化物半導體層 306 可以包含以 $\text{InGaO}_3(\text{ZnO})_m$ 代表的結晶 (m : 整數)；以 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ ($\text{In}:\text{Ga}:\text{Zn}:\text{O}=2:2:1:7$) 為代表的結晶或類似物。由於第二熱處理，此結晶的 c -軸對準於實質垂直於第二氧化物半導體層 306 的表面之方向。

於此，上述結晶包括 In、Ga 及 Zn 之任一，並可以被認為具有堆疊層結構之層，其係平行於 a -軸及 b -軸。明確地說，上述結晶具有一結構，其中含 In 的一層及不含 In 的一層(包含 Ga 或 Zn 的一層)係被堆疊於 c -軸方向。

在 In-Ga-Zn-O 為主氧化物半導體結晶中，包含 In 的一層之導電率在平行於 a -軸及 b -軸的方向的平面方向中係較佳的。這是因為導電率主要為在 In-Ga-zn-O 為主氧化物半導體結晶所主要控制；一 In 原子的 $5s$ 軌道與鄰近 In 原子的 $5s$ 軌道重疊，使得載子路徑被形成等等。

當第一氧化物半導體層 304 在與絕緣層 302 的介面處包含非晶區時，第二熱處理可以提昇由形成在第一氧化物半導體層 304 的表面之結晶區結晶成長向第一氧化物半導體層的底面並可以在一些情形下結晶該非晶區。注意，取決於所用之用以形成絕緣層 302 的材料或熱處理條件，也可以保留非晶區。

當第一氧化物半導體層 304 與第二氧化物半導體層 305 係使用包含與主成份相同的氧化物半導體材料形成

時，在一些情況下，第一氧化物半導體層 304 及第二氧化物半導體層 306 具有與圖 3C 所示的相同結晶結構。因此，雖然於第一氧化物半導體層 304 與第二氧化物半導體層 306 間之邊界係在圖 3C 中以虛線表示，但其有時無法指出，及該第一氧化物半導體層 304 及第二氧化物半導體層 306 有時可視為一層。

再者，第一氧化物半導體層 304 與第二氧化物半導體層 306 為例如蝕刻，使用遮罩加以處理，因此，形成有島狀第一氧化物半導體層 304a 及島狀第二氧化物半導體層 306a(見圖 3D)。注意於此，氧化物半導體層係在第二熱處理後被處理為島狀氧化物半導體層，然而，氧化物半導體層可以在第二熱處理前被處理為島狀氧化物半導體層。在此時，即使當使用濕式蝕刻時，蝕刻可以以高蝕刻率執行，因此，有蝕刻所需時間被縮短的優點。

至於用於蝕刻第一氧化物半導體層 304 與第二氧化物半導體層 306 的方法，可以使用乾式蝕刻或濕式蝕刻。不必說，可以組合使用乾式蝕刻及濕式蝕刻。蝕刻條件(例如蝕刻氣體、蝕刻劑、蝕刻時間及溫度)係取決於該材料適當地設定，使得氧化物半導體層可以蝕刻為想要形狀。第一氧化物半導體層 304 與第二氧化物半導體層 306 可以以類似於上述實施例所述之氧化物半導體之方式進行蝕刻。上述實施例可以參考其詳細說明。

注意作為在氧化物半導體層中之通道形成區的區域較佳具有平坦化表面。例如，在重疊於閘極電極 314 的一區

域(通道形成區)的第二氧化物半導體層 306 的表面的峰對谷距離(P-V)較佳 1nm 或更低(較佳 0.5nm 或更低)。注意，上述峰對谷距離，例如，可以使用在 $10\mu\text{m}\times 10\mu\text{m}$ 區域執行量測所取得的值。

再者，導電層被形成與第二氧化物半導體層 306a 接觸。再者，導電層係選擇地蝕刻，以形成源極或汲極電極 308a 及源極或汲極電極 308b(見圖 3D)。源極或汲極電極 308a 及源極或汲極電極 308b 可以以類似於上述實施例中所述之源極或汲極電極 208a 及源極或汲極電極 208b 方式進行形成。前述實施例可以參考其詳細說明。

在一些情況下，注意在圖 3D 之步驟中，在第一氧化物半導體層 304a 或第二氧化物半導體層 306a 中與源極或汲極電極 308a 或源極或汲極電極 308b 接觸的結晶層為非晶狀態。因此，第一氧化物半導體層 304a 與第二氧化物半導體層 306a 並不必然具有結晶結構。

再者，閘極絕緣層 312 係被形成與第二氧化物半導體層 306a 的部份接觸。閘極絕緣層 312 可以以在上述實施例中之閘極絕緣層 212 的相同方式形成。上述實施例可以參考其詳細說明。隨後，閘極電極 314 係被形成於在閘極絕緣層 312 之上與第一氧化物半導體層 304a 與第二氧化物半導體層 306a 重疊的區域中。然後，層間絕緣層 316 與層間絕緣層 318 係被形成於閘極絕緣層 312 及閘極電極 314 之上(見圖 3E)。閘極電極 314、層間絕緣層 316 及層間絕緣層 318 係以分別類似於上述實施例中之閘極電極

214、層間絕緣層 216、層間絕緣層 218 的方式加以形成。前述實施例可以參考其詳細說明。

在形成閘極絕緣層 312 後，第三熱處理係想要地在惰性氣體氣氛或氧氣氛中執行。第三熱處理的溫度高於或等於 200℃ 及低於或等於 450℃，較佳高於或等於 250℃ 及低於或等於 350℃。例如，第三熱處理可以執行於 250℃，在含氧的氣氛中持續執行 1 小時。第三熱處理可以降低電晶體的電特徵的變動。當閘極絕緣層 312 為含氧的絕緣層時，氧可以被供給至第二氧化物半導體層 306a。

注意，雖然第三熱處理在此實施例中係在閘極絕緣層 312 形成後執行，但第三熱處理的時序並不限於此。當氧被以另一處理，例如第二熱處理所供給至第二氧化物半導體層 306a 時，可以省略第三熱處理。

經由上述步驟，完成了包含第一氧化物半導體層 304a 及第二氧化物半導體層 306a 的電晶體 350(見圖 3E)。

示於圖 3E 的電晶體 350 包含設在基材 300 之上的第一氧化物半導體層 304a，其間有絕緣層 302；設在第一氧化物半導體層 304a 之上的第二氧化物半導體層 306a；電連接至第二氧化物半導體層 306a 的源極或汲極電極 308a 及源極或汲極電極 308b；設置有閘極絕緣層 312，以覆蓋第二氧化物半導體層 306a、源極或汲極電極 308a 及源極或汲極電極 308b；在閘極絕緣層 312 之上的閘極電極 314；在閘極絕緣層 312 與閘極電極 314 之上的層間絕緣

層 316；及在層間絕緣層 316 之上的層間絕緣層 318。

在此實施例中所述之電晶體 350 中，第一氧化物半導體層 304a 與第二氧化物半導體層 306a 被高度純化，及在第一氧化物半導體層 304a 與第二氧化物半導體層 306a 中之氫濃度為 $5 \times 10^{19} \text{atom/cm}^3$ 或更低，較佳 $5 \times 10^{18} \text{atom/cm}^3$ 或更低，更好為 $5 \times 10^{17} \text{atom/cm}^3$ 或更低。相較於具有約 $1 \times 10^{14} / \text{cm}^3$ 的載子密度的一般矽晶圓，第一氧化物半導體層 304a 與第二氧化物半導體層 306a 具有足夠低載子密度(例如低於 $1 \times 10^{12} / \text{cm}^3$ ，較佳低於 $1.45 \times 10^{10} / \text{cm}^3$)。因此，足夠降低關斷電流。例如，在室溫之電晶體 350 的關斷電流密度(以關斷電流除以電晶體通道寬度取得之值)係約 $1 \times 10^{-20} \text{A}/\mu\text{m}$ ($10 \text{zA}/\mu\text{m}$) 至 $1 \times 10^{-19} \text{A}/\mu\text{m}$ ($100 \text{zA}/\mu\text{m}$)。

使用以被高度純化及變成本徵氧化物半導體的第一氧化物半導體層 304a 及第二氧化物半導體層 306a，電晶體的關斷電流被足夠地降低。

再者，在此實施例中，包含結晶區的第一氧化物半導體層 304a 及由第一氧化物半導體層 304a 的結晶區結晶成長形成的第二氧化物半導體層 306a 係被使用作為氧化物半導體層，因此，場效遷移率被改良及實現具有有利電特徵的電晶體。例如，場效遷移率 μ 可以高於 $100 \text{cm}^2/\text{V} \cdot \text{sec}$ 。

如於此實施例所述，氧化物半導體層與閘極絕緣層的厚度、源極電極與汲極電極間之距離等係在其個別預定範圍內，藉以可以維持有利特徵並完成縮小化。

於此實施例中所述之結構、方法及類似物可以適當地組合於其他實施例中所述之任一結構、方法及類似物。

[實施例 4]

在此實施例中，將描述一種用以製造包含氧化物半導體的半導體裝置的方法。明確地說，將參考圖 4A 至 4F 描述在圖 1C 中之半導體裝置的製造方法。注意，依據此實施例之製造半導體裝置的方法與在任一上述實施例(尤其實施例 2)中所述之製造半導體裝置的方法具有很多共同點。因此，將主要描述不同點。注意有可能藉由組合此實施例之製造方法與上述任一實施例(例如實施例 3)之一部份，以製造示於圖 1D 的半導體裝置。

首先，絕緣層 402 被形成在基材 400 之上。隨後，氧化物半導體層 406 係被形成在絕緣層 402 之上(見圖 4A)。前述實施例可以參考其詳細說明。

再者，氧化物半導體層 406 係被以例如蝕刻之方法處理，使用一遮罩，以形成島狀氧化物半導體層 406a。導電層 408 與絕緣層 410 係被形成以覆蓋氧化物半導體層 406a(見圖 4B)。注意絕緣層 410 並不是基本要件，但能有效地選擇氧化隨後予以形成之源極電極與汲極電極的側表面。另外，絕緣層 410 也有效於降低閘極電極與源極或汲極電極間之電容。

前述實施例可以參考島狀氧化物半導體層 406a 的形成及熱處理的詳細說明。另外，前述實施例也可以參考導

電層 408 的詳細說明。

絕緣層 410 可以藉由 CVD 法、濺鍍法、或類似法加以形成。絕緣層 410 較佳被形成以包含氧化矽、氮化矽、氧氮化矽、氧化鋁、氧化鉛、氧化鉭或類似物。注意，絕緣層 410 可以具有單層結構或堆疊結構。對於絕緣層 410 的厚度，並沒有特別限制；絕緣層 410 可以例如具有大於或等於 10nm 及小於或等於 200nm 的厚度。

再者，導電層 408 及絕緣層 410 係被選擇地蝕刻：因此，形成源極或汲極電極 408a、源極或汲極電極 408b、絕緣層 410a、及絕緣層 410b(見圖 4C)。細節係類似於在上述實施例中形成源極與汲極電極的製程。注意，例如鋁、鈦、鉬、或銅的材料係適用於電漿氧化處理，其係予以隨後形成，並較佳被使用以作為源極或汲極電極 408a 及源極或汲極電極 408b 的材料。

然後，氧化處理係被執行以供給氧至氧化物半導體層 406a。藉由氧化處理，氧化物區 411a 係被形成為源極或汲極電極 408a 的一部份，及氧化物區 411b 係被形成為源極或汲極電極 408b 的一部份(見圖 4D)。藉由氧化處理，氧化物區也被形成在源極或汲極電極 408a 及源極或汲極電極 408b 的周邊上。

氧化處理係較佳使用具有微波(300MHz 至 300GHz)的氧電漿激勵執行，這也稱為電漿氧化處理。理由為高密度電漿係為以微波之電漿激勵加以實現，對氧化物半導體層 406a 的損壞可以足夠降低。

明確地說，上述處理可以例如在 50Pa 至 5000Pa(典型 500Pa)壓力下，以 200℃ 至 400℃ 的基材溫度(典型 300℃)，使用氧與氬的混合氣體以 300MHz 至 300GHz(典型，2.45GHz)加以執行。

藉由上述氧化處理，氧被供給至氧化物半導體層 406a。因此，對氧化物半導體層 406a 的損壞可以足夠降低，另外，由於氧缺乏之在能帶隙中之缺陷位準可以降低。換句話說，氧化物半導體層 406a 的特徵可以進一步改良。

注意，沒有對具有微波的電漿處理處理的限制，任何其他使得對氧化物半導體層 406a 的損壞足夠降低及供給氧至氧化物半導體層 406a 的供給之方法可以使用。例如，可以使用在含氧氣氛中之熱處理的方法。

組合氧化處理，可以執行自氧化物半導體層 406a 移除水、氬或類似物的處理。在此時，可以執行例如，使用例如氬或氬之氣體的電漿處理。

注意氧化處理中，氧化物區 411a 及氧化物區 411b 係分別被形成在源極或汲極電極 408a 的一部份及源極或汲極電極 408b 的一部份中(尤其是對應於其側表面的部份)。當電晶體 450 縮小化(例如，當通道長度短於 1000nm，特別是 70nm 或更短時)，氧化物區係特別有效。以電晶體的縮小化，閘極絕緣層 412 需要有較小厚度。為何設置氧化物區的理由為氧化物區可以防止由閘極絕緣層 412 的厚度降低或與之有關的缺陷覆蓋造成之閘極

電極 414 與源極或汲極電極 408a 間及閘極電極 414 與源極或汲極電極 408b 間之短路。注意當具有 5nm 或更多之厚度(較佳 10nm 或更多)時，氧化物區係足夠有效。

氧化處理於改良絕緣層 402 的曝露部份之膜品質係有效的。

注意，絕緣層 410a 及絕緣層 410b 的重要在於這些絕緣層作動為防止源極或汲極電極 408a 及源極或汲極電極 408b 的上部份的氧化。這是因為在遮罩被使用作為蝕刻時，執行電漿處理極端困難。

再者，閘極絕緣層 412 係被形成與氧化物半導體層 406a 的部份接觸，而不必曝露至空氣。然後，閘極電極 414 被形成在閘極絕緣層 412 之上，在與氧化物半導體層 406a 重疊的區域中，及層間絕緣層 416、及層間絕緣層 418 係被形成在閘極絕緣層 412 與閘極電極 414 之上(見圖 4E)。前述實施例可以參考其詳細說明。

透過上述步驟，完成了包含氧化物半導體的電晶體 450。

在此實施例中，氧電漿處理係被執行於氧化物半導體層 406a 上，以供給氧至氧化物半導體層 406a。因此，電晶體 450 具有較佳特徵。另外，對應於源極或汲極電極的側表面之區域被氧化，因此，可以防止由於閘極絕緣層厚度降低造成之閘極電極與源極電極(或汲極電極)間之短路。

再者，當絕緣層設在源極及汲極電極之上時，於閘極

電極與源極電極間及閘極電極與汲極電極間形成之電容可以降低；因此，半導體裝置可以以較高速操作。

在此實施例中所述之結構、方法及類似者可以與在其他實施例所述之任一結構、方法及類似適當組合。

[實施例 5]

在此實施例中，包含於上述實施例所述之電晶體的半導體裝置的例子將參考圖 5A 及 5B、圖 6A 及 6B、圖 7A1、7A2 及 7B 與圖 8A 與 8B 加以描述。

<半導體裝置的結構例>

圖 5A 顯示電路架構，其中於上述實施例所述之電晶體被使用作為二極體。注意，在二極體狀連接的電晶體 110 中，閘極端側與第一端為陽極與第二端側為陰極。

圖 5B 顯示 CMOS 電路例，其中，n-通道電晶體及 p-通道電晶體為互補組合。於此，描述為最簡單 CMOS 電路的 CMOS 反相器電路。在 CMOS 反相器電路中，第一電晶體 112 的閘極電極係被電連接至第二電晶體 114 的閘極電極；第一電晶體 112 的源極電極係被電連接至一端 VL；第一電晶體 112 的汲極電極係電連接至第二電晶體 114 的源極電極；及第二電晶體 114 的汲極電極係電連接至另一端 VH。

第一電晶體 112 為 n-通道電晶體，及述於上述實施例之電晶體可以使用。第二電晶體 114 為 p-通道電晶體，及

第二電晶體 114 可以使用氧化物半導體或其他材料(例如矽)形成。

圖 6A 顯示半導體裝置的例子，其結構對應所謂 DRAM(動態隨機存取記憶體)。示於圖 6A 的記憶體格陣列 120 具有一結構，其中多數記憶體格 130 係被排列為矩陣。記憶體格陣列 120 包含多數第一配線及多數第二配線。

記憶體格 130 包含電晶體 131 及電容 132。電晶體 131 的電極係電連接至第一配線。電晶體 131 的源極電極及汲極電極之一係電連接至第二配線，及電晶體 131 的源極電極與汲極電極之一係電連接至電容的一電極。電容的另一電極被供給以預定電位。於上述任一實施例中所述之電晶體被應用至電晶體 131。

上述任一實施例所述之電晶體具有極端低的關斷電流。因此，當電晶體被應用至圖 6A 所述之(被認為所謂 DRAM)半導體裝置時，可以取得實質非揮發記憶體。

圖 6B 顯示一半導體裝置例，其結構對應於所謂 SRAM(靜態隨機存取記憶體)。示於圖 6B 中之記憶體格陣列 140 具有一結構，其中，多數記憶體格 150 被排列為陣列。記憶體格陣列 140 包含多數第一配線、多數第二配線、多數第三配線及多數第四配線。

記憶體格 150 包含第一電晶體 151、第二電晶體 152、第三電晶體 153、第四電晶體 154、第五電晶體 155、及第六電晶體 156。第一電晶體 151 及第二電晶體

152 各個作動為選擇電晶體。第三電晶體 153 及第四電晶體 154 之一為 n-通道電晶體(於此，第四電晶體 154 為 n-通道電晶體)及第三電晶體 153 及第四電晶體 154 之另一個為 p-通道電晶體(於此，第三電晶體 153 為 p-通道電晶體)。換句話說，第三電晶體 153 及第四電晶體 154 形成 CMOS 電路。類似地，第五電晶體 155 與第六電晶體 156 形成 CMOS 電路。

第一電晶體 151、第二電晶體 152、第四電晶體 154 及第六電晶體 156 為 n-通道電晶體，及於上述任一實施例所述之電晶體可以應用於其上。第三電晶體 153 及第五電晶體 155 為 p-通道電晶體，它們可以使用氧化物半導體或其他材料(例如矽)形成。

<非揮發記憶體裝置的結構例>

再者，將參考圖 7A1、7A2 及 7B 與圖 8A 及 8B 描述包含依據上述任一實施例之電晶體的非揮發記憶體裝置的結構例。

在圖 7A1 所示之半導體裝置中，第一配線(第 1 線，也稱為源極線)及電晶體 160 的源極電極係彼此電連接，及第二配線(第 2 線，也稱為位元線)及電晶體 160 的汲極電極係彼此連接。第三配線(第 3 線，也稱為第一信號線)及電晶體 162 的源極電極與汲極電極之一係彼此電連接。第四配線(第 4 線，也稱為第二信號線)及電晶體 162 的閘極電極係彼此電連接。電晶體 160 的閘極電極及電晶體

162 的源極電極與汲極電極之另一係電連接至電容 164 的一電極，及第五配線(第 5 線，也稱為字元線)及電容 164 的另一電極係彼此電連接。

於此，包含上述任一實施例所述之氧化物半導體的電晶體被應用至至少該電晶體 162。包含於上述任一實施例所述之氧化物半導體的電晶體具有極端低之關斷電流。為了該理由，電晶體 160 的閘極電極的電位可以藉由關斷電晶體 162 而被保持極端長的時間。設置有電容 164，其促成電荷保持在電晶體 160 的閘極電極及儲存資料的讀取。包含氧化物半導體的電晶體 162 具有大於或等於 10nm 及小於或等於 1000nm 的通道長度(L)，例如大於或等於 10nm 及小於或等於 70nm；因此，其有低功率消耗與高速操作的特徵。電晶體 160 可以包含氧化物半導體或其他材料。

在圖 7A1 中之半導體裝置利用電晶體 160 的閘極電極電位可以被保持的優點，藉以，資料的寫入、保持及讀取可以如下所述地執行。

說明係首先作出對資料的寫入及保持。首先，第四配線的電位被設定至該電晶體 162 被導通的電位，使得電晶體 162 被導通。因此，第三配線的電位被供給至電晶體 160 閘極電極與電容 164。即，一預定電荷被給至電晶體 160 的閘極電極(寫入)。於此，用以供給兩不同電位之電荷之一(以下，稱為低位準電荷及高位準電荷)係被給至電晶體 160 的閘極電極。隨後，第四配線的電位被設定至電

晶體 162 導通的電位，使得電晶體 162 被導通。因此，給至電晶體 160 的閘極電極之電荷係被保持(保持)。

因為電晶體 162 的關斷電流很小，所以電晶體 160 的閘極電極的電荷被保持一長時間。

再者，針對資料寫入作出說明。藉由供給適當電位(讀取電位)至第五配線，同時預定電位(固定電位)被供給至第一配線，第二配線的電位取決於保持於電晶體 160 的閘極電極的電荷量而改變。這是因為通常當電晶體 160 為 n-型電晶體時，當高位準電荷被給至電晶體 160 的閘極電極時的視在臨限電壓 V_{th_H} 係低於低位準電荷被給至電晶體 160 的閘極電極的視在臨限電壓 V_{th_L} 。於此，視在臨限電壓稱為第五配線的電位，其係為導通電晶體 160 所需。因此，第五配線的電位被設定為在 V_{th_H} 及 V_{th_L} 間之中間的電位 V_0 ，藉以可以決定電晶體 160 的閘極電極的電荷。例如，當在寫入時給定高位準電荷，當第五配線的電位被設定為 $V_0(>V_{th_H})$ 時，電晶體 160 被導通。當在寫入時，低位準電荷被給定時，當第五配線的電位被設定為 $V_0(<V_{th_L})$ 時，電晶體 160 保持關斷狀態。因此，儲存資料可以為第二配線的電位所讀取。

當資料未被讀取時，允許電晶體 160 關斷不論閘極電極的狀態的電位，即低於 V_{th_H} 的電位可以施加至第五配線。或者，允許電晶體 160 予以導通，不管閘極電極的狀態的電位，即一高於 V_{th_L} 的電位可以應用至第五配線。

然後，針對資料的重寫作出說明。資料的重寫係以類

似於資料寫入及支持的方式加以執行。即，第四配線的電位被設定至允許電晶體 162 予以導通的電位，藉以電晶體 162 被導通。因此，第三配線的電位(相關於新資料的電位)係被供給至電晶體 160 的閘極電極與電容 164。隨後，第四配線的電位被設定至允許電晶體 162 予以關斷的電位，藉以電晶體 162 被關斷。因此，有關於新資料的電荷被給定至電晶體 160 的閘極電極。

依據所揭示本發明之半導體裝置，資料可以如上所述直接為資料的另一寫入所重新寫入。為了該理由，為快閃記憶體或類似物所需之抹除操作並不需要，使得由抹除操作所造成之操作速度的降低可以防止。換句話說，可以實現半導體裝置的高速操作。

注意，電晶體 162 的源極電極或汲極電極被電連接至電晶體 160 的閘極電極，藉以具有類似於用於非揮發記憶體格的浮置閘極電晶體之浮置閘極的作用。因此，當電晶體 162 的源極電極或汲極電極被電連接至電晶體 160 的閘極部份被在一些例子中被稱為浮置閘極部份 FG。當電晶體 162 被關斷時，浮置閘極部份 FG 可以被視為內藏於絕緣體中，因此，電荷被保持於浮置閘極部份 FG。包含氧化物半導體的電晶體 162 的關斷電流的量係小於或等於包含矽半導體或類似物之電晶體電流的量的十萬分之一；因此，由於電晶體 162 的洩漏電流，所以，累積於浮置閘極部份 FG 中的電荷損失可忽略。即，以包含氧化物半導體的電晶體 162，可以實現非揮發記憶體裝置。

圖 7A1 中之半導體裝置可以具有圖 7A2 中所示之電路結構，假設例如在圖 7A1 中之半導體裝置中之電晶體的元件包含電阻及電容。即，在圖 7A2 中，電晶體 160 及電容 164 個別被視為包含電阻及電容。R1 及 C1 分別表示電容 164 的電阻值及電容值。電阻值 R1 對應於取決於包含於電容 164 中之絕緣層的電阻值。R2 及 C2 分別表示電晶體 160 的電阻值及電容值。電阻值 R2 對應於取決於當電晶體 160 導通時的閘極絕緣層的電阻值。電容值 C2 對應於所謂閘極電容(形成在閘極電極與源極電極或汲極電極間之電容)的電容值。注意，因為電阻值 R2 只顯示在電晶體 160 的閘極電極與其通道形成區間之電阻值，所以，其連接部份係為虛線顯示，以清楚顯示此點。

當電晶體 162 係為關斷狀態時之在源極電極與汲極電極間之電阻值(也稱為有效電阻)為 R_{OS} ，及當 R_{OS} 為 R1 或更小及 R_{OS} 為 R2 或更小時，電荷保持週期(也稱為資料保持週期)係主要為電晶體 162 的關斷電流所決定。

另一方面，當條件未符合時，即使電晶體 162 的關斷電流足夠小，仍有困難足夠確保保持週期。這是因為由電晶體 162 以外的部份造成之洩漏很大。因此，可以認為於本實施例所揭示之半導體裝置想要地滿足上述關係。

想要 $C1 \geq C2$ 被滿足。如果 C1 大，則當浮置閘極部份 FG 的電位為第五配線所控制(例如讀取時間)，第五配線的電位保持為低。

當滿足上述關係時，可以實現更有利之半導體裝置。

注意 R1 及 R2 為電晶體 160 的閘極絕緣層及電晶體 162 的閘極絕緣層所控制。相同關係被應用至 C1 及 C2 上。因此，閘極絕緣層的材料、厚度及類似物被想要地適當設定，以滿足上述關係。

具有與上述半導體裝置不同結構的半導體裝置係示於圖 7B。在示於圖 7B 的半導體裝置中，電晶體 160 的閘極電極、電晶體 162 的源極電極與汲極電極之一、及電容 164 的一電極被彼此電連接。第一配線與電晶體 160 的源極電極係彼此電連接。第二配線與電晶體 160 的汲極電極係彼此電連接。第三配線與電晶體 162 的源極電極與汲極電極的另一個係彼此電連接。第四配線與電晶體 162 的第一閘極電極彼此電連接。第五配線與電容 164 的另一電極彼此電連接。第六配線與電晶體 162 的第二閘極電極係彼此電連接。與施加至第四配線相同的電位可以施加至第六配線。或者，可以被施加至第四配線不同的電位可以被施加至第六配線，使得第六配線係獨立於第四配線的控制。

即，在圖 7B 的半導體裝置中，圖 7A1 中之半導體裝置的電晶體 162 係被以具有第二閘極電極的電晶體 162 替換。因此，除了取得在圖 7A1 中之半導體裝置的作用，在圖 7B 中之半導體裝置可以取得容易調整電晶體 162 的調整電特徵(例如，臨限電壓)的作用。例如，藉由施加負電位至第六配線，電晶體 162 可以容易常閉。

注意，電子為主要載子的 n-通道電晶體係被使用於上述說明中；不必說明，可以使用電洞為主要載子的 p-通道

電晶體，以替代 n-通道電晶體。

再者，例示於圖 7A1、7A2 及 7B 的半導體裝置的應用例係參考圖 8A 及 8B 加以描述。圖 8A 及 8B 係為半導體裝置的電路圖例，各個包含多數示於圖 7A1 的多數半導體裝置(以下稱為記憶體格 190)。圖 8A 為所謂 NAND 半導體裝置電路圖，其中記憶體格 190 被串聯連接，及圖 8B 為所謂 NOR 半導體裝置的電路圖，其中記憶體格 190 係被並聯連接。

圖 8A 中之半導體裝置包含源極線 SL、位元線 BL、第一信號線 S1、多數第二信號線 S2、多數字元線 WL、及多數記憶體格 190。在圖 8A 中，一源極線 SL 及一位元線 BL 係設在半導體裝置中；然而，所揭示之發明並不限於此。可以設置多數源極線 SL 及多數位元線 BL。

在各個記憶體格 190 中，電晶體 160 的閘極電極、電晶體 162 的源極電極與汲極電極之一、及電容 164 的一電極係彼此電連接。第一信號線 S1 及電晶體 162 的源極電極與汲極電極之另一係彼此電連接，及第二信號線 S2 及電晶體 162 的閘極電極係彼此電連接。字元線 WL 及電容 164 的另一電極係彼此電連接。

再者，包含於記憶體格 190 中之電晶體 160 的源極電極係電連接至在相鄰記憶體格 190 中之電晶體 160 的汲極電極。包含在記憶體格 190 中之電晶體 160 的汲極電極係電連接至在相鄰記憶體格 190 中之電晶體 160 的源極電極。注意，包含在串聯連接之多數記憶體格的記憶體格

190 中之電晶體 160 的汲極電極設在端之一，其係電連接至位元線。包含在多數串聯連接之記憶體的記憶體格 190 中之電晶體 160 的源極電極係設在另一端並電連接至源極線。

在圖 8A 中之半導體裝置中，在每列中係執行寫入操作及讀取操作。寫入操作係執行如下。電晶體 162 導通的電位係供給至予以執行寫入的列的第二信號線 S2，使得予以執行之寫入的列的電晶體 162 係被導通。因此，第一信號線 S1 的電位被供給至該指定列的電晶體 160 的閘極電極，使得預定電荷被給至閘極電極。因此，資料可以被寫入至指定列的記憶體格。

再者，讀取操作係執行如下。首先，電晶體 160 導通而不管其閘極電極中之電荷的電位係被供給至予以執行讀取以外之列的其他列的字元線 WL，使得予以執行讀取以外的列的其他列的電晶體 160 被導通。因此，決定電晶體 160 導通狀態或關斷狀態的電位(讀取電位)係取決於在被供給至該予以執行讀取之列的字元線 WL 的電晶體 160 的閘極電極上的電荷而決定。隨後，一固定電位係被供給至源極線 SL，使得連接至位元線 BL 的讀取電路(未示出)為操作。於此，在源極線 SL 及位元線 BL 間之多數電晶體 160 被導通，除了予以執行讀取的列以外之電晶體 160；因此，在源極線 SL 與位元線 BL 間之導通係藉由在該列予以執行讀取的電晶體 160 的狀態所決定。即，為讀取電路所讀取之位元線 BL 的電位係取決於在予以讀取的列的

電晶體 160 的閘極電位。在此一方式中，資料可以由指定記憶體格讀出。

在圖 8B 中之半導體裝置包含多數源極線 SL、多數位元線 BL、多數第一信號線 S1、多數第二信號線 S2、多數字元線 WL、及多數記憶體格 190。電晶體 160 的閘極電極、電晶體 162 的源極電極與汲極電極之一、及電容 164 的一電極係彼此電連接。源極線 SL 及電晶體 160 的源極電極係彼此電連接。位元線 BL 與電晶體 160 的汲極電極係彼此電連接。第一信號線 S1 及電晶體 162 的源極電極與汲極電極之另一係彼此電連接，及第二信號線 S2 與電晶體 162 的閘極電極係彼此電連接。字元線 WL 及電容 164 的另一電極係彼此電連接。

在圖 8B 的半導體裝置中，各列中執行有寫入操作及讀取操作。寫入操作係以類似於圖 8A 中之半導體裝置的方式加以執行。讀取操作係被執行如下。首先，以電晶體 160 被關斷而不管其閘極電極中之電荷的電位被供給至予以執行讀取的列以外的列的字元線 WL，使得予以執行列以外的列的電晶體 160 被關斷。然後，電晶體 160 的導通或關斷狀態的電位(讀取電位)係取決於在電晶體 160 之閘極電極中之被供給至予以執行讀取的列的字元線 WL 上的電荷加以決定。隨後，一固定電位被供給至源極線 SL，使得連接至位元線 BL 的讀取電路(未示出)被操作。於此，在源極線 SL 與位元線 BL 間之導通係藉由予以執行讀取的列的電晶體 160 的狀態所決定。即，為讀取電路所

讀取之位元線 BL 的電位取決於予以執行讀取的列的電晶體 160 的閘極電極中之電荷。以此方式，資料可以由指定記憶體格讀取。

在此實施例中所述之結構、方法及類似可以與其他實施例中之述之任一結構、方法及類似等適當組合。

[實施例 6]

在此實施例中，將參考圖 9A 至 9F 描述於上述任一實施例中所述之半導體裝置被應用至電子裝置的情形。在此實施例中，描述當上述半導體裝置被應用至例如電腦、行動手機(也稱為行動電話或行動電話裝置)、個人數位助理(包含攜帶式遊戲機、聲音播放裝置及類似物)、例如數位相機或數位影像攝影機的攝像機、電子紙、及電視機(有時也稱為電視或電視接收機)的電子裝置的情形。

圖 9A 顯示筆記型個人電腦，其包含外殼 601、外殼 602、顯示部份 603、鍵盤 604、及類似物。在外殼 601 及外殼 602 中，設有於以上任一實施例中所述之半導體裝置。因此，可以實現具有小型、高速操作及低功率消耗特徵的筆記型個人電腦。

圖 9B 顯示數位個人助理(PDA)，其包含設有顯示部份 613、外部界面 615、操作鈕 614 及類似物之主體 611。另外，也設有尖筆 612，以控制個人數位助理及類似物。在主體 611 中，設有於上述任一實施例所述之半導體裝置。因此，可以實現具有小型、高速操作及低功率消

耗特徵的個人數位助理。

圖 9C 顯示電子書讀取器 620，其被安裝有電子紙並包含兩外殼，外殼 621 及外殼 623。外殼 621 及外殼 623 分別設有顯示部份 625 及顯示部份 627。外殼 621 係為鉸鏈 637 所組合至外殼 623，使得電子書讀取器 620 可以使用該鉸鏈 637 作為軸而開閉。外殼 621 設有電源鈕 631、操作鍵 633、喇叭 635 及類似物。在外殼 621 及外殼 623 的至少之一，設有在上述任一實施例所述之半導體裝置。因此，可以實現具有小型、高速操作及低功率消耗特徵的電子書讀取器。

圖 9D 顯示行動電話，其包含兩外殼，外殼 640 及外殼 641。再者，當如圖 9D 所示開發的狀態時的外殼 640 及 641 可以滑動，使得一個疊於另一個之上。因此，行動電話的尺寸可以降低，這使得行動電話適用以攜帶。外殼 641 包含顯示面板 642、喇叭 643、麥克風 644、指標裝置 646、攝影機鏡頭 647、外部連接端 648、及類似物。外殼 640 包含太陽電池 649，用以充電行動電話、外部記憶體槽 650 及類似物。另外，天線被加入外殼 641 中。在外殼 640 及 641 之至少之一中，設有於以上任一實施例所述之半導體裝置。因此，可以實現具有小型、高速操作及低功率消耗的特徵的行動電話。

圖 9E 顯示一數位相機，包含主體 661、顯示部份 667、接目鏡部份 663、操作開關 664、顯示部份 665、電池 666 及類似物。在主體 661 中，可以設有於上述任一實

施例所述之半導體裝置。因此，可以實現具有小型、高速操作及低功率消耗的特徵之數位相機。

圖 9F 顯示電視裝置 670，其包括外殼 671、顯示部份 673、座台 675 及類似物。電視裝置 670 可以以外殼 671 的操作開關或遙控器 680 操作。外殼 671 及遙控器 680 係被安裝有以上任一實施例中所述之半導體裝置。因此，可以實現具有高速操作及低功率消耗特徵的電視裝置。

如上所述，於此實施例所述之電子裝置係被各個安裝有依據上述任一實施例的半導體裝置。因此，可以實現具有小型、高速操作及低功率消耗特徵的電子裝置。

[例子 1]

使用依據所揭示發明的電晶體，短通道效應被足夠抑制的半導體裝置可以被實現。藉由電腦模擬以確認作用結果將參考圖 10A 至 10C、圖 11 及圖 12 加以描述。

在此例子的電腦模擬中，對應於圖 1A 的結構之電晶體係被使用作為模型。假設，在氧化物半導體層中，能帶隙為 3.15eV ，相對電容率為 15，及電子遷移率為 $10\text{cm}^2/\text{V}\cdot\text{s}$ 。源極或汲極電極的電子親和力及氧化物半導體層的電子親和力被假設為彼此相等 (4.3eV)。閘極電極係被假設為鎢層，及其功函數係被等於 4.6eV 。由 Silvaco Data Systems 公司所製造的裝置模擬器 “Atlas” 被使用作為計算。

至於依據計算的參數，可以使用氧化物半導體的厚度

(t_{os})、閘極絕緣層的厚度(d)、電晶體的臨限電壓(V_{th})、電晶體的通道長度(L)等。圖 10A 至 10C 顯示計算結果。在圖 10A 至 10C 中，水平軸代表通道長度 $L(\text{nm})$ ，及垂直軸代表臨限電壓 V_{th} 。在圖 10A 至 10C 中，顯示通道長度 L 及臨限電壓 V_{th} 相對於閘極絕緣層的四個不同厚度間之關係。

由圖 11 所示之結果，可以計算實現常閉電晶體所需之通道長度 $L(\text{nm})$ 的下限。在圖 11 中，在氧化物半導體層的厚度(t_{os})與閘極絕緣層的厚度(d)間之關係中，顯示實現常閉電晶體所需的通道長度 $L(\text{nm})$ 的下限。在圖 11 中，水平軸代表以此一方式取得之值(nm^{-1})，其中相對電容率 ϵ_r 係為閘極絕緣層的厚度(d)所除，及垂直軸代表通道長度的允許下限 $L_{min}(\text{nm})$ 。注意，至於用以實現常閉電晶體的條件，使用 $V_{th} > 0$ 。即，圖 11 顯示通道長度 L 的下限圖，以滿足在圖 10A 至 10C 中之 $V_{th} > 0$ ，以考量在氧化物半導體層的厚度(t_{os})及閘極絕緣層的厚度(d)間之關係。注意，在圖中之曲線為近似線。

由圖 11 發現，當 t_{os} 為 30nm 時，當 ϵ_r/d 大於或等於 $1.3(\text{nm}^{-1})$ 及小於或等於 $7.9(\text{nm}^{-1})$ 時，通道長度 L 係在範圍為大於或等於 $20(\text{nm})$ 及小於或等於 $70(\text{nm})$ 內。當 t_{os} 為 10nm 時，當 ϵ_r/d 大於或等於 $1.3(\text{nm}^{-1})$ 及小於或等於 $7.9(\text{nm}^{-1})$ 時，通道長度 L 係在範圍為大於或等於 $15(\text{nm})$ 及小於或等於 $40(\text{nm})$ 範圍內。當 t_{os} 為 3nm ，及當 ϵ_r/d 為大於或等於 $1.3(\text{nm}^{-1})$ 及小於或等於 $7.9(\text{nm}^{-1})$ 時，通道長

度 L 的範圍係在大於或等於 $10(\text{nm})$ 及小於或等於 $30(\text{nm})$ 內。

這顯示通道長度 L 為大於或等於 $10(\text{nm})$ 及小於或等於 $70(\text{nm})$ ，當 t_{os} 為大於或等於 $3(\text{nm})$ 及小於或等於 $30(\text{nm})$ 及 ϵ_r/d 大於等於 $1.3(\text{nm}^{-1})$ 及小於或等於 $7.9(\text{nm}^{-1})$ 。

圖 12 顯示依據所揭示發明之電晶體的切換速度(切換頻率)與其通道長度 L 間之關係。在圖 12 中，水平軸代表通道長度 $L(\text{nm})$ 及垂直軸代表切換速度(GHz)。於此，切換速度係為切換所需之時間 τ 的倒數。

例如，可以了解的是，當通道長度 L 係在大於或等於 $10(\text{nm})$ 及小於或等於 $70(\text{nm})$ 時，可以實現其中 $1/\tau$ 大於或等於 $1(\text{GHz})$ 及小於或等於 $20(\text{GHz})$ 的高速操作。

本案係根據於 2009 年 12 月 25 日對日本專利局申請之日本專利申請第 2009-294738 號，其整個內容係併入作為參考。

【符號說明】

110：電晶體

112：電晶體

114：電晶體

120：記憶體格陣列

130：記憶體格

131：電晶體

132：電容

140：記憶體格陣列
 150：記憶體格
 151：電晶體
 152：電晶體
 153：電晶體
 154：電晶體
 155：電晶體
 156：電晶體
 160：電晶體
 162：電晶體
 164：電容
 190：記憶體格
 200：基材
 202：絕緣層
 206：氧化物半導體層
 206a：氧化物半導體層
 208a：源極或汲極電極
 208b：源極或汲極電極
 212：閘極絕緣層
 214：閘極電極
 216：層間絕緣層
 218：層間絕緣層
 250：電晶體
 300：基材

302：絕緣層
 304：氧化物半導體層
 304a：氧化物半導體層
 305：氧化物半導體層
 306：氧化物半導體層
 306a：氧化物半導體層
 308a：源極或汲極電極
 308b：源極或汲極電極
 312：閘極絕緣層
 314：閘極電極
 316：層間絕緣層
 318：層間絕緣層
 350：電晶體
 400：基材
 402：絕緣層
 406：氧化物半導體層
 406a：氧化物半導體層
 408：導電層
 408a：源極或汲極電極
 408b：源極或汲極電極
 410：絕緣層
 410a：絕緣層
 410b：絕緣層
 411a：氧化物區

411b：氧化物區
 412：閘極絕緣層
 414：閘極電極
 416：層間絕緣層
 418：層間絕緣層
 450：電晶體
 500：基材
 502：絕緣層
 504a：氧化物半導體層
 506a：氧化物半導體層
 508a：源極或汲極電極
 508b：源極或汲極電極
 510a：絕緣層
 510b：絕緣層
 511a：氧化物區
 511b：氧化物區
 512：閘極絕緣層
 514：閘極電極
 516：層間絕緣層
 518：層間絕緣層
 550：電晶體
 601：外殼
 602：外殼
 603：顯示部份

- 604：鍵盤
- 611：主體
- 612：尖筆
- 613：顯示部份
- 614：操作鈕
- 615：外部界面
- 620：電子書讀取器
- 621：外殼
- 623：外殼
- 625：顯示部份
- 627：顯示部份
- 631：電源按鈕
- 633：操作鍵
- 635：喇叭
- 637：鉸鏈
- 640：外殼
- 641：外殼
- 642：顯示面板
- 643：喇叭
- 644：麥克風
- 646：指標裝置
- 647：攝影機鏡頭
- 648：外部連接端
- 649：太陽電池

650：外部記憶體槽

661：主體

663：接目鏡部份

664：操作開關

665：顯示部份

666：電池

667：顯示部份

670：電視裝置

671：外殼

673：顯示部份

675：座台

680：遙控器

申請專利範圍

1. 一種半導體裝置，包含：

氧化物半導體層；

源極電極及汲極電極，電連接至該氧化物半導體層；

第一絕緣層，在該源極電極與該汲極電極之上；

閘極絕緣層，在該氧化物半導體層之上；及

閘極電極，在該閘極絕緣層之上，

其中該閘極絕緣層係位於該第一絕緣層的側表面與該閘極電極之間。

2. 一種半導體裝置，包含：

第一氧化物半導體層；

第二氧化物半導體層，在該第一氧化物半導體層上；

源極電極及汲極電極，電連接至該第二氧化物半導體層；

第一絕緣層，在該源極電極與該汲極電極之上；

閘極絕緣層，在該第二氧化物半導體層之上；及

閘極電極，在該閘極絕緣層之上，

其中該閘極絕緣層係位於該第一絕緣層的側表面與該閘極電極之間。

3. 如申請專利範圍第 1 或 2 項之半導體裝置，

其中該閘極絕緣層係與該第一絕緣層的該側表面接觸。

4. 如申請專利範圍第 1 或 2 項之半導體裝置，

其中該第一絕緣層包含第一區與第二區，及

其中該第一區與該第二區係分別設於該源極電極與該汲極電極上。

5. 如申請專利範圍第 1 或 2 項之半導體裝置，更包含：

第二絕緣層，在該第一絕緣層、該閘極絕緣層與該閘極電極上，

其中該第二絕緣層包含氧化矽、氧化鉛、或氧化鋁。

6. 如申請專利範圍第 1 或 2 項之半導體裝置，

其中該源極電極與該汲極電極的各個側表面具有氧化物區。

7. 如申請專利範圍第 1 項之半導體裝置，

其中該氧化物半導體層的厚度係大於或等於 1nm 及小於或等於 50nm，

其中該閘極絕緣層滿足一關係式，當用於該閘極絕緣層的材料之相對電容率為 ϵ_r 及該閘極絕緣層的厚度為 d 時， ϵ_r/d 大於或等於 $0.08(\text{nm}^{-1})$ 及小於或等於 $7.9(\text{nm}^{-1})$ ，

其中該源極電極與該汲極電極間之距離為大於或等於 10nm 及小於或等於 $1\mu\text{m}$ ，及

其中該源極電極與該汲極電極的各個側表面具有氧化物區。

8. 如申請專利範圍第 2 項之半導體裝置，

其中該第一氧化物半導體層的厚度與該第二氧化物半導體層的厚度的總和大於或等於 1nm 及小於或等於 50nm，

其中該閘極絕緣層滿足一關係式，當用於該閘極絕緣層的材料之相對電容率為 ϵ_r 及該閘極絕緣層之厚度為 d 時， ϵ_r/d 大於或等於 $0.08(\text{nm}^{-1})$ 及小於或等於 $7.9(\text{nm}^{-1})$ ，

其中該源極電極與該汲極電極間之距離為大於或等於 10nm 及小於或等於 $1\mu\text{m}$ ，及

其中該源極電極與該汲極電極的各個側表面具有氧化物區。

9. 如申請專利範圍第 1 項之半導體裝置，其中該氧化物半導體層包含結晶區。

10. 如申請專利範圍第 2 項之半導體裝置，其中該第二氧化物半導體層包含結晶區。

11. 如申請專利範圍第 7 或 8 項之半導體裝置，其中該閘極絕緣層包含氧化鋁、氧化鉛、氧化鉭、氧化釷或矽酸鉛。

圖 1A

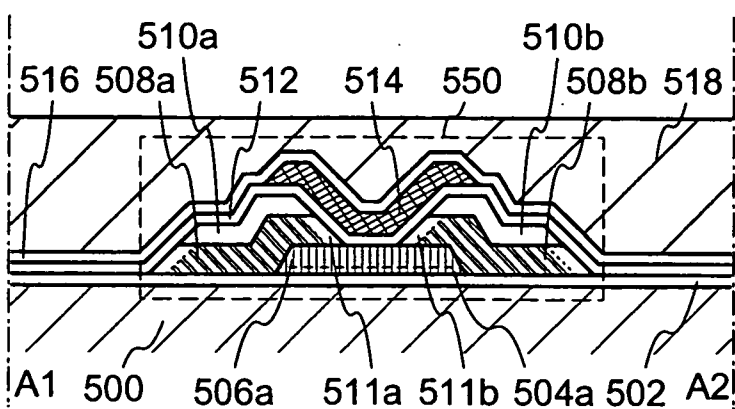


圖 2A

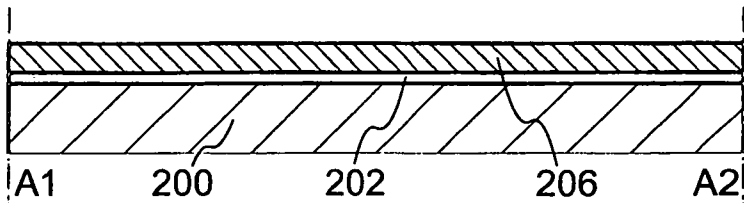


圖 2B

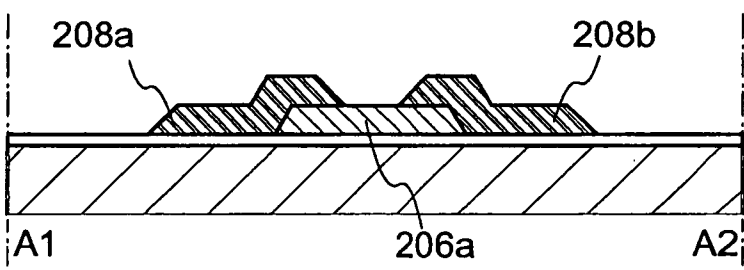


圖 2C

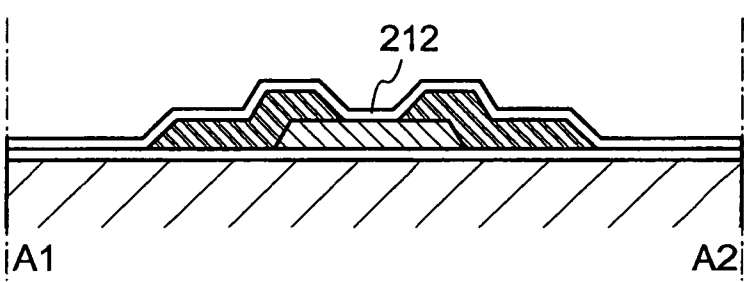


圖 2D

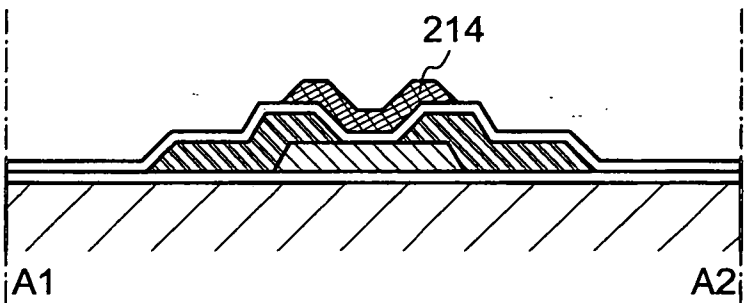


圖 2E

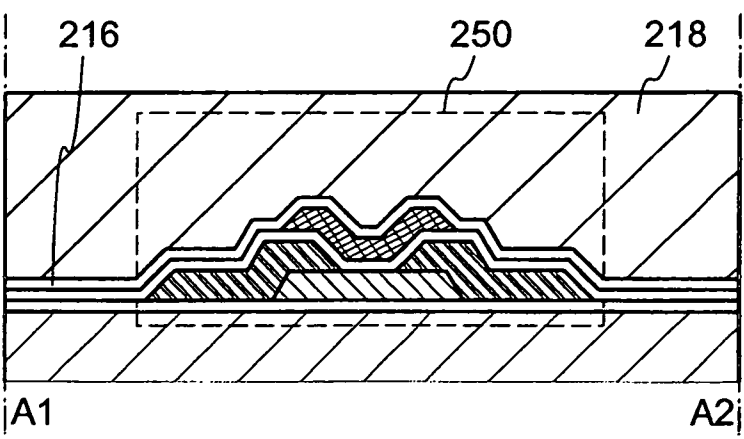


圖 3A

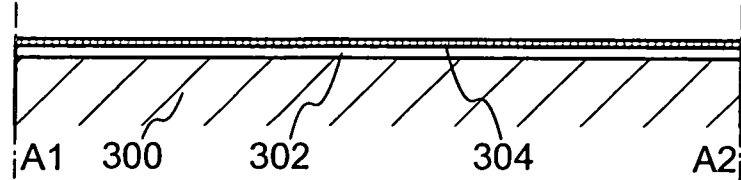


圖 3B

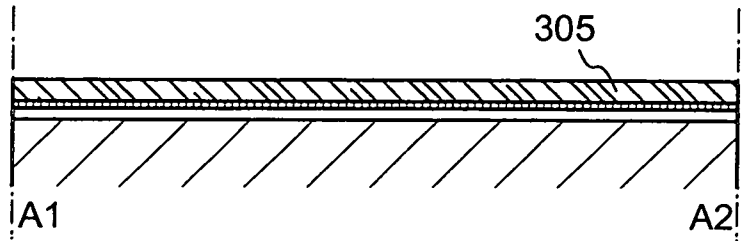


圖 3C

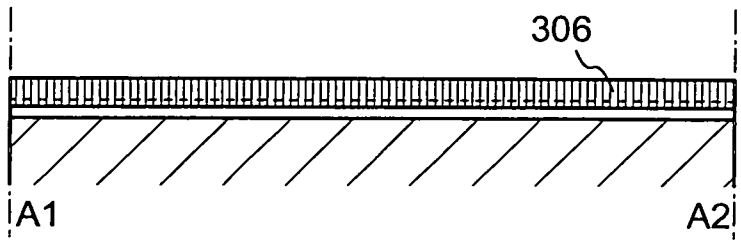


圖 3D

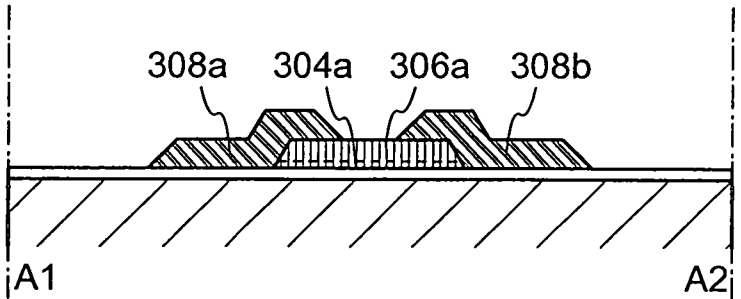


圖 3E

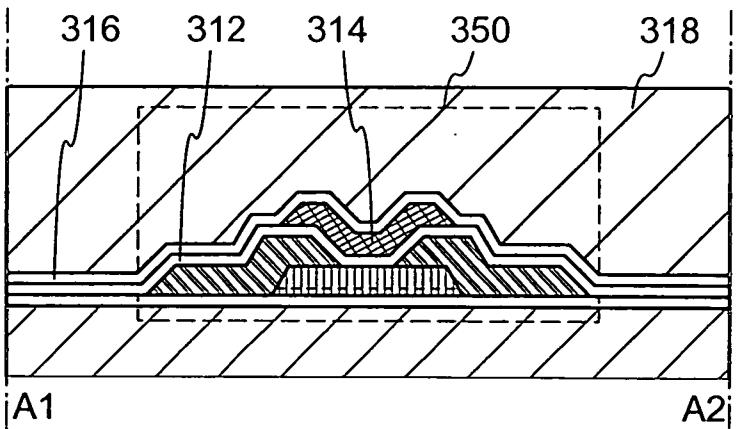


圖 4A

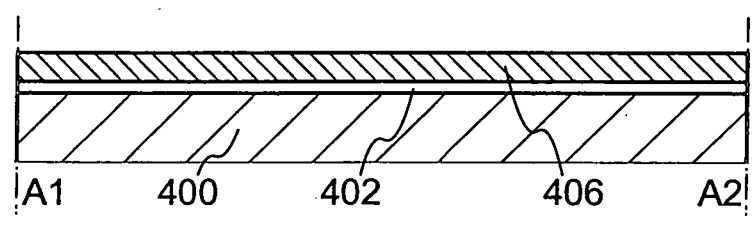


圖 4B

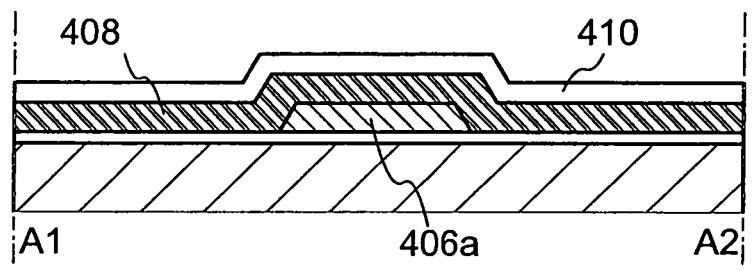


圖 4C

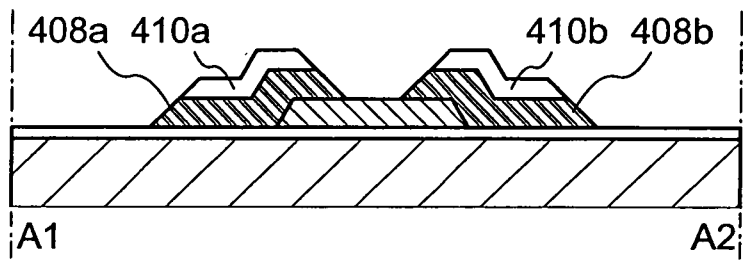


圖 4D

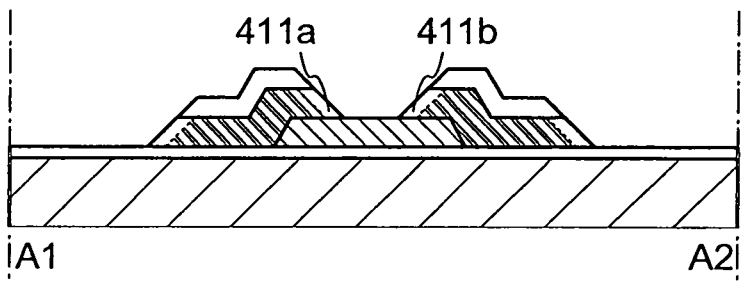


圖 4E

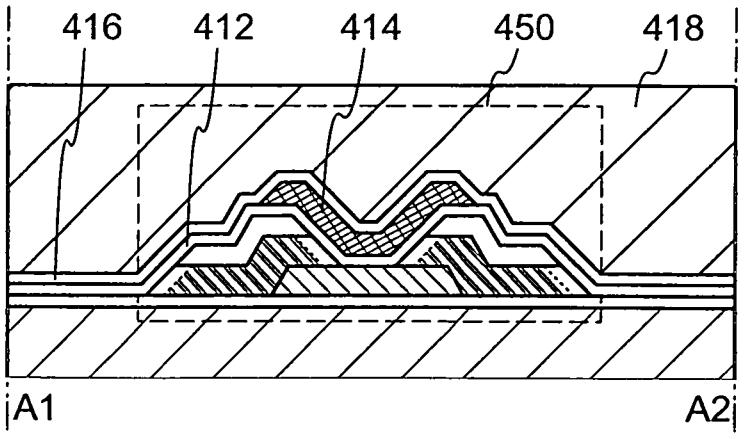


圖 5A

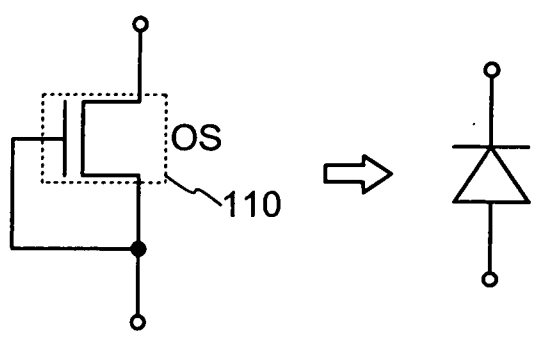


圖 5B

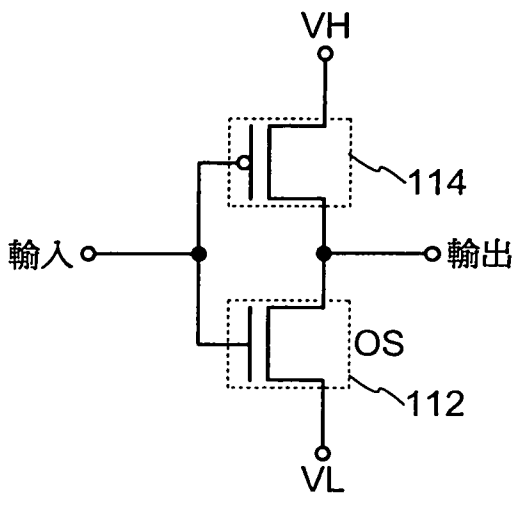


圖 6A

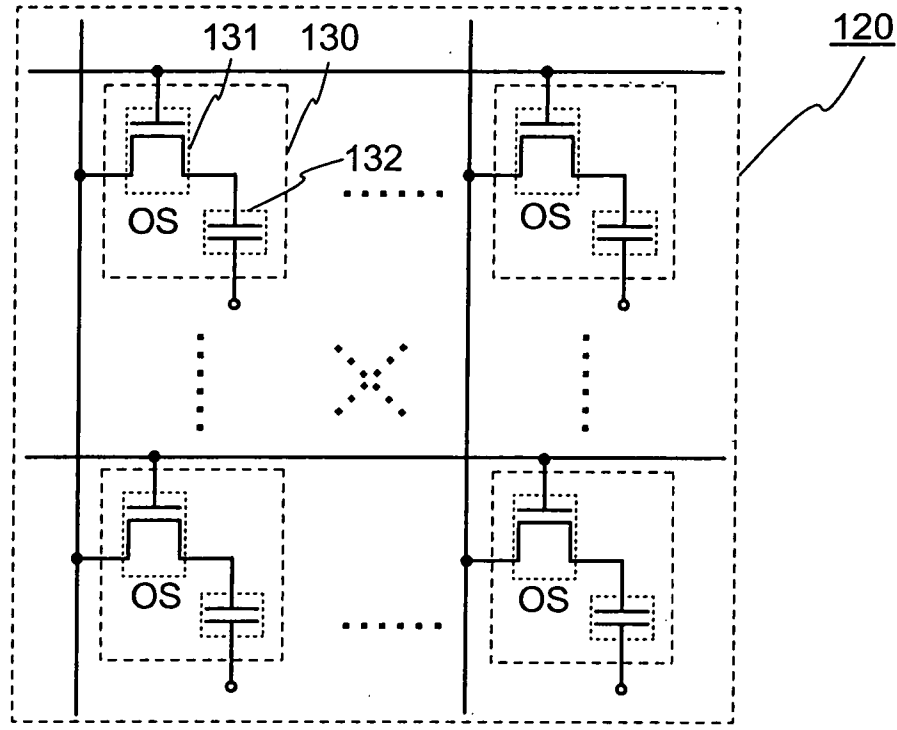
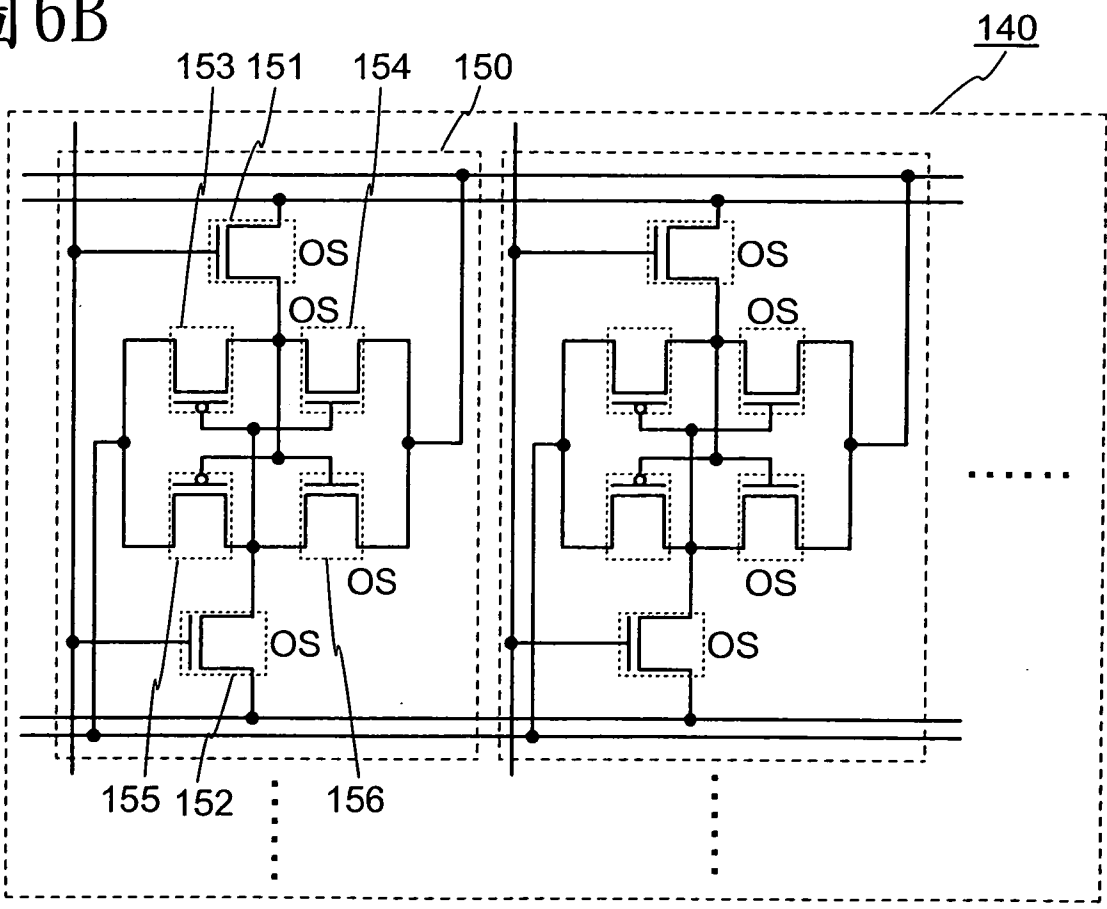


圖 6B



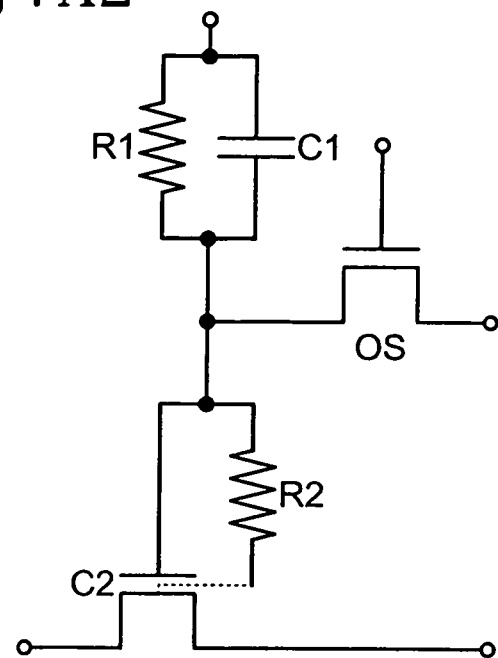


圖 7B

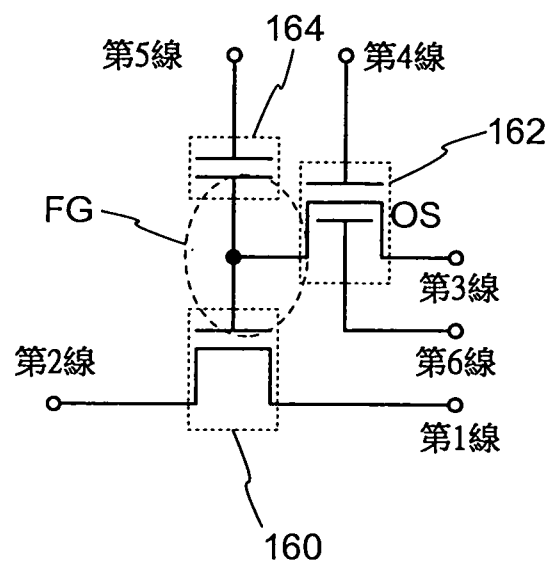


圖 8A

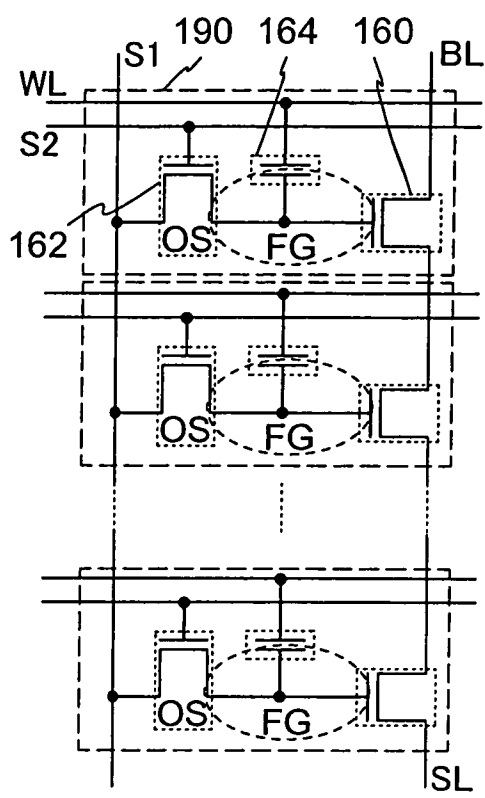


圖 8B

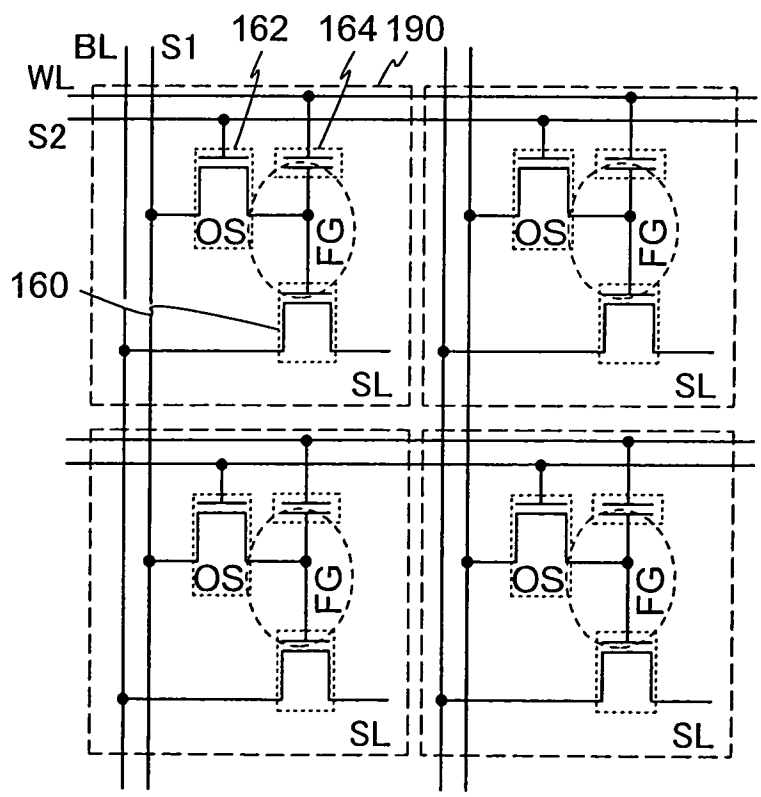


圖 9A

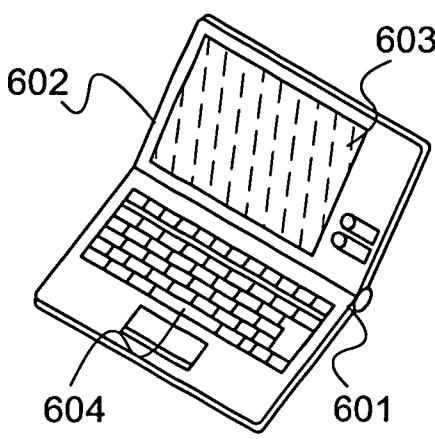


圖 9D

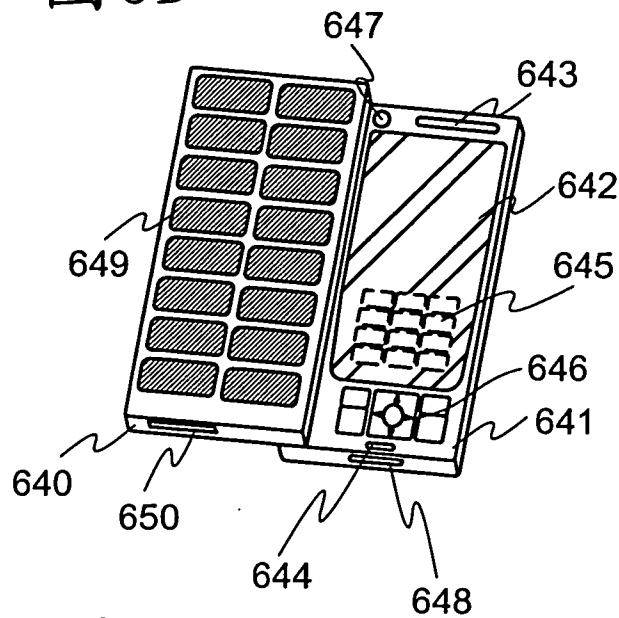


圖 9B

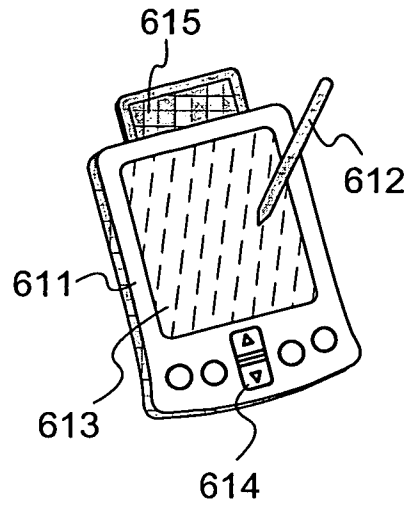


圖 9E

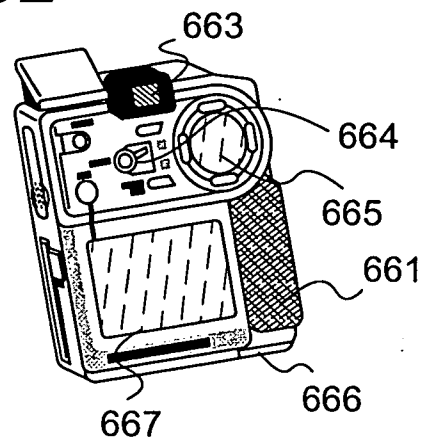


圖 9C

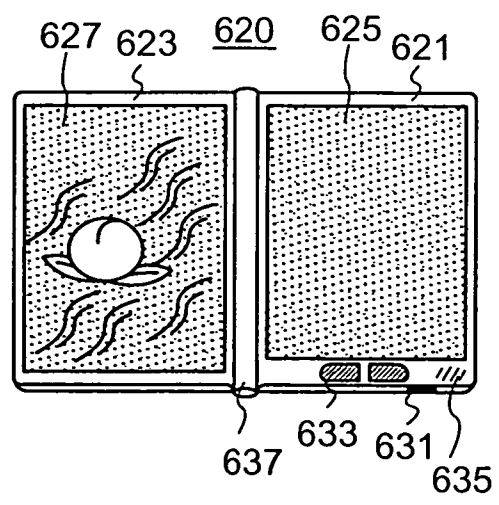


圖 9F

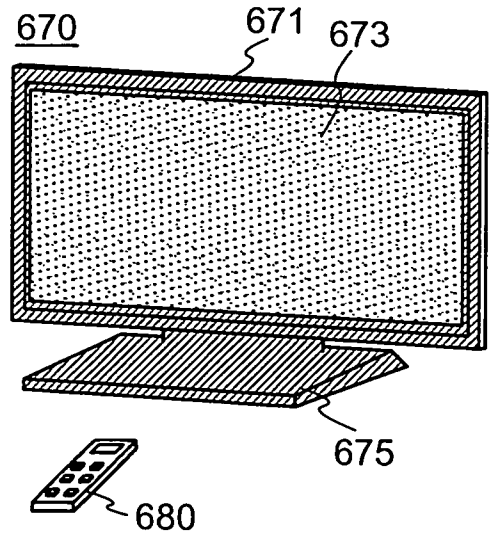


圖 10A

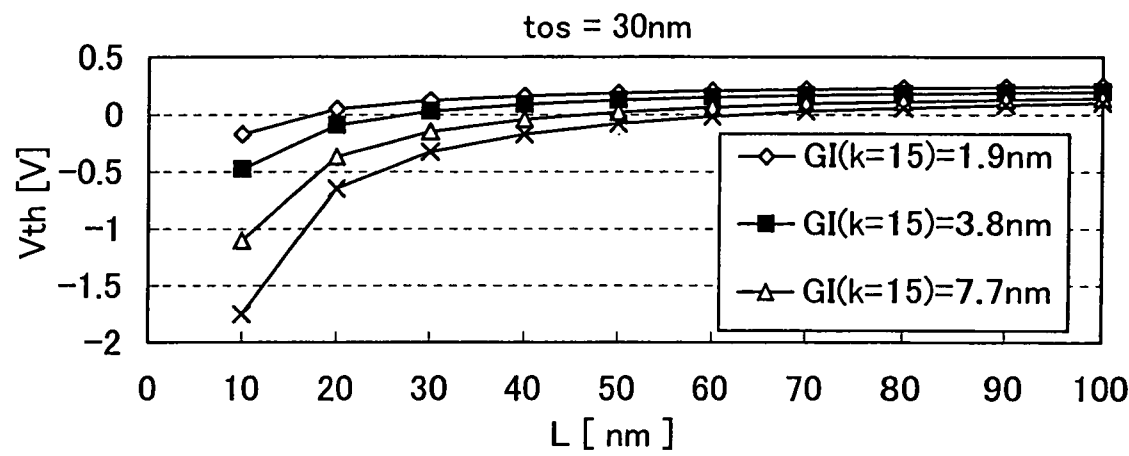


圖 10B

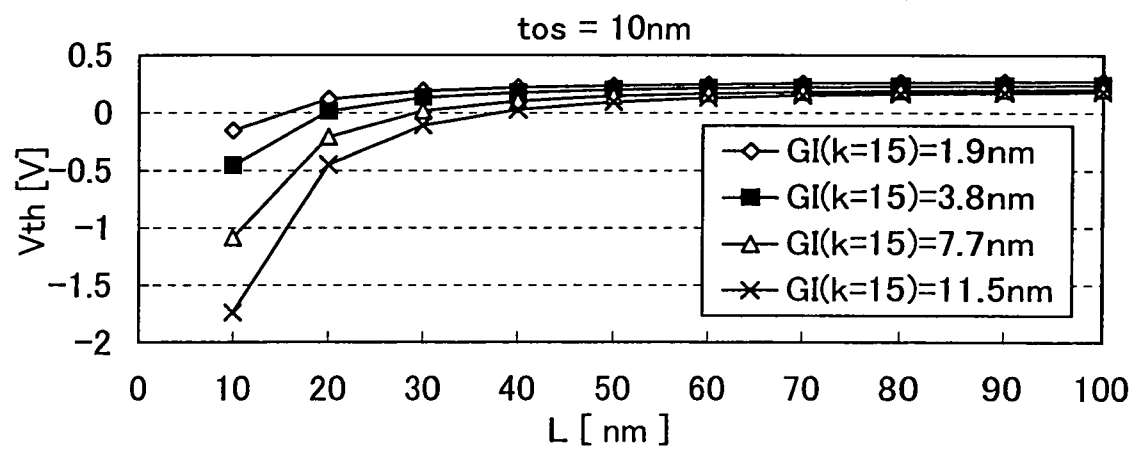


圖 10C

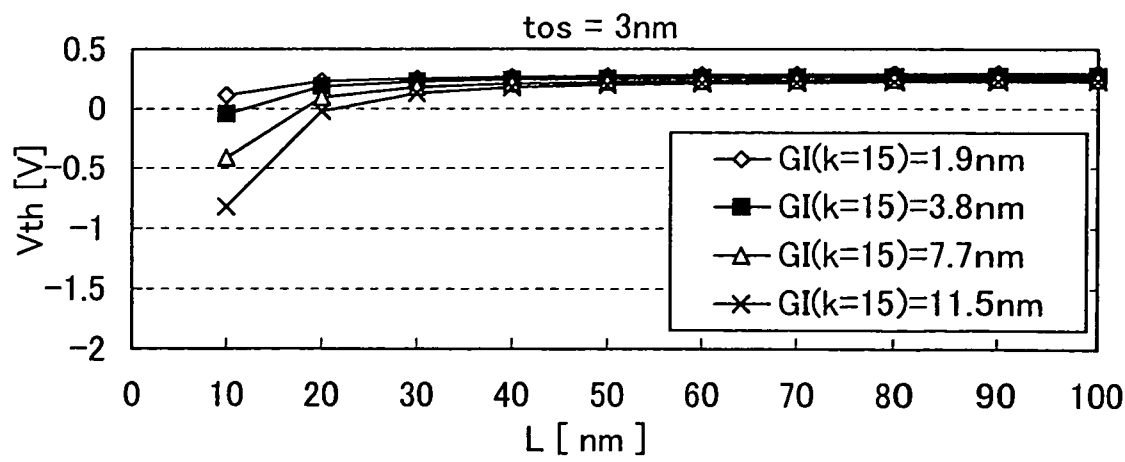


圖 11

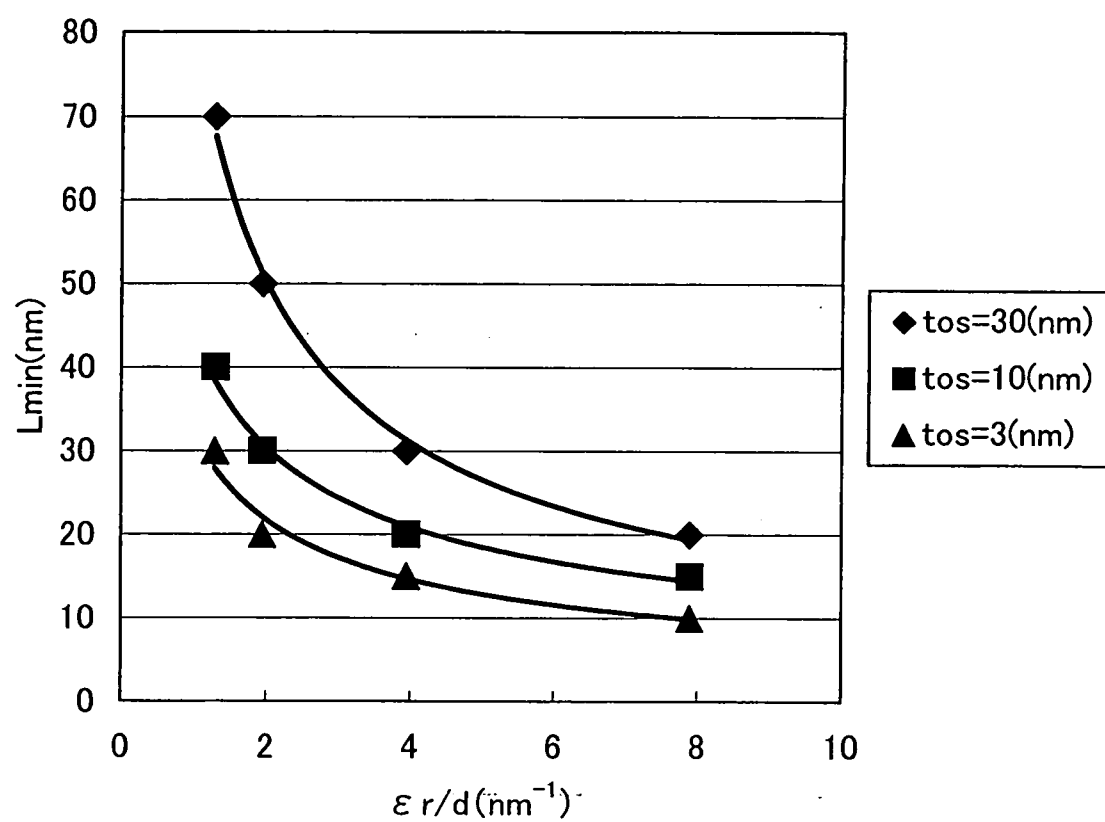


圖 12

