



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년01월07일
(11) 등록번호 10-0791905
(24) 등록일자 2007년12월28일

(51) Int. Cl.
H01L 27/115 (2006.01) H01L 21/8247 (2006.01)
H01L 29/788 (2006.01)
(21) 출원번호 10-2001-0026184
(22) 출원일자 2001년05월14일
심사청구일자 2006년04월20일
(65) 공개번호 10-2002-0064627
(43) 공개일자 2002년08월09일
(30) 우선권주장
2001-27307 2001년02월02일 일본(JP)
(56) 선행기술조사문헌
KR 1020000052310 A
KR 1020000048212 A
KR 1019980079718 A

(73) 특허권자
소니 가부시끼 가이샤
일본국 도쿄도 미나토쿠 코난 1-7-1
(72) 발명자
하기와라요시아키
일본국도쿄도시나가와구키타시나가와6초메7반35고
소니가부시끼가이샤내
구로다히데아키
일본국도쿄도시나가와구키타시나가와6초메7반35고
소니가부시끼가이샤내
(뒷면에 계속)
(74) 대리인
김재만, 유미특허법인

전체 청구항 수 : 총 34 항

심사관 : 김기현

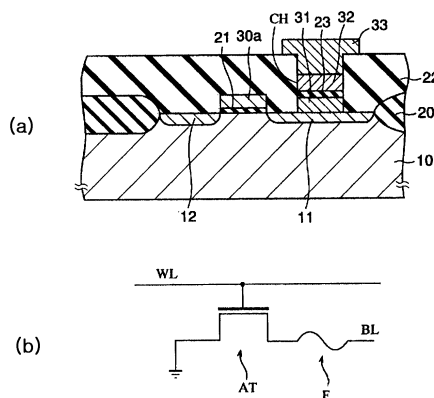
(54) 반도체 불휘발성 기억 장치 및 그 제조 방법

(57) 요약

산화 실리콘막의 절연 파괴의 재현성, 신뢰성을 향상시켜, 제조 코스트의 저감이 가능한 반도체 불휘발성 기억 장치 및 그 제조 방법을 제공한다.

매트릭스형 등으로 배치되는 메모리 셀이 반도체 기판(10)에 형성된 제1 도전형의 불순물 영역(11)과, 불순물 영역(11)을 피복하여 반도체 기판(10) 상에 형성된 제1 절연막(22)과, 불순물 영역(11)에 닿도록 제1 절연막(22)에 개구된 개구부(CH)와, 개구부(CH) 내에 불순물 영역(11)측으로부터 차례로 적층된 제1 도전형의 제1 반도체층(31), 제2 절연막(23) 및 제2 도전형의 제2 반도체층(32)으로 이루어지는 절연막 파괴형 퓨즈를 가지는 구성, 또는 SOI 구조의 제1 반도체층 중의 제1 도전형 불순물 영역과, SOI층 상의 제1 절연막과, 불순물 영역에 달하는 개구부와, 개구부 내에 적층된 제2 절연막 및 제2 도전형의 제2 반도체층으로 이루어지는 절연막 파괴형 퓨즈를 가지는 구성 등으로 한다.

대표도 - 도5



(72) 발명자

구보타미치타카

일본국도쿄도시나가와구키타시나가와6쵸메7반35고
소니가부시끼가이샤내

나카가와라아키라

일본국도쿄도시나가와구키타시나가와6쵸메7반35고
소니가부시끼가이샤내

특허청구의 범위

청구항 1

적어도 1개의 메모리 셀을 가지는 반도체 불휘발성 기억 장치로서,
 상기 메모리 셀은,
 반도체 기판에 형성된 제1 도전형의 불순물 영역과,
 상기 불순물 영역을 피복하여 상기 반도체 기판 상에 형성된 제1 절연막과,
 상기 불순물 영역에 달하도록 상기 제1 절연막에 개구된 개구부와,
 상기 개구부 내에 상기 불순물 영역측으로부터 차례로 적층된 제1 도전형의 제1 반도체층, 제2 절연막 및 제2 도전형의 제2 반도체층
 을 가지는 반도체 불휘발성 기억 장치.

청구항 2

제1항에 있어서,
 상기 메모리 셀에서 기억하는 데이터에 따라 상기 제1 반도체층과 상기 제2 반도체층 사이에 소정의 전압을 가함으로써 상기 제2 절연막에서의 절연 파괴를 발생하게 하고, 각 메모리 셀에서의 상기 제1 반도체층과 상기 제2 반도체층 사이의 도통 또는 비도통에 의해 데이터를 기억하는 반도체 불휘발성 기억 장치.

청구항 3

제1항에 있어서,
 상기 메모리 셀에서, 워드선으로 되는 게이트 전극이 상기 반도체 기판 상에 게이트 절연막을 통해 형성되고, 상기 게이트 전극 하부에서의 상기 반도체 기판에 채널 형성 영역을 가지고, 상기 불순물 영역을 드레인 영역으로 하는 전계 효과 트랜지스터가 형성되어 있고,
 상기 제2 반도체층에 비트선이 접속하여 형성되어 있는 반도체 불휘발성 기억 장치.

청구항 4

제3항에 있어서,
 상기 전계 효과 트랜지스터의 소스 영역이 접지되어 있는 반도체 불휘발성 기억 장치.

청구항 5

제3항에 있어서,
 상기 전계 효과 트랜지스터의 소스 영역으로부터 상기 반도체 기판측으로 흐르는 전류를 검지하는 수단을 추가로 가지는 반도체 불휘발성 기억 장치.

청구항 6

제3항에 있어서,
 상기 워드선과 비트선이, 공급 신호를 통과시키는 패스 트랜지스터를 포함하는 행(行) 디코더 및 열(列) 디코더에 각각 접속되어 있는 반도체 불휘발성 기억 장치.

청구항 7

제6항에 있어서,
 상기 행 디코더 및 열 디코더에, 어드레스 신호의 반전 신호가 정상 신호와 함께 외부 장치로부터 공급되는 반도체 불휘발성 기억 장치.

청구항 8

제1항에 있어서,
복수개의 상기 메모리 셀이 매트릭스형으로 배치되어 이루어지는 반도체 불휘발성 기억 장치.

청구항 9

적어도 1개의 메모리 셀을 가지는 반도체 불휘발성 기억 장치로서,
상기 메모리 셀은,
제1 배선과,
상기 제1 배선 상에 형성된 제1 절연막과,
상기 제1 배선에 달하도록 상기 제1 절연막에 개구된 개구부와,
상기 개구부 내에 상기 제1 배선측으로부터 차례로 적층된 제1 도전형의 제1 반도체층, 제2 절연막 및 제2 도전형의 제2 반도체층과,
상기 제2 반도체층에 접속하여 형성된 제2 배선
을 가지는 반도체 불휘발성 기억 장치.

청구항 10

제9항에 있어서,
상기 메모리 셀에서 기억하는 데이터에 따라 상기 제1 반도체층과 상기 제2 반도체층 사이에 소정의 전압을 가함으로써 상기 제2 절연막에서의 절연 파괴를 발생하게 하고, 각 메모리 셀에서의 상기 제1 반도체층과 상기 제2 반도체층 사이의 도통 또는 비도통에 의해 데이터를 기억하는 반도체 불휘발성 기억 장치.

청구항 11

제9항에 있어서,
상기 메모리 셀에서, 상기 제1 배선이 워드선이고, 상기 제2 배선이 비트선인 반도체 불휘발성 기억 장치.

청구항 12

제11항에 있어서,
상기 워드선과 비트선이, 공급 신호를 통과시키는 패스 트랜지스터를 포함하는 행 디코더 및 열 디코더에 각각 접속되어 있는 반도체 불휘발성 기억 장치.

청구항 13

제12항에 있어서,
상기 행 디코더 및 열 디코더에, 어드레스 신호의 반전 신호가 정상 신호와 함께 외부 장치로부터 공급되는 반도체 불휘발성 기억 장치.

청구항 14

제9항에 있어서,
복수개의 상기 메모리 셀이 매트릭스형으로 배치되어 이루어지는 반도체 불휘발성 기억 장치.

청구항 15

제9항에 있어서,
상기 제1 배선, 상기 제1 절연막 및 상기 제2 배선의 적층체가 서로 절연되어 복수층 적층되어 있고, 각 적층체에서 상기 제1 배선과 상기 제2 배선에 접속하도록 복수개의 상기 메모리 셀이 매트릭스형으로 배치되어 이루어

지는 반도체 불휘발성 기억 장치.

청구항 16

적어도 1개의 메모리 셀을 가지는 반도체 불휘발성 기억 장치로서,
 상기 메모리 셀은,
 절연성 기판 상의 제1 반도체층에 형성된 제1 도전형의 불순물 영역과,
 상기 불순물 영역을 피복하여 상기 제1 반도체층 상에 형성된 제1 절연막과,
 상기 불순물 영역에 닿하도록 상기 제1 절연막에 개구된 개구부와,
 상기 개구부 내에 상기 불순물 영역측으로부터 차례로 적층된 제2 절연막 및 제2 도전형의 제2 반도체층을 가지는 반도체 불휘발성 기억 장치.

청구항 17

제16항에 있어서,
 상기 메모리 셀에서 기억하는 데이터에 따라 상기 불순물 영역과 상기 제2 반도체층 사이에 소정의 전압을 가함으로써 상기 제2 절연막에서의 절연 파괴를 발생하게 하고, 각 메모리 셀에서의 상기 불순물 영역과 상기 제2 반도체층 사이의 도통 또는 비도통에 의해 데이터를 기억하는 반도체 불휘발성 기억 장치.

청구항 18

제16항에 있어서,
 상기 메모리 셀에서, 워드선으로 되는 게이트 전극이 상기 제1 반도체층 상에 게이트 절연막을 통해 형성되고, 상기 게이트 전극 하부에서의 상기 제1 반도체층에 채널 형성 영역을 가지고, 상기 불순물 영역을 드레인 영역으로 하는 전계 효과 트랜지스터가 형성되어 있고,
 상기 제2 반도체층에 비트선이 접속되어 형성되어 있는 반도체 불휘발성 기억 장치.

청구항 19

제18항에 있어서,
 상기 전계 효과 트랜지스터의 소스 영역이 접지되어 있는 반도체 불휘발성 기억 장치.

청구항 20

제18항에 있어서,
 상기 전계 효과 트랜지스터의 소스 영역으로부터 상기 제1 반도체층측으로 흐르는 전류를 검지하는 수단을 추가로 가지는 반도체 불휘발성 기억 장치.

청구항 21

제18항에 있어서,
 상기 워드선과 비트선이, 공급 신호를 통과시키는 패스 트랜지스터를 포함하는 행 디코더 및 열 디코더에 각각 접속되어 있는 반도체 불휘발성 기억 장치.

청구항 22

제21항에 있어서,
 상기 행 디코더 및 열 디코더에, 어드레스 신호의 반전 신호가 정상 신호와 함께 외부 장치로부터 공급되는 반도체 불휘발성 기억 장치.

청구항 23

제16항에 있어서,

복수개의 상기 메모리 셀이 매트릭스형으로 배치되어 이루어지는 반도체 불휘발성 기억 장치.

청구항 24

제16항에 있어서,

상기 제1 반도체층이 서로 절연되어 복수층 적층되어 있고, 각 제1 반도체층의 각각에서, 상기 메모리 셀이 매트릭스형으로 배치되어 이루어지는 반도체 불휘발성 기억 장치.

청구항 25

적어도 1개의 메모리 셀을 가지는 반도체 불휘발성 기억 장치의 제조 방법으로서,

상기 메모리 셀을 형성하는 공정과,

반도체 기판에 제1 도전형의 불순물 영역을 형성하는 공정과,

상기 불순물 영역을 피복하여 상기 반도체 기판 상에 제1 절연막을 형성하는 공정과,

상기 불순물 영역에 달하도록 상기 제1 절연막에 개구부를 개구하는 공정과,

상기 개구부 내에서, 상기 불순물 영역 상에 제1 도전형의 제1 반도체층을 형성하는 공정과,

상기 개구부 내에서, 상기 제1 반도체층 상에 제2 절연막을 형성하는 공정과,

상기 개구부 내에서, 상기 제2 절연막 상에 제2 도전형의 제2 반도체층을 형성하는 공정을 포함하는 반도체 불휘발성 기억 장치의 제조 방법.

청구항 26

제25항에 있어서,

상기 제1 반도체층을 형성하는 공정이, 선택 에피택시얼 성장법에 의해 형성되는 공정인 반도체 불휘발성 기억 장치의 제조 방법.

청구항 27

제25항에 있어서,

상기 반도체 기판에 제1 도전형의 불순물 영역을 형성하는 공정 전에, 채널 형성 영역으로 되는 상기 반도체 기판 상에 게이트 절연막을 통해 워드선으로 되는 게이트 전극을 형성하는 공정을 가지고,

상기 반도체 기판에 제1 도전형의 불순물 영역을 형성하는 공정에서, 상기 게이트 전극의 양측부에서의 상기 반도체 기판 중에 소스 영역과, 상기 불순물 영역으로 되는 드레인 영역을 형성하고,

상기 제2 반도체층의 상층에 비트선을 형성하는 공정을 추가로 가지는 반도체 불휘발성 기억 장치의 제조 방법.

청구항 28

제27항에 있어서,

상기 워드선과 비트선에 각각 접속하는 행 디코더 및 열 디코더를, 패스 트랜지스터만으로 형성하는 반도체 불휘발성 기억 장치의 제조 방법.

청구항 29

적어도 1개의 메모리 셀을 가지는 반도체 불휘발성 기억 장치의 제조 방법으로서,

상기 메모리 셀을 형성하는 공정과,

제1 배선의 상층에 제1 절연막을 형성하는 공정과,

상기 제1 배선에 달하도록 상기 제1 절연막에 개구부를 개구하는 공정과,

상기 개구부 내에서, 상기 제1 배선 상에 제1 도전형의 제1 반도체층을 형성하는 공정과,
 상기 개구부 내에서, 상기 제1 반도체층 상에 제2 절연막을 형성하는 공정과,
 상기 개구부 내에서, 상기 제2 절연막 상에 제2 도전형의 제2 반도체층을 형성하는 공정과,
 상기 제2 반도체층에 접속하도록 제2 배선을 형성하는 공정을 포함하는 반도체 불휘발성 기억 장치의 제조 방법.

청구항 30

제29항에 있어서,
 상기 제1 배선을 워드선으로서, 상기 제2 배선을 비트선으로서 각각 형성하는 반도체 불휘발성 기억 장치의 제조 방법.

청구항 31

제30항에 있어서,
 상기 워드선과 비트선에 각각 접속하는 행 디코더 및 열 디코더를, 패스 트랜지스터만으로 형성하는 반도체 불휘발성 기억 장치의 제조 방법.

청구항 32

적어도 1개의 메모리 셀을 가지는 반도체 불휘발성 기억 장치의 제조 방법으로서,
 상기 메모리 셀을 형성하는 공정이고,
 절연성 기판상의 제1 반도체층에 제1 도전형의 불순물 영역을 형성하는 공정과,
 상기 불순물 영역을 피복하여 상기 제1 반도체층 상에 제1 절연막을 형성하는 공정과,
 상기 불순물 영역에 닿도록 상기 제1 절연막에 개구부를 개구하는 공정과,
 상기 개구부 내에서, 상기 불순물 영역 상에 제2 절연막을 형성하는 공정과,
 상기 개구부 내에서, 상기 제2 절연막 상에 제2 도전형의 제2 반도체층을 형성하는 공정을 포함하는 반도체 불휘발성 기억 장치의 제조 방법.

청구항 33

제32항에 있어서,
 상기 제1 반도체층에 제1 도전형의 불순물 영역을 형성하는 공정 전에, 채널 형성 영역으로 되는 상기 제1 반도체층 상에 게이트 절연막을 통해 워드선으로 되는 게이트 전극을 형성하는 공정을 가지고,
 상기 제1 반도체층에 제1 도전형의 불순물 영역을 형성하는 공정에서, 상기 게이트 전극의 양측부에서의 상기 제1 반도체층 중에 소스 영역과, 상기 불순물 영역으로 되는 드레인 영역을 형성하고,
 상기 제2 반도체층의 상층에 비트선을 형성하는 공정을 추가로 가지는 반도체 불휘발성 기억 장치의 제조 방법.

청구항 34

제33항에 있어서,
 상기 워드선과 비트선에 각각 접속하는 행 디코더 및 열 디코더를, 패스 트랜지스터만으로 형성하는 반도체 불휘발성 기억 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <27> 본 발명은 반도체 불휘발성 기억 장치 및 그 제조 방법에 관한 것이며, 특히 데이터를 1회만 기입할 수 있는 OTP(One Time Programmable) 반도체 불휘발성 기억 장치 및 그 제조 방법에 관한 것이다.
- <28> 불휘발성의 반도체 기억 장치로서, 플로팅 게이트형, MNOS형 또는 MONOS형 등 여러가지의 특징을 가지고, 데이터를 일괄 소거 가능한 플래시 메모리가 개발되었다. 이들은 디코더 등 메모리 셀 어레이의 주변 트랜지스터로서 CMOS 트랜지스터를 가지고 있다.
- <29> 그러나, 상기 플래시 메모리는 제조하는 데에 마스크가 20~30장 정도 필요하여, 제조 코스트가 높다고 하는 문제를 가지고 있다.
- <30> 한편, 데이터를 1회만 기입할 수 있는 판독 전용 기억 장치(OTPROM(Read Only Memory))로서, 1개의 트랜지스터와 1개의 산화막 퓨즈를 가지는 메모리 셀이 개발되어, 예를 들면 일본국 특공평 4(1992)-9388호 공보, 특공소 58(1983)-28750호 공보, 또는 특공소 63(1988)-22073호 공보에 개시되어 있다.
- <31> 예를 들면, 일본국 특공평 4(1992)-9388호 공보에는, 도 21에 나타낸 구조의 메모리 셀이 개시되어 있다.
- <32> 예를 들면, p형의 반도체 기판(101)의 채널 형성 영역(102) 상에 게이트 절연막(103)을 통해 게이트 전극(104)이 형성되어 있고, 그 양측부에서의 반도체 기판(101) 중에 n형 불순물을 함유하는 소스 영역(105)과 드레인 영역(106)이 형성되고, MOS 전계 효과 트랜지스터가 형성되어 있다.
- <33> 상기 MOS 트랜지스터를 피복하여 산화 실리콘의 절연막(110)이 형성되고, 게이트 전극(104), 소스 영역(105), 및 드레인 영역(106)에 달하는 콘택트 홀이 개구되고, 각 콘택트 홀 중에, 예를 들면, 알루미늄 등으로 이루어지는 게이트 배선(115), 소스 배선(116), 및 드레인 배선(117)이 매입(埋入)되어 형성되어 있다.
- <34> 여기에서, 상기 소스 영역(105)과 소스 배선(116)의 계면(界面)에는 산화 실리콘막(114)이 형성되어 있어 양자를 절연하고 있다.
- <35> 상기 구조의 메모리 셀에서, 기입 데이터에 따라, 소스 영역(105)과 소스 배선(116) 사이에 고전압을 가함으로써, 산화 실리콘막(114)에서의 절연이 파괴되어, 소스 영역(105)과 소스 배선(116)을 도통시키고, 각 메모리 셀에서의 소스 영역(105)과 소스 배선(116) 사이의 도통 또는 비도통에 의해 데이터를 기억할 수 있다.
- <36> 또, 일본국 특공소 58(1983)-28750호 공보 및 특공소 63(1988)-22073호 공보에는 각각 도 22 및 도 23에 나타낸 구조의 메모리 셀이 개시되어 있다.
- <37> 실질적으로 도 21에 나타낸 구조의 메모리 셀과 동일하지만, 소스 영역(105)에 접속하도록 폴리실리콘층(120)이 형성되어 있고, 이 상층에 산화 실리콘막(114)을 통해 소스 배선(116)이 형성되어 있다.
- <38> 또, 도 22에서는, 드레인 영역(106)에도 폴리실리콘층(120)이 형성되어 있고, 이 상층에 드레인 배선(117)이 형성되어 있다.
- <39> 상기 구조의 메모리 셀에서도, 기입하는 데이터에 따라 소스 영역(105)과 소스 배선(116) 사이에 고전압을 가함으로써, 산화 실리콘막(114)에서의 절연이 파괴되어, 소스 영역(105)과 소스 배선(116)을 도통시키고, 각 메모리 셀에서의 소스 영역(105)과 소스 배선(116) 사이의 도통 또는 비도통에 의해 데이터를 기억할 수 있다.
- <40> 한편, 미국 특허 6034882호 공보에는, 도 24 (a)의 등가 회로도에 나타낸 메모리 셀 어레이 및 주변 회로를 가지는 반도체 불휘발성 기억 장치가 개시되어 있다.
- <41> 즉, 도 24 (a)에 나타낸 것 같이, 행 디코더(RD)에 의해 제어되는 스위칭 트랜지스터(SWT)에 의해, 층 선택 신호(LSS)가 입력되는 도전층(C1, C2, C5, C7) 및 비트선(BL)으로 되는 도전층(C2, C4, C6)의 교점에서 메모리 셀(M)이 형성되어 있다.
- <42> 상기 메모리 셀은, 예를 들면, 도 24 (b)에 나타낸 구조를 하고 있다.
- <43> 즉, 상기 도전층(C1, C3, C5, C7)으로 되는 도전층(201) 상에 p⁺형의 폴리실리콘층(202)이 형성되고, 그 상층에 n형의 폴리실리콘층(203)이 형성되어, 다이오드를 형성하고 있다. 폴리실리콘층(203)의 상층에 산화 실리콘막(204)이 형성되어 있고, 그 상층에 n⁺형의 폴리실리콘층(205)이 형성되어 있고, 그 상층에 상기 도전층(C2, C4,

C6)으로 되는 도전층(206)이 배선되어 있다.

- <44> 여기서, 상기 폴리실리콘층(203)과 폴리실리콘층(205)은 산화 실리콘막(204)에 의해 절연되어 있다.
- <45> 상기 구조의 메모리 셀에서, 기입하는 데이터에 따라, 폴리실리콘층(203)과 폴리실리콘층(205) 사이에 고전압을 가함으로써, 산화 실리콘막(204)에서의 절연이 파괴되어, 폴리실리콘층(203)과 폴리실리콘층(205)을 도통시키고, 각 메모리 셀에서의 다이오드 소자(폴리실리콘층(202) 및 폴리실리콘층(203)의 적층 부분)의 유무에 의해 데이터를 기억할 수 있다.

발명이 이루고자 하는 기술적 과제

- <46> 그러나, 상기 도 21~도 23에 나타난 구조의 메모리 셀에서는, 산화 실리콘막의 절연 파괴의 재현성, 신뢰성에 문제가 있었다.
- <47> 또, 도 24에 나타난 반도체 불휘발성 기억 장치는 절연막 파괴형의 퓨즈와 능동 소자인 다이오드를 접속하여 이루어지는 메모리 셀을 3차원으로 전개한 구성이기 때문에, 능동 소자를 구성하는 데에 필요한 결정성의 실리콘층을 알루미늄으로 이루어지는 배선의 상층에 형성하는 것이 필요하게 되기 때문에, 열처리의 알루미늄 배선에 의 영향이 커, 실제로 제조하는 데에는 큰 곤란이 따른다.
- <48> 또한, 메모리 셀을 가지는 층을, 예를 들면, 9층 정도로 복수층 적층시켜, 집적도를 늘리고, 반도체 불휘발성 기억 장치로서의 단위 기억 용량당의 제조 코스트를 저감하는 것을 실현하는 것이지만, 예를 들면, N층 적층해도 주변 회로 등의 영향으로 단위 기억 용량당의 제조 코스트가 1/N보다도 커져 버려, 코스트 저감의 효과가 충분히 얻어지지 않는다고 하는 문제가 있었다.
- <49> 본 발명은 상기 문제점을 감안하여 이루어진 것이며, 따라서, 본 발명은 산화 실리콘막의 절연 파괴의 재현성, 신뢰성을 향상시켜, 한층 더 제조 코스트의 저감이 가능한 반도체 불휘발성 기억 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

- <50> 상기 목적을 달성하기 위해, 본 발명의 반도체 불휘발성 기억 장치는 적어도 1개의 메모리 셀을 가지는 반도체 불휘발성 기억 장치로서, 상기 메모리 셀은 반도체 기판에 형성된 제1 도전형의 불순물 영역과, 상기 불순물 영역을 피복하여 상기 반도체 기판 상에 형성된 제1 절연막과, 상기 불순물 영역에 달하도록 상기 제1 절연막에 개구된 개구부와, 상기 개구부 내에 상기 불순물 영역측으로부터 차례로 적층된 제1 도전형의 제1 반도체층, 제2 절연막 및 제2 도전형의 제2 반도체층을 가진다.
- <51> 상기 본 발명의 반도체 불휘발성 기억 장치는, 바람직하게는, 상기 메모리 셀에서 기억하는 데이터에 따라 상기 제1 반도체층과 상기 제2 반도체층 사이에 소정의 전압을 가함으로써 상기 제2 절연막에서의 절연 파괴를 발생하게 하고, 각 메모리 셀에서의 상기 제1 반도체층과 상기 제2 반도체층 사이의 도통 또는 비도통에 의해 데이터를 기억한다.
- <52> 상기 본 발명의 반도체 불휘발성 기억 장치는, 바람직하게는, 상기 메모리 셀에서, 워드선으로 되는 게이트 전극이 상기 반도체 기판 상에 게이트 절연막을 통해 형성되고, 상기 게이트 전극 하부에서의 상기 반도체 기판에 채널 형성 영역을 가지고, 상기 불순물 영역을 드레인 영역으로 하는 전계 효과 트랜지스터가 형성되어 있고, 상기 제2 반도체층에 비트선이 접속하여 형성되어 있다.
- <53> 더욱 바람직하게는, 상기 전계 효과 트랜지스터의 소스 영역이 접지되어 있다.
- <54> 또한 더욱 바람직하게는, 상기 전계 효과 트랜지스터의 소스 영역으로부터 상기 반도체 기판측으로 흐르는 전류를 검지하는 수단을 추가로 가진다.
- <55> 또한 더욱 바람직하게는, 상기 워드선과 비트선이 공급 신호를 통과시키는 패스 트랜지스터를 포함하는 행(行) 디코더 및 열(列) 디코더에 각각 접속되어 있고, 더욱 바람직하게는, 상기 행 디코더 및 열 디코더에 어드레스 신호의 반전 신호가 정상 신호와 함께 외부 장치로부터 공급된다.
- <56> 상기 본 발명의 반도체 불휘발성 기억 장치는, 바람직하게는, 복수개의 상기 메모리 셀이 매트릭스형으로 배치되어 이루어진다.
- <57> 상기 본 발명의 반도체 불휘발성 기억 장치는 메모리 셀이 반도체 기판에 형성된 제1 도전형의 불순물 영역과,

불순물 영역을 피복하여 반도체 기판 상에 형성된 제1 절연막과, 불순물 영역에 달하도록 제1 절연막에 개구된 개구부와 개구부 내에 제1 배선층으로부터 차례로 적층된 제1 도전형의 제1 반도체층, 제2 절연막 및 제2 도전형의 제2 반도체층을 가진다.

- <58> 상기 제1 반도체층과 제2 반도체층 사이에 소정의 전압을 가함으로써, 재현성, 신뢰성을 향상시켜, 제2 절연막에서의 절연 파괴를 발생하게 할 수 있다.
- <59> 또, 메모리 셀을 간단한 구조로 구성할 수 있으므로, 예를 들면, 행 디코더 및 열 디코더 등을 패스 트랜지스터만으로 구성함으로써, 마스크 장수를 6장 정도로 삭감, 제조 가능하여 제조 코스트를 억제할 수 있다.
- <60> 또, 상기 목적을 달성하기 위해, 본 발명의 반도체 불휘발성 기억 장치는 적어도 1개의 메모리 셀을 가지는 반도체 불휘발성 기억 장치로서, 상기 메모리 셀은 제1 배선과, 상기 제1 배선 상에 형성된 제1 절연막과, 상기 제1 배선에 달하도록 상기 제1 절연막에 개구된 개구부와, 상기 개구부 내에 상기 불순물 영역층으로부터 차례로 적층된 제1 도전형의 제1 반도체층, 제2 절연막 및 제2 도전형의 제2 반도체층과, 상기 제2 반도체층에 접속하여 형성된 제2 배선을 가진다.
- <61> 상기 본 발명의 반도체 불휘발성 기억 장치는, 바람직하게는, 상기 메모리 셀에서 기억하는 데이터에 따라 상기 제1 반도체층과 상기 제2 반도체층 사이에 소정의 전압을 가함으로써 상기 제2 절연막에서의 절연 파괴를 발생하게 하고, 각 메모리 셀에서의 상기 제1 반도체층과 상기 제2 반도체층 사이의 도통 또는 비도통에 의해 데이터를 기억한다.
- <62> 상기 본 발명의 반도체 불휘발성 기억 장치는, 바람직하게는, 상기 메모리 셀에서, 상기 제1 배선이 워드선이고, 상기 제2 배선이 비트선이다.
- <63> 더욱 바람직하게는, 상기 워드선과 비트선이 공급 신호를 통과시키는 패스 트랜지스터를 포함하는 행 디코더 및 열 디코더에 각각 접속되어 있다.
- <64> 또 더욱 바람직하게는, 상기 행 디코더 및 열 디코더에 어드레스 신호의 반전 신호가 정상 신호와 함께 외부 장치로부터 공급된다.
- <65> 상기 본 발명의 반도체 불휘발성 기억 장치는, 바람직하게는, 복수개의 상기 메모리 셀이 매트릭스형으로 배치되어 이루어진다.
- <66> 상기 본 발명의 반도체 불휘발성 기억 장치는, 바람직하게는, 상기 제1 배선, 제1 절연막 및 제2 배선의 적층체가 서로 절연되어 복수층 적층되어 있고, 각 적층체에서 상기 제1 배선과 제2 배선에 접속하도록 복수개의 상기 메모리 셀이 매트릭스형으로 배치되어 이루어진다.
- <67> 상기 본 발명의 반도체 불휘발성 기억 장치는, 메모리 셀이 제1 배선과, 제1 배선 상에 형성된 제1 절연막과, 제1 배선에 달하도록 제1 절연막에 개구된 개구부와, 개구부 내에 상기 불순물 영역층으로부터 차례로 적층된 제1 도전형의 제1 반도체층, 제2 절연막 및 제2 도전형의 제2 반도체층과, 제2 반도체층에 접속하여 형성된 제2 배선을 가진다.
- <68> 상기 제1 반도체층과 제2 반도체층 사이에 소정의 전압을 가함으로써, 재현성, 신뢰성을 향상시켜, 제2 절연막에서의 절연 파괴를 발생하게 할 수 있다.
- <69> 또, 메모리 셀을 간단한 구조로 구성할 수 있으므로, 예를 들면, 행 디코더 및 열 디코더 등을 패스 트랜지스터만으로 구성함으로써, 마스크 장수를 6장 정도로 삭감, 제조 가능하여 제조 코스트를 억제할 수 있다.
- <70> 또, 상기 목적을 달성하기 위해, 본 발명의 반도체 불휘발성 기억 장치는 적어도 1개의 메모리 셀을 가지는 반도체 불휘발성 기억 장치로서, 상기 메모리 셀은 절연성 기판 상의 제1 반도체층에 형성된 제1 도전형의 불순물 영역과, 상기 불순물 영역을 피복하여 상기 제1 반도체층 상에 형성된 제1 절연막과, 상기 불순물 영역에 달하도록 상기 제1 절연막에 개구된 개구부와, 상기 개구부 내에 상기 불순물 영역층으로부터 차례로 적층된 제2 절연막 및 제2 도전형의 제2 반도체층을 가진다.
- <71> 상기 본 발명의 반도체 불휘발성 기억 장치는, 바람직하게는, 상기 메모리 셀에서 기억하는 데이터에 따라 상기 불순물 영역과 상기 제2 반도체층 사이에 소정의 전압을 가함으로써 상기 제2 절연막에서의 절연 파괴를 발생하게 하고, 각 메모리 셀에서의 상기 불순물 영역과 상기 제2 반도체층 사이의 도통 또는 비도통에 의해 데이터를 기억한다.

- <72> 상기 본 발명의 반도체 불휘발성 기억 장치는, 바람직하게는, 상기 메모리 셀에서, 워드선으로 되는 게이트 전극이 상기 제1 반도체층 상에 게이트 절연막을 통해 형성되고, 상기 게이트 전극 하부에서의 상기 제1 반도체층에 채널 형성 영역을 가지고, 상기 불순물 영역을 드레인 영역으로 하는 전계 효과 트랜지스터가 형성되어 있고, 상기 제2 반도체층에 비트선이 접속되어 형성되어 있다.
- <73> 더욱 바람직하게는, 상기 전계 효과 트랜지스터의 소스 영역이 접지되어 있다.
- <74> 또한 더욱 바람직하게는, 상기 전계 효과 트랜지스터의 소스 영역으로부터 상기 반도체층 측으로 흐르는 전류를 검지하는 수단을 추가로 가진다.
- <75> 또한 더욱 바람직하게는, 상기 워드선과 비트선이 공급 신호를 통과시키는 패스 트랜지스터를 포함하는 행 디코더 및 열 디코더에 각각 접속되어 있고, 더욱 바람직하게는, 상기 행 디코더 및 열 디코더에 어드레스 신호의 반전 신호가 정상 신호와 함께 외부 장치로부터 공급된다.
- <76> 상기 본 발명의 반도체 불휘발성 기억 장치는, 바람직하게는, 복수개의 상기 메모리 셀이 매트릭스형으로 배치되어 이루어진다.
- <77> 상기 본 발명의 반도체 불휘발성 기억 장치는, 바람직하게는, 상기 제1 반도체층이 서로 절연되어 복수층 적층되어 있고, 각 제1 반도체층의 각각에 있어서, 상기 메모리 셀이 매트릭스형으로 배치되어 이루어진다.
- <78> 상기 본 발명의 반도체 불휘발성 기억 장치는 메모리 셀이 절연성 기판 상의 제1 반도체층에 형성된 제1 도전형의 불순물 영역과, 불순물 영역을 피복하여 제1 반도체층 상에 형성된 제1 절연막과, 불순물 영역에 달하도록 제1 절연막에 개구된 개구부와, 개구부 내에 불순물 영역측으로부터 차례로 적층된 제2 절연막 및 제2 도전형의 제2 반도체층을 가진다.
- <79> 상기 SOI(Semiconductor On Insulator) 구조의 제1 반도체층 중의 불순물 영역과 제2 반도체층 사이에 소정의 전압을 가함으로써, 재현성, 신뢰성을 향상시켜, 제2 절연막에서의 절연 파괴를 발생하게 할 수 있다.
- <80> 또, 메모리 셀을 간단한 구조로 구성할 수 있으므로, 예를 들면, 행 디코더 및 열 디코더 등을 패스 트랜지스터만으로 구성함으로써, 마스크 장수를 6장 정도로 삭감, 제조 가능하여 제조 코스트를 억제할 수 있다.
- <81> 상기 목적을 달성하기 위해, 본 발명의 반도체 불휘발성 기억 장치의 제조 방법은 적어도 1개의 메모리 셀을 가지는 반도체 불휘발성 기억 장치의 제조 방법으로서, 상기 메모리 셀을 형성하는 공정이 반도체 기판에 제1 도전형의 불순물 영역을 형성하는 공정과, 상기 불순물 영역을 피복하여 상기 반도체 기판 상에 제1 절연막을 형성하는 공정과, 상기 불순물 영역에 달하도록 상기 제1 절연막에 개구부를 개구하는 공정과, 상기 개구부 내에서, 상기 불순물 영역 상에 제1 도전형의 제1 반도체층을 형성하는 공정과, 상기 개구부 내에서, 상기 제1 반도체층 상에 제2 절연막을 형성하는 공정과, 상기 개구부 내에서, 상기 제2 절연막 상에 제2 도전형의 제2 반도체층을 형성하는 공정을 포함한다.
- <82> 상기 본 발명의 반도체 불휘발성 기억 장치의 제조 방법은, 바람직하게는, 상기 제1 반도체층을 형성하는 공정이 선택 에피택시얼 성장법에 의해 형성되는 공정이다.
- <83> 상기 본 발명의 반도체 불휘발성 기억 장치의 제조 방법은, 바람직하게는, 상기 반도체 기판에 제1 도전형의 불순물 영역을 형성하는 공정 전에, 채널 형성 영역으로 되는 상기 반도체 기판 상에 게이트 절연막을 통해 워드선으로 되는 게이트 전극을 형성하는 공정을 가지고, 상기 반도체 기판에 제1 도전형의 불순물 영역을 형성하는 공정에서, 상기 게이트 전극의 양측부에서의 상기 반도체 기판 중에 소스 영역과, 상기 불순물 영역으로 되는 드레인 영역을 형성하고, 상기 제2 반도체층의 상층에 비트선을 형성하는 공정을 추가로 가진다.
- <84> 더욱 바람직하게는, 상기 워드선과 비트선에 각각 접속하는 행 디코더 및 열 디코더를 패스 트랜지스터만으로 형성한다.
- <85> 상기 본 발명의 반도체 불휘발성 기억 장치의 제조 방법은 매트릭스형 등으로 배치되어 메모리 셀을 형성할 때에, 반도체 기판에 제1 도전형의 불순물 영역을 형성하고, 불순물 영역을 피복하여 반도체 기판 상에 제1 절연막을 형성하고, 불순물 영역에 달하도록 제1 절연막에 개구부를 개구한다. 다음에, 개구부 내에서, 불순물 영역 상에 제1 도전형의 제1 반도체층을 형성하고, 제1 반도체층 상에 제2 절연막을 형성하고, 또한 제2 절연막 상에 제2 도전형의 제2 반도체층을 형성한다.
- <86> 상기 본 발명의 반도체 불휘발성 기억 장치의 제조 방법에 의하면, 상기 제1 반도체층과 제2 반도체층 사이에 소정의 전압을 가함으로써, 재현성, 신뢰성을 향상시키고, 제2 절연막에서의 절연 파괴를 발생하게 할 수 있는

메모리 셀을 가지는 반도체 불휘발성 기억 장치를 제조 가능하며, 예를 들면, 행 디코더 및 열 디코더 등을 패스 트랜지스터만으로 구성함으로써, 마스크 장수를 6장 정도로 삭감, 제조 가능하여 제조 코스트를 억제할 수 있다.

- <87> 상기 목적을 달성하기 위해, 본 발명의 반도체 불휘발성 기억 장치의 제조 방법은 적어도 1개의 메모리 셀을 가지는 반도체 불휘발성 기억 장치의 제조 방법으로서, 상기 메모리 셀을 형성하는 공정이 제1 배선의 상층에 제1 절연막을 형성하는 공정과, 상기 제1 배선에 달하도록 상기 제1 절연막에 개구부를 개구하는 공정과, 상기 개구부 내에서, 상기 제1 배선 상에 제1 도전형의 제1 반도체층을 형성하는 공정과, 상기 개구부 내에서, 상기 제1 반도체층 상에 제2 절연막을 형성하는 공정과, 상기 개구부 내에서, 상기 제2 절연막 상에 제2 도전형의 제2 반도체층을 형성하는 공정과, 상기 제2 반도체층에 접속하도록 제2 배선을 형성하는 공정을 포함한다.
- <88> 상기 본 발명의 반도체 불휘발성 기억 장치의 제조 방법은, 바람직하게는, 상기 제1 배선을 워드선으로서, 상기 제2 배선을 비트선으로서 각각 형성한다.
- <89> 더욱 바람직하게는, 상기 워드선과 비트선에 각각 접속하는 행 디코더 및 열 디코더를 패스 트랜지스터만으로 형성한다.
- <90> 상기 본 발명의 반도체 불휘발성 기억 장치의 제조 방법은 매트릭스형 등으로 배치하여 메모리 셀을 형성할 때에, 제1 배선의 상층에 제1 절연막을 형성하고, 제1 배선에 달하도록 제1 절연막에 개구부를 개구하고, 개구부 내에서, 제1 배선 상에 제1 도전형의 제1 반도체층을 형성하고, 제1 반도체층 상에 제2 절연막을 형성하고, 또한 제2 절연막 상에 제2 도전형의 제2 반도체층을 형성한다. 다음에, 제2 반도체층에 접속하도록 제2 배선을 형성한다.
- <91> 상기 본 발명의 반도체 불휘발성 기억 장치의 제조 방법에 의하면, 상기 제1 반도체층과 제2 반도체층 사이에 소정의 전압을 가함으로써, 재현성, 신뢰성을 향상시키고, 제2 절연막에서의 절연 파괴를 발생하게 할 수 있는 메모리 셀을 가지는 반도체 불휘발성 기억 장치를 제조 가능하며, 예를 들면, 행 디코더 및 열 디코더 등을 패스 트랜지스터만으로 구성함으로써, 마스크 장수를 6장 정도로 삭감, 제조 가능하여 제조 코스트를 억제할 수 있다.
- <92> 상기 목적을 달성하기 위해, 본 발명의 반도체 불휘발성 기억 장치의 제조 방법은 적어도 1개의 메모리 셀을 가지는 반도체 불휘발성 기억 장치의 제조 방법으로서, 상기 메모리 셀을 형성하는 공정이 절연성 기관 상의 제1 반도체층에 제1 도전형의 불순물 영역을 형성하는 공정과, 상기 불순물 영역을 피복하여 상기 제1 반도체층 상에 제1 절연막을 형성하는 공정과, 상기 불순물 영역에 달하도록 상기 제1 절연막에 개구부를 개구하는 공정과, 상기 개구부 내에서, 상기 불순물 영역 상에 제2 절연막을 형성하는 공정과, 상기 개구부 내에서, 상기 제2 절연막 상에 제2 도전형의 제2 반도체층을 형성하는 공정을 포함한다.
- <93> 상기 본 발명의 반도체 불휘발성 기억 장치의 제조 방법은, 바람직하게는, 상기 제1 반도체층에 제1 도전형의 불순물 영역을 형성하는 공정 전에, 채널 형성 영역으로 되는 상기 제1 반도체층 상에 게이트 절연막을 통해 워드선으로 되는 게이트 전극을 형성하는 공정을 가지고, 상기 제1 반도체층에 제1 도전형의 불순물 영역을 형성하는 공정에 있어서, 상기 게이트 전극의 양측부에서의 상기 제1 반도체층 중에 소스 영역과, 상기 불순물 영역으로 되는 드레인 영역을 형성하고, 상기 제2 반도체층의 상층에 비트선을 형성하는 공정을 추가로 가진다.
- <94> 더욱 바람직하게는, 상기 워드선과 비트선에 각각 접속하는 행 디코더 및 열 디코더를 패스 트랜지스터만으로 형성한다.
- <95> 상기 본 발명의 반도체 불휘발성 기억 장치의 제조 방법은 매트릭스형으로 배치하여 메모리 셀을 형성할 때에, 절연성 기관 상의 제1 반도체층에 제1 도전형의 불순물 영역을 형성하고, 불순물 영역을 피복하여 제1 반도체층 상에 제1 절연막을 형성하고, 불순물 영역에 달하도록 제1 절연막에 개구부를 개구한다. 다음에, 개구부 내에서, 불순물 영역 상에 제2 절연막을 형성하고, 제2 절연막 상에 제2 도전형의 제2 반도체층을 형성한다.
- <96> 상기 본 발명의 반도체 불휘발성 기억 장치의 제조 방법에 의하면, 상기 불순물 영역과 제2 반도체층 사이에 소정의 전압을 가함으로써, 재현성, 신뢰성을 향상시키고, 제2 절연막에서의 절연 파괴를 발생하게 할 수 있는 메모리 셀을 가지는 반도체 불휘발성 기억 장치를 제조 가능하며, 예를 들면, 행 디코더 및 열 디코더 등을 패스 트랜지스터만으로 구성함으로써, 마스크 장수를 6장 정도로 삭감, 제조 가능하여 제조 코스트를 억제할 수 있다.
- <97> 이하, 본 발명의 반도체 불휘발성 기억 장치 및 그 제조 방법의 실시 형태에 대하여, 도면을 참조하여 다음에

설명한다.

- <98> 제1 실시 형태
- <99> 도 1은 본 실시 형태에 관한 반도체 불휘발성 기억 장치인 메모리 칩을 내장하는 기록 매체(메모리 카드)의 구성을 나타내는 모식도이다.
- <100> 상기 기록 매체는 메모리 칩(MC), 컨트롤 칩(CC) 및 인터페이스(IF)를 가진다.
- <101> 컨트롤 칩(CC)은 인터페이스(IF)를 통해 외부 상위 기기(EXT)로부터 전원의 공급(受給) 및 데이터의 수수(授受)를 행하고, 메모리 칩(MC)에 대한 데이터의 기입 및 관독을 행한다.
- <102> 도 2는 상기 메모리 칩(MC)의 구성을 나타내는 회로도이다. 설명을 간단히 하기 위해, 4행 4열의 메모리 셀 어레이에 대하여 설명하고 있지만, 실제로는 m행 n열의 메모리 셀 어레이에 적용할 수 있다.
- <103> 메모리 칩(MC)은 행 디코더(RD), 열 디코더(CD), 메모리 셀 어레이 및 출력 회로를 가진다.
- <104> 상기 메모리 셀 어레이에서, 행 디코더(RD)에 접속되어 있는 워드선(WL(WL₁, WL₂, WL₃, WL₄))과 열 디코더(CD)에 접속되어 있는 비트선(BL(BL₁, BL₂, BL₃, BL₄))이 교차하는 위치에 메모리 셀(M(M₁₁, M₁₂, ..., M₃₄, M₄₄))이 매트릭스형으로 배치되어 있다.
- <105> 각 메모리 셀(M)은 액세스 트랜지스터(AT(AT₁₁, AT₁₂, ..., AT₃₄, AT₄₄))와 절연막 파괴형의 퓨즈(F(F₁₁, F₁₂, ..., F₃₄, F₄₄))를 가진다.
- <106> 각 액세스 트랜지스터(AT(AT₁₁, AT₁₂, ..., AT₃₄, AT₄₄))의 소스 영역이 비트선(BL(BL₁, BL₂, BL₃, BL₄))에 접속되고, 드레인 영역이 접지되어 있는 구성이다.
- <107> 도 3은 상기 행 디코더(RD)의 구성예를 나타내는 등가 회로도이다.
- <108> 행 디코더(RD)에서는, 각 어드레스 데이터(A_i(A₀, A₁, ..., A_n))등이 입력되는 OR 논리 회로 등에 의해 선택된 워드선(WL(WL₁, WL₂, WL₃, WL₄))에, 예를 들면, 전압(V_{dd})이 가해진다.
- <109> 또는, 행 디코더(RD)는 각 어드레스 데이터(A_i(A₀, A₁, ..., A_n)) 및 도시하지 않은 블록 선택 신호(ϕ)에 의해 제어되는 패스 트랜지스터만으로 구성되고, 어드레스 데이터 및 블록 선택 신호에 의해 선택된 워드선(WL)에, 예를 들면, 전압(V_{dd})이 가해지는 구성으로 해도 되며, 이 경우에는 각 어드레스 데이터(A_i(A₀, A₁, A_n ...)) 등을 컨트롤 칩(CC)으로부터 공급하는 구성으로 하는 것이 바람직하다.
- <110> 도 4는 상기 열 디코더(CD) 및 앰프를 포함하는 출력계의 구성예를 나타내는 등가 회로도이다.
- <111> 열 디코더(CD)에서는, 행 디코더(RD)와 동일하게, 각 어드레스 데이터(A_i(A₁₆, A₁₇, ..., A_n)) 등이 입력되는 OR 논리 회로 및 선택 게이트(SG(SG₁, SG₂, SG₃, SG₄))를 가지는 선택 트랜지스터(ST(ST₁, ST₂, ST₃, ST₄)) 등에 의해 선택된 비트선(BL)에, 예를 들면, 칩 선택 신호(CS) 및 라이트 이네이블 신호(WE)로부터 얻어지는 기입 신호(W)가 ON으로 되었을 때에, 입력 데이터(D_{IN})가 입력된다. 또는, 상기 비트선(BL)으로부터, 예를 들면, 칩 선택 신호(CS) 및 라이트 이네이블 신호(WE)로부터 얻어지는 관독 신호(R)가 ON으로 되었을 때에, 메모리 셀 데이터(D₀)가 관독된다.
- <112> 또는, 열 디코더(CD)는 각 어드레스 데이터(A_i(A₁₆, A₁₇, ..., A_n)) 및 도시하지 않은 블록 선택 신호(ϕ)에 의해 제어되는 패스 트랜지스터만으로 구성되고, 어드레스 데이터 및 블록 선택 신호에 의해 선택된 비트선(BL)에 상기와 같이 입력 데이터(D_{IN})가 입력되고, 또는 선택된 비트선(BL)으로부터 메모리 셀 데이터(D₀)가 관독되는 구성으로 해도 되며, 이 경우에는 각 어드레스 데이터(A_i(A₁₆, A₁₇, ..., A_n)), 블록 선택 신호(ϕ) 및 입력 데이터(D_{IN}) 등을 컨트롤 칩(CC)으로부터 공급하는 구성으로 하는 것이 바람직하다.
- <113> 앰프(AMP)는, 예를 들면, 3단의 커런트 미러 앰프(CMA1, CMA2, CMA3)로 이루어지고 있으며, 각단(各段)의 커런트 미러 앰프는 각각 2개의 트랜지스터(Q₁, Q₂, Q₃, Q₄, Q₅, Q₆)로 구성되어 있다.

- <114> 여기에서, 트랜지스터(Q₁, Q₂, Q₅, Q₆)는 n채널 MOS 트랜지스터(NMOS)로 구성되며, 한편, 트랜지스터(Q₃, Q₄)는 p 채널 MOS 트랜지스터(PMOS)로 구성된다.
- <115> 여기에서, 예를 들면, 트랜지스터(Q₁, Q₂)까지의 회로가 메모리 칩(MC) 상에 배치되고, 트랜지스터(Q₃, Q₄, Q₅, Q₆) 이후의 회로가 컨트롤 칩(CC) 상에 배치되고, 트랜지스터(Q₂, Q₃) 사이가 패드(Pad)에서 접속된 형태로 되어 있는 것이 바람직하다.
- <116> 메모리 셀 어레이로부터 출력된 메모리 셀 데이터(D_a)에 따른 전류(I_a)가 제1단의 커런트 미러 앰프(CMA1)에 입력되면, 제1단의 커런트 미러 앰프(CMA1)를 구성하는 트랜지스터(Q₁, Q₂)의 채널 폭의 비에 따라 증폭된 전류(I_b)가 트랜지스터(Q₂)측으로 흐른다.
- <117> 제2단의 커런트 미러 앰프(CMA2)에서도 동일한 작용을 하여, 전류(I_b)가 전류(I_c)에 증폭되고, 제3단의 커런트 미러 앰프(CMA3)에서도 전류(I_c)가 전류(I_d)에 증폭된다.
- <118> 예를 들면, 각단마다 전류가 10배로 증폭되도록 각 트랜지스터의 채널 폭의 비를 설정하면, 10³=1000배로 증폭할 수 있다.
- <119> 상기와 같이 증폭된 전류를 그대로 D_{OUT}로부터 출력 데이터로서 꺼내거나, 또는 전압(V_{CC})을 가한 외부 저항을 접속함으로써 전류를 전압으로 변환하여 출력 데이터로서 꺼낼 수 있다.
- <120> 도 5 (a)는 상기 메모리 셀의 단면도이며, 도 5 (b)는 상당하는 등가 회로도이다.
- <121> 예를 들면, p형 실리콘 반도체 기판(10)의 소자 분리 절연막(20)에서 분리된 활성 영역에서의 채널 형성 영역 상에 산화 실리콘의 게이트 절연막(21)이 형성되고, 그 상층에 폴리실리콘으로 이루어지고, 워드선(WL)으로 되는 게이트 전극(30a)이 형성되어 있다.
- <122> 게이트 전극(30a)의 양측부에서의 반도체 기판(10) 중에 n형의 불순물을 고농도로 함유하는 소스 영역(11) 및 드레인 영역(12)이 형성되어 있다.
- <123> 이상과 같이, 메모리 셀의 액세스 트랜지스터(AT)로 되는 n채널 MOS 트랜지스터가 구성되어 있다.
- <124> 상기 트랜지스터의 채널 길이는, 예를 들면, 0.1 μ m 정도로 하고, 소스 · 드레인 영역의 접합 깊이는, 예를 들면, 0.05 μ m 정도로 한다.
- <125> 상기 n채널 MOS 트랜지스터를 피복하여, 전면(全面)에, 예를 들면, 산화 실리콘의 제1 절연막(22)이 형성되어 있고, 소스 영역(11)에 달하는 콘택트 홀(CH)이 개구되어 있다.
- <126> 콘택트 홀(CH) 내에서, 소스 영역(11)에 접속하여 에피택시얼 성장법에 의해 형성되고, n형의 불순물을 고농도로 함유하는 결정성 실리콘으로 이루어지는 제1 반도체층(31)이 형성되고, 그 상층에 산화 실리콘의 제2 절연막(23)이 형성되고, 그 상층에 p형 불순물을 고농도로 함유하는 폴리실리콘으로 이루어지는 제2 반도체층(32)이 형성되어 있다. 제1 반도체층(31), 제2 절연막(23) 및 제2 반도체층(32)의 막 두께의 총계는 콘택트 홀(CH)의 깊이에 달하지 않을 정도이다.
- <127> 또, 상기 제2 반도체층(32)에 접속하여, 예를 들면, 알루미늄 등의 금속 배선으로 이루어지고, 비트선(BL)으로 되는 상층 배선(33)이 형성되어 있다.
- <128> 한편, 상기 드레인 영역(12)은 반도체 기판(10) 중의 배선 등에 의해 접지되어 있다.
- <129> 상기 구조의 각 메모리 셀에서, 제1 반도체층(31), 제2 절연막(23) 및 제2 반도체층(32)의 적층체는 절연막 파괴형의 퓨즈(F)로 된다. 기억하는 데이터에 대응하도록 선택된 메모리 셀의 제1 반도체층(31)과 제2 반도체층(32) 사이에 소정의 고전압을 가함으로써, 제2 절연막(23)에서의 절연 파괴를 발생하게 하여, 제1 반도체층(31) 및 제2 반도체층(32) 사이를 도통시키고, 각 메모리 셀에서의 제1 반도체층(31)과 제2 반도체층(32) 사이의 도통 또는 비도통에 의해 데이터를 기억할 수 있다.
- <130> 보통, 상기와 같이 제2 절연막(23)에서의 절연 파괴를 발생하게 한 후, 제1 반도체층(31) 및 제2 반도체층(32) 사이의 도통을 확인하여, 기입이 성공했는지 확인한다.

- <131> 도 6은 상기 제2 절연막(23)에서의 절연 파괴를 설명하기 위한 에너지 다이어그램이다.
- <132> n^+ 형의 제1 반도체층(31)에 드레인 전압(V_{drain})을 가하고, p^+ 형의 제2 반도체층(32)에 비트 전압(V_{Bit})을 가하면, V_{drain} 과 V_{Bit} 의 전압차에 대응하도록, n^+ 형층 및 p^+ 형층의 각층 중의 가전자대(價電子帶) 레벨(E_V)과 페르미 레벨(E_C)의 에너지차가 발생한다.
- <133> n^+ 형층(n^+Si) 및 p^+ 형층(p^+Si)과 산화막(SiO_2)과의 계면 근방의 에너지 레벨은 순조롭게 변화되고, n^+ 형층 및 p^+ 형층 중의 각각 메인 캐리어인 전자(도면 중 -로 표시)와 홀(도면 중 +로 표시)에 대한 우물 상태로 되므로, n^+ 형층 및 p^+ 형층과 산화막과의 계면 근방에 전자와 홀이 각각 축적된다.
- <134> V_{drain} 과 V_{Bit} 의 전압차가 소정값 이상으로 되면, 축적되는 캐리어의 에너지차도 커져, 산화막이 형성되는 에너지 장벽을 전자가 터널 효과에 의해 투과하여 재결합하고(도면 중 RC로 나타냄), 열 등의 에너지(E)가 발생하여 산화막에 전달되어, 산화막의 절연 파괴를 초래한다.
- <135> 예를 들면, 제1 반도체층(31)이 없는 구조의 경우, 절연 파괴의 영향이 접합 깊이가 얇은 소스 영역 하부에까지 달하여, 접합 리크의 원인이 되는 일이 있지만, 본 구조에서는 제1 반도체층(31)의 존재에 의해 절연 파괴의 영향이 소스 영역 하부에까지 달하는 것을 방지할 수 있다.
- <136> 제1 반도체층(31), 제2 절연막(23) 및 제2 반도체층(32)의 적층체 구조에서는, 전자와 홀의 재결합(RC)에 의한 에너지(E)가 효율적으로 산화막에 전달되기 때문에, 재현성, 신뢰성을 향상시켜, 제2 절연막에서의 절연 파괴를 발생하게 할 수 있다.
- <137> 상기와 같이 하여 메모리 셀에 기억된 데이터를 판독하는 데에는, 예를 들면, 판독하려고 하는 메모리 셀에 접속되는 비트선을 소정값으로 프리차지하고, 동일하게 판독하려고 하는 메모리 셀에 접속되는 워드선을 ON으로 하고 이 메모리 셀의 액세스 트랜지스터를 ON으로 하여, 비트선의 프리차지가 전위 변동되는지 여부로 각 메모리 셀에서의 제1 반도체층(31)과 제2 반도체층(32) 사이의 도통 또는 비도통을 조사하여 판독 데이터로 한다.
- <138> 상기 본 실시 형태에 관한 반도체 불휘발성 기억 장치(메모리 칩)는 메모리 셀 어레이에서, 각 메모리 셀은 1개의 n 채널 MOS 트랜지스터(NMOS)와 1개의 절연막 파괴형의 퓨즈를 가지는 간단한 구성이며, 산화 실리콘막의 절연 파괴의 재현성, 신뢰성을 향상시켜, 용이 또한 염가에 제조 가능한 반도체 불휘발성 기억 장치(메모리 칩)이다.
- <139> 또, 본 실시 형태의 반도체 불휘발성 기억 장치(메모리 칩)는 도 1에 나타난 것 같이 컨트롤 칩과 조합하여 사용함으로써, 디코더나 앰프 등의 회로 구성에 필요한 PMOS(p 채널 MOS 트랜지스터)를 메모리 칩 상이 아니라 컨트롤 칩 상에 구성할 수 있다. 즉, 행 디코더 및 열 디코더가 패스 트랜지스터(NMOS)만으로 이루어지는 구성으로 하는 등에 의해, 메모리 칩 자체를 NMOS 프로세스에 의해 형성 가능하게 되어, 마스크 장수를 예를 들면 6장 정도로 삭감하여 제조 가능하므로, 메모리 칩의 제조 코스트를 크게 저감할 수 있다.
- <140> 한편, 컨트롤 칩 자체는 원래 CMOS 프로세스로 제조되어 있으므로, 코스트가 크게 증대되는 일은 없다.
- <141> 따라서, 메모리 칩 코스트의 대폭 저감분에 의해, 메모리 칩을 내장하는 기록 매체(메모리 카드)로서의 제조 코스트를 저감할 수 있다.
- <142> 상기 구조의 메모리 셀을 가지는 반도체 불휘발성 기록 장치(메모리 칩)의 제조 방법에 대하여, 도면을 참조하여 다음에 설명한다.
- <143> 먼저, 도 7 (a)에 나타난 것 같이, p 형 실리콘 반도체 기판(10)에 LOCOS법 등에 의해 소자 분리 절연막(20)을 형성하고, 다시 소자 분리 절연막(20)에 의해 분리된 활성 영역에 임계값 조정 등을 위해 도전성 불순물을 이온 주입한다.
- <144> 다음에, 도 7 (b)에 나타난 것 같이, 예를 들면, 열산화법에 의한 반도체 기판(10) 표면을 산화하여, 게이트 절연막(21)을 형성한다.
- <145> 또한, CVD(Chemical Vapor Deposition)법에 의해 폴리실리콘을 퇴적시켜 게이트 전극용층(30)을 형성한다.
- <146> 다음에, 도 8 (c)에 나타난 것 같이, 포토리소그래피 공정에 의해, 게이트 전극 패턴의 레지스트막(R1)을 패턴

형성하고, 이 레지스트막(R1)을 마스크로 하여 RIE(반응성 이온 에칭) 등의 에칭을 실시하고, 게이트 전극용층(30) 및 게이트 절연막(21)을 패턴 가공하여 게이트 전극(30a)을 형성한다.

- <147> 다음에, 도 8 (d)에 나타난 것 같이, n형의 도전성 불순물을 이온 주입하고, 게이트 전극(30a)의 양측부에서의 반도체 기판(10) 중에 소스 영역(11) 및 드레인 영역(12)을 형성한다.
- <148> 이상으로, n채널 MOS 트랜지스터(NMOS)가 형성된다.
- <149> 다음에, 도 9 (e)에 나타난 것 같이, 예를 들면, CVD법에 의해 상기 NMOS를 피복하여 전면에 산화 실리콘을 퇴적시켜 제1 절연막(22)을 형성하고, 다시 포토리소그래피 공정에 의해 콘택트 홀의 개구 패턴의 레지스트막(R2)을 패턴 형성하고, 이 레지스트막(R2)을 마스크로 하여 RIE 등의 에칭을 실시하고, 소스 영역(11)에 달하는 콘택트 홀(CH)을 개구한다.
- <150> 다음에, 도 9 (f)에 나타난 것 같이, 예를 들면, MOCVD(유기 금속 화학 기상 성장)법에 의한 선택 에피택시얼 성장 기술에 의해, 소스 영역(11)에 접속하도록 콘택트 홀(CH) 내에 선택적으로 n형의 도전성 불순물을 고농도로 함유하는 제1 반도체층(31)을 형성한다.
- <151> 다음에, 도 10 (g)에 나타난 것 같이, 예를 들면, 열산화법에 의해 제1 반도체층(31)의 표층을 산화하여, 또는 CVD법에 의해 산화 실리콘을 퇴적시켜, 제2 절연막(23)을 형성한다.
- <152> CVD법의 경우에는, 산화 실리콘이 전면에 퇴적되지만, 콘택트 홀(CH) 외부의 도사를 생략하고 있다.
- <153> 다음에, 도 10 (h)에 나타난 것 같이, 예를 들면, CVD법에 의해 전면에 폴리실리콘을 퇴적시켜, 포토리소그래피 공정에 의해 콘택트 홀 부분을 보호하는 레지스트막(도시하지 않음)을 형성하고, RIE 등의 에칭을 실시하여, 콘택트 홀 외부의 폴리실리콘을 제거하고, 제2 절연막(23)의 상층에 p형의 도전성 불순물을 고농도로 함유하는 제2 반도체층(32)을 형성한다.
- <154> 이후의 공정으로서, 상기에서 형성된 제2 반도체층(32)에 접속하도록, 예를 들면, 알루미늄 등의 금속 배선으로 이루어지고, 비트선으로 되는 상층 배선(33)을 패턴 형성하여, 도 5에 나타난 반도체 불휘발성 기억 장치에 이른다.
- <155> 상기 본 실시 형태의 반도체 불휘발성 기억 장치의 제조 방법에 의하면, 상기 본 실시 형태에 관한 반도체 불휘발성 기억 장치를 용이하게 제조하는 것이 가능하며, 상기 제1 반도체층과 제2 반도체층 사이에 소정의 전압을 가함으로써, 재현성, 신뢰성을 향상시켜, 제2 절연막에서의 절연 파괴를 발생하게 할 수 있는 메모리 셀을 가지는 반도체 불휘발성 기억 장치를 제조할 수 있다.
- <156> 특히, 예를 들면, 행 디코더 및 열 디코더 등을 패스 트랜지스터만으로 구성하는 경우에는, NMOS 프로세스에 의해 형성 가능하므로 마스크 장수를 6장 정도로 삭감, 제조 가능하여 제조 코스트를 억제할 수 있다.
- <157> 제2 실시 형태
- <158> 본 실시 형태에 관한 반도체 불휘발성 기억 장치(메모리 칩)는 도 11의 단면도에 나타난 것 같이, 각 메모리 셀의 구조에 있어서, p형 실리콘 반도체 기판(10)이 p형 불순물을 고농도로 함유하는 p⁺형 소자 분리 영역(13)에 의해 분리되어 있다.
- <159> 상기 이외의 구성은 실질적으로 제1 실시 형태와 동일하다.
- <160> 즉, 소자 분리 영역(13)에 의해 분리된 활성 영역에서의 채널 형성 영역 상에 게이트 절연막(21) 및 워드선(WL)으로 되는 게이트 전극(30a)이 형성되고, 게이트 전극(30a)의 양측부에서의 반도체 기판(10) 중에 소스 영역(11) 및 드레인 영역(12)이 형성되고, 메모리 셀의 액세스 트랜지스터(AT)로 되는 n채널 MOS 트랜지스터가 구성되어 있다.
- <161> 또한, n채널 MOS 트랜지스터를 피복하고, 전면에, 예를 들면 산화 실리콘의 제1 절연막(22)이 형성되고, 소스 영역(11)에 달하는 콘택트 홀(CH)이 개구되어 있고, 콘택트 홀(CH) 내에서 제1 반도체층(31), 제2 절연막(23) 및 제2 반도체층(32)이 적층되고, 제2 반도체층(32)에 접속되어, 예를 들면, 알루미늄 등의 금속 배선으로 이루어지고, 비트선(BL)으로 되는 상층 배선(33)이 형성되어 있다.
- <162> 상기 본 실시 형태에 관한 반도체 불휘발성 기억 장치(메모리 칩)는 메모리 셀 어레이에서, 각 메모리 셀은 1개의 n채널 MOS 트랜지스터(NMOS)와 1개의 절연막 파괴형의 퓨즈를 가지는 간단한 구성이며, 산화 실리콘막의 절연 파괴의 재현성, 신뢰성을 향상시켜, 용이 또한 염가에 제조 가능한 반도체 불휘발성 기억 장치(메모리 칩)이

다.

- <163> 또, 본 실시 형태의 반도체 불휘발성 기억 장치(메모리 칩)는 제1 실시 형태와 동일하게, 행 디코더 및 열 디코더가 패스 트랜지스터(NMOS)만으로 이루어지는 구성으로서 메모리 칩 자체를 NMOS 프로세스에 의해 형성 가능하게 되어, 마스크 장수를, 예를 들면, 6장 정도로 삭감하여 제조 가능하므로, 메모리 칩의 제조 코스트를 크게 저감할 수 있다.
- <164> 제3 실시 형태
- <165> 본 실시 형태에 관한 반도체 불휘발성 기억 장치(메모리 칩)는 도 12의 등가 회로도에 나타난 것 같이, 메모리 셀 어레이에 있어서, 각 메모리 셀의 액세스 트랜지스터(AT(AT₁₁, AT₁₂, ..., AT₃₄, AT₄₄))의 소스 영역이 비트선(BL(BL₁, BL₂, BL₃, BL₄))에 접속되고, 한편, 메모리 셀 출력 데이터(D_M)로서, 드레인 영역으로부터 기판으로 흐르는 전류가 검출되고, 앰프(AMP)에 접속되어 있는 구성으로 되어 있는 것이 상이하다.
- <166> 상기 이외의 구성은 실질적으로 제1 실시 형태와 동일하다.
- <167> 예를 들면, 메모리 셀 출력 데이터(D_M)가 입력되는 앰프(AMP)는 제1 실시 형태에서 설명한 3단의 커런트 미러 앰프(CMA1, CMA2, CMA3)로 이루어지는 구성으로 한다.
- <168> 상기 본 실시 형태에 관한 반도체 불휘발성 기억 장치(메모리 칩)는 메모리 셀 어레이에서, 각 메모리 셀은 1개의 n채널 MOS 트랜지스터(NMOS)와 1개의 절연막 파괴형의 퓨즈를 가지는 간단한 구성이며, 산화 실리콘막의 절연 파괴의 재현성, 신뢰성을 향상시켜, 용이 또한 열가에 제조 가능한 반도체 불휘발성 기억 장치(메모리 칩)이다.
- <169> 또, 본 실시 형태의 반도체 불휘발성 기억 장치(메모리 칩)는 제1 실시 형태와 동일하게, 행 디코더 및 열 디코더가 패스 트랜지스터(NMOS)만으로 이루어지는 구성으로서 메모리 칩 자체를 NMOS 프로세스에 의해 형성 가능하게 되어, 마스크 장수를, 예를 들면, 6장 정도로 삭감하여 제조 가능하므로, 메모리 칩의 제조 코스트를 크게 저감할 수 있다.
- <170> 제4 실시 형태
- <171> 본 실시 형태에 관한 반도체 불휘발성 기억 장치(메모리 칩)는 도 13의 등가 회로도에 나타난 것 같이, ij번째의 메모리 셀 어레이(MA_{ij})에서, 행 디코더(RD)에 접속되어 있는 워드선(WL(WL₁, WL₂, WL₃, WL₄))과, 열 디코더(CD)에 접속되어 있는 비트선(BL(BL₁, BL₂, BL₃, BL₄))이 교차하는 위치에, 절연막 파괴형의 퓨즈(F(F₁₁, F₁₂, ..., F₃₄, F₄₄))로 이루어지는 메모리 셀(M(M₁₁, M₁₂, ..., M₃₄, M₄₄))이 매트릭스형으로 배치되어 있다.
- <172> 도 14는 상기 행 디코더(RD)의 구성예를 나타내는 등가 회로도이다.
- <173> 행 디코더(RD)에서는, 각 어드레스 데이터(A_i(A₀, A₁, A₂, A₃, ...)) 및 선택 신호(BS_{ij}) 등이 입력되는 OR 논리 회로 등에 의해 선택된 워드선(WL(WL₁, WL₂, WL₃, WL₄))에, 예를 들면, 전압(V_{dd})이 가해진다.
- <174> 도 15는 상기 행 디코더(RD)에서 어드레스 데이터(A_i) 및 선택 신호(BS_{ij}) 등의 3계통이 입력되어, 1계통의 출력을 하는 OR 논리 회로의 구성을 나타내는 등가 회로도이다.
- <175> 도 16은 상기 열 디코더(CD)의 구성예를 나타내는 등가 회로도이다.
- <176> 열 디코더(CD)에서는, 행 디코더(RD)와 동일하게 각 어드레스 데이터(A_i(A₂, A₃, A₄, ...)) 및 선택 신호(BS_{ij}) 등이 입력되는 OR 논리 회로 및 선택 게이트(SG(SG₁, SG₂, SG₃, SG₄))를 가지는 선택 트랜지스터(ST(ST₁, ST₂, ST₃, ST₄)) 등에 의해 선택된 비트선(BL)에, 기입 신호(W)가 ON으로 되었을 때에, 입력 데이터(D_{IN})가 입력되고, 또는, 상기 비트선(BL)으로부터 판독 신호(R)가 ON으로 되었을 때에, 메모리 셀 데이터(D)가 판독된다.
- <177> 상기 열 디코더(CD)에서 어드레스 데이터(A_i) 및 선택 신호(BS_{ij}) 등의 3계통이 입력되어, 1계통의 출력을 하는 OR 논리 회로는 상기 도 15에 나타난 회로와 동일하다.
- <178> 도 13 중의 앰프(AMP)는 제1 실시 형태에서의 앰프와 동일한 구성, 즉, 각단이 2개의 트랜지스터로 구성되어 있는 3단의 커런트 미러 앰프의 구성으로 할 수 있고, 이에 따라 메모리 셀 데이터(D_M)에 따른 전류를, 예를

들면, 1000배로 증폭하여 출력 데이터로서 꺼낼 수 있다.

- <179> 도 17 (a)는 본 실시 형태에 관한 메모리 셀의 모식적 사시도이며, 도 17 (b)는 상당하는 등가 회로도이다.
- <180> 워드선(WL)으로 되는 제1 배선의 상층에, 도시하지 않은 제1 절연막이 형성되어 있고, 워드선(WL)에 달하는 콘택트 홀(CH)이 개구되어 있다.
- <181> 콘택트 홀(CH) 내에서, 워드선(WL)에 접속하여, n형의 불순물을 고농도로 함유하는 실리콘계의 제1 반도체층(31)이 형성되고, 그 상층에 산화 실리콘의 제2 절연막(23)이 형성되고, 그 상층에 p형의 불순물을 고농도로 함유하는 실리콘계의 제2 반도체층(32)이 형성되어 있다.
- <182> 또, 상기 제2 반도체층(32)에 접속하고, 워드선(WL)에 대하여, 예를 들면, 직교하는 방향으로 연장되는 비트선(BL)으로 되는 제2 배선이 형성되어 있다.
- <183> 상기 구조의 각 메모리 셀에서, 제1 반도체층(31), 제2 절연막(23) 및 제2 반도체층(32)의 적층체는 절연막 파괴형의 퓨즈(F)로 된다. 기억하는 데이터에 대응하도록 선택된 메모리 셀의 제1 반도체층(31)과 제2 반도체층(32) 사이에 소정의 고전압을 가함으로써, 제2 절연막(23)에서의 절연 파괴를 발생하게 하여, 제1 반도체층(31) 및 제2 반도체층(32) 사이를 도통시키고, 각 메모리 셀에서의 제1 반도체층(31)과 제2 반도체층(32) 사이의 도통 또는 비도통에 의해 데이터를 기억할 수 있다.
- <184> 통상, 상기와 같이 제2 절연막(23)에서의 절연 파괴를 발생하게 한 후, 제1 반도체층(31) 및 제2 반도체층(32) 사이의 도통을 확인하여 기입이 성공했는지 확인한다.
- <185> 상기와 같이 하여 메모리 셀에 기억된 데이터를 판독하는 데에는, 예를 들면, 판독하려고 하는 메모리 셀에 접속하는 워드선과 비트선 사이의 도통 또는 비도통을 조사하여 판독 데이터로 한다.
- <186> 도 18은 본 실시 형태에 관한 단위 메모리 셀 어레이를 복수개 집적한 반도체 불휘발성 기억 장치의 구성을 나타내는 회로도이다.
- <187> 즉, 상기 구성의 ij번째의 메모리 셀 어레이(MA_{ij})가 (11)번에서 (nm)번까지의 복수개 집적되어 있다.
- <188> 선택 신호(BS_{ij})에 의해 선택된 각 메모리 셀 어레이(MA_{ij})로부터 메모리 셀 데이터(D_{ij})가 출력되고, 앰프(AMP)에 의해 증폭되어 D_{OUT}로부터 출력 데이터로서 꺼낼 수 있다.
- <189> 도 19 (a)는 본 실시 형태에 관한 메모리 셀 어레이를 3차원 방향으로 집적화하여 메모리 칩으로 한 구성을 나타내는 단면도이며, 도 19 (b)는 그 적층 구성을 나타내는 모식도이다.
- <190> 상기 메모리 칩에서는, 단위 메모리 셀 어레이를 구성하는 제1 배선, 제1 절연막 및 제2 배선의 적층체를 단위층으로 하고, 이 단위층(L1, L2, L3, L4 ...)이 복수층 적층되어 있는 구성으로 되어 있다.
- <191> 각 단위층(L1, L2, L3, L4 ...)의 각각이 행 디코더 및 열 디코더 등을 구비하고 있으며, 각 단위층의 제1 배선과 제2 배선의 교점에서 상기 구조의 절연막 파괴형의 퓨즈(F)로 이루어지는 메모리 셀이 배치되어 있다.
- <192> 상기 각 단위층(L1, L2, L3, L4 ...)의 단부에는 패드(Pad)가 개구되어 있고, 단위층의 적층체인 메모리 칩이 실장 기관(MB) 상에 다이 본딩 등으로 고정되고, 실장 기관(MB) 상에 형성된 랜드 등의 전극(EL)과 메모리 칩의 각층 패드(Pad)가 와이어 본딩 등에 의해 접속되어 있다.
- <193> 상기 본 실시 형태에 관한 반도체 불휘발성 기억 장치(메모리 칩)는 메모리 칩을 구성하는 각 메모리 셀 어레이에서, 각 메모리 셀은 1개의 절연막 파괴형의 퓨즈를 가지는 간단한 구성이며, 산화 실리콘막의 절연 파괴의 재현성, 신뢰성을 향상시켜, 용이 또한 염가에 제조 가능한 반도체 불휘발성 기억 장치(메모리 칩)이다.
- <194> 상기 본 실시 형태에 관한 반도체 불휘발성 기억 장치(메모리 칩)를 구성하는 단위 메모리 셀 어레이는 실질적으로 제1 실시 형태에 관한 메모리 칩을 동일하게 형성 가능하다.
- <195> 즉, 소정의 기관 등에 제1 배선을 형성하여, 그 상층에 제1 절연막을 성막하고, 제1 배선에 달하는 콘택트 홀을 개구하여, 콘택트 홀 내에 제1 반도체층, 제2 절연막 및 제2 반도체층을 적층시키고, 제2 반도체층에 접속하도록 제2 배선을 형성하여, 상기 단위층으로 되는 메모리 셀 어레이를 형성할 수 있다.
- <196> 또한, 단위층 간의 절연막을 형성하고, 상기 제1 배선으로부터 제2 배선까지 형성하는 순서를 반복함으로써, 단위 메모리 셀 어레이를 적층시킨 메모리 칩을 형성할 수 있다.

- <197> 상기와 같이 형성된 메모리 칩은 각 단위마다 패드가 개구되고, 실장 기관 상에 실장되어 사용된다.
- <198> 제5 실시 형태
- <199> 실시 형태에 관한 반도체 불휘발성 기억 장치(메모리 칩)는 도 20의 단면도에 나타난 것 같이, 액세스 트랜지스터를 TFT(Thin Film Transistor)에 의해 구성하고 있다.
- <200> 즉, 유리 기관 또는 표층을 산화 실리콘 등의 절연물로 피복된 절연성 기관(10a) 상에 형성된 SOI(Semiconductor On Insulator) 구조의 반도체층(SOI층이라고도 함)(10b)의 소자 분리 영역(10c)에 의해 분리된 활성 영역에서의 채널 형성 영역 상에 산화 실리콘의 게이트 절연막(21)이 형성되고, 그 상층에 폴리실리콘으로 이루어지고, 워드선(WL)으로 되는 게이트 전극(30a)이 형성되어 있다.
- <201> 게이트 전극(30a)의 양측부에서의 SOI층(10b) 중에 n형의 불순물을 고농도로 함유하는 소스 영역(11) 및 드레인 영역(12)이 형성되어 있다.
- <202> 이상과 같이, 메모리 셀의 액세스 트랜지스터로 되는 TFT 구조의 n채널 MOS 트랜지스터가 구성되어 있다.
- <203> 상기 SOI층(10b)은, 예를 들면, 막 두께를 1 μ m 정도로 하고, 절연성 기관(10a)은 수~수100 μ m 정도의 두께로 한다.
- <204> 이 경우, 트랜지스터의 채널 길이는 제1 실시 형태와 동일하게 0.1 μ m 정도로 하고, 소스·드레인 영역을 SOI층(10b)의 바닥면에 달하는 깊이로 하여, 완전 공핍형(空乏形)의 트랜지스터로 할 수 있다.
- <205> 상기 n채널 MOS 트랜지스터를 피복하여 전면예, 예를 들면, 산화 실리콘의 제1 절연막(22)이 형성되고, 소스 영역(11)에 달하는 콘택트 홀(CH)이 개구되어 있고, 콘택트 홀(CH) 내에서 제2 절연막(23) 및 p형의 불순물을 고농도로 함유하는 반도체층(32)이 적층되고, 반도체층(32)에 접속하여, 예를 들면, 알루미늄 등의 금속 배선으로 이루어지고, 비트선(BL)으로 되는 상층 배선(33)이 형성되어 있다.
- <206> 제1 실시 형태에서는, 소스 영역의 접합 깊이가 얇기 때문에, 절연 파괴의 영향이 소스 영역 하부에까지 달하는 것을 방지하기 위해 제1 반도체층(31)이 필요했지만, 상기 구조의 TFT에서는 접합 리크를 일으키는 일은 없으므로, 소스 영역 상에 직접 제2 절연막(23) 및 p형의 불순물을 고농도로 함유하는 반도체층(32)을 적층하는 구조로 할 수 있다.
- <207> 소스 영역(11), 제2 절연막(23) 및 반도체층(32)의 적층체 구조에서는, 전자와 홀의 재결합(RC)에 의한 에너지(E)가 효율적으로 산화막에 전달되기 때문에, 재현성, 신뢰성을 향상시켜, 제2 절연막에서의 절연 파괴를 발생하게 할 수 있다.
- <208> 상기 본 실시 형태에 관한 반도체 불휘발성 기억 장치(메모리 칩)는 메모리 셀 어레이를 구성하는 각 메모리 셀은 각각 1개의 n채널 MOS 트랜지스터(NMOS)와 1개의 절연막 파괴형의 퓨즈를 가지는 간단한 구성이며, 산화 실리콘막의 절연 파괴의 재현성, 신뢰성을 향상시켜, 용이 또한 염가로 제조 가능한 반도체 불휘발성 기억 장치(메모리 칩)이다.
- <209> 또, 본 실시 형태의 반도체 불휘발성 기억 장치(메모리 칩)는 도 1에 나타난 것 같이, 컨트롤 칩과 조합하여 사용함으로써, 디코더나 앰프 등의 회로 구성에 필요한 PMOS(p채널 MOS 트랜지스터)를 메모리 칩 상이 아니라 컨트롤 칩 상에 구성할 수 있다. 즉, 행 디코더 및 열 디코더가 패스 트랜지스터(NMOS)만으로 이루어지는 구성으로 하는 등에 의해, 메모리 칩 자체를 NMOS 프로세스에 의해 형성 가능하게 되어, 마스크 장수를 예를 들면 6장 정도로 삭감하여 제조 가능하므로, 메모리 칩의 제조 코스트를 크게 저감할 수 있다.
- <210> 한편, 컨트롤 칩 자체는 원래 CMOS 프로세스로 제조되어 있으므로, 코스트가 크게 증대되는 일은 없다.
- <211> 따라서, 메모리 칩 코스트의 대폭 저감분에 의해, 메모리 칩을 내장하는 기록 매체(메모리 카드)로서의 제조 코스트를 저감할 수 있다.
- <212> 상기 본 실시 형태에 관한 TFT 구조의 n채널 MOS 트랜지스터를 가지는 반도체 불휘발성 기억 장치로서는, 절연층과 그 상층에 형성된 반도체층으로 이루어지는 SOI 구조층(L1, L2, L3, L4, ...)을 단위층으로 하고, 제4 실시 형태에 관한 도 19에 나타난 적층 구조와 동일하게 하여, 복수의 단위층을 적층시킴으로써 3차원 방향으로 집적화할 수 있다. 이 경우의 절연층은, 예를 들면, CVD법에 의해 형성되는 산화 실리콘층으로 하고, 그 막 두께는 10 μ m 정도로 한다.
- <213> 상기 각 SOI 구조층에는 SOI층에 상기 구조의 TFT와 절연 파괴형의 퓨즈로 이루어지는 메모리 셀이 매트릭스형

으로 배치된 메모리 셀 어레이와, 예를 들면, 패스 트랜지스터로 이루어지는 행 디코더 및 열 디코더 등이 형성되어 있다.

- <214> 상기 SOI 구조층(L1, L2, L3, L4, ...)의 각층 단부에 패드(Pad)가 개구되어 있다.
- <215> 상기 SOI 구조층(L1, L2, L3, L4, ...)의 적층체인 메모리 칩은 실장 기판(MB)에 다이 본딩 등으로 고정되고, 실장 기판(MB) 상에 형성된 랜드 등의 전극(EL)과 메모리 칩 각층의 패드(Pad)가 와이어 본딩 등에 의해 접속되어 있다.
- <216> 상기 3차원 방향으로 집적화된 메모리 칩은 SOI 구조층을, 예를 들면, N층 적층함으로써, 단위 기억 용량당의 제조 코스트를 1/N 정도로 저감할 수 있어, 코스트 저감의 효과를 더욱 증대할 수 있다.
- <217> 상기 SOI 구조의 메모리 칩에서, 제4 실시 형태와 같은 절연 파괴형 퓨즈만으로 구성되는 메모리 셀을 형성할 수도 있다.
- <218> 또한, 단위 기억 용량당의 제조 코스트를 저감하기 위해, 절연 파괴형 퓨즈로 이루어지는 메모리 셀을 가지는 SOI 구조층을 상기와 같이 적층시킬 수도 있다.
- <219> 본 발명은 상기 실시 형태에 한정되지 않는다.
- <220> 예를 들면, 행 디코더나 열 디코더 또는 앰프 등은 NMOS만으로 이루어지는 구성에 한정되지 않고, 인버터 등을 포함하는 CMOS 프로세스에 의해 형성해도 된다.
- <221> 액세스 트랜지스터의 소스 · 드레인 영역은 LDD 구조 등 여러가지의 구조를 채용할 수 있다.
- <222> 그 밖에, 본 발명의 요지를 일탈하지 않는 범위에서, 여러가지의 변경이 가능하다.

발명의 효과

- <223> 본 발명의 반도체 불휘발성 기억 장치에 의하면, 재현성, 신뢰성을 향상시켜, 제2 절연막에서의 절연 파괴를 발생하게 할 수 있다. 또, 메모리 셀을 간단한 구조로 구성할 수 있으므로, 예를 들면, 행 디코더 및 열 디코더 등을 패스 트랜지스터만으로 구성함으로써, 마스크 장수를 삭감, 제조 가능하여 제조 코스트를 억제할 수 있다.
- <224> 또, 본 발명의 반도체 불휘발성 기억 장치의 제조 방법에 의하면, 재현성, 신뢰성을 향상시켜, 제2 절연막에서의 절연 파괴를 발생하게 할 수 있는 메모리 셀을 가지는 반도체 불휘발성 기억 장치를 마스크 장수를 삭감, 제조 가능하여 제조 코스트를 억제할 수 있다.

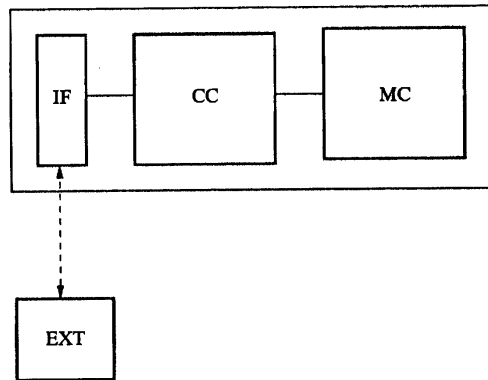
도면의 간단한 설명

- <1> 도 1은 제1 실시 형태에 관한 반도체 불휘발성 기억 장치(메모리 칩)를 내장하는 기록 매체(메모리 카드)의 구성을 나타내는 모식도이다.
- <2> 도 2는 제1 실시 형태에 관한 메모리 칩의 구성을 나타내는 회로도이다.
- <3> 도 3은 제1 실시 형태에 관한 메모리 칩의 행(行) 디코더 구성예를 나타내는 등가 회로도이다.
- <4> 도 4는 제1 실시 형태에 관한 열(列) 디코더(CD) 및 앰프를 포함하는 출력계의 구성예를 나타내는 등가 회로도이다.
- <5> 도 5 (a)는 제1 실시 형태에 관한 메모리 셀의 단면도이며, 도 (b)는 상당하는 등가 회로도이다.
- <6> 도 6은 제1 실시 형태에 관한 메모리 셀의 제2 절연막에서의 절연 파괴를 설명하기 위한 에너지 다이어그램이다.
- <7> 도 7은 제1 실시 형태에 관한 반도체 불휘발성 기억 장치(메모리 칩)의 제조 방법에서의 단면도이며, (a)는 소자 분리 공정까지, (b)는 게이트 전극용층의 형성 공정까지를 나타낸다.
- <8> 도 8은 도 7의 계속 공정을 나타내는 단면도이며, (c)는 게이트 전극의 패턴 가공 공정까지, (d)는 소스 · 드레인 영역의 형성 공정까지를 나타낸다.
- <9> 도 9는 도 8의 계속 공정을 나타내는 단면도이며, (e)는 콘택트 홀의 개구 공정까지, (f)는 제1 반도체층의 형성 공정까지를 나타낸다.

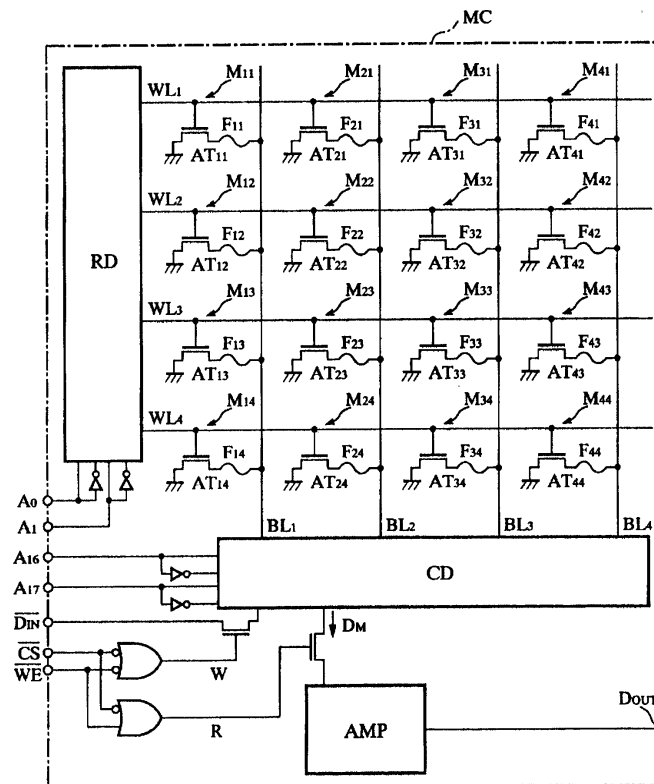
- <10> 도 10은 도 9의 계속 공정을 나타내는 단면도이며, (g)는 제2 절연막의 형성 공정까지, (h)는 반도체층의 형성 공정까지를 나타낸다.
- <11> 도 11은 제2 실시 형태에 관한 반도체 불휘발성 기억 장치의 메모리 셀의 단면도이다.
- <12> 도 12는 제3 실시 형태에 관한 반도체 불휘발성 기억 장치(메모리 칩)의 구성을 나타내는 회로도이다.
- <13> 도 13은 제4 실시 형태에 관한 반도체 불휘발성 기억 장치(메모리 칩)의 단위 메모리 어레이의 구성을 나타내는 회로도이다.
- <14> 도 14는 제4 실시 형태에 관한 메모리 칩의 행 디코더의 구성예를 나타내는 등가 회로도이다.
- <15> 도 15는 제4 실시 형태에 관한 메모리 칩의 행 디코더 및 열 디코더의 등가 회로도에서 사용한 기호의 등가 회로도이다.
- <16> 도 16은 제4 실시 형태에 관한 메모리 칩의 열 디코더의 구성예를 나타내는 등가 회로도이다.
- <17> 도 17 (a)는 제4 실시 형태에 관한 메모리 셀의 모식적 사시도이며, 도 17 (b)는 상당하는 등가 회로도이다.
- <18> 도 18은 제4 실시 형태에 관한 단위 메모리 셀 어레이를 복수개 집적한 반도체 불휘발성 기억 장치의 구성을 나타내는 회로도이다.
- <19> 도 19 (a)는 제4 실시 형태에서 3차원 방향으로 집적화된 반도체 불휘발성 기억 장치(메모리 칩)를 실장(實裝)한 전자 회로 장치의 단면도이며, 도 19 (b)는 그 적층 구성을 나타내는 모식도이다.
- <20> 도 20은 제5 실시 형태에 관한 반도체 불휘발성 기억 장치의 메모리 셀의 단면도이다.
- <21> 도 21은 제1 종래예에 관한 반도체 불휘발성 기억 장치의 단면도이다.
- <22> 도 22는 제2 종래예에 관한 반도체 불휘발성 기억 장치의 단면도이다.
- <23> 도 23은 제3 종래예에 관한 반도체 불휘발성 기억 장치의 단면도이다.
- <24> 도 24 (a)는 제4 종래예에 관한 반도체 불휘발성 기억 장치의 회로도이며, 도 24 (b)는 메모리 셀의 단면도이다.
- <25> [도면의 주요 부분에 대한 부호의 설명]
- <26> 10: 반도체 기관, 10a: 절연성 기관, 10b: 반도체층, 10c: 소자 분리 영역, 11: 소스 영역, 12: 드레인 영역, 13: 소자 분리 영역, 14: 불순물 영역, 20: 소자 분리 절연막, 21: 게이트 절연막, 22: 제1 절연막, 23: 제2 절연막, 30: 게이트 전극용 층, 30a: 게이트 전극, 31: 제1 반도체층, 32: (제2) 반도체층, 33: 상층 배선, MC: 메모리 칩, CC: 컨트롤 칩, IF: 인터페이스, EXT: 외부 상위 기기, AT: 액세스 트랜지스터, F: 절연 파괴형 퓨즈, M: 메모리 셀, WL: 워드선, BL: 비트선, RD: 행 디코더, CD: 열 디코더, SG: 선택 게이트, ST: 선택 트랜지스터, AMP: 앰프, Q: 트랜지스터, CMA: 커런트 미러 앰프, MA: 메모리 셀 어레이, Pad: 패드, RC: 재결합, E: 에너지, E_V : 가전자대(價電子帶) 레벨, E_C : 페르미 레벨(Fermi level), R1, R2: 레지스트막, CH: 콘택트 홀, L1, L2, L3, L4: 단위층, EL: 전극, MB: 실장 기관.

도면

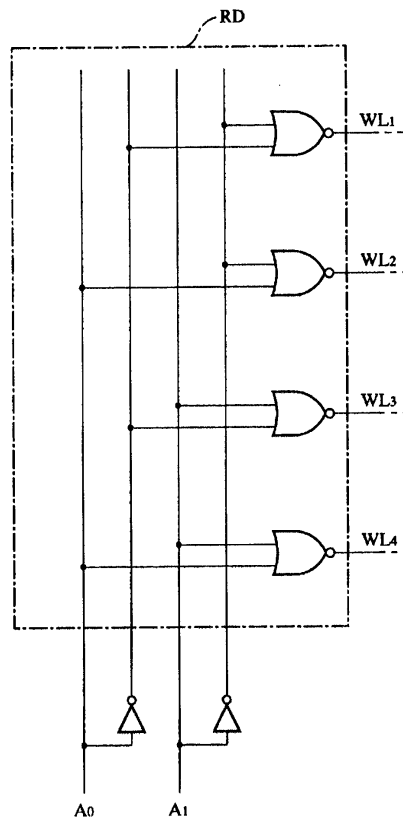
도면1



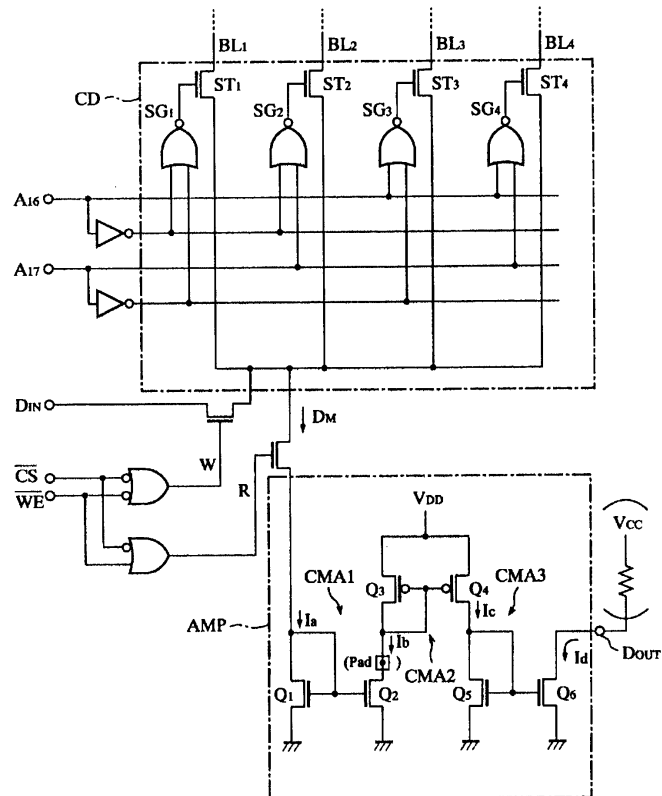
도면2



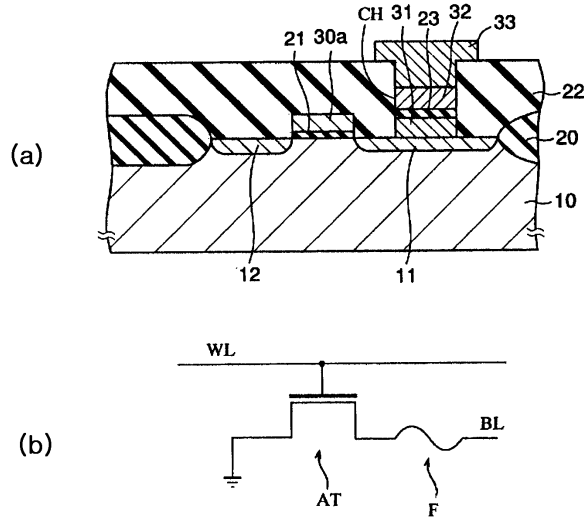
도면3



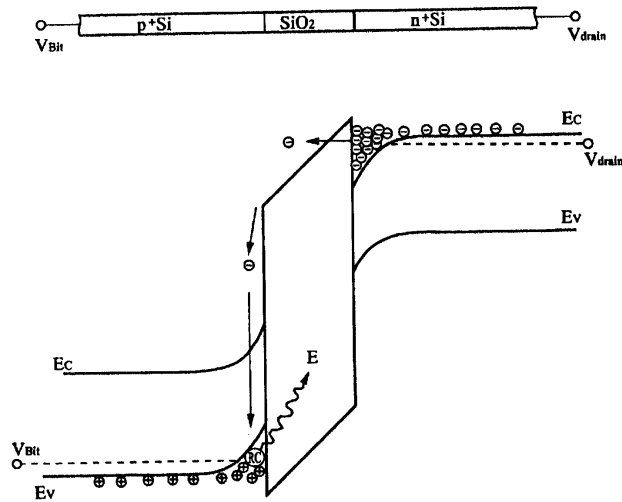
도면4



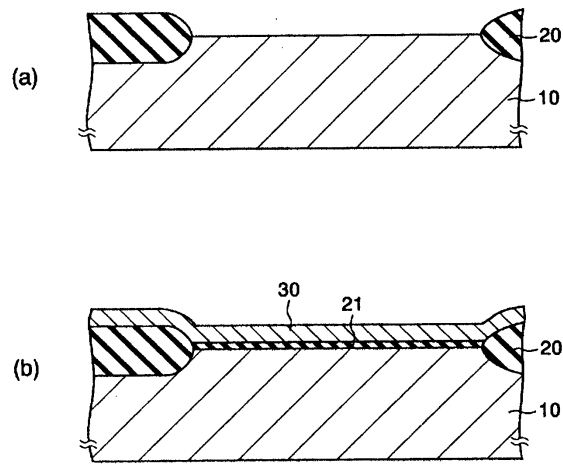
도면5



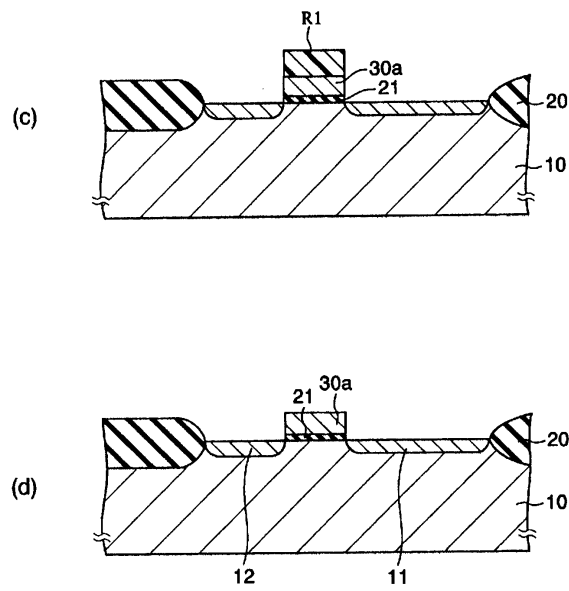
도면6



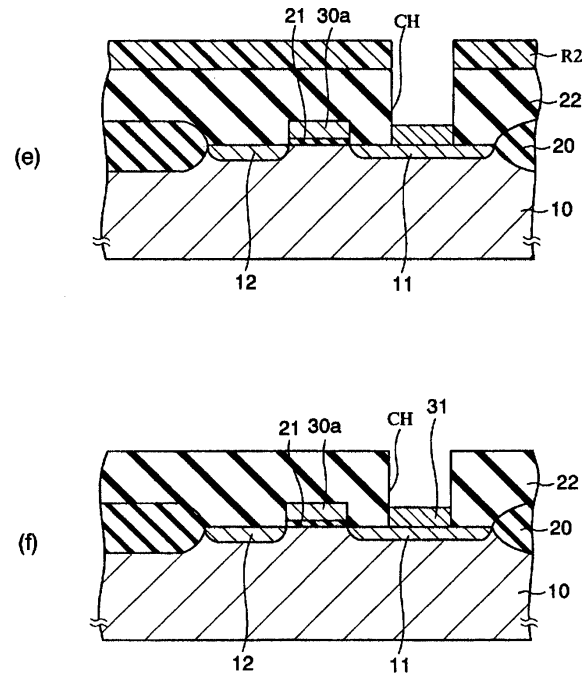
도면7



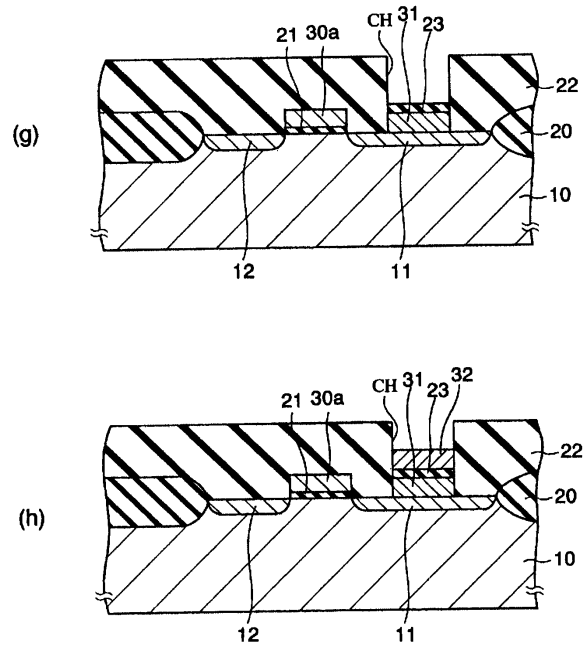
도면8



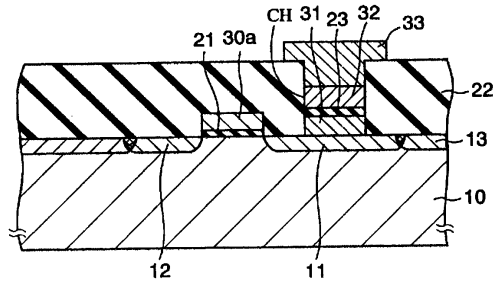
도면9



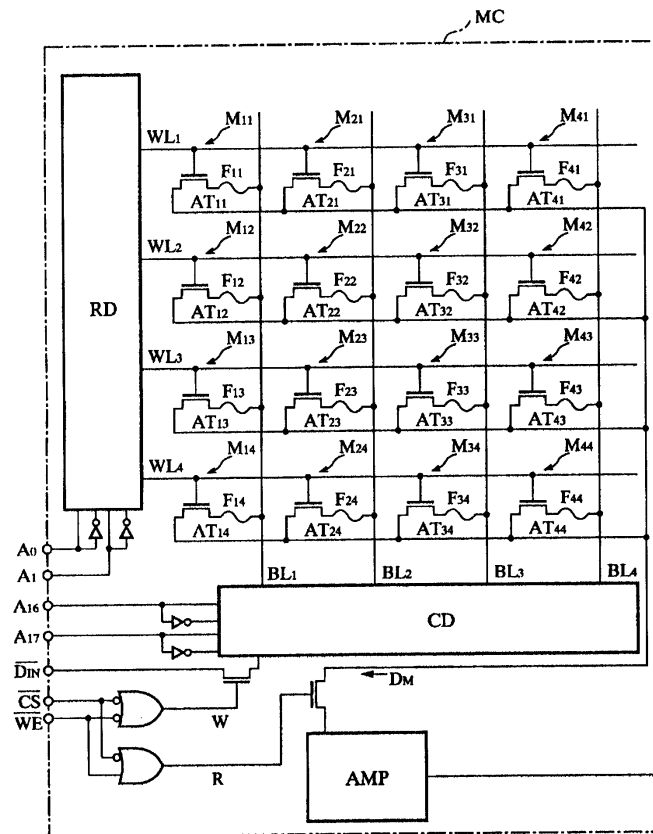
도면10



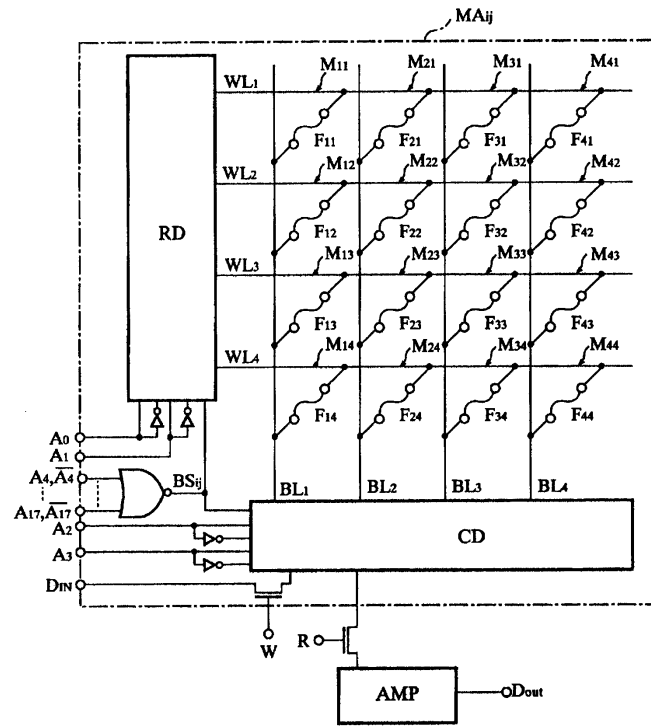
도면11



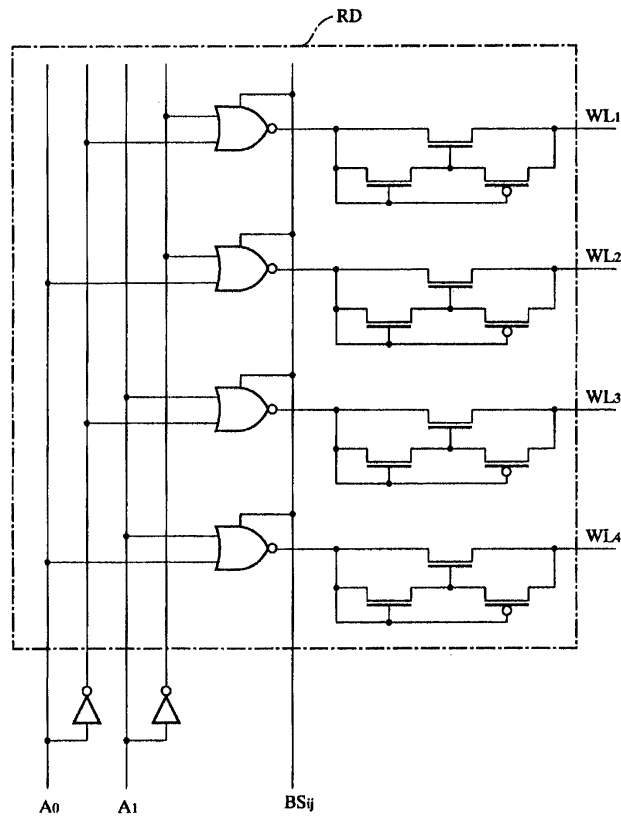
도면12



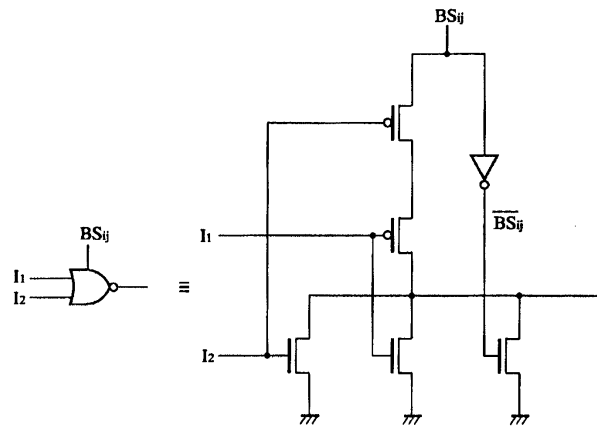
도면13



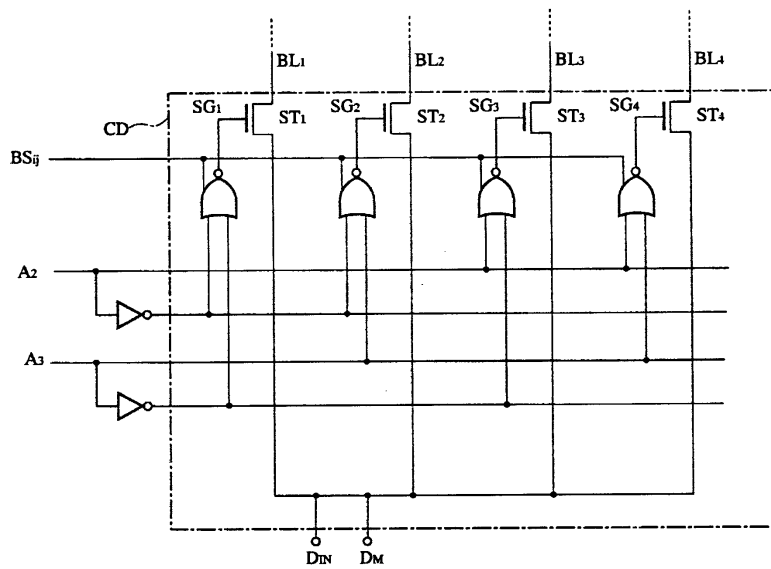
도면14



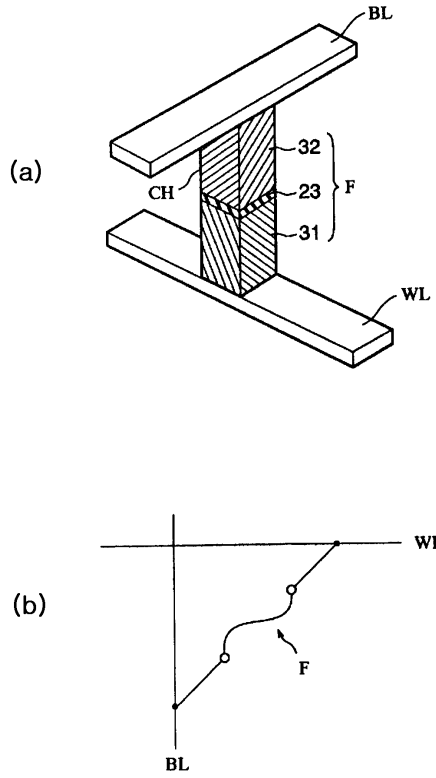
도면15



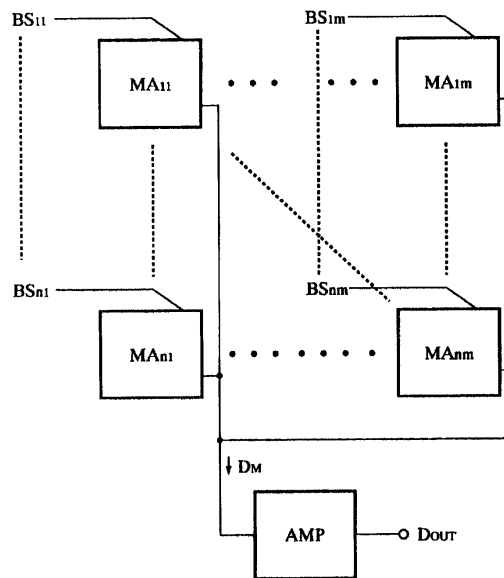
도면16



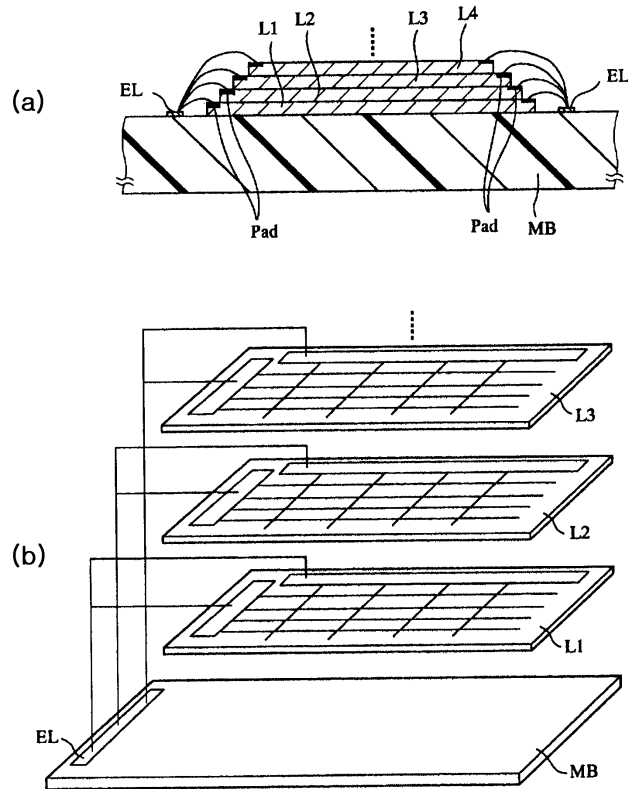
도면17



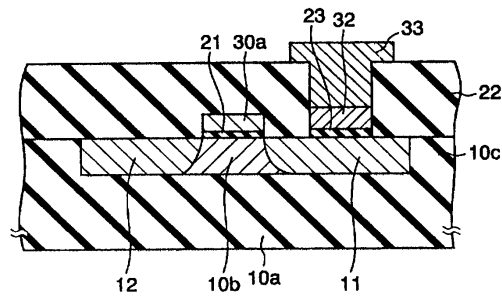
도면18



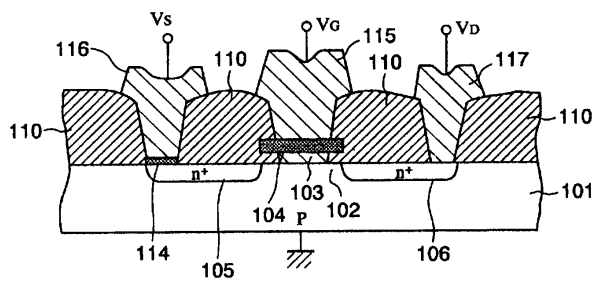
도면19



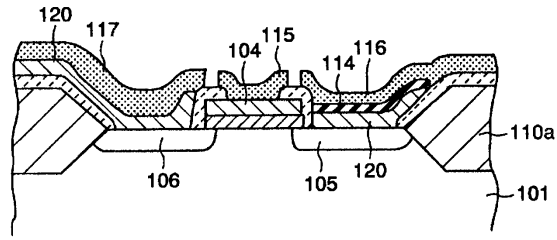
도면20



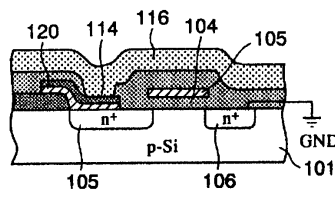
도면21



도면22



도면23



도면24

