

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4663094号  
(P4663094)

(45) 発行日 平成23年3月30日(2011.3.30)

(24) 登録日 平成23年1月14日(2011.1.14)

(51) Int.Cl.

F I

G 1 1 C 16/02 (2006.01)

G 1 1 C 17/00 6 1 1 E

G 1 1 C 16/04 (2006.01)

G 1 1 C 17/00 6 1 1 A

H O 1 L 27/115 (2006.01)

G 1 1 C 17/00 6 2 3 A

H O 1 L 21/8247 (2006.01)

G 1 1 C 17/00 6 4 1

H O 1 L 29/792 (2006.01)

H O 1 L 27/10 4 3 4

請求項の数 14 (全 35 頁) 最終頁に続く

(21) 出願番号 特願2000-314369 (P2000-314369)  
 (22) 出願日 平成12年10月13日(2000.10.13)  
 (65) 公開番号 特開2002-124091 (P2002-124091A)  
 (43) 公開日 平成14年4月26日(2002.4.26)  
 審査請求日 平成19年9月12日(2007.9.12)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 小山 潤  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 加藤 清  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

審査官 外山 毅

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

メモリトランジスタと、第1の電流源と、オペアンプと、を有し、  
 前記第1の電流源は、前記メモリトランジスタのドレイン電極と電気的に接続され、  
 前記オペアンプの出力端子は、前記メモリトランジスタのゲートと電気的に接続され、  
 前記オペアンプの第1の入力端子は、前記第1の電流源と電気的に接続され、  
 前記オペアンプの第2の入力端子には、書き込み動作時において前記メモリトランジスタの閾値電圧を変動させる場合には第1の電位が供給され、且つ読み出し動作時において第2の電位が供給され、

前記第2の電位は、前記第1の電位よりも低く、

前記書き込み動作時に前記オペアンプの第2の入力端子に前記第1の電位を供給する時間を制御することによって、前記メモリトランジスタの閾値電圧を制御することを特徴とする半導体装置。

【請求項2】

メモリトランジスタと、第1の電流源と、オペアンプと、を有し、  
 前記第1の電流源は、前記メモリトランジスタのドレイン電極と電気的に接続され、  
 前記オペアンプの出力端子は、前記メモリトランジスタのゲートと電気的に接続され、  
 前記オペアンプの第1の入力端子は、前記第1の電流源と電気的に接続され、  
 前記オペアンプの第2の入力端子には、書き込み動作時において前記メモリトランジスタの閾値電圧を変動させる場合には第1の電位が供給され、且つ読み出し動作時において

10

20

第 2 の電位が供給され、

前記第 2 の電位は、前記第 1 の電位よりも低く、

前記第 1 の電位を前記オペアンプの第 2 の入力端子に供給するかしないかを制御する第 1 のトランジスタと、

第 3 の電位を前記オペアンプの第 2 の入力端子に供給するかしないかを制御する第 2 のトランジスタと、

入力データに応じて前記第 1 のトランジスタの導通状態及び前記第 2 のトランジスタの導通状態を制御する機能を有する回路と、を有し、

前記書き込み動作時に前記第 1 のトランジスタがオンになる時間を制御することによって、前記メモリトランジスタの閾値電圧を制御することを特徴とする半導体装置。

10

#### 【請求項 3】

メモリトランジスタと、第 1 の電流源と、オペアンプと、を有し、

前記第 1 の電流源は、前記メモリトランジスタのドレイン電極と電氣的に接続され、

前記オペアンプの出力端子は、前記メモリトランジスタのゲートと電氣的に接続され、

前記オペアンプの第 1 の入力端子は、前記第 1 の電流源と電氣的に接続され、

前記オペアンプの第 2 の入力端子には、書き込み動作時において前記メモリトランジスタの閾値電圧を変動させる場合には第 1 の電位が供給され、且つ読み出し動作時において第 2 の電位が供給され、

前記第 2 の電位は、前記第 1 の電位よりも低く、

第 1 のトランジスタと、第 2 のトランジスタと、インバータ回路と、入力データに応じて前記第 1 のトランジスタのゲートの電位を制御する機能を有する回路と、を有し、

20

前記第 1 のトランジスタの第 1 の端子は、前記第 1 の電位が供給される第 1 の配線と電氣的に接続され、

前記第 1 のトランジスタの第 2 の端子は、前記オペアンプの第 2 の入力端子と電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記インバータ回路を介して前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 2 のトランジスタの第 1 の端子は、第 3 の電位が供給される第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタの第 2 の端子は、前記オペアンプの第 2 の入力端子と電氣的に接続され、

30

前記書き込み動作時に前記第 1 のトランジスタがオンになる時間を制御することによって、前記メモリトランジスタの閾値電圧を制御することを特徴とする半導体装置。

#### 【請求項 4】

メモリトランジスタと、第 1 の電流源と、オペアンプと、選択トランジスタと、を有し、

前記第 1 の電流源は、前記メモリトランジスタのドレイン電極と電氣的に接続され、

前記オペアンプの出力端子は、前記選択トランジスタを介して前記メモリトランジスタのゲートと電氣的に接続され、

前記オペアンプの第 1 の入力端子は、前記第 1 の電流源と電氣的に接続され、

40

前記オペアンプの第 2 の入力端子には、書き込み動作時において前記メモリトランジスタの閾値電圧を変動させる場合には第 1 の電位が供給され、且つ読み出し動作時において第 2 の電位が供給され、

前記第 2 の電位は、前記第 1 の電位よりも低く、

前記書き込み動作時に前記オペアンプの第 2 の入力端子に前記第 1 の電位を供給する時間を制御することによって、前記メモリトランジスタの閾値電圧を制御することを特徴とする半導体装置。

#### 【請求項 5】

メモリトランジスタと、第 1 の電流源と、オペアンプと、選択トランジスタと、を有し、

50

前記第 1 の電流源は、前記メモリトランジスタのドレイン電極と電氣的に接続され、  
前記オペアンプの出力端子は、前記選択トランジスタを介して前記メモリトランジスタのゲートと電氣的に接続され、

前記オペアンプの第 1 の入力端子は、前記第 1 の電流源と電氣的に接続され、  
前記オペアンプの第 2 の入力端子には、書き込み動作時において前記メモリトランジスタの閾値電圧を変動させる場合には第 1 の電位が供給され、且つ読み出し動作時において第 2 の電位が供給され、

前記第 2 の電位は、前記第 1 の電位よりも低く、  
前記第 1 の電位を前記オペアンプの第 2 の入力端子に供給するかしないかを制御する第 1 のトランジスタと、

第 3 の電位を前記オペアンプの第 2 の入力端子に供給するかしないかを制御する第 2 のトランジスタと、

入力データに応じて前記第 1 のトランジスタの導通状態及び前記第 2 のトランジスタの導通状態を制御する機能を有する回路と、を有し、

前記書き込み動作時に前記第 1 のトランジスタがオンになる時間を制御することによって、前記メモリトランジスタの閾値電圧を制御することを特徴とする半導体装置。

【請求項 6】

メモリトランジスタと、第 1 の電流源と、オペアンプと、選択トランジスタと、を有し、

前記第 1 の電流源は、前記メモリトランジスタのドレイン電極と電氣的に接続され、  
前記オペアンプの出力端子は、前記選択トランジスタを介して前記メモリトランジスタのゲートと電氣的に接続され、

前記オペアンプの第 1 の入力端子は、前記第 1 の電流源と電氣的に接続され、  
前記オペアンプの第 2 の入力端子には、書き込み動作時において前記メモリトランジスタの閾値電圧を変動させる場合には第 1 の電位が供給され、且つ読み出し動作時において第 2 の電位が供給され、

前記第 2 の電位は、前記第 1 の電位よりも低く、  
第 1 のトランジスタと、第 2 のトランジスタと、インバータ回路と、入力データに応じて前記第 1 のトランジスタのゲートの電位を制御する機能を有する回路と、を有し、

前記第 1 のトランジスタの第 1 の端子は、前記第 1 の電位が供給される第 1 の配線と電氣的に接続され、

前記第 1 のトランジスタの第 2 の端子は、前記オペアンプの第 2 の入力端子と電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記インバータ回路を介して前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 2 のトランジスタの第 1 の端子は、第 3 の電位が供給される第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタの第 2 の端子は、前記オペアンプの第 2 の入力端子と電氣的に接続され、

前記書き込み動作時に前記第 1 のトランジスタがオンになる時間を制御することによって、前記メモリトランジスタの閾値電圧を制御することを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、  
前記第 1 の電流源と前記メモリトランジスタのドレイン電極との間には、前記書き込み動作時及び前記読み出し動作時においてオンになり、且つ消去動作時においてオフになる第 1 のスイッチが設けられ、

前記オペアンプの出力端子と前記メモリトランジスタのゲートとの間には、前記書き込み動作時及び前記読み出し動作時においてオンになり、且つ前記消去動作時においてオフになる第 2 のスイッチが設けられ、

前記メモリトランジスタのゲートは、前記書き込み動作時及び前記読み出し動作時に

10

20

30

40

50

いてオフになり、且つ前記消去動作時においてオンになる第3のスイッチを介して、消去用電位が供給される第3の配線と電氣的に接続されることを特徴とする半導体装置。

【請求項8】

請求項1乃至請求項6のいずれか一項において、

前記オペアンプは、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、第2の電流源と、を有し、

前記第3のトランジスタの第1の端子は、第3の配線と電氣的に接続され、

前記第3のトランジスタの第2の端子は、前記第3のトランジスタのゲートと電氣的に接続され、

前記第4のトランジスタの第1の端子は、前記第3の配線と電氣的に接続され、

前記第4のトランジスタの第2の端子は、前記オペアンプの出力端子と電氣的に接続され、

前記第4のトランジスタのゲートは、前記第3のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタの第1の端子は、前記書き込み動作時及び前記読み出し動作時においてオンになり、且つ消去動作時においてオフになる第1のスイッチを介して前記第2の電流源と電氣的に接続され、

前記第5のトランジスタの第2の端子は、前記第3のトランジスタの第2の端子と電氣的に接続され、

前記第5のトランジスタのゲートは、前記オペアンプの第1の入力端子と電氣的に接続され、

前記第6のトランジスタの第1の端子は、前記第5のトランジスタの第1の端子と電氣的に接続され、

前記第6のトランジスタの第2の端子は、前記第4のトランジスタの第2の端子と電氣的に接続され、

前記第6のトランジスタのゲートは、前記オペアンプの第2の入力端子と電氣的に接続されることを特徴とする半導体装置。

【請求項9】

請求項8において、

前記第1の電流源と前記メモリトランジスタのドレイン電極との間には、前記書き込み動作時及び前記読み出し動作時においてオンになり、且つ前記消去動作時においてオフになる第2のスイッチが設けられ、

前記オペアンプの出力端子と前記メモリトランジスタのゲートとの間には、前記書き込み動作時及び前記読み出し動作時においてオンになり、且つ前記消去動作時においてオフになる第3のスイッチが設けられ、

前記メモリトランジスタのゲートは、前記書き込み動作時及び前記読み出し動作時においてオフになり、且つ前記消去動作時においてオンになる第4のスイッチを介して、消去用電位が供給される第4の配線と電氣的に接続されることを特徴とする半導体装置。

【請求項10】

メモリトランジスタと、選択トランジスタと、第1の電流源と、オペアンプと、第1のスイッチと、第2のスイッチと、第3のスイッチと、第4のスイッチと、第5のスイッチと、第6のスイッチと、第7のスイッチと、第8のスイッチと、を有し、

前記第1の電流源は、前記第1のスイッチと前記第2のスイッチと前記選択トランジスタとを順に介して前記メモリトランジスタのドレイン電極と電氣的に接続され、

前記オペアンプの出力端子は、前記第3のスイッチと前記第4のスイッチとを順に介して前記メモリトランジスタのゲートと電氣的に接続され、

前記オペアンプの第1の入力端子は、前記第1の電流源と電氣的に接続され、

前記オペアンプの第2の入力端子には、書き込み動作時において前記メモリトランジスタの閾値電圧を変動させる場合には第1の電位が供給され、且つ読み出し動作時において第2の電位が供給され、

10

20

30

40

50

前記メモリトランジスタのゲートは、前記第 5 のスイッチ及び前記第 6 のスイッチを介して第 1 の配線と電氣的に接続され、

前記メモリトランジスタのゲートは、前記第 7 のスイッチ及び前記第 8 のスイッチを介して消去用電位が供給される第 2 の配線と電氣的に接続され、

前記書き込み動作時において、前記第 1 のスイッチ、前記第 2 のスイッチ、前記第 3 のスイッチ、前記第 4 のスイッチ、前記第 6 のスイッチ及び前記第 8 のスイッチがオンになり、前記第 5 のスイッチ及び前記第 7 のスイッチがオフになり、

前記読み出し動作時において、前記第 1 のスイッチ、前記第 2 のスイッチ、前記第 3 のスイッチ、前記第 4 のスイッチ、前記第 5 のスイッチ、前記第 6 のスイッチ及び前記第 8 のスイッチがオンになり、前記第 7 のスイッチがオフになり、

10

消去動作時において、前記第 1 のスイッチ、前記第 3 のスイッチ、前記第 6 のスイッチ、前記第 7 のスイッチ及び前記第 8 のスイッチがオンになり、前記第 2 のスイッチ、前記第 4 のスイッチ及び前記第 5 のスイッチがオフになり、

前記第 2 の電位は、前記第 1 の電位よりも低く、

前記書き込み動作時に前記オペアンプの第 2 の入力端子に前記第 1 の電位を供給する時間を制御することによって、前記メモリトランジスタの閾値電圧を制御することを特徴とする半導体装置。

#### 【請求項 11】

メモリトランジスタと、選択トランジスタと、第 1 の電流源と、オペアンプと、第 1 のスイッチと、第 2 のスイッチと、第 3 のスイッチと、第 4 のスイッチと、第 5 のスイッチ

20

と、第 6 のスイッチと、第 7 のスイッチと、第 8 のスイッチと、を有し、

前記第 1 の電流源は、前記第 1 のスイッチと前記第 2 のスイッチと前記選択トランジスタとを順に介して前記メモリトランジスタのドレイン電極と電氣的に接続され、

前記オペアンプの出力端子は、前記第 3 のスイッチと前記第 4 のスイッチとを順に介して前記メモリトランジスタのゲートと電氣的に接続され、

前記オペアンプの第 1 の入力端子は、前記第 1 の電流源と電氣的に接続され、

前記オペアンプの第 2 の入力端子には、書き込み動作時において前記メモリトランジスタの閾値電圧を変動させる場合には第 1 の電位が供給され、且つ読み出し動作時において第 2 の電位が供給され、

30

前記メモリトランジスタのゲートは、前記第 5 のスイッチ及び前記第 6 のスイッチを介して第 1 の配線と電氣的に接続され、

前記メモリトランジスタのゲートは、前記第 7 のスイッチ及び前記第 8 のスイッチを介して消去用電位が供給される第 2 の配線と電氣的に接続され、

前記書き込み動作時において、前記第 1 のスイッチ、前記第 2 のスイッチ、前記第 3 のスイッチ、前記第 4 のスイッチ、前記第 6 のスイッチ及び前記第 8 のスイッチがオンになり、前記第 5 のスイッチ及び前記第 7 のスイッチがオフになり、

前記読み出し動作時において、前記第 1 のスイッチ、前記第 2 のスイッチ、前記第 3 のスイッチ、前記第 4 のスイッチ、前記第 5 のスイッチ、前記第 6 のスイッチ及び前記第 8 のスイッチがオンになり、前記第 7 のスイッチがオフになり、

40

消去動作時において、前記第 1 のスイッチ、前記第 3 のスイッチ、前記第 6 のスイッチ、前記第 7 のスイッチ及び前記第 8 のスイッチがオンになり、前記第 2 のスイッチ、前記第 4 のスイッチ及び前記第 5 のスイッチがオフになり、

前記第 2 の電位は、前記第 1 の電位よりも低く、

前記第 1 の電位を前記オペアンプの第 2 の入力端子に供給するかしないかを制御する第 1 のトランジスタと、

第 3 の電位を前記オペアンプの第 2 の入力端子に供給するかしないかを制御する第 2 のトランジスタと、

入力データに応じて前記第 1 のトランジスタの導通状態及び前記第 2 のトランジスタの導通状態を制御する機能を有する回路と、を有し、

前記書き込み動作時に前記第 1 のトランジスタがオンになる時間を制御することによ

50

て、前記メモリトランジスタの閾値電圧を制御することを特徴とする半導体装置。

【請求項 1 2】

メモリトランジスタと、選択トランジスタと、第 1 の電流源と、オペアンプと、第 1 のスイッチと、第 2 のスイッチと、第 3 のスイッチと、第 4 のスイッチと、第 5 のスイッチと、第 6 のスイッチと、第 7 のスイッチと、第 8 のスイッチと、を有し、

前記第 1 の電流源は、前記第 1 のスイッチと前記第 2 のスイッチと前記選択トランジスタとを順に介して前記メモリトランジスタのドレイン電極と電氣的に接続され、

前記オペアンプの出力端子は、前記第 3 のスイッチと前記第 4 のスイッチとを順に介して前記メモリトランジスタのゲートと電氣的に接続され、

前記オペアンプの第 1 の入力端子は、前記第 1 の電流源と電氣的に接続され、

前記オペアンプの第 2 の入力端子には、書き込み動作時において前記メモリトランジスタの閾値電圧を変動させる場合には第 1 の電位が供給され、且つ読み出し動作時において第 2 の電位が供給され、

前記メモリトランジスタのゲートは、前記第 5 のスイッチ及び前記第 6 のスイッチを介して第 1 の配線と電氣的に接続され、

前記メモリトランジスタのゲートは、前記第 7 のスイッチ及び前記第 8 のスイッチを介して消去用電位が供給される第 2 の配線と電氣的に接続され、

前記書き込み動作時において、前記第 1 のスイッチ、前記第 2 のスイッチ、前記第 3 のスイッチ、前記第 4 のスイッチ、前記第 6 のスイッチ及び前記第 8 のスイッチがオンになり、前記第 5 のスイッチ及び前記第 7 のスイッチがオフになり、

前記読み出し動作時において、前記第 1 のスイッチ、前記第 2 のスイッチ、前記第 3 のスイッチ、前記第 4 のスイッチ、前記第 5 のスイッチ、前記第 6 のスイッチ及び前記第 8 のスイッチがオンになり、前記第 7 のスイッチがオフになり、

消去動作時において、前記第 1 のスイッチ、前記第 3 のスイッチ、前記第 6 のスイッチ、前記第 7 のスイッチ及び前記第 8 のスイッチがオンになり、前記第 2 のスイッチ、前記第 4 のスイッチ及び前記第 5 のスイッチがオフになり、

前記第 2 の電位は、前記第 1 の電位よりも低く、

第 1 のトランジスタと、第 2 のトランジスタと、インバータ回路と、入力データに応じて前記第 1 のトランジスタのゲートの電位を制御する機能を有する回路と、を有し、

前記第 1 のトランジスタの第 1 の端子は、前記第 1 の電位が供給される第 3 の配線と電氣的に接続され、

前記第 1 のトランジスタの第 2 の端子は、前記オペアンプの第 2 の入力端子と電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記インバータ回路を介して前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 2 のトランジスタの第 1 の端子は、第 3 の電位が供給される第 4 の配線と電氣的に接続され、

前記第 2 のトランジスタの第 2 の端子は、前記オペアンプの第 2 の入力端子と電氣的に接続され、

前記書き込み動作時に前記第 1 のトランジスタがオンになる時間を制御することによって、前記メモリトランジスタの閾値電圧を制御することを特徴とする半導体装置。

【請求項 1 3】

請求項 1 0 乃至請求項 1 2 のいずれか一項において、

前記オペアンプは、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、第 6 のトランジスタと、第 2 の電流源と、を有し、

前記第 3 のトランジスタの第 1 の端子は、第 5 の配線と電氣的に接続され、

前記第 3 のトランジスタの第 2 の端子は、前記第 3 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタの第 1 の端子は、前記第 5 の配線と電氣的に接続され、

前記第 4 のトランジスタの第 2 の端子は、前記オペアンプの出力端子と電氣的に接続さ

10

20

30

40

50

れ、

前記第4のトランジスタのゲートは、前記第3のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタの第1の端子は、第9のスイッチと第10のスイッチとを順に介して前記第2の電流源と電氣的に接続され、

前記第5のトランジスタの第2の端子は、前記第3のトランジスタの第2の端子と電氣的に接続され、

前記第5のトランジスタのゲートは、前記オペアンプの第1の入力端子と電氣的に接続され、

前記第6のトランジスタの第1の端子は、前記第5のトランジスタの第1の端子と電氣的に接続され、

前記第6のトランジスタの第2の端子は、前記第4のトランジスタの第2の端子と電氣的に接続され、

前記第6のトランジスタのゲートは、前記オペアンプの第2の入力端子と電氣的に接続され、

前記書き込み動作時及び前記読み出し動作時において、前記第9のスイッチ及び前記第10のスイッチはオンになり、

前記消去動作時において、前記第9のスイッチはオフになり、前記第10のスイッチはオンになることを特徴とする半導体装置。

【請求項14】

請求項1乃至請求項13のいずれか一項において、

前記読み出し動作時における前記第1の電流源の電流値は、前記書き込み動作時における前記第1の電流源の電流値よりも小さいことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は半導体不揮発性メモリに関する。特に、電氣的書き込み及び消去可能な半導体不揮発性メモリ（EEPROMまたはElectrically Erasable and Programmable Read Only Memoryともいう）に関する。なお、本発明は、特に多値技術を用いた半導体不揮発性メモリに対して有効である。また、本発明は半導体不揮発性メモリを具備する半導体装置に関する。

【0002】

本明細書において、電氣的書き込み及び消去可能な半導体不揮発性メモリ（EEPROM）とは、文字通り、電氣的な書き込みおよび電氣的な消去が可能な半導体不揮発性メモリの全体を指し、例えばフル機能EEPROM、或はフラッシュメモリをその範疇に含む。また、特に断りのない場合、不揮発性メモリおよび半導体不揮発性メモリはEEPROMと同義で用いる。また、半導体装置とは、半導体特性を利用することで機能する装置全般を指し、例えば、マイクロプロセッサ、液晶表示装置および発光装置に代表される電気光学装置、ならびにマイクロプロセッサあるいは電気光学装置を搭載した電子機器をその範疇に含む。

【0003】

【従来の技術】

近年、電氣的書き込み及び消去可能な半導体不揮発性メモリ（EEPROM）、特にフラッシュメモリが磁気ディスクあるいはDRAMに置き代わる有力なメモリの候補として注目を浴びている。なかでも、個々のメモリ素子が3値以上データを記憶する、いわゆる多値の不揮発性メモリが大容量メモリとして注目されている。

【0004】

不揮発性メモリは、その回路構成や動作方法の違いによって、NOR型、NAND型、AND型、或はDINOR型といった種類に分けられる。また、不揮発性メモリを構成するメモリ素子としては、フローティングゲートを有するメモリトランジスタ、クラスタ層を

10

20

30

40

50

有するメモリトランジスタ、M N O S (Metal-Nitride-Oxide-Semiconductor) 構造あるいはM O N O S (Metal-Oxide-Nitride-Oxide-Semiconductor) 構造のメモリトランジスタ等が知られている。

【 0 0 0 5 】

従来の不揮発性メモリは、代表的な書き込み動作として、ホットエレクトロン注入の方法 ( H E 注入方式と呼ぶ ) と、 F N トンネル電流による電荷注入の方法 ( F N 電流方式と呼ぶ ) とが挙げられる。 H E 注入方式では、メモリトランジスタに高いコントロールゲート電圧と高いドレイン電圧を印加して、インパクトイオン化を起こし、発生したホットエレクトロンをゲート電極側に引き込むことによってメモリトランジスタに電荷を注入する。一方、 F N 電流方式では、コントロールゲート電極と基板との間に高電圧を印加し F N トンネル電流を流すことによって、メモリトランジスタに電荷を注入する。

10

【 0 0 0 6 】

いずれの場合においても、書き込み後のしきい値電圧が所定の範囲内にあることを確かめるために、通常はペリファイ書き込みが行われる。特に、多値の不揮発性メモリにおいては、書き込み後のしきい値電圧を高精度に制御する必要があるためにペリファイ書き込みが不可欠である。ペリファイ書き込みは、少量の電荷注入としきい値電圧を確認するための読み出しとを交互に行う方法である。そして、書き込み後のしきい値電圧が所定の範囲内に納まるまでこの動作が繰り返される。

【 0 0 0 7 】

【発明が解決しようとする課題】

20

上述した電荷注入の方法は、電荷注入量を精度よく制御することが難しいという問題があった。これは、メモリトランジスタに同じ動作電圧を印加した場合でも、メモリトランジスタの電荷蓄積量、つまりしきい値電圧が異なると、電荷注入速度が異なるためである。

【 0 0 0 8 】

そのため、しきい値電圧の異なるメモリトランジスタはもちろん、同一のメモリトランジスタであっても時間と共に電荷注入速度が変化する。例えば、電子を注入する場合、しきい値電圧は増加し、チャネル領域からみた実行的なゲート電圧が減少するので、電荷注入速度は減少する。

【 0 0 0 9 】

さらに、トンネル酸化膜の膜質のばらつきなどの要因によって電荷注入速度がばらつくこと、書き込み前のメモリトランジスタのしきい値電圧が等しかったとしても、徐々に電荷蓄積量に差が生じることになる。そして、しきい値電圧に差が生じると、さらに電荷注入量がばらつくという悪循環が生じる。

30

【 0 0 1 0 】

ペリファイ書き込みは、このような問題を解決する方法の一つである。ペリファイ書き込みでは、少量の電荷を注入する毎にしきい値電圧の確認を行うので、電荷注入量を高精度に制御する必要がない。しかしながら、ペリファイ書き込みは、電荷注入の動作を分割し、その間に読み出し動作を行うために、本質的に時間がかかるという問題点がある。

【 0 0 1 1 】

なお、ペリファイ書き込みにおいても、電荷注入量を精度よく制御することは重要である。電荷注入量を高精度に制御することによって、電荷注入の動作の分割を少なくすることができ、ペリファイ書き込み時間を短縮することができる。

40

【 0 0 1 2 】

本発明は、上記問題点を鑑みてなされたものである。本発明では、電荷注入量を高精度に制御することができる書き込み動作を行う不揮発性メモリを提供することを課題とする。そして、ペリファイ書き込み時間の短縮、さらにはペリファイ方式を用いない書き込み方式によって、書き込み時間の大幅な短縮を実現する不揮発性メモリを提供することを課題とする。またこのような不揮発性メモリを具備する半導体装置を提供することを課題とする。

【 0 0 1 3 】

50



**【課題を解決するための手段】**

既に述べたように、従来の書き込み方法では、電荷注入速度がメモリトランジスタの電荷蓄積量、従ってしきい値電圧に依存してしまう。その結果、異なる状態のメモリトランジスタはもちろん、同一のメモリトランジスタであっても時間と共に電荷注入速度は変化し、電荷注入量の制御が難しくなっていた。

**【0014】**

このことは逆に、電荷注入量を高精度に制御するためには、メモリトランジスタの電荷蓄積量、つまりしきい値電圧に依存しない電荷注入速度を有する書き込み方法が有効であることを意味する。本発明者は、電荷注入速度がメモリトランジスタのしきい値電圧に依存するのは、書き込み時にメモリトランジスタのコントロールゲート電圧を直接制御するためであると考え、新たな書き込み方法として、メモリトランジスタのドレイン電圧とドレイン電流を制御する方法を考案した。

10

**【0015】**

つまり、本発明の不揮発性メモリは、メモリトランジスタのドレイン電圧とドレイン電流とを制御することによってホットエレクトロン注入方式の書き込み動作を行うことを特徴とする。この書き込み方法は、コントロールゲート電圧を直接制御するのではなく、ドレイン電流が一定となるように間接的にコントロールゲート電圧を制御することを特徴とし、電荷注入速度がしきい値電圧に依存しないことを特徴とする。

**【0016】**

本発明の不揮発性メモリにおける書き込み動作を理解するために、一つのメモリ素子に書き込みを行う簡単な回路を例にとって、その動作方法を説明する。説明には図1(a)若しくは(b)を用いる。

20

**【0017】**

メモリ素子としては、図26に示すような様々な素子を用いることができる(詳細は実施例3を参照)。図26(a)は、活性領域2601上に第1の絶縁膜2602と、半導体または導体のクラスタ2604によって構成されるクラスタ層2603と、第2の絶縁膜2605と、コントロールゲート電極2606とが順に積層されてなるメモリトランジスタであり、以下ではクラスタ層を有するメモリトランジスタと呼ぶ。また、図26(d)は、活性領域2616上に第1の絶縁膜2617と、半導体膜または導体膜によって構成されるフローティングゲート電極2618と、第2の絶縁膜2619と、コントロールゲート電極2620とが順に積層されてなるメモリトランジスタであり、以下、フローティングゲートを有するメモリトランジスタと呼ぶ。また、図26(b)、(c)はそれぞれMNOS構造のメモリトランジスタ及びMONOS構造のトランジスタである。

30

**【0018】**

ここでは、メモリ素子として、クラスタ層を有するメモリトランジスタ、MNOS構造のメモリトランジスタ、あるいはMONOS構造のメモリトランジスタを用いた回路図の例を図1(a)に、またフローティングゲートを有するメモリトランジスタを用いた回路図の例を図1(b)に示してある。それぞれのメモリ素子の記号が象徴するように、図1(a)に示したメモリトランジスタは電荷を蓄積する領域が空間的に離散的であることを特徴とし、図1(b)に示したメモリトランジスタは電荷を蓄積する領域が連続的であることを特徴とする。いずれの場合も、動作方法は全く同じであり、ここでは図1(a)を例にとって説明を行う。

40

**【0019】**

図1(a)に示した回路図は、メモリトランジスタ101(a)、電流量Iを供給する定電流源102、およびオペアンプ103によって構成されている。メモリトランジスタ101(a)のコントロールゲート電極にはオペアンプ103の出力が、ドレイン電極には定電流源102が接続されており、ソース電極は接地されている。また、オペアンプ103の2つの入力端子には、定電流源102と電圧V<sub>p</sub>gmとがそれぞれ接続されている。

**【0020】**

図1に示した回路は負帰還の特性を有しており、オペアンプ103に入力される2つの電

50

位は常に等しい状態で動作する。その結果、図 1 に示した回路図においてメモリトランジスタ 101 (a) は、ドレイン電圧が  $V_{pgm}$  に等しく、またドレイン電流が  $I$  に等しい状態で動作する。

【0021】

実際に、メモリトランジスタ 101 (a) のドレイン電圧が  $V_{pgm}$  より高い場合には、オペアンプ 103 から正の電流が出力され、メモリトランジスタ 101 (a) のコントロールゲート電圧が上昇する。その結果、メモリトランジスタ 101 (a) のコンダクタンスが増加し、ドレイン電圧は引き下げられる。また逆に、メモリトランジスタ 101 (a) のドレイン電圧が  $V_{pgm}$  より低い場合には、オペアンプ 103 から負の電流が出力され、メモリトランジスタ 101 (a) のコントロールゲート電圧が低下する。その結果、メモリトランジスタ 101 (a) のコンダクタンスが減少し、ドレイン電圧は引き上げられることがわかる。

10

【0022】

本発明では、以上のようにメモリトランジスタのドレイン電圧とドレイン電流とを制御することによって、HE 注入方式の書き込み動作を行う。なお、 $V_{pgm}$  を書き込み電圧、 $I$  を書き込み電流と呼ぶ。

【0023】

上述した書き込み方法を用い、ドレイン電圧とドレイン電流とを一定とすると、メモリトランジスタのチャネル領域はフローティングゲートの電荷蓄積量に依らずに同じ状態をとる。つまり、コントロールゲート電圧はしきい値電圧のシフトと同じ量だけシフトし、チャネル領域からみた実行的なゲート電圧は常に一定に保たれた状態となる。さらに、ドレイン電圧とドレイン電流が一定であれば、一定量のホットエレクトロンが発生するため、フローティングゲートへの電荷注入速度は一定となる。

20

【0024】

このことは、書き込み電圧  $V_{pgm}$  と書き込み電流  $I$  が一定の場合、メモリトランジスタのしきい値電圧のシフト  $V_{th}$  と書き込み時間  $t_w$  とが、図 2 の曲線 201 に示すような直線で表されることを意味する。その結果、本発明の不揮発性メモリは、書き込み時間を制御することによって、しきい値電圧を高精度に制御することが可能となる。

【0025】

なお、図 2 には、従来の書き込み方法におけるしきい値電圧のシフトと書き込み時間の関係も示されている (図 2 の曲線 202)。従来の書き込み方法において、コントロールゲート電圧を一定とした場合には、チャネル領域からみた実行的なゲート電圧が時間と共に減少するために、しきい値電圧のシフト量は減少する。このため、書き込み時間を制御することによってしきい値電圧のシフトを高精度で制御することが難しいことがわかる。

30

【0026】

本発明において、書き込み時の電荷注入速度は、メモリトランジスタのドレイン電圧とドレイン電流とを適切な値に設定することにより最適化することができる。本発明における書き込み方法はホットエレクトロン注入であるから、ドレイン電圧としてはホットエレクトロンが発生する程度の大きさが必要である。一方で、多量のホットエレクトロンが発生してしまうと電荷注入量の制御性が低下してしまうため、ドレイン電圧が大きすぎても好ましくない。メモリトランジスタのドレイン電圧は、メモリトランジスタのサイズにも依るが、3V 以上であることが好ましく、また、線形領域に比較的近い飽和領域で動作することが好ましい。さらに、そのような領域において、書き込み電圧  $V_{pgm}$  と書き込み電流  $I$  とを大きな値に設定することによって書き込み速度は向上し、逆に小さな値に設定することによって消費電流を抑えることが可能となる。書き込み電圧  $V_{pgm}$  と書き込み電流  $I$  は、不揮発性メモリの用途に応じてそれぞれ最適な動作点の設定を行えば良い。

40

【0027】

また、上述した書き込み方法はホットエレクトロン注入の方法であるから、トンネル酸化膜によるエネルギー障壁よりも遥かに高いエネルギーを有する電子が主に関与する。そのため、トンネル酸化膜の膜質のばらつきはホットエレクトロンの注入量にほとんど影響を

50

与えず、F Nトンネル電流による電荷注入の方法と比較して、ばらつきの少ないしきい値制御が可能となる。

【 0 0 2 8 】

本発明の不揮発性メモリは、上述した書き込み動作を用いることによって、以下のように書き込み時間の大幅な短縮が可能となる。

【 0 0 2 9 】

まず、図3を参照する。図3は、しきい値電圧の揃ったメモリトランジスタに対して、従来の書き込みと、本発明における書き込みとをペリファイ動作無しで行った後のしきい値分布を定性的に表したものである。分布302は従来の書き込み後のしきい値電圧の分布を、分布301は本発明における書き込み後のしきい値電圧の分布を表す。また、 $V_{tar}$ は設定した書き込み後のしきい値電圧である。図3において、本発明における書き込み後の分布302を従来の書き込み後の分布301と比較すると、分布の中心と $V_{tar}$ とのずれ、および分布幅がいずれも小さくなっている ( $V < V'$ かつ  $v < v'$ )。 10

【 0 0 3 0 】

一般に、異なる状態を表すしきい値電圧の差が、書き込み後の分布幅および中心のずれと比較して小さい場合には、一度の書き込みで全てのメモリセルを所定の状態にすることができないため、ペリファイ書き込みが必要となる。また、逆にしきい値電圧の差が書き込み後の分布幅および中心のずれより大きい場合には、一度の書き込み動作で書き込みを行うことができる。なお、ペリファイ書き込みとは、書き込みを一度で行うのではなく、少量の書き込みとしきい値を確認するための読み出しとを交互に行う方法を言う。そして、 20 所定のしきい値に達するまでこの動作を繰り返す。

【 0 0 3 1 】

従来の書き込み方法は、図3に示したように書き込み後の分布幅  $v'$  および中心のずれ  $V'$  が大きいために、通常、ペリファイ書き込みの方法が用いられる。

【 0 0 3 2 】

本発明における書き込み方法を用いた場合には、図3に示したように書き込み後の分布幅  $v$  および中心のずれ  $V$  が小さいために、従来の書き込み方法ではペリファイ動作が必要であるようなしきい値電圧の差であっても、ペリファイ動作を行わない書き込み動作を行うことが可能となる。具体的には、異なる状態間のしきい値電圧の差が本発明における書き込み後のしきい値電圧の分布幅  $v$  及び中心のずれ  $V$  より大きい場合にペリファイ 30 動作を行わない書き込み動作が可能となる。

【 0 0 3 3 】

また、多値の不揮発性メモリのように、異なる状態を表すしきい値電圧の差が小さい場合には、本発明による書き込み方法を用いる場合においてもペリファイ動作が必要となる。この場合には、書き込み動作をペリファイ動作を行わない第1の書き込み動作とペリファイ動作を行う第2の書き込み動作によって構成するとよい。具体的には、まず第1の書き込み動作によって最終的なしきい値電圧よりもわずかに低い ( $v$  または  $V$  程度) 状態への書き込みを行い、次に残ったしきい値電圧の不足分 ( $v$  または  $V$  程度) についてペリファイ書き込みを行う。第2の書き込み動作で書き込む量はごく僅かであるため、従来のペリファイ書込と比較してペリファイ回数を大幅に減らすことができる。 40

【 0 0 3 4 】

このように、本発明における書き込み方法を用いる場合、ペリファイを行わない書き込み動作はもちろん、ペリファイを行う書き込み動作においても、ペリファイ回数を減らすことができ、書き込み時間を大幅に短縮することが可能となる。

【 0 0 3 5 】

また、従来の書き込み方法では、図2に示すように、しきい値電圧が増加すると電荷注入速度が低下し、書き込み動作が遅くなるが、本発明における書き込み方法では、高いしきい値電圧においても電荷注入速度は一定であり、高速な書き込み動作が可能となる。

【 0 0 3 6 】

以下に、本発明の構成を示す。

10

20

30

40

50

## 【 0 0 3 7 】

活性領域とコントロールゲート電極との間に電荷蓄積領域を有するメモリ素子によって構成される電氣的書き込みおよび消去可能な不揮発性メモリにおいて、前記メモリ素子を通る電流量と該メモリ素子のドレイン電圧とを制御することによって前記電荷蓄積領域への電荷注入量を制御することを特徴とする不揮発性メモリが提供される。

## 【 0 0 3 8 】

活性領域とコントロールゲート電極との間に電荷蓄積領域を有するメモリ素子によって構成される電氣的書き込みおよび消去可能な不揮発性メモリにおいて、前記電荷蓄積領域への電荷注入は、前記メモリ素子を通る電流量と該メモリ素子のドレイン電圧とを一定とすることによって行い、前記メモリ素子に電流が流れる時間を制御することによって前記電荷蓄積領域への電荷注入量を制御することを特徴とする不揮発性メモリが提供される。

10

## 【 0 0 3 9 】

複数のメモリセルがマトリクス状に配置されたメモリセルと、書き込み回路とを有する電氣的書き込みおよび消去可能な不揮発性メモリであって、前記複数のメモリセルはそれぞれメモリ素子と選択トランジスタとを有し、前記メモリ素子は活性領域とコントロールゲート電極との間に電荷蓄積領域を有し、前記書き込み回路は、前記メモリ素子を通る電流量と前記メモリ素子のドレイン電圧とを制御することによって書き込み動作を行うことを特徴とする不揮発性メモリが提供される。

## 【 0 0 4 0 】

複数のメモリセルがマトリクス状に配置されたメモリセルと、書き込み回路とを有する電氣的書き込みおよび消去可能な不揮発性メモリであって、前記複数のメモリセルはそれぞれメモリ素子と選択トランジスタとを有し、前記メモリ素子は活性領域とコントロールゲート電極との間に電荷蓄積領域を有し、前記書き込み回路は、前記メモリ素子を通る電流量と前記メモリ素子のドレイン電圧とを一定に保つ機能を有し、前記書き込み回路は、前記メモリ素子を通る電流量と前記メモリ素子のドレイン電圧とを一定に保つ時間を制御することによって書き込み動作を行うことを特徴とする不揮発性メモリが提供される。

20

## 【 0 0 4 1 】

複数のメモリセルがマトリクス状に配置されたメモリセルと、書き込み回路とを有する電氣的書き込みおよび消去可能な不揮発性メモリであって、前記複数のメモリセルはそれぞれメモリ素子と選択トランジスタとを有し、前記メモリ素子は活性領域とコントロールゲート電極との間に電荷蓄積領域を有し、前記メモリ素子は、2 値以上である  $k$  値の状態を、しきい値電圧  $V_{th0}$  を有する消去状態、及び前記消去状態よりも高い  $(k - 1)$  個の異なるしきい値電圧  $V_{th1}$ 、 $V_{th2}$ 、 $\sim$ 、 $V_{th(k-1)}$  を有する状態によって記憶し、前記書き込み回路は、前記メモリ素子を通る電流量と前記メモリ素子のドレイン電圧とを一定に保つ機能を有し、前記書き込み回路は、前記メモリ素子を通る電流量と前記メモリ素子のドレイン電圧とを一定に保つ書き込み時間を制御することによって書き込み動作を行い、前記消去状態から前記しきい値電圧  $V_{th1}$ 、 $V_{th2}$ 、 $\sim$ 、 $V_{th(k-1)}$  を有する状態への書き込み時間  $t_{w1}$ 、 $t_{w2}$ 、 $\sim$ 、 $t_{w(k-1)}$  の比は、 $t_{w1} : t_{w2} : \sim : t_{w(k-1)} = (V_{th1} - V_{th0}) : (V_{th2} - V_{th0}) : \sim : (V_{th(k-1)} - V_{th0})$  であることを特徴とする不揮発性メモリが提供される。

30

40

## 【 0 0 4 2 】

前記メモリ素子は多値データを記憶してもよい。

## 【 0 0 4 3 】

前記不揮発性メモリは前記メモリ素子のゲート電圧を読み出すことによって読み出し動作を行ってもよい。

## 【 0 0 4 4 】

前記不揮発性メモリの書き込み動作では、ベリファイ動作を行わなくてもよい。

## 【 0 0 4 5 】

前記不揮発性メモリの書き込み動作は第 1 の書き込み動作と第 2 の書き込み動作からなり

50

、前記第 1 の書き込み動作ではベリファイ動作を行わず、前記第 2 の書き込み動作ではベリファイ動作を行なってもよい。

【 0 0 4 6 】

前記不揮発性メモリを構成するメモリ素子は、活性領域上に第 1 の絶縁膜と、半導体膜または導体膜によって構成されるフローティングゲート電極と、第 2 の絶縁膜と、コントロールゲート電極とが順に積層されてなるメモリトランジスタであってもよい。

【 0 0 4 7 】

前記不揮発性メモリを構成するメモリ素子は、活性領域上に第 1 の絶縁膜と、半導体または導体からなるクラスタを電荷の捕獲中心として絶縁物内部に有するクラスタ層と、第 2 の絶縁膜と、コントロールゲート電極とが順に積層されてなるメモリトランジスタであっ

10

【 0 0 4 8 】

前記不揮発性メモリを構成するメモリ素子は M N O S 構造または M O N O S 構造のメモリトランジスタであってもよい。

【 0 0 4 9 】

前記不揮発性メモリを記録媒体として利用することを特徴とする半導体装置が提供される。

【 0 0 5 0 】

前記半導体装置として、マイクロプロセッサが提供される。

【 0 0 5 1 】

前記半導体装置として、ディスプレイ、ビデオカメラ、頭部取り付け型のディスプレイ、DVD プレーヤー、ヘッドマウントディスプレイ、パーソナルコンピュータ、携帯電話、カーオーディオが提供される。

20

【 0 0 5 2 】

【 発明の実施の形態 】

本実施の形態では、上述した書き込み動作を行う不揮発性メモリの回路構成と動作方法について説明を行う。なお、ここでは、簡単のため 2 値の不揮発性メモリの場合について、またベリファイ動作を行わない書き込み方法について述べるが、多値の不揮発性メモリに対しても、またベリファイ書き込みを行う場合においても本実施の形態を適用することは容易である。

30

【 0 0 5 3 】

図 4 には、m 行 n 列 ( m、n はそれぞれ 1 以上の整数 ) のメモリセルアレイを有する本発明の不揮発性メモリの回路図の一例を示す。図 4 に示した不揮発性メモリは、メモリセルアレイ 4 0 1、X アドレスデコーダ 4 0 2、Y アドレスデコーダ 4 0 3、制御回路 4 0 4 ( 1 ) ~ 4 0 4 ( n )、読み出し・書き込み回路 4 0 5、および他の周辺回路 ( 図示せず ) によって構成される。他の周辺回路には、アドレスバッファ回路、電源発生回路、昇圧回路、電源制御回路、その他の制御回路、等が含まれ、必要に応じて設けられる。

【 0 0 5 4 】

なお、本明細書において、書き込み回路とは書き込み動作に関与する回路全体を指すが、書き込み動作に関与する一部分だけを取り出して書き込み回路と呼ぶ場合もある。例えば、図 4 に示した不揮発性メモリの回路図において、書き込み回路は、書込・読出回路 4 0 5 と制御回路 4 0 4 とを含む書き込み動作に関与する回路全体を指すが、その一部分である書込・読出回路 4 0 5 だけを指す場合もある。また、読み出し回路に関しても同様であり、読み出し回路とは、読み出し動作に関与する回路全体を指すが、その一部分だけを取り出して読み出し回路と呼ぶ場合もある。いずれを指すか明確ではない場合には、動作全体に関与する広い意味での書き込み回路および読み出し回路を指すものとする。

40

【 0 0 5 5 】

本実施の形態の不揮発性メモリは、各メモリセルがメモリトランジスタ M T r 及び選択トランジスタ S T r によって構成される。メモリトランジスタ M T r はフローティングゲートを有するメモリトランジスタ ( 実施例 3 参照 ) であり、選択トランジスタ S T r は通常

50

のトランジスタである。なお、メモリトランジスタ  $MT_r$  としては、クラスト層を有するメモリトランジスタ、 $MNOS$  構造または  $MONOS$  構造のメモリトランジスタのような電荷蓄積領域が空間的に離散的であるようなメモリ素子を用いることもできる（実施例 3）。各メモリセルが 1 ビットのデータを記憶する場合には、本実施の形態の不揮発性メモリは  $m \times n$  ビットの記憶容量を有することになる。

#### 【0056】

図 4 において、メモリセル  $(i, j)$  ( $1 \leq i \leq m$ ,  $1 \leq j \leq n$ ) は、選択線  $SL_i$ 、ワード線  $WL_j$ 、ビット線  $BL_j$  及び共通ソース線  $SC$  と接続されている。具体的には、メモリトランジスタ  $MT_r$  のコントロールゲート電極にワード線  $WL_j$  が、ソース電極に共通ソース線  $SC$  が接続されており、また、選択トランジスタ  $ST_r$  のゲート電極に選択線  $SL_i$  が、ドレイン電極にビット線  $BL_i$  が接続されている。また、メモリセル  $(i, j)$  を構成するメモリトランジスタ  $MT_r$  と選択トランジスタ  $ST_r$  とは直列に接続されている。選択線  $SL_1 \sim SL_m$  は Y アドレスデコーダ 403 に、また、ワード線  $WL_j$  とビット線  $BL_j$  は制御回路 404 ( $j$ ) ( $1 \leq j \leq n$ ) に接続されている。また制御回路 404 ( $1$ )  $\sim$  404 ( $n$ ) は X アドレスデコーダ 402、及び読み出し・書き込み回路 405 に接続されている。

#### 【0057】

次に、制御回路 404 ( $1$ )  $\sim$  ( $n$ ) について説明する。n 個の制御回路は全て同じであるため、以下、一つを代表して制御回路 404 と書く。図 5 には、制御回路 404 の回路図の一例が示されており、制御回路 404 はオペアンプ 501、定電流源 502 及び複数のスイッチトランジスタ 503  $\sim$  510 によって構成されている。オペアンプ 501 は、入力的一方が電圧  $V_{in}$  と接続されており、他方が定電流源 502、及びスイッチトランジスタ 506 と 508 を介してビット線  $BL$  と接続されている。また、ワード線  $WL$  は、スイッチトランジスタ 505 と 507 を介してオペアンプ 501 の出力、スイッチトランジスタ 503 と 510 を介して消去電圧  $V_{erase}$ 、およびスイッチトランジスタ 504、509 を介して読み出し電位  $V_{out}$ 、と接続されている。

#### 【0058】

また、スイッチトランジスタ 503 および 504  $\sim$  506 は X アドレスデコーダの出力信号  $V_{xdec}(b)$  および  $V_{xdec}(a)$  にそれぞれ接続されており、スイッチトランジスタ 507、508 は書込・読出信号  $Sw/r$  に、スイッチトランジスタ 509 は読み出し信号  $S_{read}$  に、またスイッチトランジスタ 510 は消去信号  $S_{erase}$  に接続されている。さらに、X アドレスデコーダの出力信号  $V_{xdec}(a)$  と書込・読出信号  $Sw/r$  が、オペアンプ 501 に接続されている。

#### 【0059】

オペアンプ 501 と定電流源 502 としては、例えば図 6 及び図 7 に示した回路図を用いることができる。図 6 (a) には、オペアンプ 501 の記号が書かれており、端子 A、B、C、D、E が定義されている。図 6 (b) には、オペアンプ 501 の回路図が示されている。オペアンプ 501 は、2 つの p チャネル型トランジスタ 602、603 と 2 つの n チャネル型トランジスタ 604、605、および定電流源 601 によって構成される差動増幅回路である。さらに、オペアンプのスイッチとして、n チャネル型のスイッチトランジスタ 606、607 が定電流源に直列に接続されている。また、図 6 (c) には、定電流源 601 として、負荷抵抗 610 と 2 つの n チャネル型トランジスタ 608、609 からなるカレントミラー型の定電流源が示されている。また図 7 には、図 5 における定電流源 502 の回路図として、負荷抵抗 703 と 2 つの p チャネル型トランジスタ 701、702 からなるカレントミラー型の定電流源が示されている。もちろん、オペアンプ 501 と定電流源 502 として、他の公知の回路を用いてもよい。

#### 【0060】

次に、本実施の形態の不揮発性メモリの動作方法について述べる。ここでは、メモリセル  $(1, 1)$  への書き込みおよび読み出しと、一列目のメモリセル  $(1, 1) \sim (1, m)$  の一括消去について説明する。もちろん、他のメモリセルに対しても同様の動作を行うこ

10

20

30

40

50

とができる。なお、本実施の形態では、各メモリトランジスタは2値のデータを記憶し、また書き込み時にはペリファイ動作を行わない場合について述べる。

【0061】

まず、各動作が行われる前に、一列目のメモリセルがXアドレスデコードによって選択される。具体的には、Xアドレスデコードの出力信号によって、制御回路404(1)を構成するスイッチトランジスタ503~506がオンとなると共に、制御回路404(2)~404(n)を構成するスイッチトランジスタ503~506は全てオフとなる。また、制御回路404(1)が選択されると同時に、消去信号S<sub>erase</sub>、書込・読出信号S<sub>w/r</sub>、及び読み出し信号S<sub>read</sub>によって制御回路404(1)の動作モードが選択される。

【0062】

書き込み動作では、消去信号S<sub>erase</sub>と読み出し信号S<sub>read</sub>に接続されるスイッチトランジスタ509、510は全てオフとなる。以下、信号線に接続される全てのスイッチトランジスタがオフとなる信号をオフの信号、信号線に接続される全てのスイッチトランジスタがオンとなる信号をオンの信号、と呼ぶ。つまり、消去信号S<sub>erase</sub>と読み出し信号S<sub>read</sub>にはオフの信号が入力される。一方、書込・読出信号S<sub>w/r</sub>にはオンの信号が入力される。その結果、メモリセル(1,1)への書き込み動作に関与する回路構成は、図8のように表すことができる。図8において、V<sub>WL</sub>はワード線の電位、V<sub>BL</sub>はビット線の電位、V<sub>sc</sub>は共通ソース線の電位、V<sub>sel</sub>は選択線の電位、V<sub>pgm</sub>は書き込み電位、Iは定電流源が供給する電流である。図8に示した回路図は、選択トランジスタS<sub>Tr</sub>を除いて図1に示した回路図と一致し、その動作原理については既に説明を行った通りである。

【0063】

書き込み時の動作電圧としては、例えば、V<sub>sel</sub> = 10 V、V<sub>sc</sub> = GND、V<sub>pgm</sub> = 6 V、I = 10 mAとすればよい。この場合のメモリトランジスタの動作点を図9に示す。曲線901および902はそれぞれメモリトランジスタM<sub>Tr</sub>および選択トランジスタS<sub>Tr</sub>のV<sub>d</sub>-I<sub>d</sub>曲線を表し、メモリトランジスタM<sub>Tr</sub>の動作点は2本の曲線の交点Pで表される。ここでは、選択トランジスタS<sub>Tr</sub>のコンダクタンスをメモリトランジスタM<sub>Tr</sub>のコンダクタンスよりも十分大きく設定した。書き込み時の動作電圧は、このように、書き込み電圧V<sub>pgm</sub>を弱いインパクトイオン化が起こる程度の大きさとし、また、メモリトランジスタの動作点が線形領域に近い飽和領域となるように設定することが好ましい。

【0064】

上述した書き込み方法によって、メモリセル(1,1)への、電荷注入速度が一定の書き込み動作が可能となる。本実施の形態において、メモリトランジスタは1ビット(“0”または“1”の2値)の情報を記憶するものとし、“0”を書き込む場合には何もせず、“1”を書き込む場合には時間t<sub>w</sub>だけ上述した書き込み動作を行う。なお、書き込み動作はしきい値電圧V<sub>th</sub>の良く揃った状態に対して行われるものとする。また、時間t<sub>w</sub>は、“1”の状態を得るのに必要な書き込み時間であり、あらかじめ調べられている。本実施の形態では、このようにペリファイ動作を行わず時間t<sub>w</sub>の書き込み動作を行うだけであるため、書き込み時間は従来のペリファイ書き込みと比較して大幅に短縮することができる。もちろん、このような書き込み動作が可能となるのは、本発明における書き込み方法によって、高精度かつ分布幅の小さいしきい値分布が得られるためである。

【0065】

なお、書き込みを行わないメモリセル(2,1)~(m,1)においては、選択線の電位V<sub>sel</sub>を0 Vとして、選択トランジスタをオフとする。さらに、書き込み時のワード線の電位V<sub>WL</sub>が、メモリセル(2,1)~(m,1)においてトンネル電流による誤書き込みが行われない程度であるように書き込み時の動作電圧を設定する必要がある。また、一列目以外のメモリセルに関しては、制御回路404(2)~404(n)が非選択の状態であり、ビット線とワード線がいずれも浮遊状態となっているために誤動作の問題はない。

【0066】

次に、読み出し動作について述べる。読み出し動作では、消去信号S<sub>erase</sub>にはオフの信号が入力され、書込・読出信号S<sub>w/r</sub>と読み出し信号S<sub>read</sub>にはオンの信号が入力される

10

20

30

40

50

。その結果、メモリセル(1, 1)への読み出し動作に関与する回路構成は、図10のように表すことができる。図10において、 $V_{WL}$ はワード線の電位、 $V_{BL}$ はビット線の電位、 $V_{sc}$ は共通ソース線の電位、 $V_{sel}$ は選択線の電位、 $V_{out}$ は出力される読み出し電位である。またオペアンプ1001には電位 $V_{read}$ が入力され、定電流源1002からは定電流 $I$ が供給される。図10に示した回路図は、選択トランジスタ $S_{Tr}$ と読み出し電位 $V_{out}$ の出力部分を除いて、図1に示した回路図と一致し、その動作原理については既に説明を行った通りである。

#### 【0067】

読み出し時の動作電圧としては、例えば、 $V_{sel} = 3V$ 、 $V_{sc} = GND$ 、 $V_{read} = 1V$ 、 $I = 1mA$ とすればよい。この場合のメモリトランジスタの動作点を図11に示す。曲線1101および1102はそれぞれメモリトランジスタ $M_{Tr}$ および選択トランジスタ $S_{Tr}$ の $V_d - I_d$ 曲線を表し、メモリトランジスタ $M_{Tr}$ の動作点は2つの曲線の交点Pで表される。なお、選択トランジスタ $S_{Tr}$ のコンダクタンスはメモリトランジスタ $M_{Tr}$ のコンダクタンスよりも十分大きく設定してある。読み出し時の動作電圧としては、インパクトイオン化によってホットエレクトロンが発生しない条件とする必要がある。そのためには、図11に示すように、 $V_{read}$ を低く設定するとよい。

#### 【0068】

そして、この動作電圧のもとで読み出し電位 $V_{out}$ を読み出すことによって、メモリセルに格納されているデータを読み出すことができる。この読み出し動作では、メモリトランジスタ $M_{Tr}$ のしきい値電圧が $V_{th}$ だけ増加すると、制御回路404(1)の負帰還の特性によってメモリトランジスタ $M_{Tr}$ のコントロールゲート電圧、つまり読み出し電位 $V_{out}$ も $V_{th}$ だけ増加することを利用する。

#### 【0069】

なお、読み出しを行わないメモリセル(2, 1) ~ (m, 1)においては、選択線の電位 $V_{sel}$ を0Vとして、選択トランジスタをオフとする。その結果、読み出し電位 $V_{out}$ はメモリセル(1, 1)のみで決まり、誤読み出しの心配は無い。また、動作電圧が低いために誤書き込みの問題も無い。一列目以外のメモリセルについても、制御回路404(2) ~ 404(n)が非選択の状態であり、ビット線とワード線がいずれも浮遊状態となっているために誤動作の問題はない。

#### 【0070】

なお、本実施の形態では、読み出し方法としてワード線電位を読み出す方法を採用したが、ビット線電位を読み出す方法を用いることも可能である。

#### 【0071】

最後に、消去動作について述べる。消去動作時には、消去信号 $S_{erase}$ にはオンの信号が入力され、書込・読出信号 $S_{w/r}$ と読み出し信号 $S_{read}$ にはオフの信号が入力される。その結果、メモリセル(1, 1) ~ (m, 1)への消去動作に関与する回路構成は、図12のように表される。図12において、 $V_{WL}$ はワード線の電位、 $V_{sc}$ は共通ソース線の電位、 $V_{sel}(1) \sim V_{sel}(m)$ は選択線の電位である。図12に示すように、消去動作においてはオペアンプおよび定電流源は関与しない。

#### 【0072】

消去時の動作電圧としては、例えば、 $V_{WL} = -8V$ 、全ての選択線の電位 $V_{sel}(1) \sim V_{sel}(m)$ を0V、および基板電位(またはウェル電位)を8Vとすればよい。その結果、一列目のメモリセルを構成するメモリトランジスタのコントロールゲート - 基板間には高い電位差が生じ、F<sub>N</sub>トンネル電流によってフローティングゲートに蓄積されていた電荷が基板へ引き抜かれる。なお、選択トランジスタはオフであり、メモリトランジスタのドレイン領域は浮遊状態となっている。また、一列目以外のメモリセルについては、制御回路404(2) ~ 404(n)が非選択の状態であり、ワード線が浮遊状態となっているために誤消去の問題はない。なお、基板電位を8Vとするかわりに、メモリトランジスタのソース領域とフローティングゲートとの間に一部重なる領域(オーバーラップ領域)を設けて、共通ソース電位 $V_{sc}$ を8Vとすることも可能である。



## 【 0 0 7 3 】

ペリファイを行わない書き込み動作後の分布幅を小さくするには、当然、書き込みを行う前しきい値電圧の分布幅が小さいことが必要である。しかしながら、上述した消去動作では、通常狭い分布幅を実現することは困難である。そこで、本実施の形態においては、F Nトンネルによる消去動作の後に、新たに消去状態へのペリファイ書き込みを行うこととする。この消去状態のしきい値電圧としては、消去後の分布のよりもわずかに高い値とすることが好ましい。なお、消去状態へのペリファイ書き込みには、公知の回路構造と公知の動作方法を用いると良い。

## 【 0 0 7 4 】

以上のようにして、本発明の不揮発性メモリの書き込み動作、読み出し動作および消去動作が行われる。本実施の形態で説明した動作電圧をまとめると、表 1 のようになる。なお、表 1 には、消去方法としてソース領域へ電荷を引き抜く場合の動作電圧が書かれている。

## 【 0 0 7 5 】

【表 1】

	書き込み時	読み出し時	消去時
Sw/r	オン	オン	オフ
Sread	オフ	オン	オフ
Serase	オフ	オフ	オン
Vpgm/Vread	6 V	1 V	—
I	10 mA	1 mA	—
Vsel	10 V	3 V	0 V
Vsc	0 V	0 V	8 V
Verase	—	—	−8 V

## 【 0 0 7 6 】

本実施の形態では、2 値の不揮発性メモリについて述べた。しかしながら、本発明は 2 値の不揮発性メモリに限られるわけではない。むしろ、本発明の不揮発性メモリの特徴は高精度のしきい値制御性にあるから、しきい値分布のマージンが少ない多値の不揮発性メモリにおいて特にその効果を発揮する。本発明を多値の不揮発性メモリに応用することにより、従来の比較して書き込み時間を短縮することができ、また、高い多値度を実現することが可能となる。本発明を多値のメモリに応用した例については実施例 1 を参照することができる。なお、本明細書では、一つのメモリセルが記憶できる状態数を多値度と呼ぶ。

## 【 0 0 7 7 】

また、本実施の形態ではペリファイ動作を用いない書き込み方法について述べたが、もちろん、ペリファイ動作を用いた書き込み方法を行っても良い。その場合には、書き込み動

作をペリファイ動作を行わない第1の書き込み動作とペリファイ動作を行う第2の書き込み動作によって構成するとよい。具体的には、まず第1の書き込み動作では、高精度のしきい値制御特性を活かして、最終的なしきい値電圧よりもわずかに低い状態への書き込みを行い、次に残ったしきい値電圧の不足分についてペリファイ書き込みを行うことが好ましい。その結果、従来のペリファイ書き込みと比較して、ペリファイ動作の回数を少なくすることができ、ペリファイ書き込みの時間を短縮することが可能となる。なお、ペリファイ書き込みとしては、公知の回路構造と公知の動作方法を用いると良い。

#### 【0078】

また、本実施の形態ではメモリセル(1, 1)への書き込みと読み出し及び一列目のメモリセル(1, 1) ~ (m, 1)の一括消去の方法を述べたが、これらの動作を複数列に渡って同時に行うことも可能である。特に、制御回路404(1) ~ 404(n)を全て選択することによって、一行目のメモリセル(1, 1) ~ (1, n)への同時書き込みと同時読み出し、及び全てのメモリセルの一括消去を行うことが可能である。もちろん、書き込み・読み出し回路405としては、nビットのデータを並列に扱うことのできる回路が必要となる。また、各動作において同時に流れる電流量の合計が、回路の電流駆動能力を越えないことが必要である。

10

#### 【0079】

なお、本発明における書き込み方法は、負帰還を利用するために、動作電圧が安定するまでに時間がかかる場合がある。このため、必要に応じて、制御回路にディスチャージ回路やプリチャージ回路を設け、動作電圧が安定するまでの時間を短縮することが好ましい。

20

#### 【0080】

##### (実施例1)

本実施例では、本発明の不揮発性メモリを多値に応用した例について説明する。

本発明の不揮発性メモリは、しきい値電圧の制御性に優れた書き込み動作を特徴としており、しきい値分布のマージンが少ない多値の不揮発性メモリにおいて、特にその効果を発揮する。本発明を応用した多値の不揮発性メモリは、従来と比較して書き込み時間を短縮することができ、また、高い多値度を実現することができる。

#### 【0081】

多値の不揮発性メモリは、3つ以上の状態を記憶することのできるメモリ素子によって構成される。例えば、メモリ素子のしきい値電圧を3つ以上の状態に区別する方法や、複数の箇所に電荷を蓄積することのできるメモリ素子を用いる方法等がある。本実施例では、メモリ素子のしきい値電圧を4つの状態に区別して、“0”(消去状態)、“1”、“2”、“3”の4状態を記憶する4値の不揮発性メモリについて説明する。図13には、4つの状態を表すしきい値電圧の分布が示されている。図13において、 $V_{th0}$ 、 $V_{th1}$ 、 $V_{th2}$ 、 $V_{th3}$ はそれぞれ、状態“0”、“1”、“2”、“3”のしきい値分布の中心の値である。

30

#### 【0082】

図14には、本発明の書き込み方法を用いた場合のメモリ素子のしきい値電圧と書き込み時間の関係が示されている。図14において、時間 $t_{w1}$ 、 $t_{w2}$ 、 $t_{w3}$ はそれぞれ、消去状態“0”から、“1”、“2”、“3”への書き込み時間を表す。しきい値電圧と書き込み時間は線形の関係にあるから、4状態のしきい値電圧の間隔が等しい場合には、 $t_{w1}$ 、 $t_{w2}$ 、 $t_{w3}$ の比は、 $t_{w1} : t_{w2} : t_{w3} = 1 : 2 : 3$ となる。このように、本発明の書き込み方法では、書き込み時間を制御することによって、容易にかつ高精度にそれぞれの状態への書き込みを行うことができる。より一般的には、一度の書き込み動作によって書き込みを行う場合、必要な書き込み時間の比は各状態のしきい値電圧の間隔の比と一致させればよい。

40

#### 【0083】

以下に、本発明の4値の不揮発性メモリの回路構成と動作方法について説明する。簡単のため、4値の状態を表すしきい値分布は図13に示したものとし、各状態のしきい値電圧の間隔は等しいとする。

50

## 【 0 0 8 4 】

多値の不揮発性メモリの回路構成は、基本的には2値の不揮発性メモリと同じとすればよく、メモリセルアレイ、アドレスデコーダおよび制御回路等は、図4～図7に示した回路図と同じものを用いることができる。多値の回路構成が2値の場合と異なるのは、主に読み出し回路と書き込み回路である。4値の不揮発性メモリでは、読み出し回路は4つの状態を区別して2ビットデータとして読み出し、書き込み回路は2ビットのデータに基づいて4つの状態への書き込みを行う必要がある。従って、読み出し回路および書き込み回路は、多値度の異なる不揮発性メモリ(2値を含む)毎に異なったものとなる。

## 【 0 0 8 5 】

書き込み方法として、ペリファイ動作を行わない一回の書き込み動作を考える。

10

この場合には、入力される2ビットのデータに基づいて、書き込み時間が0、 $t_{w1}$ 、 $t_{w2}$ または $t_{w3}$ であるような書き込み動作を行えばよい。書き込み動作は実施の形態で説明した方法と同様とすればよく、書込・読出信号には幅が0、 $t_{w1}$ 、 $t_{w2}$ または $t_{w3}$ のオンのパルス信号を入力すればよい。もちろん、動作電圧は書き込み時間等によって決まる最適な値を用いることが望ましい。本発明における書き込み方法は、電荷注入速度が一定であるため、4状態への書き込み時間の比が0:1:2:3となる簡単な時間制御によって書き込みを行うことができる。

## 【 0 0 8 6 】

読み出し方法としては、まず、2値のメモリと同様にして制御回路から読み出し電位  $V_{out}$  を読み出す。読み出し回路では、読み出された  $V_{out}$  の値によって、状態“0”、“1”、“2”、“3”を判断し、2ビットのデータへの変換を行えばよい。読み出し回路には、従来の多値の不揮発性メモリに用いられる公知の読み出し回路を用いることができる。

20

## 【 0 0 8 7 】

消去方法は、メモリ素子の状態に関わらず“0”(消去状態)への消去を行えば良いので、2値のメモリと同様、F Nトンネル電流による消去動作を行えばよい。なお、書き込みにおいてペリファイ動作を行わない場合には、書き込み前のしきい値電圧を揃える必要があるため、実施の形態において説明を行ったのと同様に、F Nトンネル消去後に、消去状態“0”へのペリファイ書き込みを行うことが好ましい。消去状態“0”へのペリファイ書き込みには、公知の回路構成と公知の動作方法を用いると良い。

## 【 0 0 8 8 】

30

書き込み動作の例をもう少し詳しく説明する。図15は書き込み回路図の一例を示したものである。書き込み回路1501は、ラッチ1502、パルス発生回路1503等によって構成される。書き込み回路1501に2ビットの書き込みデータが入力されると、ラッチ1502に保持されると共に、パルス発生回路1503によって複数の信号が形成される。これらの信号は、ラッチ1502に保持されたデータに従って適切に選択され、書き込みパルス信号  $S_w$  と書き込み終了信号  $S_{wf}$  として出力される。

## 【 0 0 8 9 】

図16には、書き込みパルス信号  $S_w$  と書き込み終了信号  $S_{wf}$  のタイミングチャートが示されている。図16に示すように、書き込みパルス信号  $S_w$  は、入力されたデータに基づいてそれぞれ異なるパルス幅を有し、書き込み終了信号  $S_{wf}$  は、書き込みパルスが立ち下がった後に立ち上がって書き込み終了を伝える。具体的には、状態“0”、“1”、“2”、“3”に対応するデータが入力された場合には、書き込み信号  $S_w$  は、それぞれ0、 $t_{w1}$ 、 $t_{w2}$ 、 $t_{w3}$ のパルス幅を有する。

40

## 【 0 0 9 0 】

出力された書き込みパルス信号  $S_w$  は、オペアンプの入力端子と、 $V_{pgm}$  及び  $GND$  との接続を切り替えるスイッチトランジスタへ接続される。書き込みパルス信号  $S_w$  がオンの場合に  $V_{pgm}$  がオペアンプの入力端子に接続され、オフの場合に  $GND$  がオペアンプの入力端子に接続される。

## 【 0 0 9 1 】

上述したパルス発生回路1503では、例えば、シフトレジスタによって  $t_{w1}$ 、 $t_{w2}$  およ

50

び  $t_{w3}$  だけ時間をずらした 3 つの立ち上がり信号を作成し、もとの信号とのイクスクルーシブオア (XOR) を取ることによって幅の異なるパルスを作成することができる。そして、書き込みパルス信号  $S_w$  は幅の異なるパルス信号から、また書き込み終了信号  $S_{wf}$  は時間をずらした立ち上がり信号から、入力データに基づいて選択すればよい。

#### 【0092】

以上のようにして、本発明の不揮発性メモリの書き込み動作、読み出し動作および消去動作が行われる。

#### 【0093】

本実施例では、多値メモリを代表して 4 値の場合について説明を行ったが、8 値、16 値、或はそれ以上の多値メモリに対しても本実施例と全く同様に本発明を応用することが可能である。また、本実施例では、多値の状態を表すしきい値分布の間隔が均等である場合について述べたが、多値の状態を表すしきい値分布の間隔が均等でない場合においても書き込みパルス幅を変えるだけで全く同様な動作を行うことが可能である。

#### 【0094】

本発明における書き込み動作は、従来と比較して書き込み後のしきい値電圧の分布幅が小さく、分布の制御性に優れるため、多値の不揮発性メモリにおいても、ペリファイ動作を行わない一度の書き込み動作によって書き込みを行うことが可能となりうる。また、ペリファイ動作を行う場合であっても、まず書き込み後の状態よりわずかにしきい値電圧が低い状態への書き込み (第 1 の書き込み) を行い、次いでペリファイ書き込み (第 2 の書き込み) を行うことによって、書き込みの時間を大幅に短縮することが可能となる。なお、ペリファイ書き込みは、書き込み終了信号  $S_{wf}$  の立ち上がりを確認して始めれば良い。ペリファイ書き込み回路は図示しないが、公知の回路構造と公知の動作方法を用いればよい。

#### 【0095】

また、上述した多値メモリの動作方法は、複数列にわたって同時に行うことも可能である。その場合には、図 17 に示すような書き込み回路図を用いることができる。図 17 において、ラッチ 1702 は各列毎に設けられており、ラッチ 1702 に保持されたデータに従って、共通のパルス発生回路 1701 から適切な書き込みパルス信号を選択する構成となっている。書き込み終了信号  $S_{wf}$  としては、例えば書き込み時間  $t_{w3}$  の後に立ち上がる信号を用いると良い。このように書き込み動作、読み出し動作および消去動作の並列化を行うことによって、動作の高速化を図ることができる。

#### 【0096】

なお、しきい値電圧を高精度に制御する方法としては、上述したような時間による制御方法が好ましいが、より一般的には、書き込み電圧  $V_{pgm}$  と書き込み時間を自由に設定して、多値のそれぞれの状態への書き込み動作を行えばよい。

#### 【0097】

##### (実施例 2)

本実施例では、実施の形態で説明を行った不揮発性メモリの回路構成とは異なる例について述べる。図 18 には、 $m$  行  $n$  列 ( $m$ 、 $n$  はそれぞれ 1 以上の整数) のメモリセルアレイを有する本実施例の不揮発性メモリの回路図を示す。図 18 に示した不揮発性メモリは、メモリセルアレイ 1801、X アドレスデコーダ 1802、Y アドレスデコーダ 1803、制御回路 1804 (1) ~ 1804 (n)、読み出し・書き込み回路 1805、および他の周辺回路 (図示せず) によって構成される。他の周辺回路には、アドレスバッファ回路、電源発生回路、昇圧回路、電源制御回路、その他の制御回路、等が含まれ、必要に応じて設けられる。

#### 【0098】

各メモリセルは、メモリトランジスタ  $MTr$  及び選択トランジスタ  $STr$  によって構成される。メモリトランジスタ  $MTr$  はフローティングゲートを有するトランジスタであり、選択トランジスタ  $STr$  は通常のトランジスタである。なお、メモリトランジスタ  $MTr$  としては、クラスタ層を有するメモリトランジスタ、MNOS 構造または MONOS 構造

10

20

30

40

50

のメモリトランジスタを用いてもよい（実施例 3 参照）。

#### 【0099】

図 18 において、メモリセル  $(i, j)$  ( $1 \leq i \leq m$ ,  $1 \leq j \leq n$ ) は、選択線  $SL_i$ 、ワード線  $WL_j$ 、ビット線  $BL_j$  及び共通ソース線  $SC$  と接続されている。具体的には、メモリトランジスタ  $MT_r$  のコントロールゲート電極に選択トランジスタ  $ST_r$  のソース・ドレイン電極の一方が、ソース電極に共通ソース線  $SC$  が、ドレイン電極にビット線  $BL_i$  が接続されており、また、選択トランジスタ  $ST_r$  のソース・ドレイン電極の残る一方にワード線  $WL_j$  が、ゲート電極に選択線  $SL_i$  が接続されている。選択線  $SL_1 \sim SL_m$  は Y アドレスでコード 1703 に、ワード線  $WL_j$  とビット線  $BL_j$  は制御回路 1804 ( $j$ ) ( $1 \leq j \leq n$ ) に接続されている。また制御回路 1804 ( $1$ )  $\sim$  1804 ( $n$ ) は X アドレスでコード 1802 および読み出し・書き込み回路 1805 に接続されている。

10

#### 【0100】

次に、制御回路 1804 ( $1$ )  $\sim$  ( $n$ ) について説明する。n 個の制御回路は全て同じであるため、以下、一つを代表して制御回路 1804 と書く。図 19 には、制御回路 1804 の回路図の一例が示されており、制御回路 1804 はオペアンプ 1901、定電流源 1902 及び複数のスイッチトランジスタ 1903  $\sim$  1911 によって構成されている。制御回路 1804 を構成するオペアンプ 1901、定電流源 1902 及び複数のスイッチトランジスタ 1903  $\sim$  1910 については、図 5 に示した制御回路と全く同様であるため説明を省略する。また、オペアンプ 1901 および定電流源 1902 の回路図としては、例えば、図 6 及び図 7 に示した回路図を用いることができる。もちろん、他の公知の回路を用いることもできる。制御回路 1804 が図 5 に示した制御回路と異なる点はディスチャージ回路を有する点にある。つまり、ワード線  $WL$  はスイッチトランジスタ 1911 を介して GND と接続されている。スイッチトランジスタ 1911 のゲート電極はディスチャージ信号  $S_{dc}$  と接続されている。

20

#### 【0101】

次に、本実施例の不揮発性メモリの動作方法について述べる。ここでは、メモリセル  $(1, 1)$  への書き込みおよび読み出しと、一列目のメモリセル  $(1, 1) \sim (1, m)$  の一括消去について説明する。もちろん、他のメモリセルに対しても同様の動作を行うことができる。なお、本実施例では、各メモリトランジスタは 2 値のデータを記憶し、また書き込み時にはベリファイ動作を行わない場合について述べる。

30

#### 【0102】

まず、各動作が行われる前に、一列目のメモリセルが X アドレスデコードによって選択される。具体的には、X アドレスデコードの出力信号によって、制御回路 1804 ( $1$ ) を構成するスイッチトランジスタ 1903  $\sim$  1906 がオンとなると共に、制御回路 1804 ( $2$ )  $\sim$  1804 ( $n$ ) を構成するスイッチトランジスタ 1903  $\sim$  1906 は全てオフとなる。また、制御回路 1804 ( $1$ ) が選択されると同時に、消去信号  $S_{erase}$ 、書込・読出信号  $Sw/r$ 、及び読み出し信号  $S_{read}$  によって制御回路 1804 ( $1$ ) の動作モードが選択される。

40

#### 【0103】

本実施例のメモリセルの回路の特徴は、メモリトランジスタ  $MT_r$  のコントロールゲート電極とワード線  $WL$  との間に選択トランジスタが接続されている点にある。以下に述べるように、書き込みおよび読み出し動作では、動作を行わない行を構成する選択トランジスタはオフの状態とするため、メモリトランジスタ  $MT_r$  のコントロールゲート電極は浮遊状態となる。本実施例の駆動方法では、これらのメモリセルにおいて誤動作が起こらないようにするために、書き込みおよび読み出し動作において選択トランジスタをオフとする前に、全てのメモリトランジスタ  $MT_r$  のコントロールゲート電極を、ディスチャージ回路を用いて GND に落とすことにする。

#### 【0104】

まず、書き込み動作では、消去信号  $S_{erase}$ 、読み出し信号  $S_{read}$  にはオフの信号が入力

50

され、書込・読出信号  $S_{w/r}$  にはオンの信号が入力される。その結果、メモリセル (1, 1) への書き込み動作に関与する回路構成は、図 20 のように表される。図 20 において、 $V_{WL}$  はワード線の電位、 $V_{BL}$  はビット線の電位、 $V_{sc}$  は共通ソース線の電位、 $V_{sel}$  は選択線の電位、 $V_{pgm}$  は書き込み電位、 $I$  は定電流源が供給する電流、 $S_{dc}$  はディスチャージ信号である。図 20 に示した回路図は、選択トランジスタ  $S_{Tr}$  とディスチャージ回路を除いて図 1 に示した回路図と一致し、その動作原理については既に説明を行ったので省略する。

#### 【0105】

書き込み時の動作電圧としては、例えば、 $S_{dc} = 0\text{ V}$ 、 $V_{sel} = 12\text{ V}$ 、 $V_{sc} = GND$ 、 $V_{pgm} = 6\text{ V}$ 、 $I = 10\text{ mA}$  とすればよい。この場合のメモリトランジスタの動作点は、実施の形態で示した例 (図 9 参照) とほぼ同様であると考えて良い。書き込み時の動作電圧は、書き込み電圧  $V_{pgm}$  を弱いインパクトイオン化が起こる程度の大きさとし、また、メモリトランジスタの動作点が線形領域に近い飽和領域となるように設定することが好ましい。

#### 【0106】

本実施例において、メモリトランジスタは 1 ビット (“0” または “1” の 2 値) の情報を記憶するものとし、“0” を書き込む場合には何もせず、“1” を書き込む場合にはあらかじめ調べられた時間  $t_w$  だけ上述した書き込み動作を行う。なお、書き込み動作はしきい値電圧  $V_{th}$  が正であり、かつ良く揃った状態に対して行われるものとする。

#### 【0107】

本実施例では、このようにペリファイ動作を行わず時間  $t_w$  の書き込み動作を行うため、従来のペリファイ書き込みと比較して書き込み時間を大幅に短縮することができる。もちろん、このような書き込み動作が可能となるのは、本発明における書き込み方法によって、高精度かつ分布幅の小さいしきい値分布が得られるためである。

#### 【0108】

書き込み動作を時間  $t_w$  だけ行った後には、次のように書き込み動作を終了する。まず、制御回路において、書込・読出信号  $S_{w/r}$  にオフの信号を入力すると共に、ディスチャージ信号  $S_{dc}$  にオンの信号を入力し、全てのワード線  $WL$  の電位を  $GND$  に落とす。同時に全ての選択線  $SL$  の電位  $V_{sel}$  を  $3\text{ V}$  として、全てのメモリトランジスタのコントロールゲート電極を  $GND$  に落とした後、全ての選択線  $SL$  の電位  $V_{sel}$  を  $0\text{ V}$  に落とす。同時にディスチャージ信号  $S_{dc}$  にオフの信号を入力する。

#### 【0109】

なお、書き込み動作において、書き込みを行わないメモリセル (2, 1) ~ (m, 1) は、選択線の電位  $V_{sel}$  を  $0\text{ V}$  として、選択トランジスタをオフとする。この場合、メモリセル (2, 1) ~ (m, 1) を構成するメモリトランジスタのコントロールゲート電極は浮遊状態となるが、上述したようにコントロールゲートの電位は  $0\text{ V}$  となっており、また、メモリトランジスタのしきい値電圧  $V_{th}$  は正に揃えられているために、メモリトランジスタはオフとなり誤動作の心配はない。また、一列目以外のメモリセルに関しては、制御回路 1804 (2) ~ 1804 (n) が非選択の状態であり、ビット線とワード線がいずれも浮遊状態となっているために誤動作の問題はない。

#### 【0110】

次に、読み出し動作について述べる。読み出し動作では、消去信号  $S_{erase}$  にはオフの信号が入力され、書込・読出信号  $S_{w/r}$  と読み出し信号  $S_{read}$  にはオンの信号が入力される。その結果、メモリセル (1, 1) への読み出し動作に関与する回路構成は、図 21 のように表すことができる。図 21 において、 $V_{WL}$  はワード線の電位、 $V_{BL}$  はビット線の電位、 $V_{sc}$  は共通ソース線の電位、 $V_{sel}$  は選択線の電位、 $V_{out}$  は出力される読み出し電位、 $S_{dc}$  はディスチャージ信号である。またオペアンプ 2101 には電位  $V_{read}$  が入力され、定電流源 2102 からは定電流  $I$  が供給される。図 21 に示した回路図は、選択トランジスタ  $S_{Tr}$ 、ディスチャージ回路及び読み出し電位  $V_{out}$  の出力部分を除いて、図 1 に示した回路図と一致し、その動作原理については既に説明を行った通りである。

## 【 0 1 1 1 】

読み出し時の動作電圧としては、例えば、 $S_{dc} = 0\text{ V}$ 、 $V_{sel} = 5\text{ V}$ 、 $V_{sc} = \text{GND}$ 、 $V_{read} = 1\text{ V}$ 、 $I = 1\text{ mA}$ とすればよい。この場合のメモリトランジスタの動作点は、実施の形態で示した例（図 1 1 参照）とほぼ同様であると考えて良い。読み出し時の動作電圧としては、インパクトイオン化によってホットエレクトロンが発生しない条件とする必要がある。そのためには、 $V_{read}$ を低く設定するとよい。

## 【 0 1 1 2 】

そして、この動作電圧のもとで読み出し電位  $V_{out}$ を読み出すことによって、メモリセルに格納されているデータを読み出すことができる。この読み出し動作では、メモリトランジスタのしきい値電圧が  $V_{th}$ だけ増加すると、制御回路 1 8 0 4 ( 1 ) の負帰還の特性によってメモリトランジスタのコントロールゲート電圧、つまり読み出し電位  $V_{out}$ も  $V_{th}$ だけ増加することを利用する。

10

## 【 0 1 1 3 】

読み出し動作を行った後も、ディスチャージ動作によって全てのメモリトランジスタのコントロールゲート電極を  $\text{GND}$ に落とす。まず、制御回路において、書込・読出信号  $S_{w/r}$ にオフの信号を入力すると共に、ディスチャージ信号  $S_{dc}$ にオンの信号を入力し、全てのワード線  $W_L$ の電位を  $\text{GND}$ に落とす。同時に全ての選択線  $S_L$ の電位  $V_{sel}$ を  $3\text{ V}$ として、全てのメモリトランジスタのコントロールゲート電極を  $\text{GND}$ に落とした後、全ての選択線  $S_L$ の電位  $V_{sel}$ を  $0\text{ V}$ に落とす。同時にディスチャージ信号  $S_{dc}$ にオフの信号を入力する。

20

## 【 0 1 1 4 】

なお、読み出しを行わないメモリセル ( 2 , 1 ) ~ ( m , 1 ) においては、選択線の電位  $V_{sel}$ を  $0\text{ V}$ として、選択トランジスタをオフとする。その結果、メモリセル ( 2 , 1 ) ~ ( m , 1 ) を構成するメモリトランジスタはオフとなり、読み出し電位  $V_{out}$ はメモリセル ( 1 , 1 ) のみで決まるため、誤読み出しの心配は無い。また、動作電圧が低いために誤書き込みの問題も無い。一列目以外のメモリセルについても、制御回路 1 8 0 4 ( 2 ) ~ 1 8 0 4 ( n ) が非選択の状態であり、ビット線とワード線がいずれも浮遊状態となっているために誤動作の問題はない。

## 【 0 1 1 5 】

なお、本実施例では、読み出し方法としてワード線電位を読み出す方法を採用したが、ビット線電位を読み出す方法を用いることも可能である。

30

## 【 0 1 1 6 】

最後に、消去動作について述べる。消去動作時には、消去信号  $S_{erase}$ にはオンの信号が入力され、書込・読出信号  $S_{w/r}$ と読み出し信号  $S_{read}$ にはオフの信号が入力される。また、ディスチャージ信号  $S_{dc}$ にはオフの信号が入力される。その結果、メモリセル ( 1 , 1 ) ~ ( m , 1 ) への消去動作に関与する回路構成は、図 2 2 のように表される。図 2 2 において、 $V_{WL}$ はワード線の電位、 $V_{sc}$ は共通ソース線の電位、 $V_{sel}(1) \sim V_{sel}(m)$ は選択線の電位である。図 2 2 に示すように、消去動作においてはオペアンプおよび定電流源は関与しない。

## 【 0 1 1 7 】

消去時の動作電圧としては、例えば、 $V_{WL} = -8\text{ V}$ 、全ての選択線の電位  $V_{sel}(1) \sim V_{sel}(m)$ を  $0\text{ V}$ 、および基板電位（またはウェル電位）を  $8\text{ V}$ とすればよい。その結果、一列目のメモリセルを構成する選択トランジスタはオンとなり、メモリトランジスタのコントロールゲート - 基板間には  $16\text{ V}$ 程度の高い電位差が生じる。その結果、FNTトンネル電流によってフローティングゲートに蓄積されていた電荷が基板へ引き抜かれる。なお、ビット線は浮遊状態となっている。一列目以外のメモリセルについては、制御回路 1 8 0 4 ( 2 ) ~ 1 8 0 4 ( n ) が非選択の状態であり、ワード線が浮遊状態となっているために誤消去の問題はない。なお、基板電位を  $8\text{ V}$ とするかわりに、メモリトランジスタのソース領域とフローティングゲートとの間に一部重なる領域（オーバーラップ領域）を設けて、共通ソース電位  $V_{sc}$ を  $8\text{ V}$ とすることも可能である。

40

50

## 【0118】

ペリファイを行わない書き込み動作後の分布幅を小さくするには、当然、書き込みを行う前しきい値電圧の分布幅が小さいことが必要である。しかしながら、上述した消去動作では、通常狭い分布幅を実現することは困難である。そこで、本実施例においては、FNTトンネルによる消去動作の後に、新たに消去状態へのペリファイ書き込みを行うこととする。この消去状態のしきい値電圧は、0V以上であり、消去後の分布のよりもわずかに高い値とすることが好ましい。なお、消去状態へのペリファイ書き込みには、公知の回路構造と公知の動作方法を用いると良い。また、消去状態へのペリファイ書き込み後には、ディスチャージ動作によって、全てのメモリセルのコントロールゲートの電位を0Vとする。

## 【0119】

以上のようにして、本発明の不揮発性メモリの書き込み動作、読み出し動作および消去動作が行われる。

## 【0120】

本実施例では2値の不揮発性メモリについて述べたが、本発明の不揮発性メモリの特徴は高精度のしきい値制御性にあるから、むしろ、しきい値分布のマージンが少ない多値の不揮発性メモリにおいて特にその効果を発揮する。本実施例を実施例1と組み合わせることによって、書き込み時間の短い、また、多値度の高い不揮発性メモリを実現することが可能となる。

## 【0121】

なお、本実施例ではペリファイ動作を用いない書き込み方法について述べたが、もちろん、ペリファイ書き込みを行っても良い。また、本実施例ではメモリセル(1, 1)への書き込みと読み出し及び一列目のメモリセル(1, 1) ~ (m, 1)の一括消去の方法を述べたが、これらの動作を複数列に渡って同時に行うことも可能である。これらの応用については、実施の形態で説明を行った通りである。

## 【0122】

なお、本実施例では、消去状態におけるメモリトランジスタのしきい値電圧を正としたが、本発明はこの場合に限られるわけではない。消去状態におけるメモリトランジスタのしきい値電圧が負の場合には、ディスチャージ動作によって、コントロールゲートの電位を消去状態のしきい値電圧より低くすることによって、本実施例と全く同様に動作を行うことができる。この他、メモリトランジスタをスプリットゲート構造とすることも有効である。

## 【0123】

## (実施例3)

本発明は、活性領域とコントロールゲート電極の間に電荷蓄積領域を有する様々なメモリ素子に対して適用することが可能である。特に、電化蓄積領域として半導体のクラスタ層、金属のクラスタ層、あるいは窒化膜を設けたメモリ素子に対しても適用することができる。これらのメモリ素子は、電荷を蓄積する領域が空間的に離散的に設けられていることを特徴とする

## 【0124】

電荷を蓄積する領域として半導体または導体のクラスタ層を用いるメモリ素子としては、例えば、特開昭49-22356号公報に開示されている。その代表的な断面構造を図26(a)に示す。図26(a)に示したメモリ素子は、活性領域2601上に、第1の絶縁膜2602と、クラスタ層2603と、第2の絶縁膜2605と、コントロールゲート電極2606とが順に積層されてなるメモリトランジスタである。クラスタ層2603は、離散的な塊状の半導体または導体(クラスタと呼ぶ)によって構成される層であり、この離散的なクラスタ2604が電荷の捕獲中心としての役割を果たす。

## 【0125】

また、電荷を蓄積する領域として窒化膜等を用いるメモリ素子としては、MNOS(Metal-Nitride-Oxide-Semiconductor)、MONOS(Metal-Oxide-Nitride-Oxide-Semiconductor)等が知られている。MNOS及びMONOSの代表的な断面構造を図26(b)及

10

20

30

40

50



び(c)にそれぞれ示す。図26(b)示したメモリ素子は、活性領域2607に、酸化膜2608、窒化膜2609、コントロールゲート電極2610が積層されてなる。また、図26(c)示したメモリ素子は、活性領域2611上に、酸化膜2612、窒化膜2613、酸化膜2614、コントロールゲート電極2615が積層されてなる。いずれにおいても、窒化膜中の空間的に離散的な不純物準位が電荷の捕獲中心としての役割を果たす。

#### 【0126】

このようなメモリ素子を本発明の不揮発性メモリに応用する場合においても、実施の形態で説明を行った回路構成と動作方法をそのまま用いることができる。もちろん、動作電圧と動作電流はそれぞれの素子において最適な値を用いることが好ましい。

10

#### 【0127】

メモリ素子として、電荷を蓄積する領域が離散的に設けられている素子を用いた場合、電荷保持特性がトンネル酸化膜の欠陥やピンホールの影響を受けにくいという効果がある。例えば、図26(d)に示すような、フローティングゲートを有するメモリトランジスタのように、電荷を蓄積する領域が連続的に設けられている場合には、トンネル酸化膜に一箇所のピンホールがあると、フローティングゲートに蓄積された電荷は全てそのピンホールからリークしてしまうため、メモリトランジスタの電荷保持特性に大きく影響する。しかし、電荷を蓄積する領域が離散的に設けられている素子を用いた場合には、ピンホールの影響を受ける領域は限定され、多くの電荷蓄積領域はそのピンホールの影響を受けないため、メモリ素子の電荷保持特性への影響は少ない。

20

#### 【0128】

なお、フローティングゲートを有するメモリトランジスタとは、図26(d)に示すように、活性領域2616上に第1の絶縁膜2617と、半導体膜または導体膜によって構成されるフローティングゲート電極2618と、第2の絶縁膜2619と、コントロールゲート電極2620とが順に積層されてなるメモリトランジスタをいう。

#### 【0129】

本実施例のメモリ素子を本発明の不揮発性メモリに応用する場合には、特に多値のメモリに応用することが好ましい。多値の不揮発性メモリは、異なる状態を表すしきい値電圧のマージンが少ないために、書き込み時や消去時における高精度のしきい値制御や、良好な電荷保持特性が必要となることは良く知られている。

30

そして、本発明の不揮発性メモリは、しきい値電圧の制御性に優れるために、多値の不揮発性メモリに対して特に有効であることは、実施の形態及び実施例1で述べた通りである。

#### 【0130】

他方、多値の不揮発性メモリのもう一つの問題点である電荷保持特性については、本実施例のメモリ素子を用いることによって、大幅に改善することが可能となる。このように、本実施例で述べたメモリ素子は、本発明を多値の不揮発性メモリに応用する場合に特に好ましいといえることができる。

#### 【0131】

なお、本実施例の構成は、実施例1、2のいずれの構成とも自由に組み合わせることが可能である。

40

#### 【0132】

##### (実施例4)

本実施例では本発明の不揮発性メモリをワンチップ上に集積化されたRISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用した場合の例について説明する。

#### 【0133】

図23に示すのは、マイクロプロセッサの一例である。マイクロプロセッサは典型的にはCPUコア2301、フラッシュメモリ2304(RAMでも良い)、クロックコントローラ2303、キャッシュメモリ2302、キャッシュコントローラ2305、シリアルインターフェース2306、I/Oポート2307等から構成される。勿論、図23に示

50

すマイクロプロセッサは簡略化した一例であり、実際のマイクロプロセッサはその用途によって多種多様な回路設計が行われる。

【 0 1 3 4 】

図 2 3 に示すマイクロプロセッサでは CPU コア 2 3 0 1、クロックコントローラ 2 3 0 3、キャッシュコントローラ 2 3 0 5、シリアルインターフェース 2 3 0 6、I/O ポート 2 3 0 7 を CMOS 回路で構成している。また、フラッシュメモリ 2 3 0 4 には本発明の不揮発性メモリが用いられている。フラッシュメモリ 2 3 0 4 としては、実施の形態及び実施例 1 ~ 3 のいずれの構成とも組み合わせることが可能である。なお、キャッシュメモリ 2 3 0 2 に本発明の不揮発性メモリを利用することも可能である。

【 0 1 3 5 】

なお、本実施例のマイクロプロセッサは、実施例 1 ~ 3 のどのような組み合わせからなる構成を用いても良い。

【 0 1 3 6 】

( 実施例 5 )

本発明の不揮発性メモリはデータの記憶・読み出しを行う記録媒体として、あらゆる分野の電子機器に組み込むことが可能である。本実施例では、その様な電子機器について説明する。

【 0 1 3 7 】

本発明の不揮発性メモリを利用しうる電子機器としては、ディスプレイ、ビデオカメラ、デジタルカメラ、頭部取り付け型のディスプレイ、DVD プレーヤー、ゲーム機、ヘッドマウントディスプレイ ( ゴーグル型ディスプレイ )、カーナビゲーション、音響再生装置 ( カーオーディオ等 )、パーソナルコンピュータ、携帯情報端末 ( モバイルコンピュータ、携帯電話または電子書籍等 ) などが挙げられる。それらの一例を図 2 4、2 5 に示す。

【 0 1 3 8 】

図 2 4 ( A ) はディスプレイであり、筐体 2 4 0 1、支持台 2 4 0 2、表示部 2 4 0 3 等を含む。本発明は表示部 2 4 0 3 やその他の信号制御回路に接続され、画像信号の補正や処理データの記憶に利用される。

【 0 1 3 9 】

図 2 4 ( B ) はビデオカメラであり、本体 2 4 1 1、表示部 2 4 1 2、音声入力部 2 4 1 3、操作スイッチ 2 4 1 4、バッテリー 2 4 1 5、受像部 2 4 1 6 で構成される。本発明は内蔵の L S I 基板に組み込まれ、画像データの記憶などの機能に利用される。

【 0 1 4 0 】

図 2 4 ( C ) は頭部取り付け型のディスプレイの一部 ( 右片側 ) であり、本体 2 4 2 1、信号ケーブル 2 4 2 2、頭部固定バンド 2 4 2 3、表示部 2 4 2 4、光学系 2 4 2 5、表示装置 2 4 2 6 等を含む。本発明は表示装置 2 4 2 6 やその他の信号制御回路に接続され、画像信号の補正や処理データの記憶に利用される。

【 0 1 4 1 】

図 2 4 ( D ) は記録媒体を備えた画像再生装置 ( 具体的には DVD 再生装置 ) であり、本体 2 4 3 1、記録媒体 2 4 3 2、操作スイッチ 2 4 3 3、表示部 2 4 3 4、2 4 3 5 等で構成される。なお、この装置は記録媒体として DVD ( Digital Versatile Disc )、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は内蔵の L S I 基板に組み込まれ、画像データや処理データの記憶などの機能に利用される。

【 0 1 4 2 】

図 2 4 ( E ) はゴーグル型ディスプレイ ( ヘッドマウントディスプレイ ) であり、本体 2 4 4 1、表示部 2 4 4 2、アーム部 2 4 4 3 を含む。本発明は表示部 2 4 4 2 やその他の信号制御回路に接続され、画像信号の補正や処理データの記憶に利用される。

【 0 1 4 3 】

図 2 4 ( F ) はパーソナルコンピュータであり、本体 2 4 5 1、筐体 2 4 5 2、表示部 2 4 5 3、キーボード 2 4 5 4 等で構成される。本発明は内蔵の L S I 基板に組み込まれ、

10

20

30

40

50

処理データや画像データの記憶に利用される。

【 0 1 4 4 】

図 2 5 ( A ) は携帯電話であり、本体 2 5 0 1、音声出力部 2 5 0 2、音声入力部 2 5 0 3、表示部 2 5 0 4、操作スイッチ 2 5 0 5、アンテナ 2 5 0 6を含む。本発明は内蔵の L S I 基板に組み込まれ、電話番号を記録するアドレス機能などを付加するために利用される。

【 0 1 4 5 】

図 2 5 ( B ) は音響再生装置、具体的にはカーオーディオであり、本体 2 5 1 1、表示部 2 5 1 2、操作スイッチ 2 5 1 3、2 5 1 4を含む。本発明は内蔵の L S I 基板に組み込まれ、画像データや処理データの記憶などの機能に利用される。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。

10

【 0 1 4 6 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ~ 3 のどのような組み合わせからなる構成を用いても実現することができる。

【 0 1 4 7 】

【発明の効果】

本発明の不揮発性メモリは、メモリ素子のドレイン電圧とドレイン電流とを制御することによって、書き込み動作において高精度のしきい値制御を行うことが可能となる。

【 0 1 4 8 】

20

その結果、ペリファイ書き込みにおいてペリファイ回数を減らすこと、さらにはペリファイ方式を用いない書き込み方法が可能となり、従来と比較して書き込み時間の大幅な短縮を実現することが可能となる。

【 0 1 4 9 】

本発明は、特に多値の不揮発性メモリに応用した場合に、書き込み時間短縮の効果は大きい。さらに、メモリ素子として、離散的な電荷蓄積領域を有するトランジスタを用いた場合には、電荷保持特性に優れ、書き込み時のしきい値制御性にも優れた多値の不揮発性メモリを提供することができる。

【 0 1 5 0 】

本発明のしきい値制御性の優れた不揮発性メモリを搭載することによって、高速書き込み動作が可能な不揮発性メモリを具備する半導体装置を提供することができる。

30

【図面の簡単な説明】

【図 1】 本発明の不揮発性メモリの書き込み動作を説明する回路図。

【図 2】 本発明の不揮発性メモリのしきい値電圧と書き込み時間の関係を示す図。

【図 3】 本発明の不揮発性メモリの書き込み動作後のしきい値分布を表す図。

【図 4】 本発明の不揮発性メモリの全体構成を示す図。

【図 5】 本発明の不揮発性メモリの部分構成を示す図。

【図 6】 本発明の不揮発性メモリの部分構成を示す図。

【図 7】 本発明の不揮発性メモリの部分構成を示す図。

【図 8】 本発明の不揮発性メモリの書き込み動作を説明する回路図。

40

【図 9】 本発明の不揮発性メモリの書き込み時の動作点を示す図。

【図 10】 本発明の不揮発性メモリの読み出し動作を説明する回路図。

【図 11】 本発明の不揮発性メモリの読み出し時の動作点を示す図。

【図 12】 本発明の不揮発性メモリの消去動作を説明する回路図。

【図 13】 本発明の不揮発性メモリのしきい値分布を表す図。

【図 14】 本発明の不揮発性メモリのしきい値電圧と書き込み時間の関係を示す図。

【図 15】 本発明の不揮発性メモリの書き込み回路図。

【図 16】 本発明の不揮発性メモリの書き込み時のタイミングチャート。

【図 17】 本発明の不揮発性メモリの書き込み回路図。

【図 18】 本発明の不揮発性メモリの全体構成を示す図。

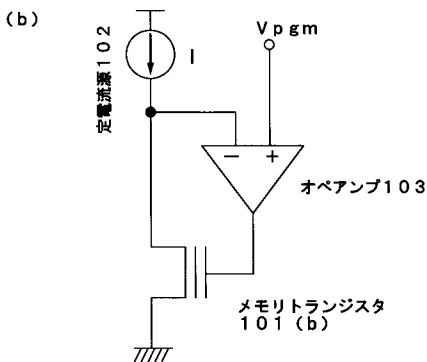
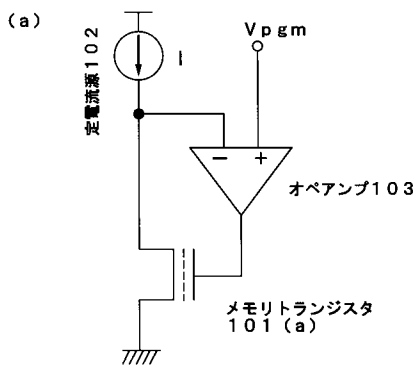
50

- 【図 19】 本発明の不揮発性メモリの部分構成を示す図。  
 【図 20】 本発明の不揮発性メモリの書き込み動作を説明する回路図。  
 【図 21】 本発明の不揮発性メモリの読み出し動作を説明する回路図。  
 【図 22】 本発明の不揮発性メモリの消去動作を説明する回路図。  
 【図 23】 本発明の不揮発性メモリを用いた半導体回路を示す図。  
 【図 24】 本発明の不揮発性メモリを用いた電子機器を示す図。  
 【図 25】 本発明の不揮発性メモリを用いた電子機器を示す図。  
 【図 26】 本発明の不揮発性メモリを構成するメモリ素子の断面図。  
 【符号の説明】

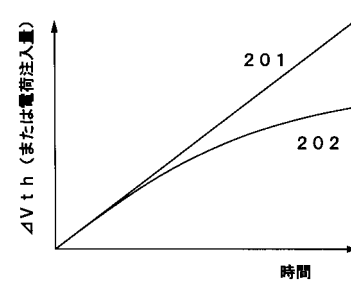
- 101 メモリトランジスタ  
 102 定電流源  
 103 オペアンプ

10

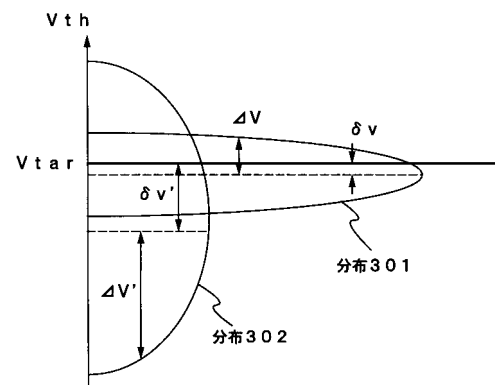
【図 1】



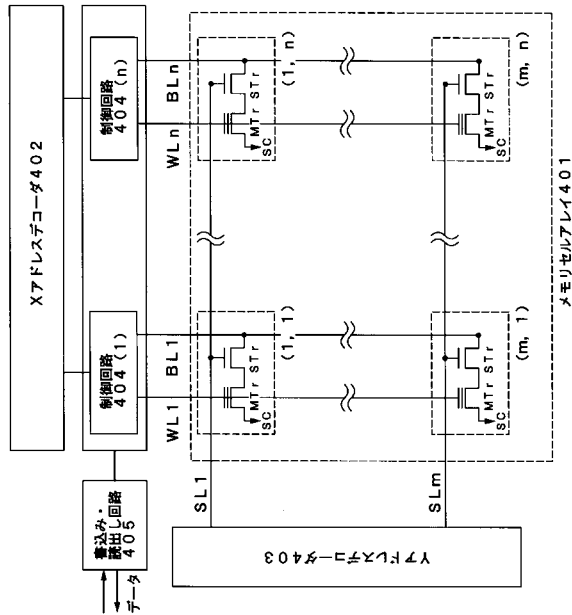
【図 2】



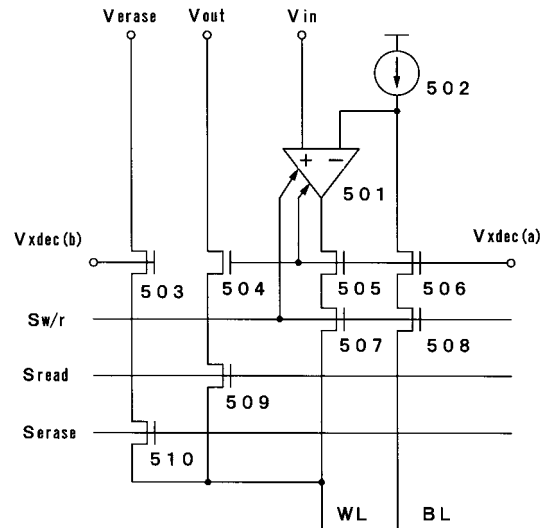
【図 3】



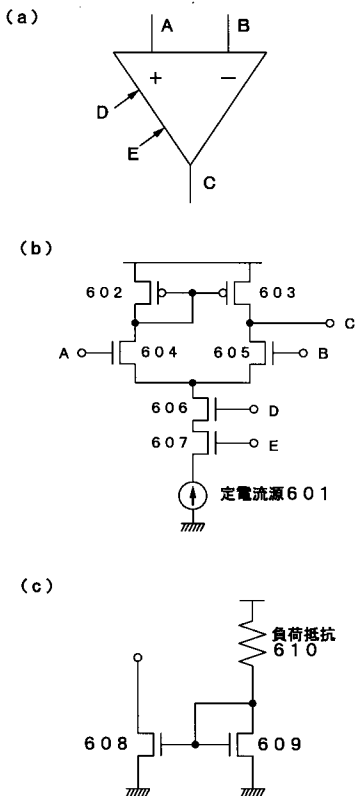
【図 4】



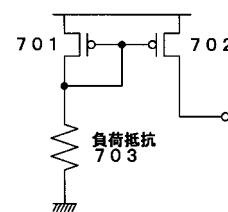
【図 5】



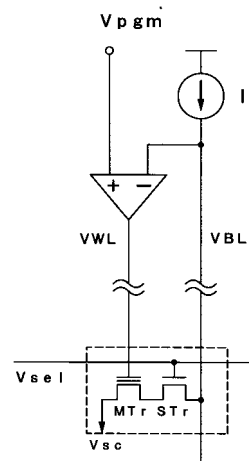
【図 6】



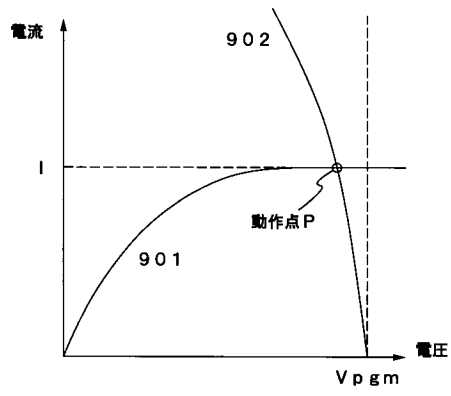
【図 7】



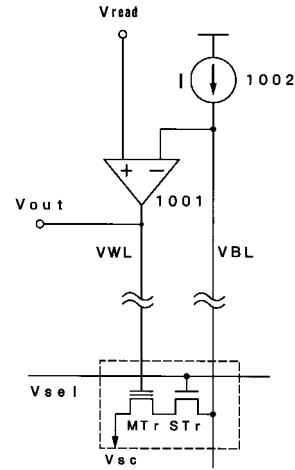
【図 8】



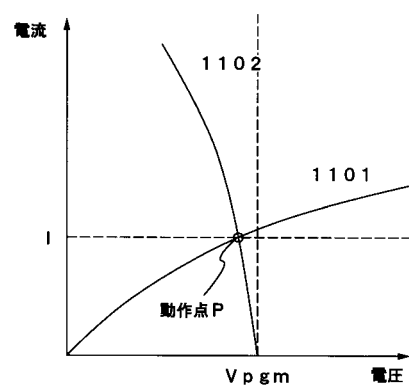
【図 9】



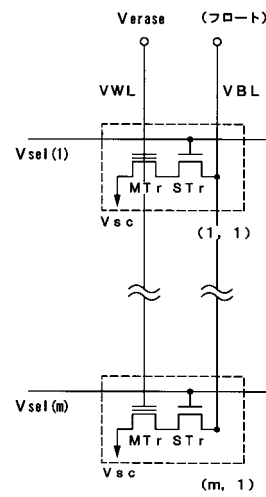
【図 10】



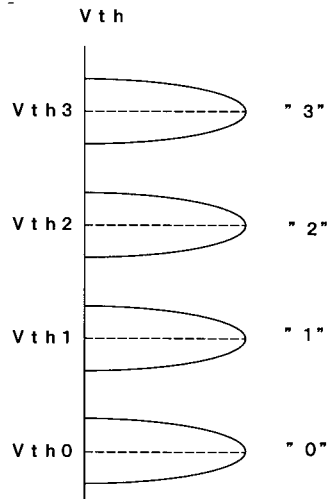
【図 11】



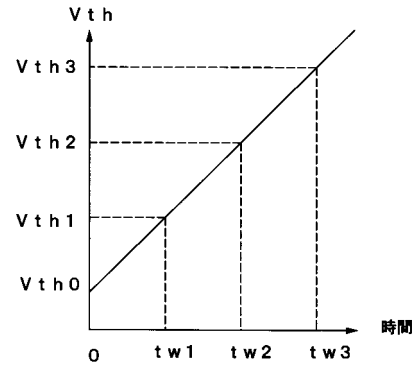
【図 12】



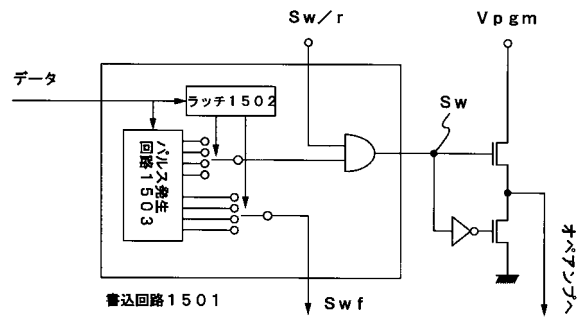
【図 13】



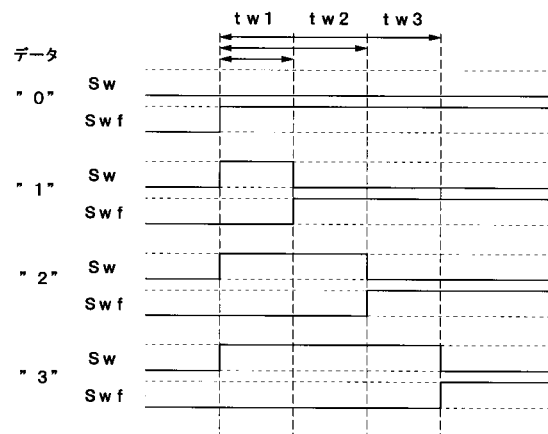
【図 14】



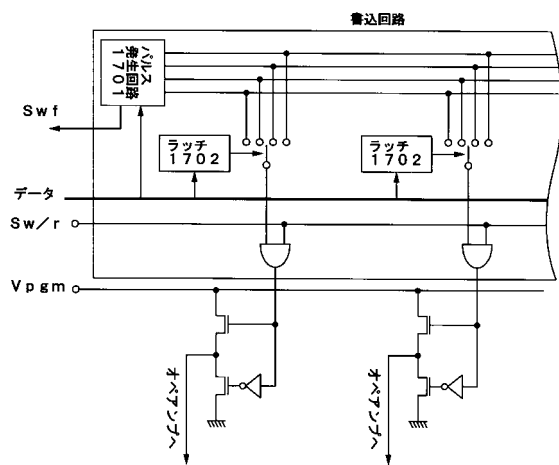
【図 15】



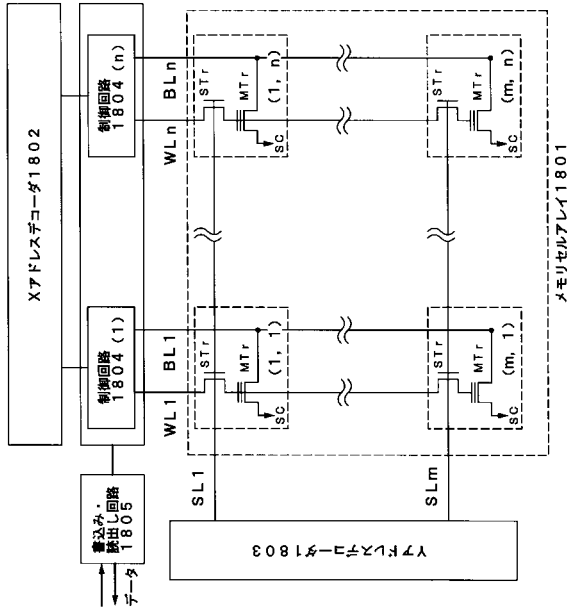
【図 16】



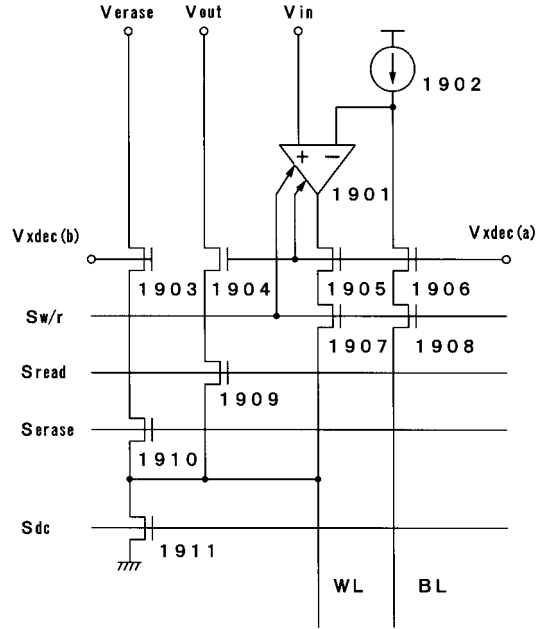
【図 17】



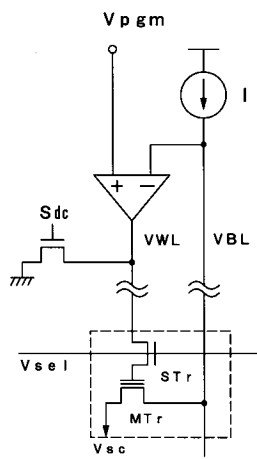
【図 18】



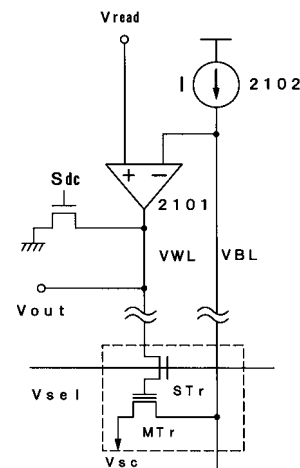
【図 19】



【図 20】

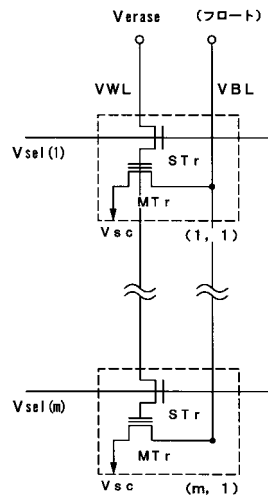


【図 21】

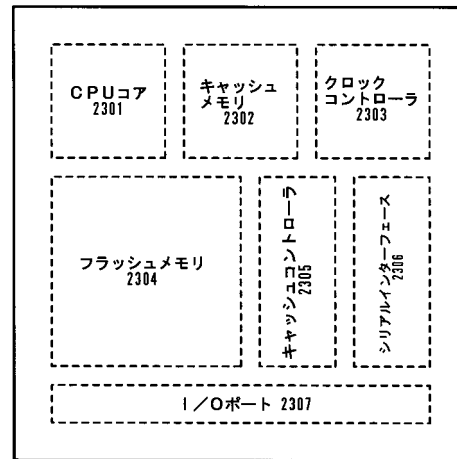




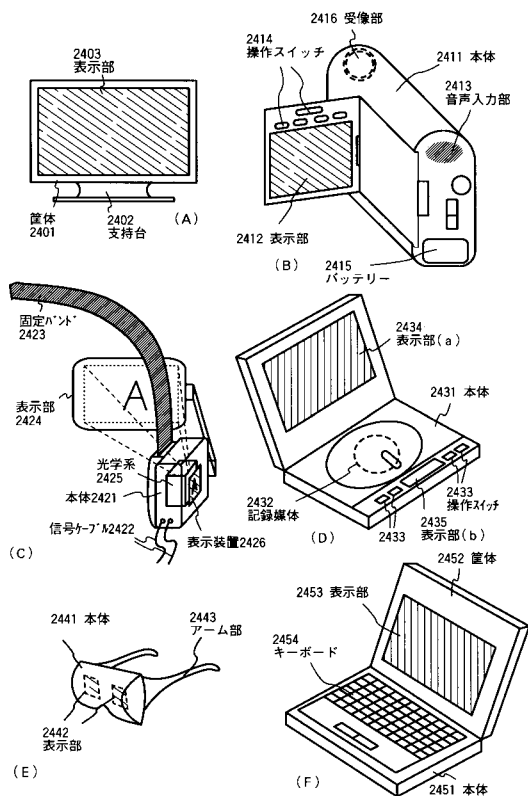
【図 22】



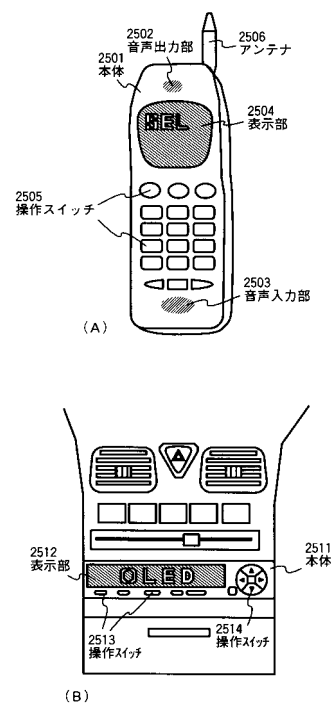
【図 23】



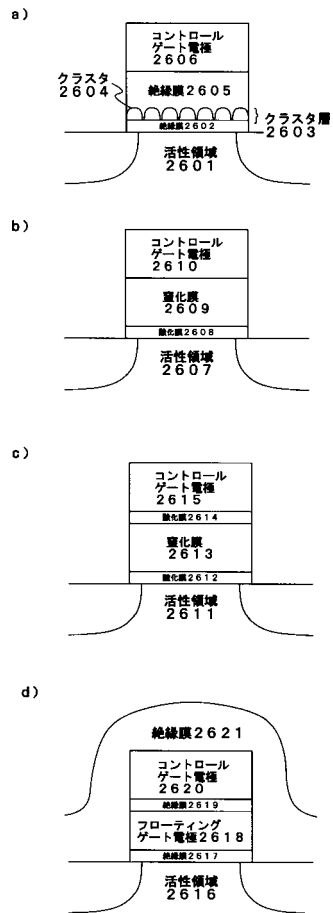
【図 24】



【図 25】



## 【図 26】



---

 フロントページの続き

(51)Int.Cl.		F I			
<i>H 0 1 L</i>	<i>29/788</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i>	<i>3 7 1</i>
<i>H 0 1 L</i>	<i>27/10</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/10</i>	<i>4 6 1</i>

(56)参考文献 米国特許第06466481(US,B1)  
 特開平11-191296(JP,A)  
 特開平10-199300(JP,A)  
 米国特許第05748534(US,A)  
 特開2001-015716(JP,A)

(58)調査した分野(Int.Cl.,DB名)  
 G11C 16/00 - 16/34