

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-86684  
(P2019-86684A)

(43) 公開日 令和1年6月6日(2019.6.6)

(51) Int.Cl.			F I			テーマコード (参考)
<b>G09F</b>	<b>9/30</b>	<b>(2006.01)</b>	G09F	9/30	338	2H092
<b>G02F</b>	<b>1/1343</b>	<b>(2006.01)</b>	G02F	1/1343		2H192
<b>G02F</b>	<b>1/1368</b>	<b>(2006.01)</b>	G02F	1/1368		5C094

審査請求 有 請求項の数 8 O L (全 17 頁)

(21) 出願番号 特願2017-215557 (P2017-215557)  
(22) 出願日 平成29年11月8日 (2017.11.8)

(71) 出願人 000005049  
シャープ株式会社  
大阪府堺市堺区匠町1番地  
(74) 代理人 110001036  
特許業務法人暁合同特許事務所  
(72) 発明者 秋山 泰人  
大阪府堺市堺区匠町1番地 シャープ株式会社内  
(72) 発明者 紙谷 晋吾  
大阪府堺市堺区匠町1番地 シャープ株式会社内  
Fターム(参考) 2H092 GA14 HA04 JA05 JA26 JA46  
JB16 JB23 JB58 JB69 JB73  
KA04 KA05 KA08 KA12 MA47  
NA23 QA09

最終頁に続く

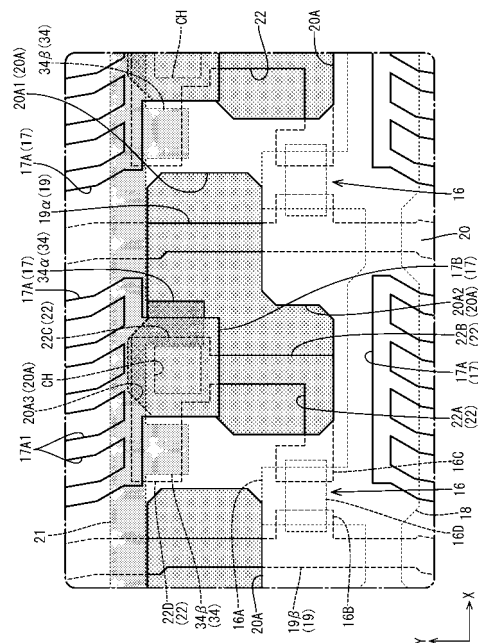
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】表示品位の低下を抑制する。

【解決手段】液晶表示装置10は、画素電極17と、画素電極17に供給する信号を伝送するソース配線(信号配線)19と、ソース配線19に対して間隔を空けた位置に配されて画素電極17に接続されるドレイン配線(画素電極接続配線)22と、ソース配線19と、画素電極17におけるドレイン配線22に対するドレイン配線接続部(接続箇所)17Bと、の間となる位置に配されて両者17B, 19間の電界を遮蔽する遮蔽部34と、を備える。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

画素電極と、  
前記画素電極に供給する信号を伝送する信号配線と、  
前記信号配線に対して間隔を空けた位置に配されて前記画素電極に接続される画素電極  
接続配線と、  
前記信号配線と、前記画素電極における前記画素電極接続配線に対する接続箇所と、の  
間となる位置に配されて両者間の電界を遮蔽する遮蔽部と、を備える表示装置。

## 【請求項 2】

前記画素電極、前記信号配線及び前記画素電極接続配線とは異なる層にて少なくとも前  
記画素電極と重畳するよう配される共通電極であって、少なくとも前記信号配線と前記画  
素電極における前記接続箇所とに跨る範囲の開口部を有する共通電極を備えており、  
前記遮蔽部には、前記開口部の少なくとも一部と重畳するよう配される開口重畳遮蔽部  
が含まれる請求項 1 記載の表示装置。

10

## 【請求項 3】

前記遮蔽部には、前記開口部とは非重畳となるよう配される開口非重畳遮蔽部が含まれ  
る請求項 2 記載の表示装置。

## 【請求項 4】

前記信号配線は、前記画素電極を挟み込むよう一対配されており、  
前記開口重畳遮蔽部及び前記開口非重畳遮蔽部は、前記画素電極における前記接続箇所  
を挟み込むよう配される請求項 3 記載の表示装置。

20

## 【請求項 5】

前記信号配線は、前記画素電極を挟み込むとともに前記接続箇所との間の距離が異なる  
よう一対配されており、  
前記共通電極は、前記開口部が、少なくとも前記接続箇所との間の距離が短い前記信号  
配線と前記接続箇所とに跨る範囲とされており、  
前記開口重畳遮蔽部は、一対の前記信号配線のうちの前記接続箇所との間の距離が短い  
前記信号配線と前記接続箇所との間となる位置に配されている請求項 2 から請求項 4 のい  
ずれか 1 項に記載の表示装置。

## 【請求項 6】

前記開口重畳遮蔽部は、前記画素電極における前記接続箇所の少なくとも一部と、前記  
画素電極接続配線の少なくとも一部と、にそれぞれ重畳するよう配される請求項 2 から請  
求項 5 のいずれか 1 項に記載の表示装置。

30

## 【請求項 7】

前記共通電極は、前記開口部が前記信号配線及び前記画素電極における前記接続箇所に  
加えて前記画素電極接続配線にわたる範囲とされる請求項 2 から請求項 6 のいずれか 1 項  
に記載の表示装置。

## 【請求項 8】

前記信号配線と交差する形で延在し、前記画素電極及び前記信号配線とは異なる層にて  
前記画素電極の一部と重畳するよう配される容量配線を備えており、  
前記遮蔽部は、前記容量配線に接続されている請求項 1 から請求項 7 のいずれか 1 項に  
記載の表示装置。

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、表示装置に関する。

## 【背景技術】

## 【0002】

従来、液晶表示素子の一例として下記特許文献 1 に記載されたものが知られている。特  
許文献 1 に記載された液晶表示素子は、F F S モードであり、その単位画素は、ゲート電

50

極とドレイン電極とが重畳する部分に対応する板状（べた状）のコモン電極上の領域に、第1リペア領域としてリペア用開口部が設けられた構造となっている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2007-52128号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記した特許文献1に記載された液晶表示素子によれば、リペア用開口部にレーザー照射を行ってドレイン電極を切断することで、ゲート電極とコモン電極とが短絡することを防止することができる。しかしながら、コモン電極にリペア用開口部を設けると、リペア用開口部を通して画素電極とデータラインとの間に電界が生じ、その電界によって生じる寄生容量に起因して表示品位が低下するおそれがあった。

10

【0005】

本発明は上記のような事情に基づいて完成されたものであって、表示品位の低下を抑制することを目的とする。

【課題を解決するための手段】

【0006】

本発明の表示装置は、画素電極と、前記画素電極に供給する信号を伝送する信号配線と、前記信号配線に対して間隔を空けた位置に配されて前記画素電極に接続される画素電極接続配線と、前記信号配線と、前記画素電極における前記画素電極接続配線に対する接続箇所と、の間となる位置に配されて両者間の電界を遮蔽する遮蔽部と、を備える。

20

【0007】

このようにすれば、画素電極には、信号配線に伝送される信号に基づく電位が画素電極接続配線を介して供給される。遮蔽部は、信号配線と、画素電極における画素電極接続配線に対する接続箇所と、の間となる位置に配されていて、両者の間に生じる電界を遮蔽する。これにより、信号配線と画素電極における接続箇所との間の電界により生じる寄生容量が抑制され、もって表示品位の低下が抑制される。

【発明の効果】

30

【0008】

本発明によれば、表示品位の低下を抑制することができる。

【図面の簡単な説明】

【0009】

【図1】本発明の実施形態1に係るドライバを実装した液晶パネルとフレキシブル基板と制御回路基板との接続構成を示す概略平面図

【図2】液晶パネルを構成するアレイ基板の表示領域における平面構成を概略的に示す平面図

【図3】アレイ基板の表示領域におけるTFT付近を拡大した平面図

【図4】図2のA-A線断面図

40

【図5】図2のB-B線断面図

【図6】比較実験の実験結果を示す表

【図7】本発明の実施形態2に係るアレイ基板の表示領域におけるTFT付近を拡大した平面図

【図8】本発明の実施形態3に係るアレイ基板の表示領域におけるTFT付近を拡大した平面図

【発明を実施するための形態】

【0010】

<実施形態1>

本発明の実施形態1を図1から図6によって説明する。本実施形態では、液晶表示装置

50

10に備わる液晶パネル(表示パネル)11について例示する。なお、各図面の一部にはX軸、Y軸及びZ軸を示しており、各軸方向が各図面で示した方向となるように描かれている。また、図4及び図5の上側を表側とし、下側を裏側とする。

#### 【0011】

液晶表示装置10は、図1に示すように、画像を表示可能な液晶パネル11と、液晶パネル11を駆動するドライバ(パネル駆動部、駆動回路部)12と、ドライバ12に対して各種入力信号を外部から供給する制御回路基板(外部の信号供給源)13と、液晶パネル11と制御回路基板13とを電氣的に接続するフレキシブル基板(外部接続部品)14と、液晶パネル11に対して裏側に配されて液晶パネル11に表示のための光を照射する外部光源であるバックライト装置(図示せず)と、を有する。ドライバ12及びフレキシブル基板14は、液晶パネル11に対してACF(Anisotropic Conductive Film)を介して実装されている。

10

#### 【0012】

液晶パネル11は、図1に示すように、全体として縦長な方形状(矩形状)をなしている。液晶パネル11の板面のうち、中央側には、画像を表示可能な表示領域(アクティブエリア)AAが配される。液晶パネル11の板面のうち、表示領域AAを取り囲む形で外周側には、平面に視て枠状(額縁状)をなす非表示領域(ノンアクティブエリア)NAAが配される。液晶パネル11における短辺方向が各図面のX軸方向と一致し、長辺方向が各図面のY軸方向と一致し、さらには板厚方向がZ軸方向と一致している。なお、図1では、一点鎖線が表示領域AAの外形を表しており、当該一点鎖線よりも外側の領域が非表示領域NAAとなっている。液晶パネル11は、ガラス製の一对の基板11A、11Bを少なくとも有しており、そのうち表側(正面側)がCF基板(対向基板)11Aとされ、裏側(背面側)がアレイ基板(薄膜トランジスタ基板、アクティブマトリクス基板、TFT基板)11Bとされる。なお、両基板11A、11Bの外面側には、それぞれ図示しない偏光板が貼り付けられている。

20

#### 【0013】

アレイ基板11Bの表示領域AAにおける内面側には、図2に示すように、スイッチング素子であるTFT(薄膜トランジスタ)16及び画素電極17が多数個マトリクス状(行列状)に並んで設けられる。TFT16及び画素電極17の周りには、格子状をなすゲート配線(走査配線)18及びソース配線(信号配線、データ線)19が取り囲むようにして配設されている。ゲート配線18は、X軸方向に沿って直線状に延在するのに対し、ソース配線19は、概ねY軸方向に沿ってジグザグ状に延在している。TFT16は、ゲート配線18に接続されるゲート電極16Aと、ソース配線19に接続されるソース電極16Bと、後述するドレイン配線22を介して画素電極17に接続されるドレイン電極16Cと、ソース電極16B及びドレイン電極16Cに接続されるチャンネル部16Dと、を有する。そして、TFT16は、ゲート配線18に供給される走査信号に基づいて駆動される。すると、ソース配線19に供給される画像信号に係る電位がチャンネル部16Dを介してドレイン電極16Cに供給され、もって画素電極17が画像信号に係る電位に充電される。なお、ソース配線19は、表示領域AAをY軸方向に沿って全長にわたって縦断し、両端部が非表示領域NAAに配されているが、このうちの両端部には、非表示領域NAAに引き回された予備配線(図示せず)が、後述するゲート絶縁膜26を介して重畳配置されている。ソース配線19に断線や短絡などの不具合が生じた場合には、ソース配線19を途中で切断するとともに、両端部と予備配線とを短絡させることで、予備配線を経由する形で修理対象のソース配線19に接続された各TFT16に画像信号を供給することが可能となっている。

30

40

#### 【0014】

画素電極17は、図2に示すように、一對ずつのゲート配線18及びソース配線19により囲まれた縦長の概ね方形の領域に配されており、その長辺部分がソース配線19に並行してジグザグ状をなしている。画素電極17には、自身の長辺部分に沿って延在する複数(図2では4本)のスリット17A1が開口形成されている。アレイ基板11Bの表示

50

領域 A A の内面側には、画素電極 1 7 と重畳する形で概ねベタ状の共通電極 2 0 が形成されている。共通電極 2 0 の詳しい構成については後に改めて説明する。互いに重畳する画素電極 1 7 と共通電極 2 0 との間に電位差が生じると、後述する液晶層 1 1 C には、アレ基板 1 1 B の板面に沿う成分に加えて、アレ基板 1 1 B の板面に対する法線方向の成分を含むフリンジ電界（斜め電界）がスリット 1 7 A 1 付近に印加される。つまり、本実施形態に係る液晶パネル 1 1 は、動作モードが F F S (Fringe Field Switching) モードとされる。さらには、画素電極 1 7 を Y 軸方向について両側から挟み込む一対のゲート配線 1 8 の間となる位置には、複数ずつの画素電極 1 7 及びソース配線 1 9 を横切る形でゲート配線 1 8 に並行する容量配線 2 1 が設けられている。容量配線 2 1 は、画素電極 1 7 及びソース配線 1 9 とは異なる層に配されるとともに画素電極 1 7 の一部と重畳しており、画素電極 1 7 との間で静電容量を形成している。この容量配線 2 1 により、T F T 1 6 の駆動に伴って充電された画素電極 1 7 の電位を一定期間保持することが可能とされる。容量配線 2 1 は、ゲート配線 1 8 と同層に配されている。好ましくは、容量配線 2 1 は、共通電極 2 0 と同電位とされるが、必ずしもその限りではない。

10

20

30

40

50

#### 【0015】

より詳しくは、T F T 1 6 は、図 3 に示すように、接続対象とされる画素電極 1 7 に対して Y 軸方向について図 3 に示す下側に隣り合う配置とされる。T F T 1 6 を構成するゲート電極 1 6 A は、ゲート配線 1 8 から分岐されており、ゲート配線 1 8 から Y 軸方向に沿って画素電極 1 7 側に突出している。T F T 1 6 を構成するソース電極 1 6 B は、ソース配線 1 9 から分岐されており、ソース配線 1 9 から X 軸方向に沿ってゲート電極 1 6 A 側に突出するとともにその突出先端部がゲート電極 1 6 A と重畳している。T F T 1 6 を構成するドレイン電極 1 6 C は、ソース電極 1 6 B に対して X 軸方向について間隔を空けて配されるとともにその一部がゲート電極 1 6 A と重畳している。ドレイン電極 1 6 C は、ソース電極 1 6 B と同層に配されている。ドレイン電極 1 6 C には、次述するドレイン配線（画素電極接続配線）2 2 の一端側が接続されている。T F T 1 6 を構成するチャンネル部 1 6 D は、後述するゲート絶縁膜 2 6 を介してゲート電極 1 6 A と重畳するとともに、ソース電極 1 6 B 及びドレイン電極 1 6 C にそれぞれ接続されている。チャンネル部 1 6 D は、ゲート電極 1 6 A を横切りつつ X 軸方向に沿って延在し、その一端側がソース電極 1 6 B に、他端側がドレイン電極 1 6 C に、それぞれ接続されている。

#### 【0016】

ドレイン配線 2 2 に関して詳しく説明する。ドレイン配線 2 2 は、ドレイン電極 1 6 C と同層に配されており、図 3 に示すように、ドレイン電極 1 6 C 側とは反対側の他端側が画素電極 1 7 に接続されている。より詳しくは、ドレイン配線 2 2 は、ドレイン電極 1 6 C から X 軸方向に沿ってソース電極 1 6 B 側とは反対側（図 3 に示す右側）に向けて延出する第 1 配線部 2 2 A と、第 1 配線部 2 2 A から屈曲されて Y 軸方向に沿って画素電極 1 7 側（図 3 に示す上側）に向けて延出する第 2 配線部 2 2 B と、第 2 配線部 2 2 B の延出先端部であって画素電極 1 7 に接続される電極接続部 2 2 C と、を有する。さらには、ドレイン配線 2 2 は、第 2 配線部 2 2 B の電極接続部 2 2 C にて再び屈曲されて X 軸方向に沿って T F T 1 6 の接続対象となるソース配線 1 9 側（図 3 に示す左側）に向けて延出する第 3 配線部 2 2 D を有する。このように、ドレイン配線 2 2 は、全体として平面に視て折り返し状をなしている。このドレイン配線 2 2 の接続対象である画素電極 1 7 は、既述したスリット 1 7 A 1 が形成される電極本体 1 7 A と、電極本体 1 7 A から Y 軸方向に沿って T F T 1 6 側に向けて突出してドレイン配線 2 2 に接続されるドレイン配線接続部（接続箇所）1 7 B と、を有する。互いに接続されるドレイン配線接続部 1 7 B 及び電極接続部 2 2 C は、Y 軸方向について容量配線 2 1 と第 2 配線部 2 2 B との間となる位置に配されている。ドレイン配線接続部 1 7 B 及び電極接続部 2 2 C は、画素電極 1 7 を X 軸方向について両側から挟み込む一対のソース配線 1 9 の間の中間位置に対して X 軸方向について偏在しており、具体的には図 3 に示す右側のソース配線 1 9 寄りの配置となっている。つまり、画素電極 1 7 を挟み込む一対のソース配線 1 9 には、ドレイン配線接続部 1 7 B 及び電極接続部 2 2 C との間の距離が相対的に短い第 1 ソース配線（第 1 信号配線）1

9 と、ドレイン配線接続部 17B 及び電極接続部 22C との間の距離が相対的に長い第 2 ソース配線 (第 2 信号配線) 19 と、が含まれている、と言える。なお、以下の説明及び図 3 では、画素電極 17 を挟み込む一対のソース配線 19 を、ドレイン配線接続部 17B 及び電極接続部 22C との間の距離に応じて区別しており、具体的には、上記距離が相対的に短いものを第 1 ソース配線として符号に添え字「」を付すのに対し、上記距離が相対的に長いものを第 2 ソース配線として符号に添え字「」を付している。第 1 ソース配線 19 は、第 2 ソース配線 19 に比べると、ドレイン配線接続部 17B 及び電極接続部 22C に対して近い配置とされる。第 1 ソース配線 19 に比べてドレイン配線接続部 17B 及び電極接続部 22C から遠い配置の第 2 ソース配線 19 には、ソース電極 16B が設けられている。つまり、画素電極 17 を挟み込む一対のソース配線 19 のうちの第 2 ソース配線 19 が上記画素電極 17 の接続対象とされており、第 1 ソース配線 19 は、上記画素電極 17 の接続対象外であり、上記画素電極 17 に対して図 3 に示す右側に隣り合う画素電極 17 の接続対象とされる。

10

20

30

40

50

#### 【0017】

液晶パネル 11 を構成する両基板 11A, 11B 間には、図 4 に示すように、電界印加に伴って光学特性が変化する物質である液晶分子を含む図示しない液晶層 11C が設けられている。液晶層 11C を介してアレイ基板 11B と対向状をなす CF 基板 11A の表示領域 AA における内面側には、アレイ基板 11B 側の各画素電極 17 と対向状をなす位置に多数個のカラーフィルタ 23 がマトリクス状に並んで設けられている。カラーフィルタ 23 は、R (赤色), G (緑色), B (青色) の三色が所定の順で繰り返し並んで配されてなる。また、各カラーフィルタ 23 間には、混色を防ぐための遮光部 (ブラックマトリクス) 24 が形成されている。なお、両基板 11A, 11B における液晶層 11C 側の最内面には、液晶層 11C に含まれる液晶分子の配向を規制するための配向膜 (図示せず) がそれぞれ設けられている。

#### 【0018】

続いて、アレイ基板 11B の内面側に積層形成された各種の膜について説明する。アレイ基板 11B には、図 4 に示すように、下層側から順に第 1 金属膜 (ゲート金属膜) 25、ゲート絶縁膜 26、半導体膜 27、第 2 金属膜 (ソース金属膜) 28、第 1 層間絶縁膜 29、平坦化膜 30、第 1 透明電極膜 31、第 2 層間絶縁膜 32、第 2 透明電極膜 33 が積層形成されている。

#### 【0019】

第 1 金属膜 25 は、異なる種類の金属材料を積層してなる積層膜または 1 種類の金属材料からなる単層膜とされ、図 3 及び図 4 に示すように、ゲート配線 18 及び容量配線 21 や TFT 16 のゲート電極 16A や予備配線などを構成する。ゲート絶縁膜 26 は、SiN<sub>x</sub> や SiO<sub>2</sub> などの無機絶縁材料 (無機材料) からなる。半導体膜 27 は、材料として例えば酸化物半導体を用いた薄膜からなり、TFT 16 を構成するチャネル部 16D などを構成する。第 2 金属膜 28 は、第 1 金属膜 25 と同様に、積層膜または単層膜とされ、ソース配線 19 及びドレイン配線 22 や TFT 16 のソース電極 16B 及びドレイン電極 16C などを構成する。第 1 層間絶縁膜 29 は、ゲート絶縁膜 26 と同様に無機絶縁材料からなる。平坦化膜 30 は、例えば PMMA (アクリル樹脂) などの有機絶縁材料 (有機材料) からなり、その膜厚が無機樹脂材料からなる他の絶縁膜 26, 29, 32 よりも大きい。この平坦化膜 30 によりアレイ基板 11B の表面が平坦化される。第 1 透明電極膜 31 は、例えば ITO などの透明電極材料からなり、共通電極 20 を構成する。第 2 層間絶縁膜 32 は、ゲート絶縁膜 26 などと同様に無機絶縁材料からなる。第 2 透明電極膜 33 は、第 1 透明電極膜 31 と同様に透明電極材料からなり、画素電極 17 を構成する。第 1 層間絶縁膜 29、平坦化膜 30 及び第 2 層間絶縁膜 32 には、第 2 透明電極膜 33 からなる画素電極 17 を第 2 金属膜 28 からなるドレイン配線 22 に接続するためのコンタクトホール CH が開口形成されている。コンタクトホール CH は、画素電極 17 のドレイン配線接続部 17B と、ドレイン配線 22 の電極接続部 22C と、の双方と平面に視て重畳する位置に配されている。このコンタクトホール CH を除いて第 1 層間絶縁膜 29、平坦

化膜 30 及び第 2 層間絶縁膜 32 は、少なくとも表示領域 AA の全域にわたってベタ状に形成されている。

【0020】

ところで、共通電極 20 には、図 2 に示すように、少なくともソース配線 19 と画素電極 17 におけるドレイン配線接続部 17B とに跨る範囲の開口部 20A が設けられている。なお、図 2 及び図 3 では、開口部 20A の形成範囲を、後述する遮蔽部 34 とは異なる網掛け状にして図示している。本実施形態に係る開口部 20A は、ソース配線 19 及び画素電極 17 におけるドレイン配線接続部 17B に加えてドレイン配線 22 に跨る範囲を有している。詳しくは、開口部 20A は、図 3 に示すように、第 1 ソース配線 19 と重畳し且つ X 軸方向について第 1 ソース配線 19 の両側方領域に広がる範囲の第 1 開口部 20A1 と、ドレイン配線 22 と重畳し且つ X 軸方向についてドレイン配線 22 の両側方領域に広がる範囲の第 2 開口部 20A2 と、ドレイン配線接続部 17B、電極接続部 22C 及びコンタクトホール CH と重畳する範囲の第 3 開口部 20A3 と、を相互に連ねた構成とされる。このうち、第 3 開口部 20A3 は、共通電極 20 よりも上層側に配された画素電極 17 のドレイン配線接続部 17B が、共通電極 20 よりも下層側に配されたドレイン配線 22 の電極接続部 22C に達するようコンタクトホール CH に通される途中で共通電極 20 と短絡するのを防ぐためのものである。第 1 開口部 20A1 及び第 2 開口部 20A2 は、修理に際してソース配線 19 やドレイン配線 22 にレーザ光を照射した場合に、ソース配線 19 やドレイン配線 22 が共通電極 20 と短絡するのを防ぐためのものである。

10

【0021】

具体的には、例えば第 1 ソース配線 19 がゲート配線 18 と短絡する不具合が生じた場合には、上記した第 1 開口部 20A1 を通して第 1 ソース配線 19 にレーザ光を照射し、第 1 ソース配線 19 を切断するとともに、その第 1 ソース配線 19 を予備配線に接続するようにして修理を行う。この修理により、第 1 ソース配線 19 に接続された各 TFT 16 に、予備配線を経由して画像信号を供給することができる。このとき、第 1 開口部 20A1 は、第 1 ソース配線 19 とその両側方領域に広がっているため、第 1 ソース配線 19 におけるレーザ光の照射箇所が共通電極 20 と短絡する事態が生じるのが回避される。また、例えばゲート配線 18 とドレイン配線 22 とが短絡したり、ゲート電極 16A とドレイン電極 16C とが短絡したりする不具合が生じた場合には、上記した第 2 開口部 20A2 を通してドレイン配線 22 の第 2 配線部 22B にレーザ光を照射し、第 2 配線部 22B を切断するとともに、容量配線 21 を画素電極 17 に短絡させるようにして修理を行う。この修理により、ゲート配線 18 (ゲート電極 16A) とドレイン配線 22 (ドレイン電極 16C) との短絡に起因して輝点化する画素を黒点化することができる。このとき、第 2 開口部 20A2 は、ドレイン配線 22 とその両側方領域に広がっているため、ドレイン配線 22 におけるレーザ光の照射箇所が共通電極 20 と短絡する事態が生じるのが回避される。その一方、共通電極 20 が上記のような開口部 20A を有する構成とされると、第 1 ソース配線 19 と画素電極 17 におけるドレイン配線接続部 17B との間には、共通電極 20 が非配置となるため、第 1 ソース配線 19 とドレイン配線接続部 17B との間に電界が生じ易くなる。このため、第 1 ソース配線 19 とドレイン配線接続部 17B との間の電界により生じる寄生容量に起因して表示品位が低下することが懸念される。

20

30

40

【0022】

そこで、本実施形態に係るアレイ基板 11B には、図 3 及び図 5 に示すように、ソース配線 19 と画素電極 17 におけるドレイン配線 22 に対するドレイン配線接続部 17B との間となる位置に配されて両者 17B, 19 間の電界を遮蔽する遮蔽部 34 が設けられている。遮蔽部 34 は、ゲート配線 18 及び容量配線 21 と同じ第 1 金属膜 25 からなり、容量配線 21 に連ねられている。なお、図 3 では、遮蔽部 34 及び遮蔽部 34 に連なる容量配線 21 の形成範囲を、開口部 20A とは異なる網掛け状にして図示している。このように、ソース配線 19 と画素電極 17 のドレイン配線接続部 17B との間となる位置に配される遮蔽部 34 により両者 17B, 19 の間に生じる電界を遮蔽することができる。こ

50

れにより、ソース配線 19 と画素電極 17 におけるドレイン配線接続部 17 B との間の電界により生じる寄生容量が抑制され、もって表示品位の低下が抑制される。その上、遮蔽部 34 は、共通電極 20 と同電位とされる容量配線 21 に接続されているので、十分な遮蔽効果を発揮することができる。しかも、容量配線 21 は、例えば走査信号を伝送するゲート配線 18 に比べると、低電位に保たれているから、遮蔽部 34 の遮蔽性能が安定化し、高い信頼性が得られる。

#### 【0023】

遮蔽部 34 は、図 3 及び図 5 に示すように、画素電極 17 を挟み込む一对のソース配線 19 と、画素電極 17 におけるドレイン配線接続部 17 B と、の間となる位置にそれぞれ配されている。遮蔽部 34 は、各ドレイン配線接続部 17 B を X 軸方向について両側から挟み込む形で一対ずつ配されている。ドレイン配線接続部 17 B を挟み込む一对の遮蔽部 34 は、容量配線 21 から Y 軸方向に沿ってゲート配線 18 側に向けて突出しており、平面形状が略方形とされる。容量配線 21 には、各画素電極 17 に対して一対ずつ配された遮蔽部 34 がそれぞれ重ねられている。ドレイン配線接続部 17 B を挟み込む一对の遮蔽部 34 には、開口部 20 A の少なくとも一部と重畳するよう配される開口重畳遮蔽部 34 と、開口部 20 A とは非重畳となるよう配される開口非重畳遮蔽部 34 と、が含まれている。なお、以下の説明では、ドレイン配線接続部 17 B を挟み込む一对の遮蔽部 34 を区別する場合には、開口部 20 A と重畳するものを開口重畳遮蔽部として符号に添え字「<sub>1</sub>」を付すのに対し、開口部 20 A と重畳しないものを開口非重畳遮蔽部として符号に添え字「<sub>2</sub>」を付している。

#### 【0024】

開口重畳遮蔽部 34<sub>1</sub> は、図 3 及び図 5 に示すように、開口部 20 A のうちの第 1 開口部 20 A<sub>1</sub> と第 3 開口部 20 A<sub>3</sub> とに跨る範囲に配されている。つまり、開口重畳遮蔽部 34<sub>1</sub> は、一对のソース配線 19 のうちのドレイン配線接続部 17 B との間の距離が短い第 1 ソース配線 19 とドレイン配線接続部 17 B との間となる位置に配されている。ここで、上記距離が短い第 1 ソース配線 19 は、同距離が長い第 2 ソース配線 19 に比べると、画素電極 17 におけるドレイン配線接続部 17 B との間に生じる電界が強く、寄生容量が大きくなる傾向にある。しかも、共通電極 20 の開口部 20 A が第 1 ソース配線 19 と画素電極 17 におけるドレイン配線接続部 17 B とに跨る範囲とされているため、第 1 ソース配線 19 と画素電極 17 におけるドレイン配線接続部 17 B との間に電界がより生じ易くなっている。その点、開口重畳遮蔽部 34<sub>1</sub> は、第 1 ソース配線 19 と画素電極 17 におけるドレイン配線接続部 17 B との間となる位置に配されているので、電界を効率的に遮蔽することができる。これにより、寄生容量を効率的に低下させることができ、もってソース配線 19 の修正を可能としつつ表示品位の低下が好適に抑制される。また、開口重畳遮蔽部 34<sub>1</sub> は、画素電極 17 のドレイン配線接続部 17 B 及びドレイン配線 22 の電極接続部 22 C の一部ずつと重畳するよう配されている。このようにすれば、開口重畳遮蔽部 34<sub>1</sub> と、画素電極 17 におけるドレイン配線接続部 17 B の一部及びドレイン配線 22 の一部と、の間にそれぞれ電界が生じることで、第 1 ソース配線 19 と画素電極 17 におけるドレイン配線接続部 17 B との間に生じる電界をより効率的に遮蔽することができる。これにより、表示品位の低下がより好適に抑制される。

#### 【0025】

開口非重畳遮蔽部 34<sub>2</sub> は、図 3 及び図 5 に示すように、一对のソース配線 19 のうちのドレイン配線接続部 17 B との間の距離が長い第 2 ソース配線 19 とドレイン配線接続部 17 B との間となる位置に配されている。開口非重畳遮蔽部 34<sub>2</sub> は、その大部分がドレイン配線 22 における第 3 配線部 22 D と重畳する配置とされる。一方、開口非重畳遮蔽部 34<sub>2</sub> は、画素電極 17 におけるドレイン配線接続部 17 B とは非重畳の配置とされる。開口非重畳遮蔽部 34<sub>2</sub> は、開口部 20 A とは非重畳の配置とされているものの、上記のように第 2 ソース配線 19 とドレイン配線接続部 17 B との間となる位置に配されることで、第 2 ソース配線 19 とドレイン配線接続部 17 B との間に生じる電界を遮蔽することができる。これにより、表示品位の低下がより好適に抑制される。しかも、既

述した通り、開口重畳遮蔽部 34 及び開口非重畳遮蔽部 34 は、画素電極 17 におけるドレイン配線接続部 17B を挟み込むよう配されているので、画素電極 17 を挟み込むよう配される一対のソース配線 19 と画素電極 17 におけるドレイン配線接続部 17B との間に生じる各電界を、開口重畳遮蔽部 34 及び開口非重畳遮蔽部 34 によってそれぞれ遮蔽することができる。これにより、表示品位の低下がさらに好適に抑制される。

#### 【0026】

ここで、各ソース配線 19 と画素電極 17 におけるドレイン配線接続部 17B との間にそれぞれ生じる寄生容量が、開口非重畳遮蔽部 34 の有無に応じてどのように変化するかに関して知見を得るべく、以下の比較実験を行った。この比較実験では、開口重畳遮蔽部 34 については形成するものの開口非重畳遮蔽部 34 を非形成とした構成の比較例と、開口重畳遮蔽部 34 及び開口非重畳遮蔽部 34 を両方とも形成した構成の実施例と、を用いている。比較例は、開口非重畳遮蔽部 34 が非形成とされる点を除いて、本段落以前に説明した液晶パネル 11 と同様の構成である。実施例は、本段落以前に説明した液晶パネル 11 と同様の構成である。比較実験では、上記した比較例及び実施例に関し、第 1 ソース配線 19 とドレイン配線接続部 17B との間に生じる寄生容量  $C_{sd1}$  と、第 2 ソース配線 19 とドレイン配線接続部 17B との間に生じる寄生容量  $C_{sd2}$  と、をそれぞれ測定しており、その結果は図 6 に示す通りである。図 6 の表には、比較例及び実施例における各寄生容量  $C_{sd1}$ 、 $C_{sd2}$  の値（単位は「pF」）と、各寄生容量  $C_{sd1}$ 、 $C_{sd2}$  に関する比較例と実施例との差分の値（単位は「pF」）と、上記差分の値を比較例における各寄生容量  $C_{sd1}$ 、 $C_{sd2}$  の値にて除して算出した改善率（単位は「%」）と、が示されている。

#### 【0027】

比較実験の実験結果について説明する。図 6 によれば、まず、比較例及び実施例のいずれにおいても寄生容量  $C_{sd1}$  の値が寄生容量  $C_{sd2}$  の値よりも大きい。これは、第 1 ソース配線 19 が第 2 ソース配線 19 よりもドレイン配線接続部 17B の近くに配されているため、第 1 ソース配線 19 とドレイン配線接続部 17B との間に生じる電界が、第 2 ソース配線 19 とドレイン配線接続部 17B との間に生じる電界よりも強い結果と推考される。次に、実施例は、比較例よりも各寄生容量  $C_{sd1}$ 、 $C_{sd2}$  の値がそれぞれ低下しており、寄生容量  $C_{sd1}$  に関する比較例と実施例との差分の値（ $0.000158$  pF）が寄生容量  $C_{sd2}$  に関する比較例と実施例との差分の値（ $0.000018$  pF）よりも大きくなっていると同時に、寄生容量  $C_{sd1}$  の改善率（ $27.0\%$ ）が寄生容量  $C_{sd2}$  の改善率（ $7.6\%$ ）よりも高くなっている。これは、実施例に備わる開口重畳遮蔽部 34 は、第 1 ソース配線 19 とドレイン配線接続部 17B との間となる配置とされているので、第 1 ソース配線 19 とドレイン配線接続部 17B との間に生じる電界が開口重畳遮蔽部 34 によって効率的に遮蔽された結果と推考される。続いて、実施例における寄生容量  $C_{sd1}$  と寄生容量  $C_{sd2}$  との差分の値（ $0.000210$  pF）は、比較例における寄生容量  $C_{sd1}$  と寄生容量  $C_{sd2}$  との差分の値（ $0.000350$  pF）よりも小さくなっている。この結果は、上記した改善率の値の差に因るものと推考される。ここで、表示品位の判定に際しては、寄生容量  $C_{sd1}$  と寄生容量  $C_{sd2}$  との差分の絶対値を、画素に関わる全ての静電容量の和（具体的には、画素電極 17 と共通電極 20 との間の静電容量  $C_{lc}$ （液晶容量）と、画素電極 17 と容量配線 21 との間の静電容量と、ゲート配線 18 とドレイン配線 22 との間の寄生容量と、上記寄生容量  $C_{sd1}$  と、上記寄生容量  $C_{sd2}$  と、の和）にて除した値を算出し、その値が所定の判定基準値以下であれば、表示品位が良好と判定し、判定基準値を上回れば、表示品位が芳しくないと判定している。実施例は、比較例よりも寄生容量  $C_{sd1}$  と寄生容量  $C_{sd2}$  との差分の絶対値が小さいので、上記した算出値が判定基準値以下となり易くなっている。これにより、実施例によれば比較例よりも高い表示品位が得られる、と言える。より具体的には、上記した画素に関わる全ての静電容量の和の数値が例えば  $0.528$  pF とされる場合には、寄生容量  $C_{sd1}$  と寄生容量  $C_{sd2}$  との差分の絶対値を画素に関わる全ての静電容量の和にて除した値は、それぞれ比較例が  $0.000663$ 、実施例が  $0.$

000398となる。そして、判定基準値が0.0004とされる場合は、比較例が判定基準値を上回り、実施例が判定基準値を下回ることになる。従って、実施例は比較例よりも表示品位が優れたものとなる。

#### 【0028】

以上説明したように本実施形態の液晶表示装置（表示装置）10は、画素電極17と、画素電極17に供給する信号を伝送するソース配線（信号配線）19と、ソース配線19に対して間隔を空けた位置に配されて画素電極17に接続されるドレイン配線（画素電極接続配線）22と、ソース配線19と、画素電極17におけるドレイン配線22に対するドレイン配線接続部（接続箇所）17Bと、の間となる位置に配されて両者17B, 19間の電界を遮蔽する遮蔽部34と、を備える。

10

#### 【0029】

このようにすれば、画素電極17には、ソース配線19に伝送される信号に基づく電位がドレイン配線22を介して供給される。遮蔽部34は、ソース配線19と、画素電極17におけるドレイン配線22に対するドレイン配線接続部17Bと、の間となる位置に配されていて、両者17B, 19の間に生じる電界を遮蔽する。これにより、ソース配線19と画素電極17におけるドレイン配線接続部17Bとの間の電界により生じる寄生容量が抑制され、もって表示品位の低下が抑制される。

#### 【0030】

また、画素電極17、ソース配線19及びドレイン配線22とは異なる層にて少なくとも画素電極17と重畳するよう配される共通電極20であって、少なくともソース配線19と画素電極17におけるドレイン配線接続部17Bとに跨る範囲の開口部20Aを有する共通電極20を備えており、遮蔽部34には、開口部20Aの少なくとも一部と重畳するよう配される開口重畳遮蔽部34が含まれる。このようにすれば、画素電極17が充電されると、画素電極17と共通電極20との間に生じる電位差を利用して画像が表示される。共通電極20は、少なくともソース配線19と画素電極17におけるドレイン配線接続部17Bとに跨る範囲の開口部20Aを有しているため、例えばソース配線19の修理を行う際に、修理に伴ってソース配線19が共通電極20と短絡する事態を防ぐことができる。しかしながら、共通電極20が上記のような開口部20Aを有する構成とされると、ソース配線19と画素電極17におけるドレイン配線接続部17Bとの間に電界が生じ易くなるため、その電界により生じる寄生容量に起因して表示品位が低下することが懸念される。その点、遮蔽部34には、ソース配線19と画素電極17におけるドレイン配線接続部17Bとの間となる位置にて共通電極20の開口部20Aの少なくとも一部と重畳する開口重畳遮蔽部34が含まれているから、ソース配線19と画素電極17におけるドレイン配線接続部17Bとの間に生じる電界を開口重畳遮蔽部34により効率的に遮蔽することができる。これにより、ソース配線19と画素電極17におけるドレイン配線接続部17Bとの間の電界により生じる寄生容量が効率的に抑制され、もってソース配線19の修正を可能としつつ表示品位の低下が好適に抑制される。

20

30

#### 【0031】

また、遮蔽部34には、開口部20Aとは非重畳となるよう配される開口非重畳遮蔽部34が含まれる。このようにすれば、遮蔽部34には、ソース配線19と画素電極17におけるドレイン配線接続部17Bとの間となる位置にて共通電極20の開口部20Aの少なくとも一部と重畳する開口重畳遮蔽部34に加えて、ソース配線19と画素電極17におけるドレイン配線接続部17Bとの間となる位置にて共通電極20の開口部20Aとは非重畳となる開口非重畳遮蔽部34が含まれているから、ソース配線19と画素電極17におけるドレイン配線接続部17Bとの間に生じる電界をさらに遮蔽することができる。これにより、表示品位の低下がより好適に抑制される。

40

#### 【0032】

また、ソース配線19は、画素電極17を挟み込むよう一対配されており、開口重畳遮蔽部34及び開口非重畳遮蔽部34は、画素電極17におけるドレイン配線接続部17Bを挟み込むよう配される。このようにすれば、画素電極17を挟み込むよう配される

50

一对のソース配線 19 と画素電極 17 におけるドレイン配線接続部 17 B との間に生じる各電界を、画素電極 17 におけるドレイン配線接続部 17 B を挟み込むよう配される開口重畳遮蔽部 34 及び開口非重畳遮蔽部 34 によってそれぞれ遮蔽することができる。これにより、表示品位の低下がさらに好適に抑制される。

#### 【0033】

また、ソース配線 19 は、画素電極 17 を挟み込むとともにドレイン配線接続部 17 B との間の距離が異なるよう一对配されており、共通電極 20 は、開口部 20 A が、少なくともドレイン配線接続部 17 B との間の距離が短いソース配線 19 である第 1 ソース配線（第 1 信号配線）19 とドレイン配線接続部 17 B とに跨る範囲とされており、開口重畳遮蔽部 34 は、一对のソース配線 19 のうちのドレイン配線接続部 17 B との間の距離が短いソース配線 19 である第 1 ソース配線 19 とドレイン配線接続部 17 B との間となる位置に配されている。このようにすれば、共通電極 20 の開口部 20 A が、少なくとも画素電極 17 におけるドレイン配線接続部 17 B との間の距離が短いソース配線 19 である第 1 ソース配線 19 と画素電極 17 におけるドレイン配線接続部 17 B とに跨る範囲とされているので、ドレイン配線接続部 17 B との間の距離が短いソース配線 19 である第 1 ソース配線 19 の修理を行う上で好適となる。ここで、一对のソース配線 19 のうちの画素電極 17 におけるドレイン配線接続部 17 B との間の距離が短いソース配線 19 である第 1 ソース配線 19 は、同距離が長いソース配線 19 である第 2 ソース配線 19 に比べると、画素電極 17 におけるドレイン配線接続部 17 B との間に生じる電界が強く、寄生容量が大きくなる傾向にある。しかも、共通電極 20 の開口部 20 A が上記のような範囲とされているため、ドレイン配線接続部 17 B との間の距離が短いソース配線 19 である第 1 ソース配線 19 と、画素電極 17 におけるドレイン配線接続部 17 B との間に電界がより生じ易くなっている。その点、開口重畳遮蔽部 34 は、一对のソース配線 19 のうちのドレイン配線接続部 17 B との間の距離が短いソース配線 19 である第 1 ソース配線 19 と、画素電極 17 におけるドレイン配線接続部 17 B との間となる位置に配されているので、電界を効率的に遮蔽することができる。これにより、寄生容量を効率的に低下させることができ、もって表示品位の低下が好適に抑制される。

#### 【0034】

また、開口重畳遮蔽部 34 は、画素電極 17 におけるドレイン配線接続部 17 B の少なくとも一部と、ドレイン配線 22 の少なくとも一部と、にそれぞれ重畳するよう配される。このようにすれば、開口重畳遮蔽部 34 と、画素電極 17 におけるドレイン配線接続部 17 B の少なくとも一部、及びドレイン配線 22 の少なくとも一部と、の間にそれぞれ電界が生じることで、ソース配線 19 と画素電極 17 におけるドレイン配線接続部 17 B との間に生じる電界をより効率的に遮蔽することができる。これにより、表示品位の低下がより好適に抑制される。

#### 【0035】

また、共通電極 20 は、開口部 20 A がソース配線 19 及び画素電極 17 におけるドレイン配線接続部 17 B に加えてドレイン配線 22 にわたる範囲とされる。このようにすれば、共通電極 20 は、ソース配線 19 及び画素電極 17 におけるドレイン配線接続部 17 B に加えてドレイン配線 22 にわたる範囲の開口部 20 A を有しているので、例えばドレイン配線 22 の修理を行う際に、修理に伴ってドレイン配線 22 が共通電極 20 と短絡する事態を防ぐことができる。このような範囲の開口部 20 A により、ソース配線 19 と画素電極 17 におけるドレイン配線接続部 17 B との間に生じる電界がより生じ易くなるものの、遮蔽部 34 によって上記電界を遮蔽することで、表示品位の低下がより好適に抑制される。

#### 【0036】

また、ソース配線 19 と交差する形で延在し、画素電極 17 及びソース配線 19 とは異なる層にて画素電極 17 の一部と重畳するよう配される容量配線 21 を備えており、遮蔽部 34 は、容量配線 21 に接続されている。このようにすれば、画素電極 17 は、異なる層に配されてその一部と重畳する容量配線 21 との間で静電容量を形成することで、ソー

ス配線 1 9 及びドレイン配線 2 2 によって供給された電位が保持される。遮蔽部 3 4 は、容量配線 2 1 に接続されることで、十分な遮蔽効果を発揮することができる。しかも、容量配線 2 1 は、他の表示のための信号を伝送する配線に比べると、低電位に保たれているから、遮蔽部 3 4 の遮蔽性能が安定化し、高い信頼性が得られる。

【 0 0 3 7 】

< 実施形態 2 >

本発明の実施形態 2 を図 7 によって説明する。この実施形態 2 では、共通電極 1 2 0 の開口部 1 2 0 A の形成範囲を変更したものを示す。なお、上記した実施形態 1 と同様の構造、作用及び効果について重複する説明は省略する。

【 0 0 3 8 】

本実施形態に係る共通電極 1 2 0 は、図 7 に示すように、第 1 ソース配線 1 1 9 と画素電極 1 1 7 におけるドレイン配線接続部 1 1 7 B とに跨っているものの、ドレイン配線 1 2 2 の第 2 配線部 1 2 2 B の大部分には至らない範囲の開口部 1 2 0 A を有している。つまり、開口部 1 2 0 A は、第 1 開口部 1 2 0 A 1 及び第 3 開口部 1 2 0 A 2 を有しているものの、上記した実施形態 1 に記載した第 2 開口部 2 0 A 2 を有さない構成とされる。このような構成であっても、上記した実施形態 1 と同様に遮蔽部 1 3 4 による寄生容量の低減効果を十分に得ることができる。なお、本実施形態は、ソース配線 1 1 9 の修理は可能であるものの、ドレイン配線 1 2 2 の修理については行うことを想定していない場合に有用である。

【 0 0 3 9 】

< 実施形態 3 >

本発明の実施形態 3 を図 8 によって説明する。この実施形態 3 では、上記した実施形態 1 から開口重畳遮蔽部 2 3 4 を変更したものを示す。なお、上記した実施形態 1 と同様の構造、作用及び効果について重複する説明は省略する。

【 0 0 4 0 】

本実施形態に係る遮蔽部 2 3 4 には、図 8 に示すように、上記した実施形態 1 と同様に容量配線 2 2 1 に連なる開口非重畳遮蔽部 2 3 4 と、ゲート配線 2 1 8 に連なる開口重畳遮蔽部 2 3 4 と、が含まれている。なお、図 8 では、遮蔽部 2 3 4 及び遮蔽部 2 3 4 に連なるゲート配線 2 1 8 (ゲート電極 2 1 6 A を含む) 及び容量配線 2 2 1 の形成範囲を、開口部 2 2 0 A とは異なる網掛け状にして図示している。開口重畳遮蔽部 2 3 4 は、ゲート配線 2 1 8 と同じ第 1 金属膜からなる。開口重畳遮蔽部 2 3 4 は、ゲート配線 2 1 8 から Y 軸方向に沿ってゲート電極 2 1 6 A と同じ側に突出し、第 1 ソース配線 2 1 9 と画素電極 2 1 7 におけるドレイン配線接続部 2 1 7 B との間となる位置に配されている。開口重畳遮蔽部 2 3 4 は、共通電極 2 2 0 の開口部 2 2 0 A のうちの第 1 開口部 2 2 0 A 1、第 2 開口部 2 2 0 A 2 及び第 3 開口部 2 2 0 A 3 の全てに対して重畳するように配されている。このような開口重畳遮蔽部 2 3 4 によっても、寄生容量の低減効果を十分に得ることができる。

【 0 0 4 1 】

< 他の実施形態 >

本発明は上記記述及び図面によって説明した実施形態に限定されるものではなく、例えば次のような実施形態も本発明の技術的範囲に含まれる。

( 1 ) 上記した各実施形態では、開口重畳遮蔽部及び開口非重畳遮蔽部がドレイン配線の一部ずつと重畳する配置を示したが、開口重畳遮蔽部及び開口非重畳遮蔽部のいずれかまたは両方がドレイン配線とは非重畳の配置であっても構わない。例えば、ドレイン配線の第 3 配線部を省略すれば、開口非重畳遮蔽部がドレイン配線とは非重畳の配置となる。

( 2 ) 上記した各実施形態では、開口重畳遮蔽部がドレイン配線のうちの電極接続部のみと重畳する配置を示したが、開口重畳遮蔽部がドレイン配線における電極接続部以外の部分と重畳していてもよい。例えば、開口重畳遮蔽部が電極接続部に加えて第 2 配線部と重畳する配置であっても構わない。

( 3 ) 上記した各実施形態では、開口重畳遮蔽部が画素電極のドレイン配線接続部と重

10

20

30

40

50

畳する配置を示したが、開口重畳遮蔽部が画素電極のドレイン配線接続部とは非重畳の配置であっても構わない。

(4) 上記した実施形態1では、開口重畳遮蔽部が開口部のうちの第1開口部及び第2開口部と重畳し、第3開口部とは非重畳とされる配置を示したが、開口重畳遮蔽部が第1開口部及び第2開口部に加えて第3開口部とも重畳する配置であっても構わない。逆に、開口重畳遮蔽部が第1開口部のみと重畳し、第2開口部及び第3開口部とは非重畳とされる配置であっても構わない。

(5) 上記した各実施形態では、画素電極のドレイン配線接続部を挟み込む一对の遮蔽部が開口重畳遮蔽部及び開口非重畳遮蔽部とされる場合を示したが、画素電極のドレイン配線接続部を挟み込む一对の遮蔽部がいずれも開口重畳遮蔽部とされる構成や上記一对の遮蔽部がいずれも開口非重畳遮蔽部とされる構成であっても構わない。いずれの場合であっても、ドレイン配線接続部が一对の遮蔽部によって挟み込まれる構成となるので、画素電極を挟み込む一对のソース配線とドレイン配線接続部との間に生じる電界を一对の遮蔽部によって遮蔽することができ、十分な寄生容量低減効果を得ることができる。

(6) 上記した各実施形態以外にも、共通電極における開口部の形成範囲や平面配置、開口重畳遮蔽部の形成範囲や平面配置、開口非重畳遮蔽部の形成範囲や平面配置、共通電極の開口部に対する開口重畳遮蔽部の重畳範囲や平面配置などは、適宜に変更可能である。

(7) 上記した各実施形態では、画素電極のドレイン配線接続部を挟み込む形で一对の遮蔽部が設けられた場合を示したが、いずれか一方の遮蔽部(開口重畳遮蔽部または開口非重畳遮蔽部)を省略することも可能である。

(8) 上記した各実施形態では、画素電極を挟み込む一对のソース配線と、ドレイン配線接続部と、の間の距離が異なる場合を示したが、上記距離が等しくなる構成であっても構わない。

(9) 上記した各実施形態では、マトリクス状に平面配置された各画素電極におけるドレイン配線接続部が全て同じ側(図3などの右側)に偏在する場合を示したが、ドレイン配線接続部が一方側(例えば図3などの右側)に偏在する行と、ドレイン配線接続部が他方側(例えば図3などの左側)に偏在する行と、が交互に繰り返し並ぶ配列を採ることも可能である。その場合は、開口重畳遮蔽部及び開口非重畳遮蔽部が行毎に左右反転した配置とするのが好ましい。

(10) 上記した各実施形態では、遮蔽部が容量配線やゲート配線と同層で且つ同一材料(第1金属膜)からなる場合を示したが、遮蔽部を容量配線やゲート配線とは異なる層に配置しつつも容量配線やゲート配線に対して接続することも可能である。その場合は、遮蔽部と容量配線やゲート配線との間に介在する絶縁膜にコンタクトホールを開口形成すればよい。

(11) 上記した各実施形態では、遮蔽部が容量配線やゲート配線に接続される場合を示したが、遮蔽部を他の配線や電極に接続することも可能である。

(12) 上記した各実施形態では、各絶縁膜に連通するコンタクトホールの形成範囲や平面形状を簡略化して図示したが、各絶縁膜のコンタクトホールの形成範囲や平面形状は適宜に変更可能であり、また各絶縁膜毎にコンタクトホールの形成範囲や平面形状を互いに異ならせることも可能である。

(13) 上記した各実施形態では、画素電極が相対的に上層側に、共通電極が相対的に下層側に、それぞれ配された場合を示したが、画素電極を相対的に下層側に、共通電極を相対的に上層側に、それぞれ配置することも可能である。その場合は、共通電極の開口部から第3開口部を省略することが可能である。

(14) 上記した各実施形態では、平面形状が長方形とされる液晶パネルについて示したが、平面形状が正方形、円形、楕円形などとされる液晶パネルにも本発明は適用可能である。

(15) 上記した各実施形態では、ドライバが液晶パネルのアレイ基板に対してCOG実装される場合を例示したが、ドライバがフレキシブル基板に対してCOF(Chip On Fi

10

20

30

40

50

lm) 実装される構成であってもよい。

(16) 上記した各実施形態では、TFTのチャンネル部を構成する半導体膜が酸化物半導体材料からなる場合を例示したが、それ以外にも、例えばポリシリコン(多結晶化されたシリコン(多結晶シリコン))の一種であるCGシリコン(Continuous Grain Silicon)やアモルファスシリコンを半導体膜の材料として用いることも可能である。

(17) 上記した各実施形態では、液晶パネルのカラーフィルタが赤色、緑色及び青色の3色構成とされたものを例示したが、赤色、緑色及び青色の各着色部に、黄色の着色部を加えて4色構成としたカラーフィルタを備えたものにも本発明は適用可能である。

(18) 上記した各実施形態では、一对の基板間に液晶層が挟持された構成とされる液晶パネル及びその製造方法について例示したが、一对の基板間に液晶材料以外の機能性有機分子(媒質層)を挟持した表示パネルについても本発明は適用可能である。

(19) 上記した各実施形態では、液晶パネルのスイッチング素子としてTFTを用いたが、TFT以外のスイッチング素子(例えば薄膜ダイオード(TFD))を用いた液晶パネルにも適用可能であり、カラー表示する液晶パネル以外にも、白黒表示する液晶パネルにも適用可能である。

(20) 上記した各実施形態では、表示パネルとして液晶パネルを例示したが、他の種類の表示パネル(PDP(プラズマディスプレイパネル)、有機ELパネル、EPD(電気泳動ディスプレイパネル)、MEMS(Micro Electro Mechanical Systems)表示パネルなど)にも本発明は適用可能である。

【符号の説明】

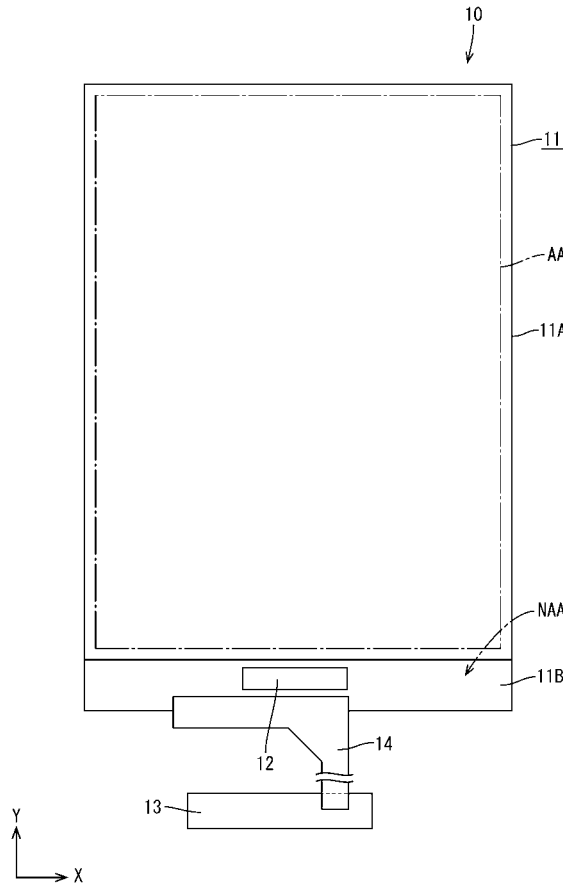
【0042】

10 ... 液晶表示装置(表示装置)、17, 117, 217 ... 画素電極、17B, 117B, 217B ... ドレイン配線接続部(接続箇所)、19, 119 ... ソース配線(信号配線)、19, 119, 219 ... ドレイン配線接続部との間の距離が短い第1ソース配線(信号配線)、19 ... ドレイン配線接続部との間の距離が長い第2ソース配線(信号配線)、20, 120, 220 ... 共通電極、20A, 120A, 220A ... 開口部、21, 221 ... 容量配線、22, 122 ... ドレイン配線(画素電極接続配線)、34, 134, 234 ... 遮蔽部、34, 234 ... 開口重畳遮蔽部、34, 234 ... 開口非重畳遮蔽部

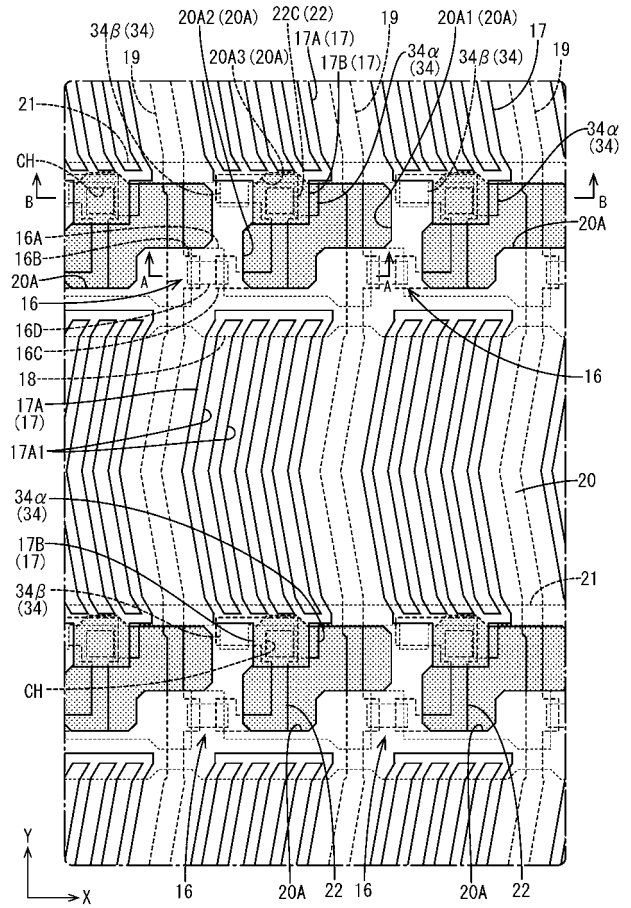
10

20

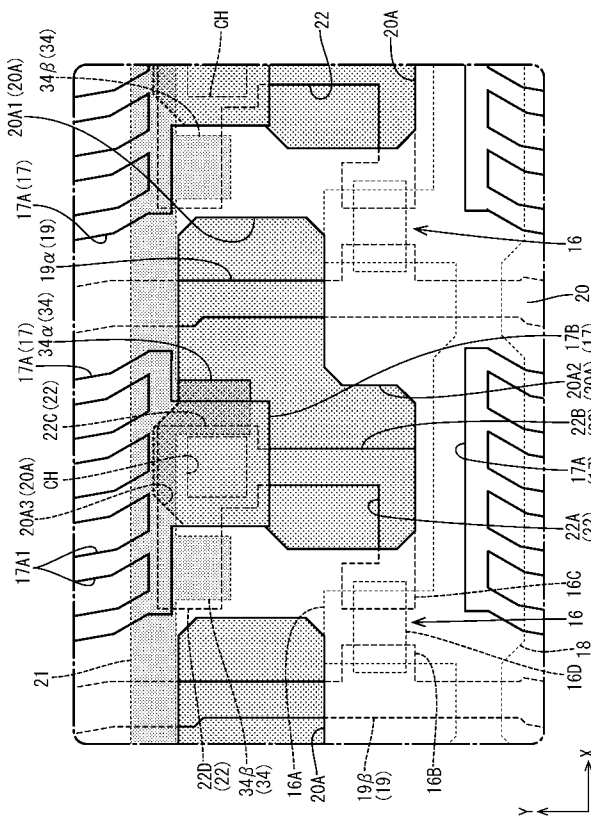
【 図 1 】



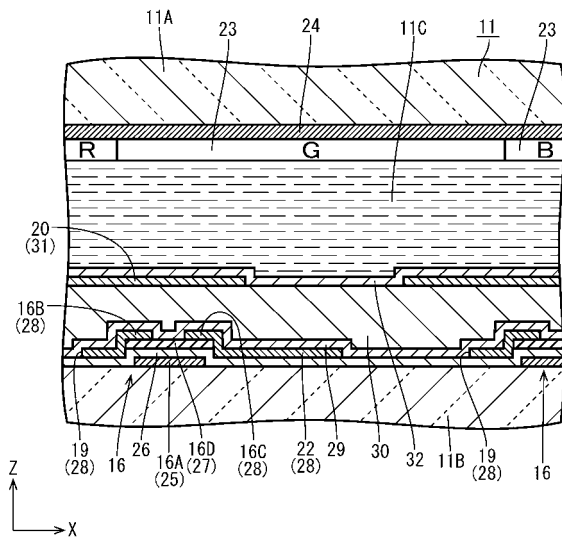
【 図 2 】



【 図 3 】



【 図 4 】





---

フロントページの続き

Fターム(参考) 2H192 AA24 BB12 BB13 BB53 BB66 BC31 CA03 CB05 CB37 CC04  
CC17 DA13 DA74 EA22 EA43 EA67 FB22 HB36 HB64 JA32  
5C094 AA21 BA03 BA27 BA31 BA43 BA64 BA75 CA19 DA13 EA04  
EA07 EA10 FA01 FA02