

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年5月16日(16.05.2024)



(10) 国際公開番号

WO 2024/100489 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) H01L 27/06 (2006.01)
H01L 21/336 (2006.01) H01L 27/088 (2006.01)
H01L 21/822 (2006.01) H01L 29/788 (2006.01)
H01L 21/8234 (2006.01) H01L 29/792 (2006.01)
H01L 27/04 (2006.01) H10B 12/00 (2023.01)

(21) 国際出願番号: PCT/IB2023/060887

(22) 国際出願日: 2023年10月30日(30.10.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-178191 2022年11月7日(07.11.2022) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei);
〒2430036 神奈川県厚木市長谷398株式会社半導
体エネルギー研究所内 Kanagawa (JP). 松崎隆徳
(MATSUZAKI, Takanori); 〒2430036 神奈川県
厚木市長谷398株式会社半導体エネルギー研究所
内 Kanagawa (JP). 井坂史人 (ISAKA, Fumito);
〒2430036 神奈川県厚木市長谷398株式会社半
導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

(54) Title: SEMICONDUCTOR DEVICE, METHOD FOR PRODUCING SEMICONDUCTOR DEVICE, AND ELEC-
TRONIC APPARATUS

(54) 発明の名称: 半導体装置、半導体装置の作製方法、及び電子機器

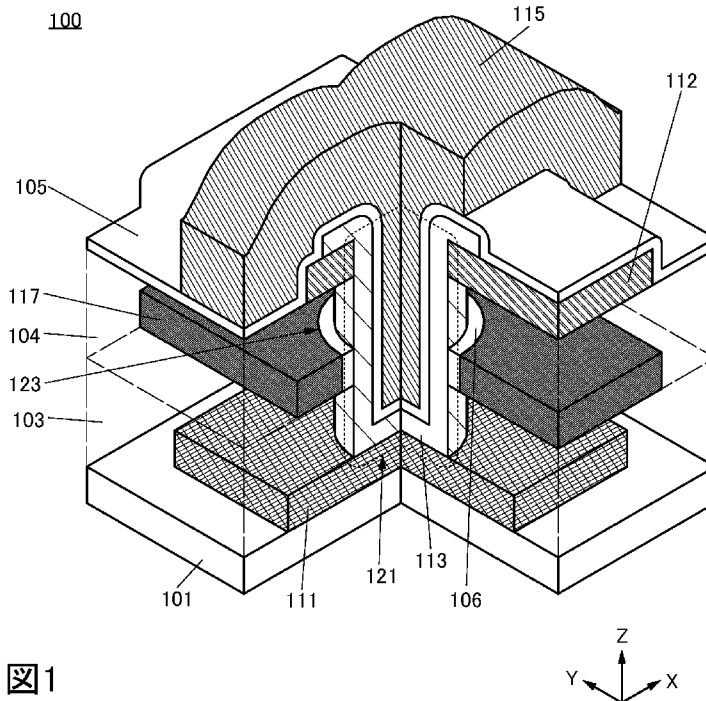


図1

(57) Abstract: Provided is a semiconductor device which exhibits favorable electrical properties. This semiconductor device has a transistor, a first interlayer insulating layer, and a second interlayer insulating layer on the first interlayer insulating layer. The transistor has a first conductive layer which functions as one electrode among a source electrode and a drain electrode, and a second conductive layer which functions as the other electrode thereof. The first and second interlayer insulating layers are provided between the first conductive layer and the second conductive layer. An opening

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

which reaches the first conductive layer is provided in the first and second interlayer insulating layers and in the second conductive layer. A semiconductor layer, a first gate insulating layer and a first gate electrode are provided, in this order, so as to have a region located inside said opening. A second gate electrode and a second gate insulating layer for covering part of the lateral surface of the semiconductor layer are provided between the first interlayer insulating layer and the second interlayer insulating layer.

(57) 要約: 電気特性が良好な半導体装置を提供する。トランジスタと、第1の層間絶縁層と、第1の層間絶縁層上の第2の層間絶縁層と、を有する半導体装置。トランジスタは、ソース電極又はドレイン電極の一方として機能する第1の導電層と、ソース電極又はドレイン電極の他方として機能する第2の導電層と、を有し、第1の導電層と第2の導電層の間に、第1及び第2の層間絶縁層が設けられる。第1及び第2の層間絶縁層、並びに第2の導電層には第1の導電層に達する開口部が設けられ、当該開口部の内部に位置する領域を有するように半導体層、第1のゲート絶縁層、及び第1のゲート電極がこの順で設けられる。第1の層間絶縁層と第2の層間絶縁層の間に、半導体層の側面の一部を覆う第2のゲート絶縁層、及び第2のゲート電極が設けられる。.

発明の名称

半導体装置、半導体装置の作製方法、及び電子機器

技術分野

[0001]

本発明の一態様は、半導体装置、及び半導体装置の作製方法に関する。また、本発明の一態様は、記憶装置、及び記憶装置の作製方法に関する。また、本発明の一態様は、トランジスタ、及びトランジスタの作製方法に関する。また、本発明の一態様は、電子機器に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらの駆動方法、及びそれらの製造方法を一例として挙げることができる。

[0003]

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、又はフォトダイオード等）を含む回路、及び同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、及びパッケージにチップを収納した電子部品は、半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置、及び電子機器は、それ自体が半導体装置であり、且つそれぞれが半導体装置を有している場合がある。

背景技術

[0004]

近年、半導体装置の開発が進められ、例えば大規模集積回路（LSI：Large Scale Integration）が半導体装置に用いられている。例えば、中央処理装置（CPU：Central Processing Unit）、及びメモリ等が半導体装置に用いられている。CPUは、半導体ウエハを加工し、チップ化された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

[0005]

CPU及びメモリ等の半導体回路（ICチップ）は、回路基板、例えばプリント配線基板に実装され、様々な電子機器の部品の1つとして用いられる。

[0006]

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC：Integrated Circuit）及び表示装置のような、電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0007]

また、酸化物半導体を用いたトランジスタは、非導通状態においてリーク電流が極めて小さいことが知られている。例えば、特許文献1には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用した低消費電力のCPU等が開示されている。また、例えば、特許文献2に

は、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用して、長期にわたり記憶内容を保持できる記憶装置等が開示されている。

[0008]

また、近年では電子機器の小型化、及び軽量化に伴い、集積回路のさらなる高密度化への要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。例えば、特許文献3及び非特許文献1では、酸化物半導体を用いる第1のトランジスタと、酸化物半導体を用いる第2のトランジスタとを積層させることで、メモリセルを複数積層して設けることにより、集積回路の高密度化を図る技術が開示されている。

[0009]

さらに、トランジスタを縦型とすることができれば、集積回路の高密度化を図ることができる。例えば、特許文献4には、酸化物半導体の側面が、ゲート絶縁層を介してゲート電極に覆われる縦型のトランジスタが開示されている。

[先行技術文献]

[特許文献]

[0010]

[特許文献1] 特開2012-257187号公報

[特許文献2] 特開2011-151383号公報

[特許文献3] 国際公開第2021/053473号

[特許文献4] 特開2013-211537号公報

[非特許文献]

[0011]

[非特許文献1] M. Oota et. al, “3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm”, IEDM Tech. Dig., 2019, pp. 50-53

発明の概要

発明が解決しようとする課題

[0012]

トランジスタのしきい値電圧は、トランジスタの動作に影響を及ぼす。例えば、nチャネル型のトランジスタでは、しきい値電圧が低いとノーマリーオン特性となりやすい。

[0013]

本発明の一態様は、トランジスタのしきい値電圧を制御できる半導体装置、又は記憶装置を提供することを課題の1つとする。又は、本発明の一態様は、電気特性が良好な半導体装置、又は記憶装置を提供することを課題の1つとする。又は、本発明の一態様は、信頼性が高い半導体装置、又は記憶装置を提供することを課題の1つとする。又は、本発明の一態様は、高速に駆動する半導体装置、又は記憶装置を提供することを課題の1つとする。又は、本発明の一態様は、微細化又は高集積化が可能な半導体装置、又は記憶装置を提供することを課題の1つとする。又は、本発明の一態様は、小型の半導体装置、又は記憶装置を提供することを課題の1つとする。又は、本発明の一態様は、大容量の記憶装置を提供することを課題の1つとする。又は、本発明の一態様は、消費電力の低い半導体装置、又は記憶装置を提供することを課題の1つとする。又は、本発明の一態様は、低価格な半導体装置、又は記憶装置を提供することを課題の1つとする。又は、本発明の一態様は、

オン電流が大きいトランジスタを提供することを課題の1つとする。又は、本発明の一態様は、オフ電流が小さいトランジスタを提供することを課題の1つとする。又は、本発明の一態様は、電気特性が良好なトランジスタを提供することを課題の1つとする。又は、本発明の一態様は、新規な半導体装置、記憶装置、又はトランジスタを提供することを課題の1つとする。

[0014]

本発明の一態様は、トランジスタのしきい値電圧を制御できる半導体装置の作製方法、又は記憶装置の作製方法を提供することを課題の1つとする。又は、本発明の一態様は、電気特性が良好な半導体装置の作製方法、又は記憶装置の作製方法を提供することを課題の1つとする。又は、本発明の一態様は、信頼性が高い半導体装置の作製方法、又は記憶装置の作製方法を提供することを課題の1つとする。又は、本発明の一態様は、高速に駆動する半導体装置の作製方法、又は記憶装置の作製方法を提供することを課題の1つとする。又は、本発明の一態様は、微細化又は高集積化が可能な半導体装置の作製方法、又は記憶装置の作製方法を提供することを課題の1つとする。又は、本発明の一態様は、小型の半導体装置の作製方法、又は記憶装置の作製方法を提供することを課題の1つとする。又は、本発明の一態様は、大容量の記憶装置の作製方法を提供することを課題の1つとする。又は、本発明の一態様は、消費電力の低い半導体装置の作製方法、又は記憶装置の作製方法を提供することを課題の1つとする。又は、本発明の一態様は、歩留まりが高い半導体装置の作製方法、又は記憶装置の作製方法を提供することを課題の1つとする。又は、本発明の一態様は、オン電流が大きいトランジスタの作製方法を提供することを課題の1つとする。又は、本発明の一態様は、オフ電流が小さいトランジスタの作製方法を提供することを課題の1つとする。又は、本発明の一態様は、電気特性が良好なトランジスタの作製方法を提供することを課題の1つとする。又は、本発明の一態様は、新規な半導体装置の作製方法、記憶装置の作製方法、又はトランジスタの作製方法を提供することを課題の1つとする。

[0015]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はないものとする。明細書、図面、請求項の記載から、これら以外の課題を抽出できる。

課題を解決するための手段

[0016]

本発明の一態様は、トランジスタと、第1の絶縁層と、第2の絶縁層と、を有し、トランジスタは、第1の導電層と、第2の導電層と、第3の導電層と、第4の導電層と、半導体層と、第3の絶縁層と、第4の絶縁層と、を有し、第1の絶縁層は、第1の導電層上に設けられ、第2の導電層、及び第3の絶縁層は、第1の絶縁層上に設けられ、第2の絶縁層は、第2の導電層上、及び第3の絶縁層上に設けられ、第3の導電層は、第2の絶縁層上に設けられ、第1の絶縁層、第2の絶縁層、第3の絶縁層、及び第3の導電層には、第1の導電層に達する開口部が設けられ、半導体層は、開口部の内部に位置する領域を有するように設けられ、半導体層は、第1の導電層と接する領域、及び第3の導電層と接する領域を有し、第3の絶縁層は、半導体層と、第2の導電層との間に設けられ、第4の絶縁層は、開口部の内部に位置する領域を有するように、半導体層上に設けられ、第4の導電層は、開口部の内部において、第4の絶縁層を半導体層との間に挟んで対向する領域を有するように設けられる半導体装置である。

[0017]

又は、上記態様において、第2の導電層と第4の導電層は、開口部の内部において半導体層のチャネル形成領域を挟む領域を有してもよい。

[0018]

又は、上記態様において、第2の導電層には、第3の絶縁層と接する領域を有する酸化物領域が設けられてもよい。

[0019]

又は、上記態様において、酸化物領域は、第2の導電層に含まれる材料の酸化物を含んでもよい。

[0020]

又は、上記態様において、第1の導電層は、第1の層と、第2の層と、を有し、第2の層は、第1の層上に設けられ、半導体層は、第1の層の上面と接する領域、及び第2の層の側面と接する領域を有してもよい。

[0021]

又は、上記態様において、第1の絶縁層は、第1の層と、第2の層と、第3の層と、を有し、第2の絶縁層は、第4の層と、第5の層と、第6の層と、を有し、第2の層は、第1の層上に設けられ、第3の層は、第2の層上に設けられ、第5の層は、第4の層上に設けられ、第6の層は、第5の層上に設けられ、第1の層、第3の層、第4の層、及び第6の層は、窒素を含んでもよい。

[0022]

又は、上記態様において、第2の層、及び第5の層は、酸素を含んでもよい。

[0023]

本発明の一態様の半導体装置と、カメラと、を有する電子機器も、本発明の一態様である。

[0024]

又は、本発明の一態様は、第1の導電層を形成し、第1の導電層上に、第1の絶縁層を形成し、第1の絶縁層上に、第2の導電層を形成し、第2の導電層上に、第2の絶縁層を形成し、第2の絶縁層上に、第3の導電層を形成し、第1の絶縁層、第2の導電層、第2の絶縁層、及び第3の導電層に、第1の導電層に達する開口部を形成し、第2の導電層に対して第1の加工を行うことにより、第2の導電層の、開口部における側面を後退させ、第2の導電層の側面と接する領域を有するように、第1の導電層上、第1の絶縁層上、第2の絶縁層上、及び第3の導電層上に、絶縁膜を形成し、絶縁膜に対して第2の加工を行うことにより、第2の導電層の側面と接する領域を有するように、第1の絶縁層と第2の絶縁層の間に第3の絶縁層を形成し、開口部の内部に位置する領域を有し、且つ第1の導電層と接する領域、及び第3の導電層と接する領域を有するように、半導体層を形成し、開口部の内部に位置する領域を有するように、半導体層上に第4の絶縁層を形成し、開口部の内部において、第4の絶縁層を半導体層との間に挟んで対向する領域を有するように、第4の導電層を形成する半導体装置の作製方法である。

[0025]

又は、上記態様において、第1の加工は、等方性エッチングにより行い、第2の加工は、異方性エッチングにより行ってもよい。

[0026]

又は、上記態様において、絶縁膜の形成後、第2の導電層の、開口部における側面に対して酸化処理を行うことにより、第2の導電層に酸化物領域を形成してもよい。

[0027]

又は、上記態様において、酸化処理は、酸素を含む雰囲気でのマイクロ波処理により行ってもよい。

[0028]

又は、上記態様において、第1の導電層として、第1の層と、第1の層上の第2の層と、を形成し、第3の導電層の形成後、第1の絶縁層、第2の導電層、第2の絶縁層、及び第3の導電層に、第2の層に達する開口部を形成し、酸化処理の後、且つ半導体層の形成前に、第2の層の、開口部と重なる領域を除去してもよい。

[0029]

又は、上記態様において、第1の絶縁層として、第1の層と、第1の層上の第2の層と、第2の層上の第3の層と、を形成し、第2の絶縁層として、第4の層と、第4の層上の第5の層と、第5の層上の第6の層と、を形成し、絶縁膜は、第6の層の上面と接する領域を有するように形成され、絶縁膜は、酸素を含み、第6の層は、窒素を含んでもよい。

[0030]

又は、上記態様において、第1の層、第3の層、及び第4の層は、窒素を含んでもよい。

[0031]

又は、上記態様において、第2の層、及び第5の層は、酸素を含んでもよい。

[0032]

又は、上記態様において、半導体層は、金属酸化物を有してもよい。金属酸化物は、インジウム、亜鉛、及び元素Mから選ばれる一又は複数を有し、元素Mは、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジウム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンから選ばれた一又は複数であってもよい。

発明の効果

[0033]

本発明の一態様により、トランジスタのしきい値電圧を制御できる半導体装置、又は記憶装置を提供できる。又は、本発明の一態様により、電気特性が良好な半導体装置、又は記憶装置を提供できる。又は、本発明の一態様により、信頼性が高い半導体装置、又は記憶装置を提供できる。又は、本発明の一態様により、高速に駆動する半導体装置、又は記憶装置を提供できる。又は、本発明の一態様により、微細化又は高集積化が可能な半導体装置、又は記憶装置を提供できる。又は、本発明の一態様により、小型の半導体装置、又は記憶装置を提供できる。又は、本発明の一態様により、大容量の記憶装置を提供できる。又は、本発明の一態様により、消費電力の低い半導体装置、又は記憶装置を提供できる。又は、本発明の一態様により、低価格な半導体装置、又は記憶装置を提供できる。又は、本発明の一態様により、オン電流が大きいトランジスタを提供できる。又は、本発明の一態様により、オフ電流が小さいトランジスタを提供できる。又は、本発明の一態様により、電気特性が良好なトランジスタを提供できる。又は、本発明の一態様により、新規な半導体装置、記憶装置、又はトランジスタを提供できる。

[0034]

本発明の一態様により、トランジスタのしきい値電圧を制御できる半導体装置の作製方法、又は記憶装置の作製方法を提供できる。又は、本発明の一態様により、電気特性が良好な半導体装置の作製方法、又は記憶装置の作製方法を提供できる。又は、本発明の一態様により、信頼性が高い半導

体装置の作製方法、又は記憶装置の作製方法を提供できる。又は、本発明の一態様により、高速に駆動する半導体装置の作製方法、又は記憶装置の作製方法を提供できる。又は、本発明の一態様により、微細化又は高集積化が可能な半導体装置の作製方法、又は記憶装置の作製方法を提供できる。又は、本発明の一態様により、小型の半導体装置の作製方法、又は記憶装置の作製方法を提供できる。又は、本発明の一態様により、大容量の記憶装置の作製方法を提供できる。又は、本発明の一態様により、消費電力の低い半導体装置の作製方法、又は記憶装置の作製方法を提供できる。又は、本発明の一態様により、歩留まりが高い半導体装置の作製方法、又は記憶装置の作製方法を提供できる。又は、本発明の一態様により、オン電流が大きいトランジスタの作製方法を提供できる。又は、本発明の一態様により、オフ電流が小さいトランジスタの作製方法を提供できる。又は、本発明の一態様により、電気特性が良好なトランジスタの作製方法を提供できる。又は、本発明の一態様により、新規な半導体装置の作製方法、記憶装置の作製方法、又はトランジスタの作製方法を提供できる。

[0035]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出できる。

図面の簡単な説明

[0036]

図1は、半導体装置の構成例を示す斜視図である。

図2A1、及び図2A2は、半導体装置の構成例を示す平面図である。図2B、図2C、及び図2Dは、半導体装置の構成例を示す断面図である。

図3A、及び図3Bは、半導体装置の構成例を示す断面図である。

図4Aは、半導体装置の構成例を示す断面図である。図4Bは、半導体装置の構成例を示す平面図である。

図5A1、及び図5A2は、半導体装置の構成例を示す平面図である。図5B、及び図5Cは、半導体装置の構成例を示す断面図である。

図6A乃至図6Cは、半導体装置の構成例を示す断面図である。

図7A乃至図7Dは、半導体装置の構成例を示す断面図である。

図8A乃至図8Dは、半導体装置の構成例を示す断面図である。

図9Aは、半導体装置の構成例を示す平面図である。図9B、及び図9Cは、半導体装置の構成例を示す断面図である。

図10A乃至図10Cは、半導体装置の構成例を示す断面図である。

図11A、及び図11Bは、半導体装置の構成例を示す平面図である。

図12Aは、半導体装置の構成例を示す平面図である。図12B、及び図12Cは、半導体装置の構成例を示す断面図である。

図13A1、及び図13A2は、半導体装置の構成例を示す平面図である。図13B、及び図13Cは、半導体装置の構成例を示す断面図である。

図14Aは、半導体装置の作製方法例を示す平面図である。図14B、及び図14Cは、半導体装置の作製方法例を示す断面図である。

図15Aは、半導体装置の作製方法例を示す平面図である。図15B、及び図15Cは、半導体装

置の作製方法例を示す断面図である。

図 1 6 A 1、及び図 1 6 A 2 は、半導体装置の作製方法例を示す平面図である。図 1 6 B、及び図 1 6 C は、半導体装置の作製方法例を示す断面図である。

図 1 7 A は、半導体装置の作製方法例を示す平面図である。図 1 7 B、及び図 1 7 C は、半導体装置の作製方法例を示す断面図である。

図 1 8 A 1、及び図 1 8 A 2 は、半導体装置の構成例を示す平面図である。図 1 8 B、及び図 1 8 C は、半導体装置の作製方法例を示す断面図である。

図 1 9 A は、半導体装置の作製方法例を示す平面図である。図 1 9 B、及び図 1 9 C は、半導体装置の作製方法例を示す断面図である。

図 2 0 A 1、及び図 2 0 A 2 は、半導体装置の作製方法例を示す平面図である。図 2 0 B、及び図 2 0 C は、半導体装置の作製方法例を示す断面図である。

図 2 1 A 乃至図 2 1 F は、半導体装置の作製方法例を示す断面図である。

図 2 2 A 1、及び図 2 2 A 2 は、記憶装置の構成例を示す平面図である。図 2 2 B、及び図 2 2 C は、記憶装置の構成例を示す断面図である。図 2 2 D 1、及び図 2 2 D 2 は、記憶装置の構成例を示す回路図である。

図 2 3 A は、記憶装置の構成例を示す平面図である。図 2 3 B、及び図 2 3 C は、記憶装置の構成例を示す断面図である。

図 2 4 A は、記憶装置の構成例を示す平面図である。図 2 4 B は、記憶装置の構成例を示す断面図である。

図 2 5 A は、記憶装置の構成例を示す平面図である。図 2 5 B は、記憶装置の構成例を示す断面図である。

図 2 6 A は、記憶装置の構成例を示す平面図である。図 2 6 B は、記憶装置の構成例を示す断面図である。

図 2 7 は、記憶装置の構成例を示す断面図である。

図 2 8 A 乃至図 2 8 C は、記憶装置の構成例を示す平面図である。

図 2 9 A 乃至図 2 9 C は、記憶装置の構成例を示す平面図である。

図 3 0 は、記憶装置の構成例を示すブロック図である。

図 3 1 A は、記憶装置の構成例を示す模式図である。図 3 1 B は、記憶装置の構成例を示す回路図である。

図 3 2 A、及び図 3 2 B は、記憶装置の構成例を示す模式図である。

図 3 3 は、記憶装置の構成例を示す回路図である。

図 3 4 A、及び図 3 4 B は、記憶装置が実装されたチップの一例を示す図である。

図 3 5 A、及び図 3 5 B は、電子部品の一例を示す図である。

図 3 6 A 乃至図 3 6 E は、記憶装置の一例を示す模式図である。

図 3 7 A 乃至図 3 7 H は、電子部品の一例を示す図である。

図 3 8 は、宇宙用機器の一例を示す図である。

発明を実施するための形態

[0037]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者

であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0038]

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を示す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

[0039]

また、図面において示す各構成の、位置、大きさ、及び範囲等は、理解の簡単のため、実際の位置、大きさ、及び範囲等を表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び範囲等に限定されない。例えば、実際の製造工程において、エッチング等の処理により層又はレジストマスク等が意図せずに目減りすることがあるが、理解を容易とするため、図に反映しないことがある。

[0040]

なお、本明細書等において、「第1」、及び「第2」という序数詞は、便宜上用いるものであり、構成要素の数、又は構成要素の順序（例えば、工程順、又は積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、又は特許請求の範囲において当該構成要素に付す序数詞と、が一致しない場合がある。

[0041]

また、トランジスタは半導体素子の一種であり、電流又は電圧を増幅する機能、及び導通又は非導通を制御するスイッチング動作等を実現できる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor)、及び薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

[0042]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域、又はドレイン電極）とソース（ソース端子、ソース領域、又はソース電極）の間にチャンネルが形成される領域（チャンネル形成領域ともいう）を有しており、チャンネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネル形成領域とは、電流が主として流れる領域をいう。

[0043]

また、「ソース」と「ドレイン」の機能は、異なる極性のトランジスタを採用する場合、又は回路動作において電流の方向が変化する場合等には入れ替わることがある。このため、本明細書においては、「ソース」と「ドレイン」の用語は、入れ替えて用いることができるものとする。

[0044]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1 atomic %未満の元素は不純物といえる。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなること、又は結晶性が低下すること等が起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、及び酸化物半導体の主成分以外の遷移金属等がある。具体的には、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、及び窒素等

がある。なお、水も不純物として機能する場合がある。また、例えば不純物の混入によって、酸化物半導体に酸素欠損（ V_o ともいう）が形成される場合がある。

[0045]

なお、本明細書等において、酸化窒化物とは、その組成として窒素よりも酸素の含有量が多い材料を示す。窒化酸化物とは、その組成として酸素よりも窒素の含有量が多い材料を示す。

[0046]

膜に含まれる水素、酸素、炭素、及び窒素等の元素の含有量の分析には、例えば、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）、又はX線光電子分光法（XPS: X-ray Photoelectron Spectroscopy）を用いることができる。目的の元素の含有率が高い（例えば、0.5 atomic %以上、又は1 atomic %以上）場合は、XPSが適している。一方、目的の元素の含有率が低い（例えば0.5 atomic %以下、又は1 atomic %以下）場合には、SIMSが適している。元素の含有量を比較する際には、SIMSとXPSの双方の分析手法を用いた複合解析を行うことがより好ましい。

[0047]

また、本明細書等において、「膜」、及び「層」等の語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を「導電膜」という用語に変更できる場合があり、「導電膜」という用語を「導電層」という用語に変更できる場合がある。また、例えば「絶縁膜」という用語を「絶縁層」という用語に変更できる場合があり、「絶縁層」という用語を「絶縁膜」という用語に変更できる場合がある。さらに、例えば「半導体膜」という用語を「半導体層」という用語に変更できる場合があり、「半導体層」という用語を「半導体膜」という用語に変更できる場合がある。

[0048]

また、本明細書等において、「平行」とは、二つの直線が -10 度以上 10 度以下の角度で配置されている状態をいう。したがって、 -5 度以上 5 度以下の場合も含まれる。また、「概略平行」とは、二つの直線が -30 度以上 30 度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80 度以上 100 度以下の角度で配置されている状態をいう。したがって、 85 度以上 95 度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が 60 度以上 120 度以下の角度で配置されている状態をいう。

[0049]

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。なお、グラウンド電位は必ずしも $0V$ を意味するとは限らない。また、電位は相対的なものであり、基準となる電位が変わることによって、例えば配線に供給される電位、回路に印加される電位、及び回路から出力される電位等も変化する。

[0050]

本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を

有するもの」には、電極又は配線をはじめ、トランジスタ等のスイッチング素子、抵抗素子、コイル、容量、その他の各種機能を有する素子等が含まれる。

[0051]

本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、又は遮断状態ともいう）にあるときのソースドレイン間のリーク電流をいう。オフ状態とは、特に断りがない場合、nチャネル型のトランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い（pチャネル型トランジスタでは、 V_{th} よりも高い）状態をいう。

[0052]

本明細書等において、ある構成要素の上面形状とは、平面視における当該構成要素の輪郭形状のことをいう。また平面視とは、当該構成要素の被形成面、又は当該構成要素が形成される支持体（例えば基板）の表面の法線方向から見ることをいう。

[0053]

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面又は被形成面に対して傾斜して設けられる形状を示す。例えば、傾斜した側面と基板面又は被形成面とがなす角（テーパ角ともいう）が90度未満である領域を有すると好ましい。なお、構造の側面、基板面、及び被形成面は、必ずしも完全に平坦である必要はなく、微細な曲率を有する略平面状、又は微細な凹凸を有する略平面状であってもよい。

[0054]

本明細書等において、AはBと接する、と記載されている場合、Aの少なくとも一部がBと接する。そのため、例えば、AはBと接する領域を有する、と言い換えることができる。

[0055]

本明細書等において、AはB上に位置する、と記載されている場合、Aの少なくとも一部がB上に位置する。そのため、例えば、AはB上に位置する領域を有する、と言い換えることができる。

[0056]

本明細書等において、AはBを覆う、と記載されている場合、Aの少なくとも一部がBを覆う。そのため、例えば、AはBを覆う領域を有する、と言い換えることができる。

[0057]

本明細書等において、AはBと重なる、と記載されている場合、Aの少なくとも一部がBと重なる。そのため、例えば、AはBと重なる領域を有する、と言い換えることができる。

[0058]

また、本明細書等において、「上」、「下」、「左」、及び「右」等の配置を示す語句は、構成要素同士の位置関係を、図面を参照して説明するために、便宜上用いている。また、構成要素同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0059]

本明細書等において、金属酸化物（metal oxide）とは、広い意味での金属の酸化物である。金属酸化物は、例えば酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、及び酸化物半導体（Oxide Semiconductor、又は単にOSともいう。）に分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体という場合がある。つまり、OSトランジスタと記載する場合においては、金属酸化物又は酸化物半導

体を有するトランジスタと言い換えることができる。なお、窒素を有する金属酸化物も金属酸化物と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）といってもよい。

[0060]

（実施の形態1）

本実施の形態では、本発明の一態様の半導体装置及びその作製方法について、図面を用いて説明する。

[0061]

本発明の一態様は、トランジスタを有する半導体装置に関する。トランジスタは、基板上の第1の層間絶縁層と、第1の層間絶縁層上の第2の層間絶縁層と、に形成された開口部の内部に半導体層が設けられるトランジスタとすることができる。このような構成とすることにより、トランジスタのチャネル長方向を、開口部における第1及び第2の層間絶縁層の側面に沿った方向とすることができる。よって、チャネル長が、トランジスタの作製に用いる露光装置の性能に影響されなくなるため、チャネル長を露光装置の限界解像度よりも小さくできる。したがって、トランジスタのオン電流を大きくし、半導体装置を高速に駆動させることができる。

[0062]

ここで、トランジスタのソース電極又はドレイン電極の一方として、開口部の下に設けられる第1の導電層を用いる。具体的には、第1の導電層上に第1及び第2の層間絶縁層を設け、第1の導電層に達するように第1及び第2の層間絶縁層に開口部を設ける。また、トランジスタのソース電極又はドレイン電極の他方として、第2の層間絶縁層上に設けられ、上記開口部と重なる開口部を有する第2の導電層を用いる。そして、第1の導電層と接する領域、及び第2の導電層と接する領域を有するように、半導体層を設ける。また、半導体層上に第1のゲート絶縁層を設け、第1のゲート絶縁層上に第1のゲート電極を設ける。

[0063]

一方、nチャネル型のトランジスタでは、トランジスタのチャネル長を小さくすると、トランジスタのしきい値電圧が小さくなり、例えばノーマリーオン特性となる場合がある。そこで、本発明の一態様の半導体装置が有するトランジスタには、第2のゲート電極、及び第2のゲート絶縁層を設ける。これにより、例えばトランジスタのしきい値電圧を制御できる。よって、例えばトランジスタに第2のゲート電極、及び第2のゲート絶縁層を設けない場合よりトランジスタのしきい値電圧を大きくできる。これにより、トランジスタがノーマリーオン特性となることを抑制できる。別言すると、トランジスタをノーマリーオフ特性とすることができる。以上により、電気特性が良好な半導体装置を提供できる。

[0064]

本明細書等において、トランジスタがノーマリーオン特性であるとは、トランジスタのゲートに電位を供給しなくても半導体層にチャネルが存在し、トランジスタのソースドレイン間に電流が流れる状態であることを示す。また、トランジスタがノーマリーオフ特性であるとは、トランジスタのゲートに電位を供給しない状態では、トランジスタのソースドレイン間に電流が流れない状態であることを示す。ここで、トランジスタが第1のゲート電極と第2のゲート電極を有する場合、半導体層のチャネル形成領域に流れる電流の大きさを制御する機能を有する第1のゲート電極に電位を供給しなくてもトランジスタのソースドレイン間に電流が流れる状態であることを、トラン

ジスタがノーマリーオン特性であるという。また、第1のゲート電極に電位を供給しない状態ではトランジスタのソースドレイン間に電流が流れない状態であることを、トランジスタがノーマリーオフ特性であるという。

[0065]

本発明の一態様の半導体装置では、第2のゲート電極、及び第2のゲート絶縁層は、第1の層間絶縁層と、第2の層間絶縁層と、の間に設けられる。第2のゲート絶縁層は、第1及び第2の層間絶縁層に設けられる開口部と重なる開口部を有し、当該開口部において半導体層の側面の一部を覆う。第2のゲート電極は、第2のゲート絶縁層の側面の少なくとも一部を覆う。また、第2のゲート電極は、第2のゲート絶縁層を介して半導体層の側面の一部を覆う。例えば、第2のゲート絶縁層の側面は、半導体層の側面と接する領域を有し、第2のゲート電極の側面は、第2のゲート絶縁層の、半導体層と反対側の側面と接する領域を有する。

[0066]

本発明の一態様の半導体装置が有するトランジスタを作製するには、まず、基板上の第1の導電層と、第1の導電層上の第1の層間絶縁層と、第1の層間絶縁層上の第2のゲート電極と、第2のゲート電極上の第2の層間絶縁層と、第2の層間絶縁層上の第2の導電層と、を順に形成する。次に、第1の層間絶縁層、第2のゲート電極、第2の層間絶縁層、及び第2の導電層に、第1の導電層に達する開口部を形成する。その後、第2のゲート電極の、開口部における側面に対して第1の加工を行い、当該側面を後退させる。これにより、第1の層間絶縁層と、第2のゲート電極と、第2の層間絶縁層と、により構成される凹部が形成される。第1の加工は、例えば等方性エッチングを用いて行うことができる。

[0067]

次に、第2のゲート電極の、開口部における側面と接する領域を有するように、第1の層間絶縁層と第2の層間絶縁層の間に第2のゲート絶縁層を形成する。例えば、第2のゲート電極の、開口部における側面と接する領域を有するように、第1の導電層上、第1の層間絶縁層上、第2の層間絶縁層上、及び第2の導電層上に絶縁膜を形成し、当該絶縁膜に対して第2の加工を行うことにより、第2のゲート絶縁層を形成できる。第2の加工は、例えば異方性エッチングを用いて行うことができる。

[0068]

次に、上記開口部の内部に位置する領域を有するように、半導体層と、第1のゲート絶縁層と、第1のゲート電極と、を順に形成する。以上により、本発明の一態様の半導体装置が有するトランジスタを作製できる。

[0069]

<半導体装置の構成例1>

図1は、本発明の一態様の半導体装置の構成例を示す斜視図であり、半導体装置が有するトランジスタ100の構成例を示している。図2A1は、図1をZ方向、具体的には例えばZ方向上面から見た構成例を示す平面図である。図2A1では、図の明瞭化のために、絶縁層等の一部の要素を省略している。以降に示す平面図においても、一部の要素を省略する。図2Bは、図2A1に示す一点鎖線A1-A2の断面図であり、図2Cは、図2A1に示す一点鎖線A3-A4の断面図である。

[0070]

図1、図2A1、図2B、及び図2Cでは、X方向、Y方向、及びZ方向を座標軸に示している。

図2 A 1、図2 B、及び図2 Cでは、一点鎖線A 1－A 2の方向をX方向、一点鎖線A 3－A 4の方向をY方向とし、XY面に垂直な方向をZ方向とする。X方向、Y方向、及びZ方向は、互いに交差する方向とすることができ、具体的には互いに直交する方向とすることができる。なお、以降の図面においても、X方向、Y方向、及びZ方向の定義を座標軸で示すが、当該定義は図1、図2 A 1、図2 B、及び図2 Cにおける定義と同じ場合があり、また異なる場合がある。また、図1、図2 A 1、図2 B、及び図2 Cにおいて、X方向、Y方向、及びZ方向を矢印で示しているが、明示する場合を除き順方向と逆方向を区別しない。以降の図面においても同様である。

[0071]

本明細書等では、X方向、Y方向、及びZ方向のうち1つを「第1の方向」という場合がある。また、他の1つを「第2の方向」という場合がある。さらに、残りの1つを「第3の方向」という場合がある。

[0072]

本発明の一態様の半導体装置は、基板（図示せず）上の絶縁層101と、絶縁層101上のトランジスタ100と、を有する。また、本発明の一態様の半導体装置は、絶縁層101上の絶縁層103と、絶縁層103上の絶縁層104と、絶縁層104上、及びトランジスタ100上の絶縁層107と、を有する。ここで、絶縁層101、絶縁層103、及び絶縁層104は、層間絶縁層として機能する。これらの絶縁層を含めた、層間絶縁層として機能する層は、平坦化されていることが好ましい。なお、層間絶縁層として機能する層が平坦化されていなくてもよい。

[0073]

トランジスタ100は、導電層111と、導電層112と、半導体層113と、絶縁層105と、導電層115と、絶縁層106と、導電層117と、を有する。ここで、図2 A 1から導電層115、半導体層113、及び導電層112を省略し、絶縁層106を追加した平面図を図2 A 2に示す。図2 A 1では、導電層115が、X方向に延在して設けられ、導電層112が、Y方向に延在して設けられる例を示している。また、図2 A 1、及び図2 A 2では、導電層117が、Y方向に延在して設けられる例を示している。

[0074]

絶縁層101、絶縁層103、絶縁層104、絶縁層105、絶縁層106、及び絶縁層107には、後述する[絶縁体]の項目に記載の絶縁体を、単層又は積層で用いることができる。導電層111、導電層112、導電層115、及び導電層117には、後述する[導電体]の項目に記載の導電体を、単層又は積層で用いることができる。半導体層113には、後述する[金属酸化物]の項目に記載の金属酸化物を、単層又は積層で用いることができる。また、半導体層113には、後述する[その他の半導体材料]の項目に記載のシリコン等の材料を、単層又は積層で用いることができる。

[0075]

本明細書等において、半導体層のチャネル形成領域に金属酸化物を用いたトランジスタを、OSトランジスタという。また、半導体層のチャネル形成領域にシリコンを用いたトランジスタを、Siトランジスタという。半導体層113に金属酸化物を用いる場合、トランジスタ100をOSトランジスタとすることができる。また、半導体層113にシリコンを用いる場合、トランジスタ100をSiトランジスタとすることができる。

[0076]

導電層 111 は、トランジスタ 100 のソース電極又はドレイン電極の一方として機能する。導電層 112 は、トランジスタ 100 のソース電極又はドレイン電極の他方として機能する。絶縁層 105、及び絶縁層 106 は、トランジスタ 100 のゲート絶縁層として機能する。導電層 115、及び導電層 117 は、トランジスタ 100 のゲート電極として機能する。

[0077]

絶縁層 101 上に導電層 111 が設けられ、絶縁層 101 上、及び導電層 111 上に絶縁層 103 が設けられ、絶縁層 103 上に絶縁層 106、及び導電層 117 が設けられ、絶縁層 103 上、絶縁層 106 上、及び導電層 117 上に絶縁層 104 が設けられ、絶縁層 104 上に導電層 112 が設けられる。導電層 111 と、絶縁層 106 及び導電層 117 と、は絶縁層 103 を介して互いに重なる領域を有することができ、絶縁層 106 及び導電層 117 と、導電層 112 と、は絶縁層 104 を介して互いに重なる領域を有することができる。よって、導電層 111 と導電層 112 は、絶縁層 103、及び絶縁層 104 を介して互いに重なる領域を有することができる。

[0078]

絶縁層 103、絶縁層 106、絶縁層 104、及び導電層 112 には、導電層 111 に達する開口部 121 が設けられる。開口部 121 は、これらの層の一部を例えばエッチング法で加工することで形成できる。特に、ドライエッチング法による加工は、微細加工に適しているため好ましい。

[0079]

図 2A1、及び図 2A2 では、開口部 121 の形状が、平面視において円形である例を示している。開口部 121 の平面視における形状を円形とすることにより、開口部 121 を形成する際の加工精度を高めることができ、微細なサイズの開口部 121 を形成できる。なお、本明細書等において、円形とは真円に限定されない。また、開口部 121 の平面視における形状は、例えば楕円形としてもよい。

[0080]

図 1、図 2A1、及び図 2B では、X 方向において、導電層 111 の側端部が導電層 117 の開口部 121 に面しない側端部より外側に位置し、導電層 117 の開口部 121 に面しない側端部が導電層 112 の開口部 121 に面しない側端部より外側に位置する例を示している。すなわち、図 1、図 2A1、及び図 2B では、X 方向において、導電層 112 の開口部 121 に面しない側端部は導電層 117、及び導電層 111 と重なり、導電層 117 の開口部 121 に面しない側端部は導電層 111 と重なるが、導電層 111 の側端部は導電層 112 及び導電層 117 と重ならず、導電層 117 の開口部 121 に面しない側端部は導電層 112 と重ならない例を示している。ここで、本発明の一態様はこれに限られず、例えば導電層 111 の側端部が、導電層 117 の開口部 121 に面しない側端部より内側に位置してもよく、導電層 112 の開口部 121 に面しない側端部より内側に位置してもよい。また、導電層 117 の側端部が、導電層 112 の開口部 121 に面しない側端部より内側に位置してもよい。

[0081]

半導体層 113 は、開口部 121 を覆い、開口部 121 の内部に位置する領域を有するように設けられる。半導体層 113 は、導電層 111 の上面、絶縁層 103 の側面、絶縁層 106 の側面、絶縁層 104 の側面、並びに導電層 112 の側面及び上面の形状に沿った形状を有することができる。これにより、半導体層 113 は、開口部 121 と重なる位置に凹部を有する。半導体層 113 は、導電層 111 の上面と接する領域、絶縁層 103 の側面と接する領域、絶縁層 106 の側面と接す

る領域、絶縁層 104 の側面と接する領域、導電層 112 の側面と接する領域、及び導電層 112 の上面と接する領域を有することができる。

[0082]

半導体層 113 は、導電層 112 の開口部 121 側の側端部を覆うことが好ましい。例えば図 1、図 2A1、図 2B、及び図 2C では、半導体層 113 の側端部が導電層 112 上に位置する構成を示している。当該構成は、半導体層 113 の下端部が、導電層 112 の上面に接するともいえる。なお、X 方向において、半導体層 113 の側端部が、導電層 112 の側端部より外側に位置してもよい。この場合、半導体層 113 が導電層 112 の開口部 121 に面しない側面を覆うことができる。

[0083]

本明細書等において、上端部は、側端部のうち最上部を示し、下端部は、側端部のうち最下部を示す。つまり、上端部、及び下端部は、それぞれ側端部の一部である。

[0084]

なお、図 1、図 2A1、図 2B、及び図 2C では、半導体層 113 が、X 方向、及び Y 方向の双方で分断され、島状となる例を示している。ここで、島状とは、同一工程で形成された同一材料を用いた 2 以上の層が、物理的に分離されている状態であることを示す。

[0085]

絶縁層 105 は、開口部 121 を覆い、開口部 121 の内部に位置する領域を有するように設けられる。絶縁層 105 は、半導体層 113 上、導電層 112 上、及び絶縁層 104 上に設けられる。絶縁層 105 は、半導体層 113 の上面及び側面、導電層 112 の上面及び側面、並びに絶縁層 104 の上面の形状に沿った形状を有することができる。絶縁層 105 が半導体層 113 の上面及び側面に沿った形状を有することにより、絶縁層 105 は、開口部 121 と重なる位置に凹部を有する。絶縁層 105 は、半導体層 113 の上面と接する領域、半導体層 113 の側面と接する領域、導電層 112 の上面と接する領域、導電層 112 の側面と接する領域、及び絶縁層 104 の上面と接する領域を有することができる。

[0086]

導電層 115 は、絶縁層 105 上に設けられ、絶縁層 105 の上面及び凹部側面と接する領域を有することができる。導電層 115 は、開口部 121 の内部に位置する領域を有する。導電層 115 及び半導体層 113 は、開口部 121 の側壁及び底部に沿った位置において、絶縁層 105 を挟んで対向する領域を有する。ここで、半導体層 113 は、開口部 121 の内部において、絶縁層 105 を介して導電層 115 の側面及び底面を覆う構成とすることができる。例えば、開口部 121 の内部において、絶縁層 105 は、半導体層 113 の側面と接する領域、半導体層 113 の凹部上面と接する領域、導電層 115 の側面と接する領域、及び導電層 115 の底面と接する領域を有することができる。

[0087]

以上により、図 1、図 2B、及び図 2C に示すトランジスタ 100 は、層間絶縁層に形成された開口部の内部に半導体層、ゲート絶縁層、及びゲート電極が設けられるトランジスタである。これにより、トランジスタ 100 のチャネル長方向を、開口部 121 における絶縁層 103、絶縁層 106、及び絶縁層 104 の側面に沿った方向とすることができる。よって、チャネル長が、トランジスタ 100 の作製に用いる露光装置の性能に影響されなくなるため、チャネル長を露光装置の限界

解像度よりも小さくできる。したがって、トランジスタ１００のオン電流を大きくできる。これにより、高速に駆動する半導体装置を提供できる。なお、例えば図２Ａ１では、開口部１２１の全体が、導電層１１１、半導体層１１３、及び導電層１１５と重なる領域を有する例を示しているが、開口部１２１の一部が、導電層１１１、半導体層１１３、及び導電層１１５のうち少なくとも１つと重ならなくてもよい。

[００８８]

図１、図２Ｂ、及び図２Ｃに示すように、導電層１１５の一部は、開口部１２１の外部、すなわち導電層１１２及び絶縁層１０４の上に位置する。このとき、図２Ｃに示すように、導電層１１５の側端部の少なくとも一部は、半導体層１１３の側端部より内側に位置することが好ましい。これにより、例えば導電層１１２、絶縁層１０５、及び導電層１１５により形成される寄生容量を小さくできる。なお、導電層１１５の側端部が、半導体層１１３の側端部より外側に位置してもよい。この場合、導電層１１５が、半導体層１１３の全体を覆うことができる。

[００８９]

トランジスタ１００には、絶縁層１０６、及び導電層１１７が、絶縁層１０３と絶縁層１０４の間に設けられる。絶縁層１０６は、半導体層１１３の凹部側面の一部を覆う。導電層１１７は、絶縁層１０６より外側（開口部１２１と反対側）に設けられる。つまり、絶縁層１０６は、半導体層１１３と、導電層１１７と、の間に設けられる。

[００９０]

導電層１１７は、絶縁層１０６の側面の少なくとも一部を覆う。また、導電層１１７は、絶縁層１０６を介して半導体層１１３の凹部側面の一部を覆う。例えば、絶縁層１０６の開口部１２１における側面は、半導体層１１３の凹部側面と接する領域を有し、導電層１１７の側面は、絶縁層１０６の開口部１２１とは反対側の側面と接する領域を有する。よって、導電層１１７はゲート電極として機能し、絶縁層１０６はゲート絶縁層として機能する。ここで、絶縁層１０４は、絶縁層１０６の上面、並びに導電層１１７の上面及び側面を覆うことができる。

[００９１]

本発明の一態様の半導体装置には、絶縁層１０３と、導電層１１７と、絶縁層１０４と、により形成される凹部１３２が設けられ、凹部１３２の内部に位置する領域を有するように絶縁層１０６が設けられる。また、導電層１１７には、開口部１２１と重なる領域を有し、且つ凹部１３２を含む開口部１２３が設けられる。開口部１２３には、例えば、開口部１２１と重なる領域と、凹部１３２と、を含むことができる。以上より、絶縁層１０６は、開口部１２３の、絶縁層１０３と絶縁層１０４の間の領域に設けられる。開口部１２３の平面視における形状は、開口部１２１の平面視における形状と同様の形状とすることができる。図２Ａ１、及び図２Ａ２では、開口部１２３の形状が、平面視において円形である例を示している。なお、開口部１２３の平面視における形状は、例えば楕円形としてもよい。

[００９２]

以上により、トランジスタ１００は、ゲート電極を２個有する、デュアルゲート構造のトランジスタであり、第１のゲート電極として機能する導電層１１５と第２のゲート電極として機能する導電層１１７が、開口部１２１の内部において半導体層１１３のチャネル形成領域を挟む領域を有するように設けられる。ここで、例えば導電層１１５の電位に基づき、半導体層１１３のチャネル形成領域を流れる電流の大きさを制御でき、導電層１１７の電位に基づき、トランジスタ１００のしき

い値電圧を制御できる。

[0093]

前述のように、トランジスタ100のチャネル長は小さく、例えば露光装置の限界解像度よりも小さい。この場合、トランジスタ100をnチャネル型のトランジスタとすると、トランジスタ100のしきい値電圧が小さくなり、例えばトランジスタ100がノーマリーオン特性となる場合がある。そこで、導電層117の電位を制御してトランジスタ100のしきい値電圧を制御する、具体的にはトランジスタ100に導電層117を設けない場合よりトランジスタ100のしきい値電圧を例えば大きくすることにより、トランジスタ100がノーマリーオン特性となることを抑制できる。別言すると、トランジスタ100をノーマリーオフ特性とすることができる。なお、トランジスタ100のしきい値電圧を制御することにより、トランジスタ100のしきい値電圧を小さくしてトランジスタ100のオン電流を大きくすることもできる。また、導電層117の電位によりトランジスタ100のしきい値電圧を制御することにより、トランジスタ100毎の電気特性のばらつき、具体的にはトランジスタ100毎のしきい値電圧のばらつきを低減できる。以上により、電気特性が良好な半導体装置を提供できる。

[0094]

以下では、トランジスタ100がnチャネル型のトランジスタであるとして説明を行う。なお、トランジスタ100がpチャネル型のトランジスタである場合も、例えば本明細書に示す各種電位、及びしきい値電圧等の大小関係を、トランジスタ100がnチャネル型のトランジスタである場合と適宜逆転させることにより、本発明の一態様を適用できる。

[0095]

本明細書等において、第1のゲート電極をフロントゲート電極といい、第2のゲート電極をバックゲート電極ということができる。また、導電層115を第1のゲート電極とし、導電層117を第2のゲート電極とする場合、絶縁層105を第1のゲート絶縁層とし、絶縁層106を第2のゲート絶縁層とすることができる。なお、第1のゲート電極と、第2のゲート電極と、を入れ替えて用いてもよい。例えば、導電層115を第2のゲート電極に、導電層117を第1のゲート電極に、それぞれ用いてもよい。この場合、絶縁層105を第2のゲート絶縁層といい、絶縁層106を第1のゲート絶縁層ということができる。

[0096]

導電層117には、例えば定電位を供給できる。例えば、導電層117に接地電位、又は負電位を供給することにより、トランジスタ100がノーマリーオン特性となることを抑制できる。なお、導電層115の電位と同一の電位を導電層117に供給してもよい。これにより、例えばトランジスタ100のオン電流を大きくできる。また、トランジスタ100がnチャネル型のトランジスタである場合、例えばトランジスタ100をオン状態とする場合に導電層117に供給する電位を、トランジスタ100をオフ状態とする場合に導電層117に供給する電位より高くしてもよい。例えば、トランジスタ100をオン状態とする場合には導電層117に正電位を供給し、トランジスタ100をオフ状態とする場合には導電層117に接地電位、又は負電位を供給してもよい。

[0097]

ここで、半導体層113の、導電層117によって覆われない領域には、導電層117からの電界が届かない場合がある。半導体層113の、導電層117からの電界が届かない領域の電気抵抗率が、導電層117からの電界が届く領域の電気抵抗率より低いと、例えばトランジスタ100のオ

ン電流を大きくでき好ましい。例えば、半導体層 113 の、絶縁層 103 と接する領域、及び絶縁層 104 と接する領域の電気抵抗率は、半導体層 113 の絶縁層 106 と接する領域の電気抵抗率より低いことが好ましい。

[0098]

例えば、絶縁層 103、及び絶縁層 104 として、窒素を含む絶縁体を用いると、半導体層 113 に窒素を供給できる。これにより、半導体層 113 に金属酸化物を用いる場合、半導体層 113 にキャリアである電子が生じ、キャリア濃度が増加する場合がある。よって、半導体層 113 の、例えば絶縁層 103 と接する領域、及び絶縁層 104 と接する領域の電気抵抗率を、半導体層 113 の絶縁層 106 と接する領域の電気抵抗率より低くできる。窒素を含む絶縁体として、例えば窒化シリコンが挙げられる。また、絶縁層 103、及び絶縁層 104 として、例えば窒化酸化シリコンを用いてもよく、又は窒化アルミニウムを用いてもよい。

[0099]

また、絶縁層 103、及び絶縁層 104 として、酸素を含む絶縁体を用いてもよい。この場合、半導体層 113 のチャネル形成領域近傍に配置される絶縁層 103、及び絶縁層 104 は、加熱により脱離する酸素（以下、過剰酸素という場合がある）を含むことが好ましい。過剰酸素を含む絶縁層 103、及び絶縁層 104 に熱処理を行うことで、絶縁層 103、及び絶縁層 104 から半導体層 113 のチャネル形成領域に酸素を供給し、酸素欠損、及び酸素欠損に水素が入った欠陥（以下、V_oHともいう）の低減を図ることができる。これにより、トランジスタ 100 の電気特性を安定にし、信頼性の向上を図ることができる。酸素を含む絶縁体として、例えば酸化シリコン、及び酸化窒化シリコンが挙げられる。

[0100]

さらに、半導体層 113 のチャネル形成領域近傍に配置される絶縁層 103、及び絶縁層 104 として、水素を捕獲する機能、又は水素を固着する機能を有する絶縁体を用いてもよい。このような構成にすることで、半導体層 113 のチャネル形成領域の水素を捕獲又は固着（ゲッタリングともいう）し、半導体層 113 の水素濃度を低減できる。このような絶縁層 103、及び絶縁層 104 として、例えば酸化マグネシウム、及び酸化アルミニウムが挙げられる。

[0101]

導電層 115 上、及び絶縁層 105 上には、絶縁層 107 が設けられる。絶縁層 107 は、導電層 115 の上面及び側面を覆うように設けることができる。絶縁層 107 は、不純物がトランジスタ 100 に侵入することを抑制する機能を有し、例えば半導体層 113 に侵入することを抑制する機能を有する。

[0102]

図 1、図 2 B、及び図 2 C では、絶縁層 105 が面状に設けられる例を示しているが、本発明の一態様はこれに限らない。図 2 D は、図 2 C に示す絶縁層 105 の側端部が、導電層 115 の側端部と一致又は概略一致する例を示している。例えば、絶縁層 105 を導電層 115 と同一のパターンで加工することにより、絶縁層 105 の側端部と導電層 115 の側端部が一致又は概略一致する構成とすることができる。

[0103]

図 3 A は、図 2 B 乃至図 2 D に示す絶縁層 106、及びその近傍の拡大図である。図 3 A では、絶縁層 106 の他、絶縁層 103、絶縁層 104、半導体層 113、及び導電層 117 の一部を示し

ている。図 3 A に示すように、開口部 1 2 1 において、絶縁層 1 0 6 の側面は、絶縁層 1 0 3 の側面、及び絶縁層 1 0 4 の側面と一致又は概略一致することができる。なお、例えば絶縁層 1 0 6 の形成工程に起因して、開口部 1 2 1 において、絶縁層 1 0 6 の側面が、絶縁層 1 0 3 の側面及び絶縁層 1 0 4 の側面の一方又は双方と一致又は概略一致しない場合がある。例えば、開口部 1 2 1 において、絶縁層 1 0 6 の側面が、絶縁層 1 0 3 の側面及び絶縁層 1 0 4 の側面の一方又は双方より、導電層 1 1 7 側に位置する場合がある。

[0104]

図 3 B は、図 3 A に示す絶縁層 1 0 6 が、凹部 1 3 3 を有する構成例を示す図である。凹部 1 3 3 の内部には、半導体層 1 1 3 を設けることができる。図 3 B に示す例では、絶縁層 1 0 6 は、凹部 1 3 2 の壁面に沿った形状とすることができる。また、図 3 B に示す例では、導電層 1 1 7 の側面と凹部 1 3 3 における半導体層 1 1 3 の側面との間の距離 d_1 、絶縁層 1 0 3 の上面と凹部 1 3 3 における半導体層 1 1 3 の底面との間の距離 d_2 、及び絶縁層 1 0 4 の底面と凹部 1 3 3 における半導体層 1 1 3 の上面との間の距離 d_3 のいずれをも、絶縁層 1 0 6 の膜厚とすることができる。距離 d_1 、距離 d_2 、及び距離 d_3 は、互いに一致又は概略一致させることができる。なお、例えば絶縁層 1 0 6 の形成工程に起因して、距離 d_1 、距離 d_2 、及び距離 d_3 が、互いに一致又は概略一致しない場合がある。

[0105]

図 3 B では、開口部 1 2 1 において、絶縁層 1 0 3 と凹部 1 3 3 の間の領域における絶縁層 1 0 6 の側面が、絶縁層 1 0 3 の側面と一致又は概略一致し、絶縁層 1 0 4 と凹部 1 3 3 の間の領域における絶縁層 1 0 6 の側面が、絶縁層 1 0 4 の側面と一致又は概略一致する例を示している。なお、例えば絶縁層 1 0 6 の形成工程に起因して、開口部 1 2 1 において、絶縁層 1 0 3 と凹部 1 3 3 の間の領域における絶縁層 1 0 6 の側面が、絶縁層 1 0 3 の側面と一致又は概略一致しない場合があり、例えば絶縁層 1 0 3 の側面より導電層 1 1 7 側に位置する場合がある。また、開口部 1 2 1 において、絶縁層 1 0 4 と凹部 1 3 3 の間の領域における絶縁層 1 0 6 の側面が、絶縁層 1 0 4 の側面と一致又は概略一致しない場合があり、例えば絶縁層 1 0 4 の側面より導電層 1 1 7 側に位置する場合がある。

[0106]

図 4 A は、図 2 C に示すトランジスタ 1 0 0、及びその近傍の拡大図である。また、図 4 A に示すトランジスタ 1 0 0 の、導電層 1 1 2 を含む XY 面の平面図を、図 4 B に示す。なお、図 4 B には、導電層 1 1 1、及び導電層 1 1 7 は示していない。

[0107]

図 4 A に示すように、半導体層 1 1 3 は、領域 1 1 3 i と、領域 1 1 3 i を挟むように設けられる領域 1 1 3 n a 及び領域 1 1 3 n b と、を有する。

[0108]

領域 1 1 3 n a は、半導体層 1 1 3 の導電層 1 1 1 と接する領域である。領域 1 1 3 n a の少なくとも一部は、トランジスタ 1 0 0 のソース領域及びドレイン領域の一方として機能する。領域 1 1 3 n b は、半導体層 1 1 3 の導電層 1 1 2 と接する領域である。領域 1 1 3 n b の少なくとも一部は、トランジスタ 1 0 0 のソース領域及びドレイン領域の他方として機能する。図 4 B に示すように、導電層 1 1 2 は半導体層 1 1 3 の外周全体に接する。よって、トランジスタ 1 0 0 のソース領域及びドレイン領域の他方は、半導体層 1 1 3 の、導電層 1 1 2 と同じ層に形成される部分の外周

全体に形成されうる。

[0109]

領域113iは、半導体層113の、領域113naと領域113nbの間の領域である。領域113iの少なくとも一部が、トランジスタ100のチャネル形成領域として機能する。つまり、トランジスタ100のチャネル形成領域は、半導体層113の、導電層111と導電層112の間の領域に位置する。また、トランジスタ100のチャネル形成領域は、半導体層113の、絶縁層103と接する領域又はその近傍の領域、絶縁層106と接する領域又はその近傍の領域、及び絶縁層104と接する領域又はその近傍の領域に位置するともいう。

[0110]

トランジスタのチャネル長は、ソース領域とドレイン領域の間の距離となる。つまり、トランジスタ100のチャネル長は、導電層111上の絶縁層103、導電層117、及び絶縁層104の厚さによって決定される、ということができる。図4Aは、トランジスタ100のチャネル長Lを破線の両矢印で示している。チャネル長Lは、断面視において、半導体層113と導電層111が接する領域の端部と、半導体層113と導電層112が接する領域の端部との間の距離となる。つまり、チャネル長Lは、断面視における絶縁層103、絶縁層106、及び絶縁層104の、開口部121における側面の長さに相当する。

[0111]

従来のトランジスタでは、例えばチャネル長がフォトリソグラフィの露光限界で設定されていたが、本発明においては、絶縁層103、導電層117、及び絶縁層104の、導電層111と重なる領域における膜厚でチャネル長を設定できる。よって、トランジスタ100のチャネル長を、フォトリソグラフィの露光限界以下の非常に微細な構造（例えば、60nm以下、50nm以下、40nm以下、30nm以下、20nm以下、又は10nm以下であって、1nm以上、又は5nm以上）にすることができる。これにより、トランジスタ100のオン電流が大きくなる。よって、高速に駆動する半導体装置を提供できる。

[0112]

ここで、詳細は後述するが、OSトランジスタは、短チャネル効果に対する耐性が、Siトランジスタより高い。また、上述のように、例えば図4A、及び図4Bに示す構成のトランジスタ100は、従来のトランジスタよりチャネル長を短くできる。以上により、トランジスタ100を例えば図4A、及び図4Bに示す構成とする場合、半導体層113には金属酸化物を用いることが好ましい。なお、半導体層113として、シリコン等、金属酸化物以外の材料を用いてもよい。

[0113]

さらに、上記のように、開口部121に、チャネル形成領域、ソース領域、及びドレイン領域を形成できる。これにより、チャネル形成領域、ソース領域、及びドレイン領域が、XY平面上に別々に設けられていた、従来のトランジスタと比較して、トランジスタの占有面積を低減できる。これにより、半導体装置を小型化できる。

[0114]

また、図4Bに示すように、半導体層113のチャネル形成領域を含むXY平面において、半導体層113、絶縁層105、及び導電層115は、同心円状に設けられる。よって、中心に設けられる導電層115の側面は、絶縁層105を介して、半導体層113の側面と対向する。つまり、平面視において、半導体層113の外周全体がチャネル形成領域になる。このとき、例えば、半導体

層 1 1 3 の外周の長さによって、トランジスタ 1 0 0 のチャネル幅が決まる。つまり、トランジスタ 1 0 0 のチャネル幅は、開口部 1 2 1 の最大幅（平面視において開口部 1 2 1 が円形である場合は最大径）の大きさによって決定される、ということが出来る。図 4 A、及び図 4 B では、開口部 1 2 1 の最大幅 D を二点鎖線の両矢印で示している。図 4 B では、トランジスタ 1 0 0 のチャネル幅 W を一点鎖線の両矢印で示している。

[0 1 1 5]

開口部 1 2 1 の最大幅 D は、例えば、5 nm 以上、1 0 nm 以上、又は 2 0 nm 以上であって、1 0 0 nm 以下、6 0 nm 以下、5 0 nm 以下、4 0 nm 以下、又は 3 0 nm 以下が好ましい。なお、平面視において開口部 1 2 1 が円形である場合、開口部 1 2 1 の最大幅 D は開口部 1 2 1 の直径に相当し、チャネル幅 W は “ $D \times \pi$ ” と算出できる。前述した本発明の一態様の開口部の形成方法を適用することで、開口部 1 2 1 の最大幅 D を小さくすることが容易となる。これにより、トランジスタ 1 0 0 を微細化できる。一方、開口部 1 2 1 の最大幅 D の大きさを大きくすることで、トランジスタ 1 0 0 の単位面積当たりのチャネル幅を大きくし、オン電流を大きくできる。

[0 1 1 6]

また、本発明の一態様の半導体装置においては、トランジスタ 1 0 0 のチャネル長 L は、少なくともトランジスタ 1 0 0 のチャネル幅 W よりも小さいことが好ましい。トランジスタ 1 0 0 のチャネル長 L は、トランジスタ 1 0 0 のチャネル幅 W に対し、0. 1 倍以上 0. 9 9 倍以下、好ましくは 0. 5 倍以上 0. 8 倍以下である。このような構成にすることで、良好な電気特性及び高い信頼性を有するトランジスタを実現できる。

[0 1 1 7]

なお、半導体層 1 1 3、絶縁層 1 0 5、及び導電層 1 1 5 を同心円状に設けることにより、導電層 1 1 5 と半導体層 1 1 3 の間の距離が概略均一になる。よって、半導体層 1 1 3 にゲート電界を概略均一に印加できる。

[0 1 1 8]

開口部 1 2 1 の側壁は、例えば導電層 1 1 1 の上面に対して垂直であることが好ましい。このような構成にすることで、トランジスタ 1 0 0 を微細化できる。なお、開口部 1 2 1 の側壁がテーパ形状になってもよい。

[0 1 1 9]

以下では、本発明の一態様の半導体装置の構成要素について説明する。

[0 1 2 0]

前述のように、半導体層 1 1 3 には、後述する〔金属酸化物〕の項目に記載の金属酸化物を、単層又は積層で用いることができる。また、半導体層 1 1 3 には、後述する〔その他の半導体材料〕の項目に記載のシリコン等の材料を、単層又は積層で用いることができる。

[0 1 2 1]

半導体層 1 1 3 に金属酸化物を用いる場合、半導体層 1 1 3 として、具体的には、 $I n : M : Z n = 1 : 3 : 2$ 〔原子数比〕若しくはその近傍の組成、 $I n : M : Z n = 1 : 3 : 4$ 〔原子数比〕若しくはその近傍の組成、 $I n : M : Z n = 1 : 1 : 0. 5$ 〔原子数比〕若しくはその近傍の組成、 $I n : M : Z n = 1 : 1 : 1$ 〔原子数比〕若しくはその近傍の組成、 $I n : M : Z n = 1 : 1 : 1. 2$ 〔原子数比〕若しくはその近傍の組成、 $I n : M : Z n = 1 : 1 : 2$ 〔原子数比〕若しくはその近傍の組成、又は $I n : M : Z n = 4 : 2 : 3$ 〔原子数比〕若しくはその近傍の組成の金属酸化物

を用いることができる。なお、近傍の組成とは、所望の原子数比の±30%の範囲を含む。また、元素Mとして、ガリウムを用いることが好ましい。

[0122]

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であってもよい。

[0123]

半導体層113に用いる金属酸化物の組成の分析には、例えば、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray Spectrometry）、XPS、誘導結合プラズマ質量分析法（ICP-MS: Inductively Coupled Plasma-Mass Spectrometry）、又は誘導結合高周波プラズマ発光分光法（ICP-AES: Inductively Coupled Plasma-Atomic Emission Spectrometry）を用いることができる。又は、これらの手法を複数組み合わせさせて分析を行ってもよい。なお、含有率が低い元素は、分析精度の影響により、実際の含有率と分析によって得られた含有率が異なる場合がある。例えば、元素Mの含有率が低い場合、分析によって得られた元素Mの含有率が、実際の含有率より低くなる場合がある。

[0124]

金属酸化物の形成には、原子層堆積（ALD: Atomic Layer Deposition）法を好適に用いることができる。

[0125]

又は、金属酸化物の形成には、スパッタリング法、又は化学気相堆積（CVD: Chemical Vapor Deposition）法を用いてもよい。

[0126]

なお、金属酸化物をスパッタリング法で形成する場合、形成後の金属酸化物の組成はスパッタリングターゲットの組成と異なる場合がある。特に、亜鉛は、形成後の金属酸化物における含有率が、スパッタリングターゲットと比較して50%程度にまで減少する場合がある。

[0127]

半導体層113に用いる金属酸化物は、結晶性を有することが好ましい。結晶性を有する酸化物半導体として、CAAC-OS（c-axis aligned crystalline oxide semiconductor）、nc-OS（nanocrystalline oxide semiconductor）、多結晶酸化物半導体、及び単結晶酸化物半導体等が挙げられる。半導体層113として、CAAC-OS又はnc-OSを用いることが好ましく、CAAC-OSを用いることが特に好ましい。

[0128]

CAAC-OSは、複数の層状の結晶領域を有し、c軸が被形成面の法線方向に配向していることが好ましい。例えば、半導体層113は、開口部121の側壁、特に絶縁層103、絶縁層106、及び絶縁層104の側面に対して、概略平行な層状の結晶を有することが好ましい。このような構成にすることで、トランジスタ100のチャンネル長方向に対して、半導体層113の層状の結晶が概略平行に形成されるため、トランジスタ100のオン電流を大きくできる。

[0129]

CAAC-OSは、結晶性の高い、緻密な構造を有しており、不純物及び欠陥（例えば、酸素欠損等）が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度（例えば、400℃以上600℃以下）で加熱処理することで、CAAC-OSをより結晶性の高い、緻密な構造にすることができる。このようにして、CAAC-OSの密度をより高めることで、当該CAAC-OS中の不純物又は酸素の拡散をより低減できる。

[0130]

また、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0131]

また、半導体層113としてCAAC-OS等の結晶性を有する金属酸化物を用いることで、ソース電極又はドレイン電極による、半導体層113からの酸素の引き抜きを抑制できる。これにより、熱処理を行っても、半導体層113から酸素が引き抜かれることを抑制できるため、トランジスタ100は、作製工程における高い温度（所謂サーマルバジェット）に対して安定である。

[0132]

半導体層113の結晶性は、例えば、X線回折（XRD: XRay Diffraction）、透過型電子顕微鏡（TEM: Transmission Electron Microscope）、又は電子線回折（ED: Electron Diffraction）により解析できる。又は、これらの手法を複数組み合わせることで分析を行ってもよい。

[0133]

半導体層113の膜厚は、1nm以上、3nm以上、又は5nm以上であって、20nm以下、15nm以下、12nm以下、又は10nm以下であることが好ましい。

[0134]

なお、図1、図2B、及び図2C等では、半導体層113を単層で示したが、本発明の一態様はこれに限られるものではない。半導体層113は、化学組成が異なる複数の酸化物層の積層構造を有してもよい。例えば、上記金属酸化物から選ばれる複数種を適宜積層する構造にしてもよい。

[0135]

前述のように、半導体層113は、導電層111と接する領域、及び導電層112と接する領域を有することができる。半導体層113と導電層111が接することで、金属化合物、又は酸素欠損が形成され、半導体層113の領域113naが低抵抗化する可能性がある。導電層111と接する半導体層113が低抵抗化することで、半導体層113と導電層111との接触抵抗を低減できる。同様に、半導体層113と導電層112が接することで、半導体層113の領域113nbが低抵抗化する場合がある。したがって、半導体層113と導電層112との接触抵抗を低減できる。

[0136]

ゲート絶縁層として機能する絶縁層105、及び絶縁層106として、例えば、酸化シリコン又は酸化窒化シリコンを用いることができる。酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

[0137]

また、絶縁層105、及び絶縁層106として、後述する「絶縁体」の項目に記載の比誘電率が高い材料、所謂high-k材料を用いてもよい。例えば、酸化ハフニウム又は酸化アルミニウム等

を用いてもよい。

[0138]

絶縁層105、及び絶縁層106の膜厚は、0.5nm以上15nm以下とすることが好ましく、0.5nm以上12nm以下とすることがより好ましく、0.5nm以上10nm以下とすることがさらに好ましい。絶縁層105、及び絶縁層106は、少なくとも一部において、上記のような膜厚の領域を有することが好ましい。ここで、開口部123の内部、又は開口部121の内部において、特に明示がある場合を除き、絶縁層106の膜厚は、絶縁層106の側面と、当該側面と反対側の側面と、の間の距離、例えば水平方向（Z方向と垂直な方向）の距離を示す。

[0139]

絶縁層105中、及び絶縁層106中の水及び水素等の不純物濃度は低減されていることが好ましい。これにより、半導体層113のチャネル形成領域への、水及び水素等の不純物の混入を抑制できる。

[0140]

なお、図1、図2B、及び図2C等では、絶縁層105、及び絶縁層106を単層で示したが、本発明の一態様はこれに限られるものではない。絶縁層105、及び絶縁層106は、積層構造であってもよい。

[0141]

ゲート電極として機能する導電層115として、例えば、タングステン、アルミニウム、又は銅等の導電性が高い導電性材料を用いることができる。また、導電層115として、合金を用いることができ、例えばアルミニウムとチタンの合金（Al-Ti）を用いることができる。

[0142]

また、導電層115として、酸化しにくい導電性材料、又は酸素の拡散を抑制する機能を有する導電性材料等を用いることが好ましい。当該導電性材料として、窒素を含む導電性材料（例えば、窒化チタン又は窒化タンタル等）、及び酸素を含む導電性材料（例えば、酸化ルテニウム等）等が挙げられる。これにより、導電層115の導電率が低下することを抑制できる。また、導電層115として、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、又はニッケルシリサイド等のシリサイドを用いてもよい。

[0143]

なお、図1、図2B、及び図2C等では、導電層115を単層で示したが、本発明の一態様はこれに限られるものではない。導電層115は、積層構造であってもよい。

[0144]

導電層111として、酸化しにくい導電性材料、又は、酸素の拡散を抑制する機能を有する導電性材料等を用いることが好ましい。例えば、窒化チタン又は窒化タンタル等を用いることができる。また、例えば、窒化チタンの上に窒化タンタルを積層した構造にしてもよい。この場合、窒化チタンが絶縁層101に接し、窒化タンタルが半導体層113に接する。このような構造にすることで、半導体層113によって導電層111が過剰に酸化されることを抑制できる。また、絶縁層101に酸化物絶縁体を用いる場合、絶縁層101によって導電層111が過剰に酸化されることを抑制できる。又は、導電層111として、例えば、窒化チタンの上にタングステンを積層した構造にしてもよい。

[0145]

また、導電層 111 は、半導体層 113 と接する領域を有するため、酸素を含む導電性材料を用いることが好ましい。導電層 111 として酸素を含む導電性材料を用いることで、導電層 111 が酸素を吸収しても導電性を維持できる。導電層 111 として、例えば、インジウムスズ酸化物（ITO ともいう）、シリコンを添加したインジウムスズ酸化物（ITSO ともいう）、又はインジウム亜鉛酸化物（IZO（登録商標）ともいう）等を単層又は積層で用いることができる。

[0146]

また、図 1、図 2B 乃至図 2D、及び図 4A では、導電層 111 の上面が平坦である構成を示しているが、本発明はこれに限られるものではない。例えば、導電層 111 の上面に、開口部 121 と重なる凹部が形成される構成にしてもよい。当該凹部を埋めるように、半導体層 113、絶縁層 105、及び導電層 115 の少なくとも一部が形成される構成にすることで、半導体層 113 の導電層 111 近傍まで、導電層 115 のゲート電界を印加しやすくできる。

[0147]

導電層 112 として、例えばタングステン、アルミニウム、又は銅等の、導電性が高い導電性材料を用いることができる。

[0148]

導電層 112 も導電層 115 と同様に、酸化しにくい導電性材料、又は、酸素の拡散を抑制する機能を有する導電性材料等を用いることが好ましい。例えば、窒化チタン又は窒化タンタル等を用いることができる。このような構成にすることで、半導体層 113 によって導電層 112 が過剰に酸化されることを抑制できる。また、導電層 112 も導電層 115 と同様に、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、又はニッケルシリサイド等のシリサイドを用いてもよい。

[0149]

また、例えば、窒化チタンの上にタングステンを積層した構造にしてもよい。このようにタングステンを積層して設けることで、導電層 112 の導電性を向上させることができる。

[0150]

また、導電層 112 を、第 1 の導電層と第 2 の導電層の積層構造とする場合、例えば、第 1 の導電層に導電性が高い導電性材料を用い、第 2 の導電層に酸素を含む導電性材料を用いてもよい。絶縁層 105 と接する領域の面積が第 1 の導電層より大きい第 2 の導電層として酸素を含む導電性材料を用いることで、絶縁層 105 中の酸素が導電層 112 の第 1 の導電層に拡散することを抑制できる。例えば、導電層 112 の第 1 の導電層としてタングステンをを用い、導電層 112 の第 2 の導電層としてシリコンを添加したインジウムスズ酸化物を用いるとよい。

[0151]

半導体層 113 と導電層 111 とが接することで、金属化合物、又は酸素欠損が形成され、半導体層 113 の領域 113na が低抵抗化する。導電層 111 と接する半導体層 113 が低抵抗化することで、半導体層 113 と導電層 111 との接触抵抗を低減できる。同様に、半導体層 113 と導電層 112 とが接することで、半導体層 113 の領域 113nb が低抵抗化する。したがって、半導体層 113 と導電層 112 との接触抵抗を低減できる。

[0152]

絶縁層 101 は、比誘電率が低いことが好ましい。これにより、配線間に生じる寄生容量を低減できる。絶縁層 101 としては、後述する「絶縁体」の項目に記載の、比誘電率が低い材料を含む絶

絶縁体を、単層又は積層で用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。

[0153]

また、絶縁層101中の水及び水素等の不純物濃度は低減されていることが好ましい。これにより、半導体層113のチャネル形成領域への、水及び水素等の不純物の混入を抑制できる。

[0154]

絶縁層107には、後述する[絶縁体]の項目に記載の、水素に対するバリア性を有する絶縁体を用いることが好ましい。これにより、トランジスタ100の外から絶縁層105を介して、半導体層113に水素が拡散することを抑制できる。窒化シリコン、及び窒化酸化シリコンは、それぞれ、自身からの水及び水素等の不純物の放出が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁層107に好適に用いることができる。

[0155]

また、絶縁層107として、後述する[絶縁体]の項目に記載の、水素を捕獲する機能、又は水素を固着する機能を有する絶縁体を用いることが好ましい。このような構成にすることで、絶縁層107の上方から半導体層113に水素が拡散することを抑制し、さらに半導体層113の水素を捕獲又は固着することで、半導体層113の水素濃度を低減できる。絶縁層107としては、酸化マグネシウム、酸化アルミニウム、又は酸化ハフニウム等を用いることができる。また、例えば、絶縁層107として、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンと、の積層膜を用いてもよい。

[0156]

なお、図2B、及び図2C等では、トランジスタ100の上面に絶縁層107を形成する構成を示したが、これに限定されない。例えば、トランジスタ100の側面、及び底面に絶縁層107、又は絶縁層107と同様の機能及び材料を有する絶縁層を形成し、トランジスタ100を絶縁層107にて取り囲む構成としてもよい。当該構成とすることで、トランジスタ100の内部に、水及び水素等の不純物が入り込むことを抑制できる。

[0157]

<半導体装置の構成例2>

図5A1、図5A2、図5B、及び図5Cは、それぞれ図2A1、図2A2、図2B、及び図2Cに示す導電層117が、酸化物領域117oxを有する構成例を示す図である。酸化物領域117oxは、導電層117の、開口部123における側面を酸化することにより形成できる。酸化物領域117oxは、絶縁層106の側面の少なくとも一部を覆い、例えば絶縁層106の開口部121とは反対側の側面と接する領域を有する。

[0158]

酸化物領域117oxは、導電層117より電気抵抗率が高い領域であり、絶縁性を有する。ここで、酸化物領域117oxが絶縁性を有することから、酸化物領域117oxは、半導体層113より電気抵抗率が高い領域とすることができる。なお、酸化物領域117oxは、絶縁性を有するのであれば酸化されていなくてもよい。酸化物領域117oxは、高抵抗領域と言い換えることができる。

[0159]

以上より、図5A1、図5A2、図5B、及び図5Cに示す構成では、絶縁層106だけでなく、

酸化物領域 117ox も、トランジスタ 100 の第 2 のゲート絶縁層として機能させることができる。これにより、例えば絶縁層 106 の膜厚が薄い場合であっても、トランジスタ 100 の第 2 のゲート絶縁層の膜厚（半導体層 113 と第 2 のゲート電極との間の距離）を確保できる。これにより、半導体層 113 とトランジスタ 100 の第 2 のゲート電極（導電層 117 の、酸化されていない領域）のショートを防止できる。また、例えば絶縁層 106 が導電層 117 の開口部 123 における側面を完全に覆っていない等の理由により、半導体層 113 の形成時に導電層 117 の開口部 123 における側面が露出している場合であっても、半導体層 113 とトランジスタ 100 の第 2 のゲート電極のショートを防止できる。以上により、信頼性が高い半導体装置を提供できる。

[0160]

本明細書等において、酸化物領域 117ox は導電層 117 に含まれる、つまり酸化物領域 117ox は導電層 117 の一部とすることができる。なお、酸化物領域 117ox を導電層 117 に含まないとしてもよい。

[0161]

導電層 117 に酸化物領域 117ox を設ける場合、導電層 117 には、酸化等の化学反応により電気抵抗率が増加し、例えば絶縁性を有するようになる材料を用いる。導電層 117 として、例えば金属、又は金属の窒化物を用いることができる。導電層 117 に用いることができる材料として、例えば窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、及びタングステンが挙げられる。

[0162]

酸化物領域 117ox は、導電層 117 に含まれる材料の酸化物を含む。例えば、導電層 117 として窒化タンタルを用いる場合、酸化物領域 117ox には酸化タンタルが含まれ、導電層 117 として窒化チタンを用いる場合、酸化物領域 117ox には酸化チタンが含まれる。なお、酸化物領域 117ox に例えば窒素が含まれてもよい。

[0163]

詳細は後述するが、導電層 117 の酸化物領域 117ox は、導電層 111、導電層 117、及び導電層 112 の形成後、導電層 117 の側面と接する領域を有するように、導電層 111 上、及び導電層 112 上に絶縁層 106 となる絶縁膜を形成した後、酸化処理を行うことで形成できる。酸化処理として、例えば、酸素を含む雰囲気でのマイクロ波処理が挙げられる。なお、酸化処理の後、上記絶縁膜を例えば異方性エッチングを用いて加工することにより、絶縁層 106 を形成できる。

[0164]

本明細書等において、マイクロ波処理とは、マイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理を示す。また、本明細書等において、マイクロ波とは、300MHz 以上 300GHz 以下の周波数を有する電磁波を示す。マイクロ波処理は、マイクロ波励起高密度プラズマ処理ということもできる。

[0165]

ここで、導電層 111、及び導電層 112 の形成後に上記酸化処理を行う場合、導電層 117 に対してだけでなく、導電層 111、及び導電層 112 に対しても酸化処理が行われる。よって、導電層 117 に酸化物領域 117ox を形成する場合、導電層 111、及び導電層 112 には、導電層 117 より酸化しにくい材料、又は酸化しても導電性を有する材料を用いる。導電層 111、及び導電層 112 には、例えば酸素を含む導電性材料を用いることができる。導電層 111、及び導電

層 112 として、例えば、インジウムスズ酸化物（ITO ともいう）、シリコンを添加したインジウムスズ酸化物（ITSO ともいう）、又はインジウム亜鉛酸化物（IZO（登録商標）ともいう）等を単層又は積層で用いることができる。

[0166]

導電層 117 と接する領域を有するように絶縁層 106 となる絶縁膜を形成した後、上記酸化処理を行うことにより、酸化物領域 117ox を、導電層 117 に含まれる成分と、絶縁層 106 に含まれる成分と、を含む領域とすることができる。これにより、導電層 117 と、絶縁層 106 と、をアロイ化させることができる。この場合、酸化物領域 117ox は、アロイ化された領域とすることができる。例えば、導電層 117 として窒化タンタルを用い、絶縁層 106 として酸化シリコンを用いる場合、酸化物領域 117ox はタンタルと、シリコンと、酸素と、窒素と、を含む領域とすることができる。また、導電層 117 としてタングステンを用い、絶縁層 106 として酸化シリコンを用いる場合、酸化物領域 117ox はタングステンと、シリコンと、酸素と、を含む領域とすることができる。

[0167]

また、導電層 112 と、絶縁層 106 となる絶縁膜と、をアロイ化させることができる場合がある。これにより、例えば導電層 112 にシリコンを含ませることができる場合がある。例えば、ITO を用いて導電層 112 を形成した場合、導電層 112 に ITSO を含ませることができる場合がある。同様に、導電層 111 と、絶縁層 106 となる絶縁膜と、をアロイ化させることができる場合がある。

[0168]

酸化物領域 117ox の平面視における形状は、絶縁層 106 がとり得る平面視における形状と同様の形状をとることができる。図 5A2 では、酸化物領域 117ox の平面視における形状が、絶縁層 106 の平面視における形状と同様の形状である例を示している。別言すると、酸化物領域 117ox と、導電層 117 の酸化されていない領域と、の境界の平面視における形状が、開口部 123 の外周の平面視における形状と同様の形状である例を示している。具体的には、図 5A2 では、酸化物領域 117ox と、導電層 117 の酸化されていない領域と、の境界の平面視における形状、及び開口部 123 の外周の平面視における形状が、共に円形である例を示している。しかしながら、本発明の一態様はこれに限られず、酸化物領域 117ox の平面視における形状の種類と、絶縁層 106 の平面視における形状の種類と、が異なってもよい。

[0169]

図 6A、及び図 6B は、それぞれ図 5B、及び図 5C に示す導電層 111 を導電層 111a と、導電層 111a 上の導電層 111b と、の 2 層積層構造にした図である。図 6C は、図 6B に示す導電層 111、及びその近傍の領域の拡大図である。図 6C には、少なくとも一部がトランジスタ 100 のソース領域及びドレイン領域の一方として機能する領域 113na と、少なくとも一部がトランジスタ 100 のチャネル形成領域として機能する領域 113i と、を示している。

[0170]

図 6A 乃至図 6C に示す例では、開口部 121 は、導電層 111b にも設けられ、導電層 111a に達する。この場合、半導体層 113 は、開口部 121 の内部において、導電層 111a の上面と接する領域、及び導電層 111b の側面と接する領域を有することができる。

[0171]

図6 A乃至図6 Cに示す構成のトランジスタ100を作製する場合、詳細は後述するが、導電層111bに達する開口部121を形成した後、導電層117に対して酸化処理を行って酸化物領域117oxを形成し、その後、導電層111bの開口部121と重なる領域を除去する。これにより、開口部121が導電層111aに達するようにする。なお、導電層111aに、開口部121と重なる領域を有する凹部が設けられる場合がある。また、開口部121が導電層111aに達せず、導電層111bに、開口部121と重なる領域を有する凹部が設けられる場合がある。

[0172]

トランジスタ100を図6 A乃至図6 Cに示す構成とする場合、上記酸化処理の後に、導電層111bの一部を除去する。これにより、上記酸化処理により導電層111bが酸化されたとしても、導電層111の上記酸化処理により酸化された領域の少なくとも一部を除去できる。よって、導電層111と、半導体層113と、の接触界面における電気抵抗を小さくできる。これにより、例えばトランジスタ100がオン状態である場合において、半導体層113の、導電層111と導電層112の間に電流が流れなくなること、及び流れる電流が小さくなることを抑制できる。よって、信頼性が高い半導体装置を提供できる。また、導電層117に酸化物領域117oxを形成する場合であっても、導電層111に、例えば耐酸化性が低い一方で導電性が高い材料を用いることができるようになる。これにより、導電層111の材料選択の幅を広げることができる。なお、図5 B、及び図5 C等 to 示すように、導電層111が例えば単層である場合も、上記酸化処理の後に、導電層111の酸化された領域の少なくとも一部を除去してもよい。この場合、導電層111には、開口部121と重なる領域を有する凹部が設けられる。

[0173]

また、図6 Cに示す例では、導電層111と導電層115が、開口部121の側壁に沿った位置において、半導体層113、及び絶縁層105を挟んで対向する領域を有する。これにより、領域113iと、領域113naと、の間に、オフセット領域が形成されることを防ぐことができる。また、当該対向する領域を有さない場合であっても、領域113iと領域113naの間のオフセット領域の長さを短くできる。以上により、トランジスタ100の実効的なチャネル長が、オフセット領域に起因して長くなることを抑制できる。よって、トランジスタ100のオン電流が小さくなることを抑制できる。

[0174]

導電層111a、及び導電層111bとして、後述する[導電体]の項目に記載の導電体を用いることができる。例えば、導電層111a及び導電層111bの一方又は双方として、タングステン、アルミニウム、又は銅等の、導電性が高い導電性材料を用いることができる。また、導電層111a及び導電層111bの一方又は双方として、図2 B、及び図2 C等 to 示す導電層111と同様に、酸素を含む導電性材料を用いることができる。例えば、導電層111a及び導電層111bの一方にタングステンをを用い、導電層111a及び導電層111bの他方に、シリコンを添加したインジウムスズ酸化物を用いることができる。なお、導電層111を、3層以上の積層構造としてもよい。

[0175]

なお、図1、図2 B、図2 C、図2 D、及び図4 Aに示す導電層111を、導電層111aと、導電層111a上の導電層111bと、の2層積層構造にしてもよい。この場合、開口部121は導電層111aに達してもよいし、導電層111bに達するが導電層111aに達しなくてもよい。開口部121が、導電層111bに達するが導電層111aに達しない場合、半導体層113は、

導電層 111b の上面と接する領域を有することができる。

[0176]

図 7A、及び図 7B は、それぞれ図 2B、及び図 2C に示す開口部 121 の側壁がテーパ形状、すなわち開口部 121 における絶縁層 103、絶縁層 106、絶縁層 104、及び導電層 112 の側面がテーパ形状である例を示している。

[0177]

開口部 121 の側壁をテーパ形状にすることで、半導体層 113、及び絶縁層 105 等の被覆性が向上し、鬆等の欠陥を低減できる。例えば、開口部 121 における絶縁層 103 の側面と、導電層 111 の上面とがなす角度 θ は、45 度以上 90 度未満であることが好ましく、45 度以上 75 度以下であることがより好ましく、45 度以上 65 度以下であることがさらに好ましい。なお、前述のように、開口部 121 の側壁が、導電層 111 の上面に対して垂直であってもよい。つまり、角度 θ が 90 度であってもよい。

[0178]

図 7A、及び図 7B に示す開口部 121 の形状は、円錐台形状である。この場合、平面視において開口部 121 は円形であり、断面視において開口部 121 は台形になる。また、円錐台形状の上底面（例えば、導電層 112 に設けられる開口部 121 の上面）の面積は、円錐台形状の下底面（開口部 121 により露出している導電層 111 の上面）の面積よりも大きい。このとき、開口部 121 の最大径は、円錐台形状の上底面をもとに算出するとよい。

[0179]

開口部 121 の側壁がテーパ形状である場合、導電層 111 と重なる領域における絶縁層 103、導電層 117、及び絶縁層 104 の膜厚と、開口部 121 における絶縁層 103 の側面と導電層 111 の上面とがなす角度 θ でチャンネル長を設定することができる。また、平面視における半導体層 113 の外周の長さは、例えば、導電層 112 と接する領域の位置、又は導電層 117 の膜厚の半分的位置で求めればよい。なお、必要に応じて、開口部 121 の任意の位置（深さ）における周の長さを、トランジスタ 100 のチャンネル幅としてもよい。例えば、開口部 121 の最下部の周の長さをチャンネル幅としてもよいし、開口部 121 の最上部の周の長さをチャンネル幅としてもよい。

[0180]

図 7A、及び図 7B では、開口部 121 における導電層 112 の側面と、開口部 121 における絶縁層 104 の側面と、開口部 121 における絶縁層 106 の側面と、開口部 121 における絶縁層 103 の側面と、が同一面状に設けられる例を示しているが、本発明の一態様はこれに限られない。例えば、開口部 121 における導電層 112 の側面と、開口部 121 における絶縁層 104 の側面と、が不連続になってもよい。また、開口部 121 における導電層 112 の側面の傾きと、開口部 121 における絶縁層 104 の側面の傾きと、開口部 121 における絶縁層 106 の側面の傾きと、開口部 121 における絶縁層 103 の側面の傾きと、のうち少なくとも 1 つが、他と異なってもよい。また例えば、開口部 121 における導電層 112 の側面と、導電層 111 の上面とがなす角度は、角度 θ よりも小さいことが好ましい。このような構成にすることで、開口部 121 における導電層 112 の側面への、半導体層 113 の被覆性が向上し、鬆等の欠陥を低減できる。

[0181]

図 7A、及び図 7B に示すように、開口部 121 の内部に位置する導電層 115 の底部は、平坦な領域を有する。なお、開口部 121 の最大幅（平面視において開口部 121 が円形である場合は最

大径)の大きさ、導電層111と重なる領域における絶縁層103、導電層117、及び絶縁層104の膜厚(開口部121の深さに相当)、半導体層113の膜厚、及び絶縁層105の膜厚等によっては、開口部121の内部に位置する導電層115の底部は平坦な領域を有さない場合がある。図7C、及び図7Dは、それぞれ図7A、及び図7Bに示す導電層115の、開口部121の内部に位置する底部の形状が針状である例を示している。

[0182]

ここで、針状とは、先端になる(開口部121の内部に位置する導電層115の底部に近づく)ほど細くなる形状を示す。なお、針状の先端は、鋭角であってもよいし、下に凸の曲面形状であってもよい。なお、針状のうち、先端が鋭角である形状を、V字形状といってもよい。

[0183]

開口部121の内部に位置する導電層115のうち、絶縁層105を介して半導体層113と対向する領域はゲート電極として機能する。よって、開口部121に埋め込まれ、底部の形状が針状である導電層115を、針状ゲートといってもよい。また、図7A、及び図7Bに示すように、導電層115の底部が平坦な領域を有する形状であっても、針状ゲートといってもよい場合がある。

[0184]

開口部121の側壁は、逆テーパ形状になっていてもよい。別言すると、角度 θ が、90度より大きくてもよい。

[0185]

ここで、逆テーパ形状とは、底部よりも基板に平行な方向にせり出した側部、又は上部を有した形状である。このとき、開口部121の形状は、円錐台形状である。この場合、平面視において開口部121は円形であり、断面視において開口部121は台形になる。また、円錐台形状の上底面(例えば、導電層112に設けられる開口部121の上面)の面積は、円錐台形状の下底面(開口部121において露出している導電層111の上面)の面積よりも小さくなる。このような構成にすることで、半導体層113と導電層111が接する面積を大きくできる。

[0186]

図8A、及び図8Bは、それぞれ図2B、及び図2Cに示す絶縁層103、及び絶縁層104を3層の積層構造にした図である。図8A、及び図8Bに示す例では、絶縁層103は、絶縁層103aと、絶縁層103a上の絶縁層103bと、絶縁層103b上の絶縁層103cと、を有する。また、絶縁層104は、絶縁層104aと、絶縁層104a上の絶縁層104bと、絶縁層104b上の絶縁層104cと、を有する。

[0187]

絶縁層103a、絶縁層103c、絶縁層104a、及び絶縁層104cとして、窒化シリコン、窒化酸化シリコン、又は窒化アルミニウム等、例えば窒素を含む絶縁体を用いることができる。また、絶縁層103b、及び絶縁層104bは、平坦化されている層とすることができる。絶縁層103bは、絶縁層103aより平坦化されやすい層とすることが好ましく、絶縁層104bは、絶縁層104aより平坦化されやすい層とすることが好ましい。絶縁層103b、及び絶縁層104bとして、酸化シリコン等、例えば酸素を含む絶縁体を用いることができる。以上の構成の半導体装置では、半導体層113の、絶縁層103aと接する領域、絶縁層103cと接する領域、絶縁層104aと接する領域、及び絶縁層104cと接する領域の電気抵抗率は、半導体層113の絶縁層106と接する領域の電気抵抗率より低くでき、また半導体層113の、絶縁層103bと接

する領域、及び絶縁層104bと接する領域の電気抵抗率より低くできる。

[0188]

絶縁層103、及び絶縁層104を図8A、及び図8Bに示す構成とすることで、絶縁層103、及び絶縁層104を平坦化させつつ、半導体層113の、絶縁層103と接する領域、及び絶縁層104と接する領域の少なくとも一部の電気抵抗率を、例えば半導体層113の絶縁層106と接する領域の電気抵抗率より低くできる。これにより、作製しやすく、且つ絶縁層103、及び絶縁層104が例えば窒素を含む層を有さない場合より高速に駆動する半導体装置を提供できる。なお、絶縁層103b、及び絶縁層104bの膜厚を薄くすると、半導体層113の、導電層117からの電界が届かず、且つ例えば窒素が含まれない領域の高さを低くできるため、トランジスタ100のオン電流を大きくできる。一方、絶縁層103bの膜厚を厚くすると、導電層111と、絶縁層103と、導電層117と、により形成される寄生容量を小さくでき、絶縁層104bの膜厚を厚くすると、導電層117と、絶縁層104と、導電層112と、により形成される寄生容量を小さくできる。

[0189]

図8C、及び図8Dは、それぞれ図8A、及び図8Bに示す絶縁層103b、及び絶縁層104bが、半導体層113と接しない例を示している。図8C、及び図8Dに示す例では、絶縁層103aの上面と絶縁層103bの上面を一致又は概略一致させることができ、絶縁層104aの上面と絶縁層104bの上面を一致又は概略一致させることができる。また、絶縁層103aの上面は、絶縁層103bと接する領域の他、絶縁層103cと接する領域を有することができ、絶縁層104aの上面は、絶縁層104bと接する領域の他、絶縁層104cと接する領域を有することができる。図8C、及び図8Dに示す構成は、例えば絶縁層103b、及び絶縁層104bの平坦化処理を、図8A、及び図8Bに示す構成を作製する場合より例えば長時間行うことにより作製できる。

[0190]

図8C、及び図8Dに示す例では、図8A、及び図8Bに示す例より、例えばトランジスタ100のチャンネル長を短くできるため、トランジスタ100のオン電流を大きくできる。一方、図8A、及び図8Bに示す例では、図8C、及び図8Dに示す例より、導電層111、絶縁層103、及び導電層117により形成される寄生容量、並びに導電層117、絶縁層104、及び導電層112により形成される寄生容量を小さくできる。また、図8A、及び図8Bに示す例では、絶縁層103b、及び絶縁層104bに過剰酸素を含めることにより、半導体層113のチャンネル形成領域におけるV_oHを低減できる。これにより、トランジスタ100の電気特性を安定にし、信頼性の向上を図ることができる。

[0191]

図8A乃至図8Dに示す例において、絶縁層103cは導電層117の底面と接する領域を有し、絶縁層104aは導電層117の上面及び側面と接する領域を有することができる。この場合、絶縁層103c、及び絶縁層104aを酸素が含まれない絶縁層とすると、例えば絶縁層103b、及び絶縁層104bに酸素が含まれる場合であっても、導電層117の、半導体層113から離れた領域が酸化されることを抑制できる。よって、導電層117の配線抵抗の増加を抑制できる。また、絶縁層104cを酸素が含まれない絶縁層とすると、例えば絶縁層104bに酸素が含まれる場合であっても、導電層112が酸化されることを抑制できる。なお、絶縁層104cが設けられず、絶縁層104が絶縁層104aと絶縁層104bの2層構造であってもよい。絶縁層104の

層数を減らすことにより、半導体装置の作製工程を簡略化できる。

[0192]

図2A1、図2A2、図2B、及び図2Cでは、導電層117の形状が、Y方向に延在する帯状である例を示しているが、本発明の一態様はこれに限らない。図9A、図9B、及び図9Cは、それぞれ図2A1、図2B、及び図2Cに示す導電層117の形状を、面状にした図である。なお、導電層117が、X方向に延在する帯状であってもよい。

[0193]

図10A、及び図10Bは、それぞれ図2B、及び図2Cに示す半導体層113、絶縁層105、及び導電層115を積層構造にした図である。図10Cは、図10Bに示すトランジスタ100の拡大図である。

[0194]

図10A乃至図10Cに示す例では、半導体層113を、半導体層113aと、半導体層113a上の半導体層113bと、の2層構造としている。また、図10A乃至図10Cに示す例では、絶縁層105を、絶縁層105aと、絶縁層105a上の絶縁層105bと、絶縁層105b上の絶縁層105cと、の3層構造としている。さらに、図10A乃至図10Cに示す例では、導電層115を、導電層115aと、導電層115a上の導電層115bと、の2層構造としている。

[0195]

半導体層113aに用いる材料の導電率は、半導体層113bに用いる材料の導電率と異なることが好ましい。

[0196]

例えば、半導体層113aには、半導体層113bより導電率の高い材料を用いることができる。導電層111及び導電層112と接する半導体層113aに導電率の高い材料を用いることにより、半導体層113と導電層111との接触抵抗、及び半導体層113と導電層112との接触抵抗を低くできる。これにより、トランジスタ100をオン電流が大きいトランジスタとすることができる。

[0197]

ここで、導電層115側に設けられる半導体層113bに導電率の高い材料を用いる場合、例えばトランジスタ100のしきい値電圧が小さくなり、トランジスタ100がノーマリーオン特性となる場合がある。したがって、半導体層113bには、半導体層113aより導電率の低い材料を用いることが好ましい。これにより、トランジスタ100のしきい値電圧を大きくでき、トランジスタ100がノーマリーオン特性となることを抑制できる。別言すると、トランジスタ100をノーマリーオフ特性とすることができる。

[0198]

前述のように半導体層113を積層構造とし、半導体層113aには、半導体層113bより導電率の高い材料を用いることにより、トランジスタ100をノーマリーオフ特性とし、且つオン電流が大きいトランジスタとすることができる。したがって、消費電力が低く、且つ高速に駆動する半導体装置を提供できる。

[0199]

なお、半導体層113aのキャリア濃度は、半導体層113bのキャリア濃度より高いことが好ましい。半導体層113aのキャリア濃度を高くすることにより導電率が高くなり、半導体層113

と導電層 111 との接触抵抗、及び半導体層 113 と導電層 112 との接触抵抗を低くできる。これにより、トランジスタ 100 をオン電流が大きいトランジスタとすることができる。また、半導体層 113b のキャリア濃度を低くすることにより導電率が低くなり、トランジスタ 100 をノーマリーオフ特性とすることができる。

[0200]

ここでは、半導体層 113a に半導体層 113b より導電率の高い材料を用いる例を示したが、本発明の一態様はこれに限られない。半導体層 113a に、半導体層 113b より導電率の低い材料を用いてもよい。この場合、半導体層 113a のキャリア濃度が、半導体層 113b のキャリア濃度より低い構成とすることができる。

[0201]

半導体層 113a に用いる第 1 の金属酸化物のバンドギャップは、半導体層 113b に用いる第 2 の金属酸化物のバンドギャップと異なることが好ましい。例えば、第 1 の金属酸化物のバンドギャップと第 2 の金属酸化物のバンドギャップの差は、0.1 eV 以上が好ましく、0.2 eV 以上がより好ましく、0.3 eV 以上がさらに好ましい。

[0202]

半導体層 113a に用いる第 1 の金属酸化物のバンドギャップは、半導体層 113b に用いる第 2 の金属酸化物のバンドギャップより小さい構成とすることができる。これにより、半導体層 113 と導電層 111 との接触抵抗、及び半導体層 113 と導電層 112 との接触抵抗を低くでき、トランジスタ 100 をオン電流が大きいトランジスタとすることができる。また、トランジスタ 100 のしきい値電圧を大きくでき、ノーマリーオフ特性とすることができる。

[0203]

ここでは、第 1 の金属酸化物のバンドギャップが、第 2 の金属酸化物のバンドギャップより小さい例を示したが、本発明の一態様はこれに限られない。第 1 の金属酸化物のバンドギャップが、第 2 の金属酸化物のバンドギャップ以上であってもよい。

[0204]

前述のように、半導体層 113a に用いる第 1 の金属酸化物のバンドギャップは、半導体層 113b に用いる第 2 の金属酸化物のバンドギャップより小さい構成とすることができる。第 1 の金属酸化物の組成は、第 2 の金属酸化物の組成と異なることが好ましい。第 1 の金属酸化物と第 2 の金属酸化物の組成を異ならせることで、バンドギャップを制御できる。例えば、第 1 の金属酸化物の元素 M の含有率は、第 2 の金属酸化物の元素 M の含有率より低いことが好ましい。具体的には、第 1 の金属酸化物及び第 2 の金属酸化物を $I_n - M - Z_n$ 酸化物とする場合、第 1 の金属酸化物は $I_n : M : Z_n = 1 : 1 : 1$ [原子数比] 又はその近傍の組成とし、第 2 の金属酸化物は $I_n : M : Z_n = 1 : 3 : 2$ [原子数比] 若しくはその近傍の組成、又は $I_n : M : Z_n = 1 : 3 : 4$ [原子数比] 若しくはその近傍の組成とすることができる。元素 M として、ガリウム、アルミニウム、及びスズの一又は複数を用いることが特に好ましい。

[0205]

第 1 の金属酸化物が元素 M を含まない構成としてもよい。例えば、半導体層 113a に用いる第 1 の金属酸化物を $I_n - Z_n$ 酸化物とし、半導体層 113b に用いる第 2 の金属酸化物を $I_n - M - Z_n$ 酸化物とすることができる。具体的には、第 1 の金属酸化物を $I_n - Z_n$ 酸化物とし、第 2 の金属酸化物を $I_n - Ga - Z_n$ 酸化物とすることができる。さらに具体的には、第 1 の金属酸化物

は $I_n : Z_n = 1 : 1$ [原子数比] 又はその近傍の組成、若しくは $I_n : Z_n = 4 : 1$ [原子数比] 又はその近傍の組成とし、第2の金属酸化物は $I_n : Ga : Z_n = 1 : 1 : 1$ [原子数比] 又はその近傍の組成とすることができる。

[0206]

ここでは、第1の金属酸化物の元素Mの含有率は、第2の金属酸化物の元素Mの含有率より低い例を示したが、本発明の一態様はこれに限られない。第1の金属酸化物の元素Mの含有率は、第2の金属酸化物の元素Mの含有率より高い構成としてもよい。なお、第1の金属酸化物と第2の金属酸化物で組成が異なればよく、元素M以外の元素の含有率が異なってもよい。例えば、半導体層113aに第2の金属酸化物を用い、半導体層113bに第1の金属酸化物を用いてもよい。

[0207]

半導体層113の膜厚は、1nm以上、3nm以上、又は5nm以上であって、20nm以下、15nm以下、12nm以下、又は10nm以下であることが好ましい。

[0208]

半導体層113を構成する各層（ここでは、半導体層113a及び半導体層113b）の膜厚は、半導体層113の膜厚が前述の範囲となるように決めればよい。半導体層113aと導電層111との接触抵抗、及び半導体層113aと導電層112との接触抵抗が所望の範囲になるように、半導体層113aの膜厚を決めることができる。また、トランジスタ100のしきい値電圧が所望の範囲になるように、半導体層113bの膜厚を決めることができる。なお、半導体層113aの膜厚は、半導体層113bの膜厚と同じであってもよく、異なってもよい。

[0209]

図10A乃至図10Cには、半導体層113が、半導体層113aと半導体層113bの2層の積層構造である構成を示しているが、本発明の一態様はこれに限られるものではない。半導体層113は、3層以上の積層構造としてもよい。

[0210]

半導体層113を3層積層構造とする場合、例えば、導電層111側から順に、 $I_n : Ga : Z_n = 1 : 1 : 1$ [原子数比] 又はその近傍の組成である金属酸化物、 $I_n : Z_n = 1 : 1$ [原子数比] 又はその近傍の組成、若しくは $I_n : Z_n = 4 : 1$ [原子数比] 又はその近傍の組成である金属酸化物、及び $I_n : Ga : Z_n = 1 : 1 : 1$ [原子数比] 又はその近傍の組成である金属酸化物が設けられる構成としてもよい。また、導電層111から順に、 $I_n : Ga : Z_n = 1 : 3 : 4$ [原子数比] 又はその近傍の組成である金属酸化物、 $I_n : Z_n = 4 : 1$ [原子数比] 又はその近傍の組成である金属酸化物、及び $I_n : Ga : Z_n = 1 : 3 : 4$ [原子数比] 又はその近傍の組成である金属酸化物が設けられる構成としてもよい。このような構成にすることで、トランジスタ100のオン電流を大きくできる。また、トランジスタ100の電気特性のばらつきを少なくし、半導体装置の信頼性を高めることができる。

[0211]

絶縁層105aには、後述する[絶縁体]の項目に記載の、酸素に対するバリア性を有する絶縁体を用いることが好ましい。絶縁層105aは、半導体層113と接する領域を有する。絶縁層105aが酸素に対するバリア性を有することで、例えば熱処理を行った際に、半導体層113から酸素が脱離することを抑制できる。よって、半導体層113に酸素欠損が形成されることを抑制できる。これにより、トランジスタ100の電気特性を良好にし、本発明の一態様の半導体装置の信頼

性を向上させることができる。絶縁層105aとして、例えば、酸化アルミニウムを用いるとよい。この場合、絶縁層105aは、少なくとも酸素と、アルミニウムと、を有する。

[0212]

絶縁層105bには、後述する〔絶縁体〕の項目に記載の、比誘電率が低い材料を用いることが好ましい。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。この場合、絶縁層105bは、少なくとも酸素と、シリコンと、を有する。このような構成にすることで、導電層115と導電層112の間の寄生容量を低減できる。また、絶縁層105b中の、水及び水素等の不純物の濃度は低減されていることが好ましい。

[0213]

絶縁層105cには、後述する〔絶縁体〕の項目に記載の水素に対するバリア性を有する絶縁体を用いることが好ましい。これにより、導電層115に含まれる不純物の、半導体層113への拡散を抑制できる。特に、窒化シリコンは水素バリア性が高いため、絶縁層105cとして好適である。この場合、絶縁層105cは、少なくとも窒素と、シリコンと、を有する。

[0214]

絶縁層105cは、さらに酸素に対するバリア性を有してもよい。絶縁層105cは、絶縁層105bと導電層115の間に設けられる。したがって、絶縁層105bに含まれる酸素の導電層115への拡散を防ぎ、導電層115の酸化を抑制できる。

[0215]

また、絶縁層105bと絶縁層105cの間に絶縁体を設けてもよい。当該絶縁体は、後述する〔絶縁体〕の項目に記載の、水素を捕獲又は固着する機能を有する絶縁体を用いることが好ましい。当該絶縁体を設けることで、半導体層113に含まれる水素を、より効果的に捕獲又は固着させることができる。よって、半導体層113中の水素濃度を低減できる。当該絶縁体として、例えば、酸化ハフニウムを用いるとよい。この場合、当該絶縁体は、少なくとも酸素と、ハフニウムと、を有する。また、当該絶縁体は、アモルファス構造を有してもよい。

[0216]

トランジスタ100の微細化を図るにあたって、絶縁層105a乃至絶縁層105cの膜厚は薄いことが好ましく、前述の範囲内にすることが好ましい。代表的には、絶縁層105a、絶縁層105b、水素を捕獲又は固着する機能を有する絶縁体、及び絶縁層105cの膜厚をそれぞれ、1nm、2nm、2nm、及び1nmとする。このような構成にすることで、トランジスタ100を微細化しても良好な電気特性を有することができる。

[0217]

図10A乃至図10Cには、絶縁層105が、絶縁層105a乃至絶縁層105cの3層の積層構造である構成を示しているが、本発明の一態様はこれに限られるものではない。絶縁層105は、2層、又は4層以上の積層構造としてもよい。このとき、絶縁層105に含まれる各層は、絶縁層105a乃至絶縁層105c及び水素を捕獲又は固着する機能を有する絶縁体から適宜選択するとよい。

[0218]

導電層115を導電層115aと導電層115bの2層構造とする場合、例えば導電層115aには窒化チタンを用い、導電層115bにはタングステンを用いることができる。このようにタングステンを含む層を設けることで、導電層115の導電性を向上させ、導電層115の配線抵抗を低

減できる。

[0219]

図10A乃至図10Cには、導電層115が、導電層115aと導電層115bの2層の積層構造である構成を示しているが、本発明の一態様はこれに限られるものではない。導電層115は、3層以上の積層構造としてもよい。

[0220]

図11Aは、図2A2に示す開口部121、及び開口部123の形状が、平面視において四角形である例を示している。なお、図11Aでは開口部121、及び開口部123の形状を平面視において正方形としているが、開口部121、及び開口部123の形状はこれに限定されず、例えば平面視において長方形、菱形、又は平行四辺形としてもよい。また、開口部121、及び開口部123の形状は、平面視において例えば三角形、又は五角形以上の多角形としてもよく、星形としてもよい。

[0221]

図11Bは、図11Aに示す開口部121の隅を丸くした例を示している。つまり、図11Bは、開口部121、及び開口部123の形状が、平面視において隅が丸い四角形である例を示している。なお、図11Bでは、開口部121、及び開口部123の形状を、平面視において隅が丸い正方形としているが、開口部121、及び開口部123の形状はこれに限定されず、例えば平面視において隅が丸い長方形、隅が丸い菱形、隅が丸い平行四辺形、隅が丸い三角形、隅が丸い五角形以上の多角形、又は隅が丸い星形としてもよい。

[0222]

なお、図2A2、図11A、及び図11B等では、開口部123の平面視における形状が、開口部121の平面視における形状と同様の形状である例を示しているが、開口部121の平面視における形状の種類と、開口部123の平面視における形状の種類と、が異なってもよい。例えば、開口部121の平面視における形状が円形で、開口部123の平面視における形状が四角形、又は隅が丸い四角形であってもよい。また、開口部121の平面視における形状が四角形で、開口部123の平面視における形状が隅が丸い四角形、又は円形であってもよい。

[0223]

図12A、図12B、及び図12Cは、それぞれ図2A1、図2B、及び図2Cに示す半導体層113が、Y方向に延在して設けられる例を示している。つまり、図12A、図12B、及び図12Cは、導電層112が延在する方向と平行な方向に、半導体層113が延在する例を示している。なお、図12A、図12B、及び図12Cに示す例においても、図2A1、図2B、及び図2Cに示す例と同様に、半導体層113は、X方向において分断される。

[0224]

図13A1、図13A2、図13B、及び図13Cは、それぞれ図2A1、図2A2、図2B、及び図2Cに示す構成の変形例であり、絶縁層103、絶縁層106、及び絶縁層104に設けられる開口部121の平面視における形状と、導電層112に設けられる開口部121の平面視における形状と、が一致しない例を示している。ここで、図13A1、図13A2、図13B、及び図13Cにおいて、絶縁層103、絶縁層106、及び絶縁層104に設けられる開口部121を開口部121aとし、導電層112に設けられる開口部121を開口部121bとしている。図13A1、図13A2、図13B、及び図13Cに示す例では、開口部121bの平面視における形状を、

開口部 1 2 1 a より半径が大きい円形としている。なお、開口部 1 2 1 a の平面視における形状、及び開口部 1 2 1 b の平面視における形状の一方又は双方を円形としなくてもよい。例えば、開口部 1 2 1 a の平面視における形状、及び開口部 1 2 1 b の平面視における形状の一方又は双方を、四角形、又は隅が丸い四角形等、上述の開口部 1 2 1 がとり得る形状とすることができる。

[0 2 2 5]

図 1 3 A 1、図 1 3 A 2、図 1 3 B、及び図 1 3 C では、開口部 1 2 1 b の平面視における面積が、開口部 1 2 1 a の平面視における面積より大きい例を示しているが、開口部 1 2 1 b の平面視における面積が、開口部 1 2 1 a の平面視における面積より小さくてもよい。この場合、導電層 1 1 2 が、開口部 1 2 1 a の側壁に対して突出する領域を有する。

[0 2 2 6]

例えば、開口部 1 2 1 a と開口部 1 2 1 b を異なる工程で形成する場合、開口部 1 2 1 a の平面視における形状と開口部 1 2 1 b の平面視における形状が異なる場合がある。また、開口部 1 2 1 a と開口部 1 2 1 b を同一の工程で形成する場合であっても、例えば X 方向、及び Y 方向における導電層 1 1 2 のエッチング速度が、X 方向、及び Y 方向における絶縁層 1 0 3、及び絶縁層 1 0 4 のエッチング速度と異なる場合は、開口部 1 2 1 a の平面視における形状と開口部 1 2 1 b の平面視における形状が異なる場合がある。例えば、X 方向、及び Y 方向における導電層 1 1 2 のエッチング速度が、X 方向、及び Y 方向における絶縁層 1 0 3、及び絶縁層 1 0 4 のエッチング速度より速い場合は、開口部 1 2 1 a と開口部 1 2 1 b を同一の工程で形成する場合であっても、開口部 1 2 1 b の平面視における面積が、開口部 1 2 1 a の平面視における面積より大きくなる場合がある。

[0 2 2 7]

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

[0 2 2 8]

[基板]

トランジスタ 1 0 0 を形成する基板としては、例えば、絶縁体基板、半導体基板、又は導電体基板を用いることができる。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（例えばイットリア安定化ジルコニア基板）、及び樹脂基板等がある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、並びに、炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、及び酸化ガリウムからなる化合物半導体基板等がある。さらに、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば SOI (Silicon On Insulator) 基板がある。導電体基板としては、黒鉛基板、金属基板、合金基板、及び導電性樹脂基板等がある。また、金属の窒化物を有する基板、及び金属の酸化物を有する基板等がある。さらに、絶縁体基板に導電体又は半導体が設けられる基板、半導体基板に導電体又は絶縁体が設けられる基板、及び導電体基板に半導体又は絶縁体が設けられる基板等がある。また、これらの基板に素子が設けられたものを用いてもよい。

[0 2 2 9]

[絶縁体]

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、及び金属窒化酸化物等がある。

[0 2 3 0]

例えば、トランジスタの微細化が進むと、ゲート絶縁層の薄膜化により、リーク電流の問題が生じる場合がある。ゲート絶縁層として機能する絶縁体に *high-k* 材料を用いることで、物理膜厚を保ちながらトランジスタ動作時の低電圧化が可能となる。また、ゲート絶縁層として機能する絶縁体の等価酸化膜厚（EOT）の薄膜化が可能となる。一方、層間絶縁層として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減できる。したがって、絶縁体の機能に応じて、材料を選択するとよい。なお、比誘電率が低い材料は、絶縁耐力が大きい材料でもある。

[0231]

比誘電率が高い（*high-k*）材料としては、例えば、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物等が挙げられる。

[0232]

比誘電率が低い材料としては、例えば、酸化シリコン、酸化窒化シリコン、及び窒化酸化シリコン等の無機絶縁材料、並びに、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、及びアラミド等）、ポリイミド、ポリカーボネート、及びアクリル等の樹脂が挙げられる。また、比誘電率が低い他の無機絶縁材料として、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、並びに、炭素及び窒素を添加した酸化シリコン等が挙げられる。また、例えば、空孔を有する酸化シリコンが挙げられる。なお、これらの酸化シリコンは、窒素を含んでもよい。また、酸化シリコンは、例えばテトラエトキシシラン（TEOS）等の有機シランを用いて形成してもよい。

[0233]

また、金属酸化物を用いたトランジスタは、不純物及び酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にできる。不純物及び酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、又はタンタルを含む絶縁体を、単層で、又は積層で用いることができる。具体的には、不純物及び酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、及び酸化タンタル等の金属酸化物、又は窒化アルミニウム、窒化酸化シリコン、及び窒化シリコン等の金属窒化物を用いることができる。

[0234]

また、ゲート絶縁層等の、半導体層と接する絶縁体、又は半導体層の近傍に設ける絶縁体は、過剰酸素を含む領域を有する絶縁体であることが好ましい。例えば、過剰酸素を含む領域を有する絶縁体を半導体層と接する、又は半導体層の近傍に設ける構造とすることで、半導体層が有する酸素欠損を低減できる。過剰酸素を含む領域を形成しやすい絶縁体として、酸化シリコン、酸化窒化シリコン、又は空孔を有する酸化シリコン等が挙げられる。

[0235]

また、酸素に対するバリア性を有する絶縁体としては、アルミニウム及びハフニウムの一方又は双

方を含む酸化物、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）、酸化マグネシウム、酸化ガリウム、ガリウム亜鉛酸化物、インジウムガリウム亜鉛酸化物、窒化シリコン、並びに、窒化酸化シリコン等が挙げられる。また、アルミニウム及びハフニウムの一方又は双方を含む酸化物として、酸化アルミニウム、酸化ハフニウム、並びにアルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等が挙げられる。

[0236]

また、水素に対するバリア性を有する絶縁体としては、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、及び窒化酸化シリコン等が挙げられる。

[0237]

酸素に対するバリア性を有する絶縁体、及び水素に対するバリア性を有する絶縁体は、酸素及び水素の一方又は双方に対するバリア性を有する絶縁体といえる。

[0238]

また、水素を捕獲又は固着する機能を有する絶縁体として、マグネシウムを含む酸化物、並びにアルミニウム及びハフニウムの一方又は双方を含む酸化物が挙げられる。また、これらの酸化物は、アモルファス構造を有することがより好ましい。アモルファス構造を有する酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲又は固着する性質を有する場合がある。なお、これらの酸化物は、アモルファス構造であることが好ましいが、一部に結晶領域が形成されてもよい。

[0239]

なお、本明細書等において、バリア絶縁膜とは、バリア性を有する絶縁膜を示す。また、バリア性とは、対応する物質が拡散し難い性質（対応する物質が透過し難い性質、対応する物質の透過性が低い性質、又は対応する物質の拡散を抑制する機能ともいう）とする。なお、対応する物質を捕獲又は固着する機能を、バリア性と言い換えることができる。なお、対応する物質として記載される場合の水素は、例えば、水素原子、水素分子、並びに、水分子及び OH^- 等の水素と結合した物質等のうち少なくとも1つを示す。また、対応する物質として記載される場合の不純物は、特段の明示が無い限り、チャンネル形成領域又は半導体層における不純物を示し、例えば、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、及び NO_2 等）、及び銅原子等のうち少なくとも1つを示す。また、対応する物質として記載される場合の酸素は、例えば、酸素原子、及び酸素分子等のうち少なくとも1つを示す。具体的には、酸素に対するバリア性とは、酸素原子、及び酸素分子等のうち少なくとも1つが拡散し難い性質を示す。

[0240]

[導電体]

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、及びランタン等から選ばれた金属元素、又は前述の金属元素を成分とする合金か、前述の金属元素を組み合わせた合金等を用いることが好ましい。前述の金属元素を成分とする合金として、当該合金の窒化物、又は当該合金の酸化物を用いてもよい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、

ストロンチウムとルテニウムを含む酸化物、又はランタンとニッケルを含む酸化物等を用いることが好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、又はニッケルシリサイド等のシリサイドを用いてもよい。

[0241]

また、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、ルテニウムを含む窒化物、タンタル及びアルミニウムを含む窒化物、又はチタン及びアルミニウムを含む窒化物等の窒素を含む導電性材料、酸化ルテニウム、ストロンチウム及びルテニウムを含む酸化物、又はランタン及びニッケルを含む酸化物等の酸素を含む導電性材料、並びにチタン、タンタル、又はルテニウム等の金属元素を含む材料は、酸化しにくい導電性材料、酸素の拡散を抑制する機能を有する導電性材料、又は酸素を吸収しても導電性を維持する材料であるため好ましい。なお、酸素を含む導電性材料として、酸化タングステンを含むインジウム酸化物、酸化チタンを含むインジウム酸化物、インジウムスズ酸化物、酸化チタンを含むインジウムスズ酸化物、シリコンを添加したインジウムスズ酸化物、インジウム亜鉛酸化物、及び酸化タングステンを含むインジウム亜鉛酸化物等が挙げられる。本明細書等では、酸素を含む導電性材料を、酸化物導電体ということがある。

[0242]

また、タングステン、銅、又はアルミニウムを主成分とする導電性材料は、導電性が高いため、好ましい。

[0243]

また、上記の材料で形成される導電体を複数積層して用いてもよい。例えば、前述の金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述の金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述の金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0244]

なお、トランジスタのチャネル形成領域に金属酸化物を用いる場合において、ゲート電極として機能する導電体には、前述の金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

[0245]

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素及び酸素を含む導電性材料を用いることが好ましい。また、前述の金属元素及び窒素を含む導電性材料を用いてもよい。例えば、窒化チタン又は窒化タンタル等の、窒素を含む導電性材料を用いてもよい。また、インジウムスズ酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、インジウム亜鉛酸化物、及びシリコンを添加したインジウムスズ酸化物のうち1つ又は複数を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲できる場合がある。又は、外方の絶縁体等から混入する水素を捕獲できる場合がある。

[0246]

[金属酸化物]

金属酸化物は、格子欠陥を有する場合がある。格子欠陥として、原子空孔及び異種原子等の点欠陥、転位等の線欠陥、結晶粒界等の面欠陥、並びに空隙等の体積欠陥が挙げられる。また、格子欠陥の生成の要因としては、構成元素の原子数の比率のずれ（構成原子の過不足）、及び不純物等が挙げられる。

[0247]

金属酸化物をトランジスタの半導体層に用いる場合、金属酸化物中の格子欠陥は、キャリアの生成又は捕獲等を引き起こす要因となりうる。よって、格子欠陥が多い金属酸化物をトランジスタの半導体層に用いると、当該トランジスタの電気特性が不安定となる恐れがある。よって、トランジスタの半導体層に用いる金属酸化物は、格子欠陥が少ないことが好ましい。

[0248]

金属酸化物を用いたトランジスタは、特に、金属酸化物中のチャネル形成領域に酸素欠損（V_o）及び不純物が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、V_oHを形成し、キャリアとなる電子を生成する場合がある。このため、金属酸化物中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。したがって、金属酸化物中のチャネル形成領域では、酸素欠損及び不純物はできる限り低減されていることが好ましい。言い換えると、金属酸化物中のチャネル形成領域は、キャリア濃度が低減され、i型化（真性化）又は実質的にi型化されていることが好ましい。

[0249]

金属酸化物中に存在しやすい格子欠陥の種類、及び格子欠陥の存在量は、金属酸化物の構造又は金属酸化物の成膜方法等によって異なる。

[0250]

金属酸化物の構造は、単結晶構造と、それ以外の構造（非単結晶の構造）と、に分けられる。非単結晶の構造としては、例えば、CAAC構造、多結晶（polycrystalline）構造、nc構造、擬似非晶質（a-like: amorphous-like）構造、及び非晶質構造等がある。a-like構造は、nc構造と非晶質構造との間の構造を有する。

[0251]

また、a-like構造を有する金属酸化物、及び非晶質構造を有する金属酸化物は、鬆又は低密度領域を有する。すなわち、a-like構造を有する金属酸化物、及び非晶質構造を有する金属酸化物は、nc構造を有する金属酸化物及びCAAC構造を有する金属酸化物と比べて、結晶性が低い。また、a-like構造を有する金属酸化物は、nc構造を有する金属酸化物及びCAAC構造を有する金属酸化物と比べて、金属酸化物中の水素濃度が高い。よって、a-like構造を有する金属酸化物、及び非晶質構造を有する金属酸化物では、格子欠陥が生成されやすい。

[0252]

よって、トランジスタの半導体層には、結晶性の高い金属酸化物を用いることが好ましい。例えば、CAAC構造を有する金属酸化物、又は単結晶構造の金属酸化物を用いることが好ましい。当該金属酸化物をトランジスタに用いることで、良好な電気特性を有するトランジスタを実現できる。また、信頼性の高いトランジスタを実現できる。

[0253]

また、トランジスタのチャネル形成領域には、当該トランジスタのオン電流が大きくなる金属酸化物を用いることが好ましい。当該トランジスタのオン電流を大きくするには、当該トランジスタに用いる金属酸化物の移動度を高くするとよい。金属酸化物の移動度を高くするには、キャリア（ n チャネル型のトランジスタの場合は、電子）の伝送を向上させる、又は、キャリアの伝送に寄与する散乱因子を低減する必要がある。なお、キャリアは、チャネル形成領域を介して、ソースからドレインに流れる。よって、キャリアがチャネル長方向に流れやすいチャネル形成領域を設けることで、トランジスタのオン電流を大きくできる。

[0254]

ここで、チャネル形成領域を含む金属酸化物に、結晶性の高い金属酸化物を用いることが好ましい。さらに、当該結晶は、複数の層（例えば、第1の層と、第2の層と、第3の層）が積層された結晶構造を有することが好ましい。つまり、当該結晶は、層状の結晶構造（層状結晶、層状構造ともいう）を有する。このとき、当該結晶の c 軸の向きは、複数の層が積層される方向となる。当該結晶を有する金属酸化物には、例えば、単結晶酸化物半導体、及びCAAC-OS等が含まれる。

[0255]

また、上記結晶の c 軸を、金属酸化物の被形成面又は膜表面に対する法線方向に配向することが好ましい。これにより、複数の層は、金属酸化物の被形成面又は膜表面に対して、平行又は概略平行に配置される。つまり、複数の層は、チャネル長方向に広がる。

[0256]

例えば、上記のような3層の層状の結晶構造は、以下のような構造になる。第1の層は、当該第1の層が有する金属が中心に存在する酸素の八面体形の、原子の配位構造を有する。また、第2の層は、当該第2の層が有する金属が中心に存在する酸素の三方両錐形又は四面体形の、原子の配位構造を有する。また、第3の層は、当該第3の層が有する金属が中心に存在する酸素の三方両錐形又は四面体形の、原子の配位構造を有する。

[0257]

上記結晶の結晶構造として、例えば、 $YbFe_2O_4$ 型構造、 $Yb_2Fe_3O_7$ 型構造、及びこれらの変形型構造等がある。

[0258]

さらに、第1の層乃至第3の層のそれぞれは、一の金属元素、又は、価数が同じである複数の金属元素と、酸素とで構成されることが好ましい。なお、第1の層を構成する一又は複数の金属元素の価数と、第2の層を構成する一又は複数の金属元素の価数と、は同じであることが好ましい。また、第1の層と、第2の層とは、同じ金属元素を有してもよい。また、第1の層を構成する一又は複数の金属元素の価数と、第3の層を構成する一又は複数の金属元素の価数と、は異なることが好ましい。

[0259]

上記構成にすることで、金属酸化物の結晶性を向上し、当該金属酸化物の移動度を高くできる。よって、当該金属酸化物をトランジスタのチャネル形成領域に用いることで、トランジスタのオン電流が大きくなり、当該トランジスタの電気特性を向上させることができる。

[0260]

本発明の一態様の金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。本発明の一態様の金属酸化物は、少なくともインジウム（ In ）又は亜鉛（ Zn ）

を含むことが好ましい。また、金属酸化物は、インジウムと、元素Mと、亜鉛と、の中から選ばれる二又は三を有することが好ましい。なお、元素Mは、酸素との結合エネルギーが高い金属元素又は半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素又は半金属元素である。元素Mとして、具体的には、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモン等が挙げられる。金属酸化物が有する元素Mは、上記元素のいずれか一種又は複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びイットリウムから選ばれた一種又は複数種であることがより好ましく、ガリウムがさらに好ましい。金属酸化物が有する元素Mがガリウムである場合、本発明の一態様の金属酸化物は、インジウム、ガリウム、及び亜鉛の中から選ばれるいずれか一又は複数を有することが好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」ということがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

[0261]

本発明の一態様の金属酸化物として、例えば、インジウム亜鉛酸化物（In-Zn酸化物）、インジウムスズ酸化物（In-Sn酸化物）、インジウムチタン酸化物（In-Ti酸化物）、インジウムガリウム酸化物（In-Ga酸化物）、インジウムガリウムアルミニウム酸化物（In-Ga-Al酸化物）、インジウムガリウムスズ酸化物（In-Ga-Sn酸化物、IGTOとも記す）、ガリウム亜鉛酸化物（Ga-Zn酸化物、GZOともいう）、アルミニウム亜鉛酸化物（Al-Zn酸化物、AZOともいう）、インジウムアルミニウム亜鉛酸化物（In-Al-Zn酸化物、IAZOともいう）、インジウムスズ亜鉛酸化物（In-Sn-Zn酸化物）、インジウムチタン亜鉛酸化物（In-Ti-Zn酸化物）、インジウムガリウム亜鉛酸化物（In-Ga-Zn酸化物、IGZOともいう）、インジウムガリウムスズ亜鉛酸化物（In-Ga-Sn-Zn酸化物、IGZTOともいう）、インジウムガリウムアルミニウム亜鉛酸化物（In-Ga-Al-Zn酸化物、IGAZO又はIAGZOともいう）等を用いることができる。又は、シリコンを含むインジウムスズ酸化物、ガリウムスズ酸化物（Ga-Sn酸化物）、アルミニウムスズ酸化物（Al-Sn酸化物）等が挙げられる。

[0262]

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。

[0263]

なお、金属酸化物は、インジウムに代えて、元素周期表における周期番号が大きい金属元素の一種又は複数種を有してもよい。又は、金属酸化物は、インジウムに加えて、元素周期表における周期番号が大きい金属元素の一種又は複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、元素周期表における周期番号が大きい金属元素を含むことで、トランジスタの電界効果移動度を高めることができる場合がある。元素周期表における周期番号が大きい金属元素として、第5周期に属する金属元素、及び第6周期に属する金属元素等が挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、スズ、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、及びユウロピウム等が挙げられる。なお、ランタ

ン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

[0264]

また、金属酸化物は、非金属元素の一種又は複数種を有してもよい。金属酸化物が非金属元素を有することで、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素等が挙げられる。

[0265]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制できる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0266]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Mの原子数の割合を高くすることにより、金属酸化物に酸素欠損が形成されることを抑制できる。したがって、酸素欠損に起因するキャリア生成が抑制され、オフ電流の小さいトランジスタとすることができる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0267]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対するInの原子数の割合を高くすることにより、トランジスタは大きいオン電流、及び高い周波数特性を得ることができる。

[0268]

本実施の形態では、金属酸化物として、In-Ga-Zn酸化物を例に挙げて説明する場合がある。

[0269]

上記の層状の結晶構造を有する金属酸化物を形成するためには、一層ずつ原子を堆積することが好ましい。ALD法を用いると、上記の層状の結晶構造を有する金属酸化物を形成することが容易である。

[0270]

ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD (Thermal ALD) 法、及びプラズマ励起されたリアクタントを用いるプラズマALD (PEALD: Plasma Enhanced ALD) 法等が挙げられる。

[0271]

ALD法は、一層ずつ原子を堆積できるため、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホール等の欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、及び低温での成膜が可能、等の効果がある。また、PEALD法は、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ALD法で用いるプリカーサには炭素又は塩素等の元素を含むものがある。このため、ALD法により設けられる膜は、他の成膜法により設けられる膜と比較して、炭素又は塩素等の元素を多く含む場合がある。なお、これらの元素の定量は、XPS又はSIMSを用いて行うことができる。

[0272]

金属酸化物の成膜方法としてALD法を用いる際、成膜時の基板温度が高い条件の採用、及び不純物除去処理の実施の一方又は双方を適用することで、これらを適用せずにALD法を用いる場合に比べて、膜中に含まれる炭素及び塩素の量を少なくできる。

[0273]

例えば、金属酸化物の成膜中に、間欠的に、酸素を含む雰囲気下で、不純物除去処理を行うことが好ましい。また、金属酸化物の成膜後に、酸素を含む雰囲気下で、不純物除去処理を行うことが好ましい。金属酸化物の成膜中及び成膜後の一方又は双方に、不純物除去処理を行うことで、膜中の不純物を除去できる。これにより、プリカーサ等の原料に含まれる不純物（水素、炭素、及び窒素等）が金属酸化物中に残存することを抑制できる。したがって、金属酸化物中の不純物濃度を低減できる。また、金属酸化物の結晶性を高めることができる。これにより、金属酸化物を例えばCAAC-OSとすることができ、信頼性が高い半導体装置を提供できる。

[0274]

不純物除去処理としては、例えば、マイクロ波処理、及び加熱処理が挙げられる。

[0275]

マイクロ波処理を行う際は、それぞれ、基板の温度を、室温（例えば25℃）以上、100℃以上、200℃以上、300℃以上、又は、400℃以上とし、且つ、500℃以下、又は450℃以下とすることが好ましい。また、加熱処理の温度は、100℃以上、200℃以上、300℃以上、又は、400℃以上とし、且つ、500℃以下、又は450℃以下とすることが好ましい。

[0276]

不純物除去処理を行う際の温度は、特に、トランジスタ又は半導体装置の作製工程における最高温度以下の温度とすることで、生産性を低下させることなく、金属酸化物中の不純物の含有量を低減でき、好ましい。例えば、本発明の一態様の半導体装置の作製における最高温度を500℃以下、好ましくは450℃以下とすることで、半導体装置の生産性を高めることができる。

[0277]

マイクロ波処理では、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する、マイクロ波処理装置を用いることが好ましい。ここで、マイクロ波処理装置の周波数は、300MHz以上300GHz以下が好ましく、2.4GHz以上2.5GHz以下がより好ましく、例えば、2.45GHzにできる。高密度プラズマを用いることより、高密度の酸素ラジカルを生成できる。また、マイクロ波処理装置のマイクロ波を印加する電源の電力は、1000W以上10000W以下が好ましく、2000W以上5000W以下が好ましい。また、マイクロ波処理装置は基板側にRF（Radio Frequency）を印加する電源を有してもよい。また、基板側にRFを印加することで、高密度プラズマによって生成された酸素イオンを、効率よく膜中に導くことができる。

[0278]

マイクロ波処理は、減圧下で行うことが好ましく、圧力は、10Pa以上1000Pa以下が好ましく、300Pa以上700Pa以下がより好ましい。また、処理温度は、室温（25℃）以上750℃以下が好ましく、300℃以上500℃以下がより好ましく、400℃以上450℃以下がさらに好ましい。

[0279]

また、マイクロ波処理を行った後に、外気に曝すことなく、連続して加熱処理を行ってもよい。加熱処理の温度は、例えば、100℃以上750℃以下が好ましく、300℃以上500℃以下がより好ましく、400℃以上450℃以下がさらに好ましい。

[0280]

マイクロ波処理は、例えば、酸素ガスとアルゴンガスを用いて行うことができる。ここで、酸素流量比 ($O_2 / (O_2 + Ar)$) は、0%より大きく、100%以下とする。好ましくは、酸素流量比 ($O_2 / (O_2 + Ar)$) を、0%より大きく、50%以下とする。より好ましくは、酸素流量比 ($O_2 / (O_2 + Ar)$) を、10%以上、40%以下とする。さらに好ましくは、酸素流量比 ($O_2 / (O_2 + Ar)$) を、10%以上、30%以下とする。

[0281]

また、加熱処理は、窒素ガス若しくは不活性ガスの雰囲気、又は酸化性ガスを10ppm以上、1%以上、若しくは10%以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で加熱処理をする場合、酸素ガスを20%程度にすることが好ましい。また、加熱処理は減圧状態で行ってもよい。又は、窒素ガス若しくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、又は10%以上含む雰囲気で行ってもよい。また、加熱処理は、超乾燥空気（水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）の雰囲気下で行ってもよい。

[0282]

このように加熱処理を行うことで、金属酸化物に含まれる水素、又は炭素等の不純物を除去できる。例えば、金属酸化物中の炭素を CO_2 及び CO として放出させ、金属酸化物中の水素を H_2O として放出させることができる。さらに、上記の不純物の除去と同時に、金属原子及び酸素原子の再配列が行われ、結晶性の向上を図ることができる。よって、結晶性の高い、層状の結晶構造の金属酸化物、特に上記のCAAC構造の金属酸化物を形成できる。

[0283]

ALD法は、例えばターゲットから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、例えばアスペクト比の高い開口部の表面を被覆する場合に好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いスパッタリング法、又はCVD法等の他の成膜方法と組み合わせて用いることが好ましい場合もある。例えば、スパッタリング法を用いて、第1の金属酸化物を成膜し、当該第1の金属酸化物上にALD法を用いて、第2の金属酸化物を成膜する方法が挙げられる。例えば、上記第1の金属酸化物が結晶部を有する場合、上記第2の金属酸化物が当該結晶部を核として、結晶成長する場合がある。

[0284]

ALD法は、原料ガスの導入量によって、得られる膜の組成を制御できる。例えば、ALD法では、原料ガスの導入量、導入回数（パルス回数ともいう）、及び1パルスに要する時間（パルス時間ともいう）等を調節することによって、任意の組成の膜を成膜できる。また、例えば、ALD法では、成膜しながら原料ガスを変化させることによって、組成が連続的に変化した膜を成膜できる。原料ガスを変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送及び圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くできる。したがって、半導体装置の生産性を高めることができる場合がある。

[0285]

[[金属酸化物を有するトランジスタ]]

続いて、金属酸化物（酸化物半導体）をトランジスタに用いる場合について説明する。

[0286]

本発明の一態様の金属酸化物（酸化物半導体）をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現できる。また、信頼性の高いトランジスタを実現できる。また、微細化されたトランジスタを実現できる。例えば、チャネル長が2 nm以上30 nm以下のトランジスタを作製しうる。

[0287]

トランジスタのチャネル形成領域には、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{17} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすることが好ましい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性という。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体という場合がある。

[0288]

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0289]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0290]

したがって、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、炭素、及び窒素等が挙げられる。なお、酸化物半導体中の不純物とは、例えば、酸化物半導体を構成する主成分以外をいう。例えば、濃度が0.1 atomic %未満の元素は不純物といえる。

[0291]

また、酸化物半導体のバンドギャップは、シリコンのバンドギャップ（代表的には1.1 eV）よりも大きいことが好ましく、好ましくは2 eV以上、より好ましくは2.5 eV以上、さらに好ましくは3.0 eV以上である。シリコンよりも、バンドギャップの大きい酸化物半導体を用いることで、トランジスタのオフ電流（I_{off}ともいう）を低減できる。

[0292]

また、Siトランジスタでは、トランジスタの微細化が進むにつれて、短チャネル効果（ショートチャネル効果：Short Channel Effect：SCEともいう）が発現する。そのため、Siトランジスタでは、微細化が困難となる。短チャネル効果が発現する要因の1つとして、シリコンのバンドギャップが小さいことが挙げられる。一方、OSトランジスタは、バンドギャップの大きい半導体材料である、酸化物半導体を用いるため、短チャネル効果の抑制を図ることができる。別言すると、OSトランジスタは、短チャネル効果がない、又は短チャネル効果が極めて少

ないトランジスタである。

[0293]

なお、短チャネル効果とは、トランジスタの微細化（チャネル長の縮小）に伴って顕在化する電気特性の劣化である。短チャネル効果の具体例としては、しきい値電圧の低下、サブスレッショルドスイング値（S値と表記することがある）の増大、及び漏れ電流の増大等がある。ここで、S値とは、ドレイン電圧一定にてドレイン電流を1桁変化させるサブスレッショルド領域でのゲート電圧の変化量をいう。

[0294]

また、短チャネル効果に対する耐性の指標として、特性長（Characteristic Length）が広く用いられている。特性長とは、チャネル形成領域のポテンシャルの曲がりやすさの指標である。特性長が小さいほどポテンシャルが急峻に立ち上がるため、短チャネル効果に強いといえる。

[0295]

OSトランジスタは蓄積型のトランジスタであり、Siトランジスタは反転型のトランジスタである。したがって、Siトランジスタと比較して、OSトランジスタは、ソース領域ーチャネル形成領域間の特性長、及びドレイン領域ーチャネル形成領域間の特性長が小さい。したがって、OSトランジスタは、Siトランジスタよりも短チャネル効果に強い。すなわち、チャネル長の短いトランジスタを作製したい場合においては、OSトランジスタは、Siトランジスタよりも好適である。

[0296]

チャネル形成領域がi型又は実質的にi型となるまで、酸化物半導体のキャリア濃度を下げた場合においても、短チャネルのトランジスタではConduction-Band-Lowering（CBL）効果により、チャネル形成領域の伝導帯下端が下がるため、ソース領域又はドレイン領域と、チャネル形成領域との間の伝導帯下端のエネルギー差は、0.1 eV以上0.2 eV以下まで小さくなる可能性がある。これにより、OSトランジスタは、チャネル形成領域が n^- 型の領域となり、ソース領域及びドレイン領域が n^+ 型の領域となる、 $n^+/n^-/n^+$ の蓄積型junction-lessトランジスタ構造、又は、 $n^+/n^-/n^+$ の蓄積型non-junctionトランジスタ構造と、捉えることもできる。

[0297]

OSトランジスタを上記の構造とすることで、OSトランジスタを微細化しても良好な電気特性を有することができる。例えば、OSトランジスタのチャネル長又はゲート長が、20 nm以下、15 nm以下、10 nm以下、7 nm以下、又は6 nm以下であって、1 nm以上、3 nm以上、又は5 nm以上であっても、良好な電気特性を得ることができる。一方で、Siトランジスタは、短チャネル効果が発現するため、20 nm以下、又は15 nm以下のゲート長とすることが困難な場合がある。したがって、OSトランジスタは、Siトランジスタと比較してチャネル長の短いトランジスタに好適に用いることができる。なお、ゲート長とは、トランジスタ動作時にキャリアがチャネル形成領域内部を移動する方向における、ゲート電極の長さである。

[0298]

また、OSトランジスタを微細化することで、トランジスタの高周波特性を向上させることができる。具体的には、トランジスタの遮断周波数を向上させることができる。OSトランジスタのゲート長が上記範囲のいずれかである場合、トランジスタの遮断周波数を、例えば室温環境下で、50

GHz以上、好ましくは100GHz以上、さらに好ましくは150GHz以上とすることができる。

[0299]

以上の説明の通り、OSトランジスタは、Siトランジスタと比較し、オフ電流が小さいこと、及びチャネル長の短いトランジスタの作製が可能なこと等の優れた効果を有する。

[0300]

[[金属酸化物中の不純物]]

ここで、金属酸化物（酸化物半導体）中における各不純物の影響について説明する。

[0301]

酸化物半導体において、第14族元素の1つであるシリコン又は炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、SIMSにより得られる酸化物半導体のチャネル形成領域における炭素の濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、SIMSにより得られる酸化物半導体のチャネル形成領域におけるシリコンの濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。

[0302]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。又は、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体のチャネル形成領域における窒素濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0303]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。したがって、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体のチャネル形成領域における中の水素はできる限り低減されていることが好ましい。具体的には、SIMSにより得られる酸化物半導体のチャネル形成領域における水素濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

[0304]

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0305]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与できる。

[0306]

[その他の半導体材料]

半導体層113は、トランジスタのチャネル形成領域を含む半導体層と言い換えることができる。半導体層に用いることができる半導体材料は、上述の金属酸化物に限られない。半導体として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、単体元素の半導体、化合物半導体、又は層状物質（原子層物質、2次元材料等ともいう）等を半導体材料に用いることが好ましい。

[0307]

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合又はイオン結合によって形成される層が、ファンデルワールス力のような、共有結合又はイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、且つ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供できる。

[0308]

半導体材料に用いることができる単体元素の半導体として、シリコン、及びゲルマニウム等が挙げられる。半導体層に用いることができるシリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン（LTPS: Low Temperature Poly Silicon）が挙げられる。

[0309]

半導体材料に用いることができる化合物半導体として、炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、窒化ホウ素、及びヒ化ホウ素等が挙げられる。半導体層に用いることができる窒化ホウ素は、アモルファス構造を含むことが好ましい。半導体層に用いることができるヒ化ホウ素は、立方晶構造の結晶を含むことが好ましい。

[0310]

層状物質として、グラフェン、シリセン、炭窒化ホウ素、及びカルコゲン化物等がある。層状物質としての炭窒化ホウ素は、炭素原子、窒素原子、及びホウ素原子が平面上に六角形格子構造で配列している。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、及び13族カルコゲナイド等が挙げられる。

[0311]

半導体層として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。半導体層として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、及びセレン化ジルコニウム（代表的には ZrSe_2 ）等が挙げられる。上述の遷移金属カルコゲナイドを半導体層に適用することで、オン電流が大きい半導体装置を提供できる。

[0312]

<半導体装置の作製方法例1>

以下では、本発明の一態様の半導体装置の作製方法として、図2A1、図2B、及び図2Cに示す半導体装置の作製方法例を説明する。

[0313]

以下において、絶縁層を形成するための絶縁性材料、導電層を形成するための導電性材料、又は半導体層を形成するための半導体材料は、スパッタリング法、CVD法、MBE法、PLD法、又はALD法等の成膜方法を適宜用いて成膜できる。

[0314]

なお、スパッタリング法にはスパッタリング用電源に高周波電源を用いるRFスパッタリング法、直流電源を用いるDCスパッタリング法、及びパルスの電極に印加する電圧を変化させるパルスDCスパッタリング法がある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属導電膜を成膜する場合に用いられる。また、パルスDCスパッタリング法は、主に、酸化物、窒化物、又は炭化物等の化合物をリアクティブスパッタリング法で成膜する際に用いられる。

[0315]

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法、及び光を利用する光CVD（Photo CVD）法等に分類できる。また、CVD法は、用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、及び有機金属CVD（MOCVD：Metal Organic CVD）法に分けることができる。

[0316]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくできる成膜方法である。例えば、半導体装置に含まれる配線、電極、及び素子（トランジスタ、及び容量等）等は、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、又は素子等が破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くできる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0317]

また、ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD法、又はプラズマ励起されたリアクタントを用いるPEALD法等を用いることができる。

[0318]

CVD法及びALD法は、ターゲット等から放出される粒子が堆積するスパッタリング法とは異なる。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、例えばアスペクト比の高い開口部の表面を被覆する場合に好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法等の他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0319]

また、CVD法では、原料ガスの流量比によって、任意の組成の膜を成膜できる。例えば、CVD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜できる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送又は圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くできる。したがって、半導体装置の生産性を高めることができる場合がある。

[0320]

また、ALD法では、異なる複数種のプリカーサを同時に導入することで任意の組成の膜を成膜できる。又は、異なる複数種のプリカーサを導入する場合、各プリカーサのサイクル数を制御することで任意の組成の膜を成膜できる。

[0321]

本発明の一態様の半導体装置の作製方法を示す図面において、特に明示がある場合を除き、各図のA、及びA1は平面図である。また、各図のBは、各図のA、又はA1の一点鎖線A1-A2の断面図であり、各図のCは、各図のA、又はA1の一点鎖線A3-A4の断面図である。

[0322]

まず、基板（図示せず）を準備し、当該基板上に絶縁層101を形成する（図14A、図14B、及び図14C）。絶縁層101には、上述の絶縁性材料を適宜用いることができる。絶縁層101の形成は、スパッタリング法、CVD法、MBE法、PLD法、又はALD法等の成膜方法を適宜用いて行うことができる。

[0323]

次に、絶縁層101上に導電層111を形成する（図14A、図14B、及び図14C）。例えば、導電層111となる導電膜を形成し、当該導電膜を加工することにより、導電層111を形成できる。導電層111となる導電膜には、上述の導電層111に適用可能な導電性材料を適宜用いることができる。

[0324]

導電層111となる導電膜の形成は、スパッタリング法、CVD法、MBE法、PLD法、又はALD法等の成膜方法を適宜用いて行うことができる。導電層111となる導電膜の形成後、例えばリソグラフィ法によるパターン形成を行い、当該パターンに基づいてドライエッチング法、又はウェットエッチング法等を用いて当該導電膜を加工することにより、導電層111を形成できる。ここで、当該導電膜の加工をドライエッチング法で行うと、微細加工ができ好ましい。

[0325]

なお、リソグラフィ法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去又は残存させてレジストマスクを形成する。これにより、パターンが形成される。

[0326]

例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、又はEUV光等を用いて、レジストを露光することでレジストマスクを形成する。また、基板と投影レンズとの間に水等の液体を満たして露光する、液浸技術を用いてもよい。また、前述の光に代えて、電子ビーム又はイオンビームを用いてもよい。なお、電子ビーム又はイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクは、アッシング等のドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、又はウェットエッチング処理後にドライエッチング処理を行うことで除去できる。

[0327]

次に、当該レジストマスクを介してエッチング処理を行う。これにより、導電膜、半導体膜、及び絶縁膜等を所望の形状に加工できる。

[0328]

上記エッチング処理としてドライエッチング処理を行う場合、エッチングガスとしては、ハロゲンを含むエッチングガスを用いることができ、具体的には、フッ素、塩素、及び臭素のうち、一又は複数を含むエッチングガスを用いることができる。例えば、エッチングガスとして、 C_4F_6 ガス、 C_5F_6 ガス、 C_4F_8 ガス、 CF_4 ガス、 SF_6 ガス、 NF_3 ガス、 CHF_3 ガス、 Cl_2 ガス、 BCl_3 ガス、 $SiCl_4$ ガス、 CCl_4 ガス、及び BBr_3 ガス等を、単独又は2以上のガスを混合して用いることができる。また、上記のエッチングガスに酸素ガス、炭酸ガス、窒素ガス、ヘリウムガス、アルゴンガス、水素ガス、又は炭化水素ガス等を適宜添加できる。エッチング条件は、エッチングする対象に合わせて適宜設定できる。

[0329]

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ（CCP：Capacitively Coupled Plasma）エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電圧を印加する構成でもよい。又は平行平板型電極の一方の電極に複数の異なった高周波電圧を印加する構成でもよい。又は平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成でもよい。又は平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成でもよい。又は高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ（ICP：Inductively Coupled Plasma）エッチング装置を用いることができる。

[0330]

次に、絶縁層101上、及び導電層111上に、絶縁層103を形成する（図14A、図14B、及び図14C）。絶縁層103には、上述の絶縁性材料を適宜用いることができる。絶縁層103の形成は、スパッタリング法、CVD法、MBE法、PLD法、又はALD法等の成膜方法を適宜用いて行うことができる。なお、絶縁層103は、成膜後に例えば化学機械研磨（CMP：Chemical Mechanical Polishing）処理を行って、上面を平坦化させることが好ましい。絶縁層103の平坦化処理を行うことで、後の工程で導電層117を好適に形成できる。また、絶縁層103上に、例えば、スパッタリング法によって酸化アルミニウムを成膜した後、絶縁層103に達するまで平坦化処理を行ってもよい。当該平坦化処理を行うことで絶縁層103表面の平坦化及び平滑化を行うことができる。当該酸化アルミニウムを絶縁層103上に配置

して平坦化処理を行うことで、平坦化処理の終点検出が容易となる。

[0331]

なお、平坦化処理を行わなくてもよい場合がある。このとき、絶縁層103の上面は、凸曲面形状を有する。平坦化処理を行わないことにより、作製コストを低くできるとともに、生産歩留まりを高めることができる。これにより、低価格の半導体装置を提供できる。

[0332]

次に、絶縁層103上に導電層117を形成する（図14A、図14B、及び図14C）。導電層117は、導電層111の形成に用いることができる方法と同様の方法で形成できる。導電層117となる導電膜には、上述の導電層117に適用可能な導電性材料を適宜用いることができる。なお、図9A、図9B、及び図9Cに示すように導電層117の形状を面状とする場合、リソグラフィ法によるパターン形成、及び当該パターンに基づく導電膜の加工を行わなくてもよい場合がある。

[0333]

次に、絶縁層103上、及び導電層117上に、絶縁層104を形成する（図14A、図14B、及び図14C）。絶縁層104は、絶縁層103の形成に用いることができる方法と同様の方法で形成できる。絶縁層104には、上述の絶縁性材料を適宜用いることができる。

[0334]

ここで、絶縁層103、導電層117、及び絶縁層104の、導電層111と重なる領域における膜厚が、トランジスタ100のチャネル長に対応する。よって、トランジスタ100のチャネル長の設計値に合わせて、絶縁層103、導電層117、及び絶縁層104の膜厚を適宜設定できる。

[0335]

次に、絶縁層104上に導電層112を形成する（図14A、図14B、及び図14C）。導電層112は、導電層111の形成に用いることができる方法と同様の方法で形成できる。導電層112となる導電膜には、上述の導電層112に適用可能な導電性材料を適宜用いることができる。

[0336]

次に、導電層112の一部、絶縁層104の一部、導電層117の一部、及び絶縁層103の一部を加工して、導電層111に達する開口部121を形成する（図15A、図15B、及び図15C）。開口部121の形成は、例えばリソグラフィ法、及びエッチング法を用いて行うことができる。

[0337]

前述のように、開口部121の側壁は、導電層111の上面に対して垂直であることが好ましい。このような構成にすることで、トランジスタ100を微細化できる。また、開口部121の側壁は、テーパ形状であってもよい。開口部121の側壁をテーパ形状にすることで、例えば後述する半導体層113となる金属酸化物膜の被覆性が向上し、鬆等の欠陥を低減できる。ここで、開口部121の最大幅（平面視において開口部121が円形である場合は最大径）の大きさは、微細であることが好ましい。

[0338]

開口部121はアスペクト比が大きいいため、異方性エッチングを用いて、導電層112の一部、絶縁層104の一部、導電層117の一部、及び絶縁層103の一部を加工することが好ましい。特に、ドライエッチング法による加工は、微細加工に適しているため好ましい。また、当該加工は、それぞれ異なる条件で行ってもよい。なお、導電層112の一部、絶縁層104の一部、導電層1

１１の一部分、及び絶縁層１０３の一部分の加工を行う条件によっては、開口部１２１における導電層１１２の側面の傾きと、開口部１２１における絶縁層１０４の側面の傾きと、開口部１２１における導電層１１７の側面の傾きと、開口部１２１における絶縁層１０３の側面の傾きと、のうち少なくとも１つが、他と異なる場合がある。

[０３３９]

続いて、加熱処理を行ってもよい。加熱処理は、２５０℃以上６５０℃以下、好ましくは３００℃以上５００℃以下、さらに好ましくは３２０℃以上４５０℃以下で行えばよい。なお、加熱処理は、例えば窒素ガス又は不活性ガスの雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。以上のような加熱処理を行うことで、後述する半導体層１１３となる金属酸化物膜の成膜前に、例えば絶縁層１０３、及び絶縁層１０４に含まれる、水等の不純物を低減できる。

[０３４０]

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量を１ppb以下、好ましくは０．１ppb以下、より好ましくは０．０５ppb以下にする。高純度化されたガスを用いて加熱処理を行うことで、例えば絶縁層１０３に水分が取り込まれることを可能な限り防ぐことができる。

[０３４１]

次に、導電層１１７の、開口部１２１における側面を加工することにより、当該側面を後退させる（図１６Ａ１、図１６Ａ２、図１６Ｂ、及び図１６Ｃ）。これにより、絶縁層１０３と、導電層１１７と、絶縁層１０４と、により凹部１３２が形成される。ここで、図１６Ａ２では、図１６Ａ１に示す導電層１１２にハッチングパターンを付さずに破線で示している。

[０３４２]

上記側面の加工は、例えば等方性エッチングを用いて行うことができる。ここで、導電層１１７は、絶縁層１０３、絶縁層１０４、導電層１１１、及び導電層１１２とエッチング選択比が高い条件、すなわち導電層１１７がエッチングされやすく、絶縁層１０３、絶縁層１０４、導電層１１１、及び導電層１１２がエッチングされにくい条件で加工することが好ましい。導電層１１７の加工は、例えばウェットエッチング法、又はドライエッチング法を用いて行うことができる。

[０３４３]

図１６Ａ１、図１６Ａ２、図１６Ｂ、及び図１６Ｃに示す工程は、導電層１１７を水平方向に加工し、導電層１１７の開口部１２１における側面を後退させる工程ということができる。本明細書等において、当該加工を、第１の加工という場合がある。

[０３４４]

ここで、導電層１１７の開口部１２１における側面を後退させる工程を行った後の、導電層１１７に設けられる開口部１２１を、開口部１２３とする。前述のように、開口部１２３は、例えば開口部１２１と重なる領域と、凹部１３２と、を含むことができる。なお、導電層１１７の開口部１２３における側面の傾きは、開口部１２１における導電層１１２の側面の傾き、開口部１２１における絶縁層１０４の側面の傾き、及び開口部１２１における絶縁層１０３の側面の傾きのうち少なくとも１つと異なる場合がある。例えば、図１５Ａ乃至図１５Ｃに示す工程を行って開口部１２１を形成した時点において、開口部１２１における導電層１１７の傾きが、開口部１２１における導電層１１２の側面の傾き、開口部１２１における絶縁層１０４の側面の傾き、及び開口部１２１における絶縁層１０３の側面の傾きのうち少なくとも１つと異なる場合は、導電層１１７の開口部１２

3における側面の傾きが、開口部121における導電層112の側面の傾き、開口部121における絶縁層104の側面の傾き、及び開口部121における絶縁層103の側面の傾きのうち少なくとも1つと異なる場合がある。

[0345]

次に、開口部121、及び開口部123を覆い、開口部121の内部に位置する領域、及び開口部123の内部に位置する領域を有するように、後に絶縁層106となる絶縁膜106Aを形成する(図17A、図17B、及び図17C)。なお、図17(A)では、絶縁膜106Aを実線で示している。以降の平面図でも、絶縁膜106Aは実線で示す。

[0346]

絶縁膜106Aは、導電層111の上面、絶縁層103の側面、凹部132の内壁、絶縁層104の側面及び上面、並びに導電層112の側面及び上面に沿った形状を有することができる。これにより、絶縁膜106Aは、開口部121と重なる位置、及び凹部132と重なる位置にそれぞれ凹部が形成される。なお、例えば絶縁膜106Aの膜厚が凹部132の水平方向の深さに比して厚い場合、又は絶縁膜106Aを被覆性が低い方法で成膜した場合等は、凹部132と重なる位置に凹部が形成されない場合がある。

[0347]

絶縁膜106Aは、導電層117の、開口部123における側面と接する領域を有するように、導電層111上、絶縁層103上、絶縁層104上、及び導電層112上に形成できる。絶縁膜106Aは、導電層111の上面と接する領域、絶縁層103の側面と接する領域、絶縁層103の凹部132における上面と接する領域、導電層117の凹部132における側面と接する領域、絶縁層104の凹部132における底面と接する領域、絶縁層104の側面と接する領域、導電層112の側面と接する領域、導電層112の上面と接する領域、及び絶縁層104の上面と接する領域を有するように形成できる。

[0348]

絶縁膜106Aには、上述の絶縁層106に適用可能な絶縁性材料を適宜用いることができる。絶縁膜106Aの形成は、スパッタリング法、CVD法、MBE法、PLD法、又はALD法等の成膜方法を適宜用いて行うことができる。ここで、絶縁膜106Aは、導電層117の凹部132における側面に接して形成されることが好ましい。よって、絶縁膜106Aの成膜は、被覆性が良好な成膜方法を用いることが好ましく、CVD法又はALD法等を用いることがより好ましい。例えば、絶縁膜106Aとして、ALD法を用いて、酸化シリコンを成膜する。

[0349]

次に、絶縁膜106Aを加工することにより、凹部132に絶縁層106を形成する(図18A1、図18B、及び図18C)。別言すると、絶縁膜106Aを加工することにより、開口部123の、絶縁層103と絶縁層104の間の領域に絶縁層106を形成する。ここで、図18A2は、図18A1から導電層112を省略し、絶縁層106を追加した平面図である。

[0350]

例えば、絶縁膜106Aに対して異方性エッチングを行うことにより、絶縁膜106Aが凹部132に残存して絶縁層106が形成できる。具体的には、例えば絶縁膜106Aの、露出している上面の全面に対して異方性エッチングを行うことにより、絶縁膜106Aが凹部132に残存して絶縁層106を形成できる。絶縁膜106Aの加工は、微細加工に適した方法で行うことが好ましく、

例えばドライエッチング法を用いて行うことができる。本明細書等において、絶縁膜106Aの加工を、第2の加工という場合がある。前述のように、導電層117の開口部121における側面を後退させるための加工である第1の加工は、等方性エッチングを用いて行うことができ、第2の加工は、異方性エッチングを用いて行うことができる。よって、第2の加工は、第1の加工より異方性が高い加工方法であるということができる。

[0351]

ここで、絶縁膜106Aの加工は、絶縁層104と絶縁膜106Aのエッチング選択比が高い条件、すなわち絶縁膜106Aがエッチングされやすく、絶縁層104がエッチングされにくい条件で行うことが好ましい。これにより、絶縁膜106Aを加工する際、絶縁層104、具体的には例えば絶縁層104の上面が加工されることを抑制できる。

[0352]

例えば、絶縁層104を、図8A乃至図8Dに示すような絶縁層104aと、絶縁層104a上の絶縁層104bと、絶縁層104b上の絶縁層104cと、の積層構造とする場合、絶縁層104cに用いる材料を、絶縁膜106Aに用いる材料と異ならせることが好ましい。例えば、絶縁膜106Aに酸化シリコン等、酸素を含む絶縁体を用いる場合、絶縁層104cには窒化シリコン等、窒素を含む絶縁体を用いることができる。これにより、絶縁膜106Aの加工を、絶縁層104と絶縁膜106Aのエッチング選択比が高い条件で行うことができる。

[0353]

絶縁層106の、導電層117とは反対側の側面は、例えば図3Aに示すように、絶縁層103の開口部121における側面、及び絶縁層104の開口部121における側面と一致又は概略一致することができる。よって、絶縁層106には、開口部121が設けられるということができる。なお、絶縁層106の導電層117とは反対側の側面が、絶縁層103の開口部121における側面及び絶縁層104の開口部121における側面の一方又は双方と、一致又は概略一致しない場合がある。この場合であっても、絶縁層106には開口部121が設けられるということができる。

[0354]

ここで、絶縁層106には、図3Bに示すような凹部133が形成される場合がある。例えば、絶縁膜106Aの膜厚が、凹部132の水平方向の深さに比して薄い場合は、絶縁層106に凹部133が形成される場合がある。なお、絶縁層106に凹部133が形成される場合、絶縁膜106Aは、特に被覆性が高い方法で成膜することが好ましい。例えば、絶縁膜106Aを、ALD法で成膜することが好ましい。また、半導体層113となる半導体膜も、特に被覆性が高い方法で成膜することが好ましく、例えばALD法で成膜することが好ましい。

[0355]

次に、開口部121の底部及び側壁、並びに導電層112の上面の少なくとも一部に接して、半導体層113となる半導体膜を形成する。当該半導体膜には、上述の半導体層113に適用可能な半導体を適宜用いることができ、例えば金属酸化物膜を用いることができる。当該半導体膜の形成は、スパッタリング法、CVD法、MBE法、PLD法、又はALD法等の成膜方法を適宜用いて行うことができる。ここで、当該半導体膜は、アスペクト比の大きい開口部121の底部及び側壁に接して形成されることが好ましい。よって、当該半導体膜は、被覆性が良好な成膜方法を用いて形成することが好ましく、CVD法又はALD法等を用いることがより好ましい。半導体層113となる半導体膜は、例えばALD法を用いて成膜された、In-Ga-Zn酸化物とすることができる。

[0356]

また、半導体層113を積層構造とする場合、半導体層113に含まれる各層の成膜方法は同じであつてもよいし、異なつてもよい。例えば、半導体層113を図10A乃至図10Cに示すような、半導体層113aと半導体層113bの2層構造とする場合、半導体層113aとなる半導体膜をスパッタリング法で成膜し、半導体層113bとなる半導体膜をALD法で成膜してもよい。

[0357]

スパッタリング法を用いて成膜された金属酸化物膜は結晶性を有しやすい。そこで、半導体層113aとなる半導体膜として結晶性を有する金属酸化物膜を用いることで、半導体層113bとなる半導体膜として金属酸化物膜を用いる場合、当該金属酸化物膜の結晶性を高めることができる。また、スパッタリング法で成膜した、半導体層113aとなる金属酸化物膜にピンホール又は段切れ等が形成されたとしても、被覆性の良好なALD法で成膜した、半導体層113bとなる金属酸化物膜でそれらを塞ぐことができる。なお、半導体層113aと半導体層113bの双方を、ALD法で成膜してもよい。これにより、半導体層113bだけでなく、半導体層113aも被覆性を高めることができる。

[0358]

ここで、半導体層113となる半導体膜は、開口部121における導電層111の上面、開口部121における絶縁層103、絶縁層106、絶縁層104、及び導電層112の側面、並びに導電層112の上面に接して形成されることが好ましい。当該半導体膜を導電層111と接して形成することで、導電層111は、トランジスタ100のソース電極又はドレイン電極の一方として機能する。また、当該半導体膜を導電層112と接して形成することで、導電層112は、トランジスタ100のソース電極又はドレイン電極の他方として機能する。

[0359]

半導体層113となる半導体膜として金属酸化物膜を用いる場合、当該金属酸化物膜の成膜後に、上述の不純物除去処理、具体的には例えばマイクロ波処理を行うことが好ましい。マイクロ波処理の詳細は、前述の記載を参照できる。その後、加熱処理を行うことが好ましい。加熱処理は当該金属酸化物膜が多結晶化しない温度範囲で行えばよく、250℃以上650℃以下、好ましくは400℃以上600℃以下で行えばよい。加熱処理の詳細は、前述の記載を参照できる。以上により、金属酸化物膜を例えばCAAC-Osとすることができ、信頼性が高い半導体装置の作製方法を提供できる。

[0360]

なお、上記においては、上記半導体膜の成膜後に加熱処理を行ったが、本発明の一態様はこれに限られるものではない。さらに後の工程で加熱処理を行ってもよい。

[0361]

次に、半導体層113となる半導体膜に対して、例えばリソグラフィ法によるパターン形成を行った後、当該パターンに基づいてエッチング法により加工する。これにより、半導体層113を形成する（図19A、図19B、及び図19C）。半導体層113の一部は、開口部121の内部に形成される。また、半導体層113は、導電層112の側面及び上面の一部と接する。以上により、導電層111の上面と接する領域、絶縁層106の側面と接する領域、導電層112の側面と接する領域、及び導電層112の上面と接する領域を有し、且つ開口部121の内部に位置する領域を有するように、半導体層113が形成される。なお、半導体層113は、開口部121において、

絶縁層 103 の側面と接する領域、及び絶縁層 104 の側面と接する領域を有するように形成できる。

[0362]

次に、半導体層 113 上、導電層 112 上、及び絶縁層 104 上に、絶縁層 105 を形成する（図 19A、図 19B、及び図 19C）。絶縁層 105 には、上述の絶縁性材料を適宜用いることができる。絶縁層 105 の形成は、スパッタリング法、CVD 法、MBE 法、PLD 法、又は ALD 法等の成膜方法を適宜用いて行うことができる。ここで、絶縁層 105 は、アスペクト比の大きい開口部 121 に設けられる半導体層 113 に接して形成されることが好ましい。よって、絶縁層 105 の成膜は、被覆性が良好な成膜方法を用いることが好ましく、CVD 法又は ALD 法等を用いることがより好ましい。例えば、絶縁層 105 として、ALD 法を用いて、酸化シリコンを成膜する。

[0363]

なお、開口部 121 の側壁がテーパ形状である場合、絶縁層 105 の成膜は、CVD 法又は ALD 法を用いる場合に限られない。例えば、スパッタリング法を用いて絶縁層 105 を成膜してもよい。

[0364]

次に、開口部 121 の内部において、絶縁層 105 を半導体層 113 との間に挟んで対向する領域を有するように、導電層 115 を形成する（図 19A、図 19B、及び図 19C）。例えば、導電層 115 となる導電膜を絶縁層 105 上に形成し、当該導電膜を加工することにより、導電層 115 を形成できる。導電層 115 となる導電膜には、上述の導電層 115 に適用可能な導電性材料を適宜用いることができる。

[0365]

導電層 115 となる導電膜の形成は、スパッタリング法、CVD 法、MBE 法、PLD 法、又は ALD 法等の成膜方法を適宜用いて行うことができる。ここで、当該導電膜は、アスペクト比の大きい開口部 121 に設けられる絶縁層 105 に接して形成されることが好ましい。よって、導電層 115 となる導電膜の形成は、被覆性又は埋め込み性が良好な成膜方法を用いることが好ましく、CVD 法又は ALD 法等を用いることがより好ましい。

[0366]

なお、CVD 法を用いて導電層 115 となる導電膜を形成した場合、当該導電膜の上面の平均面粗さが大きくなることがある。この場合、例えば CMP 法を用いて当該導電膜を平坦化してもよい。このとき、平坦化処理を行う前に、導電層 115 となる導電膜上に酸化シリコン膜又は酸化窒化シリコン膜を成膜し、当該酸化シリコン膜又は酸化窒化シリコン膜を除去するまで、平坦化処理を行ってもよい。

[0367]

導電層 115 となる導電膜の形成後、例えばリソグラフィ法によるパターン形成を行い、当該パターンに基づいてドライエッチング法、又はウェットエッチング法等を用いて当該導電膜を加工することにより、導電層 115 を形成できる。ここで、当該導電膜の加工をドライエッチング法で行うと、微細加工ができ好ましい。

[0368]

ここで、図 19A、及び図 19C に示すように、導電層 115 の側端部の少なくとも一部が、半導体層 113 の側端部より内側に位置することが好ましい。これにより、前述のように例えば導電層 112、絶縁層 105、及び導電層 115 により形成される寄生容量を小さくできる。

[0369]

以上のようにして、導電層111、導電層112、半導体層113、絶縁層105、導電層115、絶縁層106、及び導電層117を有するトランジスタ100を形成できる。前述のように、導電層111は、トランジスタ100のソース電極又はドレイン電極の一方として機能し、導電層112は、トランジスタ100のソース電極又はドレイン電極の他方として機能する。また、導電層115は、トランジスタ100の第1のゲート電極として機能し、絶縁層105は、トランジスタ100の第1のゲート絶縁層として機能する。さらに、導電層117は、トランジスタ100の第2のゲート電極として機能し、絶縁層106は、トランジスタ100の第2のゲート絶縁層として機能する。

[0370]

次に、トランジスタ100を覆って、絶縁層107を形成する。具体的には、導電層115、及び絶縁層105を覆って、絶縁層107を形成する（図2A1、図2B、及び図2C）。絶縁層107は、上述の絶縁性材料を適宜用いることができる。絶縁層107の形成は、スパッタリング法、CVD法、MBE法、PLD法、又はALD法等の成膜方法を適宜用いて行うことができる。

[0371]

以上により、図2A1、図2B、及び図2Cに示す、トランジスタ100を有する半導体装置を作製できる。

[0372]

<半導体装置の作製方法例2>

以下では、本発明の一態様の半導体装置の作製方法として、図5A1、図5A2、図5B、及び図5Cに示す半導体装置の作製方法例を説明する。

[0373]

まず、図14A乃至図17Cに示す工程と同様の工程を行う。図17(A)乃至図17(C)に示す絶縁膜106Aの形成後に、導電層117の、開口部123における側面に対して酸化処理を行うことにより、導電層117に酸化物領域117oxを形成する（図20A1、図20A2、図20B、及び図20C）。ここで、図20A2は、図20A1から絶縁膜106A、及び導電層112を省略した平面図である。

[0374]

酸化処理は、酸素を含む雰囲気でのマイクロ波処理により行うことができる。図20B、及び図20Cに示す一点鎖線矢印は、マイクロ波若しくはRF等の高周波、酸素プラズマ、又は酸素ラジカル等を示す。半導体装置の作製方法例を示す以降の図面においても、一点鎖線矢印はマイクロ波若しくはRF等の高周波、酸素プラズマ、又は酸素ラジカル等を示す。

[0375]

例えばマイクロ波処理の条件は、前述の<半導体装置の構成材料>で示したマイクロ波処理の条件を参照できる。なお、上記酸化処理の方法は、マイクロ波処理に限られず、例えば酸素プラズマ処理、又は熱酸化処理を用いてもよい。

[0376]

絶縁膜106Aを形成した後、上記酸化処理を行うことにより、酸化物領域117oxを、導電層117に含まれる成分と、絶縁膜106Aに含まれる成分と、を含む領域とすることができる。これにより、導電層117と、絶縁膜106Aと、をアロイ化させることができる。この場合、酸化

物領域 117ox は、アロイ化された領域とすることができる。例えば、導電層 117 として窒化タンタルを用い、絶縁膜 106A として酸化シリコンを用いる場合、酸化物領域 117ox はタンタルと、シリコンと、酸素と、窒素と、を含む領域とすることができる。また、導電層 117 としてタングステンをを用い、絶縁膜 106A として酸化シリコンを用いる場合、酸化物領域 117ox はタングステンと、シリコンと、酸素と、を含む領域とすることができる。

[0377]

ここで、上記酸化処理は、導電層 117 だけでなく、絶縁膜 106A と接する領域を有する導電層 111、及び導電層 112 に対しても行われる。よって、前述のように、導電層 111、及び導電層 112 には、導電層 117 より酸化しにくい材料、又は酸化しても導電性を有する材料を用い、例えば酸素を含む導電性材料を用いることができる。

[0378]

また、上記酸化処理により、導電層 112 と、絶縁膜 106A と、をアロイ化させることができる場合がある。これにより、例えば導電層 112 にシリコンを含ませることができる場合がある。例えば、前述のように ITO を用いて導電層 112 を形成した場合、導電層 112 に ITSO を含ませることができる場合がある。同様に、導電層 111 と、絶縁膜 106A と、をアロイ化させることができる場合がある。

[0379]

次に、図 18A1 乃至図 19C に示す工程、及びそれ以降の工程と同様の工程を行う。以上により、図 5A1、図 5B、及び図 5C に示す、トランジスタ 100 を有する半導体装置を作製できる。なお、絶縁層 106 の形成後に、上記酸化処理を行ってもよい。また、絶縁膜 106A の形成前に、上記酸化処理を行ってもよい。さらに、絶縁層 106、及び半導体層 113 の形成後に、上記酸化処理を行ってもよい。半導体層 113 の形成後に上記酸化処理を行うことにより、酸化物領域 117ox の形成と、半導体層 113 の不純物除去と、を並行して行うことができる場合がある。

[0380]

前述のように、酸化物領域 117ox は、絶縁性を有することができ、絶縁層 106 とともに、トランジスタ 100 の第 2 のゲート絶縁層として機能させることができる。これにより、例えば絶縁膜 106A を加工する際に、凹部 132 中の絶縁膜 106A の一部が加工される等の理由により、絶縁層 106 の膜厚が薄くなったとしても、トランジスタ 100 の第 2 のゲート絶縁層の膜厚を確保できる。よって、半導体層 113 と第 2 のゲート電極のショートを防止できる。また、半導体層 113 の形成時に導電層 117 の開口部 123 における側面が露出している場合であっても、半導体層 113 と第 2 のゲート電極のショートを防止できる。以上により、歩留まりが高い半導体装置の作製方法を提供できる。また、低価格の半導体装置を提供できる。

[0381]

<半導体装置の作製方法例 3>

以下では、本発明の一態様の半導体装置の作製方法として、図 6A 乃至図 6C に示す半導体装置の作製方法例を説明する。

[0382]

まず、図 14A 乃至図 17C に示す工程と同様の工程を行う。ここで、導電層 111 の形成は、導電層 111a となる導電膜と、当該導電膜上の導電層 111b となる導電膜と、を形成し、これらの導電膜を加工することにより形成できる。導電層 111a となる導電膜には、上述の導電層 11

1 a に適用可能な導電性材料を適宜用いることができ、導電層 1 1 1 b となる導電膜には、上述の導電層 1 1 1 b に適用可能な導電性材料を適宜用いることができる。また、開口部 1 2 1 は、導電層 1 1 1 b に達するように形成する。

[0383]

図 1 7 (A) 乃至図 1 7 (C) に示す絶縁膜 1 0 6 A の形成後に、導電層 1 1 7 の、開口部 1 2 1 における側面に対して酸化処理を行うことにより、導電層 1 1 7 に酸化物領域 1 1 7 o x を形成する (図 2 1 A、及び図 2 1 B)。なお、平面図は図 2 0 A 1、及び図 2 0 A 2 を参照できる。図 2 1 A は、図 2 0 A 1 に示す一点鎖線 A 1 - A 2 の断面に対応し、図 2 1 B は、図 2 0 A 1 に示す一点鎖線 A 3 - A 4 の断面に対応する。酸化処理は、図 2 0 A 1、図 2 0 A 2、図 2 0 B、及び図 2 0 C に示す方法と同様の方法で行うことができる。当該酸化処理により、導電層 1 1 1 b の、開口部 1 2 1 と重なる領域の上面が酸化される場合がある。

[0384]

次に、絶縁膜 1 0 6 A を加工することにより、絶縁層 1 0 6 を形成する (図 2 1 C、及び図 2 1 D)。なお、平面図は図 1 8 A 1 を参照できる。図 2 1 C は、図 1 8 A 1 に示す一点鎖線 A 1 - A 2 の断面に対応し、図 2 1 D は、図 1 8 A 1 に示す一点鎖線 A 3 - A 4 の断面に対応する。絶縁膜 1 0 6 A の加工は、図 1 8 A 1、図 1 8 A 2、図 1 8 B、及び図 1 8 C に示す方法と同様の方法で行うことができる。

[0385]

次に、導電層 1 1 1 b の、開口部 1 2 1 と重なる領域を除去する。これにより、開口部 1 2 1 が導電層 1 1 1 a に達するようにする (図 2 1 E、及び図 2 1 F)。なお、平面図は図 1 8 A 1 を参照できる。図 2 1 E は、図 1 8 A 1 に示す一点鎖線 A 1 - A 2 の断面に対応し、図 2 1 F は、図 1 8 A 1 に示す一点鎖線 A 3 - A 4 の断面に対応する。なお、開口部 1 2 1 が導電層 1 1 1 a に達せず、導電層 1 1 1 b に、開口部 1 2 1 と重なる領域を有する凹部が形成される場合がある。

[0386]

導電層 1 1 1 b の一部の除去は、例えばドライエッチング法、又はウェットエッチング法を用いて導電層 1 1 1 b を加工することにより行うことができる。ここで、導電層 1 1 1 a と導電層 1 1 1 b のエッチング選択比が高い条件、すなわち導電層 1 1 1 b がエッチングされやすく、導電層 1 1 1 a がエッチングされにくい条件で導電層 1 1 1 b を加工することが好ましい。なお、導電層 1 1 1 a と導電層 1 1 1 b のエッチング選択比が低い条件で導電層 1 1 1 b を加工する場合、導電層 1 1 1 a には、開口部 1 2 1 と重なる領域を有する凹部が形成される場合がある。また、例えば導電層 1 1 1 b と導電層 1 1 2 のエッチング選択比が高い条件、すなわち導電層 1 1 1 b がエッチングされやすく、導電層 1 1 2 がエッチングされにくい条件で導電層 1 1 1 b を加工することが好ましく、この場合、パターン形成は行わなくてよい。

[0387]

図 2 1 E、及び図 2 1 F に示す工程を行うことで、上記酸化処理により導電層 1 1 1 b が酸化されたとしても、導電層 1 1 1 の上記酸化処理により酸化された領域の少なくとも一部を除去できる。よって、前述のように導電層 1 1 1 と、半導体層 1 1 3 と、の接触界面における電気抵抗を小さくできる。これにより、例えばトランジスタ 1 0 0 がオン状態である場合において、半導体層 1 1 3 の、導電層 1 1 1 と導電層 1 1 2 の間に電流が流れなくなること、及び流れる電流が小さくなることを抑制できる。よって、信頼性が高い半導体装置を提供できる。また、例えば導電層 1 1 1 に、

耐酸化性が低い一方で導電性が高い材料を用いることができるようになり、導電層 111 の材料選択の幅を広げることができる。前述のように、例えば導電層 111 a 又は導電層 111 b の一方に、導電性が高い導電性材料を用いることができ、導電層 111 a 又は導電層 111 b の他方に、酸素を含む導電性材料を用いることができる。なお、例えば導電層 111 が単層である場合も、上記酸化処理の後に、導電層 111 の酸化された領域の少なくとも一部を例えばドライエッチング法、又はウェットエッチング法を用いて除去してもよい。この場合、導電層 111 に、開口部 121 と重なる領域を有する凹部が形成される。

[0388]

次に、図 19 A 乃至図 19 C に示す工程、及びそれ以降の工程と同様の工程を行う。以上により、図 6 A 乃至図 6 C に示す、トランジスタ 100 を有する半導体装置を作製できる。

[0389]

以上のように、本発明の一態様の半導体装置の作製方法では、第 1 の層間絶縁層と、第 1 の絶縁層上の第 2 の層間絶縁層と、に形成された開口部の内部に半導体層、第 1 のゲート絶縁層、及び第 1 のゲート電極が設けられ、当該開口部の下にソース電極又はドレイン電極の一方が、第 2 の層間絶縁層上にソース電極又はドレイン電極の他方が設けられるように、トランジスタを形成する。また、第 1 の層間絶縁層と第 2 の層間絶縁層の間に、上記開口部が形成された第 2 のゲート電極を形成し、第 2 のゲート電極の上記開口部における側面を後退させて第 1 の層間絶縁層と、第 2 のゲート電極と、第 2 の層間絶縁層と、により構成される凹部を形成した後、当該凹部に第 2 のゲート絶縁層を形成する。以上により、チャンネル長が短く、且つしきい値電圧を制御できるトランジスタを作製できる。したがって、本発明の一態様により、例えば高速に駆動し、且つ電気特性が良好な半導体装置の作製方法を提供できる。

[0390]

<記憶装置の構成例>

以下では、本発明の一態様の半導体装置を、記憶装置に適用する例について説明する。

[0391]

図 22 A 1 は、本発明の一態様の記憶装置の構成例を示す平面図である。本発明の一態様の記憶装置は、トランジスタ 100 と、容量 200 と、を含むメモリセル 150 を有する。図 22 A 2 は、図 22 A 1 から、トランジスタ 100 の構成要素を省略した平面図であり、容量 200 の構成例を示している。図 22 B は、図 22 A 1 に示す一点鎖線 A 1 - A 2 の断面図であり、図 22 C は、図 22 A 1 に示す一点鎖線 A 3 - A 4 の断面図である。

[0392]

図 22 A 1、図 22 B、及び図 22 C に示す記憶装置は、絶縁層 101 と、絶縁層 103 及び導電層 111 と、の間に、導電層 211 と、導電層 211 上の容量 200 と、を有する。また、当該記憶装置は、導電層 211 上の絶縁層 203 と、絶縁層 203 上の絶縁層 209 と、を有する。ここで、導電層 211 は、面状に設けることができる。また、絶縁層 203、及び絶縁層 209 は、層間絶縁層として機能する。

[0393]

絶縁層 203 は、導電層 211 に達する開口部 221 を有する。図 22 A 1、及び図 22 A 2 では、開口部 221 の形状が、平面視において円形である例を示している。開口部 221 の平面視における形状を円形とすることにより、開口部 221 を形成する際の加工精度を高めることができ、微細

なサイズの開口部 221 を形成できる。なお、開口部 221 の平面視における形状は円形に限られず、開口部 121 がとり得る形状と同様の形状をとることができる。

[0394]

容量 200 は、導電層 214 と、絶縁層 205 と、導電層 215 と、を有する。導電層 214 及び導電層 215 は、容量 200 の一対の電極として機能し、絶縁層 205 は、容量 200 の誘電体層として機能する。容量 200 は、MIM (Metal-Insulator-Metal) 容量を構成できる。

[0395]

導電層 214 は、開口部 221 を覆い、開口部 221 の内部に位置する領域を有するように設けられる。導電層 214 は、導電層 211 の上面、並びに絶縁層 203 の側面及び上面に沿った形状を有することができる。これにより、導電層 214 は、開口部 221 と重なる位置に凹部を有する。導電層 214 は、導電層 211 の上面と接する領域、絶縁層 203 の側面と接する領域、及び絶縁層 203 の上面と接する領域を有することができる。

[0396]

絶縁層 205 は、開口部 221 を覆い、開口部 221 の内部に位置する領域を有するように設けられる。絶縁層 205 は、導電層 214 上、及び絶縁層 203 上に設けられる。絶縁層 205 は、導電層 214 の上面及び側面、並びに絶縁層 203 の上面の形状に沿った形状を有することができる。絶縁層 205 が導電層 214 の上面及び側面に沿った形状を有することにより、絶縁層 205 は、開口部 221 と重なる位置に凹部を有する。絶縁層 205 は、導電層 214 の上面と接する領域、導電層 214 の側面と接する領域、及び絶縁層 203 の上面と接する領域を有することができる。

[0397]

導電層 215 は、絶縁層 205 上に設けられ、絶縁層 205 の上面及び凹部側面と接する領域を有することができる。導電層 215 は、開口部 221 の内部に位置する領域を有する。導電層 215 及び導電層 214 は、開口部 221 の底部だけでなく側壁に沿った位置において、絶縁層 205 を挟んで対向する。よって、開口部 221 の深さを深くするほど、容量 200 の単位面積当たりの容量値を大きくできる。これにより、記憶装置の読み出し動作を安定的に行うことができ、信頼性が高い記憶装置を提供できる。また、容量 200 の占有面積が小さくても容量値を確保できるため、微細化された記憶装置、及び高集積化された記憶装置を提供できる。以上により、小型の記憶装置を提供でき、また大容量の記憶装置を提供できる。ここで、導電層 214 は、開口部 221 の内部において、絶縁層 205 を介して導電層 215 の側面及び底面を覆う構成とすることができる。例えば、開口部 221 の内部において、絶縁層 205 は、導電層 214 の側面と接する領域、導電層 214 の凹部上面と接する領域、導電層 215 の側面と接する領域、及び導電層 215 の底面と接する領域を有することができる。

[0398]

図 22A1、図 22A2、図 22B、及び図 22C では、導電層 215 の側端部は、X 方向及び Y 方向のいずれにおいても、導電層 214 の側端部よりも内側に位置する例を示している。なお、X 方向及び Y 方向の一方又は双方において、導電層 215 の側端部が、導電層 214 の側端部より外側に位置してもよい。

[0399]

容量 200 は、絶縁層 203 の側面、及び導電層 211 の上面に沿って導電層 214 及び絶縁層 2

05が積層して設けられ、開口部221を埋めるように絶縁層205上に導電層215が設けられる容量である。このような構成を有する容量は、トレンチ型容量、又はトレンチ容量といえることができる。

[0400]

開口部221の側壁は、導電層211の上面に対して垂直であることが好ましい。このとき、開口部221は例えば円筒形状を有する。このような構成にすることで、微細化された記憶装置、及び高集積化された記憶装置を提供できる。なお、開口部221の側壁が、例えば図7A乃至図7Dに示す開口部121の側壁のようにテーパ形状になってもよい。

[0401]

絶縁層209は、開口部221の外部において、導電層215の側面を覆う。絶縁層209は、開口部221の外部において、例えば導電層215の側面と接する領域を有する。絶縁層209、及び導電層215は平坦化され、絶縁層209の上面と導電層215の上面が一致又は概略一致する構成とすることができる。なお、図22B、及び図22Cでは、絶縁層205が面状に設けられる例を示しているが、絶縁層205の側端部と導電層215の側端部が一致又は概略一致する構成としてもよい。例えば、絶縁層205を導電層215と同一のパターンで加工することにより、絶縁層205の側端部と導電層215の側端部が一致又は概略一致する構成とすることができる。

[0402]

図22A1、図22A2、図22B、及び図22Cに示す容量200を形成するには、導電層214、及び絶縁層205を形成した後に、導電層215となる導電膜を絶縁層205上に形成する。次に、例えばリソグラフィ法によるパターン形成を行い、当該パターンに基づいてドライエッチング法、又はウェットエッチング法等を用いて当該導電膜を加工することにより、導電層215を形成する。その後、導電層215上、及び絶縁層205上に絶縁層209を形成し、例えばCMP法を用いて絶縁層209に対して平坦化処理を行うことにより、導電層215の上面を露出させる。この際、例えば容量200上のトランジスタ100を形成しやすくするために、導電層215の上面も平坦化することが好ましい。以上が容量200の作製方法の一例である。

[0403]

以下では、本発明の一態様の記憶装置の構成要素について説明する。

[0404]

導電層211としては、前述の「導電体」の項目に記載の導電体を、単層又は積層で用いることができる。導電層211として、導電性が高い導電性材料を用いることができ、例えばタングステンをを用いることができる。

[0405]

また、導電層211として、酸化しにくい導電性材料、又は酸素の拡散を抑制する機能を有する導電性材料等を、単層又は積層で用いることができる。例えば、窒化チタン、又はシリコンを添加したインジウムスズ酸化物等を用いてもよい。又は、タングステンの上に窒化チタンを積層した構造にしてもよい。又は、第1の窒化チタンの上にタングステンを積層し、当該タングステンの上に第2の窒化チタンを積層した構造にしてもよい。このような構成とすることで、絶縁層203に酸化物絶縁体を用いる場合、絶縁層203によって導電層211が酸化されることを抑制できる。

[0406]

絶縁層203、及び絶縁層209は層間絶縁層として機能するため、比誘電率が低いことが好まし

い。比誘電率が低い材料を層間絶縁層とすることで、配線間に生じる寄生容量を低減できる。絶縁層 203、及び絶縁層 209 としては、前述の〔絶縁体〕の項目に記載の、比誘電率が低い材料を含む絶縁体を、単層又は積層で用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。

〔0407〕

導電層 214、及び導電層 215 として、前述の〔導電体〕の項目に記載の導電体を、単層又は積層で用いることができる。導電層 214、及び導電層 215 として、酸化しにくい導電性材料、又は酸素の拡散を抑制する機能を有する導電性材料等を用いることが好ましい。例えば、窒化チタン又は窒化タンタル等を用いることができる。又は、窒化チタンの上に窒化タンタルを積層した構成にしてもよい。このような構造にすることで、絶縁層 205 に酸化物絶縁体を用いる場合、絶縁層 205 によって導電層 214、及び導電層 215 が酸化されることを抑制できる。また、絶縁層 203 に酸化物絶縁体を用いる場合、絶縁層 203 によって導電層 214 が酸化されることを抑制できる。さらに、絶縁層 209 に酸化物絶縁体を用いる場合、絶縁層 209 によって導電層 215 が酸化されることを抑制できる。

〔0408〕

絶縁層 205 としては、前述の〔絶縁体〕の項目に記載の比誘電率が高い材料、所謂 high-k 材料を用いることが好ましい。絶縁層 205 として high-k 材料を用いることで、リーク電流を抑制できる程度に絶縁層 205 を厚くし、且つ容量 200 の容量値を十分確保できる。

〔0409〕

また、絶縁層 205 は、high-k 材料からなる絶縁層を積層して用いることが好ましく、比誘電率が高い (high-k) 材料と、当該 high-k 材料より絶縁耐力が大きい材料との積層構造を用いることが好ましい。例えば、絶縁層 205 として、酸化ジルコニウム、酸化アルミニウム、及び酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。また、例えば、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウム、及び酸化アルミニウムの順番で積層された絶縁膜を用いることができる。また、例えば、ハフニウムジルコニウム酸化物、酸化アルミニウム、ハフニウムジルコニウム酸化物、及び酸化アルミニウムの順番で積層された絶縁膜を用いることができる。酸化アルミニウムのような、比較的絶縁耐力が大きい絶縁体を積層して絶縁層 205 として用いることで、絶縁層 205 の絶縁耐力が向上し、容量 200 の静電破壊を抑制できる。

〔0410〕

また、絶縁層 205 として、強誘電性を有しうる材料を用いてもよい。強誘電性を有しうる材料としては、酸化ハフニウム、酸化ジルコニウム、及び HfZrO_x (X は 0 よりも大きい実数とする) 等の金属酸化物が挙げられる。また、強誘電性を有しうる材料としては、酸化ハフニウムに元素 J1 (ここでの元素 J1 は、ジルコニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、及びストロンチウム等から選ばれた 1 つ又は複数) を添加した材料が挙げられる。ここで、ハフニウム原子の原子数と元素 J1 の原子数の比は適宜設定することができ、例えば、ハフニウム原子の原子数と元素 J1 の原子数の比を 1 : 1 又はその近傍にすればよい。また、強誘電性を有しうる材料としては、酸化ジルコニウムに元素 J2 (ここでの元素 J2 は、ハフニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、及びストロンチウム等から選ばれた 1 つ又は複数) を添加した材料が挙げられる。また、ジルコニウム原子の原子数と元素 J2 の原子数の比は適宜設定することができ、例えば、ジルコニウム原子の原子数と元素 J2 の原子数の比を

1 : 1 又はその近傍にすればよい。また、強誘電性を有しうる材料として、チタン酸鉛 (P b T i O_x)、チタン酸バリウムストロンチウム (B S T)、チタン酸ストロンチウム、チタン酸ジルコン酸鉛 (P Z T)、タンタル酸ビスマス酸ストロンチウム (S B T)、ビスマスフェライト (B F O)、又はチタン酸バリウム等のペロブスカイト構造を有する圧電性セラミックスを用いてもよい。

[0411]

図22D1は、図22A1、図22B、及び図22Cに示すメモリセル150が有するトランジスタ100、及び容量200の接続関係を示す回路図である。トランジスタ100のソース又はドレインの一方は、容量200の一方の電極と電氣的に接続される。トランジスタ100のソース又はドレインの他方は、配線BLと電氣的に接続される。トランジスタ100の第1のゲートは、配線WLと電氣的に接続される。トランジスタ100の第2のゲートは、配線BGと電氣的に接続される。容量200の他方の電極は、配線PLと電氣的に接続される。

[0412]

配線BLは導電層112に対応し、配線WLは導電層115に対応し、配線BGは導電層117に対応し、配線PLは導電層211に対応する。別言すると、導電層112は配線BLとして機能する領域を有し、導電層115は配線WLとして機能する領域を有し、導電層117は配線BGとして機能する領域を有し、導電層211は配線PLとして機能する領域を有する。なお、導電層214が配線PLとして機能する領域を有するとしてもよい。

[0413]

トランジスタ100は、スイッチとして機能し、メモリセル150へのデータの書き込み、及びメモリセル150からのデータの読み出しを制御する機能を有する。トランジスタ100をオン状態とすることにより、メモリセル150にデータが書き込まれ、又はメモリセル150からデータが読み出される。トランジスタ100をオフ状態とすることにより、メモリセル150に書き込まれたデータが保持される。

[0414]

配線BLは、データの書き込み及び読み出しを行うためのビット線として機能する。配線WLは、スイッチとして機能するトランジスタ100のオン又はオフ（導通状態又は非導通状態）を制御するためのワード線として機能する。配線PLは、容量200に接続される定電位線として機能する。また、配線BGの電位は、トランジスタ100の第2のゲートの電位となる。

[0415]

図22D2は、図22D1に示すメモリセル150にトランジスタ151を追加した構成である、メモリセル150Aの構成例を示す回路図である。メモリセル150Aにおいて、トランジスタ100のソース又はドレインの一方、及び容量200の一方の電極は、トランジスタ151のゲートと電氣的に接続される。トランジスタ100のソース又はドレインの他方は、配線WBLと電氣的に接続される。トランジスタ151のソース又はドレインの一方は、配線RBLと電氣的に接続される。トランジスタ151のソース又はドレインの他方は、配線SLと電氣的に接続される。

[0416]

図22D2ではトランジスタ151に第2のゲート電極が設けられない例を示しているが、トランジスタ151に第1のゲート電極だけでなく、第2のゲート電極を設けてもよい。この場合、トランジスタ151の第2のゲート電極には、例えば定電位を供給してもよいし、トランジスタ151の第1のゲート電極の電位と同一の電位を供給してもよい。また、メモリセル150Aからデータ

を読み出す場合とそれ以外の場合で、トランジスタ 151 の第 2 のゲート電位の電位を異ならせてもよい。

[0417]

配線 WBL は、データの書き込みを行うためのビット線として機能し、書き込みビット線ともいう。配線 RBL は、データの読み出しを行うためのビット線として機能し、読み出しビット線ともいう。配線 SL は、定電位線として機能する。

[0418]

メモリセル 150A において、トランジスタ 100 をオン状態とすることにより、配線 WBL を介してデータが書き込まれる。この際、トランジスタ 151 を n チャネル型のトランジスタとする場合、配線 PL の電位は低電位とする。また、トランジスタ 100 をオフ状態とし、配線 PL の電位を低電位から高電位に変動させることにより、メモリセル 150A に保持されているデータに応じた電流が配線 SL から配線 RBL に流れ、メモリセル 150A からデータが読み出される。よって、メモリセル 150A において、配線 PL にはパルス信号（特定の動作を行う期間に電位が変動する信号）が供給される。なお、配線 SL にパルス信号を供給してもよい。この場合、配線 PL には定電位を供給できる。

[0419]

OS トランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。よって、トランジスタ 100 を OS トランジスタとすることにより、メモリセルに保持しているデータに対応する電荷を、容量 200 に長時間保持できる。これにより、メモリセルに長期間データを保持できる。これにより、リフレッシュ動作を必要としない、又はリフレッシュ動作の頻度が極めて少なくできるため、記憶装置の消費電力を十分に低減できる。また、OS トランジスタは周波数特性が高いため、メモリセルへのデータの書き込み、及びメモリセルからのデータの読み出しを高速に行うことができる。

[0420]

トランジスタ 151 は、OS トランジスタよりオン電流が大きいトランジスタとすることができ、例えば Si トランジスタとすることができる。これにより、メモリセル 150A からのデータの読み出しを高速に行える。なお、トランジスタ 151 に OS トランジスタを適用してもよい。この場合、メモリセル 150A が有するトランジスタを、全て同種のトランジスタとすることができる。これにより、例えばメモリセル 150A が有する全てのトランジスタを、同一の工程で形成できる。

[0421]

図 23A、図 23B、及び図 23C は、それぞれ図 22A1、図 22B、及び図 22C に示す導電層 111、及び絶縁層 209 が設けられない例を示している。図 23B、及び図 23C では、開口部 121 が導電層 215 に達し、半導体層 113 の底面が、導電層 215 と接する例を示している。また、図 23B、及び図 23C では、絶縁層 103 が、導電層 215 の側面、及び上面の一部を覆う例を示している。

[0422]

図 23A 乃至図 23C に示す例では、導電層 215 が、トランジスタ 100 のソース電極又はドレイン電極の一方として機能する。この場合、導電層 215 は、導電層 111 に用いることができる材料と同様の材料を用いることが好ましい。例えば、導電層 215 に、導電層 117 より酸化しにくい材料、又は酸化しても導電性を有する材料を用いることが好ましい。

[0423]

図24Aは、2個のメモリセル150（以下、メモリセル150a及びメモリセル150bという）を共通の配線に接続する記憶装置の例を示す平面図である。図24Bは、図24Aに示す一点鎖線A3-A4の断面図である。

[0424]

ここで、図24A、及び図24Bに示すメモリセル150a及びメモリセル150bのそれぞれは、メモリセル150と同様の構成を有する。メモリセル150aは、容量200a及びトランジスタ100aを有し、メモリセル150bは、容量200b及びトランジスタ100bを有する。よって、図24A、及び図24Bに示す記憶装置において、図22A1、図22B、及び図22Cに示した記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[0425]

図24A、及び図24Bに示すように、配線WLとして機能する導電層115は、メモリセル150a及びメモリセル150bに、それぞれ設けられる。また、配線BLの一部として機能する導電層112は、メモリセル150a及びメモリセル150bに、共通に設けられる。つまり、導電層112は、メモリセル150aの半導体層113に接する領域と、メモリセル150bの半導体層113に接する領域と、を有する。また、絶縁層107上には、層間絶縁層として機能する絶縁層109が設けられる。

[0426]

ここで、図24A、及び図24Bに示す記憶装置は、メモリセル150a及びメモリセル150bと電氣的に接続してプラグ（接続電極ということもできる）として機能する、導電層141及び導電層142を有する。導電層141は、絶縁層101、絶縁層203、絶縁層205、絶縁層209、絶縁層103、及び絶縁層104に形成された開口部内に配置され、導電層112の底面に接する。また、導電層142は、絶縁層109、絶縁層107、及び絶縁層105に形成された開口部内に配置され、導電層112の上面に接する。なお、導電層141及び導電層142は、導電層112に適用可能な導電性材料等を用いることができる。

[0427]

絶縁層109は、層間絶縁層として機能するため、比誘電率が低いことが好ましい。比誘電率が低い材料を層間絶縁層とすることで、配線間に生じる寄生容量を低減できる。絶縁層109としては、前述の「絶縁体」の項目に記載の、比誘電率が低い材料を含む絶縁体を、単層又は積層で用いることができる。

[0428]

また、絶縁層109中の水及び水素等の不純物濃度は低減されていることが好ましい。これにより、半導体層113のチャンネル形成領域に、水及び水素等の不純物が混入するのを抑制できる。

[0429]

導電層141及び導電層142は、スイッチ、トランジスタ、容量、インダクタ、抵抗素子、及びダイオード等の回路素子、配線、電極、又は、端子と、メモリセル150a及びメモリセル150bを電氣的に接続するためのプラグ又は配線として機能する。例えば、導電層141が、図24Bに示す記憶装置の下に設けられるセンスアンプ（図示せず）に電氣的に接続され、導電層142が、図24Bに示す記憶装置の上に設けられる同様の記憶装置（図示せず）と電氣的に接続される構成にすることができる。この場合、導電層141及び導電層142は、配線BLの一部として機能す

る。このように、図 2 4 B に示す記憶装置の上又は下に記憶装置等を設けることで、単位面積当たりの記憶容量を大きくできる。

[0 4 3 0]

また、メモリセル 1 5 0 a とメモリセル 1 5 0 b は、一点鎖線 A 3 - A 4 の垂直二等分線を対称軸とした線対称の構成となっている。よって、トランジスタ 1 0 0 a とトランジスタ 1 0 0 b も、導電層 1 4 1 及び導電層 1 4 2 を挟んで、対称の位置に配置される。ここで、導電層 1 1 2 は、トランジスタ 1 0 0 a のソース電極又はドレイン電極の他方としての機能と、トランジスタ 1 0 0 b のソース電極又はドレイン電極の他方としての機能とを有する。また、トランジスタ 1 0 0 a 及びトランジスタ 1 0 0 b は、プラグとして機能する導電層 1 4 1 及び導電層 1 4 2 を共有する。このように、2 つのトランジスタと、プラグとの接続を上述の構成とすることで、微細化又は高集積化が可能な記憶装置を提供できる。

[0 4 3 1]

なお、配線 PL として機能する導電層 2 1 1 は、メモリセル 1 5 0 a 及びメモリセル 1 5 0 b に、それぞれ設けてもよいし、メモリセル 1 5 0 a 及びメモリセル 1 5 0 b に、共通に設けてもよい。同様に、配線 BG として機能する導電層 1 1 7 は、メモリセル 1 5 0 a 及びメモリセル 1 5 0 b に、それぞれ設けてもよいし、メモリセル 1 5 0 a 及びメモリセル 1 5 0 b に、共通に設けてもよい。ただし、図 2 4 B に示すように、導電層 2 1 1 は、導電層 1 4 1 と離間して設け、導電層 2 1 1 と導電層 1 4 1 がショートしないようにする。同様に、導電層 1 1 7 は、導電層 1 4 1 と離間して設け、導電層 1 1 7 と導電層 1 4 1 がショートしないようにする。

[0 4 3 2]

また、メモリセル 1 5 0 を 3 次元的にマトリクス状に配置することで、メモリセルアレイを構成することができる。メモリセルアレイの一例として、図 2 5 A、及び図 2 5 B に、X 方向、Y 方向、及び Z 方向に、2 個×4 個×4 個のメモリセル 1 5 0 を配置した記憶装置の例を示す。図 2 5 A は、記憶装置の構成例を示す平面図である。また、図 2 5 B は、図 2 5 A の一点鎖線 A 3 - A 4 の断面図である。

[0 4 3 3]

ここで、図 2 5 A、及び図 2 5 B に示すメモリセル 1 5 0 a 乃至メモリセル 1 5 0 d のそれぞれは、メモリセル 1 5 0 と同様の構成を有する。メモリセル 1 5 0 a は、容量 2 0 0 a 及びトランジスタ 1 0 0 a を有し、メモリセル 1 5 0 b は、容量 2 0 0 b 及びトランジスタ 1 0 0 b を有し、メモリセル 1 5 0 c は、容量 2 0 0 c 及びトランジスタ 1 0 0 c を有し、メモリセル 1 5 0 d は、容量 2 0 0 d 及びトランジスタ 1 0 0 d を有する。よって、図 2 5 A、及び図 2 5 B に示す記憶装置において、図 2 2 A 1、図 2 2 A 2、図 2 2 B、及び図 2 2 C に示した記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[0 4 3 4]

以下において、複数のメモリセル 1 5 0 の集合をメモリユニットという。図 2 5 A、及び図 2 5 B に示す記憶装置には、メモリセル 1 5 0 a、メモリセル 1 5 0 b、メモリセル 1 5 0 c、及びメモリセル 1 5 0 d を有するメモリユニット 1 6 0 が設けられる。図 2 5 A、及び図 2 5 B には、メモリユニット 1 6 0 [1, 1] 乃至メモリユニット 1 6 0 [4, 2] を示している。メモリユニット 1 6 0 [1, 1] 乃至メモリユニット 1 6 0 [4, 1] は、この順で積層して設けられる。また、メモリユニット 1 6 0 [1, 2] 乃至メモリユニット 1 6 0 [4, 2] は、この順で積層して設け

られる。さらに、メモリユニット160[1, 2]乃至メモリユニット160[4, 2]は、それぞれメモリユニット160[1, 1]乃至メモリユニット160[4, 1]とX方向に隣接して設けられる。

[0435]

メモリユニット160は、図25Bに示すように、導電層141を中心にして、メモリセル150aの外側にメモリセル150cが配置され、メモリセル150bの外側にメモリセル150dが配置されている。つまり、図25A、及び図25Bに示す記憶装置は、図24A、及び図24Bに示す記憶装置において、メモリセル150aに隣接してメモリセル150cを設け、メモリセル150bに隣接してメモリセル150dを設けた記憶装置ともいえる。

[0436]

図25A、及び図25Bに示すように、配線WLとして機能する導電層115は、X方向に隣接するメモリセル150同士で共有されている。また、配線BLの一部として機能する導電層112は、同一メモリユニット内で共有されている。つまり、導電層112は、メモリセル150a乃至メモリセル150dの、それぞれの半導体層113に接する領域を有する。

[0437]

Z方向に隣接するメモリユニットが有する導電層112の間に導電層141が設けられる。例えば、図25Bに示すように、導電層141は、メモリユニット160[1, 1]の導電層112の上面と、メモリユニット160[2, 1]の導電層112の底面に接して設けられる。このように、各メモリユニット160に設けられる、導電層112と導電層141によって、配線BLが形成される。導電層141は、図25Bに示す記憶装置の下に設けられるセンスアンプ（図示せず）に電気的に接続される。このように、図25Bに示す記憶装置において、複数のメモリユニットを積層することで、単位面積当たりの記憶容量を大きくできる。

[0438]

また、メモリセル150a及びメモリセル150cと、メモリセル150b及びメモリセル150dとは、一点鎖線A3-A4の垂直二等分線を対称軸とした線対称の構成となっている。よって、トランジスタ100a及びトランジスタ100cと、トランジスタ100b及びトランジスタ100dも、導電層141を挟んで、対称の位置に配置される。ここで、導電層112は、トランジスタ100a乃至トランジスタ100dそれぞれのソース電極又はドレイン電極の他方としての機能を有する。また、トランジスタ100a乃至トランジスタ100dは、プラグとして機能する導電層141を共有する。このように、4つのトランジスタと、プラグとの接続を上述の構成とすることで、微細化又は高集積化が可能な記憶装置を提供できる。

[0439]

図25Bに示すように、複数のメモリセル150を積層することにより、メモリセルアレイの占有面積を増やすことなく、セルを集積して配置することができる。つまり、3Dメモリセルアレイを構成することができる。なお、図25A、及び図25Bでは、2つのメモリユニット160を有する層を4層積層する構成を示したが、本発明の一態様はこれに限られるものではない。記憶装置は、少なくとも1つのメモリセル150を有する層を1層有してもよいし、2層以上積層してもよい。

[0440]

図25A、及び図25Bでは、プラグとして機能する導電層141がメモリセル150間に配置される構成を示している。別言すると、プラグとして機能する導電層141がメモリユニット160

の内側に配置される構成を示している。なお、本発明の一態様はこれに限られるものではない。導電層 141 は、メモリユニットの外側に配置されてもよい。

[0441]

メモリセルアレイの一例として、図 26A、及び図 26B に、X 方向、Y 方向、及び Z 方向に、3 個×3 個×4 個のメモリセル 150 を配置した記憶装置の例を示す。図 26A は、記憶装置の構成例を示す平面図である。また、図 26B は、図 26A の一点鎖線 A3-A4 の断面図である。図 26B では、メモリセル 150 が設けられる層を層 170 としており、層 170 [1] 乃至層 170 [4] がこの順で積層して設けられる例を示している。

[0442]

図 26A、及び図 26B では、導電層 141 が、メモリセル 150 が設けられる領域の外側に設けられる例を示している。導電層 141 は、当該導電層 141 を含む層の上層に設けられる導電層 212 と電氣的に接続できる。例えば、層 170 [1] に設けられる導電層 141 は、層 170 [2] に設けられる導電層 212 と電氣的に接続されている。なお、例えば層 170 [2] に設けられる導電層 212 は、層 170 [2] に含まれる導電層 211 と同じ層に設けられる。つまり、導電層 212 は、導電層 211 と同じ工程で形成することができる。

[0443]

なお、図 26A、及び図 26B では、導電層 141 が、当該導電層 141 を含む層の上層に設けられる導電層 212 と電氣的に接続される構成を示しているが、本発明の一態様はこれに限られるものではない。例えば、導電層 141 は、当該導電層 141 を含む層に設けられる導電層 212 と電氣的に接続されてもよい。例えば、層 170 [1] に設けられる導電層 141 は、層 170 [1] に設けられる導電層 212 と電氣的に接続されてもよい。

[0444]

図 27 は、図 25B に示すメモリユニット 160 [1, 1] 乃至メモリユニット 160 [4, 1] より下層に、トランジスタ 300 の構成例を示した図である。図 27 では、トランジスタ 300 のゲート電極が、配線 BL の一部として機能する導電層 141 と電氣的に接続される例を示している。トランジスタ 300 は、本発明の一態様の半導体装置の駆動を制御する機能を有する回路である、駆動回路に設けられるトランジスタとすることができる。例えば、図 27 に示すトランジスタ 300 は、メモリセル 150 へのデータの書き込み、及び読み出しを制御する、ビット線駆動回路が有するトランジスタとすることができる。トランジスタ 300 は、例えばビット線駆動回路に含まれるセンスアンプが有するトランジスタとすることができる。

[0445]

トランジスタ 300 は、基板 311 上に設けられ、ゲート電極として機能する導電層 316 と、ゲート絶縁層として機能する絶縁層 315 と、基板 311 の一部からなる半導体領域 313 と、ソース領域又はドレイン領域の一方として機能する低抵抗領域 314a と、ソース領域又はドレイン領域の他方として機能する低抵抗領域 314b と、を有する。トランジスタ 300 は、n チャネル型のトランジスタとしてもよいし、p チャネル型トランジスタとしてもよい。

[0446]

図 27 に示す例では、メモリユニット 160 と重なるように、トランジスタ 300 が設けられる。これにより、ビット線として機能する配線 BL を短くできるため、配線 BL により形成される寄生容量（ビット線容量ともいう）を小さくできる。よって、メモリセル 150 の保持容量を小さくし

ても、値が“1”のデータをメモリセル150から読み出す場合の配線BLの電位と、値が“0”のデータをメモリセル150から読み出す場合の配線BLの電位と、の差を保つことができる。したがって、メモリセル150の保持容量を小さくしても、本発明の一態様の半導体装置はメモリセル150に保持されているデータを正しく読み出すことができる。メモリセル150の保持容量を小さくできることから、例えば容量200の容量値を小さくできるため、容量200の占有面積を小さくできる。よって、メモリセル150の占有面積を小さくできる。以上により、微細化又は高集積化が可能な記憶装置を提供できる。

[0447]

ここで、図27に示すトランジスタ300はチャネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面及び上面を、絶縁層315を介して、導電層316が覆うように設けられる。なお、導電層316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁層を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

[0448]

なお、図27に示すトランジスタ300は一例であり、その構造に限定されず、回路構成又は駆動方法に応じて適切なトランジスタを用いることができる。

[0449]

各構造体の間には、層間絶縁層、配線、及びプラグ等を含む配線層が設けられてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグ又は配線として機能する導電層は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電層の一部が配線として機能する場合、及び導電層の一部がプラグとして機能する場合もある。

[0450]

例えば、トランジスタ300上には、層間絶縁層として、絶縁層320、絶縁層322、絶縁層324、及び絶縁層326が順に積層して設けられる。また、絶縁層320及び絶縁層322には導電層328が埋め込まれ、絶縁層324及び絶縁層326には導電層330が埋め込まれている。なお、導電層328及び導電層330はプラグ、又は配線として機能する。

[0451]

前述のように、層間絶縁層として機能する層は、平坦化されていてもよい。例えば、絶縁層322の上面は、平坦性を高めるためにCMP法等を用いた平坦化処理により平坦化されていてもよい。

[0452]

絶縁層326上、及び導電層330上に、配線層を設けてもよい。例えば、図27において、絶縁層350、絶縁層352、及び絶縁層354が順に積層して設けられる。また、絶縁層350、絶縁層352、及び絶縁層354には、導電層356が形成されている。導電層356は、プラグ、又は配線として機能する。

[0453]

絶縁層354上、及び導電層356上には、絶縁層101が設けられる。また、導電層356上には、導電層141が設けられる。例えば、導電層141は導電層356の上面と接する領域を有し、

導電層 356 は導電層 330 の上面と接する領域を有し、導電層 330 は導電層 316 と接する領域を有する。これにより、配線 BL の一部として機能する導電層 141 が、トランジスタ 300 のゲート電極として機能する導電層 316 と電氣的に接続される。

[0454]

層間絶縁層として機能する、絶縁層 352、及び絶縁層 354 等は、例えば絶縁層 101 に用いることができる材料と同様の材料を用いることができる。

[0455]

プラグ、又は配線として機能する導電層、例えば、導電層 328、導電層 330、及び導電層 356 等としては、前述の「導電体」に記載した導電層を用いることができる。耐熱性と導電性を両立する、タングステン又はモリブデン等の高融点材料を用いることが好ましく、タングステンをうることが特に好ましい。又は、アルミニウム、又は銅等の低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くできる。

[0456]

図 28A は、本発明の一態様の記憶装置の構成例を示す平面図であり、図 22A1 に示すメモリセル 150 を、X 方向及び Y 方向にそれぞれ 4 個ずつ、計 16 個含む領域を示している。図 28A では、配線 WL として機能する導電層 115、配線 BL として機能する導電層 112、及び開口部 121 を示している。なお、導電層 115、導電層 112、及び開口部 121 が重なる領域にメモリセル 150 が設けられる。別言すると、開口部 121 は、導電層 112 の、導電層 112 と導電層 115 とが交差する領域に設けられる。

[0457]

図 28A では、メモリセル 150 がマトリクス状に配置されている構成を示している。また、開口部 121 がマトリクス状に配置されている構成を示している。また、導電層 115 が X 方向に延在して設けられ、導電層 112 が Y 方向に延在して設けられる構成を示している。別言すると、導電層 115 と導電層 112 とが直交する構成を示している。また、導電層 115 が延在する方向と垂直な方向（Y 方向）における導電層 115 の幅が一樣であり、導電層 112 が延在する方向と垂直な方向（X 方向）における導電層 112 の幅が一樣である構成を示している。なお、本発明の一態様はこれに限られるものではない。

[0458]

図 28B は、記憶装置の平面レイアウトの別の一例である。図 28B の平面レイアウトでは、図 28A と同様に、導電層 115、導電層 112、及び開口部 121 を示している。図 28B に示す記憶装置は、メモリセル 150（開口部 121）の配置、導電層 112 の形状、及び導電層 115 が延在する方向が、図 28A に示す記憶装置と主に異なる。

[0459]

図 28B に示すように、メモリセル 150（開口部 121）は、X 方向においてジグザグに配置されてもよい。図 28B において、第 1 のメモリセルと Y 方向に隣接するメモリセルを第 2 のメモリセルとし、第 1 のメモリセル及び第 2 のメモリセルと X 方向に隣接するメモリセルを、第 3 のメモリセルとする。例えば、第 1 のメモリセルと第 2 のメモリセルの間を通り、X 方向に平行な直線上に、第 3 のメモリセルの中心が位置するとよい。このとき、第 3 のメモリセルは、第 1 のメモリセル及び第 2 のメモリセルと Y 方向に半分ずれた位置に位置するともいえる。

[0460]

また、図 28 B に示すように、導電層 112 は、第 1 の領域と、第 2 の領域と、を有する。第 1 の領域は、開口部 121 及びその近傍の領域であり、第 1 の領域における X 方向の幅を第 1 の幅とする。平面視において第 1 の領域は、四角形の角部を丸めた形状といえる。また、第 2 の領域は、1 つの導電層 112 において隣接する開口部 121 の間の領域であり、第 2 の領域における X 方向の幅を第 2 の幅とする。このとき、第 2 の幅は、第 1 の幅よりも小さいことが好ましい。このような構成にすることで、メモリセル 150（開口部 121）が X 方向においてジグザグに配置される場合、導電層 112 間の物理距離を小さくすることができる。よって、記憶装置の微細化及び高集積化を図ることができる。

[0461]

また、図 28 B では、導電層 115 の延在方向が、X 方向に対して傾けて配置されている。つまり、メモリセル 150（開口部 121）の配置によっては、導電層 115 の延在方向は、導電層 112 の延在方向と直交しない場合がある。別言すると、導電層 115 は、導電層 112 と交差するとよい。

[0462]

図 28 C は、記憶装置の平面レイアウトの別の一例である。図 28 C の平面レイアウトでは、図 28 B と同様に、導電層 115、導電層 112、及び開口部 121 を示している。図 28 C に示す記憶装置は、導電層 112 の第 1 の領域の形状が、図 28 B に示す記憶装置と主に異なる。

[0463]

図 28 B に示す導電層 112 の第 1 の領域は、平面視において四角形の角部を丸めた形状であり、当該四角形の一辺が X 方向又は Y 方向に平行となっている。一方、図 28 C に示す導電層 112 の第 1 の領域は、平面視において四角形の角部を丸めた形状であり、当該四角形の対角線が X 方向又は Y 方向に平行となっている。このような構成にすることで、メモリセル 150（開口部 121）が X 方向においてジグザグに配置される場合、導電層 112 間の物理距離を小さくすることができる。よって、記憶装置の微細化及び高集積化を図ることができる。

[0464]

図 28 B、及び図 28 C では、導電層 112 の第 1 の領域が、平面視において四角形の角部を丸めた形状である例を示しているが、本発明の一態様はこれに限られるものではない。

[0465]

図 29 A は、記憶装置の平面レイアウトの別の一例である。図 29 A の平面レイアウトでは、図 28 B、及び図 28 C と同様に、導電層 115、導電層 112、及び開口部 121 を示している。図 29 A に示す記憶装置は、導電層 112 の第 1 の領域の形状が、図 28 B、及び図 28 C に示す記憶装置と主に異なる。なお、図 29（A）では、図の明瞭化のため、導電層 115 のハッチングパターンを省略している。

[0466]

図 29 A に示す導電層 112 の第 1 の領域は、平面視において円形状である。また、第 1 の幅は、第 2 の幅より大きい。このような構成にすることで、メモリセル 150（開口部 121）が X 方向においてジグザグに配置される場合、導電層 112 間の物理距離を小さくすることができる。よって、記憶装置の微細化及び高集積化を図ることができる。

[0467]

なお、平面視における導電層 112 の第 1 の領域は、前述の形状に限定されない。例えば、平面視

における導電層 112 の第 1 の領域は、楕円等の略円形状、四角形等の多角形状、又は四角形等の多角形の角部を丸めた形状になっていてもよい。

[0468]

また、図 29A では、導電層 115 が延在する方向と垂直な方向における導電層 115 の幅が一樣である構成を示しているが、本発明の一態様はこれに限られるものではない。

[0469]

図 29B は、記憶装置の平面レイアウトの別の一例である。図 29B の平面レイアウトでは、図 29A と同様に、導電層 115、導電層 112、及び開口部 121 を示している。図 29B に示す記憶装置は、導電層 115 の形状が、図 29A に示す記憶装置と主に異なる。

[0470]

図 29B に示す導電層 115 は、導電層 112 と同様に、第 1 の領域と、第 2 の領域と、を有する。第 1 の領域は、開口部 121 及びその近傍の領域であり、平面視において円形状である。また、第 2 の領域は、1 つの導電層 115 において隣接する開口部 121 の間の領域である。なお、導電層 115 の第 1 の領域は、導電層 112 の第 1 の領域と重なる。このような構成にすることで、メモリセル 150（開口部 121）が X 方向においてジグザグに配置される場合、導電層 112 間の物理距離を小さくすることができる。よって、記憶装置の微細化及び高集積化を図ることができる。

[0471]

図 29C は、記憶装置の平面レイアウトの別の一例である。図 29C の平面レイアウトでは、図 29A と同様に、導電層 115、導電層 112、及び開口部 121 を示している。図 29C に示す記憶装置は、導電層 115 の形状及び延在方向が、図 29A に示す記憶装置と主に異なる。

[0472]

図 29C に示す導電層 115 は、平面視において三角波のような蛇行形状であり、X 方向に延在して設けられる。このような構成にすることで、メモリセル 150（開口部 121）が X 方向においてジグザグに配置される場合、導電層 112 間の物理距離を小さくすることができる。よって、記憶装置の微細化及び高集積化を図ることができる。なお、平面視における導電層 115 は上記に限られず、例えばミアンダ形状であってもよい。

[0473]

上記の構成にすることで、導電層 115 間の物理距離、及び導電層 112 間の物理距離の一方又は双方を小さくし、記憶装置の微細化及び高集積化を図ることができる。

[0474]

3D メモリセルアレイを有する記憶装置については、後の実施の形態で詳細に説明する。

[0475]

以上、本実施の形態に示す構成、及び方法等は、少なくともその一部を、本明細書中に記載する他の実施の形態と適宜組み合わせて実施できる。

[0476]

（実施の形態 2）

本実施の形態では、上記実施の形態で説明したメモリセルを用いた記憶装置の構成例について説明する。本実施の形態では、積層されたメモリセルを有する層の間に、メモリセルに保持したデータ電位を増幅して出力する機能を有する機能回路を有する層が設けられる、記憶装置の構成例について説明する。

[0477]

<記憶装置の構成例>

図30に、本発明の一態様の記憶装置である、記憶装置400の構成例を示すブロック図を示す。図30に示す記憶装置400は、駆動回路21と、メモリアレイ20と、を有する。メモリアレイ20は、複数のメモリセル10及び複数の機能回路51を有する機能層50を有する。

[0478]

図30では、メモリアレイ20が m 行 n 列（ m 及び n は2以上の整数。）のマトリクス状に配置された複数のメモリセル10を有する例を示している。また機能回路51は、一例としてビット線として機能する配線BLごとに設けられる。図30では、 n 本の配線BLに対応して設けられる複数の機能回路51を有する例を示している。

[0479]

図30では、1行1列目のメモリセル10をメモリセル10[1, 1]と示し、 m 行 n 列目のメモリセル10をメモリセル10[m , n]と示している。また、例えば本実施の形態では、任意の行を示す場合に i 行と記す場合がある。また、任意の列を示す場合に j 列と記す場合がある。よって、 i は1以上 m 以下の整数であり、 j は1以上 n 以下の整数である。また、例えば本実施の形態では、 i 行 j 列目のメモリセル10をメモリセル10[i , j]と示している。なお、例えば本実施の形態において、「 $i + \alpha$ 」（ α は正又は負の整数）と示す場合は、「 $i + \alpha$ 」は1を下回らず、 m を超えない。同様に、「 $j + \alpha$ 」と示す場合は、「 $j + \alpha$ 」は1を下回らず、 n を超えない。

[0480]

また、メモリアレイ20は、行方向に延在する m 本の配線WLと、行方向に延在する m 本の配線PLと、列方向に延在する n 本の配線BLと、を備える。例えば本実施の形態では、1本目（1行目）に設けられる配線WLを配線WL[1]と示し、 m 本目（ m 行目）に設けられる配線WLを配線WL[m]と示す。同様に、1本目（1行目）に設けられる配線PLを配線PL[1]と示し、 m 本目（ m 行目）に設けられる配線PLを配線PL[m]と示す。同様に、1本目（1列目）に設けられる配線BLを配線BL[1]と示し、 n 本目（ n 列目）に設けられる配線BLを配線BL[n]と示す。

[0481]

i 行目に設けられる複数のメモリセル10は、 i 行目の配線WL（配線WL[i]）と i 行目の配線PL（配線PL[i]）に電氣的に接続される。 j 列目に設けられる複数のメモリセル10は、 j 列目の配線BL（配線BL[j]）と電氣的に接続される。

[0482]

メモリアレイ20は、DOSRAM（登録商標）（Dynamic Oxide Semiconductor Random Access Memory）を適用することができる。DOSRAMは、1T（トランジスタ）1C（容量）型のメモリセルを有するRAMであり、アクセストランジスタがOSトランジスタであるメモリのことをいう。OSトランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。DOSRAMは、アクセストランジスタをオフ状態にすることで、容量に保持しているデータに応じた電荷を長時間保持できる。そのためDOSRAMは、Siトランジスタで構成されるDRAMと比較して、リフレッシュ動作の頻度を低減できる。その結果、低消費電力化を図ることができる。

[0483]

また、メモリセル10は、実施の形態1で説明したようにOSトランジスタを積層して配置することで、メモリセル10を積層して設けることができる。例えば図30に示すメモリアレイ20では、複数のメモリアレイ20[1]乃至20[m]を積層して設けることができる。メモリアレイ20が有するメモリアレイ20[1]乃至20[m]は、駆動回路21が設けられる基板表面の垂直方向に配置することで、メモリセル10のメモリ密度の向上を図ることができる。またメモリアレイ20は、垂直方向に繰り返し同じ工程を用いて作製することができる。記憶装置400は、メモリアレイ20の作製コストの低減を図ることができる。これにより、記憶装置400は、低価格な記憶装置とすることができる。

[0484]

実施の形態1で示したように、配線BLは、データの書き込み及び読み出しを行うためのビット線として機能する。配線WLは、スイッチとして機能するアクセストランジスタのオン状態、又はオフ状態を制御するためのワード線として機能する。配線PLは、容量に接続される定電位線として機能する。

[0485]

メモリアレイ20[1]乃至20[m]がそれぞれ有するメモリセル10は、配線BLを介して機能回路51に接続される。配線BLは、駆動回路21が設けられる基板表面の垂直方向に配置することができる。メモリアレイ20[1]乃至20[m]が有するメモリセル10から延びて設けられる配線BLを基板表面の垂直方向に設けることで、メモリアレイ20と機能回路51との間の配線の長さを短くできる。そのため、ビット線に接続される2つの回路の間の信号伝搬距離を短くでき、ビット線の抵抗及び寄生容量が大幅に削減されるため、消費電力及び信号遅延の低減が実現できる。またメモリセル10が有する容量の容量値を小さくしても動作させることが可能となる。

[0486]

機能回路51は、メモリセル10に保持したデータ電位を増幅し、後述する配線GBL（図示せず）を介して駆動回路21が有するセンスアンプ46に出力する機能を有する。当該構成にすることで、データ読み出し時に配線BLのわずかな電位差を増幅することができる。配線GBLは、配線BLと同様に駆動回路21が設けられる基板表面の垂直方向に配置することができる。メモリアレイ20[1]乃至20[m]が有するメモリセル10から延びて設けられる配線BL及び配線GBLを基板表面の垂直方向に設けることで、機能回路51とセンスアンプ46との間の配線の長さを短くできる。そのため、配線GBLに接続される2つの回路の間の信号伝搬距離を短くでき、配線GBLの抵抗及び寄生容量が大幅に削減されるため、消費電力及び信号遅延の低減が実現できる。

[0487]

なお配線BLは、メモリセル10が有するトランジスタの半導体層に接して設けられる。あるいは配線BLは、メモリセル10が有するトランジスタの半導体層のソース又はドレインとして機能する領域に接して設けられる。あるいは配線BLは、メモリセル10が有するトランジスタの半導体層のソース又はドレインとして機能する領域と接して設けられる導電層に接して設けられる。つまり配線BLは、メモリアレイ20の各層におけるメモリセル10が有するトランジスタのソース又はドレインの一方のそれぞれと、機能回路51と、を垂直方向で電氣的に接続するための配線であるといえる。

[0488]

メモリアレイ20は、駆動回路21上に重ねて設けることができる。駆動回路21とメモリアレイ

20を重ねて設けることで、駆動回路21とメモリアレイ20の間の信号伝搬距離を短くすることができる。よって、駆動回路21とメモリアレイ20の間の抵抗及び寄生容量が低減され、消費電力及び信号遅延の低減が実現できる。また、記憶装置400の小型化が実現できる。

[0489]

機能回路51は、DOSRAMのメモリセル10が有するトランジスタと同様にOSトランジスタで構成することで、メモリアレイ20[1]乃至20[m]と同様にしてSiトランジスタを用いた回路上等に自由に配置可能であるため、集積化を容易に行うことができる。機能回路51で信号を増幅する構成とすることで後段の回路であるセンスアンプ46等の回路を小型化できるため、記憶装置400の小型化を図ることができる。

[0490]

駆動回路21は、PSW22（パワースイッチ）、PSW23、及び周辺回路31を有する。周辺回路31は、周辺回路41、コントロール回路32、及び電圧生成回路33を有する。

[0491]

記憶装置400において、各回路、各信号及び各電圧は、必要に応じて、適宜取捨することができる。あるいは、他の回路又は他の信号を追加してもよい。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、信号PON2は外部からの入力信号であり、信号RDAは外部への出力信号である。信号CLKはクロック信号である。

[0492]

また、信号BW、信号CE、及び信号GWは制御信号である。信号CEはチップイネーブル信号であり、信号GWはグローバル書き込みイネーブル信号であり、信号BWはバイト書き込みイネーブル信号である。信号ADDRはアドレス信号である。信号WDAは書き込みデータであり、信号RDAは読み出しデータである。信号PON1、信号PON2は、パワーゲーティング制御用信号である。なお、信号PON1、信号PON2は、コントロール回路32で生成してもよい。

[0493]

コントロール回路32は、記憶装置400の動作全般を制御する機能を有するロジック回路である。例えば、コントロール回路は、信号CE、信号GW及び信号BWを論理演算して、記憶装置400の動作モード（例えば、書き込み動作、読み出し動作）を決定する。又は、コントロール回路32は、この動作モードが実行されるように、周辺回路41の制御信号を生成する。

[0494]

電圧生成回路33は負電圧を生成する機能を有する。信号WAKEは、信号CLKの電圧生成回路33への入力を制御する機能を有する。例えば、信号WAKEにHレベルの信号が与えられると、信号CLKが電圧生成回路33へ入力され、電圧生成回路33は負電圧を生成する。

[0495]

周辺回路41は、メモリセル10に対するデータの書き込み及び読み出しをするための回路である。また周辺回路41は、機能回路51を制御するための各種信号を出力する回路である。周辺回路41は、行デコーダ42、列デコーダ44、行ドライバ43、列ドライバ45、入力回路47、出力回路48、センスアンプ46を有する。

[0496]

行デコーダ42及び列デコーダ44は、信号ADDRをデコードする機能を有する。行デコーダ42は、アクセスする行を指定するための回路であり、列デコーダ44は、アクセスする列を指定す

するための回路である。行ドライバ43は、行デコーダ42が指定する配線WLを選択する機能を有する。列ドライバ45は、データをメモリセル10に書き込む機能、メモリセル10からデータを読み出す機能、及び読み出したデータを保持する機能等を有する。

[0497]

入力回路47は、信号WDAを保持する機能を有する。入力回路47が保持するデータは、列ドライバ45に出力される。入力回路47の出力データが、メモリセル10に書き込むデータ(Din)である。列ドライバ45がメモリセル10から読み出したデータ(Dout)は、出力回路48に出力される。出力回路48は、Doutを保持する機能を有する。また、出力回路48は、Doutを記憶装置400の外部に出力する機能を有する。出力回路48から出力されるデータが信号RDAである。

[0498]

PSW22は周辺回路31へのVDDの供給を制御する機能を有する。PSW23は、行ドライバ43へのVHMの供給を制御する機能を有する。ここでは、記憶装置400の高電源電圧がVDDであり、低電源電圧はGND(接地電位)である。また、VHMは、ワード線を高レベルにするために用いられる高電源電圧であり、VDDよりも高い。信号PON1によってPSW22のオン・オフが制御され、信号PON2によってPSW23のオン・オフが制御される。図30では、周辺回路31において、VDDが供給される電源ドメインの数を1としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

[0499]

メモリアレイ20[1]乃至20[m](mは2以上の整数)及び機能層50を有するメモリアレイ20は、駆動回路21上に複数層のメモリアレイ20を重ねて設けることができる。複数層のメモリアレイ20を重ねて設けることで、メモリセル10のメモリ密度を高めることができる。図31Aに、駆動回路21上に5層(m=5)のメモリアレイ20[1]乃至20[5]及び機能層50を重ねて設けられる様子を示す記憶装置400の斜視図を示している。

[0500]

図31Aでは、1層目に設けられるメモリアレイ20をメモリアレイ20[1]と示し、2層目に設けられるメモリアレイ20をメモリアレイ20[2]と示し、5層目に設けられるメモリアレイ20をメモリアレイ20[5]と示している。また図31Aにおいて、X方向に延びて設けられる配線WL、及び配線PLと、Z方向(駆動回路が設けられる基板表面に垂直な方向)に延びて設けられる配線BLと、を示している。なお、図面を見やすくするため、メモリアレイ20それぞれが有する配線WL及び配線PLの記載を一部省略している。なお、図31Aでは、配線PLをX方向に延ばして設ける構成について示したが、本発明の一態様はこれに限られるものではない。例えば、配線PLをY方向に延ばして設ける構成にしてもよいし、配線PLをX方向、及びY方向に伸ばして設ける構成、例えば配線PLを面状に設ける構成にしてもよい。

[0501]

図31Bに、図31Aで示した配線BLに接続された機能回路51、及び配線BLに接続されたメモリアレイ20[1]乃至20[5]が有するメモリセル10の構成例を説明する模式図を示す。また図31Bでは、機能回路51と駆動回路21との間に設けられる配線GBLを示している。なお、1つの配線BLに複数のメモリセル(メモリセル10)が電氣的に接続される構成を「メモリストリング」ともいう。なお図面において、配線GBLは、視認性を高めるため、太線で示す場合

がある。

[0502]

図31Bでは、配線BLに接続されるメモリセル10の回路構成の一例を示している。メモリセル10は、トランジスタ11及び容量12を有する。トランジスタ11、容量12、及び各配線（配線BL、及び配線WL等）についても、例えば配線BL[1]及び配線WL[1]を配線BL及び配線WL等のようにいう場合がある。

[0503]

図31Bに示すメモリセル10は、実施の形態1、例えば実施の形態1の図22D1に示すメモリセル150に対応する。また、メモリセル10が有するトランジスタ11、及び容量12は、それぞれトランジスタ100、及び容量200に対応する。ここで、図31Bに示す4個のトランジスタ11の第2のゲート電極が、共通の配線BGと電氣的に接続される例を示している。

[0504]

配線PLは、容量12の電位を保持するための定電位を与える配線である。

[0505]

図31Bに示す配線GBLは、駆動回路21と機能層50との間を電氣的に接続するように設けられる。図32Aでは、機能層50、及びメモリアレイ20[1]乃至20[m]を繰り返し単位70とする記憶装置400の模式図を示している。なお図32Aでは、配線GBLを1本示しているが、配線GBLは機能層50に設けられる機能回路51の数に応じて適宜設ければよい。

[0506]

なお配線GBLは、機能回路51が有するトランジスタの半導体層に接して設けられる。あるいは配線GBLは、機能回路51が有するトランジスタの半導体層のソース又はドレインとして機能する領域に接して設けられる。あるいは配線GBLは、機能回路51が有するトランジスタの半導体層のソース又はドレインとして機能する領域と接して設けられる導電層に接して設けられる。つまり配線GBLは、機能層50における機能回路51が有するトランジスタのソース又はドレインの一方と、駆動回路21と、を垂直方向で電氣的に接続するための配線であるといえる。

[0507]

また機能回路51、及びメモリアレイ20[1]乃至20[m]を有する繰り返し単位70は、さらに積層する構成としてもよい。本発明の一態様の記憶装置400Aは、図32Bに示すように繰り返し単位70[1]乃至70[p]（pは2以上の整数）とすることができる。配線GBLは繰り返し単位70が有する機能層50に接続される。配線GBLは、機能回路51の数に応じて適宜設ければよい。

[0508]

本発明の一形態では、OSトランジスタは積層して設けるとともに、ビット線として機能する配線を、駆動回路21が設けられる基板表面の垂直方向に配置される。メモリアレイ20から延びて設けられるビット線として機能する配線を基板表面の垂直方向に設けることで、メモリアレイ20と駆動回路21との間の配線の長さを短くできる。そのため、ビット線の寄生容量を大幅に削減できる。

[0509]

また本発明の一形態は、メモリアレイ20が設けられる層において、メモリセル10に保持したデータ電位を増幅して出力する機能を有する機能回路51を有する機能層50を備えている。当該構

成にすることで、データ読み出し時にビット線として機能する配線BLのわずかな電位差を増幅して、駆動回路21が有するセンスアンプ46を駆動することができる。センスアンプ等の回路を小型化できるため、記憶装置400の小型化を図ることができる。またメモリセル10が有する容量12の容量を小さくしても動作させることが可能となる。

[0510]

＜メモリアレイ20及び機能回路51の構成例＞

図33を用いて、図30乃至図32で説明した機能回路51の構成例、及びメモリアレイ20及び駆動回路21が有するセンスアンプ46の構成例について説明する。図33では、異なる配線BL（BL__A、BL__B）に接続されたメモリセル10（10__A、10__B）に接続された機能回路51（51__A、51__B）に接続される配線GBL（GBL__A、GBL__B）に接続された駆動回路21を示している。図33に示す駆動回路21として、センスアンプ46の他、プリチャージ回路71__A、プリチャージ回路71__B、スイッチ回路72__A、スイッチ回路72__B及び書き込み読み出し回路73を示している。

[0511]

図33では、メモリセル10__Aに設けられるトランジスタ11の第2のゲート電極と電氣的に接続される配線BGと、メモリセル10__Bに設けられるトランジスタ11の第2のゲート電極と電氣的に接続される配線BGと、が異なる例を示しているが、これらの配線BGが共通であってもよい。

[0512]

機能回路51__A、機能回路51__Bとして、トランジスタ52__a、トランジスタ52__b、トランジスタ53__a、トランジスタ53__b、トランジスタ54__a、トランジスタ54__b、トランジスタ55__a、トランジスタ55__bを示している。図33に示すトランジスタ52__a、52__b、53__a、53__b、54__a、54__b、55__a、55__bは、メモリセル10が有するトランジスタ11と同様にOSトランジスタである。機能回路51を有する機能層50は、メモリアレイ20[1]乃至メモリアレイ20[m]と同様に積層して設けることができる。

[0513]

配線BL__A及びBL__Bは、トランジスタ52__a、52__bのゲートに接続される。配線GBL__A及びGBL__Bは、トランジスタ53__a、53__b、54__a、54__bのソース又はドレインの一方が接続される。配線GBL__A及びGBL__Bは、配線BL__A及びBL__Bと同様に垂直方向に設けられ、駆動回路21が有するトランジスタに接続される。トランジスタ53__a、53__b、54__a、54__b、55__a、55__bのゲートには、図33に示すように、制御信号WE、RE、MUXが与えられる。

[0514]

図33に示すセンスアンプ46、プリチャージ回路71__A、及びプリチャージ回路71__Bを構成するトランジスタ81__1乃至トランジスタ81__6、及び82__1乃至82__4は、Siトランジスタで構成される。スイッチ回路72__A及びスイッチ回路72__Bを構成するスイッチ83__A乃至83__DもSiトランジスタで構成することができる。トランジスタ53__a、53__b、54__a、54__bのソース又はドレインの一方は、プリチャージ回路71__A、プリチャージ回路71__B、センスアンプ46、スイッチ回路72__Aを構成するトランジスタ又はスイッチに接続される。

[0515]

プリチャージ回路71__Aは、nチャネル型のトランジスタ81__1乃至トランジスタ81__3を有する。プリチャージ回路71__Aは、プリチャージ線PCL1に与えられるプリチャージ信号に応じて、配線BL__A及びBL__BをVDDとVSSの間の電位VDD/2に相当する中間電位VPCにプリチャージするための回路である。

[0516]

プリチャージ回路71__Bは、nチャネル型のトランジスタ81__4乃至81__6を有する。プリチャージ回路71__Bは、プリチャージ線PCL2に与えられるプリチャージ信号に応じて、配線GBL__A及び配線GBL__BをVDDとVSSの間の電位VDD/2に相当する中間電位VPCにプリチャージするための回路である。

[0517]

センスアンプ46は、配線VHH又は配線VLLに接続された、pチャネル型のトランジスタ82__1、pチャネル型のトランジスタ82__2及びnチャネル型のトランジスタ82__3、nチャネル型のトランジスタ82__4を有する。配線VHH又は配線VLLは、VDD又はVSSを与える機能を有する配線である。トランジスタ82__1乃至82__4は、インバータループを構成するトランジスタである。メモリセル10__A、メモリセル10__Bを選択することでプリチャージされた配線BL__A及び配線BL__Bの電位が変化し、当該変化に応じて配線GBL__A及び配線GBL__Bの電位を高電源電位VDD又は低電源電位VSSとする。配線GBL__A及び配線GBL__Bの電位は、スイッチ83__C及びスイッチ83__D、及び書き込み読み出し回路73を介して外部に出力することができる。配線BL__A及び配線BL__B、ならびに配線GBL__A及び配線GBL__Bは、ビット線対に相当する。書き込み読み出し回路73は、信号EN__dataに応じて、データ信号の書き込みが制御される。

[0518]

スイッチ回路72__Aは、センスアンプ46と配線GBL__A及び配線GBL__Bとの間の導通状態を制御するための回路である。スイッチ回路72__Aは、切り替え信号CSEL1の制御によってオン又はオフが切り替えられる。スイッチ83__A及びスイッチ83__Bが、nチャネル型のトランジスタの場合、切り替え信号CSEL1がハイレベルでオン、ローレベルでオフとなる。スイッチ回路72__Bは、書き込み読み出し回路73と、センスアンプ46に接続されるビット線対との間の導通状態を制御するための回路である。スイッチ回路72__Bは、切り替え信号CSEL2の制御によってオン又はオフが切り替えられる。スイッチ83__C及び83__Dは、スイッチ83__A及び83__Bと同様にすればよい。

[0519]

図33に示すように記憶装置400は、メモリセル10と、機能回路51と、センスアンプ46と、を最短距離である垂直方向に設けられる配線BL及び配線GBLを介して接続する構成とすることができる。機能回路51を構成するトランジスタを有する機能層50が増えるものの、配線BLの負荷が低減されることで、書き込み時間の短縮、おおびデータを読み出しやすくすること、ができる。

[0520]

また図33に示すように機能回路51__A、51__Bが有する各トランジスタは、制御信号WE、RE、及び選択信号MUXに応じて制御される。各トランジスタは、制御信号及び選択信号に応じ

て、配線GBLを介して配線BLの電位を駆動回路21に出力することができる。機能回路51__A、51__Bは、OSトランジスタで構成されるセンスアンプとして機能させることができる。当該構成にすることで、読み出し時に配線BLのわずかな電位差を増幅して、Siトランジスタを用いたセンスアンプ46を駆動することができる。

[0521]

以上のように、複数のメモリセルアレイ、及び駆動回路を積層して設けることで、記憶装置の高集積化、及び記憶容量の大容量化を図ることができる。

[0522]

以上、本実施の形態に示す構成、及び方法等は、少なくともその一部を、本明細書中に記載する他の実施の形態と適宜組み合わせる実施できる。

[0523]

(実施の形態3)

本実施の形態では、図34A、及び図34Bを用いて、本発明の一態様の記憶装置が実装されたチップ1200の一例を示す。チップ1200には、複数の回路（システム）が実装されている。このように、複数の回路（システム）を1つのチップに集積する技術を、システムオンチップ（System on Chip: SoC）という場合がある。

[0524]

図34Aに示すように、チップ1200は、CPU1211、GPU1212、一又は複数のアナログ演算部1213、一又は複数のメモリコントローラ1214、一又は複数のインターフェース1215、一又は複数のネットワーク回路1216等を有する。

[0525]

チップ1200には、バンプ（図示せず）が設けられ、図34Bに示すように、パッケージ基板1201の第1の面と接続する。また、パッケージ基板1201の第1の面の裏面には、複数のバンプ1202が設けられており、マザーボード1203と接続する。

[0526]

マザーボード1203には、DRAM1221、又はフラッシュメモリ1222等の記憶装置が設けられてもよい。例えば、DRAM1221に先の実施の形態に示すDOSRAMを用いることができる。これにより、DRAM1221を、低消費電力化、高速化、及び大容量化させることができる。

[0527]

CPU1211は、複数のCPUコアを有することが好ましい。また、GPU1212は、複数のGPUコアを有することが好ましい。また、CPU1211、及びGPU1212は、それぞれ一時的にデータを格納するメモリを有していてもよい。又は、CPU1211、及びGPU1212に共通のメモリが、チップ1200に設けられてもよい。該メモリには、前述したDOSRAMを用いることができる。また、GPU1212は、多数のデータの並列計算に適しており、画像処理又は積和演算に用いることができる。GPU1212に、本発明の一態様の酸化物半導体を用いた画像処理回路、又は積和演算回路を設けることで、画像処理、及び積和演算を低消費電力で実行することができる。

[0528]

また、CPU1211、及びGPU1212が同一チップに設けられることで、CPU1211及

びGPU1212間の配線を短くすることができ、CPU1211からGPU1212へのデータ転送、CPU1211、及びGPU1212が有するメモリ間のデータ転送、及びGPU1212での演算後に、GPU1212からCPU1211への演算結果の転送を高速に行うことができる。

[0529]

アナログ演算部1213はA/D（アナログ／デジタル）変換回路、及びD/A（デジタル／アナログ）変換回路の一方、又は双方を有する。また、アナログ演算部1213に上記積和演算回路を設けてもよい。

[0530]

メモリコントローラ1214は、DRAM1221のコントローラとして機能する回路、及びフラッシュメモリ1222のインターフェースとして機能する回路を有する。

[0531]

インターフェース1215は、表示装置、スピーカー、マイクロフォン、カメラ、又はコントローラ等の外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、及びゲーム用コントローラ等を含む。このようなインターフェースとして、USB（Universal Serial Bus）、又はHDMI（登録商標）（High-Definition Multimedia Interface）等を用いることができる。

[0532]

ネットワーク回路1216は、LAN（Local Area Network）等のネットワーク回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

[0533]

チップ1200には、上記回路（システム）を同一の製造プロセスで形成できる。そのため、チップ1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ1200を低コストで作製することができる。

[0534]

GPU1212を有するチップ1200が設けられるパッケージ基板1201、DRAM1221、及びフラッシュメモリ1222が設けられるマザーボード1203は、GPUモジュール1204とすることができる。

[0535]

GPUモジュール1204は、SoC技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、及び携帯型（持ち出し可能な）ゲーム機等の携帯型電子機器に用いることが好適である。また、GPU1212を用いた積和演算回路により、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、又は深層信念ネットワーク（DBN）等の手法を実行することができるため、チップ1200をAIチップ、又はGPUモジュール1204をAIシステムモジュールとして用いることができる。

[0536]

以上、本実施の形態に示す構成、及び方法等は、少なくともその一部を、本明細書中に記載する他の実施の形態と適宜組み合わせて実施できる。

[0537]

(実施の形態 4)

本実施の形態は、上記実施の形態に示す記憶装置が組み込まれた電子部品及び電子機器の一例を示す。上記実施の形態に示す記憶装置を、以下の電子部品及び電子機器に用いることで、電子部品及び電子機器を、低消費電力化、及び高速化させることができる。

[0538]

<電子部品>

まず、記憶装置 720 が組み込まれた電子部品の例を、図 35A、及び図 35B を用いて説明を行う。

[0539]

図 35A に電子部品 700 及び電子部品 700 が実装された基板（実装基板 704）の斜視図を示す。図 35A に示す電子部品 700 は、モールド 711 内に記憶装置 720 を有している。図 35A は、電子部品 700 の内部を示すために、一部を省略している。電子部品 700 は、モールド 711 の外側にランド 712 を有する。ランド 712 は電極パッド 713 と電氣的に接続され、電極パッド 713 は記憶装置 720 とワイヤ 714 によって電氣的に接続されている。電子部品 700 は、例えばプリント基板 702 に実装される。このような電子部品が複数組み合わされて、それぞれがプリント基板 702 上で電氣的に接続されることで実装基板 704 が完成する。

[0540]

記憶装置 720 は、駆動回路層 721 と、記憶回路層 722 と、を有する。

[0541]

図 35B に電子部品 730 の斜視図を示す。電子部品 730 は、SiP (System in package) 又は MCM (Multi Chip Module) の一例である。電子部品 730 は、パッケージ基板 732 (プリント基板) 上にインターポーザ 731 が設けられ、インターポーザ 731 上に半導体装置 735、及び複数の記憶装置 720 が設けられる。記憶装置 720 に、上記実施の形態に示す記憶装置を用いることで、低消費電力化、及び高速化させることができる。

[0542]

半導体装置 735 は、CPU、GPU、又は FPGA 等の集積回路（半導体装置）を用いることができる。

[0543]

パッケージ基板 732 には、セラミック基板、プラスチック基板、又はガラスエポキシ基板等を用いることができる。インターポーザ 731 には、シリコンインターポーザ、又は樹脂インターポーザ等を用いることができる。

[0544]

インターポーザ 731 は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層又は多層で設けられる。また、インターポーザ 731 は、インターポーザ 731 上に設けられる集積回路を、パッケージ基板 732 に設けられる電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」又は「中間基板」という場合がある。また、インターポーザ 731 に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板 732 を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV (Through Silicon Via) を用いることもできる。

[0545]

インターポーザ731としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

[0546]

また、シリコンインターポーザを用いたSiP、及びMCM等では、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ（2.5次元実装）では、シリコンインターポーザを用いることが好ましい。

[0547]

また、電子部品730と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品730では、記憶装置720と半導体装置735の高さを揃えることが好ましい。

[0548]

電子部品730を他の基板に実装するため、パッケージ基板732の底部に電極733を設けてもよい。図35Bでは、電極733を半田ボールで形成する例を示している。パッケージ基板732の底部に半田ボールをマトリクス状に設けることで、BGA（Ball Grid Array）実装を実現できる。また、電極733を導電性のピンで形成してもよい。パッケージ基板732の底部に導電性のピンをマトリクス状に設けることで、PGA（Pin Grid Array）実装を実現できる。

[0549]

電子部品730は、BGA及びPGAに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA（Staggered Pin Grid Array）、LGA（Land Grid Array）、QFP（Quad Flat Package）、QFJ（Quad Flat J-leaded package）、又はQFN（Quad Flat Non-leaded package）等の実装方法を用いることができる。

[0550]

以上、本実施の形態に示す構成、及び方法等は、少なくともその一部を、本明細書中に記載する他の実施の形態と適宜組み合わせて実施できる。

[0551]

（実施の形態5）

本実施の形態では、先の実施の形態に示す記憶装置を用いた記憶装置の応用例について説明する。先の実施の形態に示す記憶装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ（ビデオカメラも含む）、録画再生装置、及びナビゲーションシステム等）の記憶装置に適用できる。上記実施の形態に示す記憶装置を、上記の電子機器の記憶装置に用いることで、電子機器を、低消費電力化、及び高速化させることができる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。又

は、先の実施の形態に示す記憶装置は、メモリカード（例えば、SDカード）、USBメモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用される。図36A乃至図36Eにリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す記憶装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

[0552]

図36AはUSBメモリの模式図である。USBメモリ1100は、筐体1101、キャップ1102、USBコネクタ1103及び基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。例えばメモリチップ1105に先の実施の形態に示す記憶装置を組み込むことができる。

[0553]

図36BはSDカードの外観の模式図であり、図36Cは、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112及び基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。例えばメモリチップ1114に先の実施の形態に示す記憶装置を組み込むことができる。

[0554]

図36DはSSDの外観の模式図であり、図36Eは、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152及び基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントローラチップ1156のワークメモリであり、例えばDOSRAMチップを用いればよい。基板1153の裏面側にもメモリチップ1154を設けることで、SSD1150の容量を増やすことができる。例えばメモリチップ1154に先の実施の形態に示す記憶装置を組み込むことができる。

[0555]

以上、本実施の形態に示す構成、及び方法等は、少なくともその一部を、本明細書中に記載する他の実施の形態と適宜組み合わせて実施できる。

[0556]

（実施の形態6）

本発明の一態様の記憶装置は、CPU若しくはGPU等のプロセッサ、又はチップに用いることができる。このような、CPU若しくはGPU等のプロセッサ、又はチップを電子機器に用いることで、電子機器を、低消費電力化、及び高速化させることができる。図37A乃至図37Hに、当該記憶装置を用いたCPU若しくはGPU等のプロセッサ、又はチップを備えた電子機器の具体例を示す。

[0557]

<電子機器・システム>

本発明の一態様のGPU又はチップは、様々な電子機器に搭載することができる。電子機器の例としては、例えば、テレビジョン装置、デスクトップ型又はノート型の情報端末用等のモニタ、デジタルサイネージ（Digital Signage：電子看板）、パチンコ機等の大型ゲーム機、等の比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、電子ブックリーダー、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、等が挙げられる。また、本発明の一態様のGPU又はチップを電子機器に設けることにより、電子機器に人工知能を搭載することができる。

[0558]

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像、及び情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

[0559]

本発明の一態様の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）を有していてもよい。

[0560]

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、及びテキスト画像等）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻等を表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラム又はデータを読み出す機能等を有することができる。図37A乃至図37Hに、電子機器の例を示す。

[0561]

[情報端末]

図37Aには、情報端末の一種である携帯電話（スマートフォン）が図示されている。情報端末5100は、筐体5101と、表示部5102と、を有しており、入力用インターフェースとして、タッチパネルが表示部5102に備えられ、ボタンが筐体5101に備えられている。

[0562]

情報端末5100は、本発明の一態様のチップを適用することで、低消費電力化、及び高速化させることができる。

[0563]

図37Bには、ノート型情報端末5200が図示されている。ノート型情報端末5200は、情報端末の本体5201と、表示部5202と、キーボード5203と、を有する。

[0564]

ノート型情報端末5200は、先述した情報端末5100と同様に、本発明の一態様のチップを適用することで、低消費電力化、及び高速化させることができる。

[0565]

なお、上述では、電子機器としてスマートフォン、及びノート型情報端末を例として、それぞれ図37A、及び図37Bに示したが、スマートフォン、及びノート型情報端末以外の情報端末を適用することができる。スマートフォン、及びノート型情報端末以外の情報端末としては、例えば、PDA（Personal Digital Assistant）、デスクトップ型情報端末、ワ

ークステーション等が挙げられる。

[0566]

[ゲーム機]

図37Cは、ゲーム機の一例である携帯ゲーム機5300を示している。携帯ゲーム機5300は、筐体5301、筐体5302、筐体5303、表示部5304、接続部5305、及び操作キー5306等を有する。筐体5302、及び筐体5303は、筐体5301から取り外すことが可能である。筐体5301に設けられる接続部5305を別の筐体（図示せず）に取り付けることで、表示部5304に出力される映像を、別の映像機器（図示せず）に出力することができる。このとき、筐体5302、及び筐体5303は、それぞれ操作部として機能することができる。これにより、複数のプレイヤーが同時にゲームを行うことができる。筐体5301、筐体5302、及び筐体5303の基板に設けられるチップ等に先の実施の形態に示すチップを組み込むことができる。

[0567]

また、図37Dは、ゲーム機の一例である据え置き型ゲーム機5400を示している。据え置き型ゲーム機5400には、無線又は有線でコントローラ5402が接続されている。

[0568]

携帯ゲーム機5300、又は据え置き型ゲーム機5400等のゲーム機に本発明の一態様のGPU又はチップを適用することによって、低消費電力のゲーム機を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[0569]

更に、携帯ゲーム機5300に本発明の一態様のGPU又はチップを適用することによって、低消費電力化、及び高速化させることができる。

[0570]

図37C、及び図37Dでは、ゲーム機の一例として携帯ゲーム機、及び据え置き型ゲーム機を示しているが、本発明の一態様のGPU又はチップを適用するゲーム機はこれに限定されない。本発明の一態様のGPU又はチップを適用するゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地等）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシン等が挙げられる。

[0571]

[大型コンピュータ]

本発明の一態様のGPU又はチップは、大型コンピュータに適用することができる。

[0572]

図37Eは、大型コンピュータの一例である、スーパーコンピュータ5500を示す図である。図37Fは、スーパーコンピュータ5500が有するラックマウント型の計算機5502を示す図である。

[0573]

スーパーコンピュータ5500は、ラック5501と、複数のラックマウント型の計算機5502と、を有する。なお、複数の計算機5502は、ラック5501に格納されている。また、計算機5502には、複数の基板5504が設けられ、当該基板上に上記実施の形態で説明したGPU又はチップを搭載することができる。

[0574]

スーパーコンピュータ5500は、主に科学技術計算に利用される大型コンピュータである。科学技術計算では、膨大な演算を高速に処理するため、消費電力が高く、チップの発熱が大きい。例えば、スーパーコンピュータ5500を複数有する、データセンターでは、使用されるデジタルデータ量が非常に膨大になる。具体的には、世界のデジタルデータ量は、 10^{24} (yotta (ヨタ)) バイト、又は 10^{30} (quetta (クエタ)) バイトを超えると予想されている。

[0575]

スーパーコンピュータ5500に本発明の一態様のGPU又はチップを適用することによって、低消費電力のスーパーコンピュータを実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。また、本発明の一態様の記憶装置を用いたGPU又はチップを用いることで、低消費電力のスーパーコンピュータの実現が可能となる。これにより、世界のデジタルデータ量を低減し、地球温暖化対策にも大きな貢献ができると期待される。

[0576]

図37E、及び図37Fでは、大型コンピュータの一例としてスーパーコンピュータを示しているが、本発明の一態様のGPU又はチップを適用する大型コンピュータはこれに限定されない。本発明の一態様のGPU又はチップを適用する大型コンピュータとしては、例えば、サービスを提供するコンピュータ（サーバー）、大型汎用コンピュータ（メインフレーム）等が挙げられる。

[0577]

[移動体]

本発明の一態様のGPU又はチップは、移動体である自動車、及び自動車の運転席周辺に適用することができる。

[0578]

図37Gは、移動体の一例である自動車の室内におけるフロントガラス周辺を示す図である。図37Gでは、ダッシュボードに取り付けられた表示パネル5701、表示パネル5702、表示パネル5703の他、ピラーに取り付けられた表示パネル5704を示している。

[0579]

表示パネル5701乃至表示パネル5703は、スピードメーター、タコメーター、走行距離、燃料計、ギア状態、又はエアコンの設定等を表示することで、様々な情報を提供することができる。また、表示パネルに表示される表示項目、及びレイアウト等は、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル5701乃至表示パネル5703は、照明装置として用いることも可能である。

[0580]

表示パネル5704には、自動車に設けられる撮像装置（図示せず）からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられる撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル5704は、照明装置として用いることもできる。

[0581]

本発明の一態様のGPU又はチップは人工知能の構成要素として適用できるため、例えば、当該チ

チップを自動車の自動運転システムに用いることができる。また、当該チップを道路案内、又は危険予測等を行うシステムに用いることができる。表示パネル５７０１乃至表示パネル５７０４には、道路案内、又は危険予測等の情報を表示する構成としてもよい。

[０５８２]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、及び飛行体等も挙げることができ、これらの移動体に本発明の一態様のチップを適用して、人工知能を利用したシステムを付与することができる。ここで、飛行体として、ヘリコプター、無人航空機（ドローン）、飛行機、及びロケット等を挙げることができる。

[０５８３]

[電化製品]

図３７Ｈは、電化製品の一例である電気冷凍冷蔵庫５８００を示す図である。電気冷凍冷蔵庫５８００は、筐体５８０１、冷蔵室用扉５８０２、及び冷凍室用扉５８０３等を有する。

[０５８４]

電気冷凍冷蔵庫５８００に本発明の一態様のチップを適用することによって、人工知能を有する電気冷凍冷蔵庫５８００を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫５８００は、電気冷凍冷蔵庫５８００に保存されている食材及びその食材の消費期限等を基に献立を自動生成する機能、並びに電気冷凍冷蔵庫５８００に保存されている食材に合わせた温度に自動的に調節する機能等を有することができる。

[０５８５]

電化製品の一例として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、ＩＨ調理器、ウォーターサーバ、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、及びオーディオビジュアル機器等が挙げられる。

[０５８６]

本実施の形態で説明した電子機器、その電子機器の機能、人工知能の応用例、及びその効果等は、他の電子機器の記載と適宜組み合わせることができる。

[０５８７]

以上、本実施の形態に示す構成、及び方法等は、少なくともその一部を、本明細書中に記載する他の実施の形態と適宜組み合わせて実施できる。

[０５８８]

(実施の形態７)

本発明の一態様の記憶装置は、ＯＳトランジスタを含む。当該ＯＳトランジスタは、放射線照射による電気特性の変動が小さい。つまり放射線に対する耐性が高いため、放射線が入射しうる環境において好適に用いることができる。例えば、ＯＳトランジスタは、宇宙空間にて使用する場合に好適に用いることができる。本実施の形態においては、本発明の一態様の記憶装置を宇宙用機器に適用する場合の具体例について、図３８を用いて説明する。

[０５８９]

図３８には、宇宙用機器の一例として、人工衛星６８００を示している。人工衛星６８００は、機体６８０１と、ソーラーパネル６８０２と、アンテナ６８０３と、二次電池６８０５と、制御装置

6807と、を有する。なお、図38においては、宇宙空間に惑星6804を示している。なお、宇宙空間とは、例えば、高度100km以上を示すが、本明細書に記載の宇宙空間は、熱圏、中間圏、及び成層圏を含んでもよい。

[0590]

また、宇宙空間は、地上に比べて100倍以上、放射線量の高い環境である。なお、放射線として、例えば、X線、及びガンマ線に代表される電磁波（電磁放射線）、並びにアルファ線、ベータ線、中性子線、陽子線、重イオン線、中間子線等に代表される粒子放射線が挙げられる。

[0591]

ソーラーパネル6802に太陽光が照射されることにより、人工衛星6800が動作するために必要な電力が生成される。しかしながら、例えばソーラーパネルに太陽光が照射されない状況、又はソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星6800が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星6800を動作させるために、人工衛星6800に二次電池6805を設けるとよい。なお、ソーラーパネルは、太陽電池モジュールと呼ばれる場合がある。

[0592]

人工衛星6800は、信号を生成することができる。当該信号は、アンテナ6803を介して送信され、例えば地上に設けられる受信機、又は他の人工衛星が当該信号を受信することができる。人工衛星6800が送信した信号を受信することにより、当該信号を受信した受信機の位置を測定することができる。以上により、人工衛星6800は、衛星測位システムを構成することができる。

[0593]

また、制御装置6807は、人工衛星6800を制御する機能を有する。制御装置6807としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか又は複数を用いて構成される。なお、制御装置6807には、本発明の一態様であるOSトランジスタを含む記憶装置用いると好適である。OSトランジスタは、Siトランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり放射線が入射しうる環境においても信頼性が高く、好適に用いることができる。

[0594]

また、人工衛星6800は、センサを有する構成とすることができる。例えば、可視光センサを有する構成とすることにより、人工衛星6800は、地上に設けられる物体に当たって反射された太陽光を検出する機能を有することができる。又は、熱赤外センサを有する構成とすることにより、人工衛星6800は、地表から放出される熱赤外線を検出する機能を有することができる。以上により、人工衛星6800は、例えば地球観測衛星としての機能を有することができる。

[0595]

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について示したがこれに限定されない。例えば、本発明の一態様の記憶装置は、宇宙船、宇宙カプセル、又は宇宙探査機等の宇宙用機器に好適に用いることができる。

[0596]

以上、本実施の形態に示す構成、及び方法等は、少なくともその一部を、本明細書中に記載する他の実施の形態と適宜組み合わせて実施できる。

[符号の説明]

[0597]

10 : メモリセル、11 : トランジスタ、12 : 容量、20 : メモリアレイ、21 : 駆動回路、22 : PSW、23 : PSW、31 : 周辺回路、32 : コントロール回路、33 : 電圧生成回路、41 : 周辺回路、42 : 行デコーダ、43 : 行ドライバ、44 : 列デコーダ、45 : 列ドライバ、46 : センスアンプ、47 : 入力回路、48 : 出力回路、50 : 機能層、51 : 機能回路、52__a : トランジスタ、52__b : トランジスタ、53__a : トランジスタ、53__b : トランジスタ、54__a : トランジスタ、54__b : トランジスタ、55__a : トランジスタ、55__b : トランジスタ、70 : 繰り返し単位、71__A : プリチャージ回路、71__B : プリチャージ回路、72__A : スイッチ回路、72__B : スイッチ回路、73 : 書き込み読み出し回路、81__1 : トランジスタ、81__3 : トランジスタ、81__4 : トランジスタ、81__6 : トランジスタ、82__1 : トランジスタ、82__2 : トランジスタ、82__3 : トランジスタ、82__4 : トランジスタ、83__A : スイッチ、83__B : スイッチ、83__C : スイッチ、83__D : スイッチ、100a : トランジスタ、100b : トランジスタ、100c : トランジスタ、100d : トランジスタ、100 : トランジスタ、101 : 絶縁層、103a : 絶縁層、103b : 絶縁層、103c : 絶縁層、103 : 絶縁層、104a : 絶縁層、104b : 絶縁層、104c : 絶縁層、104 : 絶縁層、105a : 絶縁層、105b : 絶縁層、105c : 絶縁層、105 : 絶縁層、106A : 絶縁膜、106 : 絶縁層、107 : 絶縁層、109 : 絶縁層、111a : 導電層、111b : 導電層、111 : 導電層、112 : 導電層、113a : 半導体層、113b : 半導体層、113i : 領域、113na : 領域、113nb : 領域、113 : 半導体層、115a : 導電層、115b : 導電層、115 : 導電層、117ox : 酸化物領域、117 : 導電層、121a : 開口部、121b : 開口部、121 : 開口部、123 : 開口部、132 : 凹部、133 : 凹部、141 : 導電層、142 : 導電層、150A : メモリセル、150a : メモリセル、150b : メモリセル、150c : メモリセル、150d : メモリセル、150 : メモリセル、151 : トランジスタ、160 : メモリユニット、170 : 層、200a : 容量、200b : 容量、200c : 容量、200d : 容量、200 : 容量、203 : 絶縁層、205 : 絶縁層、209 : 絶縁層、211 : 導電層、212 : 導電層、214 : 導電層、215 : 導電層、221 : 開口部、300 : トランジスタ、311 : 基板、313 : 半導体領域、314a : 低抵抗領域、314b : 低抵抗領域、315 : 絶縁層、316 : 導電層、320 : 絶縁層、322 : 絶縁層、324 : 絶縁層、326 : 絶縁層、328 : 導電層、330 : 導電層、350 : 絶縁層、352 : 絶縁層、354 : 絶縁層、356 : 導電層、400A : 記憶装置、400 : 記憶装置、700 : 電子部品、702 : プリント基板、704 : 実装基板、711 : モールド、712 : ランド、713 : 電極パッド、714 : ワイヤ、720 : 記憶装置、721 : 駆動回路層、722 : 記憶回路層、730 : 電子部品、731 : インターポーザ、732 : パッケージ基板、733 : 電極、735 : 半導体装置、1100 : USBメモリ、1101 : 筐体、1102 : キャップ、1103 : USBコネクタ、1104 : 基板、1105 : メモリチップ、1106 : コントローラチップ、1110 : SDカード、1111 : 筐体、1112 : コネクタ、1113 : 基板、1114 : メモリチップ、1115 : コントローラチップ、1150 : SSD、1151 : 筐体、1152 : コネクタ、1153 : 基板、1154 : メモリチップ、1155 : メモリチップ、1156 : コントローラチップ、1200 : チップ、1201 : パッケージ基板、1202 : パンプ、1203 : マザーボード、1204 : GPUモジュール、1211 : CPU、1212 : GPU、1213 : アナログ演算部、1214 : メモリコントローラ、1215 : インター

フェース、１２１６：ネットワーク回路、１２２１：DRAM、１２２２：フラッシュメモリ、５
１００：情報端末、５１０１：筐体、５１０２：表示部、５２００：ノート型情報端末、５２０
１：本体、５２０２：表示部、５２０３：キーボード、５３００：携帯ゲーム機、５３０１：筐体、
５３０２：筐体、５３０３：筐体、５３０４：表示部、５３０５：接続部、５３０６：操作キー、
５４００：据え置き型ゲーム機、５４０２：コントローラ、５５００：スーパーコンピュータ、５
５０１：ラック、５５０２：計算機、５５０４：基板、５７０１：表示パネル、５７０２：表示パ
ネル、５７０３：表示パネル、５７０４：表示パネル、５８００：電気冷凍冷蔵庫、５８０１：筐
体、５８０２：冷蔵室用扉、５８０３：冷凍室用扉、６８００：人工衛星、６８０１：機体、６８
０２：ソーラーパネル、６８０３：アンテナ、６８０４：惑星、６８０５：二次電池、６８０７：
制御装置

請求の範囲

[請求項 1]

トランジスタと、第 1 の絶縁層と、第 2 の絶縁層と、を有し、
前記トランジスタは、第 1 の導電層と、第 2 の導電層と、第 3 の導電層と、第 4 の導電層と、半
導体層と、第 3 の絶縁層と、第 4 の絶縁層と、を有し、
前記第 1 の絶縁層は、前記第 1 の導電層上に設けられ、
前記第 2 の導電層、及び前記第 3 の絶縁層は、前記第 1 の絶縁層上に設けられ、
前記第 2 の絶縁層は、前記第 2 の導電層上、及び前記第 3 の絶縁層上に設けられ、
前記第 3 の導電層は、前記第 2 の絶縁層上に設けられ、
前記第 1 の絶縁層、前記第 2 の絶縁層、前記第 3 の絶縁層、及び前記第 3 の導電層には、前記第
1 の導電層に達する開口部が設けられ、
前記半導体層は、前記開口部の内部に位置する領域を有するように設けられ、
前記半導体層は、前記第 1 の導電層と接する領域、及び前記第 3 の導電層と接する領域を有し、
前記第 3 の絶縁層は、前記半導体層と、前記第 2 の導電層との間に設けられ、
前記第 4 の絶縁層は、前記開口部の内部に位置する領域を有するように、前記半導体層上に設け
られ、
前記第 4 の導電層は、前記開口部の内部において、前記第 4 の絶縁層を前記半導体層との間に挟
んで対向する領域を有するように設けられる半導体装置。

[請求項 2]

請求項 1 において、
前記第 2 の導電層と前記第 4 の導電層は、前記開口部の内部において前記半導体層のチャネル形
成領域を挟む領域を有する半導体装置。

[請求項 3]

請求項 1 において、
前記第 2 の導電層には、前記第 3 の絶縁層と接する領域を有する酸化物領域が設けられる半導体
装置。

[請求項 4]

請求項 3 において、
前記酸化物領域は、前記第 2 の導電層に含まれる材料の酸化物を含む半導体装置。

[請求項 5]

請求項 3 において、
前記第 1 の導電層は、第 1 の層と、第 2 の層と、を有し、
前記第 2 の層は、前記第 1 の層上に設けられ、
前記半導体層は、前記第 1 の層の上面と接する領域、及び前記第 2 の層の側面と接する領域を有
する半導体装置。

[請求項 6]

請求項 1 において、
前記第 1 の絶縁層は、第 1 の層と、第 2 の層と、第 3 の層と、を有し、
前記第 2 の絶縁層は、第 4 の層と、第 5 の層と、第 6 の層と、を有し、
前記第 2 の層は、前記第 1 の層上に設けられ、

前記第 3 の層は、前記第 2 の層上に設けられ、
前記第 5 の層は、前記第 4 の層上に設けられ、
前記第 6 の層は、前記第 5 の層上に設けられ、
前記第 1 の層、前記第 3 の層、前記第 4 の層、及び前記第 6 の層は、窒素を含む半導体装置。

[請求項 7]

請求項 6 において、
前記第 2 の層、及び前記第 5 の層は、酸素を含む半導体装置。

[請求項 8]

請求項 1 乃至 7 のいずれか一項において、
前記半導体層は、金属酸化物を有する半導体装置。

[請求項 9]

請求項 8 において、
前記金属酸化物は、インジウム、亜鉛、及び元素 M から選ばれる一又は複数を有し、
前記元素 M は、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タンゲステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンから選ばれた一又は複数である半導体装置。

[請求項 10]

請求項 1 乃至 7 のいずれか一項に記載の半導体装置と、カメラと、を有する電子機器。

[請求項 11]

第 1 の導電層を形成し、
前記第 1 の導電層上に、第 1 の絶縁層を形成し、
前記第 1 の絶縁層上に、第 2 の導電層を形成し、
前記第 2 の導電層上に、第 2 の絶縁層を形成し、
前記第 2 の絶縁層上に、第 3 の導電層を形成し、
前記第 1 の絶縁層、前記第 2 の導電層、前記第 2 の絶縁層、及び前記第 3 の導電層に、前記第 1 の導電層に達する開口部を形成し、
前記第 2 の導電層に対して第 1 の加工を行うことにより、前記第 2 の導電層の、前記開口部における側面を後退させ、
前記第 2 の導電層の側面と接する領域を有するように、前記第 1 の導電層上、前記第 1 の絶縁層上、前記第 2 の絶縁層上、及び前記第 3 の導電層上に、絶縁膜を形成し、
前記絶縁膜に対して第 2 の加工を行うことにより、前記第 2 の導電層の側面と接する領域を有するように、前記第 1 の絶縁層と前記第 2 の絶縁層の間に第 3 の絶縁層を形成し、
前記開口部の内部に位置する領域を有し、且つ前記第 1 の導電層と接する領域、及び前記第 3 の導電層と接する領域を有するように、半導体層を形成し、
前記開口部の内部に位置する領域を有するように、前記半導体層上に第 4 の絶縁層を形成し、
前記開口部の内部において、前記第 4 の絶縁層を前記半導体層との間に挟んで対向する領域を有するように、第 4 の導電層を形成する半導体装置の作製方法。

[請求項 12]

請求項 11 において、

前記第 1 の加工は、等方性エッチングにより行い、

前記第 2 の加工は、異方性エッチングにより行う半導体装置の作製方法。

[請求項 1 3]

請求項 1 1 において、

前記絶縁膜の形成後、前記第 2 の導電層の、前記開口部における側面に対して酸化処理を行うことにより、前記第 2 の導電層に酸化物領域を形成する半導体装置の作製方法。

[請求項 1 4]

請求項 1 3 において、

前記酸化処理は、酸素を含む雰囲気でのマイクロ波処理により行う半導体装置の作製方法。

[請求項 1 5]

請求項 1 3 において、

前記第 1 の導電層として、第 1 の層と、前記第 1 の層上の第 2 の層と、を形成し、

前記第 3 の導電層の形成後、前記第 1 の絶縁層、前記第 2 の導電層、前記第 2 の絶縁層、及び前記第 3 の導電層に、前記第 2 の層に達する開口部を形成し、

前記酸化処理の後、且つ前記半導体層の形成前に、前記第 2 の層の、前記開口部と重なる領域を除去する半導体装置の作製方法。

[請求項 1 6]

請求項 1 1 において、

前記第 1 の絶縁層として、第 1 の層と、前記第 1 の層上の第 2 の層と、前記第 2 の層上の第 3 の層と、を形成し、

前記第 2 の絶縁層として、第 4 の層と、前記第 4 の層上の第 5 の層と、前記第 5 の層上の第 6 の層と、を形成し、

前記絶縁膜は、前記第 6 の層の上面と接する領域を有するように形成され、

前記絶縁膜は、酸素を含み、

前記第 6 の層は、窒素を含む半導体装置の作製方法。

[請求項 1 7]

請求項 1 6 において、

前記第 1 の層、前記第 3 の層、及び前記第 4 の層は、窒素を含む半導体装置の作製方法。

[請求項 1 8]

請求項 1 7 において、

前記第 2 の層、及び前記第 5 の層は、酸素を含む半導体装置の作製方法。

[請求項 1 9]

請求項 1 1 乃至 1 8 のいずれか一項において、

前記半導体層は、金属酸化物を有する半導体装置の作製方法。

[請求項 2 0]

請求項 1 9 において、

前記金属酸化物は、インジウム、亜鉛、及び元素 M から選ばれる一又は複数を有し、

前記元素 M は、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タンゲステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、

ホウ素、シリコン、ゲルマニウム、及びアンチモンから選ばれた一又は複数である半導体装置の作製方法。

图 1

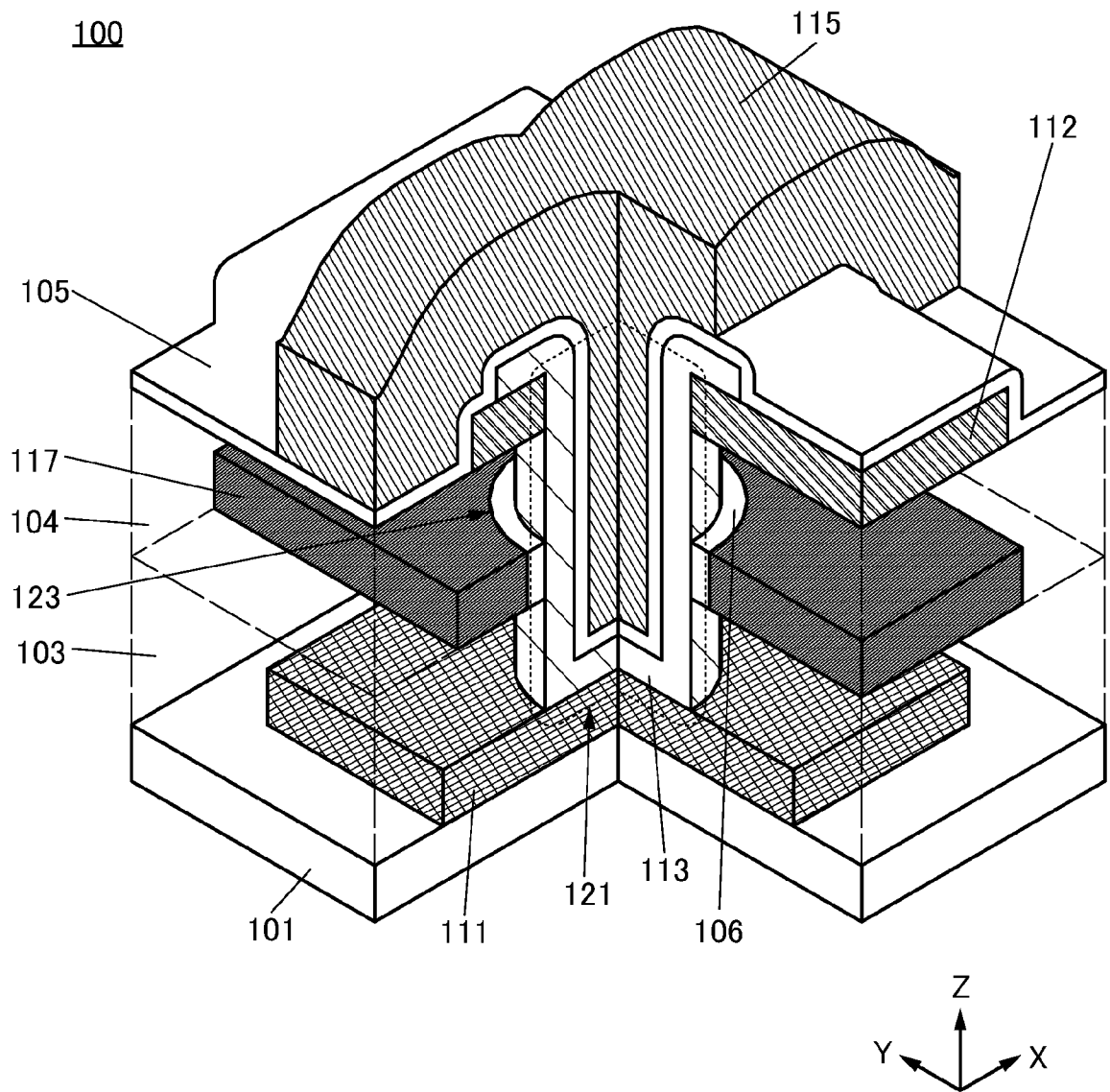


図 2A1

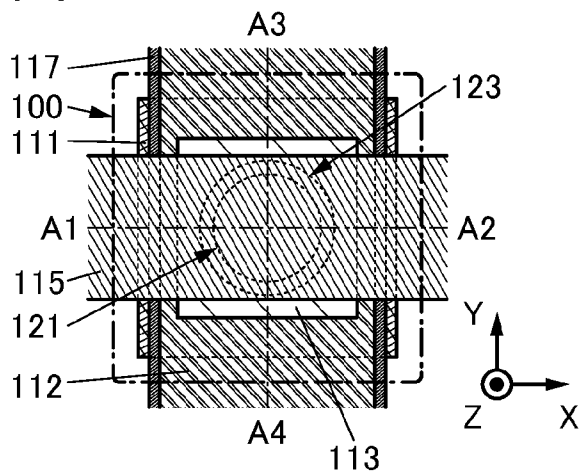


図 2A2

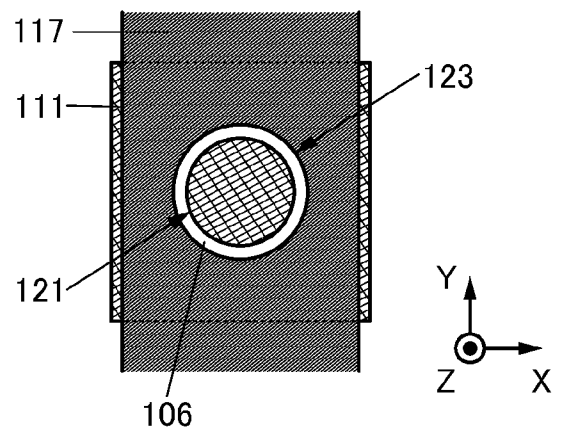


図2B

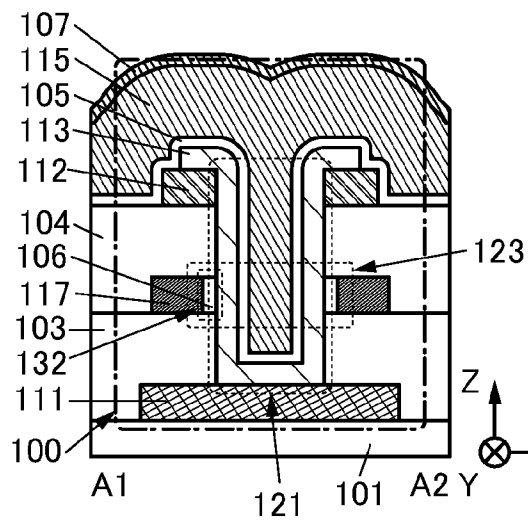


図2C

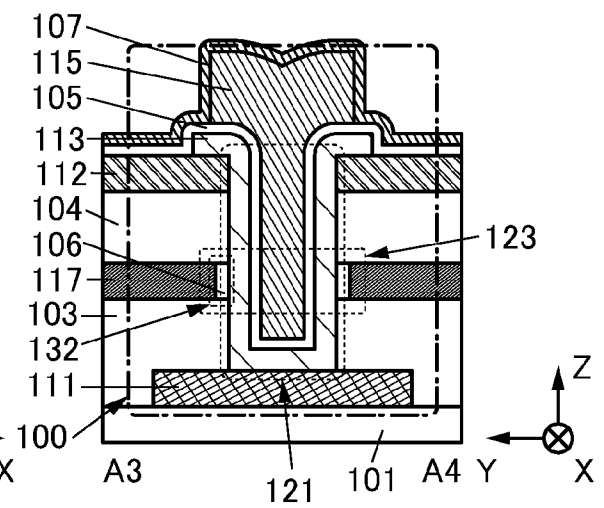


図2D

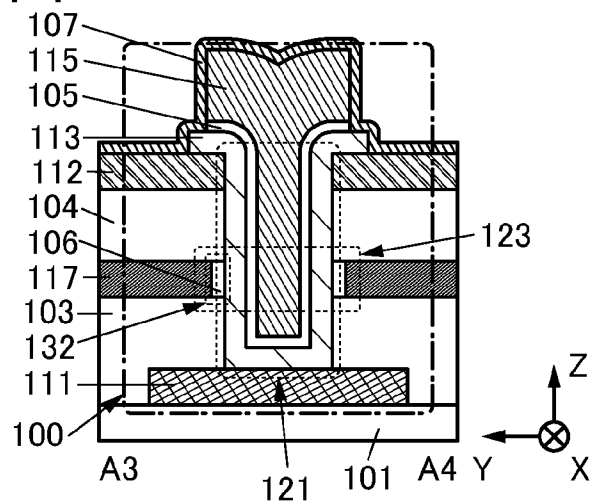


図3A

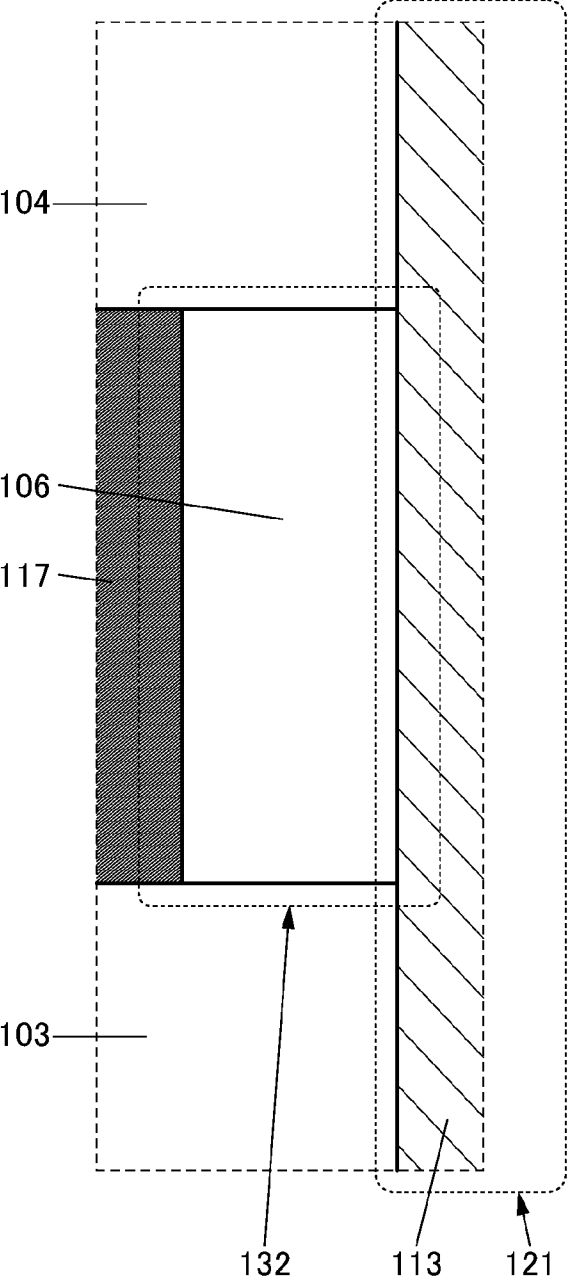


図3B

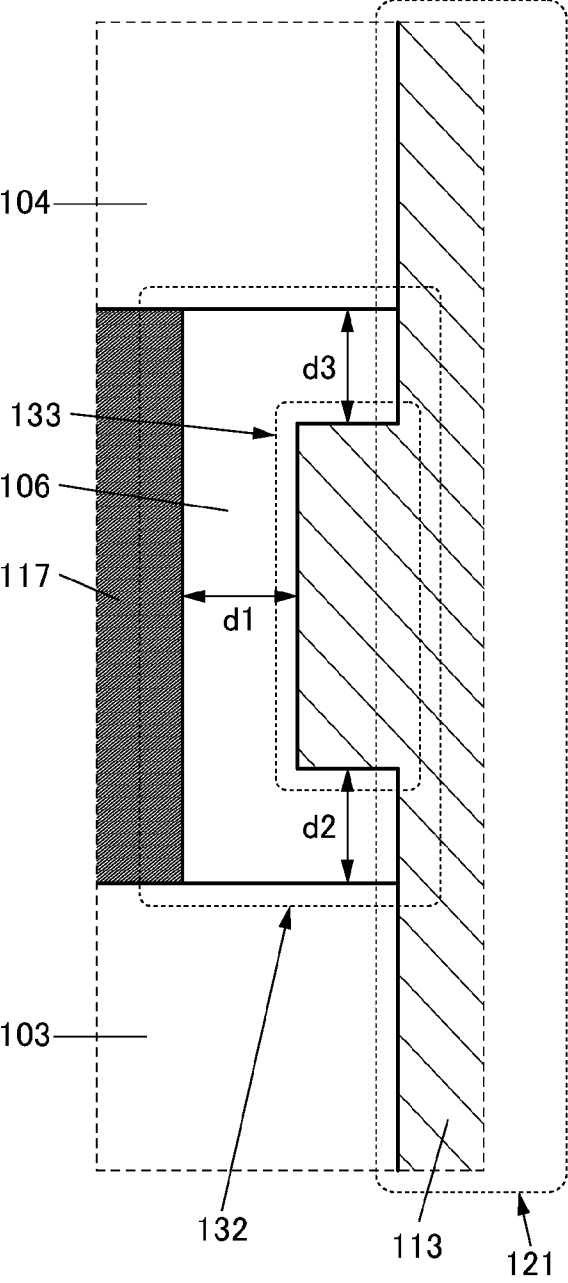


図4A

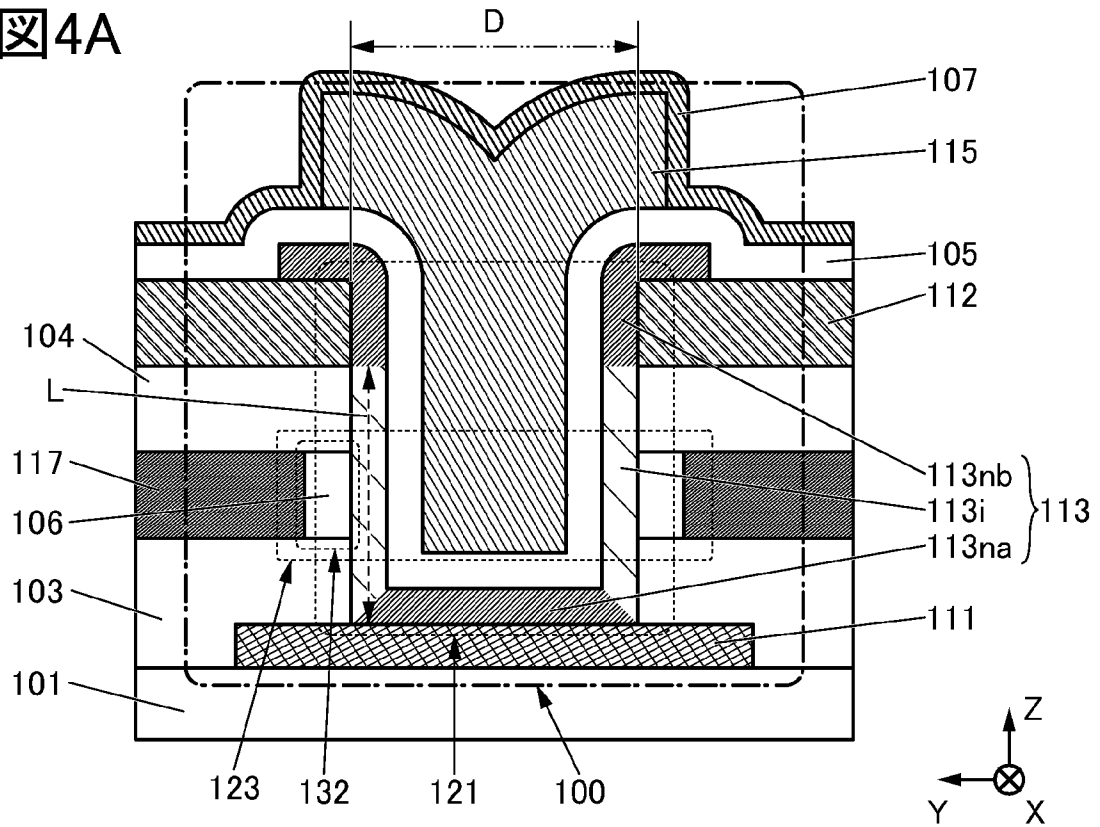


図4B

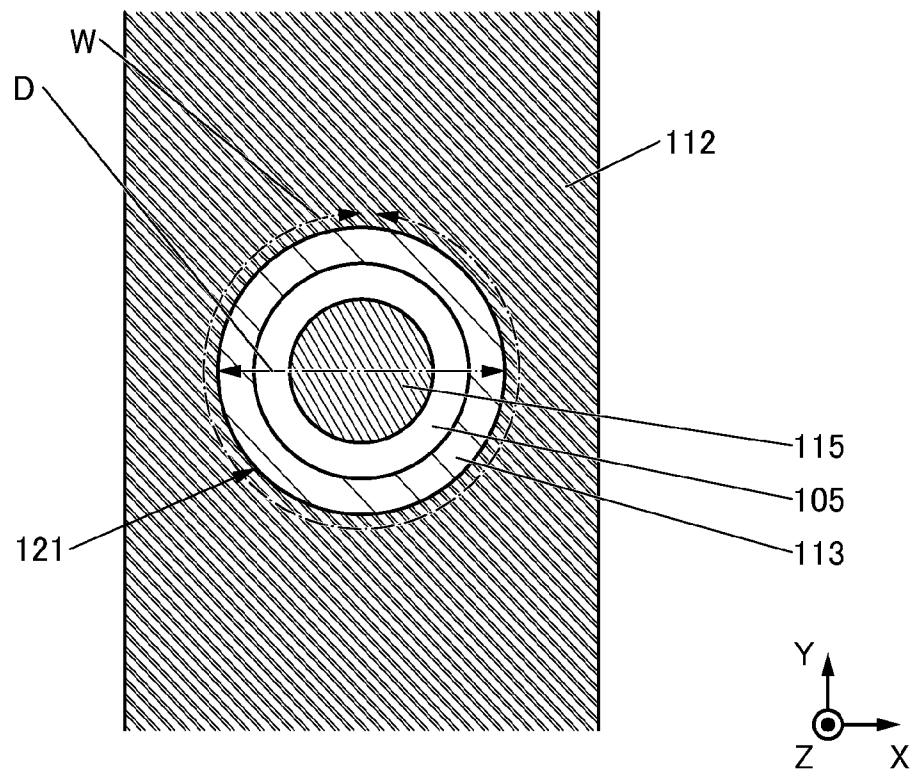


図5A1

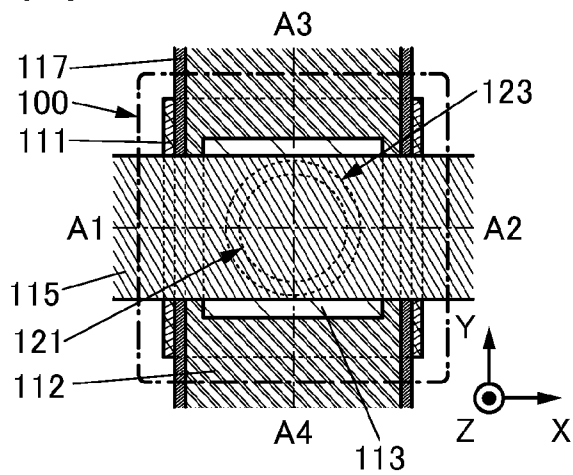


図5A2

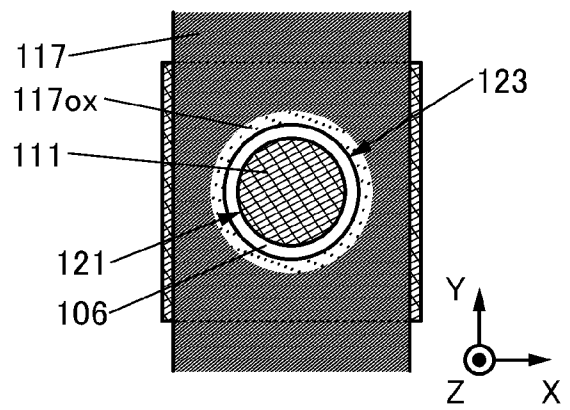


図5B

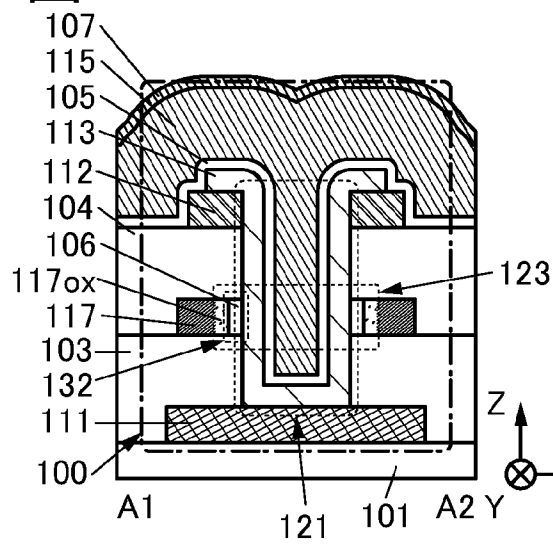


図5C

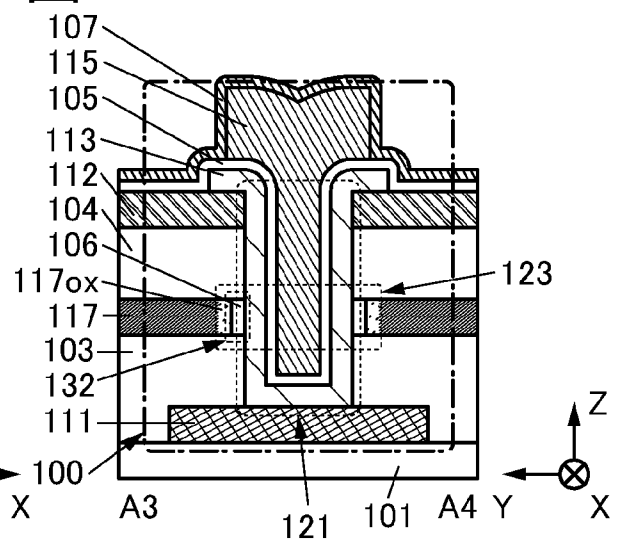


図 6A

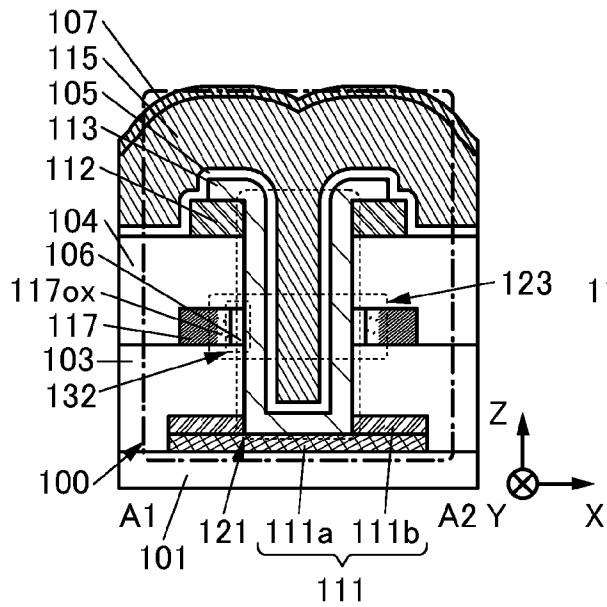


図 6B

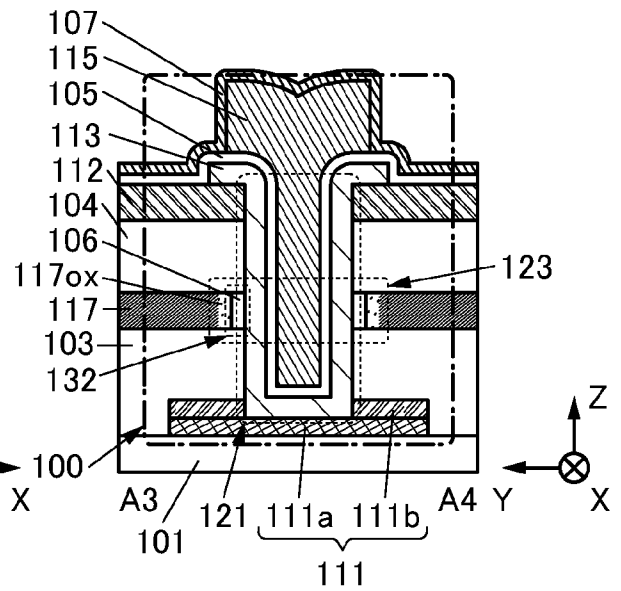


図 6C

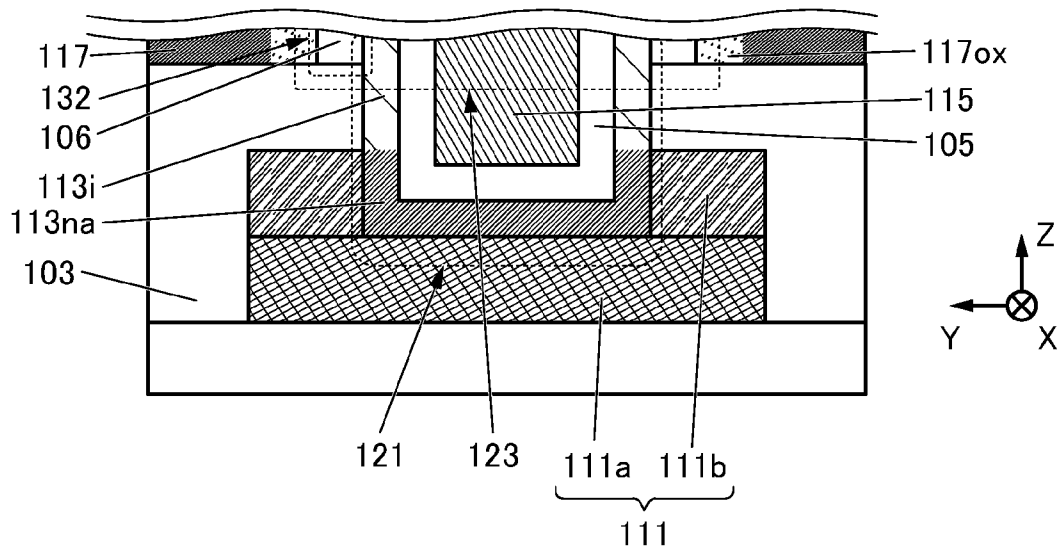


図7A

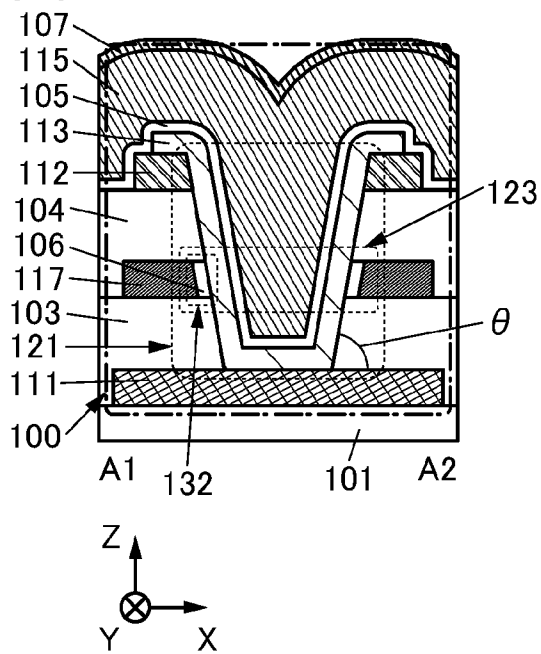


図7B

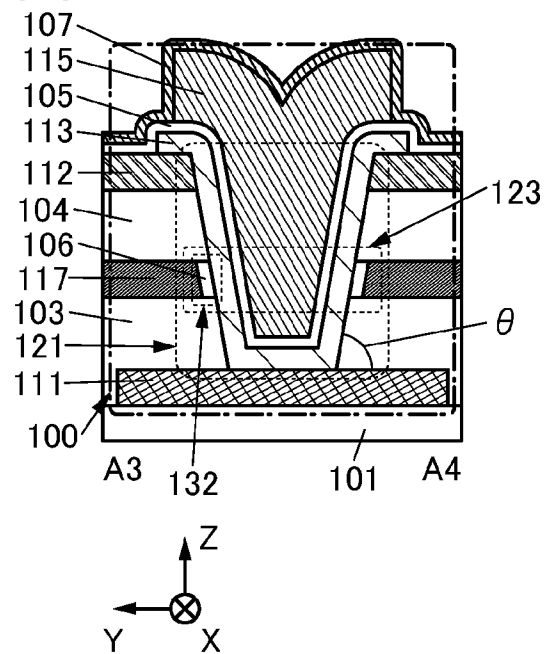


図7C

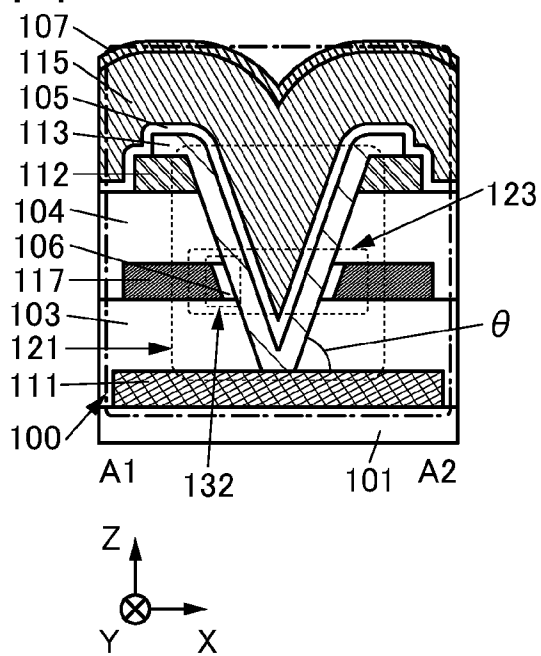
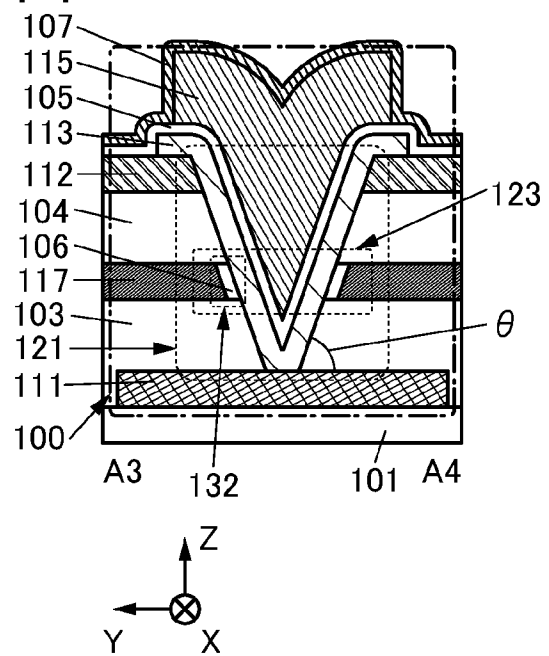


図7D



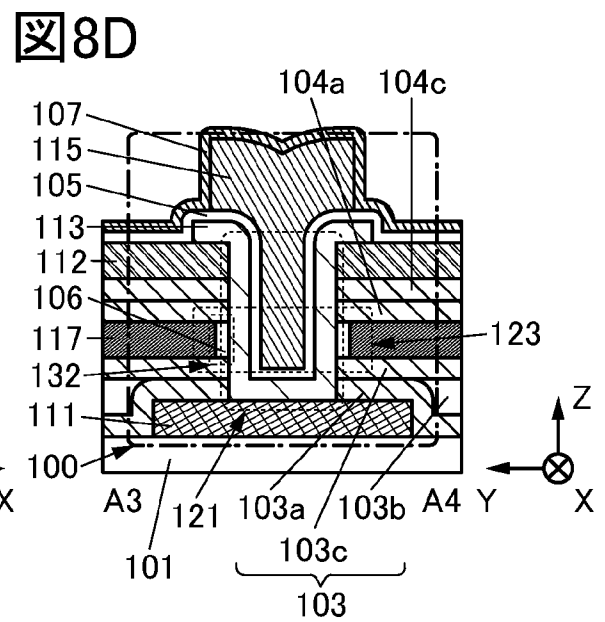
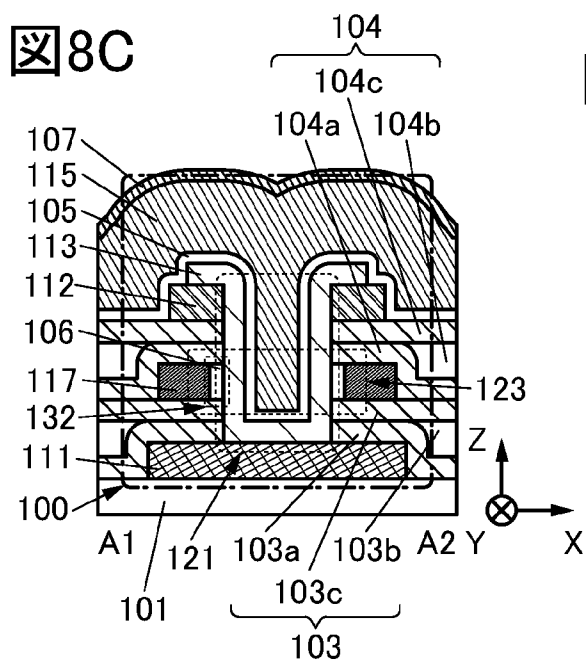
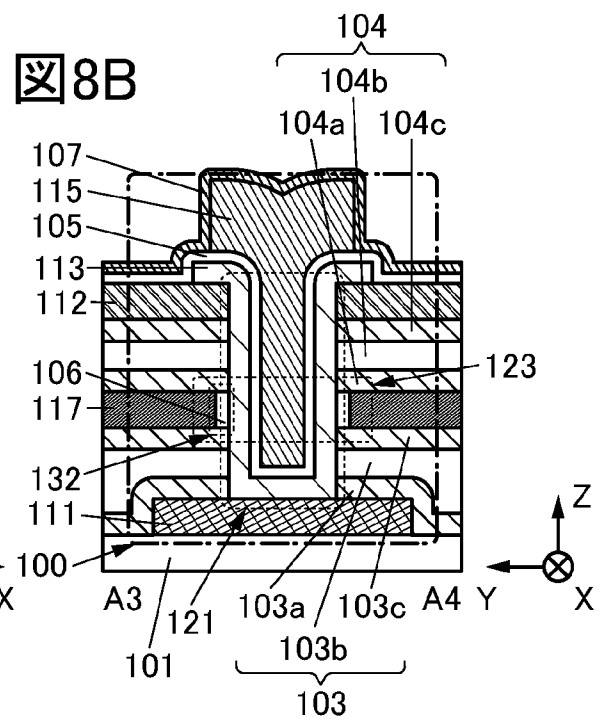
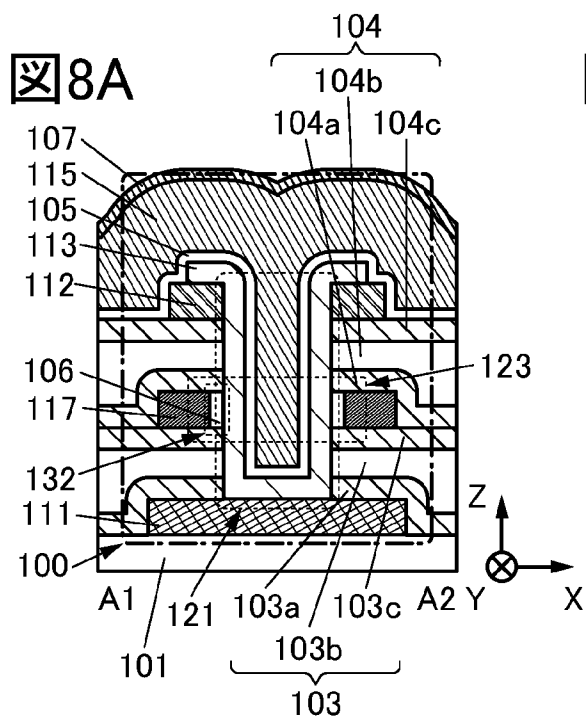


図9A

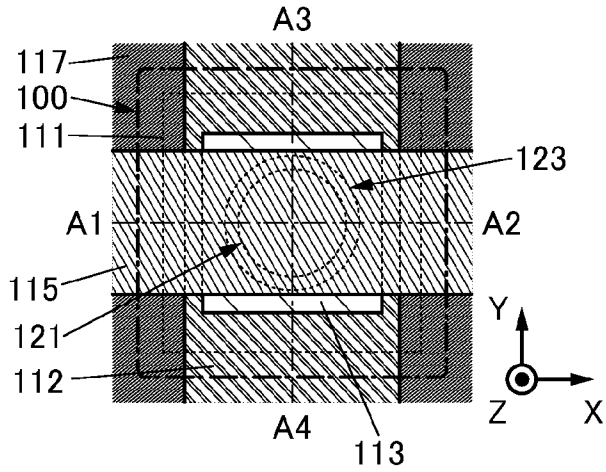


図9B

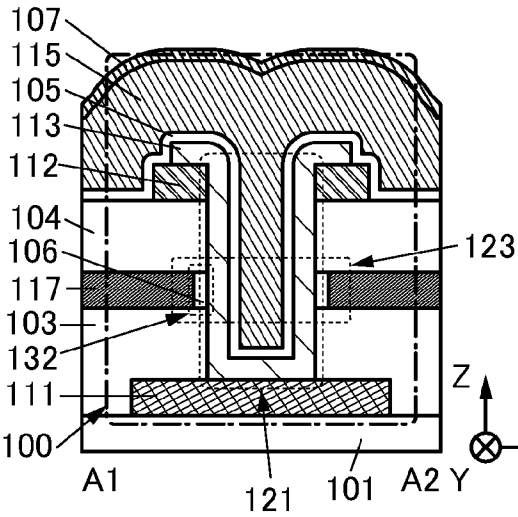


図9C

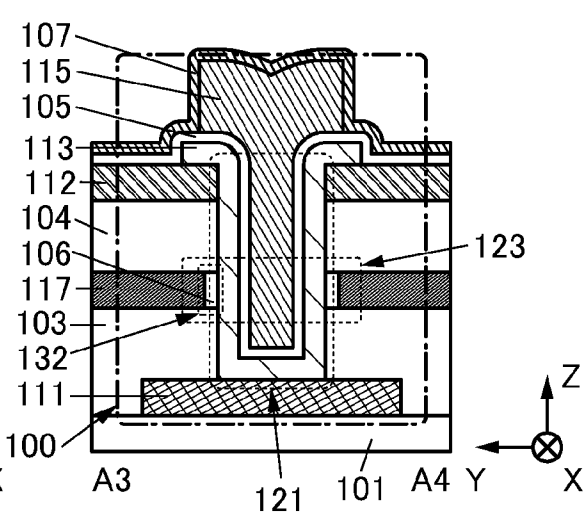


図10A

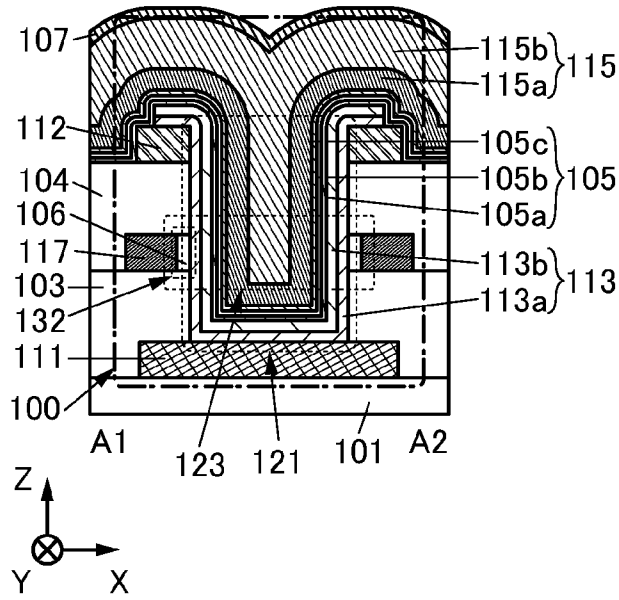


図10B

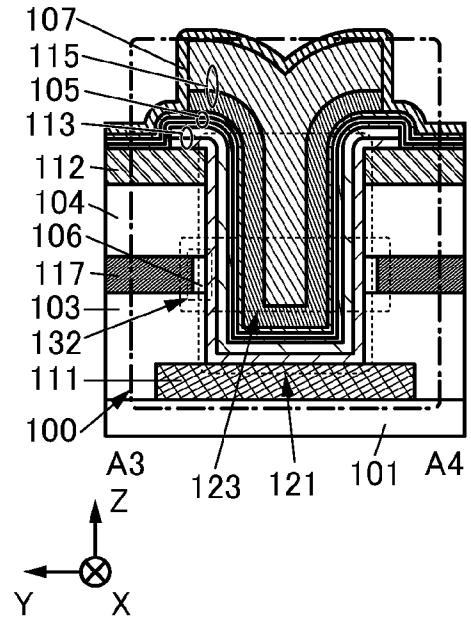


図10C

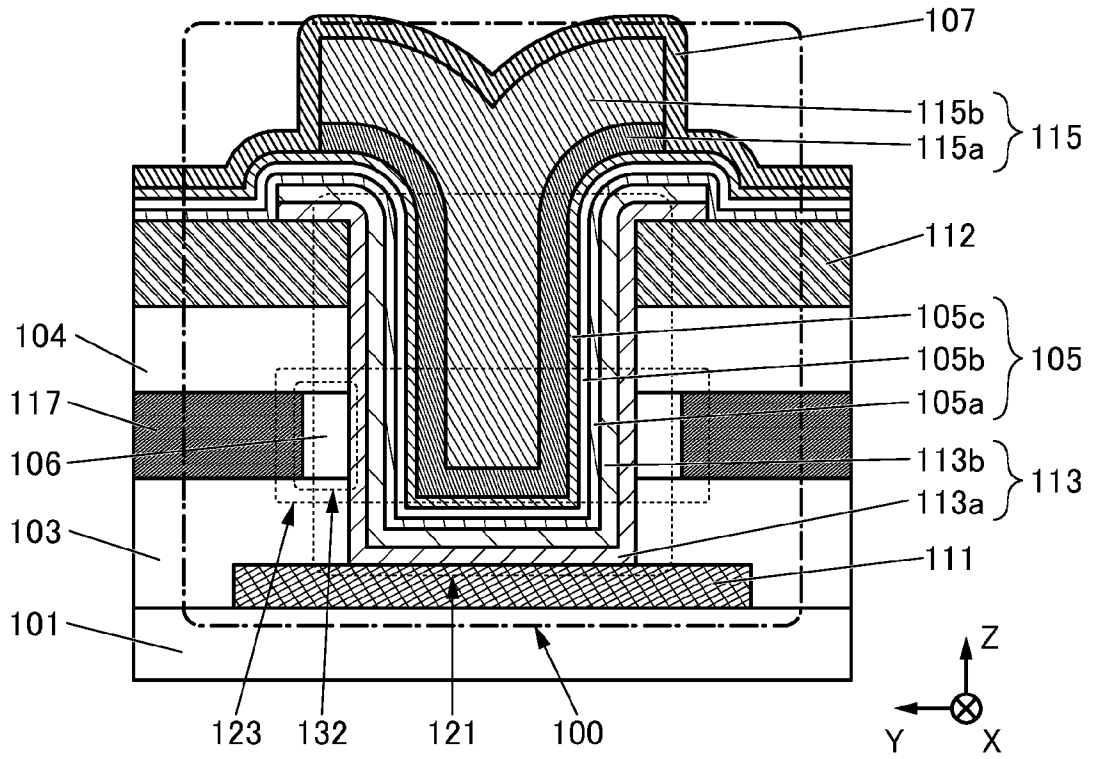


図11A

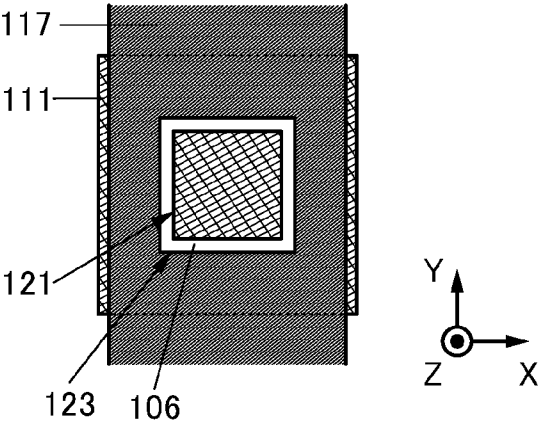


図11B

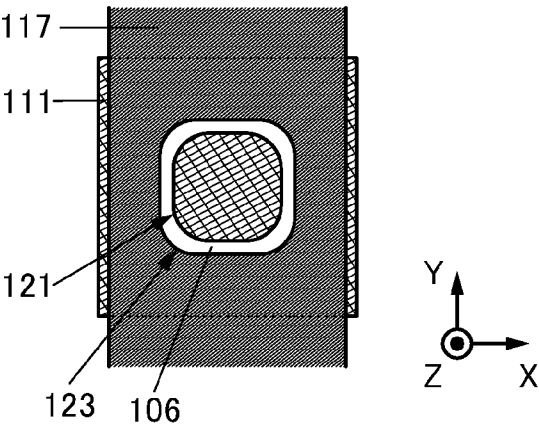


図 12A

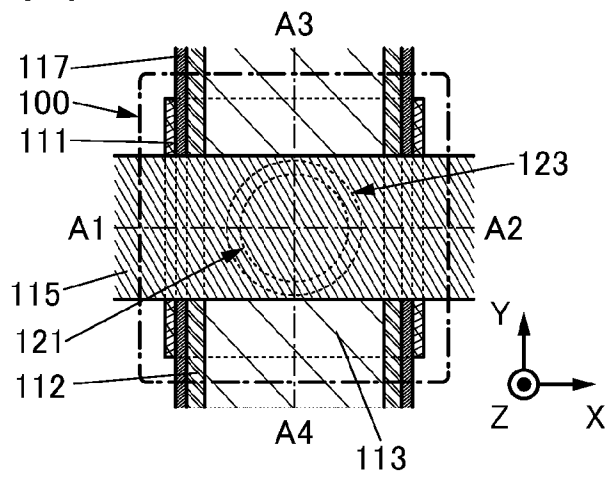


図 12B

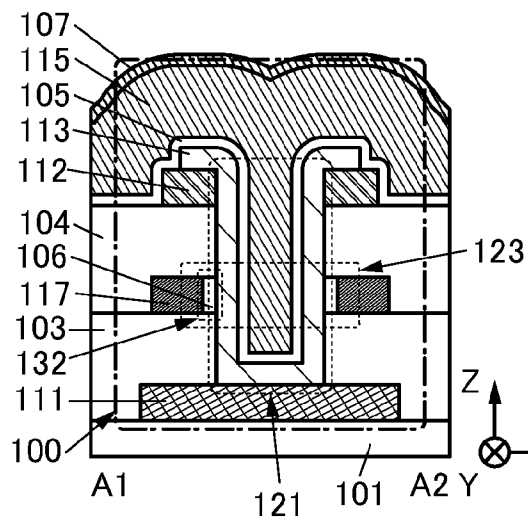


図 12C

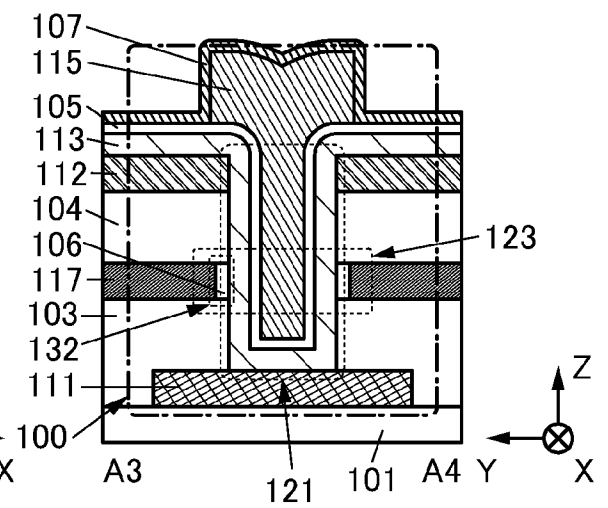


図13A1

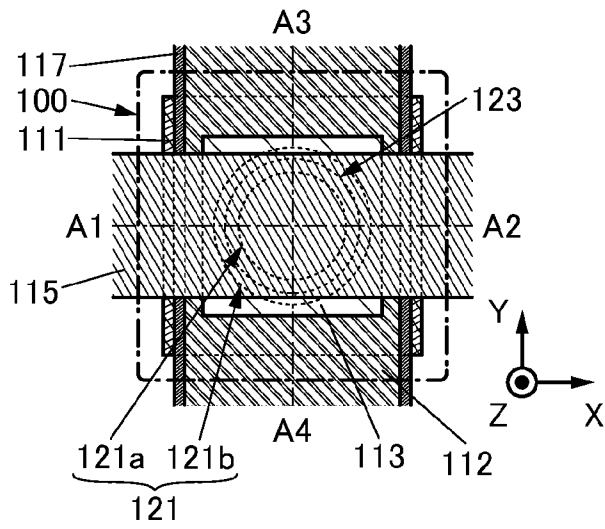


図13A2

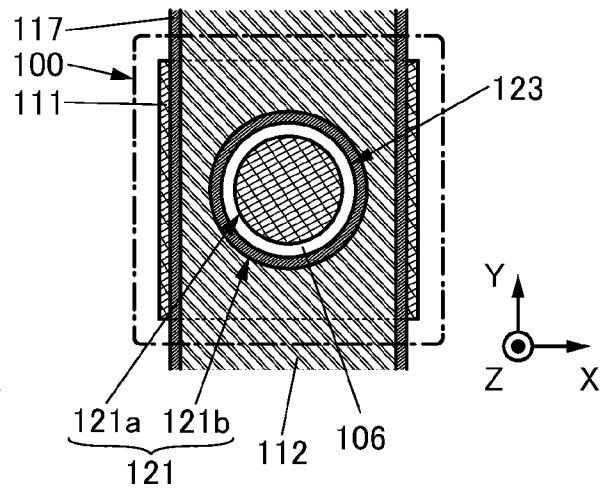


図13B

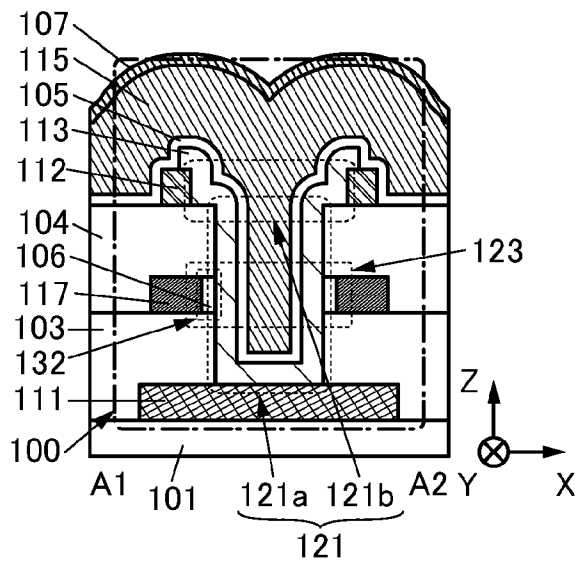


図13C

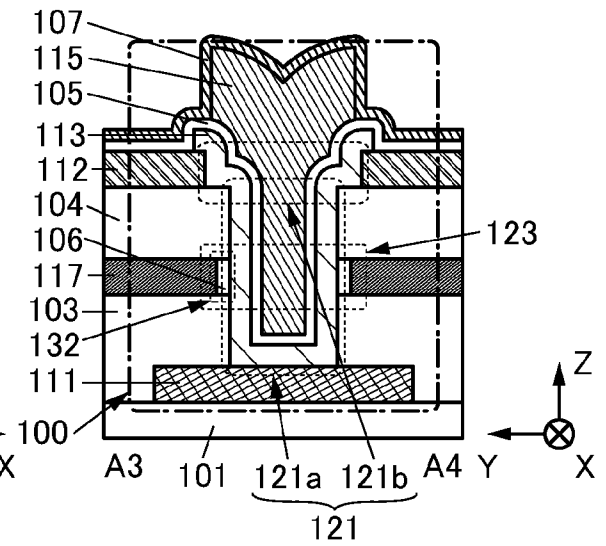


図14A

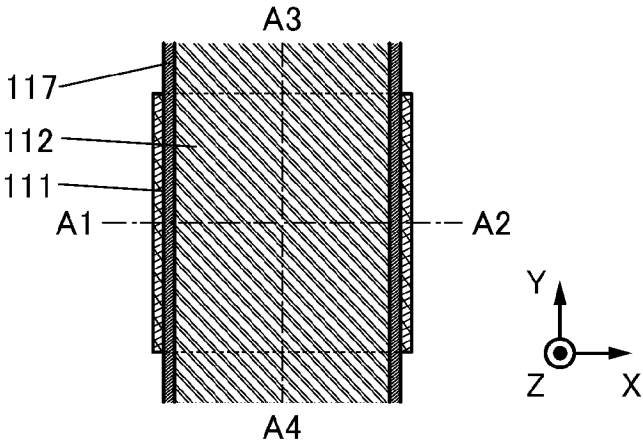


図14B

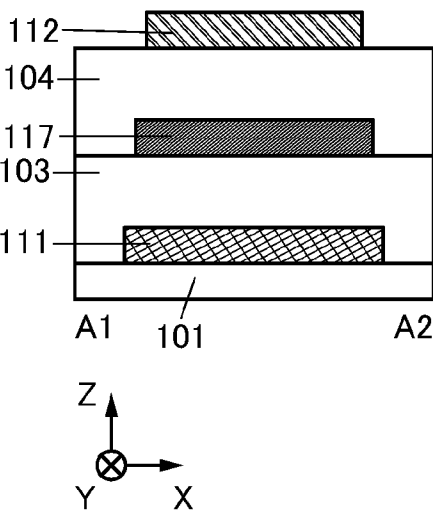


図14C

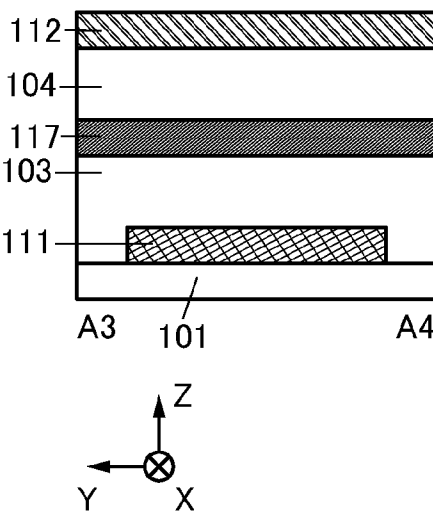


図15A

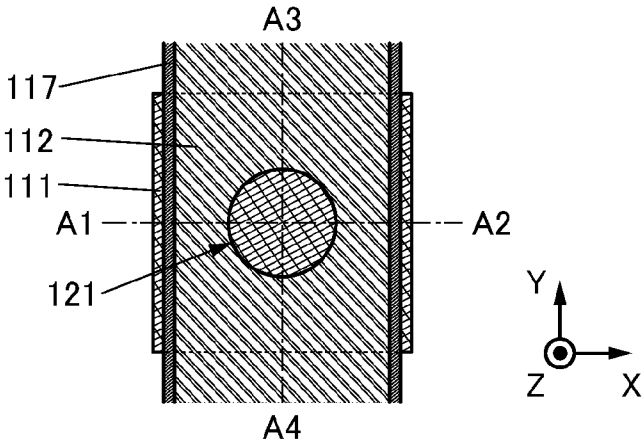


図15B

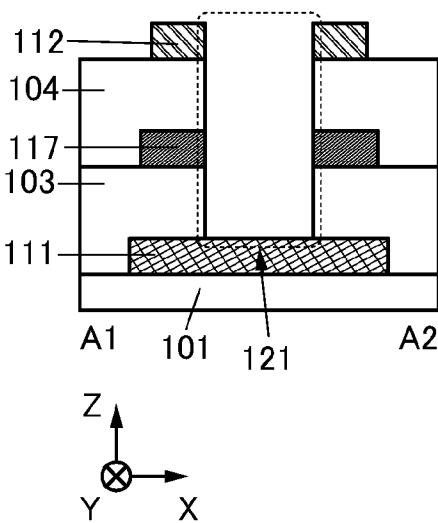


図15C

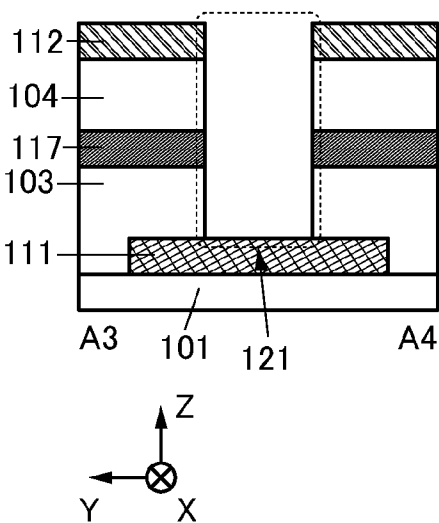


図16A1

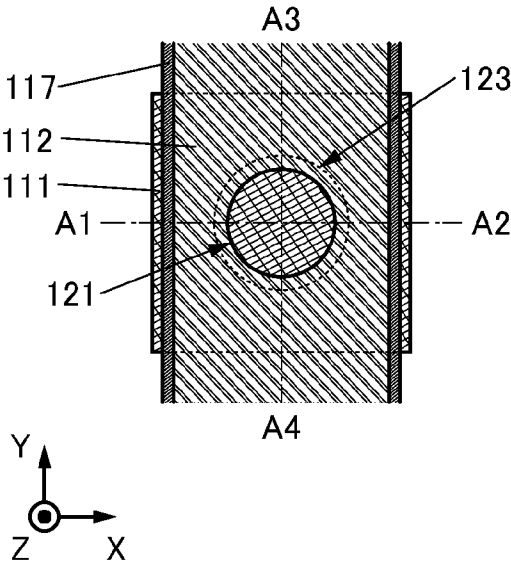


図16A2

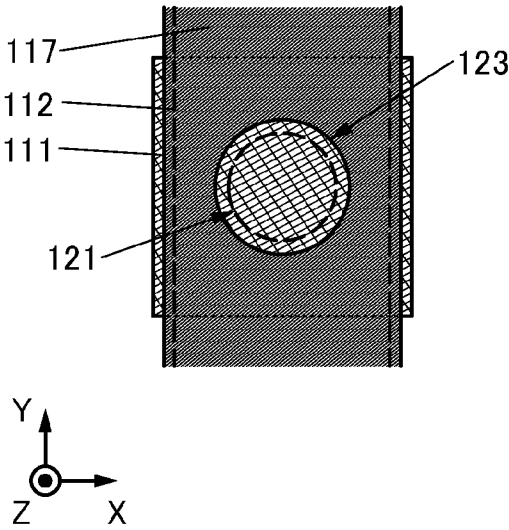


図16B

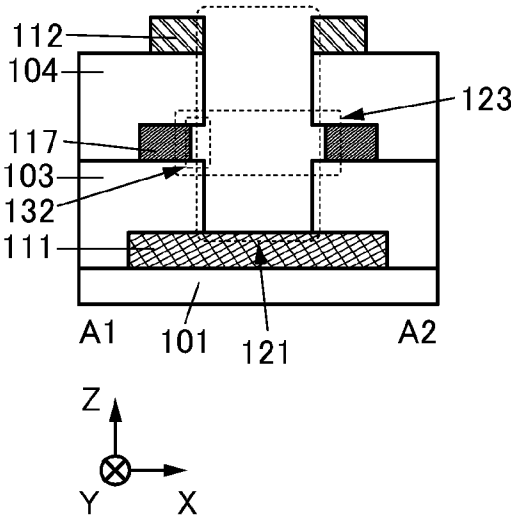


図16C

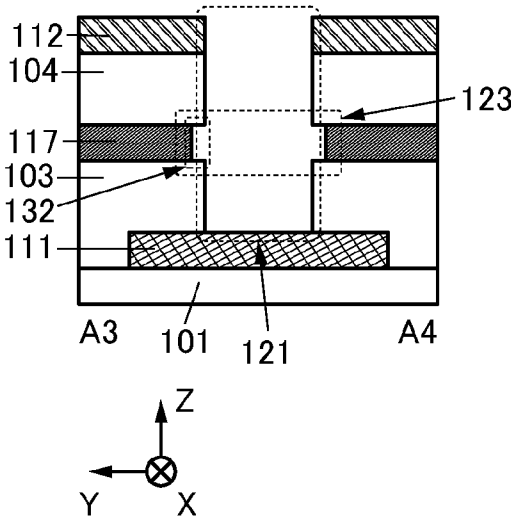


図17A

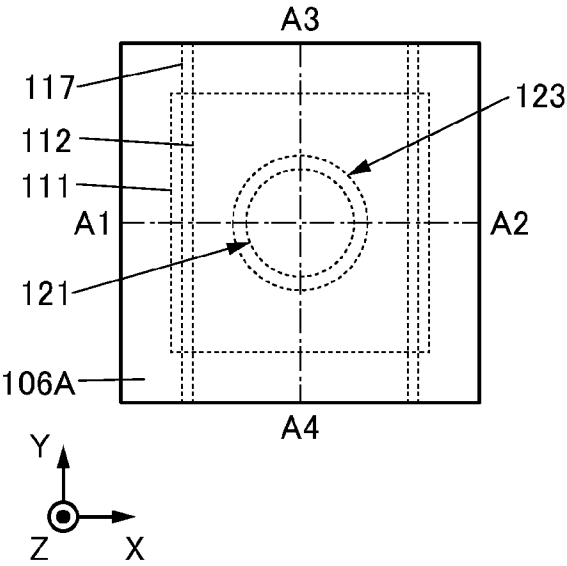


図17B

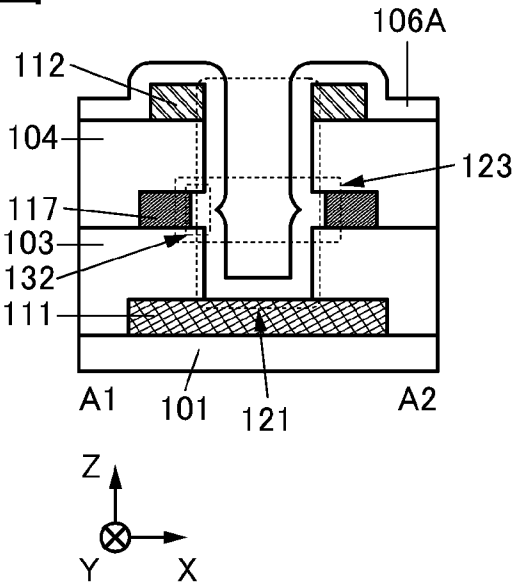


図17C

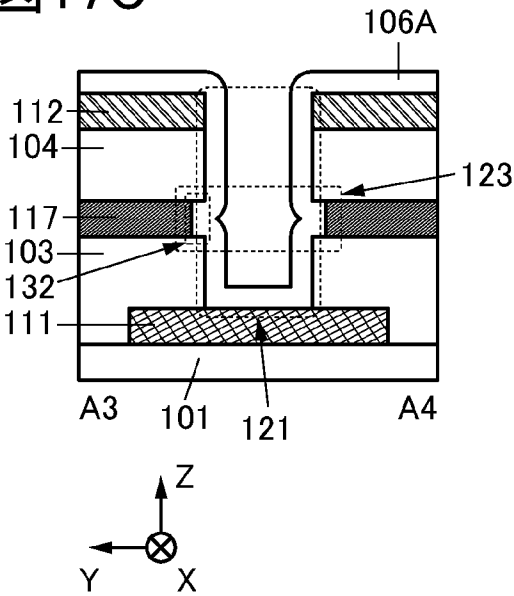


图 18A1

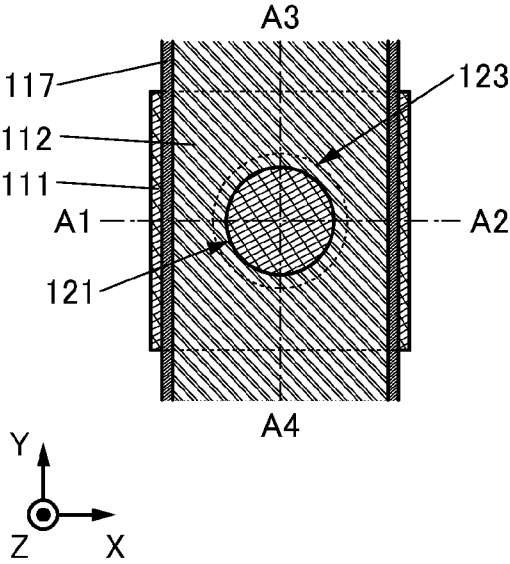


图 18A2

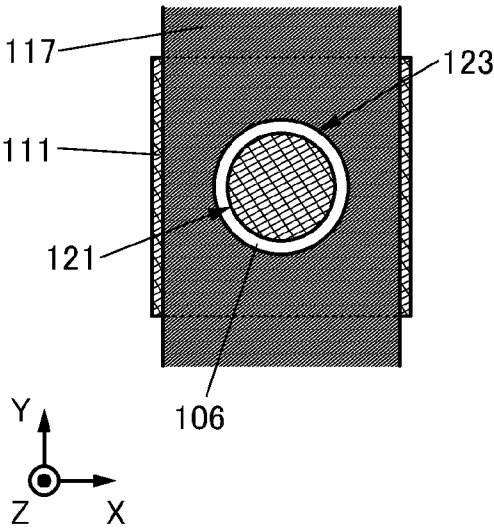


图 18B

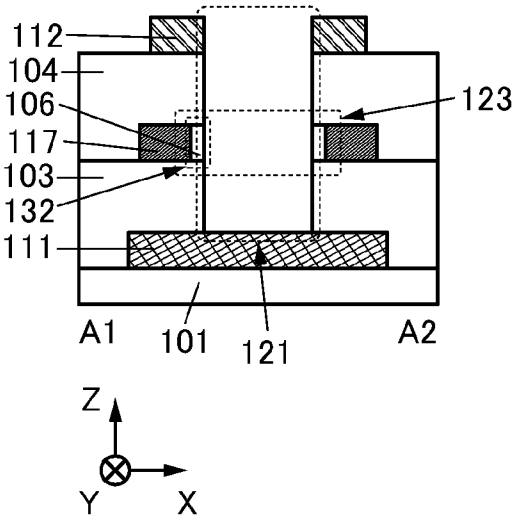


图 18C

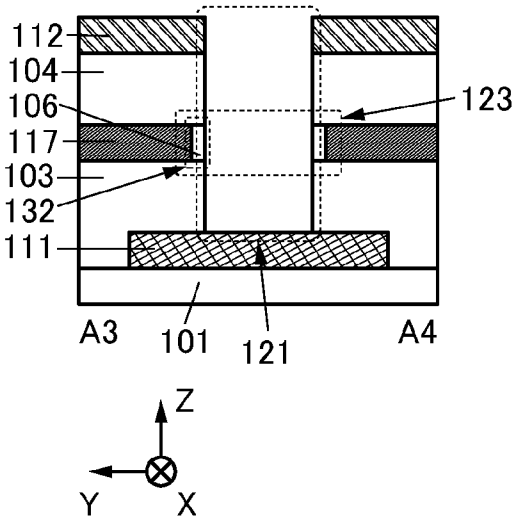


図19A

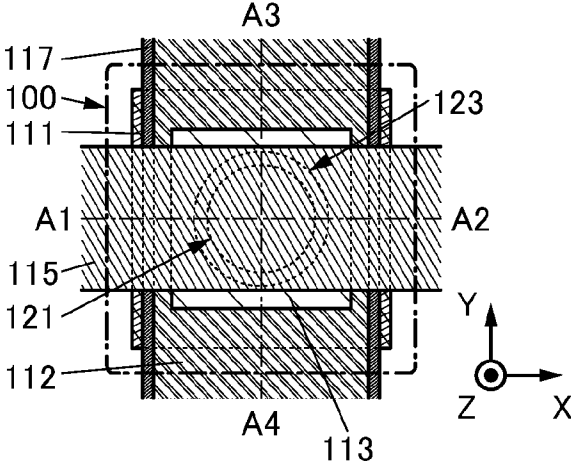


図19B

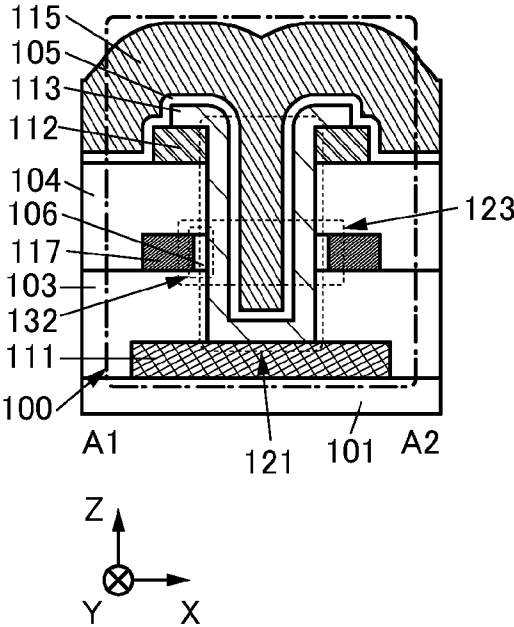


図19C

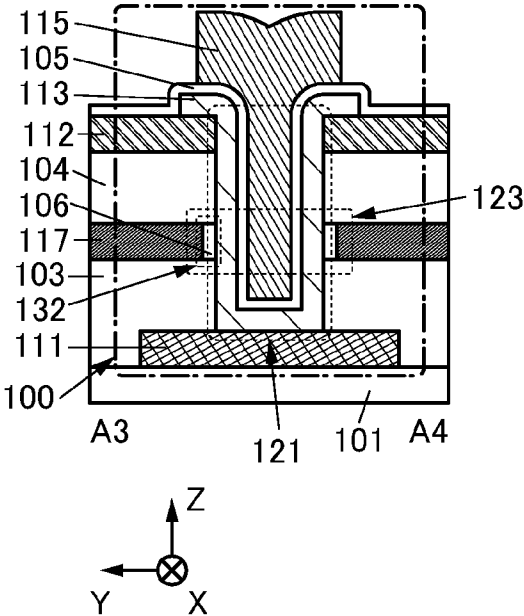


図20A1

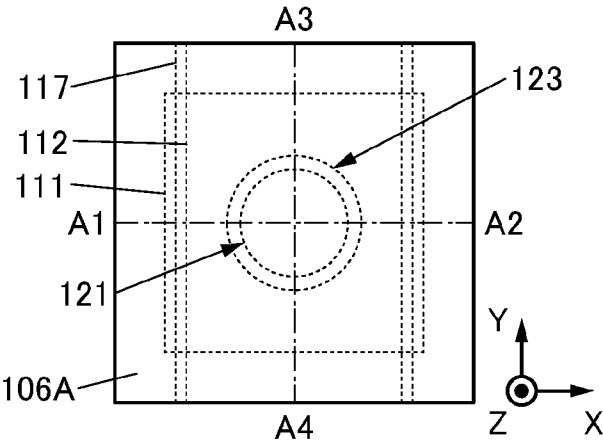


図20A2

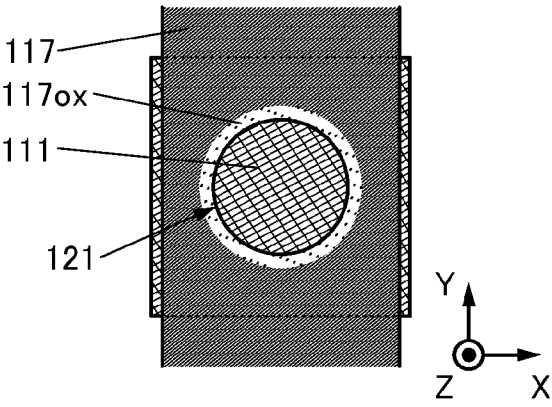


図20B

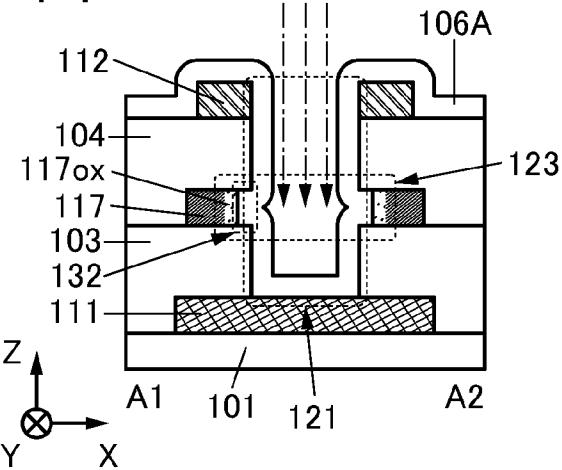


図20C

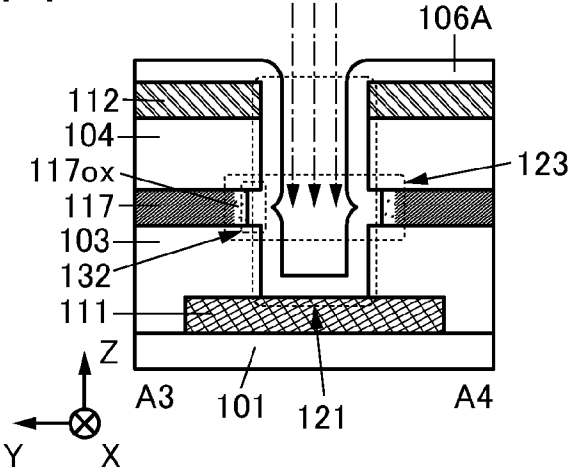


図 21A

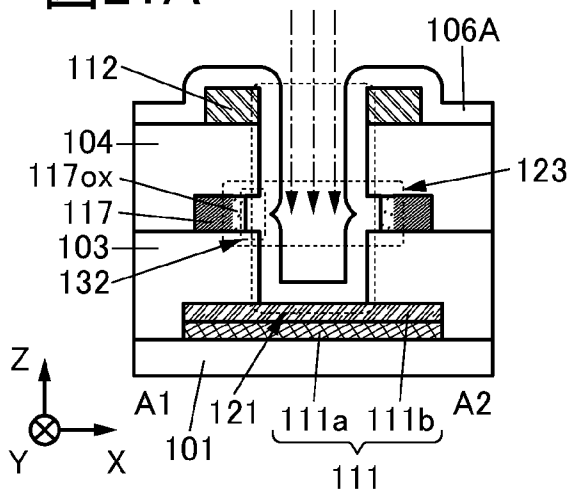


図21B

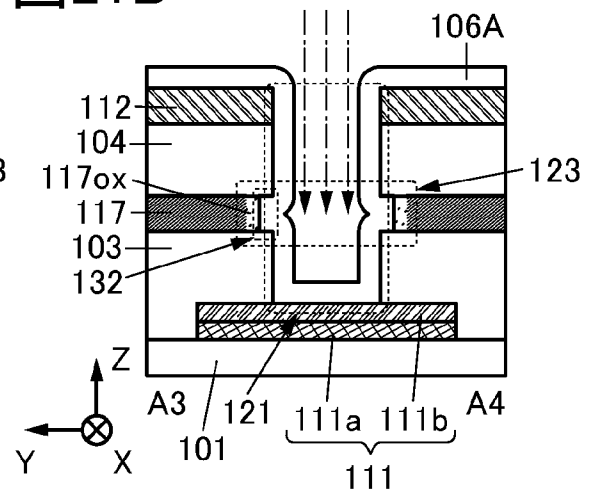


図21C

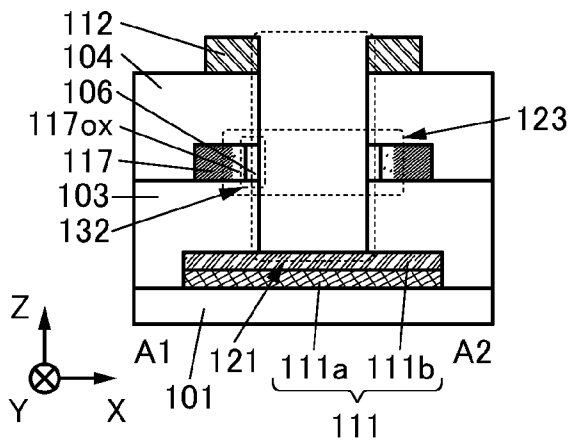


図21D

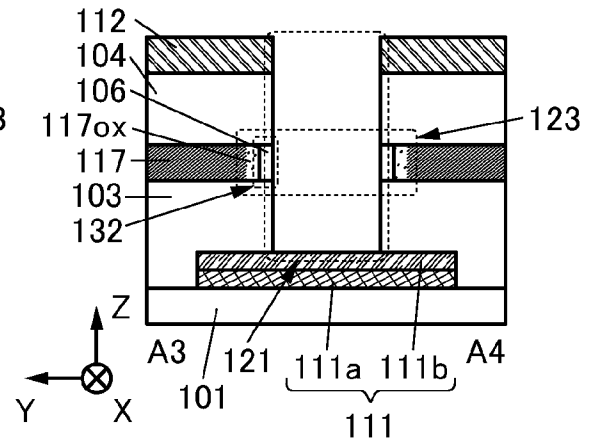


図21E

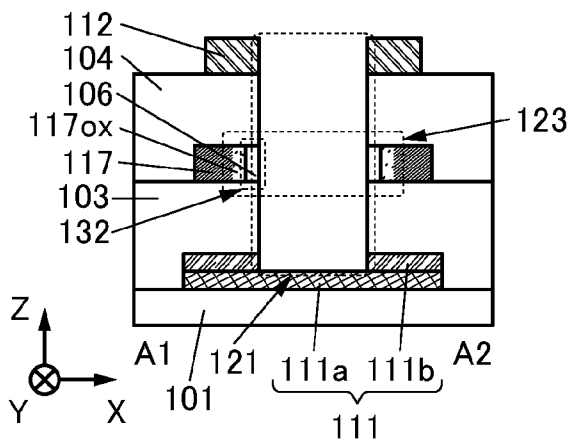


図21F

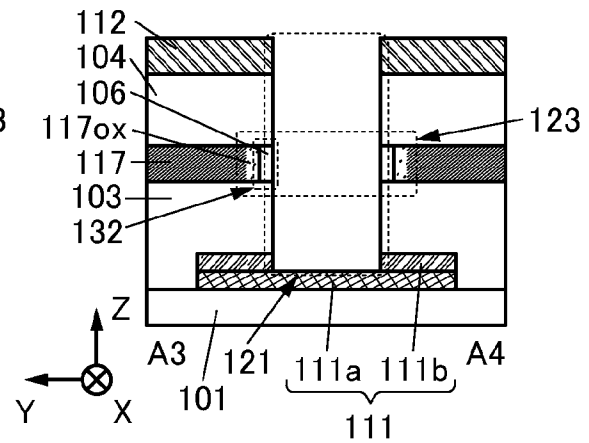


図 22A1

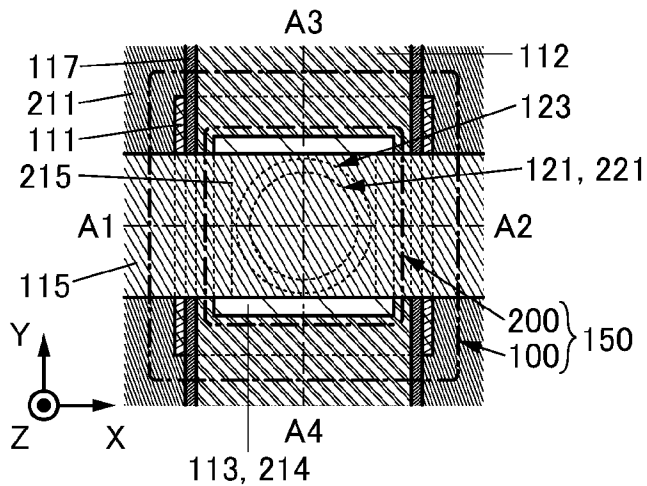


図 22A2

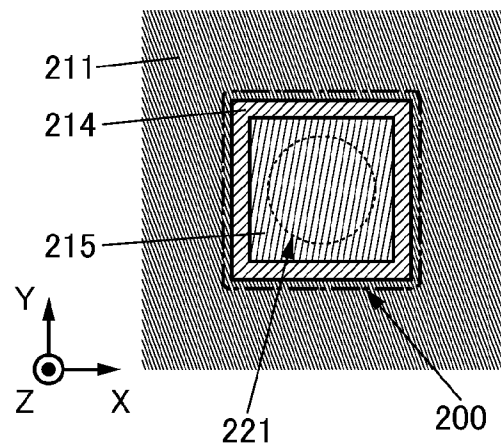


図22B

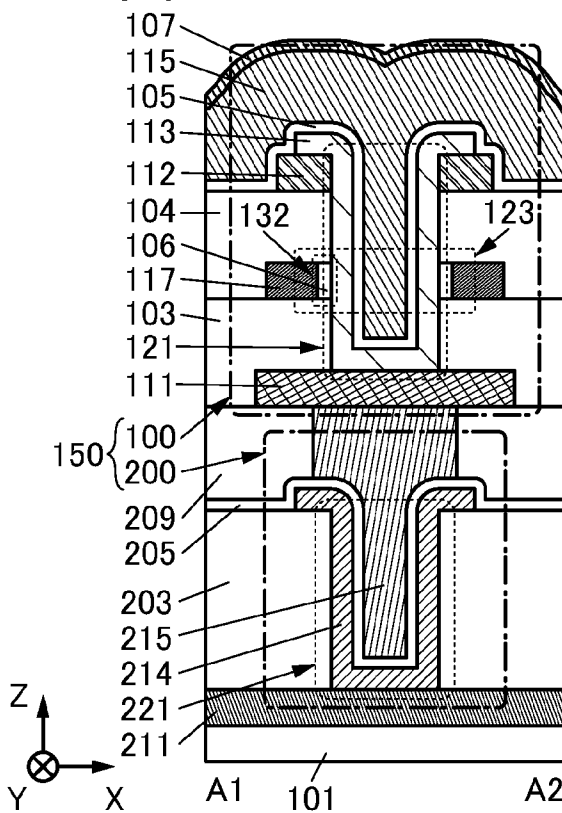


図22C

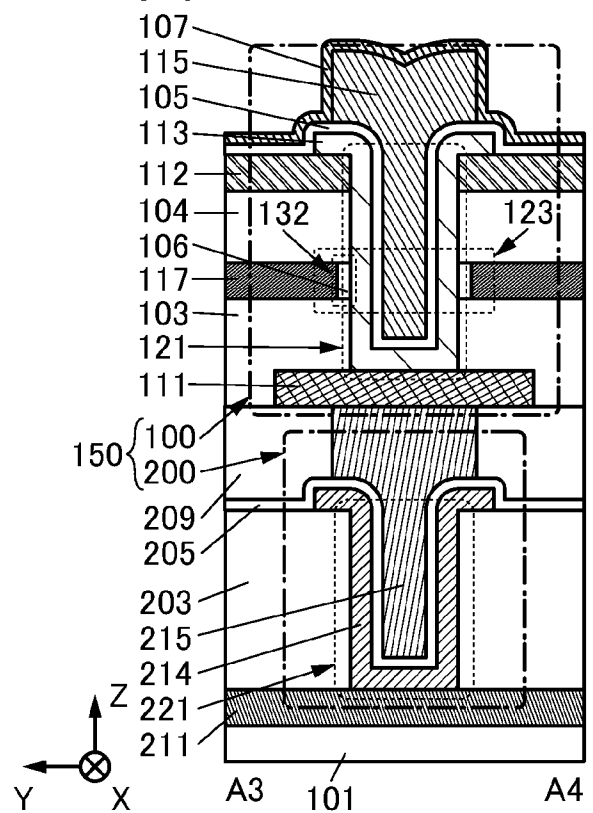


図22D1

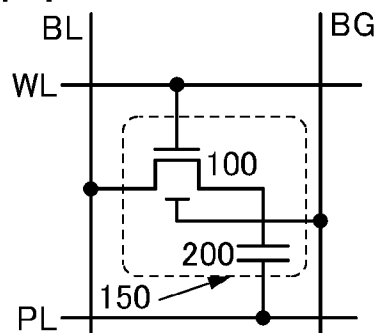


图 22D2

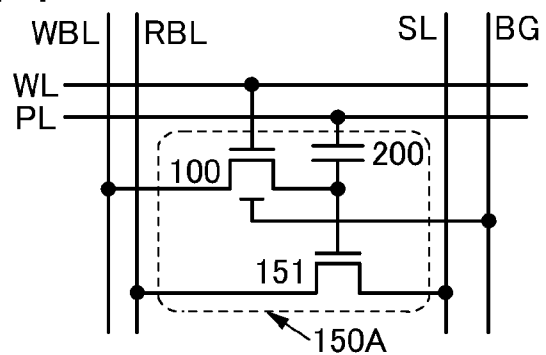


図23A

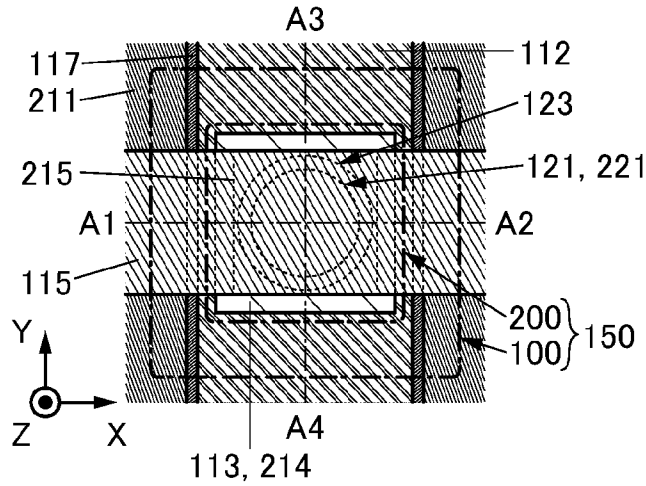


図23B

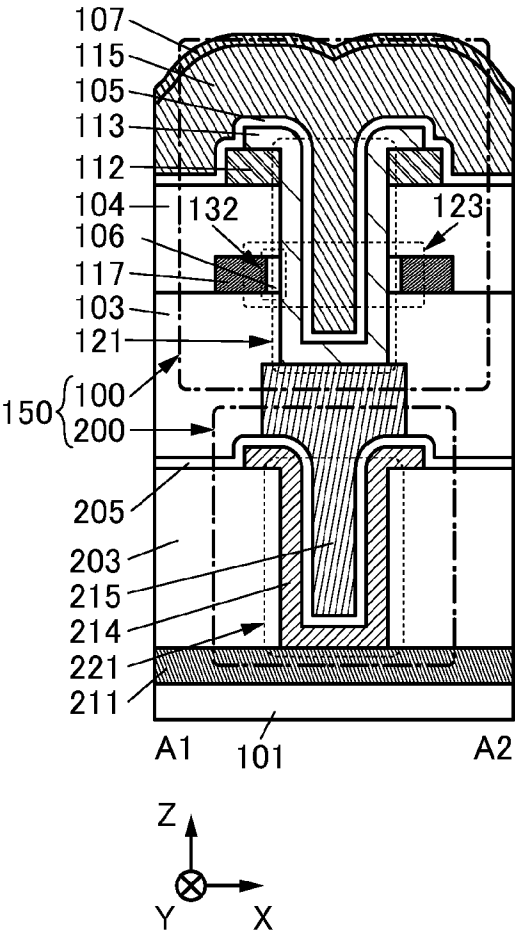
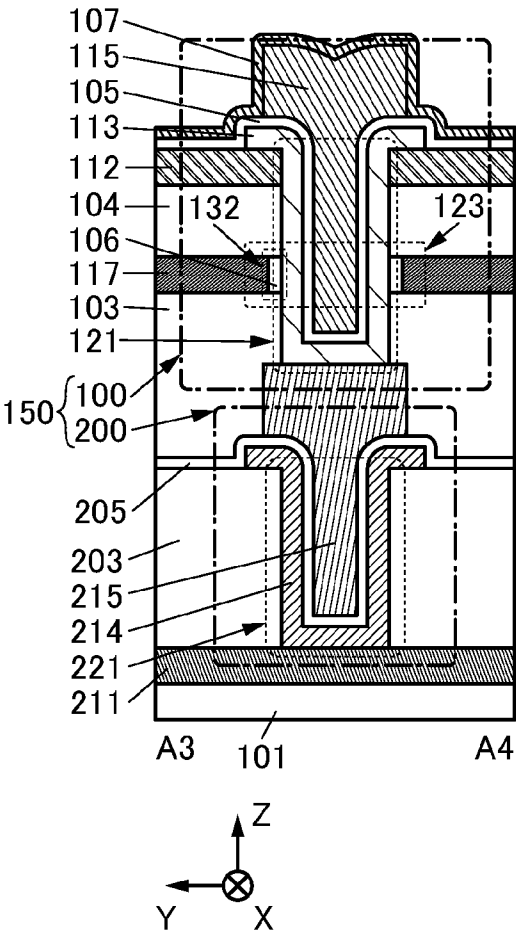


図23C



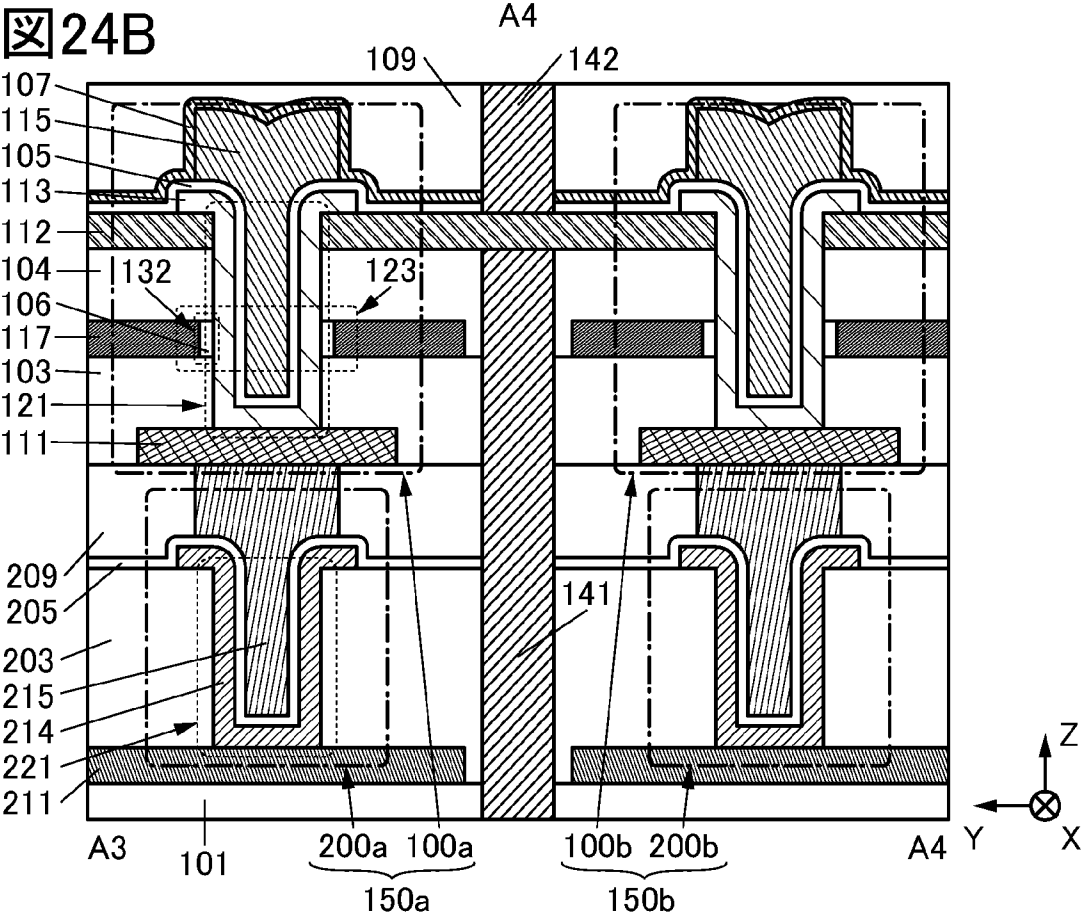
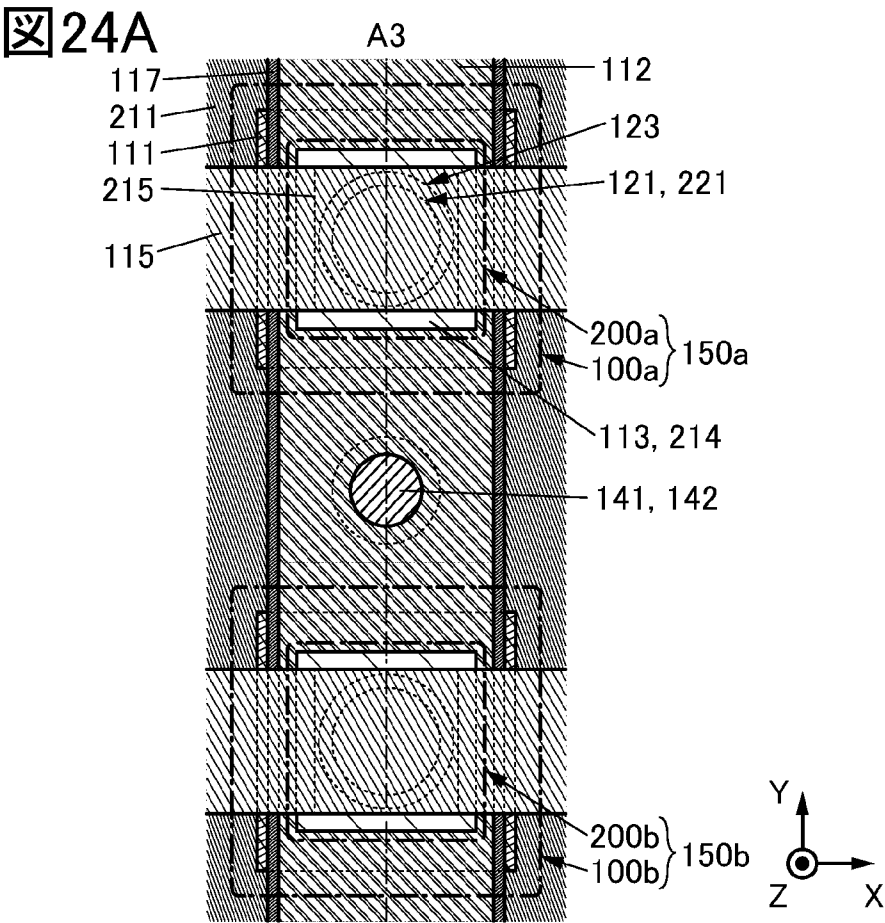


図25A

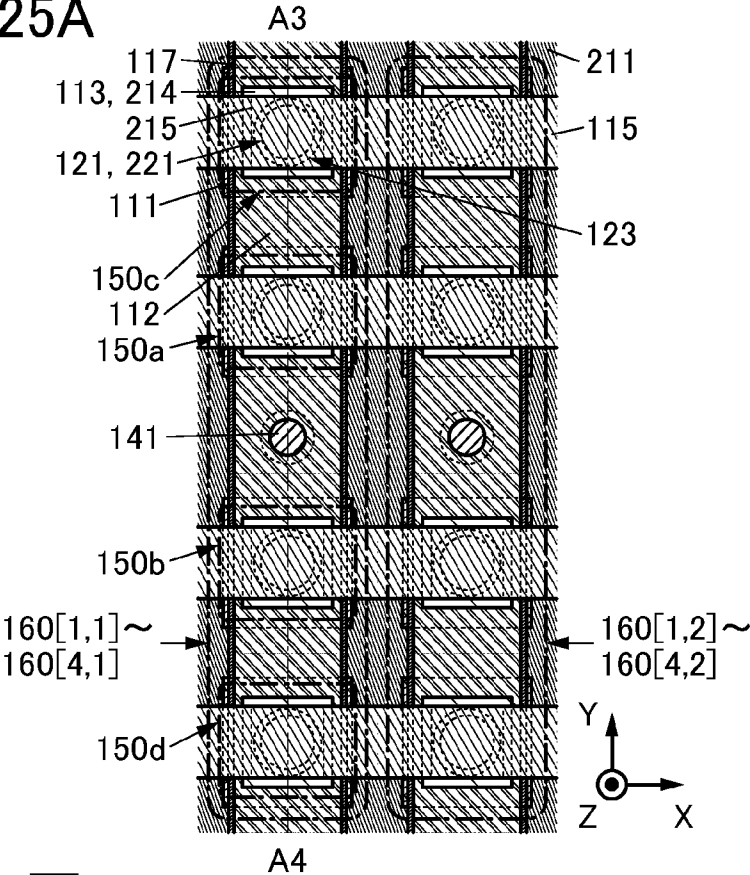


図25B

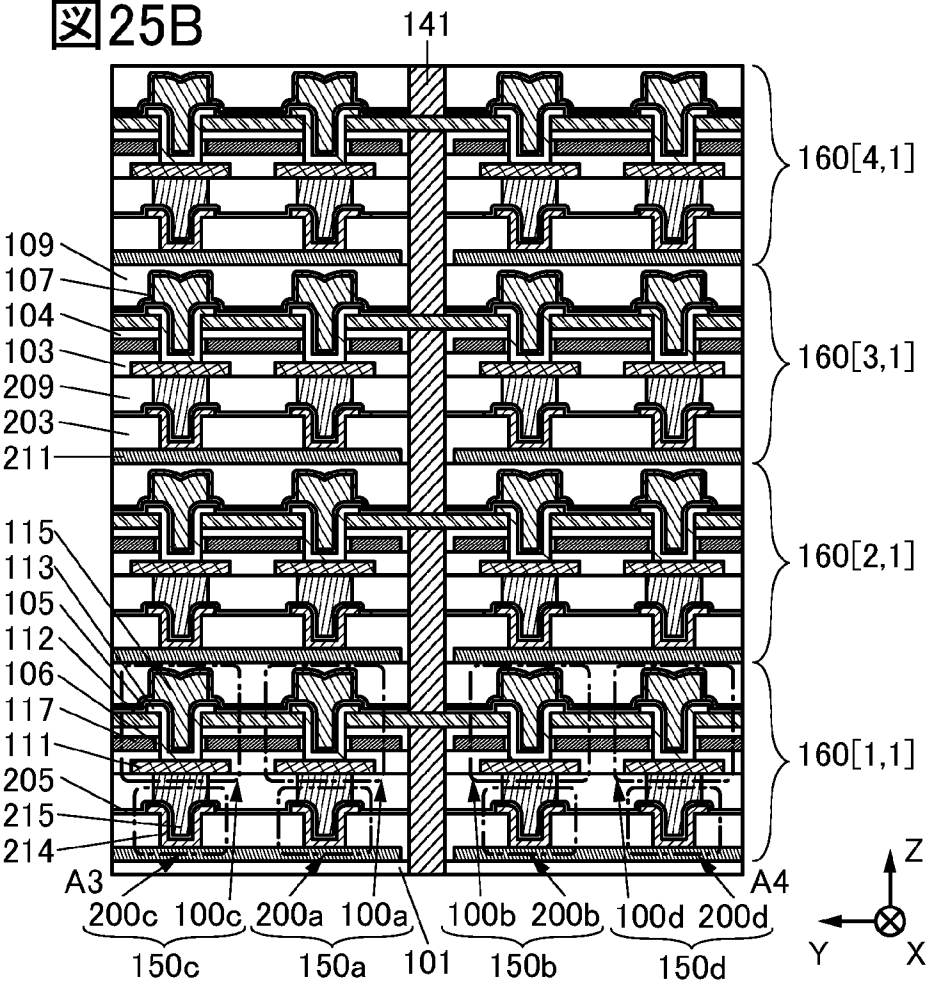


図26A

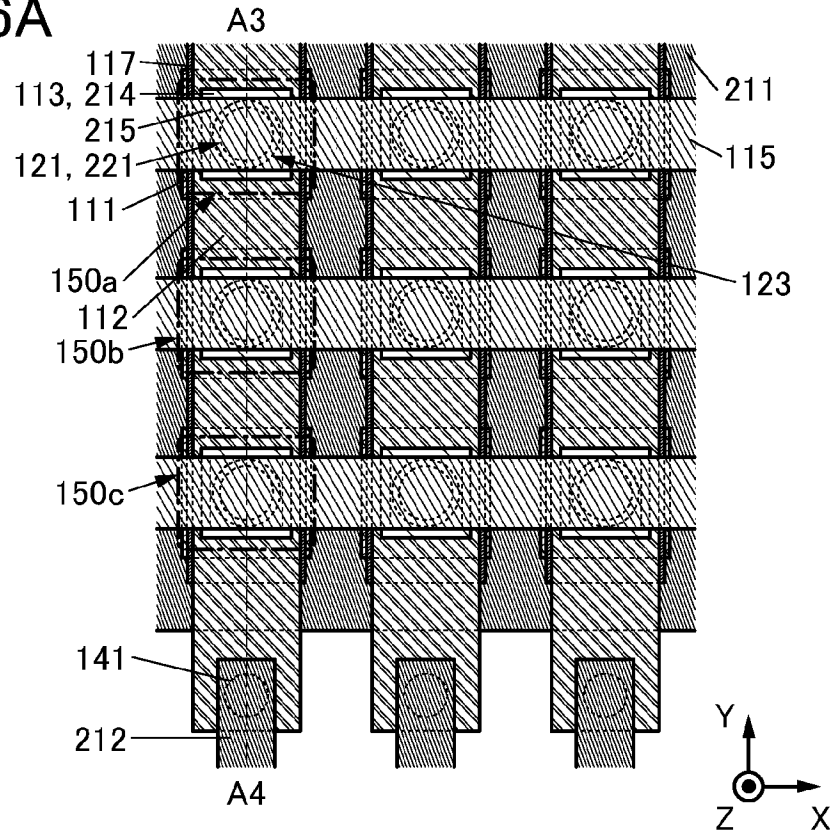


図26B

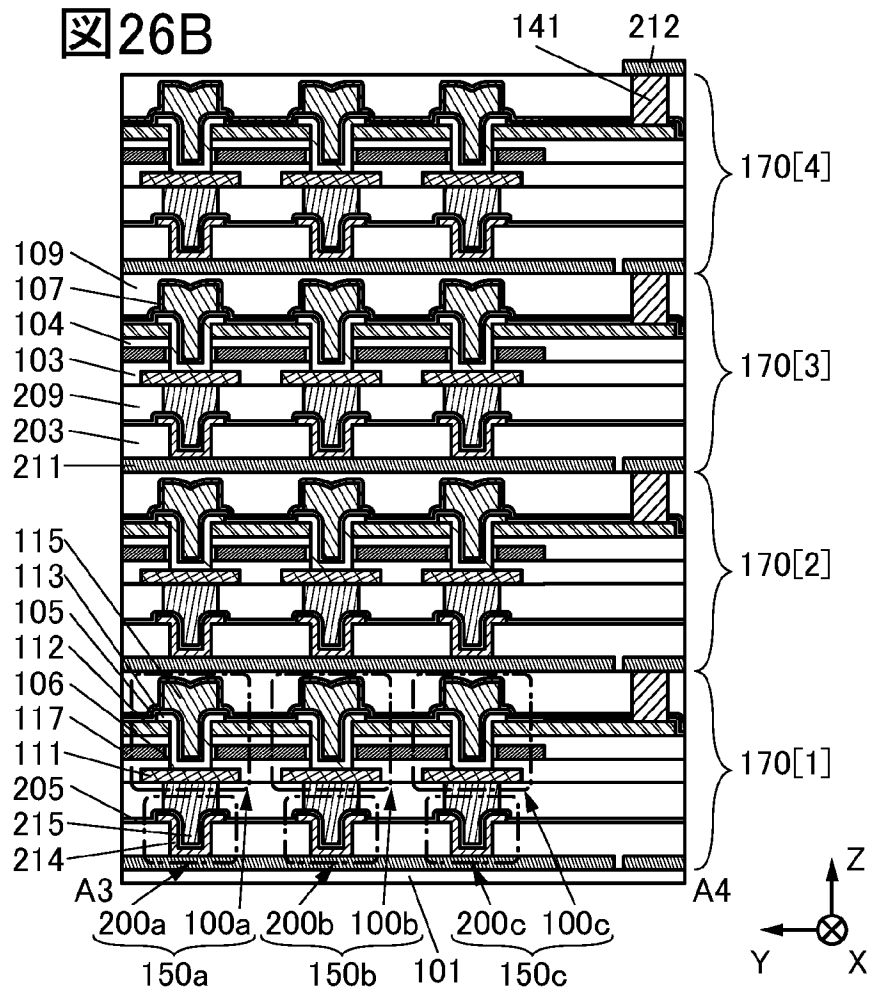


図27

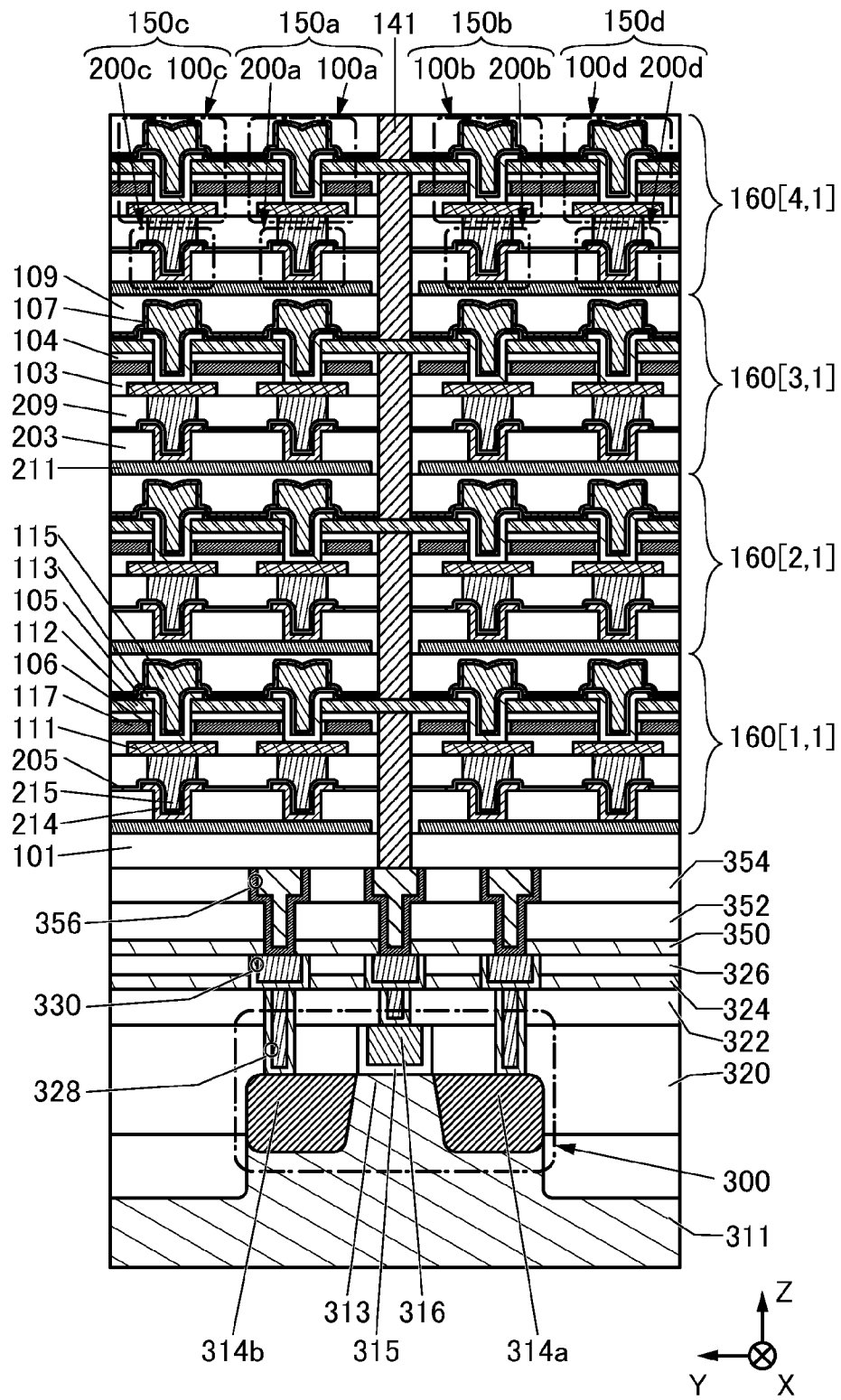


图28A

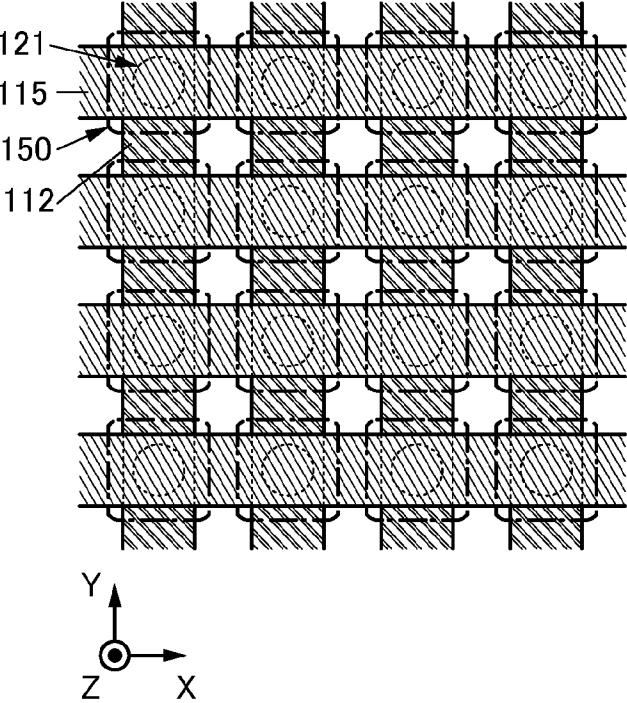


图28B

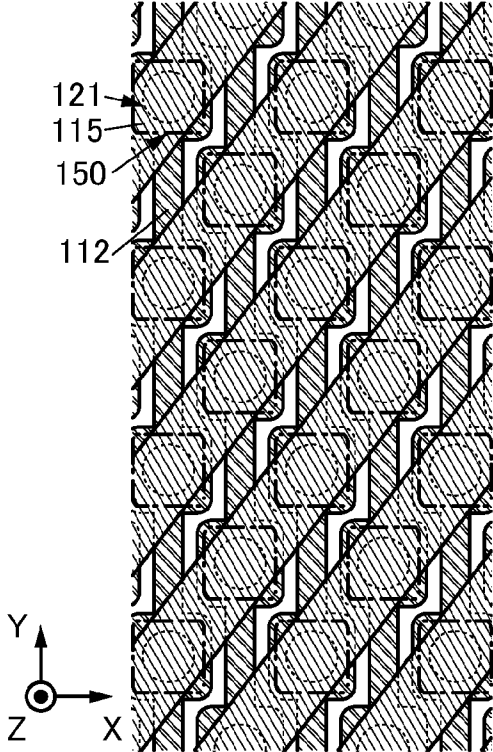


图28C

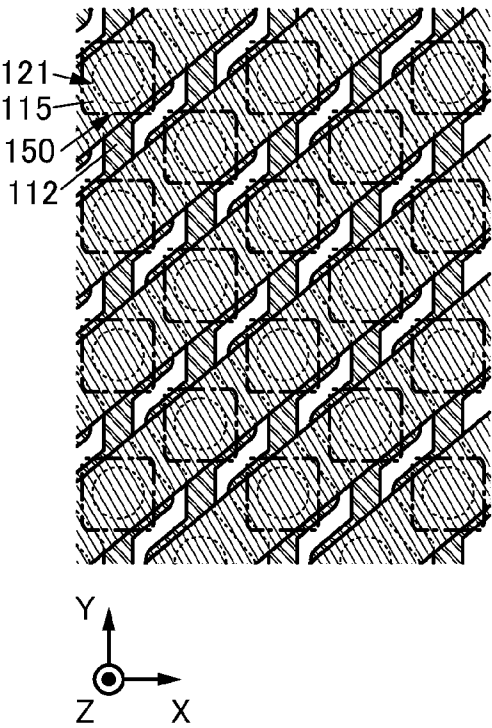


図29A

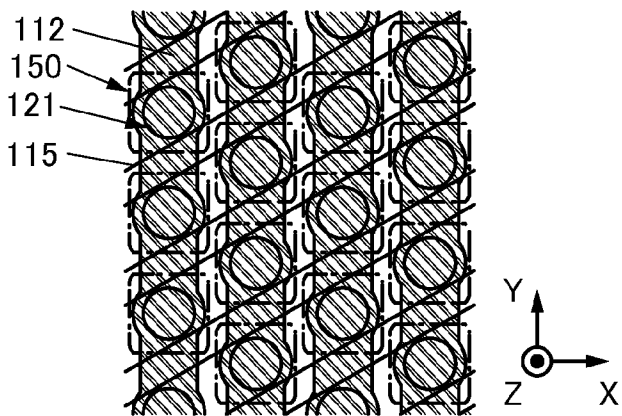


図29B

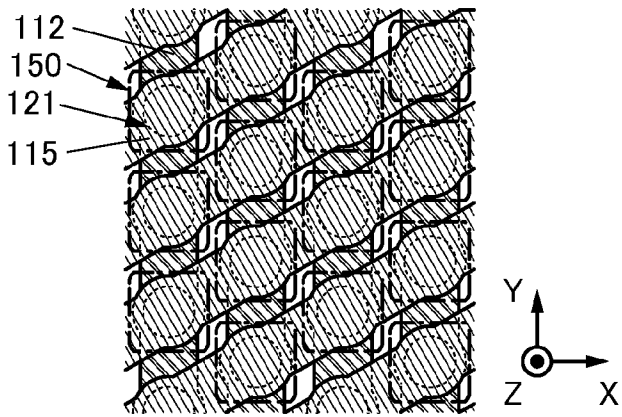
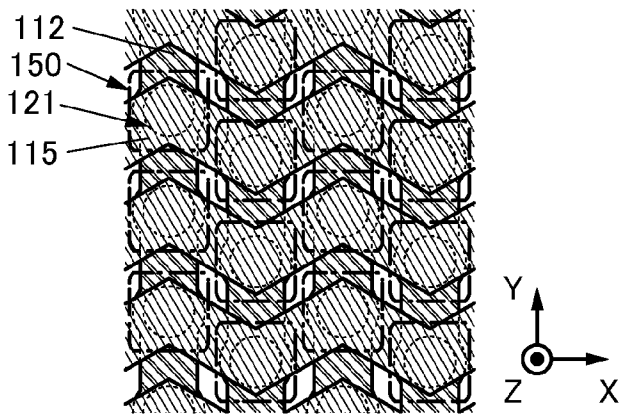


図29C



30

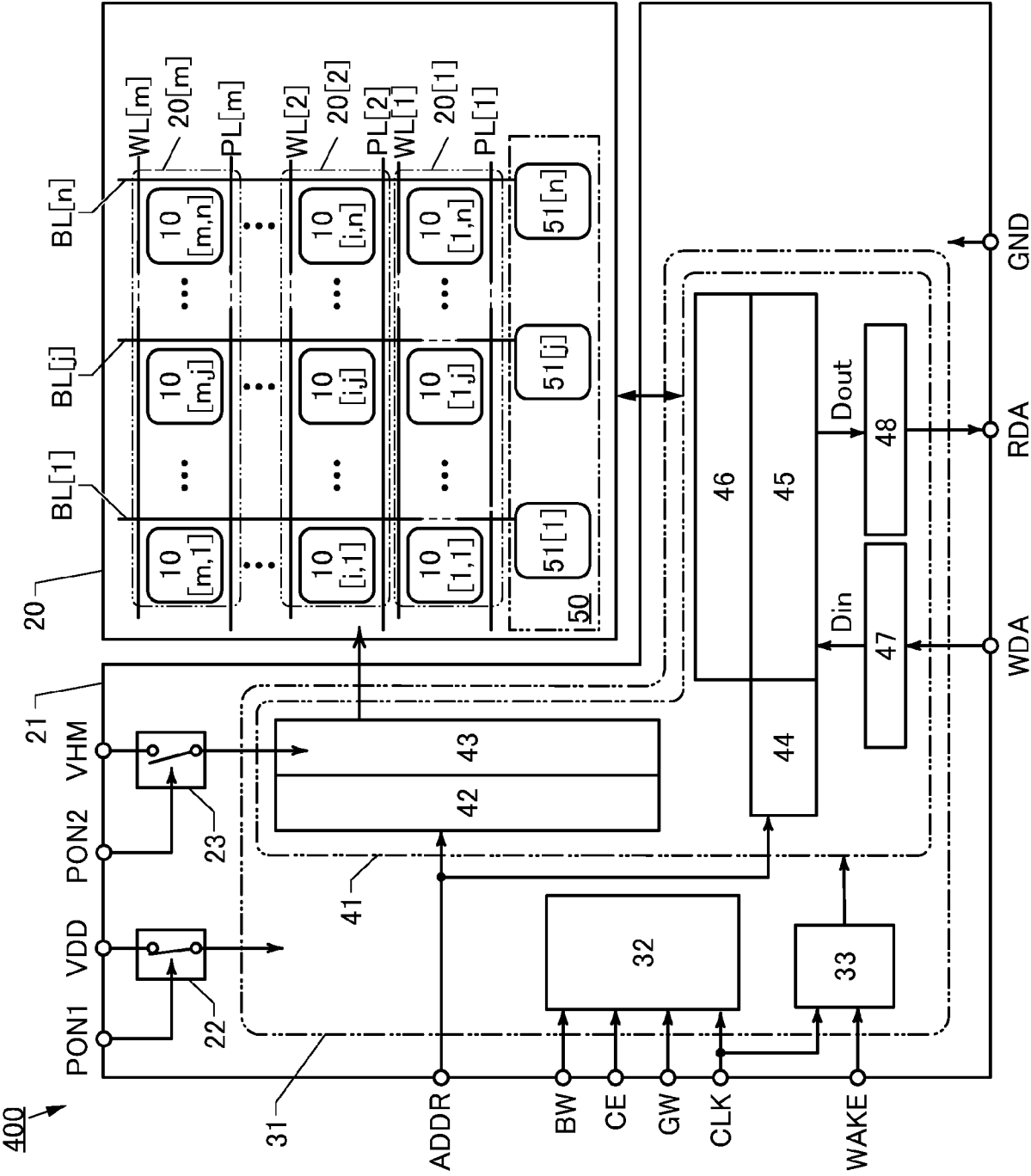


図31A

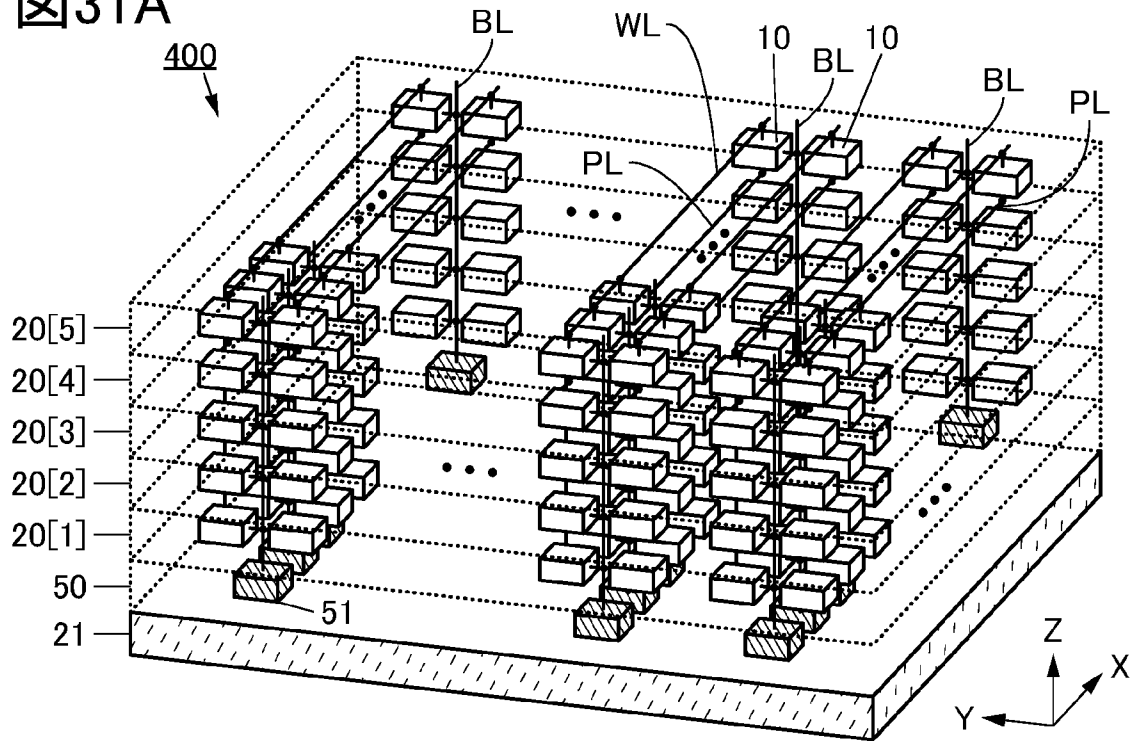


図31B

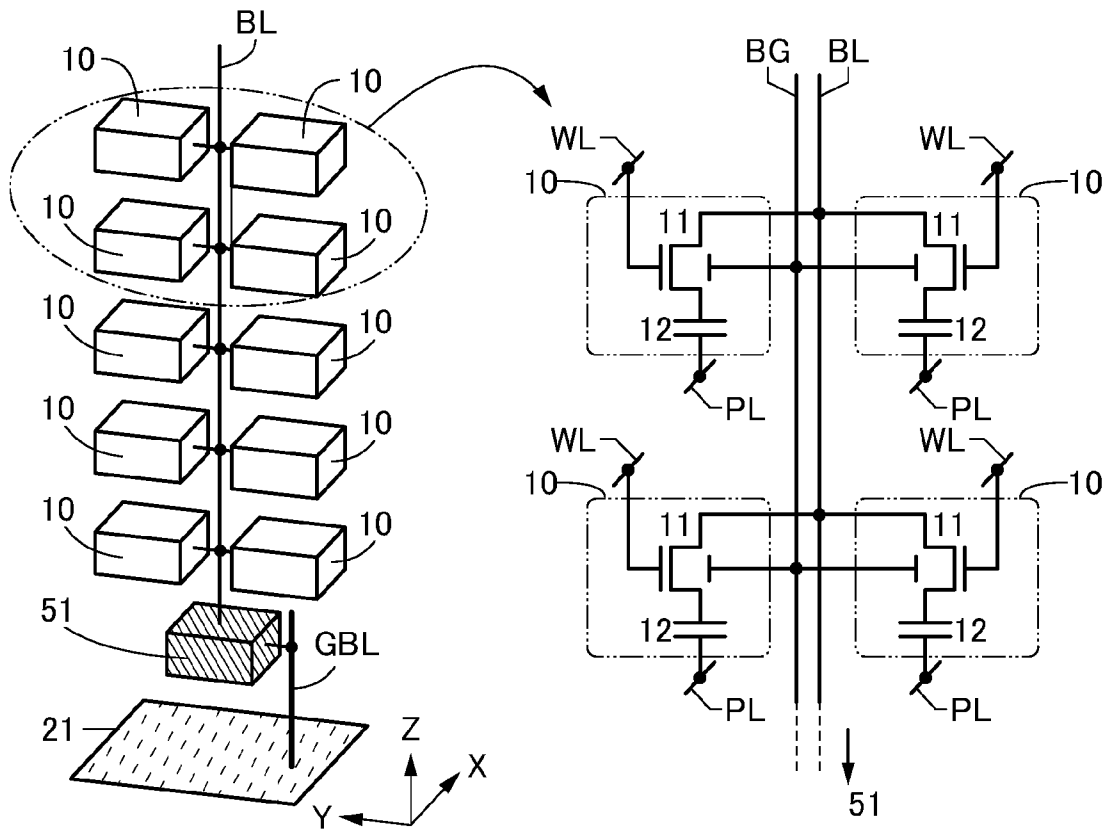


図32A

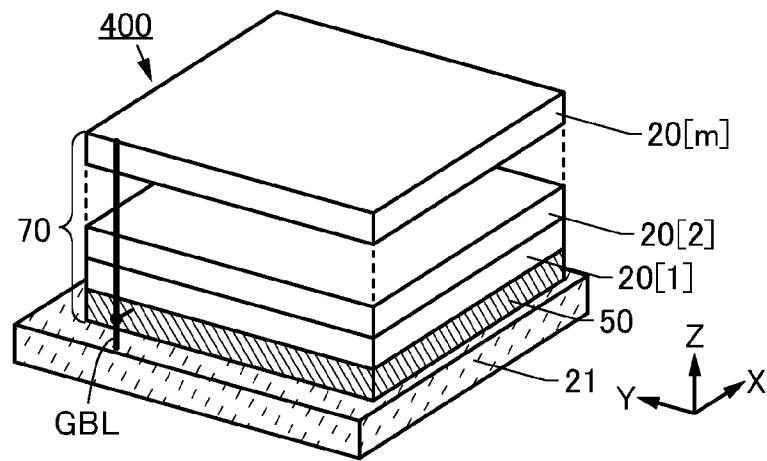


図32B

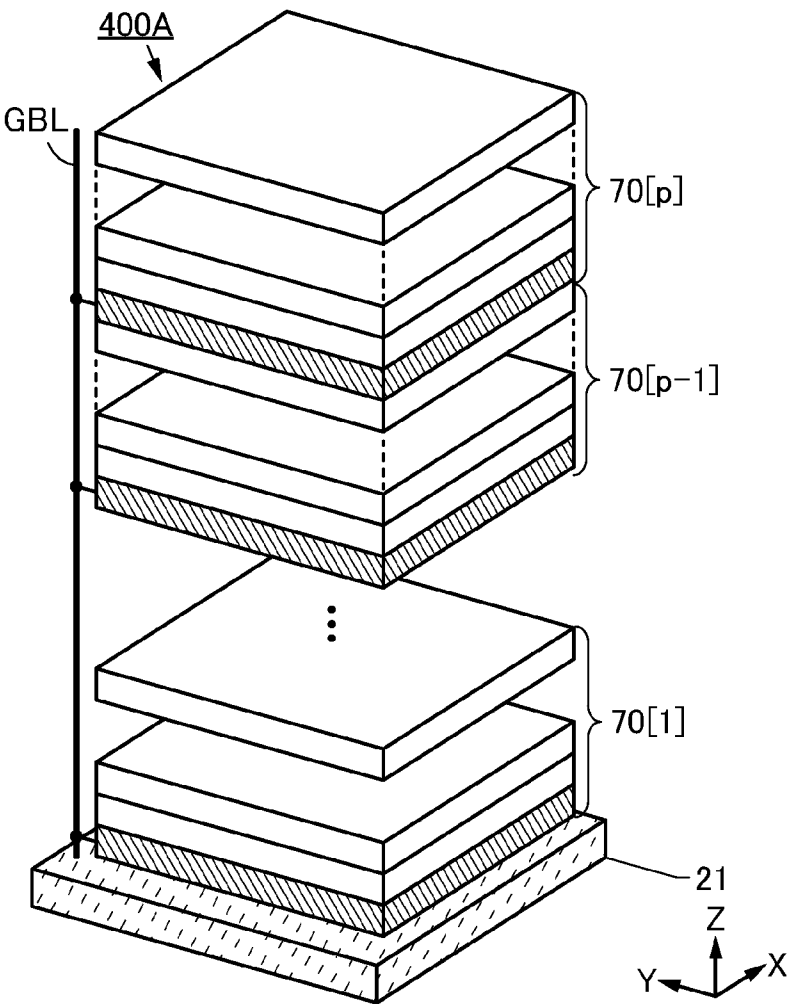


图 33

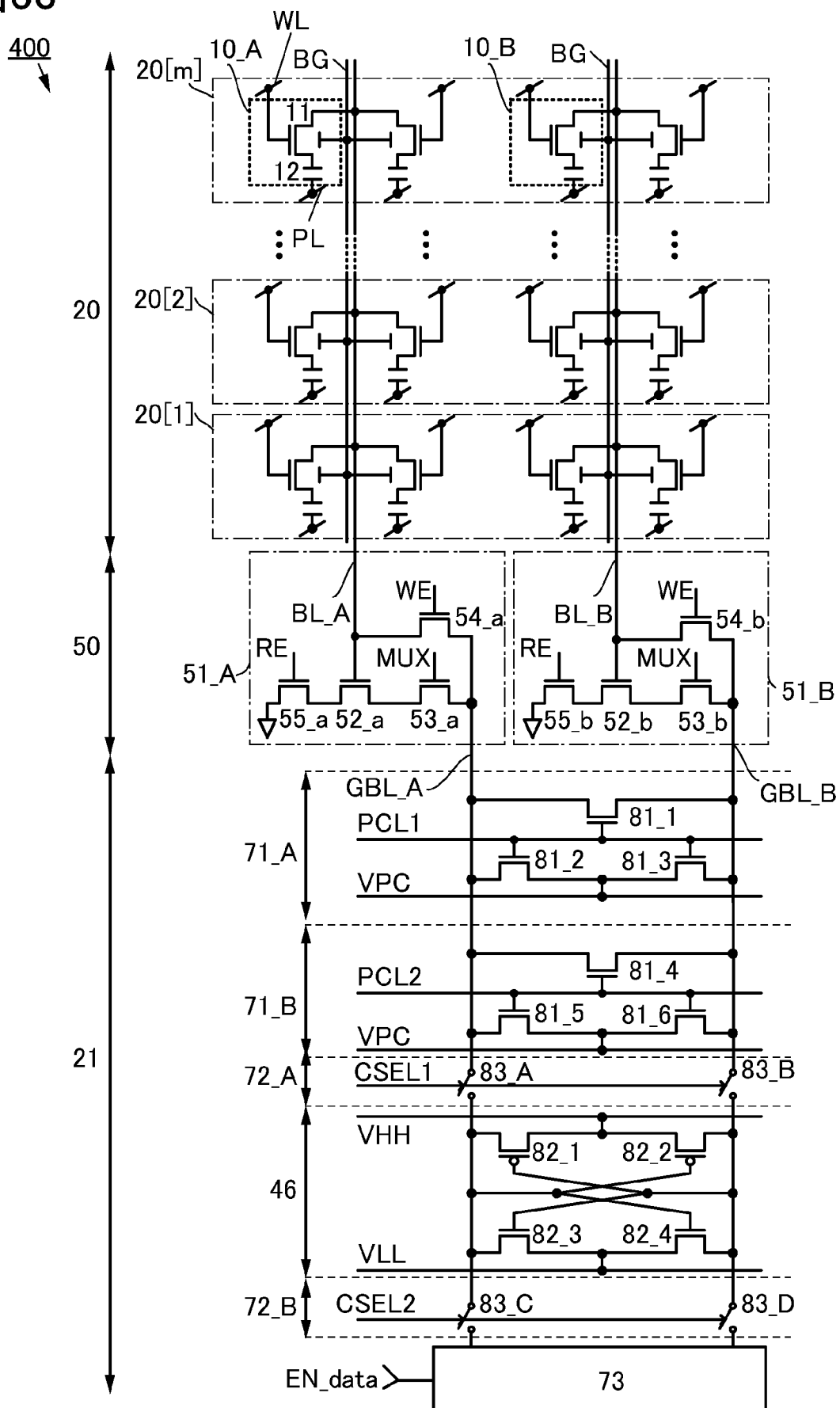


図34A

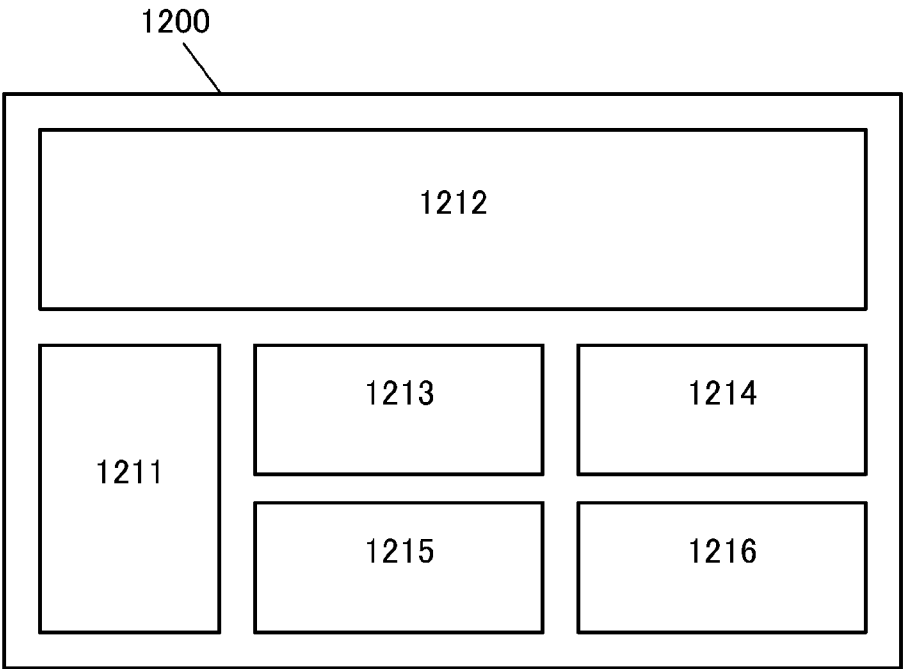


図34B

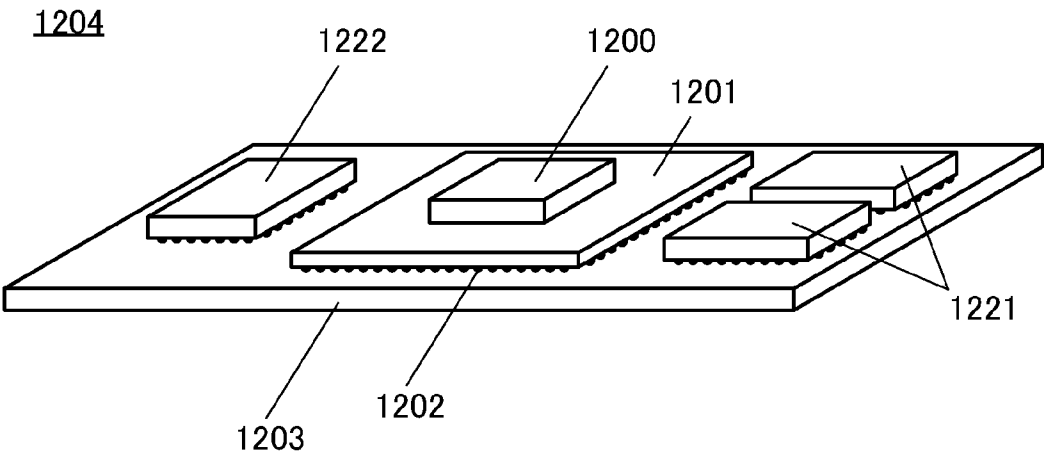


図35A

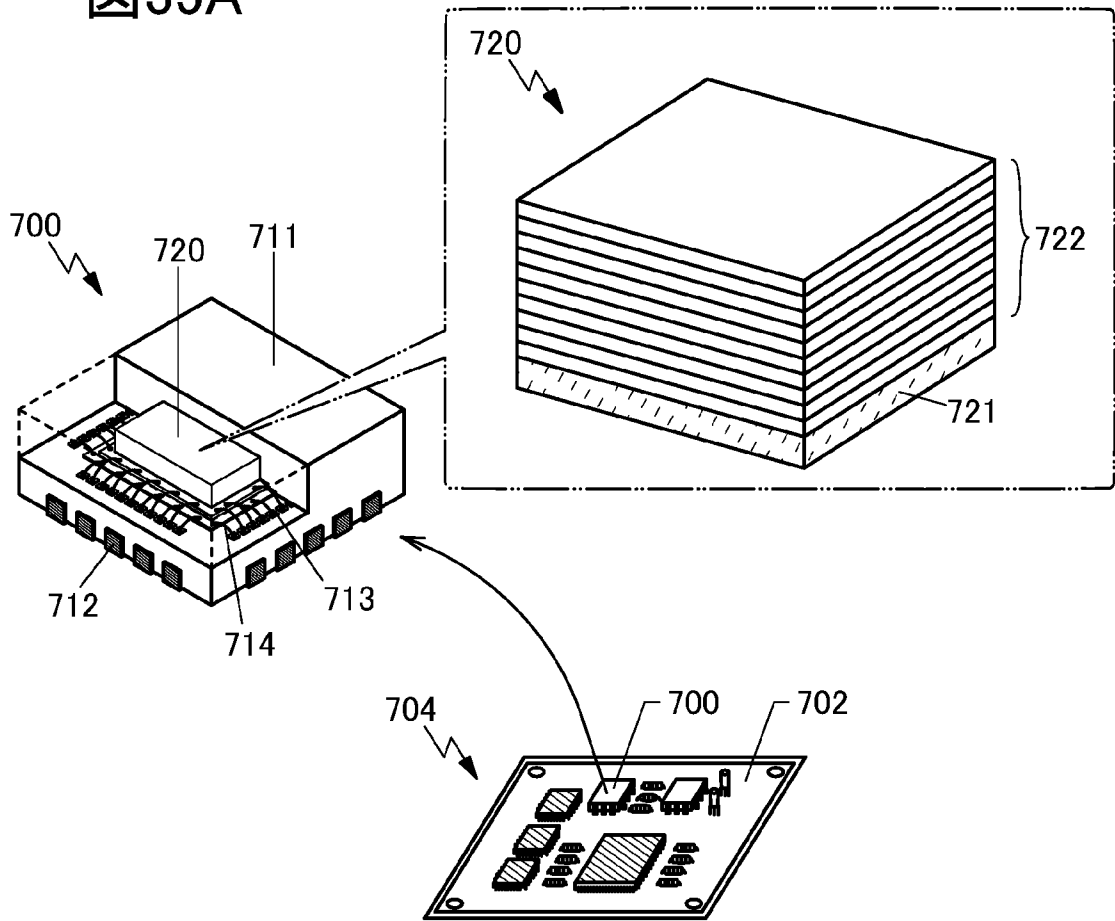


図35B

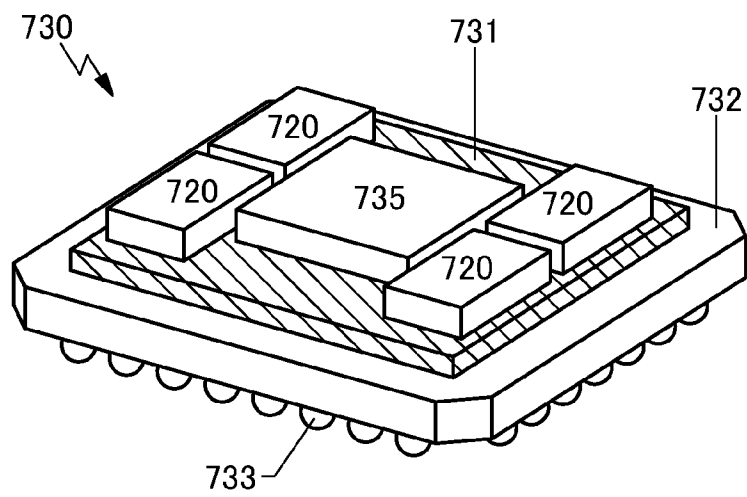


図36A

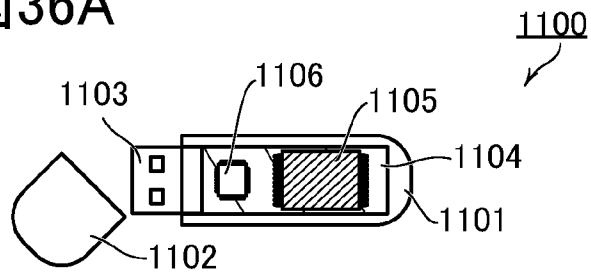


図36B

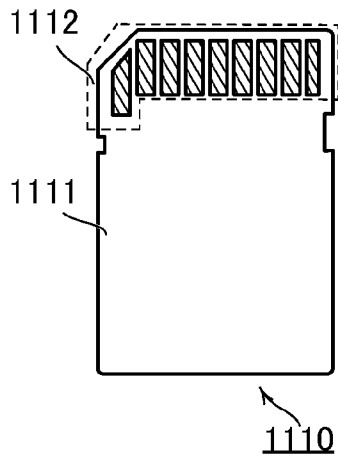


図36C

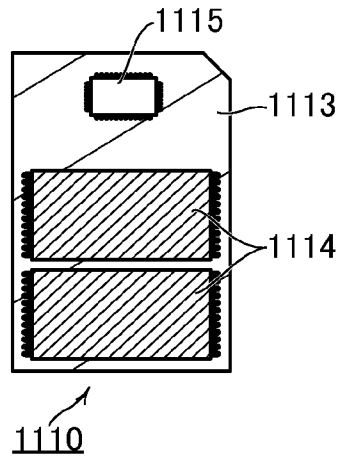


図36D

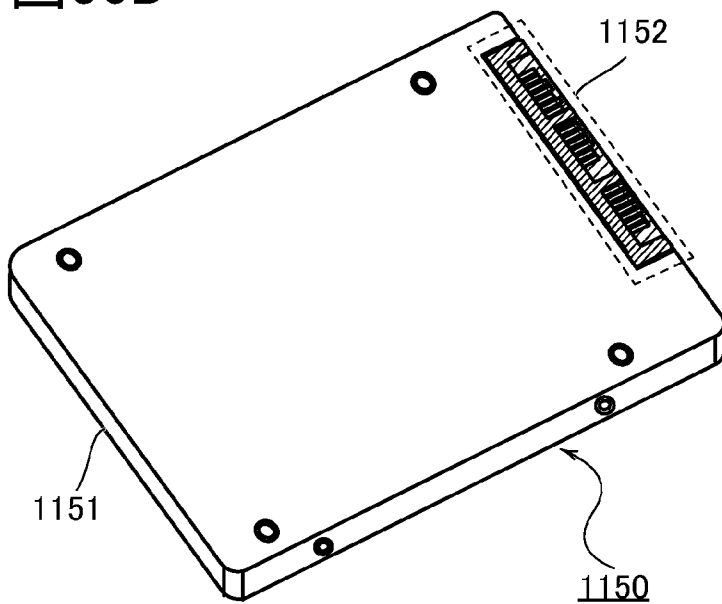


図36E

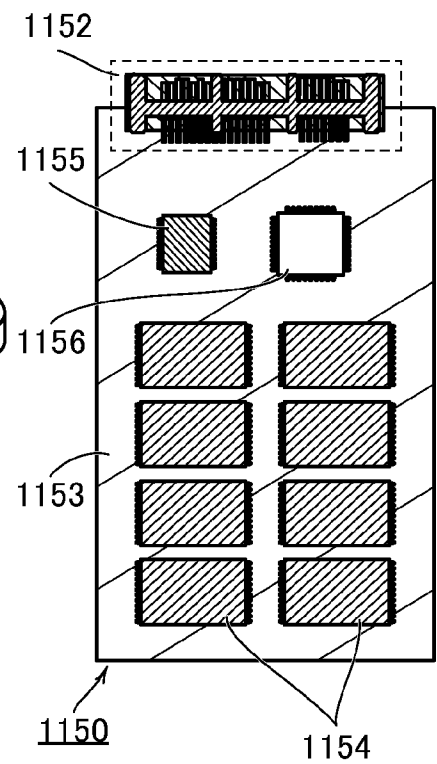


图37A

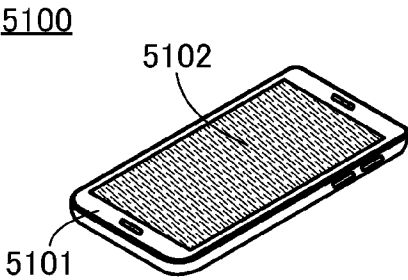


图37C

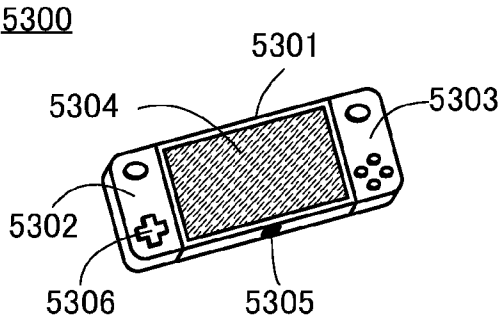


图37E

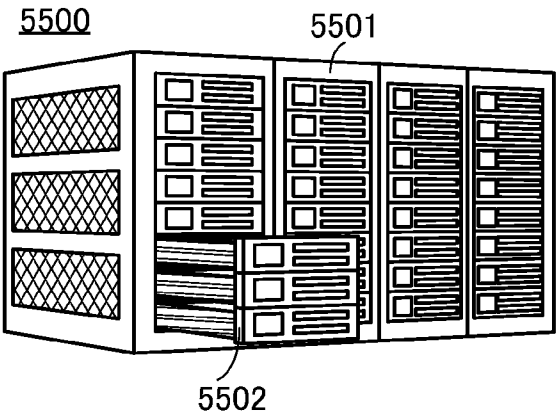


图37G

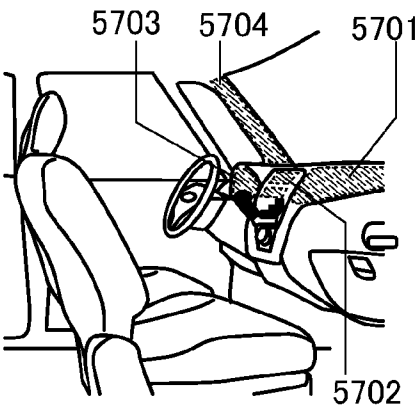


图37B

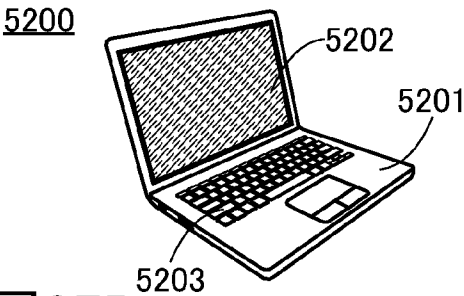


图37D

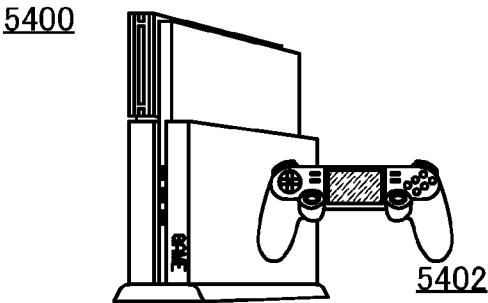


图37F

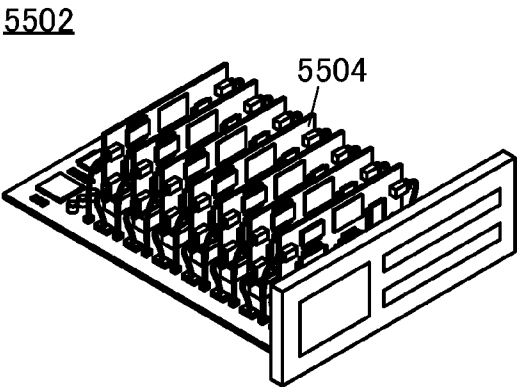


图37H

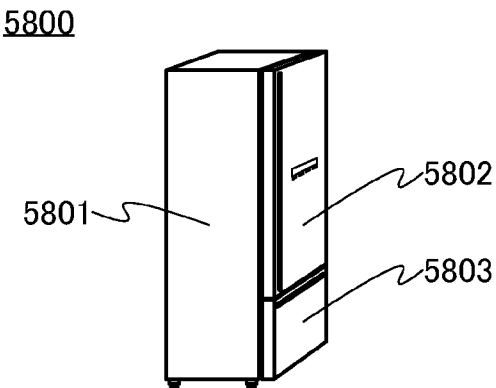
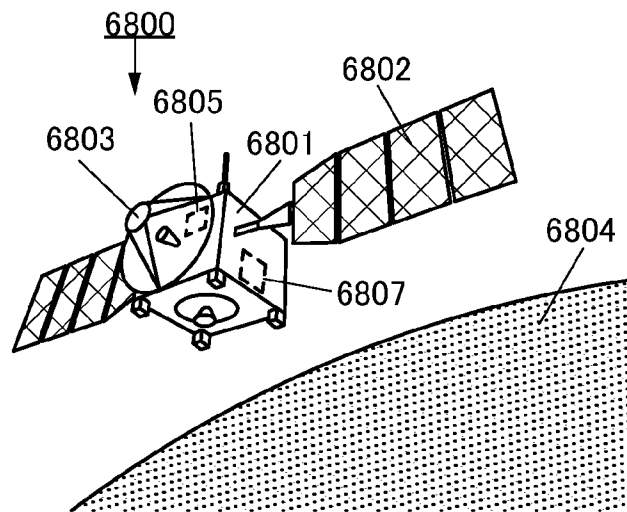


图 38



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2023/060887**A. CLASSIFICATION OF SUBJECT MATTER**

H01L 29/786(2006.01)i; **H01L 21/336**(2006.01)i; **H01L 21/822**(2006.01)i; **H01L 21/8234**(2006.01)i; **H01L 27/04**(2006.01)i; **H01L 27/06**(2006.01)i; **H01L 27/088**(2006.01)i; **H01L 29/788**(2006.01)i; **H01L 29/792**(2006.01)i; **H10B 12/00**(2023.01)i
FI: H01L29/78 626A; H01L27/04 C; H01L27/06 102A; H01L27/088 E; H01L27/088 331E; H01L29/78 371; H01L29/78 617N; H01L29/78 617T; H01L29/78 618B; H10B12/00 621C; H10B12/00 621Z; H10B12/00 671A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786; H01L21/336; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088; H01L29/788; H01L29/792; H10B12/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2022/0149166 A1 (SAMSUNG ELECTRONICS CO., LTD.) 12 May 2022 (2022-05-12)	1-20
A	WO 2019/008483 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 10 January 2019 (2019-01-10)	1-20

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

04 January 2024

Date of mailing of the international search report

16 January 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2023/060887

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2022/0149166	A1	12 May 2022	KR	10-2022-0064231	A	
WO	2019/008483	A1	10 January 2019	JP	2023-62156	A	
				US	2020/0161309	A1	
				US	2022/0310628	A1	

A. 発明の属する分野の分類（国際特許分類（I P C））

H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i;
H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/788(2006.01)i;
H01L 29/792(2006.01)i; H10B 12/00(2023.01)i
FI: H01L29/78 626A; H01L27/04 C; H01L27/06 102A; H01L27/088 E; H01L27/088 331E; H01L29/78 371;
H01L29/78 617N; H01L29/78 617T; H01L29/78 618B; H10B12/00 621C; H10B12/00 621Z; H10B12/00 671A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

H01L29/786; H01L21/336; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088; H01L29/788;
H01L29/792; H10B12/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 2 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 2 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 2 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2022/0149166 A1 (SAMSUNG ELECTRONICS CO., LTD.) 12.05.2022 (2022 - 05 - 12)	1-20
A	WO 2019/008483 A1 (株式会社半導体エネルギー研究所) 10.01.2019 (2019 - 01 - 10)	1-20

☐ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日

04.01.2024

国際調査報告の発送日

16.01.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

鈴木 聡一郎 5F 3864

電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2023/060887

引用文献			公表日	パテントファミリー文献			公表日
US	2022/0149166	A1	12.05.2022	KR	10-2022-0064231	A	
WO	2019/008483	A1	10.01.2019	JP	2023-62156	A	
				US	2020/0161309	A1	
				US	2022/0310628	A1	