

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】平成16年9月2日(2004.9.2)

【公開番号】特開2003-203044(P2003-203044A)

【公開日】平成15年7月18日(2003.7.18)

【出願番号】特願2002-2184(P2002-2184)

【国際特許分類第7版】

G 0 6 F 13/16

G 0 6 F 12/00

H 0 3 K 19/0175

【F I】

G 0 6 F 13/16 5 1 0 A

G 0 6 F 12/00 5 5 0 E

H 0 3 K 19/00 1 0 1 S

H 0 3 K 19/00 1 0 1 A

【手続補正書】

【提出日】平成15年8月21日(2003.8.21)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 6

【補正方法】変更

【補正の内容】

【0 0 4 6】

前記コントローラ1Bは、上記実施の形態1に係るコントローラ1Aと同様に、CPU2, M IU3およびパッド回路6, 7を備え、本変形例1のパッド回路7は更に、メモリ・コントローラ4から伝送した制御信号CS_{in}の電圧レベルを変換するレベル変換器7Bを搭載している。尚、このレベル変換器7Bは、メモリ・コントローラ4から供給される制御信号PC_Dを受けて動作する。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 8

【補正方法】変更

【補正の内容】

【0 0 6 8】

また、上記のアドレス信号MA[12:0], マスク信号DQM[1:0], バンク・アドレス信号MBA[1:0]およびライト・イネーブル信号WEをそれぞれ伝送する信号線は、不揮発性メモリ27の入力端子へも分岐して接続される。但し、マスク信号DQM[1:0]伝送用の信号線に、出力イネーブル信号MOE0, MOE1(MOE[1:0])伝送用の信号線が割り当てられ、バンク・アドレス信号MBA[1:0]伝送用の信号線に、アドレス信号MA13, MA14(MA[14:13])伝送用の信号線が割り当てられる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 9

【補正方法】変更

【補正の内容】

【0 0 6 9】

また、コントローラ1Cの入出力ポート8Bは、SDRAM26との間でデータ信号MD

0, MD1, ..., MD15 (MD[15:0]) を伝送する 16 ビット幅のデータ・バス 29 と接続される。このデータ・バス 29 は、途中で分岐して不揮発性メモリ 27 のアドレス入力端子と接続される。但し、データ信号 MD[15:0] 伝送用の信号線に、アドレス信号 MA15, ..., MA30 (MA[30:15]) 伝送用の信号線が割り当てられるため、不揮発性メモリ 27 には合計 31 ビットのアドレス信号 MA[30:0] が供給されることになる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0076

【補正方法】変更

【補正の内容】

【0076】

上記実施の形態 2 の場合と同様に、制御バス 28 において、アドレス信号 MA[12:0] を伝送する信号線は、SDRAM 26 のアドレス入力端子と結線され、他の制御信号 DQM[1:0], WE, CS1, RAS, CAS, MBA[1:0], MCLKE, MCLK を伝送する信号線は、SDRAM 26 の制御用入力端子と結線される。また、アドレス信号 MA[12:0] と、バンク・アドレス信号 MBA[1:0] に割り当てたアドレス信号 MA[14:13] と、マスク信号 DQM[1:0] に割り当てた出力イネーブル信号 MOE[1:0] と、ライト・イネーブル信号 WE を伝送する信号線が、不揮発性メモリ 27 のアドレス入力端子と制御用入力端子とに結線される。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0083

【補正方法】変更

【補正の内容】

【0083】

また、コントローラ 1D は入出力ポート 8A ~ 8D を有し、その出力ポート 8A と SDRAM 26 との間には、アドレス信号と制御信号を伝送する制御バス 34 が配設されている。この制御バス 34 は、途中で分岐して不揮発性メモリ 27 にも接続される。またこの制御バス 34 は、上記のアドレス信号 MA[12:0]、マスク信号 DQM[1:0]、ライト・イネーブル信号 WE、チップ・セレクト信号 CS1、行アドレス・ストローブ信号 RAS、列アドレス・ストローブ信号 CAS、バンク・アドレス信号 MBA[1:0]、クロック・イネーブル信号 MCLKE およびクロック信号 MCLK を SDRAM 26 に伝送する合計 23 ビット幅の信号線から構成されている。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0093

【補正方法】変更

【補正の内容】

【0093】

また、コントローラ 1D の出力ポート 8D と接続される 8 ビット幅のバス 37 にはスイッチ回路 40 が接続される。このスイッチ回路 40 は、3.3V の電源電圧と結線された 8 個の抵抗素子 41, 41, ..., 41 と、8 個のスイッチ 42, 42, ..., 42 とを備えており、各スイッチ 42, ..., 42 の一端は接地され、各スイッチ 42, ..., 42 の他端はそれぞれ各抵抗素子 41, ..., 41 と結線されている。また、各スイッチ 42, ..., 42 の他端は、それぞれ、バス 37 の各信号線と結線されている。従って、1 個のスイッチ 42 を「オン」にする度に所定電圧が当該信号線に印加されるため、8 個のスイッチ 42, ..., 42 の「オン」と「オフ」との組み合わせにより、8 ビットの信号を入力ポート 8D に供給できる。その 8 ビット信号は、レベル変換器 7A とセレクタ 5 とを介して CPU 2 に供給されるから、CPU 2 は、その 8 ビット信号を検知して種々の制御を行ふことが可

能となる。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0097

【補正方法】変更

【補正の内容】

【0097】

本例では、実施の形態1のコントローラ1Aはメイン・コントローラ50Aに対するサブシステムとして機能する。このメイン・コントローラ50Aは、共通の電源電圧V_{DD}(=3.3V)で駆動されるRAM60と不揮発性メモリ61とにアクセスして動作するものであり、これらメモリ60, 61のメモリ管理を行うMIU(メモリ・インターフェース・ユニット)52と、RAM60や不揮発性メモリ61の論理インターフェースに合わせて入出力信号の電圧レベルを変換するパッド回路54と、CPU51とを備えている。メイン・コントローラ50Aは、上記コントローラ1Aのメモリ・コントローラ4と同種の機能を有するメモリ・コントローラ53を搭載する。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0104

【補正方法】変更

【補正の内容】

【0104】

他方、コントローラ1AのCPU2も、電源投入時にリセット信号を受けて、不揮発性メモリ14に格納されたブートプログラムをロードし、RAM13を作業領域としてそのブートプログラムを実行し、サブシステムを初期化し起動させる。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0114

【補正方法】変更

【補正の内容】

【0114】

実施の形態4の変形例。

図12は、前述した実施の形態4に係る制御システムの変形例を示す図である。同図に示す制御システムは、図11に示した制御システムと比べると、図11に示したメイン・コントローラ50Bに設けられた出力回路58および出力ポート55Cが無く、この代わりに入力ポート8Cに接続されているデータ・バス12がメインシステム側の制御バス56から分岐している点で相違し、その他の構成では両者は同じである。