

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4126891号  
(P4126891)

(45) 発行日 平成20年7月30日(2008.7.30)

(24) 登録日 平成20年5月23日(2008.5.23)

(51) Int. Cl. F I  
 HO 1 L 25/065 (2006.01) HO 1 L 25/08 Z  
 HO 1 L 25/07 (2006.01) HO 1 L 23/12 5 O 1 F  
 HO 1 L 25/18 (2006.01)  
 HO 1 L 23/12 (2006.01)

請求項の数 2 (全 17 頁)

(21) 出願番号 特願2001-236238 (P2001-236238)  
 (22) 出願日 平成13年8月3日(2001.8.3)  
 (65) 公開番号 特開2003-51580 (P2003-51580A)  
 (43) 公開日 平成15年2月21日(2003.2.21)  
 審査請求日 平成16年2月9日(2004.2.9)

(73) 特許権者 000002369  
 セイコーエプソン株式会社  
 東京都新宿区西新宿2丁目4番1号  
 (74) 代理人 100110858  
 弁理士 柳瀬 睦肇  
 (74) 代理人 100110777  
 弁理士 宇都宮 正明  
 (74) 代理人 100100413  
 弁理士 渡部 温  
 (72) 発明者 両角 幸男  
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
 審査官 田代 吉成

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

電極取り出し用の第1金属ポストが複数のチップ領域それぞれの表面に形成された半導体ウエーハを準備する工程と、

電極取り出し用の第2金属ポストが表面に形成された第1の半導体チップを準備する工程と、

前記半導体ウエーハ表面のチップ領域上にフェイスアップで前記第1の半導体チップを配置する工程と、

前記半導体ウエーハ上、前記第1金属ポスト、前記第1の半導体チップ及び前記第2金属ポストを第1樹脂により封止する工程と、

前記第1樹脂を所望量除去することにより、前記第1金属ポスト及び前記第2金属ポストそれぞれの頭部を露出させる工程と、

前記第1金属ポスト及び前記第2金属ポストそれぞれの表面上に外部端子を配置する工程と、

前記半導体ウエーハを分割することにより、前記第1の半導体チップと一体化された第2の半導体チップを形成する工程と、

前記第2の半導体チップの裏面上にフェイスアップでボンディングパッドを有する第3の半導体チップを配置する工程と、

表面に配線パターンを有するテープ基板を準備する工程と、

前記テープ基板の表面上にフェイスダウンで前記第1の半導体チップを載置し、前記外

部端子と前記配線パターンとをボンディング接続する工程と、

前記ボンディングパッドと前記配線パターンとをボンディングワイヤーにより接続する工程と、

前記テープ基板の表面上、前記ボンディングワイヤー、前記第1乃至第3の半導体チップを第2樹脂により封止する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項2】

電極取り出し用の第1金属ポストが複数のチップ領域それぞれの表面に形成された半導体ウエーハを準備する工程と、

電極取り出し用の第2金属ポストが表面に形成された第1の半導体チップを準備する工程と、

前記半導体ウエーハ表面のチップ領域上にフェイスアップで前記第1の半導体チップを配置する工程と、

前記半導体ウエーハ上、前記第1金属ポスト、前記第1の半導体チップ及び前記第2金属ポストを第1樹脂により封止する工程と、

前記第1樹脂を所望量除去することにより、前記第1金属ポスト及び前記第2金属ポストそれぞれの頭部を露出させる工程と、

前記第1金属ポスト及び前記第2金属ポストそれぞれの表面上に外部端子を配置する工程と、

前記半導体ウエーハを分割することにより、前記第1の半導体チップと一体化された第2の半導体チップを形成する工程と、

前記第2の半導体チップの裏面上にフェイスアップで第1ボンディングパッドを有する第3の半導体チップを配置する工程と、

前記第3の半導体チップの表面上にフェイスアップで第2ボンディングパッドを有する第4の半導体チップを配置する工程と、

表面に配線パターンを有するテープ基板を準備する工程と、

前記テープ基板の表面上にフェイスダウンで前記第1の半導体チップを載置し、前記外部端子と前記配線パターンとをボンディング接続する工程と、

前記第1及び第2ボンディングパッドそれぞれと前記配線パターンとをボンディングワイヤーにより接続する工程と、

前記テープ基板の表面上、前記ボンディングワイヤー、前記第1乃至第4の半導体チップを第2樹脂により封止する工程と、

を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係わり、特に、CSP(Chip Size Package)レベルに小型化された半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、携帯電話や情報端末機器類の小型化に伴い、プリント回路基板等への搭載部品の小型、軽量化が要求され、LSI等の半導体装置も、チップ積層構造でCSPレベルの高密度実装が要求される。従来、例えば、特開平11-204720号公報には、図9に示すような実装用外部端子53を有する絶縁基板55上に、ダイシングされた第1及び第2の半導体チップ51、52の素子形成面を上側にして絶縁性接着層57、59で重ね合わせ、各々の電極パッドからAu、Al等のワイヤー54を用いて前記絶縁基板55上の配線部58に接続させた後、樹脂56で封止するスタックドレベルのCSP型半導体装置が開示されている。

【0003】

また、1999年の日経マイクロデバイス2月号p38～p67や電子材料9月号p21

10

20

30

40

50

～ p 8 5 に示されるように、ウエーハ処理工程とパッケージ組立工程を一本化したウエーハレベルの C S P 型半導体装置の供給が行われるようになった。その特徴は、従来の単チップから作られる C S P 型に比べ、インタポーザ等の部品点数や工程数の削減による製造コストを抑え、パッケージトータルの低コスト化を図るものである。

【 0 0 0 4 】

【発明が解決しようとする課題】

上述したワイヤーを用いたスタックドレベルの C S P 型半導体装置も小型化を狙ったものであるが、第 1 の半導体チップ 5 1 の表面に第 2 の半導体チップ 5 2 のボンディング領域を確保する必要があるため、チップ表面と平行方向（横方向）のサイズを縮小することが困難である。

10

【 0 0 0 5 】

また、上述したようにボンディング領域を確保する必要があるため、例えば単純にメモリアップしたいような場合でも、上層のチップと下層のチップのデザインを変更する必要が生じる。

【 0 0 0 6 】

また、ワイヤーボンディング装置の能力からワイヤーピッチの制限、又空間でのワイヤー形状コントロールが困難で、大型 L S I の多ピンパッケージには不向きである。

【 0 0 0 7 】

一方、ウエーハレベルの C S P 型半導体装置は、平面的にほぼチップサイズに小型化されるメリットもあるが、積層化することが難しいため、更なる高密度化を望まれているが、

20

前述した従来の半導体装置ではそれにも限界がある。

【 0 0 0 8 】

本発明は上記のような事情を考慮してなされたものであり、その目的は、小型化、高密度化を実現できる信頼性の高い半導体装置及びその製造方法を提供することにある。

【 0 0 0 9 】

【課題を解決するための手段】

上記課題を解決するため、本発明に係る半導体装置は、テープ基板表面上にフェイスダウンで第 1 の半導体チップが配置され、第 1 の半導体チップの裏面上にフェイスアップで第 2 の半導体チップが配置された半導体装置であって、

30

テープ基板の表面に形成された配線パターンと、

テープ基板の裏面に形成された実装用外部端子と、

上記配線パターンに接続された第 1 の半導体チップの外部端子と、

第 2 の半導体チップの表面に形成されたボンディングパッドと、

このボンディングパッドと配線パターンとが接続されたボンディングワイヤーと、

テープ基板の表面上、ボンディングワイヤー、第 1 及び第 2 の半導体チップが封止された樹脂と、

を具備することを特徴とする。

【 0 0 1 0 】

上記半導体装置によれば、第 1 の半導体チップをテープ基板上の配線パターンと外部端子により接続し、第 2 の半導体チップをボンディングワイヤーによりテープ基板の配線パターンに接続している。このようにボンディングワイヤーを用いるチップを少なくしているので、第 2 の半導体チップのチップデザインの自由度、柔軟性を高めることができる。また、第 1 の半導体チップの表面にボンディング領域を確保する必要がないので、チップ表面と平行方向（横方向）のサイズを縮小することが可能となり、半導体装置の小型化、高密度化が可能となる。また、ボンディングワイヤーのワイヤーピッチの制限、又空間でのワイヤー形状コントロールが容易となるので、ワイヤーによる信頼性の低下の回避でき、半導体装置の信頼性を向上できる。

40

【 0 0 1 1 】

本発明に係る半導体装置は、テープ基板表面上にフェイスダウンで第 1 の半導体チップが配置され、第 1 の半導体チップの裏面上にフェイスアップで第 2 の半導体チップが配置さ

50

れ、第2の半導体チップの表面上にフェイスアップで第3の半導体チップが配置された半導体装置であって、

テープ基板の表面に形成された配線パターンと、

テープ基板の裏面に形成された実装用外部端子と、

上記配線パターンに接続された第1の半導体チップの外部端子と、

第2の半導体チップの表面に形成された第1ボンディングパッドと、

第3の半導体チップの表面に形成された第2ボンディングパッドと、

第1ボンディングパッド及び第2ボンディングパッドそれぞれと配線パターンとが接続されたボンディングワイヤーと、

テープ基板の表面上、ボンディングワイヤー、第1乃至第3の半導体チップが封止された樹脂と、

を具備することを特徴とする。

【0012】

また、本発明に係る半導体装置においては、上記外部端子と第1の半導体チップ表面との間に形成された金属ポストと、この金属ポストの周囲及び第1の半導体チップ表面が封止された樹脂と、をさらに含むことも可能である。

【0013】

また、本発明に係る半導体装置においては、上記金属ポストはメッキ膜又は金属ボールで形成されていることが好ましい。

【0014】

また、本発明に係る半導体装置においては、上記外部端子の周囲及び第1の半導体チップ表面が封止された樹脂をさらに含み、この外部端子の表面は樹脂から露出していることも可能である。

【0015】

本発明に係る半導体装置は、テープ基板表面上にフェイスダウンで第1の半導体チップが配置され、第1の半導体チップの裏面上にフェイスダウンで第2の半導体チップが配置され、第2の半導体チップの裏面上にフェイスアップで第3の半導体チップが配置された半導体装置であって、

テープ基板の表面に形成された配線パターンと、

テープ基板の裏面に形成された実装用外部端子と、

上記配線パターンに接続された第1の半導体チップの外部端子と、

上記配線パターンに接続された第2の半導体チップの外部端子と、

第3の半導体チップの表面に形成されたボンディングパッドと、

このボンディングパッドと配線パターンとが接続されたボンディングワイヤーと、

テープ基板の表面上、ボンディングワイヤー、第1乃至第3の半導体チップが封止された樹脂と、

を具備することを特徴とする。

【0016】

本発明に係る半導体装置は、テープ基板表面上にフェイスダウンで第1の半導体チップが配置され、第1の半導体チップの裏面上にフェイスダウンで第2の半導体チップが配置され、第2の半導体チップの裏面上にフェイスアップで第3の半導体チップが配置され、第3の半導体チップの表面上にフェイスアップで第4の半導体チップが配置された半導体装置であって、

テープ基板の表面に形成された配線パターンと、

テープ基板の裏面に形成された実装用外部端子と、

上記配線パターンに接続された第1の半導体チップの外部端子と、

上記配線パターンに接続された第2の半導体チップの外部端子と、

第3の半導体チップの表面に形成された第1ボンディングパッドと、

第4の半導体チップの表面に形成された第2ボンディングパッドと、

第1及び第2ボンディングパッドそれぞれと配線パターンとが接続されたボンディングワ

10

20

30

40

50

イヤート、  
テープ基板の表面上、ボンディングワイヤー、第1乃至第4の半導体チップが封止された樹脂と、  
を具備することを特徴とする。

【0017】

また、本発明に係る半導体装置においては、上記外部端子と第1及び第2の半導体チップそれぞれの表面との間に形成された金属ポストと、この金属ポストの周囲、第1の半導体チップ及び第2の半導体チップ表面上が封止された樹脂と、をさらに含むことも可能である。

【0018】

また、本発明に係る半導体装置においては、上記金属ポストはメッキ膜又は金属ボールで形成されていることが好ましい。

【0019】

また、本発明に係る半導体装置においては、上記外部端子の周囲、第1の半導体チップ及び第2の半導体チップ表面上が封止された樹脂をさらに含み、この外部端子の表面は樹脂から露出していることも可能である。

【0020】

本発明に係る半導体装置の製造方法は、表面に外部端子を有する第1の半導体チップ及び表面にボンディングパッドを有する第2の半導体チップを準備し、表面に配線パターンを有するテープ基板を準備する工程と、

第1の半導体チップの裏面にフェイスアップで第2の半導体チップを配置する工程と、  
テープ基板の表面上にフェイスダウンで第1の半導体チップを載置し、外部端子と配線パターンとをボンディング接続する工程と、

ボンディングパッドと配線パターンとをボンディングワイヤーにより接続する工程と、  
テープ基板の表面上、ボンディングワイヤー、第1及び第2の半導体チップを樹脂により封止する工程と、

を具備することを特徴とする。

【0021】

本発明に係る半導体装置の製造方法は、表面に外部端子を有する第1の半導体チップ、表面に第1ボンディングパッドを有する第2の半導体チップ、及び、表面に第2ボンディングパッドを有する第3の半導体チップを準備し、表面に配線パターンを有するテープ基板を準備する工程と、

第1の半導体チップの裏面にフェイスアップで第2の半導体チップを配置する工程と、  
第2の半導体チップの表面にフェイスアップで第3の半導体チップを配置する工程と、  
テープ基板の表面上にフェイスダウンで第1の半導体チップを載置し、外部端子と配線パターンとをボンディング接続する工程と、

第1及び第2ボンディングパッドそれぞれと配線パターンとをボンディングワイヤーにより接続する工程と、

テープ基板の表面上、ボンディングワイヤー、第1乃至第3の半導体チップを樹脂により封止する工程と、

を具備することを特徴とする。

【0022】

本発明に係る半導体装置の製造方法は、電極取り出し用の第1金属ポストが複数のチップ領域それぞれの表面に形成された半導体ウエーハを準備する工程と、  
電極取り出し用の第2金属ポストが表面に形成された第1の半導体チップを準備する工程と、

上記半導体ウエーハ表面のチップ領域上にフェイスアップで第1の半導体チップを配置する工程と、

半導体ウエーハ上、第1金属ポスト、第1の半導体チップ及び第2金属ポストを第1樹脂により封止する工程と、

10

20

30

40

50

第1樹脂を所望量除去することにより、第1金属ポスト及び第2金属ポストそれぞれの表面を露出させる工程と、  
 第1金属ポスト及び第2金属ポストそれぞれの表面上に外部端子を配置する工程と、  
 半導体ウエーハを分割することにより、第1の半導体チップと一体化された第2の半導体チップを形成する工程と、  
 第2の半導体チップの裏面上にフェイスアップでボンディングパッドを有する第3の半導体チップを配置する工程と、  
 表面に配線パターンを有するテープ基板を準備する工程と、  
 テープ基板の表面上にフェイスダウンで第1の半導体チップを載置し、外部端子と配線パターンとをボンディング接続する工程と、  
 ボンディングパッドと配線パターンとをボンディングワイヤーにより接続する工程と、  
 テープ基板の表面上、ボンディングワイヤー、第1乃至第3の半導体チップを第2樹脂により封止する工程と、  
 を具備することを特徴とする。

10

## 【0023】

本発明に係る半導体装置の製造方法は、電極取り出し用の第1金属ポストが複数のチップ領域それぞれの表面に形成された半導体ウエーハを準備する工程と、  
 電極取り出し用の第2金属ポストが表面に形成された第1の半導体チップを準備する工程と、  
 上記半導体ウエーハ表面のチップ領域上にフェイスアップで第1の半導体チップを配置する工程と、  
 半導体ウエーハ上、第1金属ポスト、第1の半導体チップ及び第2金属ポストを第1樹脂により封止する工程と、  
 第1樹脂を所望量除去することにより、第1金属ポスト及び第2金属ポストそれぞれの表面を露出させる工程と、  
 第1金属ポスト及び第2金属ポストそれぞれの表面上に外部端子を配置する工程と、  
 半導体ウエーハを分割することにより、第1の半導体チップと一体化された第2の半導体チップを形成する工程と、  
 第2の半導体チップの裏面上にフェイスアップで第1ボンディングパッドを有する第3の半導体チップを配置する工程と、  
 第3の半導体チップの表面上にフェイスアップで第2ボンディングパッドを有する第4の半導体チップを配置する工程と、  
 表面に配線パターンを有するテープ基板を準備する工程と、  
 テープ基板の表面上にフェイスダウンで第1の半導体チップを載置し、外部端子と配線パターンとをボンディング接続する工程と、  
 第1及び第2ボンディングパッドそれぞれと配線パターンとをボンディングワイヤーにより接続する工程と、  
 テープ基板の表面上、ボンディングワイヤー、第1乃至第4の半導体チップを第2樹脂により封止する工程と、  
 を具備することを特徴とする。

20

30

40

## 【0024】

## 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。

図1は、本発明に係る第1の参考例による半導体装置を概略的に示す断面図である。

## 【0025】

図1に示すように、この半導体装置はフレキシブルテープなどのテープ基板1を有しており、このテープ基板1の上には配線パターン2が形成されている。テープ基板1の下面には実装用外部端子としてのハンダバンプ3が複数形成されており、ハンダバンプ3は配線パターン2に電氣的に接続されている。

## 【0026】

50

テープ基板 1 の上面上にはフェイスダウンボンディングにより第 1 の半導体チップ 1 1 が配置されている。第 1 の半導体チップ 1 1 の能動面下（下面）の外周には電極取り出し用パッド（図示せず）が配置されており、電極取り出し用パッドの下には再配線層 1 3 が配置されている。再配線層 1 3 の下には金属ポスト 1 4 が形成されている。第 1 の半導体チップ 1 1 の能動面、再配線層 1 3 及び金属ポスト 1 4 を封止樹脂 1 6 で覆うようにモールドされている。金属ポスト 1 4 の下面は封止樹脂 1 6 から露出している。この露出した金属ポスト 1 4 の下面には外部端子としてのハンダボール 1 7 が形成されている。このハンダボール 1 7 はテープ基板 1 の配線パターン 2 にボンディング接続されている。

**【 0 0 2 7 】**

第 1 の半導体チップ 1 1 の裏面（能動面と逆側の面）上には絶縁性接着層 2 3 を介して第 2 の半導体チップ 1 2 が接着されている。絶縁性接着層 2 3 は、第 2 の半導体チップ 1 2 と第 1 の半導体チップ 1 1 を電氣的に絶縁すると共に第 1 の半導体チップ 1 1 の裏面と第 2 の半導体チップの裏面を接着するための層である。第 2 の半導体チップ 1 2 は第 1 の半導体チップ 1 1 とほぼ同じ大きさとしたが、半導体チップの大きさは特に限定されるものではない。

10

**【 0 0 2 8 】**

第 2 の半導体チップ 1 2 の能動面（表面）の外周には複数のボンディングパッド（図示せず）が形成されている。各々のボンディングパッドにはボンディングワイヤー 4 の一端が接続されており、ボンディングワイヤー 4 の他端はテープ基板 1 の配線パターン 2 に接続されている。テープ基板 1 の上面上、第 1、第 2 の半導体チップ 1 1、1 2 及びボンディングワイヤー 4 は封止樹脂 5 によりモールド成形されている。

20

**【 0 0 2 9 】**

図 2 は、図 1 に示す第 1 の半導体チップの金属ポスト領域を部分的に拡大した断面図である。

第 1 の半導体チップ 1 1 の能動面には電極取り出し用パッド 6 が形成されている。この電極取り出し用パッド 6 は第 1 の半導体チップ 1 1 内における A l や C u 等の各種金属配線（図示せず）に接続されており、各種金属配線は層間絶縁膜（図示せず）を介して M O S トランジスタ等の半導体素子に電氣的に接続されている。この半導体素子は第 1 の半導体チップ 1 1 の内部に作り込まれている。

30

**【 0 0 3 0 】**

電極取り出し用パッド 6 を含む第 1 の半導体チップ 1 1 の全面上にはシリコン酸化膜やシリコン窒化膜等からなる最終保護絶縁層 7 が形成されている。この最終保護絶縁層 7 には、電極取り出し用パッド 6 上に位置する開口部が形成されている。最終保護絶縁層 7 の上には厚さが例えば数十～100 μm 程度のポリイミド層 8 が形成されている。このポリイミド層 8 は半導体素子への応力緩和のための層である。ポリイミド層 8 には開口部が形成されており、この開口部は最終保護絶縁層の開口部を開口するものである。

**【 0 0 3 1 】**

この開口部内及びポリイミド層 8 上には密着層 9 が形成されている。この密着層 9 は、T i や W、T i W、C r、N i、T i C u、P t などの高融点金属、その合金もしくはその窒化膜などのいずれかからなる層である。この密着層 9 の上には C u シード層 1 0 が形成されている。この C u シード層 1 0 は、C u の他に N i、A g、A u もしくはこれらの合金からなる層を用いても良い。

40

**【 0 0 3 2 】**

C u シード層 1 0 の上には厚さが数～数十 μm 程度の再配線層 1 3 が形成されている。再配線層 1 3 は C u をメッキ成膜したものである。再配線層 1 3 の一端上には金属ポスト 1 4 が形成されており、この金属ポスト 1 4 は C u 等の選択メッキにより成膜したものである。金属ポスト 1 4 の上には必要に応じて酸化防止のための異種金属キャップ 1 4 a が形成されている。この異種金属キャップ 1 4 a は、金属ポストと異なる種類の材料からなるものであって、例えば N i、A u、P t などからなる。金属ポスト 1 4 は再配線層 1 3 を介して電極取り出し用パッド 6 に電氣的に接続されている。

50

## 【0033】

次に、図1に示す半導体装置を製造する方法について説明する。

まず、表面にハンダボール17を備えた第1の半導体チップ11及びボンディングパッドを備えた第2の半導体チップ12を準備する。なお、第1の半導体チップの製造方法については後述する。

## 【0034】

次いで、第1の半導体チップ11の裏面上に絶縁性接着層23を塗布した後、第1の半導体チップ11の裏面上に第2の半導体チップ12の裏面を載置して、第1の半導体チップ11と第2の半導体チップ12を絶縁性接着層23によって接着する。

## 【0035】

次いで、テープ基板1を準備する。このテープ基板1の上には配線パターン2が形成されている。次いで、テープ基板1の配線パターン2とハンダボール17とを位置合わせし、第1の半導体チップと第2の半導体チップを積層して一体的に形成した半導体装置をテープ基板1上にフェイスダウンボンディングによりマウントする。これにより、第1の半導体チップ11はハンダボール17を介して配線パターン2に電氣的に接続される。

## 【0036】

次に、第2の半導体チップ12のボンディングパッドとテープ基板1の配線パターン2とをボンディングワイヤー4によって接続する。これにより、第2の半導体チップ12はボンディングワイヤー4を介して配線パターン2に電氣的に接続される。次いで、このボンディングワイヤー4、テープ基板1上、第1及び第2の半導体チップ11、12を封止樹脂5によりモールド成形する。次いで、テープ基板1の下面にハンダバンプ3を取り付ける。このようにして半導体装置が形成される。

## 【0037】

ここで、第1の半導体チップ11を製造する方法について説明する。

まず、半導体ウエーハを準備する。半導体ウエーハの第1の半導体チップ領域内部には、MOSトランジスタ等の半導体素子、これと電氣的に接続された各種金属配線、層間絶縁膜などが形成されている。次いで、各種金属配線の一端に電極取り出し用パッド6を形成する。次いで、このパッド6を含む全面上にシリコン酸化膜又はシリコン窒化膜等からなる最終保護絶縁層7をCVD(Chemical Vapor Deposition)法により形成する。

## 【0038】

次いで、この最終保護絶縁層7に電極取り出し用パッド6上に位置する開口部をエッチングにより形成する。この開口部によって該パッド6の表面が露出する。尚、この工程では、直かに感光性のポリイミドを用いて開口パターンを形成し、フォトレジストの塗布、エッチングや剥離処理の簡略化を行うことも出来る。次に、最終保護絶縁層7の上に厚さが例えば数十~100 $\mu$ m程度のポリイミド層8を塗布する。次いで、このポリイミド層8に電極取り出し用パッド6の上方に位置する開口部をエッチングにより形成する。この開口部によって該パッド6の表面が露出する。

## 【0039】

この後、開口部内及びポリイミド層8上に高融点金属からなる密着層9をスパッタリングにより形成する。次いで、この密着層9の上にCuシード層10をスパッタリングにより形成する。次いで、Cuシード層10の上に厚さが数~数十 $\mu$ m程度のCu層を選択メッキ法により成膜する。次いで、該Cu層をマスクとしてCuシード層10及び密着層9を選択エッチングすることで、ポリイミド層8の上には密着層9を介して再配線層13が形成され、再配線層13の一端は電極取り出し用パッド6に電氣的に接続される。

## 【0040】

次に、再配線層13を含む全面上にフォトレジスト膜を塗布し、このフォトレジスト膜を露光、現像することにより、ポリイミド層8上には再配線層13の他端上に位置する開口部を有するレジストパターンが形成(図示せず)を塗布した後、自動搭載機でハンダボール17を必要な金属ポスト14上に搭載する。次いで、金属ポスト14及びハンダボール17に170~200程度の熱処理を行う。これにより、金属ポスト14上にはハンダボ

10

20

30

40

50



ール17が溶着されて外部端子が形成される。

【0041】

なお、外部端子となるハンダボール17は、150～300 $\mu$ m径でPb/Sn60～70wt%の材料からなるBGA(Ball Grid Array)用のものを使用することが好ましい。また、ハンダボール17の大きさは用途に応じて適宜選択可能である。ハンダ組成はAg/Sn系やCuやBiを含むPbレス材料を用いることも可能である。また、外部端子は、ハンダボール17に限定されるものではなく、ハンダボールを搭載する代わりに、印刷法、メッキ法やメタルジェット法により形成された外部端子を適用することも可能である。

【0042】

この後、ダイシングソーやレーザーを用いて樹脂16及び半導体ウエーハを切断する。これにより、ウエーハはチップ毎に分割され、形態上第1の半導体チップ11となる。このようにして第1の半導体チップ11を製造する。

【0043】

上記第1の参考例によれば、第1の半導体チップ11の外部端子としてハンダボール17を用いており、第1の半導体チップ11の裏面上に第2の半導体チップ12を積層して配置し、第2の半導体チップ12をボンディングワイヤー4によりテープ基板1の配線パターン2に接続している。このようにボンディングワイヤーを用いるチップを従来のそれより減らしているため、第2の半導体チップ12のチップデザインの自由度、柔軟性を高めることができる。言い換えると、単純にメモリアップしたいような場合でも、上層のチップと下層のチップのデザインを変更する必要がなく、基本的に同じデザインのLSIが使用できるチップ層が増えることになる。

【0044】

また、第1の参考例では、ボンディングワイヤーを用いるチップを第2の半導体チップ12のみとしている。このため、従来の半導体装置のように第1の半導体チップ51の表面にボンディング領域を確保する必要がない。従って、チップ表面と平行方向(横方向)のサイズを縮小することが可能となり、パッケージの上面の面積を縮小することができる。これにより、この半導体装置を組み込む商品の小型化、高密度化、軽量化が可能となり、低コスト化も図ることができる。

【0045】

また、本参考例では、上述したようにボンディングワイヤーを用いるチップを従来のそれより減らしているため、ワイヤーピッチの制限、又空間でのワイヤー形状コントロールが容易となる。これにより、歩留まりの向上、ワイヤーによる信頼性の低下の回避を図ることができる。また、大型LSIの多ピンパッケージへの適用も容易となる。

【0046】

尚、上記第1の参考例では、第1の半導体チップ11に金属ポストをメッキ膜により形成しているが、これに限定されるものではなく、第1の半導体チップに金属ポストをハンダボールにより形成することも可能である。この場合でも前述した製造方法と同様の方法により製造することが可能である。

【0047】

図3は、本発明に係る第2の参考例による半導体装置を概略的に示す断面図であり、図1と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0048】

第1の半導体チップ11の再配線層13の下には外部端子としてのハンダボール18が配置されている。ハンダボール18の表面は封止樹脂16から露出しており、この露出した部分がテープ基板1の配線パターン2にボンディング接続されている。

【0049】

第1の半導体チップ11を製造する場合、再配線層13の表面上にフラックス(図示せず)を回転塗布もしくは吹き付けた後、自動搭載機でハンダボール18を必要な再配線層13上に搭載する。次いで、再配線層13及びハンダボール17に170～200程度の

10

20

30

40

50

熱処理を行う。これにより、再配線層 13 上にはハンダボールが融着される。

【0050】

この後、半導体ウエーハの能動面（表面）、再配線層 13 及びハンダボール 18 を覆うようにモールド装置によりエポキシ等の封止樹脂 16 を所定の厚さでコーティングする。次いで、プラズマ装置で酸素混合ガスによるプラズマを用いて封止樹脂 16 にエッチバックを行う。これにより、ハンダボール 18 の表面を封止樹脂 16 から露出させる。

【0051】

次いで、電気特性のチェックを行い、部品番号等の印刷を行う。次いで、ダイシングソーやレーザーを用いて樹脂 16 及び半導体ウエーハを切断する。これにより、ウエーハはチップ毎に分割され、形態上第 1 の半導体チップ 11 となる。

10

【0052】

上記第 2 の参考例においても第 1 の参考例と同様の効果を得ることができる。

【0053】

また、第 2 の参考例では、第 1 の半導体チップを製造する際に、第 1 の参考例のような金属ポストの形成や封止樹脂の厚みを厳密に制御する工程を必要としないので、工程が簡略化でき、スループットの向上及び製造コストの低減を図ることができる。

【0054】

図 4 は、本発明に係る第 1 の実施の形態による半導体装置を概略的に示す断面図であり、図 1 と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0055】

第 2 の半導体チップ 12 の能動面（表面）の中央部上には絶縁性接着層 24 を介して第 3 の半導体チップ 19 が積層して配置されている。絶縁性接着層 24 は、第 3 の半導体チップ 19 の裏面と第 2 の半導体チップ 12 の能動面とを接着すると共に絶縁するものである。

20

【0056】

第 3 の半導体チップ 19 の能動面の外周には複数のボンディングパッド（図示せず）が形成されている。各々のボンディングパッドにはボンディングワイヤー 20 の一端が接続されており、ボンディングワイヤー 20 の他端はテープ基板 1 の配線パターン 2 に接続されている。テープ基板 1 の上面上、第 1 ～ 第 3 の半導体チップ 11, 12, 19 及びボンディングワイヤー 4, 20 は封止樹脂 5 によりモールド成形されている。

30

【0057】

次に図 4 に示す半導体装置を製造する方法について説明する。但し、第 1 の参考例による半導体装置の製造方法と同一部分については説明を省略する。

【0058】

第 1 の半導体チップ 11 の裏面上に絶縁性接着層 23 を介して第 2 の半導体チップ 12 を配置した後、第 2 の半導体チップ 12 の能動面上に絶縁性接着層 24 を介して第 3 の半導体チップ 19 を配置する。

【0059】

次いで、第 1 ～ 第 3 の半導体チップ 11, 12, 19 を一体的に形成した半導体装置をテープ基板 1 上にフェイスダウンボンディングによりマウントした後、第 2 の半導体チップ 12 のボンディングパッドとテープ基板 1 の配線パターン 2 とをボンディングワイヤー 4 によって接続し、第 3 の半導体チップ 19 のボンディングパッドとテープ基板 1 の配線パターン 2 とをボンディングワイヤー 20 によって接続する。これにより、第 2 及び第 3 の半導体チップ 12, 19 それぞれはボンディングワイヤー 4, 20 を介して配線パターン 2 に電氣的に接続される。次いで、このボンディングワイヤー 4, 20、テープ基板 1 上、第 1 ～ 第 3 の半導体チップ 11, 12, 19 を封止樹脂 5 によりモールド成形する。

40

【0060】

上記第 1 の実施の形態では、ボンディングワイヤーを用いてテープ基板の配線パターンと接続しているチップは従来技術と同様に 2 つであるが、第 2 の半導体チップ 12 の下に第 1 の半導体チップ 11 を積層配置しているため、LSI パッケージの小型化、高密度化

50

が可能となる。

【0061】

図5は、本発明に係る第2の実施の形態による半導体装置を概略的に示す断面図であり、図1と同一部分には同一符号を付す。

【0062】

図5に示すように、第1の半導体チップ11の能動面（下面）の中央部下には絶縁性接着層21を介して第3の半導体チップ22が接着されている。絶縁性接着層21は、第3の半導体チップ22と第1の半導体チップ11を電氣的に絶縁すると共に第1の半導体チップ11の能動面と第3の半導体チップの裏面を接着するための層である。

【0063】

第1の半導体チップ11の能動面の外周には電極取り出し用パッド（図示せず）が配置されており、電極取り出し用パッドの上には再配線層13が配置されている。再配線層13の上には金属ポスト14が形成されている。また、第3の半導体チップ22の能動面の外周には電極取り出し用パッド（図示せず）が配置されており、電極取り出し用パッドの上には再配線層25が配置されている。再配線層25の上には金属ポスト26が形成されている。金属ポスト14、26は、お互いに干渉しないように予めパッドや再配線パターンがチップ内でレイアウトされている。

【0064】

第1の半導体チップ11の能動面、再配線層13、金属ポスト14、第3の半導体チップ22の能動面、再配線層25及び金属ポスト26を封止樹脂28で覆うようにモールド成形されている。金属ポスト14、26の下面は封止樹脂28から露出している。この露出した金属ポスト14、26それぞれの下面には外部端子としてのハンダボール17、27が形成されており、ワイヤーレスでスタックドパッケージとなる。

【0065】

テープ基板1の上面上には配線パターン2が形成されている。テープ基板1の下面には実装用外部端子としてのハンダバンプ3が複数形成されており、ハンダバンプ3は配線パターン2に電氣的に接続されている。テープ基板1の上面上にはフェイスダウンボンディングにより第1及び第3の半導体チップ11、22が配置されている。ハンダボール17、27はテープ基板1の配線パターン2にボンディング接続されている。

【0066】

第1の半導体チップ11の裏面（能動面と逆側の面）上には絶縁性接着層23を介して第2の半導体チップ12が接着されている。絶縁性接着層23は、第2の半導体チップ12と第1の半導体チップ11を電氣的に絶縁すると共に第1の半導体チップ11の裏面と第2の半導体チップの裏面を接着するための層である。第2の半導体チップ12は第1の半導体チップ11とほぼ同じ大きさとしたが、半導体チップの大きさは特に限定されるものではない。

【0067】

第2の半導体チップ12の能動面（表面）の外周には複数のボンディングパッド（図示せず）が形成されている。各々のボンディングパッドにはボンディングワイヤー4の一端が接続されており、ボンディングワイヤー4の他端はテープ基板1の配線パターン2に接続されている。テープ基板1の上面上、第1～第3の半導体チップ11、12、22及びボンディングワイヤー4は封止樹脂5によりモールド成形されている。

【0068】

次に、図5に示す半導体装置を製造する方法について図6を参照しつつ説明する。図6（A）～（D）は、図5に示す第1及び第3の半導体チップを一体化させたものを製造する方法を示す断面図である。

【0069】

まず、図6（A）に示すように、ウエーハプロセスで再配線層13や金属ポスト14まで形成された半導体ウエーハ30を準備し、第3の半導体チップ22を準備する。ここで、第3の半導体チップ22は、金属ポストまで形成した半導体ウエーハをダイシング分割し

10

20

30

40

50

て各々のチップとしたものである。

【0070】

次いで、半導体ウエーハ30上に第3の半導体チップ22を熱圧着シート等の絶縁性接着層21を介して複数個配置する。つまり、第3の半導体チップ22の裏面が絶縁性接着層21によってウエーハ30のチップ領域の中央部上に接着される。この際、半導体ウエーハ30と第3の半導体チップ22とのアライメントは、該ウエーハ30に形成された搭載認識マークを基準として行われる。この搭載認識マークは、ウエーハプロセスのフォトリソエッチング工程ですくライブ領域等一括パターニングされたものである。なお、第3の半導体チップ22は、その厚み(金属ポスト26を含むチップの厚さ)が半導体ウエーハ30の金属ポスト14の高さより薄くチップが研削されたものを用いる。

10

【0071】

この後、図6(B)に示すように、半導体ウエーハ30の能動面(表面)、再配線層13、金属ポスト14、第3の半導体チップ22、再配線層25及び金属ポスト26を覆うようにモールド装置によりエポキシ等の封止樹脂28をモールドする。次いで、この封止樹脂28をグラインダー29で所望量研削する。ここで、所望量とは、金属ポスト14、26の頭部(上部)が露出する程度の研削量である。

【0072】

なお、ここでは封止樹脂28の研削にグラインダー29を用いているが、これに限定されるものではなく、他の方法により研削することも可能である。例えば、ウエーハの全面上一括機械研磨する方式、酸素や $CF_4$ あるいは $NF_3$ もしくはこれらの混合ガスを用いたドライエッチャーによるエッチバックを適用することも可能である。

20

【0073】

次に、図6(C)に示すように、金属ポスト14、26の露出部分にフラックス(図示せず)を塗布した後、自動搭載機でハンダボール17、27を必要な金属ポスト14、26上に搭載する。次いで、金属ポスト14、26及びハンダボール17、27に170~200程度の熱処理を行う。これにより、金属ポスト14、26上にはハンダボール17、27が溶着される。

【0074】

なお、外部端子となるハンダボール17、27は、第1の参考例と同様にBGA用のものを使用することが好ましい。また、ハンダボール17、27の大きさは用途に応じて適宜選択可能である。ハンダ組成はAg/Sn系やCuやBiを含むPbレス材料を用いることも可能である。また、外部端子は、ハンダボールに限定されるものではなく、ハンダボールを搭載する代わりに、印刷法、メッキ法やメタルジェット法により形成された実装用外部端子を適用することも可能である。

30

【0075】

この後、図6(D)に示すように、第1の半導体チップ上に第3の半導体チップが積層された構造となるように、ダイシングソーやレーザーを用いて樹脂28及び半導体ウエーハ30を切断する。これにより、ウエーハはチップ毎に分割される。

【0076】

この後、第1の半導体チップ11の裏面上に絶縁性接着層23を塗布した後、第1の半導体チップ11の裏面上に第2の半導体チップ12の裏面を載置して、第1の半導体チップ11と第2の半導体チップ12を絶縁性接着層23によって接着する。

40

【0077】

次いで、テープ基板1を準備する。このテープ基板1の上には配線パターン2が形成されている。次いで、テープ基板1の配線パターン2とハンダボール17、27とを位置合わせし、第1~第3の半導体チップを積層して一体的に形成した半導体装置をテープ基板1上にフェイスダウンボンディングによりマウントする。これにより、第1の半導体チップ11はハンダボール17、27を介して配線パターン2に電氣的に接続される。

【0078】

次に、第2の半導体チップ12のボンディングパッドとテープ基板1の配線パターン2と

50

をボンディングワイヤー 4 によって接続する。これにより、第 2 の半導体チップ 1 2 はボンディングワイヤー 4 を介して配線パターン 2 に電氣的に接続される。次いで、このボンディングワイヤー 4、テープ基板 1 上、第 1 ~ 第 3 の半導体チップ 1 1, 1 2, 2 2 を封止樹脂 5 によりモールド成形する。次いで、テープ基板 1 の下面にハンダバンプ 3 を取り付ける。このようにして半導体装置が形成される。

【 0 0 7 9 】

上記第 2 の実施の形態においても第 1 の参考例と同様の効果を得ることができ、しかも、第 1 の半導体チップ 1 1 の下面に第 3 の半導体チップ 2 2 を配置しているため、更なる高密度化を実現することができる。

【 0 0 8 0 】

図 7 は、本発明に係る第 3 の実施の形態による半導体装置を概略的に示す断面図であり、図 5 と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【 0 0 8 1 】

第 1 の半導体チップ 1 1 の再配線層 1 3 の下には外部端子としてのハンダボール 3 1 が配置されている。第 3 の半導体チップ 2 2 の再配線層 2 5 の下には外部端子としてのハンダボール 3 2 が配置されている。ハンダボール 3 1, 3 2 の表面は封止樹脂 2 8 から露出しており、この露出した部分がテープ基板 1 の配線パターン 2 にボンディング接続されている。

【 0 0 8 2 】

次に、図 7 に示す半導体装置の製造方法について説明する。

まず、ウエーハプロセスで再配線層 1 3 まで形成された半導体ウエーハを準備し、第 3 の半導体チップ 2 2 を準備する。ここで、第 3 の半導体チップ 2 2 は、再配線層 2 5 まで形成した半導体ウエーハをダイシング分割して各々のチップとしたものである。

【 0 0 8 3 】

次いで、上記半導体ウエーハ上に第 3 の半導体チップ 2 2 を熱圧着シート等の絶縁性接着層 2 1 を介して複数個配置する。つまり、第 3 の半導体チップ 2 2 の裏面が絶縁性接着層 2 1 によって半導体ウエーハのチップ領域の中央部に接着される。この際、半導体ウエーハと第 3 の半導体チップ 2 2 とのアライメントは、該ウエーハに形成された搭載認識マークを基準として行われる。この搭載認識マークは、ウエーハプロセスのフォトリソグラフィ工程ですくライブ領域等に一括パターニングされたものである。

【 0 0 8 4 】

次いで、再配線層 1 3, 2 5 の上にフラックス（図示せず）を回転塗布もしくは吹き付けた後、自動搭載機でハンダボール 3 1, 3 2 を必要な再配線層 1 3, 2 5 上に搭載する。次いで、再配線層 1 3, 2 5 及びハンダボール 3 1, 3 2 に 170 ~ 200 程度の熱処理を行う。これにより、再配線層 1 3, 2 5 の上にはハンダボール 3 1, 3 2 が融着される。

【 0 0 8 5 】

この後、半導体ウエーハの能動面（表面）、再配線層 1 3、ハンダボール 3 1、第 3 の半導体チップ 2 2、再配線層 2 5 及びハンダボール 3 2 を覆うようにモールド装置によりエポキシ等の封止樹脂 2 8 を所定の厚さでコーティングする。次いで、プラズマ装置で酸素混合ガスによるプラズマを用いて封止樹脂 2 8 にエッチバックを行う。これにより、ハンダボール 3 1, 3 2 の表面を封止樹脂 2 8 から露出させる。

【 0 0 8 6 】

次いで、第 1 の半導体チップ上に第 3 の半導体チップが積層された構造の半導体装置単品となるように、ダイシングソーやレーザーを用いて樹脂 2 8 及び半導体ウエーハを切断する。これにより、ウエーハはチップ毎に分割される。この後の製造工程は第 2 の実施の形態と同様であるから説明を省略する。

【 0 0 8 7 】

上記第 3 の実施の形態においても第 2 の実施の形態と同様の効果を得ることができる。

【 0 0 8 8 】

10

20

30

40

50

また、第3の実施の形態では、第1及び第3の半導体チップを製造する際に、第2の実施の形態のような金属ポストの形成や封止樹脂の厚みを厳密に制御する工程を必要としないので、工程が簡略化でき、スループットの向上及び製造コストの低減を図ることができる。

【0089】

図8は、本発明に係る第4の実施の形態による半導体装置を概略的に示す断面図であり、図5と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0090】

第2の半導体チップ12の能動面(表面)の中央部上には絶縁性接着層34を介して第4の半導体チップ33が積層して配置されている。絶縁性接着層34は、第4の半導体チップ33の裏面と第2の半導体チップ12の能動面とを接着すると共に絶縁するものである。

10

【0091】

第4の半導体チップ33の能動面の外周には複数のボンディングパッド(図示せず)が形成されている。各々のボンディングパッドにはボンディングワイヤー35の一端が接続されており、ボンディングワイヤー35の他端はテープ基板1の配線パターン2に接続されている。テープ基板1の上面上、第1～第4の半導体チップ11, 12, 22, 33及びボンディングワイヤー4, 35は封止樹脂5によりモールド成形されている。

【0092】

次に図8に示す半導体装置を製造する方法について説明する。但し、第2の実施の形態による半導体装置の製造方法と同一部分については説明を省略する。

20

【0093】

第1の半導体チップ11の裏面上に絶縁性接着層23を介して第2の半導体チップ12を配置した後、第2の半導体チップ12の能動面上に絶縁性接着層34を介して第4の半導体チップ33を配置する。

【0094】

次いで、第1～第4の半導体チップ11, 12, 22, 33を一体的に形成した半導体装置をテープ基板1上にフェイスダウンボンディングによりマウントした後、第2の半導体チップ12のボンディングパッドとテープ基板1の配線パターン2とをボンディングワイヤー4によって接続し、第4の半導体チップ33のボンディングパッドとテープ基板1の配線パターン2とをボンディングワイヤー35によって接続する。これにより、第2及び第4の半導体チップ12, 33それぞれはボンディングワイヤー4, 35を介して配線パターン2に電気的に接続される。次いで、このボンディングワイヤー4, 35、テープ基板1上、第1～第4の半導体チップ11, 12, 22, 33を封止樹脂5によりモールド成形する。

30

【0095】

上記第4の実施の形態では、ボンディングワイヤーを用いてテープ基板の配線パターンと接続しているチップは従来技術と同様に2つであるが、第2の半導体チップ12の下に第1、第3の半導体チップ11, 22を積層配置しているため、LSIパッケージの更なる小型化、高密度化が可能となる。

40

【0096】

また、本発明は上記第1～第4の実施の形態に限定されず、種々変更して実施することが可能である。例えば、上述した半導体装置はメモリーやロジックなどの種々のLSIに適用することが可能である。また、フェイスダウンで配置する半導体チップの封止樹脂16及び28は、金属ポストとハンダボールの位置ずれ、落下防止、金属ポストの補強の意味合いが強く、最終的に樹脂5で再度封止することになるので、表面保護等の意味では必須ではない。

【0097】

【発明の効果】

以上説明したように本発明によれば、テープ基板表面上にフェイスダウンで第1の半導体

50

チップを配置し、第1の半導体チップの裏面上にフェイスアップで第2の半導体チップを配置し、第1の半導体チップをテープ基板上の配線パターンと外部端子により接続し、第2の半導体チップをボンディングワイヤーによりテープ基板の配線パターンに接続している。したがって、小型化、高密度化を実現できる信頼性の高い半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】 本発明に係る第1の参考例による半導体装置を概略的に示す断面図である。

【図2】 図1に示す第1の半導体チップの金属ポスト領域を部分的に拡大した断面図である。

【図3】 本発明に係る第2の参考例による半導体装置を概略的に示す断面図である。

10

【図4】 本発明に係る第1の実施の形態による半導体装置を概略的に示す断面図である。

【図5】 本発明に係る第2の実施の形態による半導体装置を概略的に示す断面図である。

【図6】 (A)~(D)は、図5に示す第1及び第3の半導体チップを一体化させたものを製造する方法を示す断面図である。

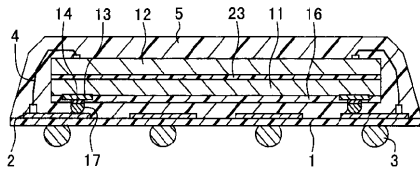
【図7】 本発明に係る第3の実施の形態による半導体装置を概略的に示す断面図である。

【図8】 本発明に係る第4の実施の形態による半導体装置を概略的に示す断面図である。

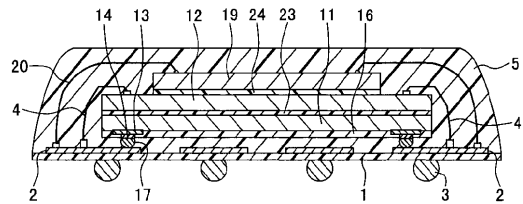
20

【図9】 従来例の半導体装置の一例を概略的に示す断面図である。

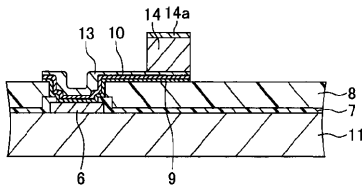
【図1】



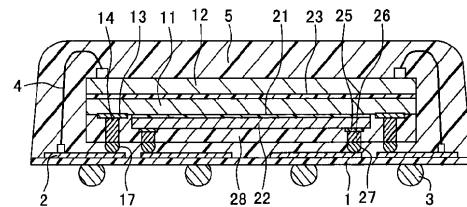
【図4】



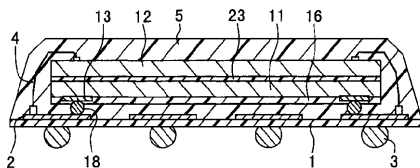
【図2】



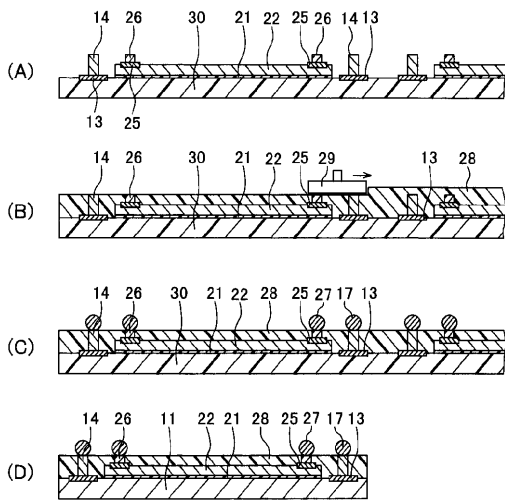
【図5】



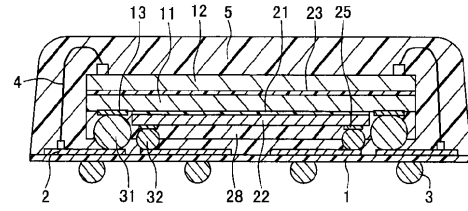
【図3】



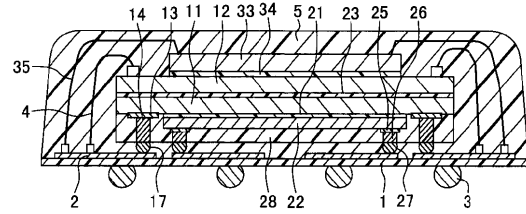
【 図 6 】



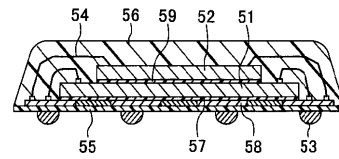
【 図 7 】



【 図 8 】



【 図 9 】





フロントページの続き

(56)参考文献 特開平10-084076(JP,A)  
特開2000-294722(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/065

H01L 23/12

H01L 25/07

H01L 25/18