

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G11C 11/41	(45) 공고일자 2000년 12월 01일
(21) 출원번호 10-1996-0019897	(11) 등록번호 10-0269059
(22) 출원일자 1996년 06월 05일	(24) 등록일자 2000년 07월 19일
(30) 우선권주장 95-141535 1995년 06월 08일 일본(JP)	
(73) 특허권자 마쓰시다덴기산교 가부시키가이샤 모리시타 요이찌 일본국 오사카후 가도마시 오아자 가도마 1006반지	
(72) 발명자 다나카 이사오 일본국 오사카후 가도마시 묘켄자카 6-21-404 하츠다 츠구야스	
(74) 대리인 일본국 오사카후 네야가와시 오자 우찌아게 919-1-에이-312 이병호	

심사관 : 오제욱

(54) 반도체 메모리 장치

요약

다수쌍의 비트 라인들(BL, XBL), 다수의 워드 라인들(WL) 및 다수의 메모리 셀들(100)을 포함하는 메모리 셀 어레이(101); 상기 어드레스 정보에 따라 다수의 워드 라인들(WL) 중 하나를 활성화하기 위해 어드레스 정보를 디코딩하기 위한 디코더(104); 다수쌍의 비트 라인들(BL, XBL)의 각각을 선정된 프리챠지 전위로 설정하는 프리챠지 회로(105); 감지 증폭기들(110); 및 상기 메모리 셀 어레이(101)와 상기 감지 증폭기들(110) 사이에 제공된 전위차 전송 회로들(109)을 포함한다. 상기 전위차 전송 회로들(109)은 다수쌍의 비트 라인들(BL, XBL) 중 각각의 쌍의 비트 라인들 사이의 전위차(V_{dd})를 유지하고, 한 쌍의 비트 라인들 사이의 유지된 전위차(V_{dd})를 각각의 감지 증폭기(110)에 전송한다. 상기 감지 증폭기(110)는 상응하는 메모리 셀 내에 저장된 데이터를 출력하기 위해 상기 전위차 전송 회로(109)에 의해 전달된 한 쌍의 비트 라인들 사이의 전위차(V_{dd})를 증폭한다.

대표도

도1

영세서

[발명의 명칭]

반도체 메모리 장치

[도면의 간단한 설명]

제1도는 본 발명에 따른 반도체 메모리 장치(200)의 구성을 도시한 다이어그램.

제2도는 타이밍 제어 회로(112)에 대한 신호 입력과 타이밍 제어 회로(112)로 부터의 출력 신호 사이의 관계를 설명하는 타이밍도.

제3도는 반도체 메모리 장치(200)의 동작을 설명하는 타이밍도.

제4도는 반도체 메모리 장치(200)의 판독 동작을 상세히 설명하는 타이밍도.

제5(a)도는 종래의 파이프라이닝(pipelining)을 이용하는 반도체 메모리 장치의 비트 라인(BL)의 전위의 변화를 설명하는 타이밍도.

제5(b)도는 본 발명에 따른 반도체 메모리 장치(200)의 비트 라인(BL)의 전위의 변화를 설명하는 타이밍도.

제6(a)도는 종래의 파이프라이닝을 이용하는 반도체 메모리 장치의 파이프라인 처리의 흐름을 설명하는 타이밍도.

제6(b)도는 본 발명에 따른 반도체 메모리 장치(200)의 파이프라인 처리의 흐름을 설명하는 타이밍도.

* 도면의 주요부분에 대한 부호의 설명

100 : 다수의 메모리 셀

101 : 메모리 셀 어레이

104 : 디코더

105 : 프리챠지 회로

110 : 감지 증폭기

109 : 전위차 전송 회로

[발명의 상세한 설명]

[발명의 목적]

[발명이 속하는 기술분야 및 그 분야의 종래기술]

[발명의 분야]

본 발명은 전위차 전송 장치와, 한 전위차 전송 장치를 이용하는 정적 랜덤 액세스 메모리(SRAM)와 같은 반도체 메모리 장치에 관한 것이다. 특히 본 발명은 파이프라인 기술이 적용된 반도체 메모리 장치에 관한 것이다

[관련 기술의 설명]

한 파이프라인 기술은 동작 속도를 증가시키기 위해 마이크로프로세서의 논리 LSI 등에 광범위하게 이용된다 예를 들어, 일본 특허 공개 제64-35794호에는 고속으로 동작할 수 있는 메모리를 실현하기 위해 파이프라인 기술이 메모리에 적용되어 기술하고 있다. 이 특허 공보에는, 정보의 1 비트를 저장하는 래치회로가 어드레스 디코더와 메모리 셀 어레이 사이에 제공되는 파이프라인을 이용한 랜덤 액세스 메모리를 설명하고 있다.

상기 기술한 구성에 있어서, 메모리 내의 모든 신호 진폭은 CMOS의 전체 진폭과 동일하게 되도록 설정되어 있다. 그 결과로, 래치 회로의 동작 시간은 연장된다. 결론적으로, 래치 회로는 사이클 시간(cycle time)의 감소에 크게 방해한다. 또한, 어드레스 디코더의 입력으로부터 감지 증폭기의 출력까지의 시간 주기 동안에 레지스터 또는 래치를 사용하여 파이프라인 동작이 실현되는 경우에 있어서, 메모리 셀 어레이에서 실행된 처리, 즉, 워드 라인의 활성화로부터 감지 증폭기의 출력이 확정되기까지의 처리는 다수의 단계로 분할될 수 없다. 파이프라인을 이용하는 메모리 시스템내의 메모리 사이클 시간은 최장 처리 시간을 필요로 하는 스테이지의 처리 시간에 따른다. 각각의 파이프라인화된 스테이지에 필요한 시간 주기는 서로 비교된다. 그 결과, 메모리 셀 어레이 내의 상술한 분할할 수 없는 처리 스테이지는 모든 스테이지 중 최장 시간 주기를 필요로 하고 이리하여 전체 사이클 시간을 결정함을 알 수 있다. 그러므로, 메모리 셀 어레이 내의 스테이지가 증가된 속도로 실행될 수 없다면, 감소된 사이클 시간을 갖는 파이프라인 RAM은 처리를 파이프라인화하는 것에 의해 실현될수 없다.

이상적인 파이프라인 프로세서는 각각의 머신 사이클(machine cycle) 동안 한 명령을 디코드한다. 이 속도를 유지하기 위해, 적어도 프로세서에 의한 디코딩 속도로 파이프라인을 통해 명령 및 데이터를 공급하는 것이 필수적이다. 파이프라인의 스테이지들은 통상적으로 클록을 이용하여 동기화된다. 파이프라인 처리를 통한 데이터 전송을 보장하기 위해, 클록은 가장 느린 전송 경로(latest transmission path)에 적합한 속도를 갖도록 요구된다. 파이프라인 메모리를 포함하는 시스템에 있어서, 메모리의 액세스 스테이지는 가장 긴 지연 경로들중 한 경로이다. 그러므로, 파이프라인으로부터 데이터가 공급되는 속도는 파이프라인 프로세서 시스템의 전체 속도를 결정한다. 따라서, 시스템 성능을 개선하기 위해서, 파이프라인 메모리의 속도를 반드시 개선해야 한다.

[발명의 개요]

본 발명의 전위차 전송 장치는, 전하를 저장하기 위한 캐패시터 소자; 상기 캐패시터 소자의 한 단부에 접속되어, 상기 캐패시터 소자의 한 단부에 데이터 입력 단자와 접지 라인 중 하나를 전기적으로 접속하도록 절환되는 스위칭 소자; 및 상기 캐패시터 소자의 다른 단부의 전위를 결정하기 위한 전위 결정 회로를 포함한다.

본 발명의 또 다른 관점에 따라, 본 발명의 반도체 메모리 장치는, 다수쌍의 비트 라인들, 다수의 워드 라인들 및 다수의 메모리 셀들을 포함하는 메모리 셀 어레이; 어드레스 정보에 따라 상기 다수의 워드 라인들중의 하나를 활성화하도록 어드레스 정보를 디코딩하는 디코더; 다수 비트 라인들의 쌍의 각각을 선정된 프리챠지 전위로 설정하기 위한 프리챠지 회로; 감지 증폭기; 및 상기 메모리 셀 어레이와 상기 감지 증폭기사이에 제공되어, 다수쌍의 비트 라인들중의 한 쌍의 비트 라인사이의 전위차를 유지하고, 상기 한 쌍의 비트 라인들사이의 상기 유지된 전위차를 상기 감지 증폭기에 전송하는 전위차 전송 회로를 포함하며, 상기 감지 증폭기는 상응하는 메모리 셀 내에 저장된 데이터를 출력하기 위해 상기 전위차 전송 회로에 의해 전송된 한 쌍의 비트 라인들사이의 전위차를 증폭한다.

본 발명의 한 실시예에 있어서, 상기 전위차 전송 회로에 의해 유지 및 전송된 다수 비트 라인들의 쌍의 전위차는 상기 감지 증폭기의 최소 동작 보증값(V_{th})보다 크거나 동일하고 메모리 셀 내의 전위차보다는 작게 된다. 본 발명의 다른 실시예에 있어서, 상기 전위차 전송 회로에 의해 유지 및 전송된 다수 비트 라인들의 쌍의 전위차는 상기 최소 동작 보증값(V_{th})과 실질적으로 동일하게 된다.

본 발명의 또 다른 실시예에 있어서, 상기 전위차 전송 회로는, 전하를 저장하기 위한 캐패시터 소자; 상기 캐패시터 소자의 한 단부에 접속되어, 상기 캐패시터 소자의 한 단부에 비트 라인과 접지 라인중 하나를 전기적으로 접속하도록 절환되는 스위칭 소자; 및 상기 캐패시터 소자의 다른 단부의 전위를 결정하기 위한 전위 결정 회로를 포함한다.

본 발명의 또 다른 실시예에 있어서, 반도체 메모리 장치는, 상기 스위칭 소자가 절환되는 시간을 정의하는 제1제어 신호와, 상기 전위 결정 회로가 상기 캐패시터 소자의 다른 단부의 전위를 결정하는 시간을 정의하는 제2제어 신호를 발생하는 타이밍 제어 회로를 더 포함하고, 상기 제2제어 신호가 상기 전위 결정 회로에 제공되는 동안 상기 제1제어 신호가 상기 스위칭 소자에 공급된다.

본 발명의 또 다른 실시예에 있어서, 상기 전위 결정 회로에 의해 결정된 상기 캐패시터 소자의 다른 단부의 전위는 상기 프리챠지 회로에 의해 결정된 프리챠지 전위와 실질적으로 동일하게 된다.

본 발명의 또 다른 실시예에 있어서, 상기 반도체 메모리 장치는 상기 반도체 메모리 장치는 다수의 스테이지들을 포함하는 파이프라인 처리를 실행하고, 상기 전위차 전송 회로는 다수의 스테이지들 중 한 스테이지의 출력을 저장하기 위한 파이프라인 레지스터로서 기능하게 된다.

본 발명의 또 다른 실시예에 있어서, 상기 전위차 전송 회로에 의해 유지 및 전송된 다수쌍의 비트 라인들 중 한쌍간의 전위차는 상기 감지 증폭기의 최소 동작 보증값(V_{th})보다 크거나 동일하고 메모리 셀 내의 전위차보다는 작다.

본 발명의 또 다른 실시예에 있어서, 상기 전위차 전송 회로에 의해 유지 및 전송된 다수 비트 라인들의 상의 전위차는 상기 감지 증폭기의 최소 동작 보증값(V_{th})과 실질적으로 동일하게 된다.

본 발명의 또 다른 실시예에 있어서, 상기 다수의 스테이지들은, 상기 어드레스 정보의 입력으로부터 상기 어드레스 정보의 디코딩까지를 포함하는 제1스테이지; 상기 워드 라인의 활성화로부터 한 쌍의 비트 라인들 간의 전위차의 발생까지를 포함하는 제2스테이지; 상기 한 쌍의 비트 라인들의 전위차의 전송으로부터 상기 감지 증폭기에 의한 데이터의 증폭까지를 포함하는 제3스테이지; 및 상기 데이터를 외부로 출력하기 위한 제4스테이지를 포함한다.

본 발명의 반도체 메모리 장치는 메모리 셀 어레이와 감지 증폭기 사이에 삽입된 전위차 전송 회로를 포함한다. 이 전위차 전송 회로는 캐패시터 소자 및 스위칭 소자를 포함한다. 상기 전위차 전송 회로는 한 쌍의 비트 라인 사이의 전위차를 유지하고, 파이프라인 처리의 다음 단계에 상기 유지된 전위차를 전송한다. 상기 쌍의 비트 라인의 전위 진폭은 전위차 전송 회로에 의해 작게 되도록 제한될 수 있다. 그 결과로, 상기 주기에 필요한 지연 시간은 감소된다. 상기는 최장 처리 시간을 필요로 하는 메모리 셀 어레이의 처리 시간 주기를 감소시킬 수 있어, 그로 인해, 파이프라인 처리에 포함된 스테이지의 시간 주기를 균등화한다. 결과적으로 파이프라인을 이용하는 메모리의 전체 사이클 시간은 짧게 된다.

본 발명의 효과를 설명한다.

본 발명에 따르면, 상술한 구성으로 인하여, 한 쌍의 라인들의 작은 진폭들 간의 전위차를 파이프라인 처리의 다음 스테이지로 전송하면서 작은 진폭을 유지할 수 있다. 따라서, 메모리 액세스 시간 동안 상당한 시간 주기를 일반적으로 취하는 메모리 셀 어레이의 처리 시간을 감소시킬 수 있다. 결과적으로, 메모리 사이클 시간은 현저하게 감소될 수 있다.

따라서, 본 명세서에 기재된 발명은, (1) 저전력 소비와 고속으로 동작 가능한 파이프라인 메모리 시스템을 실현하는 전위차 전송 장치를 제공하고, (2) 이러한 전위차 전송 장치를 활용하는 반도체 메모리 장치와 같은 장치를 제공하는 장점을 가질 수 있다.

[발명의 구성 및 작용]

본 발명에 따른 상기 및 다른 장점은 첨부된 도면과 연계한 하기의 상세한 설명을 통해 본 기술에 숙련된 사람들이 쉽게 이해할 수 있을 것이다.

[양호한 실시예의 설명]

이하, 본 발명을 상술한 예를 통해 도면을 참조하여 설명한다.

제1도는 본 발명에 따른 반도체 메모리 장치(200)의 구성을 도시한다. 반도체 메모리 장치(200)는 메모리 셀 어레이(101)를 포함한다. 상기 메모리 셀 어레이(101)는 데이터를 저장하는 다수의 메모리 셀(100)을 포함한다. 상기 메모리 셀(100)은 메모리 셀(100) 내에 저장된 데이터를 각각 출력하는 한 쌍의 비트 라인(BL 및 XBL)에 접속된다. 메모리 셀(100)은 메모리 셀(100)에 대한 데이터의 입/출력을 제어하는 워드 라인(WL)에 접속된다.

반도체 메모리 장치(200)는 어드레스를 저장하는 어드레스 레지스터(102), 로우 어드레스 정보를 디코드하는 로우 디코더(103) 및, 디코드 정보를 저장하는 디코드 레지스터(104)를 포함한다. 디코드 레지스터(104)는 로우 디코더(103)의 출력 단자에 접속된다.

반도체 메모리 장치(200)는 전위차 전송 회로들(109), 감지 증폭기(170), 인버터(111) 및 출력 데이터 레지스터들(115)을 더 포함한다. 한 쌍의 비트 라인들(BL 및 XBL)은 각각의 전위차 전송 회로(109)에 입력된다. 전위차 전송 회로(109)의 출력은 한 쌍의 비트 라인들(BL 및 XBL) 상에 판독된 데이터를 증폭하는 감지 증폭기(110)에 접속된다. 감지 증폭기들(110)의 출력들은 출력 회로들로서 기능하는 인버터들(111)에 접속된다. 인버터들(111)의 출력들은 메모리 셀들(100)로부터 판독된 데이터를 저장하기 위한 출력 데이터 레지스터들(115)에 접속된다.

반도체 메모리 장치(200)는 기록 데이터를 저장하는 기록 데이터 레지스터(113), 메모리 셀들(100)에 기록 데이터를 기록하는 기록 회로(114), 한 쌍의 비트 라인(BL 및 XBL)을 선정된 프리챠지 레벨(본 예에 있어서는 전원 전위(V_{dd}))로 충전하는 프리챠지 회로들(105) 및, 기록 회로(114), 전위차 전송 회로들(109), 및 감지 증폭기들(110)을 제어하는 타이밍 제어 회로(112)를 더 포함한다.

전위차 전송 회로들(109)은 한 쌍의 비트 라인들(BL 및 XBL) 사이의 전위차를 유지하고, 그 후 유지된 전위차를 감지 증폭기(110)에 전송한다. 전위차 전송 회로들(109)은 캐패시터 섹션(107), 전위차 전송 섹션(108), 스위치 섹션(106)을 포함한다.

캐패시터 섹션(107)은 전하들을 축적하는 캐패시터 소자(C_{t0} 및 C_{t1})(각각 C_0 의 용량을 가짐)를 포함한다.

전위 결정 섹션(108)은 캐패시터 섹션(107)을 감지 증폭기(110)에 접속하는 노드의 전위를 설정한다. 상기 전위 결정 섹션(108)은 P-채널 MOS 트랜지스터들(이하 PMOST로 칭함)(108a 및 10ab)을 포함한다.

스위치 섹션(107)은 메모리 셀 어레이(101)와 캐패시터 섹션(107)사이에 삽입된다. 상기 스위치 섹션(106)은 스위치(SW_1) 및 스위치(SW_2)를 포함한다. 상기 스위치(SW_1)는 캐패시터 소자(C_{t0})의 한 단부에 접지 라인 또는 비트 라인(BL)중 한 라인을 전기적 접속하도록 절환된다. 상기 스위치(SW_2)는 캐패시터 소자(C_{t1})의 한 단부에 접지 라인 또는 비트 라인(XBL)중 한 라인을 전기적 접속하도록 절환된다.

타이밍 제어 회로(112)는 클록 신호, 외부 제어 신호(WE) 및 외부 제어 신호(WE)를 수신하여, 외부 제어 신호들(WE 및 RE)에 따라 클록 신호에 동기되는 여러 내부 타이밍 제어 신호들을 발생한다.

제2도는 타이밍 제어 회로(112)에 대한 신호 입력과 그 회로로부터의 신호 출력의 타이밍을 도시한 도면이다.

상기 타이밍 제어 회로(112)는 기록 회로(114)에 기록 인에이블 신호(WRE)를 공급한다. 이 기록 인에이블 신호(WRE)는 기록 회로(114)가 데이터를 기록하는 시간을 정의하는데 이용된다.

상기 타이밍 제어 회로(112)는 한 프리챠지 인에이블 신호(PRB)를 프리챠지 회로들(105)에 공급한다. 상기 프리챠지 인에이블 신호(PRB)는 프리챠지 회로들(105)이 한 쌍의 비트 라인들(BL 및 XBL)을 프리챠지 하는 시간을 정의하는데 이용된다.

상기 타이밍 제어 회로(112)는 SW 제어 신호(SWE)를 스위치 섹션(106)에 공급한다. 상기 SW 제어 신호(SWE)는 스위치 섹션(106)의 스위치(SW_1) 및 스위치(SW_2)가 절환하는 시간을 정의하는데 이용된다. 상기 SW 제어 신호(SWE)가 하이 레벨에 있는 경우에, 상기 스위치(SW_1)는 비트 라인(BL)을 캐패시터 소자(C_{t0})의 한 단부에 전기적 접속하도록 절환되고, 상기 스위치(SW_2)는 비트 라인(XBL)을 캐패시터 소자(C_{t0})의 한 단부에 전기적 접속하도록 절환된다. 상기 SW 제어 신호(SWE)가 로우 레벨에 있는 경우에, 상기 스위치(SW_1)는 캐패시터 소자(C_{t0})의 한 단부에 접지 라인을 전기적 접속하도록 절환되고, 상기 스위치(SW_2)는 캐패시터 소자(C_{t1})의 한 단부에 접지 라인을 전기적 접속하도록 절환된다.

상기 타이밍 제어 회로(112)는 한 인에이블 신호(PRD)를 전위 결정 회로(108)에 공급한다. 인에이블 신호(PRD)는 전위 결정 회로(108)가 캐패시터 섹션(107)과 감지 증폭기(110)사이의 노드의 전위를 결정하는 시간을 정의하는데 이용된다.

상기 타이밍 제어 회로(112)는 감지 증폭기 인에이블 신호(EN)를 감지 증폭기(110)에 공급한다. 상기 감지 증폭기 인에이블 신호(EN)는 감지 증폭기(110)가 활성화되는 시간을 정의하는데 이용된다.

이후에, 상기 기술한 구성을 갖는 반도체 메모리 장치(200)의 동작은 제3도 및 제4도를 참조하여 설명한다. 제3도 및 제4도는 반도체 메모리 장치(200)의 타이밍도이다. 제3도는 동작 타이밍을 개략적으로 도시하고, 제4도는 판독 동작 동안 동작 타이밍을 상세하게 도시한다. 제3도 및 제4도에 있어서, 동일한 시간은 동일한 시간 축을 나타낸다. 본 발명의 상기 실시예에 있어서, 두 사이클의 주기 동안 연속으로 데이터가 판독되는 경우가 설명될 것이다.

본 발명에 따른 반도체 메모리 장치(200)에 있어서, 모든 비트 라인쌍(BL 및 XBL)은 초기 상태 시간(T_0) 동안 프리챠지 레벨(V_{dd})에 프리챠지된다. 스위치 섹션(106)에 포함된 스위치(SW_1) 및 스위치(SW_2)는 메모리 셀 어레이(101)측에 접속된다. 여기서, 캐패시터 소자(C_{t0} 및 C_{t1})의 각각의 두 단부 사이의 전위차가 발생하지 않는다.

우선, 어드레스(A_1)를 나타내는 액세스의 개시 어드레스를 설명한다. 시간(T_0)에서, 메모리 영역의 액세스 명령이 발생된다. 시간(T_1)에서, 상응하는 디코드 정보는 어드레스 레지스터(102)에 저장된 어드레스 정보(A_1)에 따라 디코드 레지스터(104)에 저장된다 그 후, 시간(T_1)에서, 상응하는 워드 라인(WL)은 디코드 레지스터(104)의 출력에 따라 활성화되고, 이로써, 한 쌍의 비트 라인(BL 및 XBL)상의 메모리 셀(100)에 저장된 데이터를 판독한다. 본 발명의 실시예에 있어서, “로우” 레벨로 데이터가 메모리 셀(100)에 저장되는 경우가 한 예로서 설명된다. 데이터가 판독 개시될 때, 비트 라인(BL)은 프리챠지 상태로 있게 된다. 메모리 셀(100)로부터 데이터를 판독함으로써, 비트 라인(BL)의 전위가 “로우” 레벨로 점차 낮아지게 된다.

시간(T_2)에서, 메모리 시스템은 다음 파이프라인 스테이지로 이동한다. 이 시점에서, 비트 라인(BL)의 전위는 레벨($V_{dd}-V_{d0}$)로 방전되어, 각각 V_{dd} 및 $V_{dd}-V_{d0}$ 에서 캐패시터 소자(C_{t0})의 두 단부의 전위를 설정한다. 따라서, 캐패시터 소자(C_{t0})의 두 단부에서 전하들($Q = C_0 \times V_{d0}$)이 발생된다. 이 시점에서, 비트 라인(XBL)의 전위 레벨이 전력 소스 전위(V_{dd})로 유지되기 때문에, 캐패시터 소자(C_{t1})의 두 단부에서 전하가 발생되지 않는다. 전위 결정 섹션(108)의 PMOSTr(108a 및 108b)가 턴-오프되기 때문에, 스위치 섹션(106)의 스위치(SW_1 및 SW_2)는 접지 라인측에 접속된다. 그 결과로, 비트 라인(BL)의 노드(N_{A0})와 비트 라인(XBL)의 노드(N_{B0})의 전위가 접지 레벨로 설정된다. 캐패시터 소자(C_{t0})의 두 단부에서 전하(Q)가 유지되기 때문에, 노드(N_{A1})에서의 전위(V_x)는 하기의 수학식 1에 의해 계산된 바와 같이, V_{d0} 가 된다.

[수학식 1]

$$V_x = Q/c = (C_{t0} \times V_{d0}) / C_{t0} = V_{d0}$$

반면에, 노드(N_{B1})는 유사한 방식으로 방전되지 않은 비트 라인(XBL)에서 전하들의 보존으로 인해 0 V가 된다.

편의상, 상기 설명은 캐패시터로서 한 쌍의 비트 라인(BL 및 XBL)에 캐패시터 소자(C_{t0} 및 C_{t1})만이 존재하는 이상적인 상태를 가정한다. 다른 기생 용량이 존재하는 경우에 있어서는, 그 기생 캐패시터가 고려되

어야 한다. 그러나, 이와 같은 경우는 단지 전하가 기생 캐패시터에 유지되는 점에서 상기 언급한 경우와 다르다. 상기 설명에서처럼, 한 쌍의 비트 라인(BL 및 XBL)사이의 전위차는 기생 캐패시터가 존재하는 경우에서 각각의 전위차 전송 회로(109)에 의해 각각의 감지 증폭기(110)로 전송된다.

감지 증폭기들(110)이 활성화될 때, 전위차 전송 회로들(109)에 의해 전송되는 한 쌍의 비트 라인들(BL 및 XBL)사이의 전위차들은 데이터를 출력하기 위해 상기 감지 증폭기(110)에 의해 증폭된다. 본 발명의 상기 실시예에 있어서, 캐패시터소자의 한 단부와 다른 단부 사이의 비트 라인의 관련된 전위 레벨(노드(N_{A0})와 노드(N_{B0}) 사이의 전위차와, 노드(N_{A1})와 노드(N_{B1})사이의 전위차)은 반전된 방식으로 나타난다. 따라서, 감지 증폭기(110)의 출력의 극성을 반전시키는 인버터들(111)을 사용함으로써, 출력 데이터 레지스터(115)에 저장될 데이터의 극성은 메모리 셀들(100)에 저장될 데이터의 극성과 동일하게 된다. 상기 시점에서, 메모리 셀 어레이(101)측상의 한 쌍의 비트 라인(BL 및 XBL)은 각각의 스위치 섹션(106)에 의해 전위차 전송 회로들(109)로부터 분리되고, 프리차지 회로들(105)에 의해 다음 메모리 액세스 요청에 대한 준비를 하도록 허용된다.

한 쌍의 비트 라인상에 발생하는 전위차(V_{d0})가 상기 스테이지에서 감지 증폭기(110)의 최소 동작 보증값(V_{th})과 같거나 초과할 때, 그 데이터 출력은 정상적으로 실행된다. 특히, 정상의 데이터 출력은 상기 스테이지에서 비트 라인들의 전위 강하가 V_{th} 와 동일하거나 초과하는 한 실행된다. 따라서, 상기 스테이지에서 CMOS의 전체 진폭에서 비트 라인들을 동작시킬 필요가 없다.

제5(a)도는 종래의 파이프라이닝을 사용하는 반도체 메모리 장치의 비트 라인(BL)의 전위 변화를 도시한다. 제5(a)도에 있어서, 시간(T_1)에서 시간(T_2)사이의 시간 주기는 워드 라인의 활성화로부터 감지 증폭기에 의해 데이터의 증폭까지의 스테이지에 상응한다. 비트 라인(BL)의 전위가 선정된 전위($V_{dd}-V_{d0}$)에 도달할 때, 감지 증폭기는 증폭 동작을 시작하도록 제어된다. 그 후에, 이 스테이지에는, 감지 증폭기의 출력이 이 스테이지 단부에서 유효하게 되도록 요구되기 때문에, 비트 라인(BL)의 전위가 충분히 방전될 때까지 (예를 들어, 비트 라인(BL)의 전위가 $1/2V_{dd}$ 보다 낮게 될 때까지) 계속된다.

제5(b)도는 본 발명에 따른 파이프라이닝을 사용하는 반도체 메모리 장치(200)의 비트 라인(BL)의 전위 변화를 도시한다. 제5(b)도에 있어서, 시간(T_1)에서 시간(T_3) 사이의 시간 주기는 워드 라인의 활성화로부터 감지 증폭기에 의해 데이터의 증폭까지의 스테이지에 상응한다. 본 발명에 따르면, 워드 라인의 활성화로부터 데이터의 증폭까지의 스테이지에는 두 개의 스테이지들, 즉, 워드 라인의 활성화로부터 한 쌍의 비트 라인들 사이의 전위차의 발생까지의 스테이지; 및 한 쌍의 비트 라인들 사이의 전위차의 전송으로부터 감지 증폭기에 의해 데이터의 증폭까지의 스테이지로 분할되는 점을 주목할 만하다. 이들 두 스테이지들은 아래에 기술된 제2스테이지와 제3스테이지에 각각 상응한다.

제5(b)도에 있어서, 시간(T_1)에서 시간(T_2)사이의 시간 주기는 워드 라인의 활성화로부터 한 쌍의 비트 라인들 간의 전위차의 발생까지의 스테이지에 대응한다. 상기 스테이지에서, 비트 라인(BL)의 전위가 선정된 전위($V_{dd}-V_{d0}$)에 도달할 때, 전위차(V_{d0})는 전위차 전송 회로들(109)에 의해 유지된다. 전위차 전송 회로들(109) 내에 유지된 전위차(V_{d0})는 파이프라인의 다음 스테이지에서 처리하기 위해 감지 증폭기(110)에 전송된다. 이러한 의미에서, 전위차 전송 회로들(109)은 다수의 스테이지들 간의 한 스테이지의 출력을 저장하기 위해 파이프라인 레지스터들로서 기능을 한다.

상기 전위차(V_{d0})는 최소 동작 보증값(V_{th})과 같거나 보다 크게 되도록 설정되고, 메모리 셀(100)의 전위차(본 예에 있어서, V_{dd})보다 작게 되도록 설정된다. 대안적으로, 전위차(V_{d0})는 감지 증폭기들(110)의 최소 동작 보증값(V_{th})과 실질적으로 동일할 것이다.

제5(b)도에 있어서, 시간(T_2)에서 시간(T_3)사이의 시간 주기는 한 쌍의 비트 라인들의 위상차의 전송으로부터 데이터의 증폭까지의 스테이지에 상응한다. 한 쌍의 비트 라인들(BL 및 XBL)사이의 전위차가 선정된 전위차(V_{d0})에 도달할 때, 감지증폭기(110)는 증폭 동작을 시작하도록 제어된다.

제5(a)도 및 제5(b)도 사이의 비교로부터 알 수 있듯이, T_{c2} 는 T_{c1} 보다 작게 된다($T_{c2} < T_{c1}$). 여기서, T_{c2} 는 본 발명에 따른 반도체 메모리 장치(200)의 메모리 사이클 시간을 나타내고, T_{c1} 은 종래의 파이프라이닝을 이용한 반도체 메모리 장치의 메모리 사이클 시간을 나타낸다.

제6(a)도는 종래의 파이프라이닝을 이용한 반도체 메모리 장치를 사용하여 실행된 파이프라인 처리의 흐름을 도시한 것이다. 제6(b)도는 본 발명에 따른 반도체 메모리 장치(200)를 사용하여 실행된 파이프라인의 흐름을 도시한 것이다.

상기 방식에 있어서, 반도체 메모리 장치(200)에 따라, 메모리 셀 어레이(101)에서의 처리는 두 개의 스테이지로 분할되고, 이로써 파이프라인 처리된다.

그 결과, 메모리 셀 어레이(101)에 요구된 처리 시간은 현저히 감소될 수 있다. 파이프라이닝을 이용한 메모리 시스템의 각각의 스테이지에서 처리 시간 주기들의 비교에서, 메모리 셀 어레이(101)에서 실행되는 처리는 상당히 긴 시간을 요하며, 많은 경우 스테이지들 중 가장 긴 처리 시간을 요구한다. 반도체 메모리 장치(200)에 따라, 최장 처리 시간을 필요로 하는 스테이지의 시간 주기는 짧게 될 수 있고, 메모리 사이클 시간(T_c)이 감소될 수 있다.

더욱이, 반도체 메모리 장치(200)에 따라, CMOS의 전체 진폭보다 작은 진폭을 갖는 전위차는 다음 스테이지로 전송된다. 결과적으로, 전력 소비는 감소될 수 있다.

본 발명의 상기 실시예에 따라, 파이프라인 처리에 포함된 스테이지들 각각의 시간 주기는 다음 구성에 의해 짧게 되는 경향이 있다. 어드레스 레지스터(102)는 어드레스 입력 섹션으로서 제공되지만, 디코드 레지스터(104)는 어드레스 출력 섹션으로서 제공된다. 어드레스 디코드 시간 주기는 각각의 스테이지들에

대한 처리 시간을 분할하기 위해 다수의 스테이지들로 분할된다. 부가적으로, 출력 데이터 레지스터는 데이터를 외부로 출력하기 위한 스테이지를 결정하기 위해 감지 증폭기 출력 섹션에 제공되어, 감지 증폭기의 출력의 스테이지에서 처리 시간의 증가를 저지한다.

본 발명의 실시예에 있어서, 파이프라인 처리의 스테이지는 다음과 같이 정의 된다.

제1스테이지 : 디코드를 위한 어드레스 입력

제2스테이지 : 비트 라인들상의 데이터를 판독하기 위한 워드 라인의 활성화

제3스테이지 : 감지 증폭기들에 의해 데이터의 증폭에 대한 전위차의 전송

제4스테이지 : 데이터의 외부 출력 어드레스의 입력에서 데이터의 출력까지의 시간 주기, 즉, 메모리 액세스 시간은 1.5 사이클과 동일하다. 비록, 메모리 사이클 시간의 절반의 위상이 각각의 스테이지에 이용된 경우가 본 발명의 상기 실시예에서 설명하고 있지만, 메모리 사이클 시간의 전체 위상이 각각의 스테이지의 처리 시간에 따라 각각의 스테이지에 이용될 수 있다. 상기 방식에 있어서, 각각의 스테이지에 대해 분할된 시간 주기는 쉽게 조정될 수 있다.

메모리 액세스 요청이 시간(T_2)에서 연속으로 발생되는 경우에, 어드레스(A_m)에 상응하는 워드 라인(WL)은 이전의 액세스 요청의 경우에서처럼, 한 쌍의 비트 라인(BL 및 XBL)상의 데이터를 판독하기 위해 시간(T_3)에서 디코드 레지스터(104)의 출력에 의해 활성화된다. 이 경우에, 시간(T_2)에서, 한 쌍의 비트 라인들(BL 및 XBL)사이의 전위차는 감지 증폭기(110)측의 회로에서 증폭 및 출력되고, 메모리 셀어레이(101)측 상의 한 쌍의 비트 라인들(BL 및 XBL)은 비트 라인들(BL 및 XBL)이 감지 증폭기(110)측의 회로로부터 완전히 분리되기 때문에 상이한 액세스 요청에 대한 응답을 허용한다. 시간(T_3)에서, 한 쌍의 비트 라인들(BL 및 XBL)의 프리차지동작은 제어 회로에 의해 감지 증폭기(110)측의 회로에서 개시된다. 그 후, 스위치 섹션(106)의 스위치들(SW₁ 및 SW₂)은 다음 메모리 액세스에 대한 준비를 위해 메모리 셀 어레이(101)측의 한 쌍의 비트 라인(BL 및 XBL)에 접속된다. 시간(T_4) 및 시간(T_5)에서, 데이터는 어드레스(A_1)의 판독 동작에서 미리 설명된 것과 같은 방식으로 데이터의 외부 출력 스테이지와 감지 증폭기의 스테이지에 전송된다. 결과적으로, 데이터(D_m)는 출력된다. 그러므로, 메모리 액세스 요청들이 상기 설명한 것처럼 연속적으로 발생되는 경우에서조차도, 데이터는 통상적인 메모리 액세스 시간으로 출력될 수 있다.

메모리에 대한 데이터를 판독하기 위한 요청이 발생되는 경우가 상기에 기술 되었다. 데이터 기록에 대한 요청이 발생될 때, 기록 동작은 다음과 같이 실행된다. 기록 데이터는 어드레스의 입력과 동시에 기록 데이터 레지스터(113)에 저장된다. 시간(T_5)에서, 워드 라인(WL)이 활성화되기 때문에, 타이밍 제어 회로(112)는 기록 회로(114)를 인에이블하고, 데이터는 메모리 셀(100)에 동시에 기록된다. 워드 라인(WL)이 활성화될 때까지 스테이지들은 판독 동작의 스테이지와 동일하다. 따라서, 특정 제어를 실행하는 것이 필수적이지는 않다.

캐패시터 소자들은 작은 전압에 따르는한 임의의 형태로 실현될 수 있다. 예를 들어, 이러한 캐패시터 소자들은 금속 배선들사이의 병렬 플랜 용량(parallel plane capacitances)으로 실현될 수 있다. 이 경우에 있어서, 캐패시터 소자들은 종래의 메모리의 제조에 의해 실현될 수 있다.

상기 기술된 대로, 본 실시예에 따라, 한 쌍의 비트 라인 사이의 작은 진폭의 전위차를 파이프라인 처리의 다음 스테이지에 전송하는 전위차 전송 회로는 메모리 셀 내에 저장된 데이터를 증폭하는 감지 증폭기와 메모리 셀 어레이 사이에 삽입된다. 상기 스테이지에서, 신호 전송은 CMOS의 전체 진폭으로 실행되지 못한다. 대신에, 한 신호는 메모리 셀로부터 데이터를 판독하여 한 쌍의 비트 라인에 전송하기 위해 작은 진폭으로 전송된다. 상기 방식에 있어서, 시간면에서 동작에 가장 임계가 되는 메모리 셀 어레이내의 처리 시간의 회로 자연 시간은 감소된다.

따라서, 파이프라인 메모리의 최장 자연 시간을 필요로 하는 스테이지의 시간 주기는 감소된다. 결과적으로, 각각의 스테이지들의 자연 시간 주기들은 균일화되고, 이로써, 사이클 시간의 감소를 실현한다.

상기 기술한 것처럼, 본 발명에 따라, 종래의 메모리 시스템에 필요한 것과 비교하여 사이클 시간을 현저히 감소시킬 수 있는 저전력 소비를 갖는 반도체 메모리 장치를 구현될 수 있다.

본 기술에 숙련된 사람들에 의해 본 발명의 정신과 범위내에서 여러 다른 변경안이 있을 수 있음을 쉽게 알 수 있다. 따라서, 본 명세서에 첨부된 특히 청구의 범위는 본 명세서의 상세한 설명에만 제한을 두지 않으며, 본 특히 청구의 범위는 보다 넓게 구성될 수 있다.

(57) 청구의 범위

청구항 1

전위차 전송 장치에 있어서, 전하를 저장하기 위한 캐패시터 소자; 상기 캐패시터 소자의 한 단부에 접속되어, 상기 캐패시터 소자의 한 단부에 데이터 입력 단자와 접지 라인 중 하나를 전기적으로 접속하도록 절환되는 스위칭 소자; 및 상기 캐패시터 소자의 다른 단부의 전위를 결정하기 위한 전위 결정 회로를 포함하는 전위차 전송 장치.

청구항 2

반도체 메모리 장치에 있어서, 다수쌍의 비트 라인들, 다수의 워드 라인들 및 다수의 메모리 셀들을 포함하는 메모리 셀 어레이; 어드레스 정보에 따라 상기 다수의 워드 라인들중의 하나를 활성화하도록 어드레스 정보를 디코딩하는 디코더; 다수쌍의 비트 라인들의 각각을 선정된 프리차지 전위로 설정하기 위한 프리차지 회로; 감지 증폭기; 및 상기 메모리 셀 어레이와 상기 감지 증폭기사이에 제공되어, 다수쌍의 비트 라인들중의 한 쌍의 비트 라인사이의 전위차를 유지하고, 상기 한 쌍의 비트 라인들사이의 상기 유

지된 전위차를 상기 감지 증폭기에 전송하는 전위차 전송 회로를 포함하며, 상기 감지 증폭기는 상용하는 메모리 셀 내에 저장된 데이터를 출력하기 위해 상기 전위차 전송 회로에 의해 전송된 한 쌍의 비트 라인들 사이의 전위차를 증폭하는 반도체 메모리 장치.

청구항 3

제2항에 있어서, 상기 전위차 전송 회로에 의해 유지 및 전송된 다수 비트 라인들의 쌍의 전위차는 상기 감지 증폭기의 최소 동작 보증값(V_{th})보다 크거나 동일하고 메모리 셀 내의 전위차보다는 작은 반도체 메모리 장치.

청구항 4

제2항에 있어서, 상기 전위차 전송 회로에 의해 유지 및 전송된 다수 비트 라인들의 쌍의 전위차는 상기 최소 동작 보증값(V_{th})과 실질적으로 동일한 반도체 메모리 장치.

청구항 5

제2항에 있어서, 상기 전위차 전송 회로는, 전하를 저장하기 위한 캐패시터 소자; 상기 캐패시터 소자의 한 단부에 접속되어, 상기 캐패시터 소자의 한 단부에 비트 라인과 접지 라인 중 하나를 전기적으로 접속하도록 절환되는 스위칭 소자; 및 상기 캐패시터 소자의 다른 단부의 전위를 결정하기 위한 전위 결정 회로를 포함하는 반도체 메모리 장치.

청구항 6

제5항에 있어서, 상기 스위칭 소자가 절환되는 시간을 정의하는 제1제어 신호와, 상기 전위 결정 회로가 상기 캐패시터 소자의 다른 단부의 전위를 결정하는 시간을 정의하는 제2제어 신호를 발생하는 타이밍 제어 회로를 더 포함하고, 상기 제2제어 신호가 상기 전위 결정 회로에 제공되는 동안 상기 제1제어 신호는 상기 스위칭 소자에 공급되는 반도체메모리 장치.

청구항 7

제5항에 있어서, 상기 전위 결정 회로에 의해 결정된 상기 캐패시터 소자의 다른 단부의 전위는 상기 프리챠지 회로에 의해 결정된 프리챠지 전위와 실질적으로 동일한 반도체 메모리 장치.

청구항 8

제2항에 있어서, 상기 반도체 메모리 장치는 다수의 스테이지들을 포함하는 파이프라인 처리를 실행하고, 상기 전위차 전송 회로는 다수의 스테이지들 중 한 스테이지의 출력을 저장하기 위한 파이프라인 레지스터로서 기능하는 반도체 메모리 장치.

청구항 9

제8항에 있어서, 상기 전위차 전송 회로에 의해 유지 및 전송된 다수 쌍의 비트 라인들 중 한 쌍간의 전위차는 상기 감지 증폭기의 최소 동작 보증값(V_{th})보다 크거나 동일하고 메모리 셀 내의 전위차보다는 작은 반도체 메모리 장치.

청구항 10

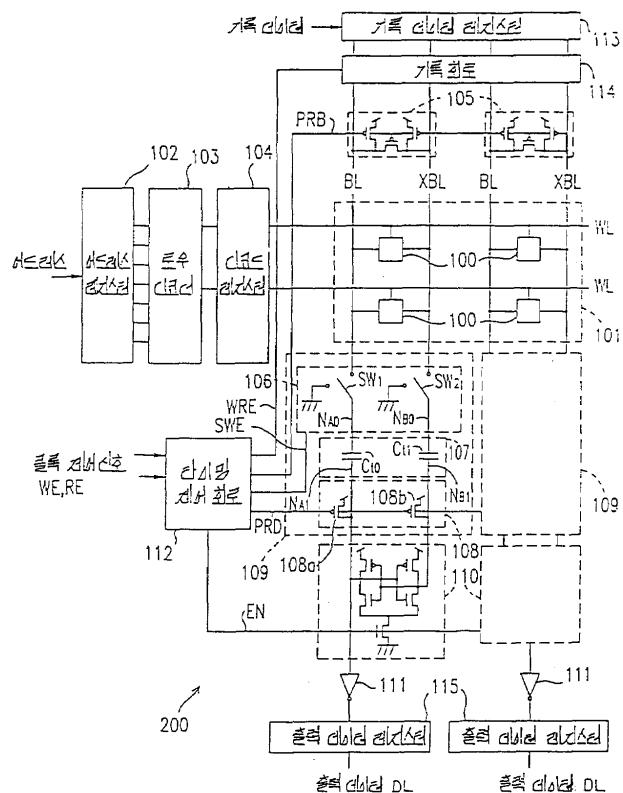
제8항에 있어서, 상기 전위차 전송 회로에 의해 유지 및 전송된 다수 비트 라인들의 쌍의 전위차는 상기 감지 증폭기의 최소 동작 보증값(V_{th})과 실질적으로 동일한 반도체 메모리 장치.

청구항 11

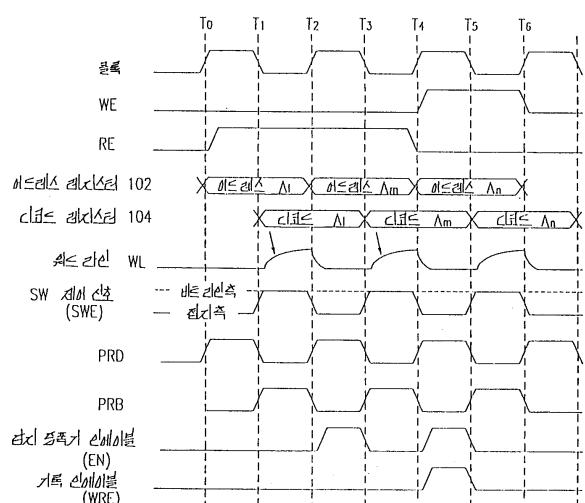
제8항에 있어서, 상기 다수의 스테이지들은, 상기 어드레스 정보의 입력으로부터 상기 어드레스 정보의 디코딩까지를 포함하는 제1스테이지; 상기 워드 라인의 활성화로부터 한 쌍의 비트 라인들 간의 전위차의 발생까지를 포함하는 제2스테이지; 상기 한 쌍의 비트 라인들의 전위차의 전송으로부터 상기 감지 증폭기에 의한 데이터의 증폭까지를 포함하는 제3스테이지; 및 상기 데이터를 외부로 출력하기 위한 제4스테이지를 포함하는 반도체 메모리 장치.

도면

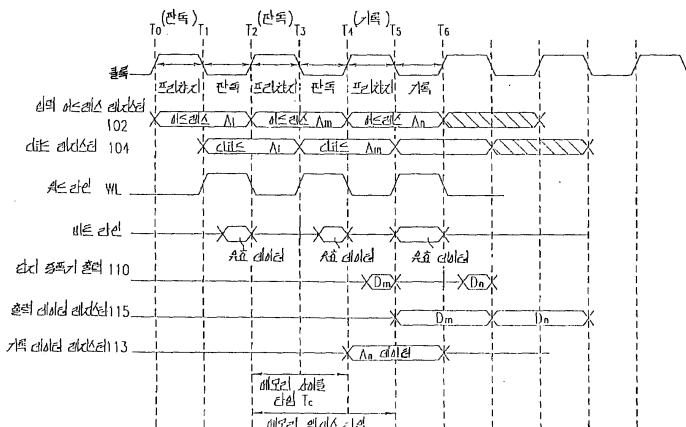
도면1



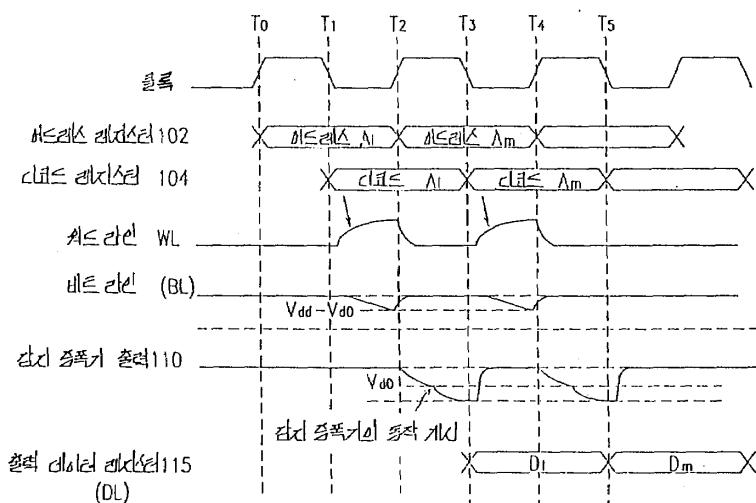
도면2



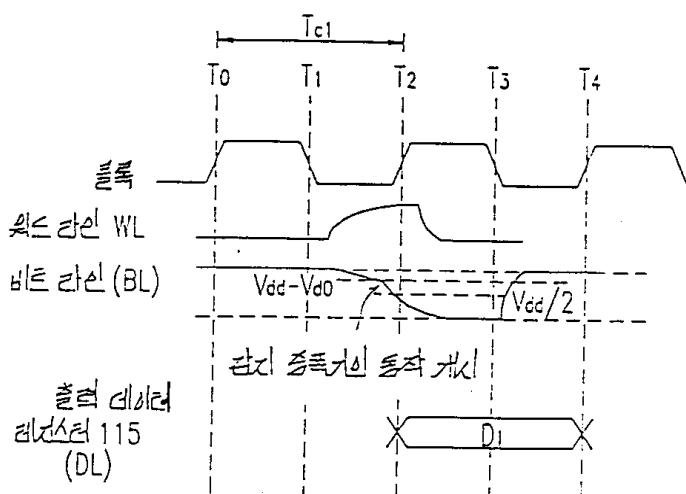
도면3



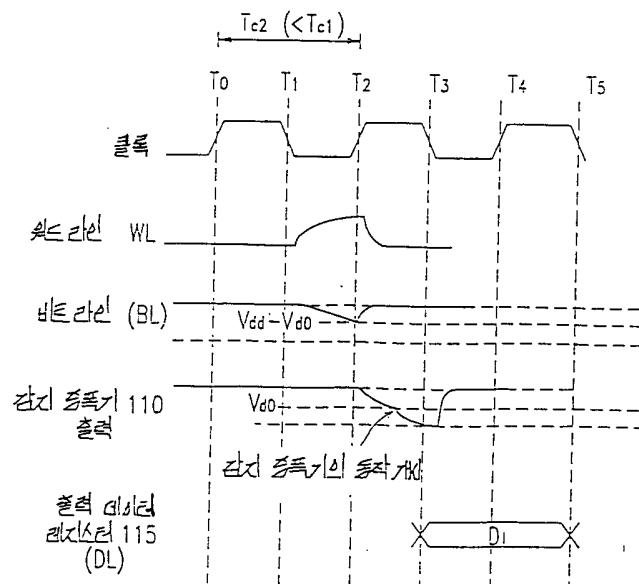
도면4



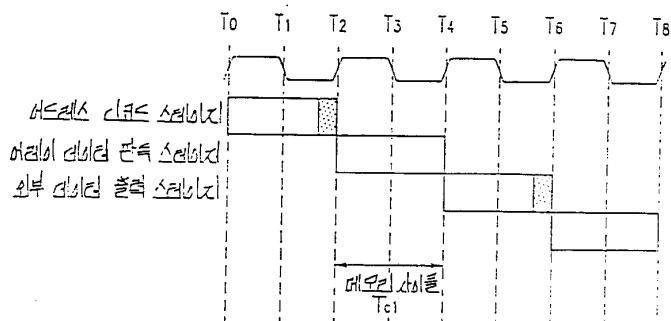
도면5a



도면5b



도면6a



도면6b

