

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月2日(02.01.2025)



(10) 国際公開番号
WO 2025/004582 A1

(51) 国際特許分類:
H04N 25/70 (2023.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2024/017899

(72) 発明者: 樋口 雄貴(HIGUCHI, Yuki); 〒2430014
神奈川県厚木市旭町四丁目14番1号
ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(22) 国際出願日: 2024年5月15日(15.05.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(74) 代理人: 弁理士法人つばさ国際特許
事務所 (TSUBASA PATENT PROFESSIONAL
CORPORATION); 〒1600022 東京都新宿
区新宿1丁目15番9号さわだビル3階 Tokyo (JP).

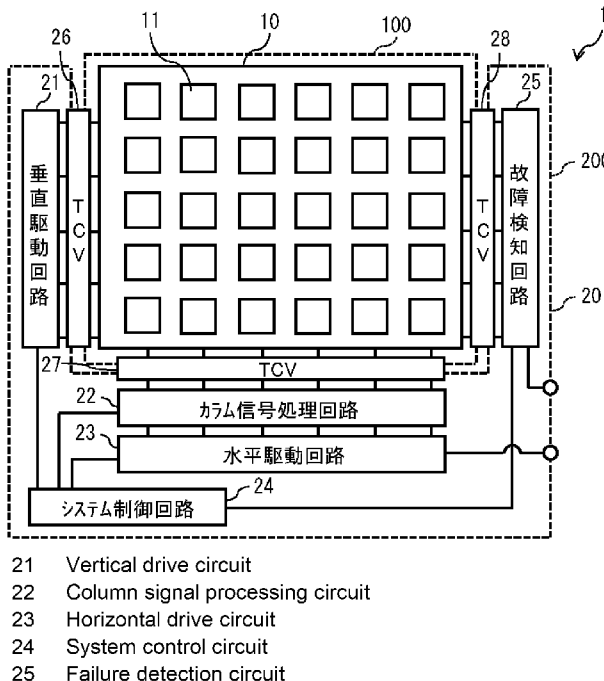
(30) 優先権データ:
特願 2023-106350 2023年6月28日(28.06.2023) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

(54) **Title:** FAILURE DETECTION DEVICE, SOLID-STATE IMAGING DEVICE, AND FAILURE DETECTION METHOD

(54) 発明の名称: 故障検知装置、固体撮像装置および故障検知方法



(57) **Abstract:** A failure detection device according to an embodiment of the present disclosure comprises a first resistance voltage dividing circuit, a second resistance voltage dividing circuit, a comparator, and a determination unit. The first resistance voltage dividing circuit is configured to be capable of dividing a Hi voltage applied to a first pixel control line among the plurality of pixel control lines. The second resistance voltage dividing circuit is configured to be capable of dividing a Lo voltage applied to the first pixel control line. The comparator is capable of comparing either one of a first

CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

voltage generated by the first resistance voltage dividing circuit or a second voltage generated by the second resistance voltage dividing circuit with a reference voltage. The determination unit is capable of determining, on the basis of a result from the comparator, whether there is a failure in the drive circuit or the pixel control lines.

(57) 要約: 本開示の一実施の形態に係る故障検知装置は、第1の抵抗分圧回路と、第2の抵抗分圧回路と、比較器と、判定部とを備えている。第1の抵抗分圧回路は、複数の画素制御線のうちの第1の画素制御線に印加されるH_i電圧を分圧することが可能な構成となっている。第2の抵抗分圧回路は、第1の画素制御線に印加されるL_o電圧を分圧することが可能な構成となっている。比較器は、第1の抵抗分圧回路によって生成される第1の電圧、および前記第2の抵抗分圧回路によって生成される第2の電圧のいずれか一方の電圧と、参照電圧とを比較することが可能となっている。判定部は、比較器の結果に基づいて駆動回路および各画素制御線の故障判定を行うことが可能となっている。

明 細 書

発明の名称：故障検知装置、固体撮像装置および故障検知方法

技術分野

[0001] 本開示は、故障検知装置、固体撮像装置および故障検知方法に関する。

背景技術

[0002] 従来、固体撮像装置において、ドライバの故障検知を行うことが、例えば、特許文献 1 に開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開 2 0 1 8 - 5 2 0 9 8 3 号公報

発明の概要

[0004] ところで、上述の固体撮像装置の分野では、ドライバ、およびドライバに接続された配線の様々な故障モードを検知することが望まれている。また、画素読み出しに関する制御回路、および、そのような回路に接続された配線の様々な故障モードを検知することも望まれている。固体撮像装置における様々な故障モードを検知することの可能な故障検知装置、固体撮像装置および故障検知方法を提供することが望ましい。

[0005] 本開示の第 1 の側面に係る故障検知装置は、複数の画素と、複数の画素制御線と、各画素制御線の一端に電氣的に接続され、複数の画素制御線を介して複数の画素を駆動する駆動回路とを備えた撮像装置における故障検知装置である。この故障検知装置は、各画素制御線他端に電氣的に接続される。この故障検知装置は、第 1 の抵抗分圧回路と、第 2 の抵抗分圧回路と、比較器と、判定部とを備えている。第 1 の抵抗分圧回路は、複数の画素制御線のうちの第 1 の画素制御線に印加される H_i 電圧を分圧することが可能な構成となっている。第 2 の抵抗分圧回路は、第 1 の画素制御線に印加される L_o 電圧を分圧することが可能な構成となっている。比較器は、第 1 の抵抗分圧回路によって生成される第 1 の電圧、および前記第 2 の抵抗分圧回路によっ

て生成される第2の電圧のいずれか一方の電圧と、参照電圧とを比較することが可能となっている。判定部は、比較器の結果に基づいて駆動回路および各画素制御線の故障判定を行うことが可能となっている。

[0006] 本開示の第2の側面に係る故障検知装置は、複数の画素と、複数の制御線と、各制御線に電氣的に接続され、複数の画素から出力される画素信号を処理する制御回路を、複数の制御線を介して制御する制御回路とを備えた撮像装置における故障検知装置である。この故障検知装置は、各制御線に電氣的に接続される。この故障検知装置は、第1の抵抗分圧回路と、第2の抵抗分圧回路と、比較器と、判定部とを備えている。第1の抵抗分圧回路は、複数の制御線のうちの第1の制御線に印加される H_i 電圧を分圧することが可能となっている。第2の抵抗分圧回路は、第1の制御線に印加される L_o 電圧を分圧することが可能となっている。比較器は、第1の抵抗分圧回路によって生成される第1の電圧、および第2の抵抗分圧回路によって生成される第2の電圧のいずれか一方の電圧と、参照電圧とを比較することが可能となっている。判定部は、比較器の結果に基づいて制御回路および各制御線の故障判定を行うことが可能となっている。

[0007] 本開示の第3の側面に係る撮像装置は、複数の画素と、複数の画素制御線と、各画素制御線の一端に電氣的に接続され、複数の画素制御線を介して複数の画素を駆動する駆動回路と、各画素制御線他端に電氣的に接続される故障検知回路とを備えている。故障検知回路は、第1の抵抗分圧回路と、第2の抵抗分圧回路と、比較器と、判定部とを備えている。第1の抵抗分圧回路は、複数の画素制御線のうちの第1の画素制御線に印加される H_i 電圧を分圧することが可能な構成となっている。第2の抵抗分圧回路は、第1の画素制御線に印加される L_o 電圧を分圧することが可能な構成となっている。比較器は、第1の抵抗分圧回路によって生成される第1の電圧、および前記第2の抵抗分圧回路によって生成される第2の電圧のいずれか一方の電圧と、参照電圧とを比較することが可能となっている。判定部は、比較器の結果に基づいて駆動回路および各画素制御線の故障判定を行うことが可能となっ

ている。

[0008] 本開示の第4の側面に係る撮像装置は、複数の画素と、複数の制御線と、各制御線に接続され、複数の画素から出力される画素信号を処理する制御回路を、複数の制御線を介して制御する制御回路と、各制御線に電氣的に接続される故障検知回路とを備えている。故障検知回路は、第1の抵抗分圧回路と、第2の抵抗分圧回路と、比較器と、判定部とを備えている。第1の抵抗分圧回路は、複数の制御線のうちの第1の制御線に印加されるH_i電圧を分圧することが可能となっている。第2の抵抗分圧回路は、第1の制御線に印加されるL_o電圧を分圧することが可能となっている。比較器は、第1の抵抗分圧回路によって生成される第1の電圧、および第2の抵抗分圧回路によって生成される第2の電圧のいずれか一方の電圧と、参照電圧とを比較することが可能となっている。判定部は、比較器の結果に基づいて制御回路および各制御線の故障判定を行うことが可能となっている。

[0009] 本開示の第5の側面に係る故障検知方法は、複数の画素と、複数の画素制御線と、各画素制御線の一端に電氣的に接続され、複数の画素制御線を介して複数の画素を駆動する駆動回路とを備えた撮像装置における、各画素制御線他端に電氣的に接続される故障検知装置で実行される方法である。この故障検知方法は、以下の4つを含む。

(A1) 複数の画素制御線のうちの第1の画素制御線に印加されるH_i電圧を分圧すること

(A2) 第1の画素制御線に印加されるL_o電圧を分圧すること

(A3) 第1の抵抗分圧回路によって生成される第1の電圧、および第2の抵抗分圧回路によって生成される第2の電圧のいずれか一方の電圧と、参照電圧とを比較すること

(A4) 比較結果に基づいて駆動回路および各画素制御線の故障判定を行うこと

[0010] 本開示の第6の側面に係る故障検知方法は、複数の画素と、複数の制御線と、各制御線に電氣的に接続され、複数の画素から出力される画素信号を処

理する制御回路を、複数の制御線を介して制御する制御回路とを備えた撮像装置における、各制御線に電氣的に接続される故障検知装置で実行される方法である。この故障検知方法は、以下の4つを含む。

(B1) 複数の制御線のうちの第1の制御線に印加されるHi電圧を分圧すること

(B2) 第1の制御線に印加されるLo電圧を分圧すること

(B3) 第1の抵抗分圧回路によって生成される第1の電圧、および第2の抵抗分圧回路によって生成される第2の電圧のいずれか一方の電圧と、参照電圧とを比較すること

(B4) 比較結果に基づいて制御回路および各制御線の故障判定を行うこと

図面の簡単な説明

[0011] [図1]図1は、本開示の第1の実施の形態に係る固体撮像装置の概略構成の一例を表す図である。

[図2]図2は、図1のセンサ画素の回路構成の一例を表す図である。

[図3]図3は、図1の画素アレイ部の配線レイアウトの一例と、図1の故障検知回路の概略構成の一例とを表す図である。

[図4]図4は、図3の故障検知回路の概略構成の一例を表す図である。

[図5]図5は、図1の固体撮像装置の動作の一例を表す図である。

[図6]図6は、図5における全行一括転送の一例を表す図である。

[図7]図7は、図5における行毎読み出し動作の一例を表す図である。

[図8]図8は、図5の動作における故障検知対象の一例を表す図である。

[図9]図9は、正常時の故障検知の一例を表す図である。

[図10]図10は、Hiレベルの異常時の故障検知の一例を表す図である。

[図11]図11は、Loレベルの異常時の故障検知の一例を表す図である。

[図12]図12は、図1の垂直駆動回路の回路構成の一変形例を表す図である。

。

[図13]図13は、図4の故障検知回路の概略構成の一変形例を表す図である。

。

[図14]図 1 4 は、図 4 の故障検知回路の概略構成の一変形例を表す図である。

[図15]図 1 5 は、本開示の第 2 の実施の形態に係る固体撮像装置の概略構成の一例を表す図である。

[図16]図 1 6 は、図 1 5 のカラム信号処理回路の概略構成の一例を表す図である。

[図17]図 1 7 は、図 1 6 の故障検知回路の概略構成の一例を表す図である。

[図18]図 1 8 は、図 1 7 の故障検知回路の概略構成の一変形例を表す図である。

[図19]図 1 9 は、図 1 7 の故障検知回路の概略構成の一変形例を表す図である。

[図20]図 2 0 は、車両制御システムの概略的な構成の一例を示すブロック図である。

[図21]図 2 1 は、車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0012] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第 1 の実施の形態（固体撮像装置）…図 1 ～図 1 1
2. 第 1 の実施の形態の変形例（固体撮像装置）…図 1 2 ～図 1 4
3. 第 2 の実施の形態（固体撮像装置）…図 1 5 ～図 1 7
4. 第 2 の実施の形態の変形例（固体撮像装置）…図 1 8, 図 1 9
5. 移動体への応用例…図 2 0、図 2 1

[0013] <1. 第 1 の実施の形態>

[構成]

本開示の第 1 の実施の形態に係る固体撮像装置 1 について説明する。固体撮像装置 1 は、例えば、CMOS（Complementary Metal Oxide Semiconductor）イメージセンサ等からなるグローバルシャッタ方式のイメージセンサで

ある。固体撮像装置１は、被写体からの光を受光して光電変換し、画像信号を生成することで画像を撮像することが可能となっている。固体撮像装置１は、入射光に応じた画素信号を出力することが可能となっている。

[0014] グローバルシャッタ方式とは、基本的には全画素同時に露光を開始し、全画素同時に露光を終了するグローバル露光を行う方式である。ここで、全画素とは、画像に現れる部分の画素の全てということであり、ダミー画素等は除外される。また、時間差や画像の歪みが問題にならない程度に十分小さければ、全画素同時ではなく、複数行（例えば、数十行）単位でグローバル露光を行いながら、グローバル露光を行う領域を移動する方式もグローバルシャッタ方式に含まれる。また、画像に表れる部分の画素の全てでなく、所定領域の画素に対してグローバル露光を行う方式もグローバルシャッタ方式に含まれる。

[0015] イメージセンサは、例えば、被写体からの光が入射する受光面と、各画素を駆動させるトランジスタ等に接続された配線が設けられた配線層との間に、被写体からの光を受光し、電気信号に変換するフォトダイオード等の光電変換部が設けられた裏面照射型のイメージセンサである。なお、本開示は、ＣＭＯＳイメージセンサへの適用に限られるものではない。

[0016] 図１は、本開示の第１の実施の形態に係る固体撮像装置１の概略構成の一例を表す。固体撮像装置１は、画素アレイ部１０が設けられた第１のチップ１００と、ロジック回路２０が設けられた第２のチップ２００とが積層された積層チップとなっている。第１のチップ１００の上面が受光面となっている。また、固体撮像装置１において、例えば、上述の配線層が、第２のチップ２００の上面と接している。

[0017] 第１のチップ１００は、光電変換を行う複数のセンサ画素１１が行列状に配置された画素アレイ部１０を有している。センサ画素１１は、本開示の一実施の形態に係る「画素」の一具体例に相当する。図２は、センサ画素１１および読み出し回路１２（後述）の回路構成の一例を表す。複数のセンサ画素１１は、半導体基板（例えば、シリコン基板）上に行列状に設けられてい

る。読み出し回路12は、半導体基板（例えば、シリコン基板）上に設けられている。各読み出し回路12は、センサ画素11から出力された電荷に基づく画素信号を出力することが可能となっている。

[0018] 複数の読み出し回路12は、例えば、図2に示したように、4つのセンサ画素11ごとに1つずつ設けられている。このとき、4つのセンサ画素11は、1つの読み出し回路12を共有している。ここで、「共有」とは、4つのセンサ画素11の出力が共通の読み出し回路12に入力されることを指している。読み出し回路12は、例えば、リセットトランジスタTr6と、選択トランジスタTr7と、増幅トランジスタTr5とを有している。

[0019] 第1のチップ100は、行方向に延在する複数の画素制御線と、列方向に延在する複数のデータ出力線VSLとを有している。画素制御線は、センサ画素11に蓄積された電荷の出力を制御する制御信号が印加される配線であり、例えば、行方向に延在している。データ出力線VSLは、各読み出し回路12から出力された画素信号をロジック回路20に出力する配線であり、例えば、列方向に延在している。

[0020] 第2のチップ200は、半導体基板（例えば、シリコン基板）上に、画素信号を処理するロジック回路20を有している。ロジック回路20は、例えば、図1に示したように、垂直駆動回路21、カラム信号処理回路22、水平駆動回路23、システム制御回路24および故障検知回路25を有している。ロジック回路20（具体的には水平駆動回路23）は、センサ画素11ごとの出力電圧を外部に出力することが可能となっている。故障検知回路25は、垂直駆動回路21、および垂直駆動回路21に接続された各画素制御線の故障検知結果を外部に出力することが可能となっている。

[0021] 第1のチップ100および第2のチップ200には、例えば、図1に示したように、TCV（Through Chip Via：貫通電極）26，27，28が設けられており、第1のチップ100および第2のチップ200がTCV26，27，28を介して互いに電氣的に接続されている。TCV26は、第2のチップ200に設けられた垂直駆動回路21の複数の出力端と、第1のチッ

チップ100に設けられた複数の画素制御線の一端とに接続されている。TCV27は、第2のチップ200に設けられたカラム信号処理回路22の複数の入力端と、第1のチップ100に設けられた複数のデータ出力線VSLとに接続されている。TCV28は、第2のチップ200に設けられた故障検知回路25の複数の入力端と、第1のチップ100に設けられた複数の画素制御線他端とに接続されている。つまり、複数の画素制御線の一端が、垂直駆動回路21に電氣的に接続されており、複数の画素制御線他端が故障検知回路25に電氣的に接続されている。

[0022] 垂直駆動回路21は、例えば、複数のセンサ画素11を所定の単位画素行ごとに順に選択することが可能となっている。「所定の単位画素行」とは、同一アドレスで画素選択可能な画素行を指している。例えば、複数のセンサ画素11が1つの読み出し回路12を共有する場合に、読み出し回路12を共有する複数のセンサ画素11のレイアウトが2画素行×n画素列（nは1以上の整数）となっているとする。このとき、「所定の単位画素行」は、2画素行を指している。同様に、読み出し回路12を共有する複数のセンサ画素11のレイアウトが4画素行×n画素列（nは1以上の整数）となっているときには、「所定の単位画素行」は、4画素行を指している。

[0023] カラム信号処理回路22は、例えば、垂直駆動回路21によって選択された行の各センサ画素11から出力される画素信号に対して、相関二重サンプリング（Correlated Double Sampling：CDS）処理を施すことが可能となっている。カラム信号処理回路22は、例えば、CDS処理を施すことにより、画素信号の信号レベルを抽出し、各センサ画素11の受光量に応じた画素データを保持することが可能となっている。カラム信号処理回路22は、例えば、データ出力線VSLごとにカラム信号処理部を有している。カラム信号処理部は、例えば、シングルスロープA/D変換器を含んでいる。シングルスロープA/D変換器は、例えば、比較器およびカウンタ回路を含んで構成されている。水平駆動回路23は、例えば、カラム信号処理回路22に保持されている画素データを順次、外部に出力する。システム制御回路24

は、例えば、ロジック回路 20 内の各ブロック（垂直駆動回路 21、カラム信号処理回路 22、水平駆動回路 23 および故障検知回路 25）の駆動を制御することが可能となっている。

[0024] 各センサ画素 11 は、互いに共通の構成要素を有している。各センサ画素 11 は、例えば、図 2 に示したように、フォトダイオード PD と、転送トランジスタ T_{r1} 、 T_{r2} 、 T_{r3} と、電荷保持部 MEM1、MEM2 と、フローティングディフュージョン FD と、排出トランジスタ T_{r4} とを有している。転送トランジスタ T_{r1} 、 T_{r2} 、 T_{r3} および排出トランジスタ T_{r4} は、例えば、NMOS（Metal Oxide Semiconductor）トランジスタである。

[0025] フォトダイオード PD は、受光面を介して入射した光を光電変換することが可能となっている。フォトダイオード PD は、光電変換を行って受光量に応じた電荷を発生することが可能となっている。フォトダイオード PD は、半導体基板（例えば、シリコン基板）内に設けられた N 型半導体領域および P 型半導体領域によって構成された PN 接合の光電変換素子である。フォトダイオード PD のカソードが転送トランジスタ T_{r1} のソースに電氣的に接続されており、フォトダイオード PD のアノードが基準電位線（例えばグラウンド GND）に電氣的に接続されている。

[0026] 転送トランジスタ T_{r1} は、フォトダイオード PD と転送トランジスタ T_{r2} との間に接続されており、ゲート電極に印加される制御信号に応じて、フォトダイオード PD に蓄積されている電荷を転送トランジスタ T_{r2} に転送することが可能となっている。転送トランジスタ T_{r1} は、フォトダイオード PD から電荷保持部 MEM1 に電荷を転送することが可能となっている。転送トランジスタ T_{r1} は、例えば、垂直ゲート電極を有している。転送トランジスタ T_{r1} のドレインが転送トランジスタ T_{r2} のソースに電氣的に接続されており、転送トランジスタ T_{r1} のゲートは画素制御線 TRY（例えば、TRY0 または TRY1）に接続されている。

[0027] 転送トランジスタ T_{r2} は、転送トランジスタ T_{r1} と転送トランジスタ

T r 3との間に接続されており、ゲート電極に印加される制御信号に応じて、電荷保持部MEM 1のポテンシャルを制御する。例えば、転送トランジスタT r 2がオンしたとき、電荷保持部MEMのポテンシャルが深くなり、転送トランジスタT r 2がオフしたとき、電荷保持部MEMのポテンシャルが浅くなる。そして、例えば、転送トランジスタT r 1がオンすると、電荷保持部MEM 1に蓄積されている電荷が、転送トランジスタT r 2を介して、電荷保持部MEM 2に転送される。転送トランジスタT r 2のドレインが転送トランジスタT r 3のソースに電氣的に接続されており、転送トランジスタT r 2のゲートは画素制御線TRX（例えば、TRX 0、TRX 1、TRX 2またはTRX 3）に接続されている。

[0028] 電荷保持部MEM 1，MEM 2は、グローバルシャッタ機能を実現するために、フォトダイオードPDに蓄積された電荷を一時的に保持する領域である。電荷保持部MEM 1，MEM 2は、フォトダイオードPDから転送された電荷を保持することが可能となっている。

[0029] 転送トランジスタT r 3は、転送トランジスタT r 2とフローティングディフュージョンFDとの間に接続されており、ゲート電極に印加される制御信号に応じて、電荷保持部MEM 2に保持されている電荷をフローティングディフュージョンFDに転送することが可能となっている。例えば、転送トランジスタT r 2がオフし、転送トランジスタT r 3がオンすると、電荷保持部MEMに保持されている電荷が、転送トランジスタT r 2および転送トランジスタT r 3を介して、フローティングディフュージョンFDに転送される。転送トランジスタT r 3のドレインがフローティングディフュージョンFDに電氣的に接続されており、転送トランジスタT r 3のゲートは画素制御線TRG（例えば、TRG 0、TRG 1、TRG 2またはTRG 3）に接続されている。

[0030] フローティングディフュージョンFDは、転送トランジスタT r 3を介してフォトダイオードPDから出力された電荷を一時的に保持する浮遊拡散領域である。フローティングディフュージョンFDには、例えば、リセットト

ランジスタTr6が接続されるとともに、増幅トランジスタTr5および選択トランジスタTr7を介して垂直信号線VSLが接続されている。

[0031] 排出トランジスタTr4では、ドレインが電源線VDDに接続され、ソースがフォトダイオードPDと転送トランジスタTr1の間に接続されている。排出トランジスタTr4のゲートは画素制御線OFGに接続されている。排出トランジスタTr4は、ゲート電極に印加される制御信号に応じて、フォトダイオードPDを初期化（リセット）する。例えば、排出トランジスタTr4がオンすると、フォトダイオードPDの電位が電源線VDDの電位レベルにリセットされる。すなわち、フォトダイオードPDの初期化が行われる。

[0032] リセットトランジスタTr6では、ドレインが電源線VDDに接続され、ソースがフローティングディフュージョンFDに接続されている。リセットトランジスタTr6のゲートは画素制御線RSTに接続されている。リセットトランジスタRSTは、ゲート電極に印加される制御信号に応じて、電荷保持部MEM1からフローティングディフュージョンFDまでの各領域を初期化（リセット）する。例えば、転送トランジスタTr3およびリセットトランジスタTr6がオンすると、電荷保持部MEM1、MEM2およびフローティングディフュージョンFDの電位が電源線VDDの電位レベルにリセットされる。すなわち、電荷保持部MEM1、MEM2およびフローティングディフュージョンFDの初期化が行われる。

[0033] 増幅トランジスタTr5は、ゲート電極がフローティングディフュージョンFDに接続され、ドレインが電源線VDDに接続されており、フォトダイオードPDでの光電変換によって得られる電荷を読み出すソースフォロワ回路の入力部となる。すなわち、増幅トランジスタAMPは、ソースが選択トランジスタSELを介して垂直信号線VSLに接続されることにより、垂直信号線VSLの一端に接続される定電流源とソースフォロワ回路を構成する。

[0034] 選択トランジスタTr7は、増幅トランジスタTr5のソースと垂直信号

線VSLとの間に接続されており、選択トランジスタTr7のゲート電極には、選択信号として制御信号が供給される。選択トランジスタTr7のゲートは画素制御線SELに接続されている。選択トランジスタTr7は、制御信号がオンすると導通状態となり、選択トランジスタTr7に連結されたセンサ画素11が選択状態となる。センサ画素11が選択状態になると、増幅トランジスタTr5から出力される画素信号が垂直信号線VSLを介してカラム信号処理回路22に読み出される。

[0035] 次に、画素アレイ部10の配線レイアウトについてより詳細に説明する。図3は、画素アレイ部10の配線レイアウトの一例を表す。図3には、フローティングディフュージョンFDが共有される4つのセンサ画素11に接続される複数の画素制御線として、画素制御線OFG, TRY0, TRY1, TRX0, TRX1, TRX2, TRX3, TRG0, TRG1, TRG2, TRG3が例示されている。また、図3には、4つのセンサ画素11によって共有される読み出し回路12に接続される複数の画素制御線として、RST, SELが例示されている。

[0036] 次に、図3、図4を参照して、故障検知回路25の回路構成について説明する。図4は、故障検知回路25の回路構成の一例を表す。故障検知回路25は、例えば、図3、図4に示したように、セクタ25Aと、比較部25Bと、判定部25Cとを有する。

[0037] セクタ25Aの複数の入力端には、複数の画素制御線(OFG, TRY0, TRY1, TRX0, TRX1, TRX2, TRX3, TRG0, TRG1, TRG2, TRG3, RST, SEL)の一端が接続される。セクタ25Aの1つの出力端には、比較部25Bの1つの入力端が接続される。セクタ25Aは、システム制御回路24からの制御信号ctl1に従って選択される、複数の画素制御線のうちのいずれか1つと、比較部25Bとを接続することが可能となっている。

[0038] 比較部25Bは、例えば、図4に示したように、セクタ251と、Hiレベル用の抵抗分圧回路252と、Loレベル用の抵抗分圧回路253と、

セクタ 254 と、比較器 255 とを有している。

[0039] セクタ 251 の 2 つの出力端において、一方の出力端には、Hi レベル用の抵抗分圧回路 252 が接続されており、他方の出力端には、Lo レベル用の抵抗分圧回路 253 が接続されている。セクタ 251 は、システム制御回路 24 からの制御信号 $ct12$ に従って選択される、2 つの出力端のうちの一方と、入力端とを接続することが可能となっている。セクタ 251 の 2 つの出力端において、Hi レベル側の出力端がセクタ 251 によって選択されたとき、Hi レベル側の出力端の電圧は、セクタ 25A によって選択された画素制御線の電圧 V_H (Hi 電圧) となっている。セクタ 251 の 2 つの出力端において、Lo レベル側の出力端がセクタ 251 によって選択されたとき、Lo レベル側の出力端の電圧は、セクタ 25A によって選択された画素制御線の電圧 V_L (Lo 電圧) となっている。

[0040] Hi レベル用の抵抗分圧回路 252 は、例えば、図 4 に示したように、セクタ 251 の一方の出力端に対して直列に接続された 2 つの抵抗素子 R_1 , R_2 によって構成されている。抵抗素子 R_1 と抵抗素子 R_2 との接続ノードがセクタ 254 の 2 つの入力端のうちの一方の入力端に接続されている。抵抗素子 R_2 のうち、抵抗素子 R_1 に未接続の端部は、例えば、基準電位線 (例えばグラウンド GND) に電氣的に接続されている。

[0041] Lo レベル用の抵抗分圧回路 253 は、例えば、図 4 に示したように、セクタ 251 の他方の出力端に対して直列に接続された 2 つの抵抗素子 R_3 , R_4 によって構成されている。抵抗素子 R_3 と抵抗素子 R_4 との接続ノードがセクタ 254 の 2 つの入力端のうちの他方の入力端に接続されている。抵抗素子 R_3 のうち、抵抗素子 R_4 に未接続の端部は、例えば、電源線 VDD に電氣的に接続されている。

[0042] セクタ 254 の 2 つの入力端において、一方の入力端には、抵抗素子 R_1 と抵抗素子 R_2 との接続ノードが接続されており、他方の入力端には、抵抗素子 R_3 と抵抗素子 R_4 との接続ノードが接続されている。セクタ 254 の 1 つの出力端には、比較器 255 の一方の入力端が接続されている。セ

レクタ 254 は、システム制御回路 24 からの制御信号 $ct13$ に従って選択される、2つの入力端のうちの一方と、出力端とを接続することが可能となっている。セクタ 254 の2つの入力端において、Hi レベル側の入力端がセクタ 254 によって選択されたとき、セクタ 254 の出力端の電圧は、 $V_H \times (R_2 / (R_1 + R_2))$ となっている。セクタ 251 の2つの出力端において、Lo レベル側の出力端がセクタ 254 によって選択されたとき、セクタ 254 の出力端の電圧は、 $(V_{DD} - V_L) \times (R_4 / (R_3 + R_4))$ となっている。

[0043] 比較器 255 の一方の入力端には、セクタ 254 の出力端が接続されており、比較器 255 の他方の入力端には、抵抗分圧回路が接続されている。比較器 255 の一方の入力端には、セクタ 254 の出力電圧（電圧 V_{in} ）が入力される。比較器 255 の他方の入力端に接続される抵抗分圧回路は、電源線 V_{DD} と基準電位線（例えばグラウンド GND ）との間に直列に接続された2つの抵抗素子 R_5 、 R_6 によって構成されている。抵抗素子 R_5 と抵抗素子 R_6 との接続ノードが比較器 255 の他方の入力端に接続される。比較器 255 の他方の入力端には、基準電圧 V_{ref} ($= (V_{DD} - V_{GND}) \times (R_6 / (R_5 + R_6))$) が入力される。 V_{GND} は、例えばグラウンド GND の電位を指している。比較器 255 は、一方の入力端の電圧（電圧 V_{in} ）と他方の入力端の電圧（基準電圧 V_{ref} ）との差分（ $V_{in} - V_{ref}$ ）が0または正の場合には、Hi レベルの電圧を出力することが可能となっている。比較器 255 は、差分（ $V_{in} - V_{ref}$ ）が負の場合には、Lo レベルの電圧を出力することが可能となっている。

[0044] 判定部 25C は、比較器 255 の出力に基づいて、垂直駆動回路 21、および垂直駆動回路 21 に接続された複数の画素制御線の故障判定を行うことが可能となっている。判定部 25C は、例えば、CPU (central processing unit) を含んで構成されている。

[0045] 判定部 25C は、例えば、セクタ 254 によってHi レベル側の入力端が選択された場合であって、かつ比較器 255 からHi レベルの電圧が入力

された場合とき、垂直駆動回路21と、セクタ25Aによって選択された画素制御線とがHiレベルにおいて正常であると判定することが可能となっている。判定部25Cは、例えば、セクタ254によってLoレベル側の入力端が選択された場合であって、かつ比較器255からHiレベルの電圧が入力された場合とき、垂直駆動回路21と、セクタ25Aによって選択された画素制御線とがLoレベルにおいて正常であると判定することが可能となっている。

[0046] 判定部25Cは、例えば、セクタ254によってHiレベル側の入力端が選択された場合であって、かつ比較器255からLoレベルの電圧が入力された場合とき、垂直駆動回路21および、セクタ25Aによって選択された画素制御線の少なくとも一方がHiレベルにおいて異常であると判定することが可能となっている。判定部25Cは、例えば、セクタ254によってLoレベル側の入力端が選択された場合であって、かつ比較器255からLoレベルの電圧が入力された場合とき、垂直駆動回路21および、セクタ25Aによって選択された画素制御線の少なくとも一方がLoレベルにおいて異常であると判定することが可能となっている。

[0047] [動作]

図5は、固体撮像装置1の動作の一例を表す。図6は、図5における全行一括転送の一例を表す。図7は、図5における行毎読み出し動作の一例を表す。

[0048] 固体撮像装置1は、例えば、図5に示したように、1F（1フレーム期間）において、全行一括転送、行毎読み出し動作およびブランキングをこの順に行う。このとき、固体撮像装置1は、例えば、図6に示したように、各センサ画素11において電荷保持部MEM1、MEM2およびフローティングディフュージョンFDをリセットした後、各センサ画素11においてフォトダイオードPDから電荷保持部MEM1、MEM2に電荷を転送する。

[0049] 固体撮像装置1は、例えば、図7に示したように、フローティングディフュージョンFDを共有する4つのセンサ画素11の電荷保持部MEM1、M

EM2に蓄積された電荷を順次、フローティングディフュージョンFDに転送する。このとき、固体撮像装置1は、例えば、図7に示したように、フローティングディフュージョンFDに電荷を転送する度に、フローティングディフュージョンFDに転送された電荷を、データ出力線VSLに出力する。そして、固体撮像装置1は、例えば、図7に示したように、次の電荷転送の前に、フローティングディフュージョンFDをリセットする。

[0050] 故障検知回路25は、例えば、全行一括転送を実行している期間において、垂直駆動回路21および、全ての画素制御線の故障を検知する。故障検知回路25は、例えば、全ての画素制御線を複数のグループに分け、グループごとに複数の画素制御線の故障を検知する。故障検知回路25は、例えば、図8に示したように、全ての画素制御線を3つのグループに分け、あるフレーム期間において、1つ目のグループに属する複数の画素制御線 $L(1) \sim L(N/3)$ の故障を検知する。続いて、故障検知回路25は、例えば、図8に示したように、次のフレーム期間において、2つ目のグループに属する複数の画素制御線 $L(N/3 + 1) \sim L(2N/3)$ の故障を検知する。続いて、故障検知回路25は、例えば、図8に示したように、次のフレーム期間において、3つ目のグループに属する複数の画素制御線 $L(2N/3 + 1) \sim L(N)$ の故障を検知する。なお、図8中のGは、全行一括転送を実行している期間を表し、図8中のRは、行毎読み出し動作を実行している期間を表し、Bはブランキング期間を表す。

[0051] 故障検知回路25は、例えば、行毎読み出し動作を実行している期間において、垂直駆動回路21および、全ての画素制御線の故障を検知する。故障検知回路25は、例えば、図8に示したように、行毎読み出し動作によって画素制御線が選択されるたびに、行毎読み出し動作によって選択された画素制御線の故障を検知する。

[0052] 判定部25Cは、例えば、図9に示したように、全行一括転送を実行している期間において、セレクタ254によってHiレベル側の入力端が選択された場合($DET_TRGO = VH$)、判定部25Cは、全行一括転送にお

けるH iレベル検出タイミングと判断する。このとき、例えば、図9に示したように、 $V_{in}-V_{ref}$ が正となっており、比較器255からH iレベルの電圧が出力されたとき（ $Cout=Hi$ ）、判定部25Cは、垂直駆動回路21と、セクタ25Aによって選択された画素制御線とがH iレベルにおいて正常であると判定する。

[0053] 判定部25Cは、例えば、図9に示したように、全行一括転送を実行している期間において、セクタ254によってL oレベル側の入力端が選択された場合（ $DET_TRGO=VL$ ）、判定部25Cは、全行一括転送におけるL oレベル検出タイミングと判断する。このとき、例えば、図9に示したように、 $V_{in}-V_{ref}$ が正となっており、比較器255からH iレベルの電圧が出力されたとき（ $Cout=Hi$ ）、判定部25Cは、垂直駆動回路21と、セクタ25Aによって選択された画素制御線とがL oレベルにおいて正常であると判定する。

[0054] 判定部25Cは、例えば、図9に示したように、行毎読み出し動作を実行している期間において、セクタ254によってH iレベル側の入力端が選択された場合（ $DET_TRGO=VH$ ）、判定部25Cは、行毎読み出し動作におけるH iレベル検出タイミングと判断する。このとき、例えば、図9に示したように、 $V_{in}-V_{ref}$ が正となっており、比較器255からH iレベルの電圧が出力されたとき（ $Cout=Hi$ ）、判定部25Cは、垂直駆動回路21と、セクタ25Aによって選択された画素制御線とがH iレベルにおいて正常であると判定する。

[0055] 判定部25Cは、例えば、図9に示したように、行毎読み出し動作を実行している期間において、セクタ254によってL oレベル側の入力端が選択された場合（ $DET_TRGO=VL$ ）、判定部25Cは、行毎読み出し動作におけるL oレベル検出タイミングと判断する。このとき、例えば、図9に示したように、 $V_{in}-V_{ref}$ が正となっており、比較器255からH iレベルの電圧が出力されたとき（ $Cout=Hi$ ）、判定部25Cは、垂直駆動回路21と、セクタ25Aによって選択された画素制御線とがL

oレベルにおいて正常であると判定する。

[0056] 判定部25Cは、例えば、図10に示したように、全行一括転送を実行している期間において、セクタ254によってHiレベル側の入力端が選択された場合（DET__TRGO=VH）、判定部25Cは、全行一括転送におけるHiレベル検出タイミングと判断する。このとき、例えば、図10に示したように、 $V_{in}-V_{ref}$ が負となっており、比較器255からLoレベルの電圧が出力されたとき（Cout=Lo）、判定部25Cは、垂直駆動回路21および、セクタ25Aによって選択された画素制御線の少なくとも一方がHiレベルにおいて異常であると判定する。

[0057] 判定部25Cは、例えば、図10に示したように、全行一括転送を実行している期間において、セクタ254によってLoレベル側の入力端が選択された場合（DET__TRGO=VL）、判定部25Cは、全行一括転送におけるLoレベル検出タイミングと判断する。このとき、例えば、図10に示したように、 $V_{in}-V_{ref}$ が正となっており、比較器255からHiレベルの電圧が出力されたとき（Cout=Hi）、判定部25Cは、垂直駆動回路21と、セクタ25Aによって選択された画素制御線とがLoレベルにおいて正常であると判定する。

[0058] 判定部25Cは、例えば、図10に示したように、行毎読み出し動作を実行している期間において、セクタ254によってHiレベル側の入力端が選択された場合（DET__TRGO=VH）、判定部25Cは、行毎読み出し動作におけるHiレベル検出タイミングと判断する。このとき、例えば、図10に示したように、 $V_{in}-V_{ref}$ が負となっており、比較器255からLoレベルの電圧が出力されたとき（Cout=Lo）、判定部25Cは、垂直駆動回路21および、セクタ25Aによって選択された画素制御線の少なくとも一方がHiレベルにおいて異常であると判定する。

[0059] 判定部25Cは、例えば、図10に示したように、行毎読み出し動作を実行している期間において、セクタ254によってLoレベル側の入力端が選択された場合（DET__TRGO=VL）、判定部25Cは、行毎読み出

し動作におけるL oレベル検出タイミングと判断する。このとき、例えば、図10に示したように、 $V_{in} - V_{ref}$ が正となっており、比較器255からH iレベルの電圧が出力されたとき（ $Cout = Hi$ ）、判定部25Cは、垂直駆動回路21と、セクタ25Aによって選択された画素制御線とがL oレベルにおいて正常であると判定する。

[0060] 判定部25Cは、例えば、図11に示したように、全行一括転送を実行している期間において、セクタ254によってH iレベル側の入力端が選択された場合（ $DET_TRGO = VH$ ）、判定部25Cは、全行一括転送におけるH iレベル検出タイミングと判断する。このとき、例えば、図11に示したように、 $V_{in} - V_{ref}$ が正となっており、比較器255からH iレベルの電圧が出力されたとき（ $Cout = Hi$ ）、判定部25Cは、垂直駆動回路21と、セクタ25Aによって選択された画素制御線とがH iレベルにおいて正常であると判定する。

[0061] 判定部25Cは、例えば、図11に示したように、全行一括転送を実行している期間において、セクタ254によってL oレベル側の入力端が選択された場合（ $DET_TRGO = VL$ ）、判定部25Cは、全行一括転送におけるL oレベル検出タイミングと判断する。このとき、例えば、図11に示したように、 $V_{in} - V_{ref}$ が負となっており、比較器255からL oレベルの電圧が出力されたとき（ $Cout = Lo$ ）、判定部25Cは、垂直駆動回路21および、セクタ25Aによって選択された画素制御線の少なくとも一方がL oレベルにおいて異常であると判定する。

[0062] 判定部25Cは、例えば、図11に示したように、行毎読み出し動作を実行している期間において、セクタ254によってH iレベル側の入力端が選択された場合（ $DET_TRGO = VH$ ）、判定部25Cは、行毎読み出し動作におけるH iレベル検出タイミングと判断する。このとき、例えば、図9に示したように、 $V_{in} - V_{ref}$ が正となっており、比較器255からH iレベルの電圧が出力されたとき（ $Cout = Hi$ ）、判定部25Cは、垂直駆動回路21と、セクタ25Aによって選択された画素制御線とが

H i レベルにおいて正常であると判定する。

[0063] 判定部 25 C は、例えば、図 11 に示したように、行毎読み出し動作を実行している期間において、セクタ 254 によって L o レベル側の入力端が選択された場合 ($DET_TRGO = VL$)、判定部 25 C は、行毎読み出し動作における L o レベル検出タイミングと判断する。このとき、例えば、図 9 に示したように、 $V_{in} - V_{ref}$ が負となっており、比較器 255 から L o レベルの電圧が出力されたとき ($Out = Lo$)、判定部 25 C は、垂直駆動回路 21 および、セクタ 25 A によって選択された画素制御線の少なくとも一方が L o レベルにおいて異常であると判定する。

[0064] [効果]

次に、固体撮像装置 1 の効果について説明する。

[0065] 本実施の形態では、故障検知装置 25 が、各画素制御線他端に電氣的に接続されている。選択された画素制御線に印加される H i 電圧 (V_H) が抵抗分圧回路 252 によって分圧され、選択された画素制御線に印加される L o 電圧 (V_L) が抵抗分圧回路 253 によって分圧される。抵抗分圧回路 252 によって生成される電圧、および抵抗分圧回路 253 によって生成される電圧のいずれか一方の電圧 V_{in} と、参照電圧 V_{ref} とが比較器 255 によって比較される。そして、比較器 255 の結果に基づいて垂直駆動回路 21 の故障判定が故障検知回路 25 によって行われる。これにより、垂直駆動回路 21 に対して、H i レベルの故障検知と、L o レベルの故障検知を行うことができる。また、選択された画素制御線に対しても、H i レベルの故障検知と、L o レベルの故障検知を行うことができる。

[0066] 本実施の形態では、故障検知装置 25 において、セクタ 251, 254 が設けられている。これにより、抵抗分圧回路 252 によって生成される電圧、および抵抗分圧回路 253 によって生成される電圧のいずれか一方の電圧 V_{in} を比較器 255 に入力することができる。これにより、垂直駆動回路 21 に対して、H i レベルの故障検知と、L o レベルの故障検知を行うことができる。また、選択された画素制御線に対しても、H i レベルの故障検

知と、L o レベルの故障検知を行うことができる。

[0067] 本実施の形態では、故障検知装置 25 において、セクタ 25 A が設けられている。これにより、全行一括転送の際に、複数の画素制御線の中から 1 本の画素制御線を選択することができるので、全行一括転送の際に各画素制御線について故障検出を行うことができる。

[0068] < 2. 第 1 の実施の形態の変形例 >

次に、第 1 の実施の形態の変形例について説明する。

[0069] [変形例 2 - 1]

図 12 は、垂直駆動回路 21 の回路構成の一変形例を表したものである。上記第 1 の実施の形態において、垂直駆動回路 21 は、例えば、図 12 に示したように、全行一括転送用の駆動回路 21 a と、行毎読み出し動作の駆動回路 21 b とを有していてもよい。

[0070] 駆動回路 21 a は、例えば、画素行 12 (k) ($1 \leq k \leq N$; N は画素アレイ部 10 における単位画素行の数) ごとにドライバ DR a (k) を 1 つずつ有している。駆動回路 21 a において、各ドライバ DR a (k) は、共通の制御線によって同時に駆動される。駆動回路 21 b は、例えば、画素行 12 (k) ごとにドライバ DR b (k) を 1 つずつ有している。駆動回路 21 b において、各ドライバ DR b (k) は、ドライバ DR b (k) ごとに割り当てられた制御線によって独立に駆動される。

[0071] このように、本変形例では、全行一括転送用と、行毎読み出し動作とで別個にドライバが設けられている。これにより、全行一括転送時と、行毎読み出し動作時とで、ドライバのドライブ能力を分けることが可能となる。

[0072] [変形例 2 - 2]

図 13 は、故障検知回路 25 の回路構成の一変形例を表したものである。上記第 1 の実施の形態およびその変形例において、抵抗素子 R5, R6 が、それぞれ、例えば、図 13 に示したように、可変抵抗器となってもよい。システム制御回路 24 が、例えば、抵抗素子 R5, R6 に対して抵抗値を設定する制御信号 c t l 4 を入力することにより、抵抗素子 R5, R6 の抵

抗値を所定の抵抗値に設定することが可能となってもよい。

[0073] 抵抗素子 R 5 は、通常時の抵抗値に対して例えば 10% 小さな抵抗値に変更することが可能となっている。抵抗素子 R 6 は、通常時の抵抗値に対して例えば 10% 小さな抵抗値に変更することが可能となっている。システム制御回路 24 が、例えば、抵抗素子 R 5 に対して抵抗値を通常時の抵抗値に対して例えば 10% 小さな値に設定する制御信号を入力するとともに、抵抗素子 R 6 に対して抵抗値を通常時の抵抗値に設定する制御信号を入力とする。このとき、基準電圧 V_{ref} は、抵抗素子 R 5, R 6 の双方が通常時の抵抗値となっている場合と比べて、若干大きな電圧値となる。また、システム制御回路 24 が、例えば、抵抗素子 R 5 に対して抵抗値を通常時の抵抗値に設定する制御信号を入力するとともに、抵抗素子 R 6 に対して抵抗値を通常時の抵抗値に対して例えば 10% 小さな値に設定する制御信号を入力とする。このとき、基準電圧 V_{ref} は、抵抗素子 R 5, R 6 の双方が通常時の抵抗値となっている場合と比べて、若干小さな電圧値となる。

[0074] このように、本変形例では、抵抗素子 R 5, R 6 を可変抵抗器とすることにより、基準電圧 V_{ref} を若干大きな値に設定したり、若干小さな値に設定したりすることができる。これにより、電圧 V_{in} の値に若干の変動があることを検出することができるので、垂直駆動回路 21 および画素制御線のうち少なくとも一方に、電圧 V_{in} の値に若干の変動を生じさせる不具合があるか否かを検出することができる。

[0075] なお、故障検知回路 25 は、例えば、図 14 に示したように、抵抗素子 R 5, R 6 の代わりに、セクタ 256 および抵抗タップ 257 を有してもよい。抵抗タップ 257 は、複数の抵抗素子が直列に接続された抵抗タップである。セクタ 256 の複数の入力端には、抵抗タップ 257 における 2 つの抵抗素子の連結箇所ごとに 1 本ずつ接続された複数の配線が接続されている。セクタ 256 の出力端は、比較器 255 の一方の入力端に接続されている。このとき、システム制御回路 24 は、セクタ 256 に対して制御信号 $ct14$ を入力することにより、セクタ 256 に対して、複数の入

力端のうちいずれか1つを選択させることが可能となってもよい。このようにした場合であっても、基準電圧 V_{ref} を若干大きな値に設定したり、若干小さな値に設定したりすることができる。これにより、電圧 V_{in} の値に若干の変動があることを検出することができるので、垂直駆動回路21および画素制御線のうち少なくとも一方に、電圧 V_{in} の値に若干の変動を生じさせる不具合があるか否かを検出することができる。

[0076] <3. 第2の実施の形態>

[構成]

次に、本開示の第2の実施の形態に係る固体撮像装置2について説明する。固体撮像装置2は、例えば、CMOSイメージセンサ等からなるグローバルシャッタ方式のイメージセンサである。固体撮像装置2は、被写体からの光を受光して光電変換し、画像信号を生成することで画像を撮像することが可能となっている。固体撮像装置2は、入射光に応じた画素信号を出力することが可能となっている。

[0077] 図15は、本開示の第2の実施の形態に係る固体撮像装置2の概略構成の一例を表す。固体撮像装置2は、画素アレイ部10が設けられた第1のチップ100と、ロジック回路30が設けられた第2のチップ300とが積層された積層チップとなっている。第1のチップ100の上面が受光面となっている。本実施の形態では、データ出力線 V_{SL} は、各読み出し回路12から出力された画素信号をロジック回路30に出力する配線であり、例えば、列方向に延在している。

[0078] 第2のチップ300は、半導体基板（例えば、シリコン基板）上に、画素信号を処理するロジック回路30を有している。ロジック回路30は、例えば、図15に示したように、垂直駆動回路21、カラム信号処理回路22、水平駆動回路23、システム制御回路24および故障検知回路29を有している。ロジック回路30（具体的には水平駆動回路23）は、センサ画素11ごとの出力電圧を外部に出力することが可能となっている。故障検知回路29は、カラム信号処理回路22、およびカラム信号処理回路22に接続さ

れた各制御線の故障検知結果を外部に出力することが可能となっている。

[0079] 第1のチップ100および第2のチップ300には、例えば、図15に示したように、TCV26、27が設けられており、第1のチップ100および第2のチップ300がTCV26、27を介して互いに電氣的に接続されている。TCV26は、第2のチップ300に設けられた垂直駆動回路21の複数の出力端と、第1のチップ100に設けられた複数の画素制御線の一端とに接続されている。TCV27は、第2のチップ300に設けられたカラム信号処理回路22の複数の入力端と、第1のチップ100に設けられた複数のデータ出力線VSLとに接続されている。

[0080] カラム信号処理回路22は、例えば、図16に示したように、DAC221を有するとともに、データ出力線VSLごとにカラム信号処理部22Aを有している。カラム信号処理部22Aは、例えば、シングルスロープA/D変換器を含んでいる。カラム信号処理部22Aは、例えば、比較器222、カウンタ223およびバッファ224を含んで構成されている。

[0081] 比較器222は、システム制御回路24から供給される比較制御信号に基づき、データ出力線VSLを介してセンサ画素11から得られた画素信号と、DAC221から供給されるランプ電圧とを比較することが可能となっている。比較器222は、さらに、比較結果を2値データとしてカウンタ223に出力することが可能となっている。比較制御信号は、システム制御回路24に接続された制御線CTL1によって比較器222に入力される。

[0082] カウンタ223は、システム制御回路24から供給されるカウント制御信号に基づき、カウント動作を行うことが可能となっている。カウンタ223は、例えば、比較結果（2値データ）が反転するまでカウント動作を行い、その結果得られた計数値を示すデジタル信号をバッファ224に出力することが可能となっている。カウント制御信号、システム制御回路24に接続された制御線CTL2によってカウンタ223に入力される。

[0083] バッファ224は、水平駆動回路23への出力を制御するためのものであり、例えば、ラッチ回路を含み、水平駆動回路23からの選択信号に基づき

、カウンタ 2 2 3 から入力されたデジタル信号を水平駆動回路 2 3 へ出力することが可能となっている。

[0084] システム制御回路 2 4 には、例えば、上述の制御線 C T L 1, C T L 2 以外の制御線が接続されていてもよい。カラム信号処理部 2 2 A が、例えば、複数のデータ出力線 V S L に接続されたセレクトアを有している場合、システム制御回路 2 4 には、このセレクトアに対する選択信号が印加される制御線が接続されていてもよい。また、システム制御回路 2 4 には、例えば、比較器 2 2 2 のオートゼロを制御する制御信号が印加される制御線が接続されていてもよい。このように、システム制御回路 2 4 に対して、上述の制御線 C T L 1, C T L 2 以外の複数の制御線が接続されている場合、これらの制御線は、上述の制御線 C T L 1, C T L 2 と同様、セレクトア 2 9 A に接続されていてもよい。

[0085] 次に、図 1 7 を参照して、故障検知回路 2 9 の回路構成について説明する。図 1 7 は、故障検知回路 2 9 の回路構成の一例を表す。故障検知回路 2 9 は、例えば、図 1 7 に示したように、セレクトア 2 9 A と、比較部 2 9 B と、判定部 2 9 C とを有する。

[0086] セレクトア 2 9 A の複数の入力端には、複数の制御線 (C T L 1, C T L 2 等) の一端が接続される。セレクトア 2 9 A の 1 つの出力端には、比較部 2 9 B の 1 つの入力端が接続される。セレクトア 2 9 A は、システム制御回路 2 4 からの制御信号 c t l 1 に従って選択される、複数の制御線のうちのいずれか 1 つと、比較部 2 9 B とを接続することが可能となっている。

[0087] 比較部 2 9 B は、例えば、図 1 7 に示したように、セレクトア 2 9 1 と、H i レベル用の抵抗分圧回路 2 9 2 と、L o レベル用の抵抗分圧回路 2 9 3 と、セレクトア 2 9 4 と、比較器 2 9 5 とを有している。

[0088] セレクトア 2 9 1 の 2 つの出力端において、一方の出力端には、H i レベル用の抵抗分圧回路 2 9 2 が接続されており、他方の出力端には、L o レベル用の抵抗分圧回路 2 9 3 が接続されている。セレクトア 2 9 1 は、システム制御回路 2 4 からの制御信号 c t l 2 に従って選択される、2 つの出力端のう

ちの一方と、入力端とを接続することが可能となっている。セクタ291の2つの出力端において、Hiレベル側の出力端がセクタ291によって選択されたとき、Hiレベル側の出力端の電圧は、セクタ29Aによって選択された制御線の電圧VHとなっている。セクタ291の2つの出力端において、Loレベル側の出力端がセクタ291によって選択されたとき、Loレベル側の出力端の電圧は、セクタ29Aによって選択された制御線の電圧VLとなっている。

[0089] Hiレベル用の抵抗分圧回路292は、例えば、図17に示したように、セクタ291の一方の出力端に対して直列に接続された2つの抵抗素子R1、R2によって構成されている。抵抗素子R1と抵抗素子R2との接続ノードがセクタ294の2つの入力端のうちの一方の入力端に接続されている。抵抗素子R2のうち、抵抗素子R1に未接続の端部は、例えば、基準電位線（例えばグラウンドGND）に電氣的に接続されている。

[0090] Loレベル用の抵抗分圧回路293は、例えば、図17に示したように、セクタ291の他方の出力端に対して直列に接続された2つの抵抗素子R3、R4によって構成されている。抵抗素子R3と抵抗素子R4との接続ノードがセクタ294の2つの入力端のうちの他方の入力端に接続されている。抵抗素子R3のうち、抵抗素子R4に未接続の端部は、例えば、電源線VDDに電氣的に接続されている。

[0091] セクタ294の2つの入力端において、一方の入力端には、抵抗素子R1と抵抗素子R2との接続ノードが接続されており、他方の入力端には、抵抗素子R3と抵抗素子R4との接続ノードが接続されている。セクタ294の1つの出力端には、比較器295の一方の入力端が接続されている。セクタ294は、システム制御回路24からの制御信号ctl3に従って選択される、2つの入力端のうちの一方と、出力端とを接続することが可能となっている。セクタ294の2つの入力端において、Hiレベル側の入力端がセクタ294によって選択されたとき、セクタ294の出力端の電圧は、 $VH \times (R2 / (R1 + R2))$ となっている。セクタ291の2

つの出力端において、Lレベル側の出力端がセクタ294によって選択されたとき、セクタ294の出力端の電圧は、 $(V_{DD} - V_L) \times (R_4 / (R_3 + R_4))$ となっている。

[0092] 比較器295の一方の入力端には、セクタ294の出力端が接続されており、比較器295の他方の入力端には、抵抗分圧回路が接続されている。比較器295の一方の入力端には、セクタ294の出力電圧（電圧 V_{in} ）が入力される。比較器295の他方の入力端に接続される抵抗分圧回路は、電源線 V_{DD} と基準電位線（例えばグラウンド GND ）との間に直列に接続された2つの抵抗素子 R_5 、 R_6 によって構成されている。抵抗素子 R_5 と抵抗素子 R_6 との接続ノードが比較器295の他方の入力端に接続される。比較器295の他方の入力端には、基準電圧 V_{ref} （ $= (V_{DD} - V_{GND}) \times (R_6 / (R_5 + R_6))$ ）が入力される。 V_{GND} は、例えばグラウンド GND の電位を指している。比較器295は、一方の入力端の電圧（電圧 V_{in} ）と他方の入力端の電圧（基準電圧 V_{ref} ）との差分（ $V_{in} - V_{ref}$ ）が0または正の場合には、Hレベルの電圧を出力することが可能となっている。比較器295は、差分（ $V_{in} - V_{ref}$ ）が負の場合には、Lレベルの電圧を出力することが可能となっている。

[0093] 判定部29Cは、比較器295の出力に基づいて、システム制御回路24、およびシステム制御回路24に接続された複数の制御線（例えば、 CTL_1 、 CTL_2 ）の故障判定を行うことが可能となっている。判定部29Cは、例えば、CPUを含んで構成されている。

[0094] 判定部29Cは、例えば、セクタ294によってHレベル側の入力端が選択された場合であって、かつ比較器295からHレベルの電圧が入力された場合とき、システム制御回路24と、セクタ29Aによって選択された制御線とがHレベルにおいて正常であると判定することが可能となっている。判定部29Cは、例えば、セクタ294によってLレベル側の入力端が選択された場合であって、かつ比較器295からHレベルの電圧が入力された場合とき、システム制御回路24と、セクタ29Aによって

選択された制御線とがLレベルにおいて正常であると判定することが可能となっている。

[0095] 判定部29Cは、例えば、セクタ294によってHiレベル側の入力端が選択された場合であって、かつ比較器295からLレベルの電圧が入力された場合とき、システム制御回路24および、セクタ29Aによって選択された制御線の少なくとも一方がHiレベルにおいて異常であると判定することが可能となっている。判定部29Cは、例えば、セクタ294によってLレベル側の入力端が選択された場合であって、かつ比較器295からLレベルの電圧が入力された場合とき、システム制御回路24および、セクタ29Aによって選択された制御線の少なくとも一方がLレベルにおいて異常であると判定することが可能となっている。

[0096] 判定部29Cは、上記実施の形態における判定部25Cと共通の機能を有している。固体撮像装置2の動作は、上記実施の形態における固体撮像装置1の動作と比べると、故障検知対象が異なる点を除いて、共通の動作となっている。

[0097] [効果]

次に、固体撮像装置2の効果について説明する。

[0098] 本実施の形態では、故障検知装置29が、各制御線に電氣的に接続されている。選択された制御線に印加されるHi電圧(VH)が抵抗分圧回路292によって分圧され、選択された制御線に印加されるL電圧(VL)が抵抗分圧回路293によって分圧される。抵抗分圧回路292によって生成される電圧、および抵抗分圧回路293によって生成される電圧のいずれか一方の電圧Vinと、参照電圧Vrefとが比較器295によって比較される。そして、比較器295の結果に基づいてシステム制御回路24、およびシステム制御回路24に接続された複数の制御線の故障判定が故障検知回路29によって行われる。これにより、システム制御回路24に対して、Hiレベルの故障検知と、Lレベルの故障検知を行うことができる。また、選択された制御線に対しても、Hiレベルの故障検知と、Lレベルの故障検知

を行うことができる。

[0099] 本実施の形態では、故障検知装置 29 において、セクタ 291, 294 が設けられている。これにより、抵抗分圧回路 292 によって生成される電圧、および抵抗分圧回路 293 によって生成される電圧のいずれか一方の電圧 V_{in} を比較器 295 に入力することができる。これにより、システム制御回路 24 に対して、Hi レベルの故障検知と、Lo レベルの故障検知を行うことができる。また、選択された制御線に対しても、Hi レベルの故障検知と、Lo レベルの故障検知を行うことができる。

[0100] 本実施の形態では、故障検知装置 29 において、セクタ 29A が設けられている。これにより、全ての制御線が同時に使用される際に、複数の制御線の中から 1 本の画素制御線を選択することができるので、全ての制御線が同時に使用される際に各制御線について故障検出を行うことができる。

[0101] <4. 第 2 の実施の形態の変形例>

次に、第 2 の実施の形態の変形例について説明する。

[0102] [変形例 4-1]

図 18 は、故障検知回路 29 の回路構成の一変形例を表したものである。上記第 2 の実施の形態において、抵抗素子 R5, R6 が、それぞれ、例えば、図 18 に示したように、可変抵抗器となってもよい。システム制御回路 24 が、例えば、抵抗素子 R5, R6 に対して抵抗値を設定する制御信号を入力することにより、抵抗素子 R5, R6 の抵抗値を所定の抵抗値に設定することが可能となってもよい。

[0103] 抵抗素子 R5 は、通常時の抵抗値に対して例えば 10% 小さな抵抗値に変更することが可能となっている。抵抗素子 R6 は、通常時の抵抗値に対して例えば 10% 小さな抵抗値に変更することが可能となっている。システム制御回路 24 が、例えば、抵抗素子 R5 に対して抵抗値を通常時の抵抗値に対して例えば 10% 小さな値に設定する制御信号を入力するとともに、抵抗素子 R6 に対して抵抗値を通常時の抵抗値に設定する制御信号を入力するとする。このとき、基準電圧 V_{ref} は、抵抗素子 R5, R6 の双方が通常時の

抵抗値となっている場合と比べて、若干大きな電圧値となる。また、システム制御回路24が、例えば、抵抗素子R5に対して抵抗値を通常時の抵抗値に設定する制御信号を入力するとともに、抵抗素子R6に対して抵抗値を通常時の抵抗値に対して例えば10%小さな値に設定する制御信号を入力とする。このとき、基準電圧 V_{ref} は、抵抗素子R5, R6の双方が通常時の抵抗値となっている場合と比べて、若干小さな電圧値となる。

[0104] このように、本変形例では、抵抗素子R5, R6を可変抵抗器とすることにより、基準電圧 V_{ref} を若干大きな値に設定したり、若干小さな値に設定したりすることができる。これにより、電圧 V_{in} の値に若干の変動があることを検出することができるので、システム制御回路24および制御線のうち少なくとも一方に、電圧 V_{in} の値に若干の変動を生じさせる不具合があるか否かを検出することができる。

[0105] なお、故障検知回路25は、例えば、図19に示したように、抵抗素子R5, R6の代わりに、セクタ296および抵抗タップ297を有してもよい。抵抗タップ297は、複数の抵抗素子が直列に接続された抵抗タップである。セクタ296の複数の入力端には、抵抗タップ297における2つの抵抗素子の連結箇所ごとに1本ずつ接続された複数の配線が接続されている。セクタ296の出力端は、比較器295の一方の入力端に接続されている。このとき、システム制御回路24は、セクタ296に対して制御信号 $ct14$ を入力することにより、セクタ296に対して、複数の入力端のうちいずれか1つを選択させることが可能となってもよい。このようにした場合であっても、基準電圧 V_{ref} を若干大きな値に設定したり、若干小さな値に設定したりすることができる。これにより、電圧 V_{in} の値に若干の変動があることを検出することができるので、垂直駆動回路21および画素制御線のうち少なくとも一方に、電圧 V_{in} の値に若干の変動を生じさせる不具合があるか否かを検出することができる。

[0106] <5. 移動体への応用例>

本開示に係る技術は、様々な製品へ応用することができる。例えば、本開

示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット、建設機械、農業機械（トラクター）などのいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0107] 図20は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システム7000の概略的な構成例を示すブロック図である。車両制御システム7000は、通信ネットワーク7010を介して接続された複数の電子制御ユニットを備える。図20に示した例では、車両制御システム7000は、駆動系制御ユニット7100、ボディ系制御ユニット7200、バッテリー制御ユニット7300、車外情報検出ユニット7400、車内情報検出ユニット7500、及び統合制御ユニット7600を備える。これらの複数の制御ユニットを接続する通信ネットワーク7010は、例えば、CAN (Controller Area Network)、LIN (Local Interconnect Network)、LAN (Local Area Network) 又はFlexRay（登録商標）等の任意の規格に準拠した車載通信ネットワークであってよい。

[0108] 各制御ユニットは、各種プログラムにしたがって演算処理を行うマイクロコンピュータと、マイクロコンピュータにより実行されるプログラム又は各種演算に用いられるパラメータ等を記憶する記憶部と、各種制御対象の装置を駆動する駆動回路とを備える。各制御ユニットは、通信ネットワーク7010を介して他の制御ユニットとの間で通信を行うためのネットワークI/Fを備えるとともに、車内外の装置又はセンサ等との間で、有線通信又は無線通信により通信を行うための通信I/Fを備える。図20では、統合制御ユニット7600の機能構成として、マイクロコンピュータ7610、汎用通信I/F7620、専用通信I/F7630、測位部7640、ビーコン受信部7650、車内機器I/F7660、音声画像出力部7670、車載ネットワークI/F7680及び記憶部7690が図示されている。他の制御ユニットも同様に、マイクロコンピュータ、通信I/F及び記憶部等を備える。

- [0109] 駆動系制御ユニット 7100 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 7100 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。駆動系制御ユニット 7100 は、ABS (Antilock Brake System) 又はESC (Electronic Stability Control) 等の制御装置としての機能を有してもよい。
- [0110] 駆動系制御ユニット 7100 には、車両状態検出部 7110 が接続される。車両状態検出部 7110 には、例えば、車体の軸回転運動の角速度を検出するジャイロセンサ、車両の加速度を検出する加速度センサ、あるいは、アクセルペダルの操作量、ブレーキペダルの操作量、ステアリングホイールの操舵角、エンジン回転数又は車輪の回転速度等を検出するためのセンサのうちの少なくとも一つが含まれる。駆動系制御ユニット 7100 は、車両状態検出部 7110 から入力される信号を用いて演算処理を行い、内燃機関、駆動用モータ、電動パワーステアリング装置又はブレーキ装置等を制御する。
- [0111] ボディ系制御ユニット 7200 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 7200 は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグラмп等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 7200 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 7200 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。
- [0112] バッテリー制御ユニット 7300 は、各種プログラムにしたがって駆動用モータの電力供給源である二次電池 7310 を制御する。例えば、バッテリー制御ユニット 7300 には、二次電池 7310 を備えたバッテリー装置から、バ

ッテリ温度、バッテリー出力電圧又はバッテリーの残存容量等の情報が入力される。バッテリー制御ユニット 7300 は、これらの信号を用いて演算処理を行い、二次電池 7310 の温度調節制御又はバッテリー装置に備えられた冷却装置等の制御を行う。

[0113] 車外情報検出ユニット 7400 は、車両制御システム 7000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 7400 には、撮像部 7410 及び車外情報検出部 7420 のうちの少なくとも一方が接続される。撮像部 7410 には、ToF (Time of Flight) カメラ、ステレオカメラ、単眼カメラ、赤外線カメラ及びその他のカメラのうちの少なくとも一つが含まれる。車外情報検出部 7420 には、例えば、現在の天候又は気象を検出するための環境センサ、あるいは、車両制御システム 7000 を搭載した車両の周囲の他の車両、障害物又は歩行者等を検出するための周囲情報検出センサのうちの少なくとも一つが含まれる。

[0114] 環境センサは、例えば、雨天を検出する雨滴センサ、霧を検出する霧センサ、日照度合いを検出する日照センサ、及び降雪を検出する雪センサのうちの少なくとも一つであってよい。周囲情報検出センサは、超音波センサ、レーダ装置及び LIDAR (Light Detection and Ranging, Laser Imaging Detection and Ranging) 装置のうちの少なくとも一つであってよい。これらの撮像部 7410 及び車外情報検出部 7420 は、それぞれ独立したセンサないし装置として備えられてもよいし、複数のセンサないし装置が統合された装置として備えられてもよい。

[0115] ここで、図 21 は、撮像部 7410 及び車外情報検出部 7420 の設置位置の例を示す。撮像部 7910, 7912, 7914, 7916, 7918 は、例えば、車両 7900 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部のうちの少なくとも一つの位置に設けられる。フロントノーズに備えられる撮像部 7910 及び車室内のフロントガラスの上部に備えられる撮像部 7918 は、主として車両 7900 の前方の画像を取得する。サイドミラーに備えられる撮像部 7912, 7

９１４は、主として車両７９００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部７９１６は、主として車両７９００の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部７９１８は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0116] なお、図２１には、それぞれの撮像部７９１０，７９１２，７９１４，７９１６の撮影範囲の一例が示されている。撮像範囲aは、フロントノーズに設けられた撮像部７９１０の撮像範囲を示し、撮像範囲b，cは、それぞれサイドミラーに設けられた撮像部７９１２，７９１４の撮像範囲を示し、撮像範囲dは、リアバンパ又はバックドアに設けられた撮像部７９１６の撮像範囲を示す。例えば、撮像部７９１０，７９１２，７９１４，７９１６で撮像された画像データが重ね合わせられることにより、車両７９００を上方から見た俯瞰画像が得られる。

[0117] 車両７９００のフロント、リア、サイド、コーナ及び車室内のフロントガラスの上部に設けられる車外情報検出部７９２０，７９２２，７９２４，７９２６，７９２８，７９３０は、例えば超音波センサ又はレーダ装置であってよい。車両７９００のフロントノーズ、リアバンパ、バックドア及び車室内のフロントガラスの上部に設けられる車外情報検出部７９２０，７９２６，７９３０は、例えばL I D A R装置であってよい。これらの車外情報検出部７９２０～７９３０は、主として先行車両、歩行者又は障害物等の検出に用いられる。

[0118] 図２０に戻って説明を続ける。車外情報検出ユニット７４００は、撮像部７４１０に車外の画像を撮像させるとともに、撮像された画像データを受信する。また、車外情報検出ユニット７４００は、接続されている車外情報検出部７４２０から検出情報を受信する。車外情報検出部７４２０が超音波センサ、レーダ装置又はL I D A R装置である場合には、車外情報検出ユニット７４００は、超音波又は電磁波等を発信させるとともに、受信された反射波の情報を受信する。車外情報検出ユニット７４００は、受信した情報に基

づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。車外情報検出ユニット 7400 は、受信した情報に基づいて、降雨、霧又は路面状況等を認識する環境認識処理を行ってもよい。車外情報検出ユニット 7400 は、受信した情報に基づいて、車外の物体までの距離を算出してもよい。

[0119] また、車外情報検出ユニット 7400 は、受信した画像データに基づいて、人、車、障害物、標識又は路面上の文字等を認識する画像認識処理又は距離検出処理を行ってもよい。車外情報検出ユニット 7400 は、受信した画像データに対して歪補正又は位置合わせ等の処理を行うとともに、異なる撮像部 7410 により撮像された画像データを合成して、俯瞰画像又はパノラマ画像を生成してもよい。車外情報検出ユニット 7400 は、異なる撮像部 7410 により撮像された画像データを用いて、視点変換処理を行ってもよい。

[0120] 車内情報検出ユニット 7500 は、車内の情報を検出する。車内情報検出ユニット 7500 には、例えば、運転者の状態を検出する運転者状態検出部 7510 が接続される。運転者状態検出部 7510 は、運転者を撮像するカメラ、運転者の生体情報を検出する生体センサ又は車室内の音声を集音するマイク等を含んでもよい。生体センサは、例えば、座面又はステアリングホイール等に設けられ、座席に座った搭乗者又はステアリングホイールを握る運転者の生体情報を検出する。車内情報検出ユニット 7500 は、運転者状態検出部 7510 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。車内情報検出ユニット 7500 は、集音された音声信号に対してノイズキャンセリング処理等の処理を行ってもよい。

[0121] 統合制御ユニット 7600 は、各種プログラムにしたがって車両制御システム 7000 内の動作全般を制御する。統合制御ユニット 7600 には、入力部 7800 が接続されている。入力部 7800 は、例えば、タッチパネル、ボタン、マイクロフォン、スイッチ又はレバー等、搭乗者によって入力操

作され得る装置によって実現される。統合制御ユニット 7600 には、マイクロフォンにより入力される音声を音声認識することにより得たデータが入力されてもよい。入力部 7800 は、例えば、赤外線又はその他の電波を利用したリモートコントロール装置であってもよいし、車両制御システム 7000 の操作に対応した携帯電話又は PDA (Personal Digital Assistant) 等の外部接続機器であってもよい。入力部 7800 は、例えばカメラであってもよく、その場合搭乗者はジェスチャにより情報を入力することができる。あるいは、搭乗者が装着したウェアラブル装置の動きを検出することで得られたデータが入力されてもよい。さらに、入力部 7800 は、例えば、上記の入力部 7800 を用いて搭乗者等により入力された情報に基づいて入力信号を生成し、統合制御ユニット 7600 に出力する入力制御回路などを含んでもよい。搭乗者等は、この入力部 7800 を操作することにより、車両制御システム 7000 に対して各種のデータを入力したり処理動作を指示したりする。

[0122] 記憶部 7690 は、マイクロコンピュータにより実行される各種プログラムを記憶する ROM (Read Only Memory)、及び各種パラメータ、演算結果又はセンサ値等を記憶する RAM (Random Access Memory) を含んでもよい。また、記憶部 7690 は、HDD (Hard Disc Drive) 等の磁気記憶デバイス、半導体記憶デバイス、光記憶デバイス又は光磁気記憶デバイス等によって実現してもよい。

[0123] 汎用通信 I/F 7620 は、外部環境 7750 に存在する様々な機器との間の通信を仲介する汎用的な通信 I/F である。汎用通信 I/F 7620 は、GSM (登録商標) (Global System of Mobile communications)、WiMAX (登録商標)、LTE (登録商標) (Long Term Evolution) 若しくは LTE-A (LTE-Advanced) などのセルラー通信プロトコル、又は無線 LAN (Wi-Fi (登録商標) と同いう)、Bluetooth (登録商標) などのその他の無線通信プロトコルを実装してよい。汎用通信 I/F 7620 は、例えば、基地局又はアクセスポイントを介して、外部ネットワ

ーク（例えば、インターネット、クラウドネットワーク又は事業者固有のネットワーク）上に存在する機器（例えば、アプリケーションサーバ又は制御サーバ）へ接続してもよい。また、汎用通信 I / F 7 6 2 0 は、例えば P 2 P (Peer To Peer) 技術を用いて、車両の近傍に存在する端末（例えば、運転者、歩行者若しくは店舗の端末、又は M T C (Machine Type Communication) 端末）と接続してもよい。

[0124] 専用通信 I / F 7 6 3 0 は、車両における使用を目的として策定された通信プロトコルをサポートする通信 I / F である。専用通信 I / F 7 6 3 0 は、例えば、下位レイヤの I E E E 8 0 2 . 1 1 p と上位レイヤの I E E E 1 6 0 9 との組合せである W A V E (Wireless Access in Vehicle Environment)、D S R C (Dedicated Short Range Communications)、又はセルラー通信プロトコルといった標準プロトコルを実装してよい。専用通信 I / F 7 6 3 0 は、典型的には、車車間 (Vehicle to Vehicle) 通信、路車間 (Vehicle to Infrastructure) 通信、車両と家との間 (Vehicle to Home) の通信及び歩車間 (Vehicle to Pedestrian) 通信のうちの 1 つ以上を含む概念である V 2 X 通信を遂行する。

[0125] 測位部 7 6 4 0 は、例えば、G N S S (Global Navigation Satellite System) 衛星からの G N S S 信号（例えば、G P S (Global Positioning System) 衛星からの G P S 信号）を受信して測位を実行し、車両の緯度、経度及び高度を含む位置情報を生成する。なお、測位部 7 6 4 0 は、無線アクセスポイントとの信号の交換により現在位置を特定してもよく、又は測位機能を有する携帯電話、P H S 若しくはスマートフォンといった端末から位置情報を取得してもよい。

[0126] ビーコン受信部 7 6 5 0 は、例えば、道路上に設置された無線局等から発信される電波あるいは電磁波を受信し、現在位置、渋滞、通行止め又は所要時間等の情報を取得する。なお、ビーコン受信部 7 6 5 0 の機能は、上述した専用通信 I / F 7 6 3 0 に含まれてもよい。

[0127] 車内機器 I / F 7 6 6 0 は、マイクロコンピュータ 7 6 1 0 と車内に存在

する様々な車内機器 7760 との間の接続を仲介する通信インタフェースである。車内機器 I/F 7660 は、無線 LAN、Bluetooth（登録商標）、NFC（Near Field Communication）又は WUSB（Wireless USB）といった無線通信プロトコルを用いて無線接続を確立してもよい。また、車内機器 I/F 7660 は、図示しない接続端子（及び、必要であればケーブル）を介して、USB（Universal Serial Bus）、HDMI（登録商標）（High-Definition Multimedia Interface、又は MHL（Mobile High-definition Link）等の有線接続を確立してもよい。車内機器 7760 は、例えば、搭乗者が有するモバイル機器若しくはウェアラブル機器、又は車両に搬入され若しくは取り付けられる情報機器のうちの少なくとも 1 つを含んでいてもよい。また、車内機器 7760 は、任意の目的地までの経路探索を行うナビゲーション装置を含んでいてもよい。車内機器 I/F 7660 は、これらの車内機器 7760 との間で、制御信号又はデータ信号を交換する。

[0128] 車載ネットワーク I/F 7680 は、マイクロコンピュータ 7610 と通信ネットワーク 7010 との間の通信を仲介するインタフェースである。車載ネットワーク I/F 7680 は、通信ネットワーク 7010 によりサポートされる所定のプロトコルに則して、信号等を送受信する。

[0129] 統合制御ユニット 7600 のマイクロコンピュータ 7610 は、汎用通信 I/F 7620、専用通信 I/F 7630、測位部 7640、ビーコン受信部 7650、車内機器 I/F 7660 及び車載ネットワーク I/F 7680 のうちの少なくとも一つを介して取得される情報に基づき、各種プログラムにしたがって、車両制御システム 7000 を制御する。例えば、マイクロコンピュータ 7610 は、取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 7100 に対して制御指令を出力してもよい。例えば、マイクロコンピュータ 7610 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含

むA D A S (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行ってもよい。また、マイクロコンピュータ7610は、取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行ってもよい。

[0130] マイクロコンピュータ7610は、汎用通信1/F7620、専用通信1/F7630、測位部7640、ビーコン受信部7650、車内機器1/F7660及び車載ネットワーク1/F7680のうちの少なくとも一つを介して取得される情報に基づき、車両と周辺の構造物や人物等の物体との間の3次元距離情報を生成し、車両の現在位置の周辺情報を含むローカル地図情報を作成してもよい。また、マイクロコンピュータ7610は、取得される情報に基づき、車両の衝突、歩行者等の近接又は通行止めの道路への進入等の危険を予測し、警告用信号を生成してもよい。警告用信号は、例えば、警告音を発生させたり、警告ランプを点灯させたりするための信号であってよい。

[0131] 音声画像出力部7670は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図20の例では、出力装置として、オーディオスピーカ7710、表示部7720及びインストルメントパネル7730が例示されている。表示部7720は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。表示部7720は、A R (Augmented Reality) 表示機能を有していてもよい。出力装置は、これらの装置以外の、ヘッドホン、搭乗者が装着する眼鏡型ディスプレイ等のウェアラブルデバイス、プロジェクタ又はランプ等の他の装置であってもよい。出力装置が表示装置の場合、表示装置は、マイクロコンピュータ7610が行った各種処理により得られた結果又は他の制御ユニットから受信された情報を、テキスト、イメージ、表、グラフ等、様々な形式で視覚的に表示する。また、出力装置が音声出力装置の場合、音声出力装

置は、再生された音声データ又は音響データ等からなるオーディオ信号をアナログ信号に変換して聴覚的に出力する。

[0132] なお、図20に示した例において、通信ネットワーク7010を介して接続された少なくとも二つの制御ユニットが一つの制御ユニットとして一体化されてもよい。あるいは、個々の制御ユニットが、複数の制御ユニットにより構成されてもよい。さらに、車両制御システム7000が、図示されていない別の制御ユニットを備えてもよい。また、上記の説明において、いずれかの制御ユニットが担う機能の一部又は全部を、他の制御ユニットに持たせてもよい。つまり、通信ネットワーク7010を介して情報の送受信がされるようになっていれば、所定の演算処理が、いずれかの制御ユニットで行われるようになってもよい。同様に、いずれかの制御ユニットに接続されているセンサ又は装置が、他の制御ユニットに接続されるとともに、複数の制御ユニットが、通信ネットワーク7010を介して相互に検出情報を送受信してもよい。

[0133] 以上、実施の形態およびその変形例、ならびに応用例を挙げて本開示を説明したが、本開示は上記実施の形態等に限定されるものではなく、種々変形が可能である。なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持ってもよい。

[0134] また、本開示は、以下のような構成を取ることも可能である。

(1)

複数の画素と、複数の画素制御線と、各前記画素制御線の一端に電氣的に接続され、前記複数の画素制御線を介して前記複数の画素を駆動する駆動回路とを備えた撮像装置における、各前記画素制御線他端に電氣的に接続される故障検知装置であって、

前記複数の画素制御線のうちの第1の画素制御線に印加される H_i 電圧を分圧することの可能な第1の抵抗分圧回路と、

前記第1の画素制御線に印加される L_o 電圧を分圧することの可能な第2

の抵抗分圧回路と、

前記第 1 の抵抗分圧回路によって生成される第 1 の電圧、および前記第 2 の抵抗分圧回路によって生成される第 2 の電圧のいずれか一方の電圧と、参照電圧とを比較することの可能な比較器と、

前記比較器の結果に基づいて前記駆動回路および各前記画素制御線の故障判定を行うことの可能な判定部と

を備えた

故障検知装置。

(2)

2つの入力端が前記第 1 の抵抗分圧回路および前記第 2 の抵抗分圧回路に電氣的に接続され、1つの出力端が前記比較器の一方の入力端に電氣的に接続された第 1 のセレクトと、

1つの入力端が前記前記第 1 の画素制御線に電氣的に接続され、2つの出力端が前記第 1 の抵抗分圧回路および前記第 2 の抵抗分圧回路に電氣的に接続された第 2 のセレクトと

を更に備えた

(1) に記載の故障検知装置。

(3)

複数の入力端が前記複数の画素制御線他端に電氣的に接続され、1つの出力端が前記第 2 のセレクトの入力端に電氣的に接続された第 3 のセレクトを更に備えた

(2) に記載の故障検知装置。

(4)

前記参照電圧を生成することの可能な第 3 の抵抗分圧回路を更に備え、前記第 3 の抵抗分圧回路は、直列に接続された複数の可変抵抗器を含む

(1) ないし (3) のいずれか 1 つに記載の故障検知装置。

(5)

複数の画素と、複数の制御線と、各前記制御線に接続され、前記複数の画

素から出力される画素信号を処理する制御回路を、前記複数の制御線を介して制御する制御回路とを備えた撮像装置における、各前記制御線に電氣的に接続される故障検知装置であって、

前記複数の制御線のうちの第1の制御線に印加されるH_i電圧を分圧することの可能な第1の抵抗分圧回路と、

前記第1の制御線に印加されるL_o電圧を分圧することの可能な第2の抵抗分圧回路と、

前記第1の抵抗分圧回路によって生成される第1の電圧、および前記第2の抵抗分圧回路によって生成される第2の電圧のいずれか一方の電圧と、参照電圧とを比較することの可能な比較器と、

前記比較器の結果に基づいて前記制御回路および各前記制御線の故障判定を行うことの可能な判定部と

を備えた

故障検知装置。

(6)

2つの入力端が前記第1の抵抗分圧回路および前記第2の抵抗分圧回路に電氣的に接続され、1つの出力端が前記比較器の一方の入力端に電氣的に接続された第1のセレクトと、

1つの入力端が前記前記第1の制御線に電氣的に接続され、2つの出力端が前記第1の抵抗分圧回路および前記第2の抵抗分圧回路に電氣的に接続された第2のセレクトと

を更に備えた

(5)に記載の故障検知装置。

(7)

複数の入力端が前記複数の制御線他端に電氣的に接続され、1つの出力端が前記第2のセレクトの入力端に電氣的に接続された第3のセレクトを更に備えた

(6)に記載の故障検知装置。

(8)

前記参照電圧を生成することの可能な第3の抵抗分圧回路を更に備え、
前記第3の抵抗分圧回路は、直列に接続された複数の可変抵抗器を含む
(5) ないし (7) のいずれか1つに記載の故障検知装置。

(9)

複数の画素と、
複数の画素制御線と、
各前記画素制御線の一端に電氣的に接続され、前記複数の画素制御線を介して前記複数の画素を駆動する駆動回路と、
各前記画素制御線他端に電氣的に接続される故障検知回路と
を備え、
前記故障検知回路は、
前記複数の画素制御線のうちの第1の画素制御線に印加されるH_i電圧を分圧することの可能な第1の抵抗分圧回路と、
前記第1の画素制御線に印加されるL_o電圧を分圧することの可能な第2の抵抗分圧回路と、
前記第1の抵抗分圧回路によって生成される第1の電圧、および前記第2の抵抗分圧回路によって生成される第2の電圧のいずれか一方の電圧と、参照電圧とを比較することの可能な比較器と、
前記比較器の結果に基づいて前記駆動回路および各前記画素制御線の故障判定を行うことの可能な判定部と
を有する
撮像装置。

(10)

複数の画素と、
複数の制御線と、
各前記制御線に接続され、前記複数の画素から出力される画素信号を処理する制御回路を、前記複数の制御線を介して制御する制御回路と、

各前記制御線に電氣的に接続される故障検知回路と
を備え、

前記故障検知回路は、

前記複数の制御線のうちの第 1 の制御線に印加される H_i 電圧を分圧することの可能な第 1 の抵抗分圧回路と、

前記第 1 の制御線に印加される L_o 電圧を分圧することの可能な第 2 の抵抗分圧回路と、

前記第 1 の抵抗分圧回路によって生成される第 1 の電圧、および前記第 2 の抵抗分圧回路によって生成される第 2 の電圧のいずれか一方の電圧と、参照電圧とを比較することの可能な比較器と、

前記比較器の結果に基づいて前記制御回路および各前記制御線の故障判定を行うことの可能な判定部と

を有する

撮像装置。

(11)

複数の画素と、複数の画素制御線と、各前記画素制御線の一端に電氣的に接続され、前記複数の画素制御線を介して前記複数の画素を駆動する駆動回路とを備えた撮像装置における、各前記画素制御線他端に電氣的に接続される故障検知装置で実行される故障検知方法であって、

前記複数の画素制御線のうちの第 1 の画素制御線に印加される H_i 電圧を分圧することと、

前記第 1 の画素制御線に印加される L_o 電圧を分圧することと、

前記第 1 の抵抗分圧回路によって生成される第 1 の電圧、および前記第 2 の抵抗分圧回路によって生成される第 2 の電圧のいずれか一方の電圧と、参照電圧とを比較することと、

比較結果に基づいて前記駆動回路および各前記画素制御線の故障判定を行うことと

を含む

故障検知方法。

(12)

複数の画素と、複数の制御線と、各前記制御線に接続され、前記複数の画素から出力される画素信号を処理する制御回路を、前記複数の制御線を介して制御する制御回路とを備えた撮像装置における、各前記制御線に電氣的に接続される故障検知装置で実行される故障検知方法であって、

前記複数の制御線のうちの第1の制御線に印加されるH_i電圧を分圧することと、

前記第1の制御線に印加されるL_o電圧を分圧することと、

前記第1の抵抗分圧回路によって生成される第1の電圧、および前記第2の抵抗分圧回路によって生成される第2の電圧のいずれか一方の電圧と、参照電圧とを比較することと、

比較結果に基づいて前記制御回路および各前記制御線の故障判定を行うことと

を含む

故障検知装置。

[0135] 本出願は、日本国特許庁において2023年6月28日に出願された日本特許出願番号第2023-106350号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0136] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 複数の画素と、複数の画素制御線と、各前記画素制御線の一端に電氣的に接続され、前記複数の画素制御線を介して前記複数の画素を駆動する駆動回路とを備えた撮像装置における、各前記画素制御線他端に電氣的に接続される故障検知装置であって、
- 前記複数の画素制御線のうちの第1の画素制御線に印加される H_i 電圧を分圧することの可能な第1の抵抗分圧回路と、
- 前記第1の画素制御線に印加される L_o 電圧を分圧することの可能な第2の抵抗分圧回路と、
- 前記第1の抵抗分圧回路によって生成される第1の電圧、および前記第2の抵抗分圧回路によって生成される第2の電圧のいずれか一方の電圧と、参照電圧とを比較することの可能な比較器と、
- 前記比較器の結果に基づいて前記駆動回路および各前記画素制御線の故障判定を行うことの可能な判定部と
- を備えた
- 故障検知装置。
- [請求項2] 2つの入力端が前記第1の抵抗分圧回路および前記第2の抵抗分圧回路に電氣的に接続され、1つの出力端が前記比較器の一方の入力端に電氣的に接続された第1のセレクタと、
- 1つの入力端が前記前記第1の画素制御線に電氣的に接続され、2つの出力端が前記第1の抵抗分圧回路および前記第2の抵抗分圧回路に電氣的に接続された第2のセレクタと
- を更に備えた
- 請求項1に記載の故障検知装置。
- [請求項3] 複数の入力端が前記複数の画素制御線他端に電氣的に接続され、1つの出力端が前記第2のセレクタの入力端に電氣的に接続された第3のセレクタを更に備えた
- 請求項2に記載の故障検知装置。

[請求項4] 前記参照電圧を生成することの可能な第3の抵抗分圧回路を更に備え、

前記第3の抵抗分圧回路は、直列に接続された複数の可変抵抗器を含む

請求項1に記載の故障検知装置。

[請求項5] 複数の画素と、複数の制御線と、各前記制御線に接続され、前記複数の画素から出力される画素信号を処理する制御回路を、前記複数の制御線を介して制御する制御回路とを備えた撮像装置における、各前記制御線に電氣的に接続される故障検知装置であって、

前記複数の制御線のうちの第1の制御線に印加される H_i 電圧を分圧することの可能な第1の抵抗分圧回路と、

前記第1の制御線に印加される L_o 電圧を分圧することの可能な第2の抵抗分圧回路と、

前記第1の抵抗分圧回路によって生成される第1の電圧、および前記第2の抵抗分圧回路によって生成される第2の電圧のいずれか一方の電圧と、参照電圧とを比較することの可能な比較器と、

前記比較器の結果に基づいて前記制御回路および各前記制御線の故障判定を行うことの可能な判定部と

を備えた

故障検知装置。

[請求項6] 2つの入力端が前記第1の抵抗分圧回路および前記第2の抵抗分圧回路に電氣的に接続され、1つの出力端が前記比較器の一方の入力端に電氣的に接続された第1のセレクトと、

1つの入力端が前記前記第1の制御線に電氣的に接続され、2つの出力端が前記第1の抵抗分圧回路および前記第2の抵抗分圧回路に電氣的に接続された第2のセレクトと

を更に備えた

請求項5に記載の故障検知装置。

- [請求項7] 複数の入力端が前記複数の制御線他端に電氣的に接続され、1つの出力端が前記第2のセレクタの入力端に電氣的に接続された第3のセレクタを更に備えた
- 請求項6に記載の故障検知装置。
- [請求項8] 前記参照電圧を生成することの可能な第3の抵抗分圧回路を更に備え、
- 前記第3の抵抗分圧回路は、直列に接続された複数の可変抵抗器を含む
- 請求項5に記載の故障検知装置。
- [請求項9] 複数の画素と、
- 複数の画素制御線と、
- 各前記画素制御線の一端に電氣的に接続され、前記複数の画素制御線を介して前記複数の画素を駆動する駆動回路と、
- 各前記画素制御線他端に電氣的に接続される故障検知回路とを備え、
- 前記故障検知回路は、
- 前記複数の画素制御線のうちの第1の画素制御線に印加される H_i 電圧を分圧することの可能な第1の抵抗分圧回路と、
- 前記第1の画素制御線に印加される L_o 電圧を分圧することの可能な第2の抵抗分圧回路と、
- 前記第1の抵抗分圧回路によって生成される第1の電圧、および前記第2の抵抗分圧回路によって生成される第2の電圧のいずれか一方の電圧と、参照電圧とを比較することの可能な比較器と、
- 前記比較器の結果に基づいて前記駆動回路および各前記画素制御線の故障判定を行うことの可能な判定部と
- を有する
- 撮像装置。
- [請求項10] 複数の画素と、

複数の制御線と、

各前記制御線に接続され、前記複数の画素から出力される画素信号
を処理する制御回路を、前記複数の制御線を介して制御する制御回路
と、

各前記制御線に電氣的に接続される故障検知回路と
を備え、

前記故障検知回路は、

前記複数の制御線のうちの第1の制御線に印加される H_i 電圧を分
圧することの可能な第1の抵抗分圧回路と、

前記第1の制御線に印加される L_o 電圧を分圧することの可能な第
2の抵抗分圧回路と、

前記第1の抵抗分圧回路によって生成される第1の電圧、および前
記第2の抵抗分圧回路によって生成される第2の電圧のいずれか一方
の電圧と、参照電圧とを比較することの可能な比較器と、

前記比較器の結果に基づいて前記制御回路および各前記制御線の故
障判定を行うことの可能な判定部と

を有する

撮像装置。

[請求項11]

複数の画素と、複数の画素制御線と、各前記画素制御線の一端に電
氣的に接続され、前記複数の画素制御線を介して前記複数の画素を駆
動する駆動回路とを備えた撮像装置における、各前記画素制御線の他
端に電氣的に接続される故障検知装置で実行される故障検知方法であ
って、

前記複数の画素制御線のうちの第1の画素制御線に印加される H_i
電圧を分圧することと、

前記第1の画素制御線に印加される L_o 電圧を分圧することと、

前記第1の抵抗分圧回路によって生成される第1の電圧、および前
記第2の抵抗分圧回路によって生成される第2の電圧のいずれか一方

の電圧と、参照電圧とを比較することと、

比較結果に基づいて前記駆動回路および各前記画素制御線の故障判定を行うことと

を含む

故障検知方法。

[請求項12]

複数の画素と、複数の制御線と、各前記制御線に接続され、前記複数の画素から出力される画素信号を処理する制御回路を、前記複数の制御線を介して制御する制御回路とを備えた撮像装置における、各前記制御線に電氣的に接続される故障検知装置で実行される故障検知方法であって、

前記複数の制御線のうちの第1の制御線に印加されるH_i電圧を分圧することと、

前記第1の制御線に印加されるL_o電圧を分圧することと、

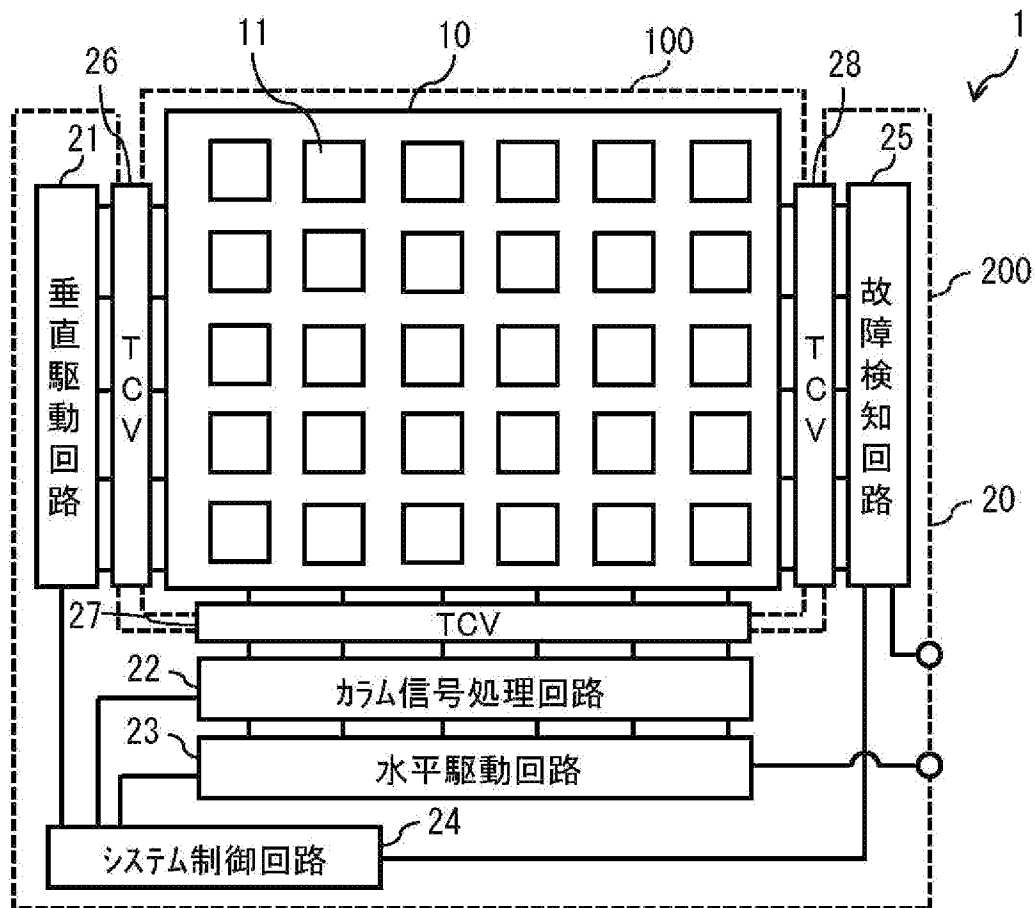
前記第1の抵抗分圧回路によって生成される第1の電圧、および前記第2の抵抗分圧回路によって生成される第2の電圧のいずれか一方の電圧と、参照電圧とを比較することと、

比較結果に基づいて前記制御回路および各前記制御線の故障判定を行うことと

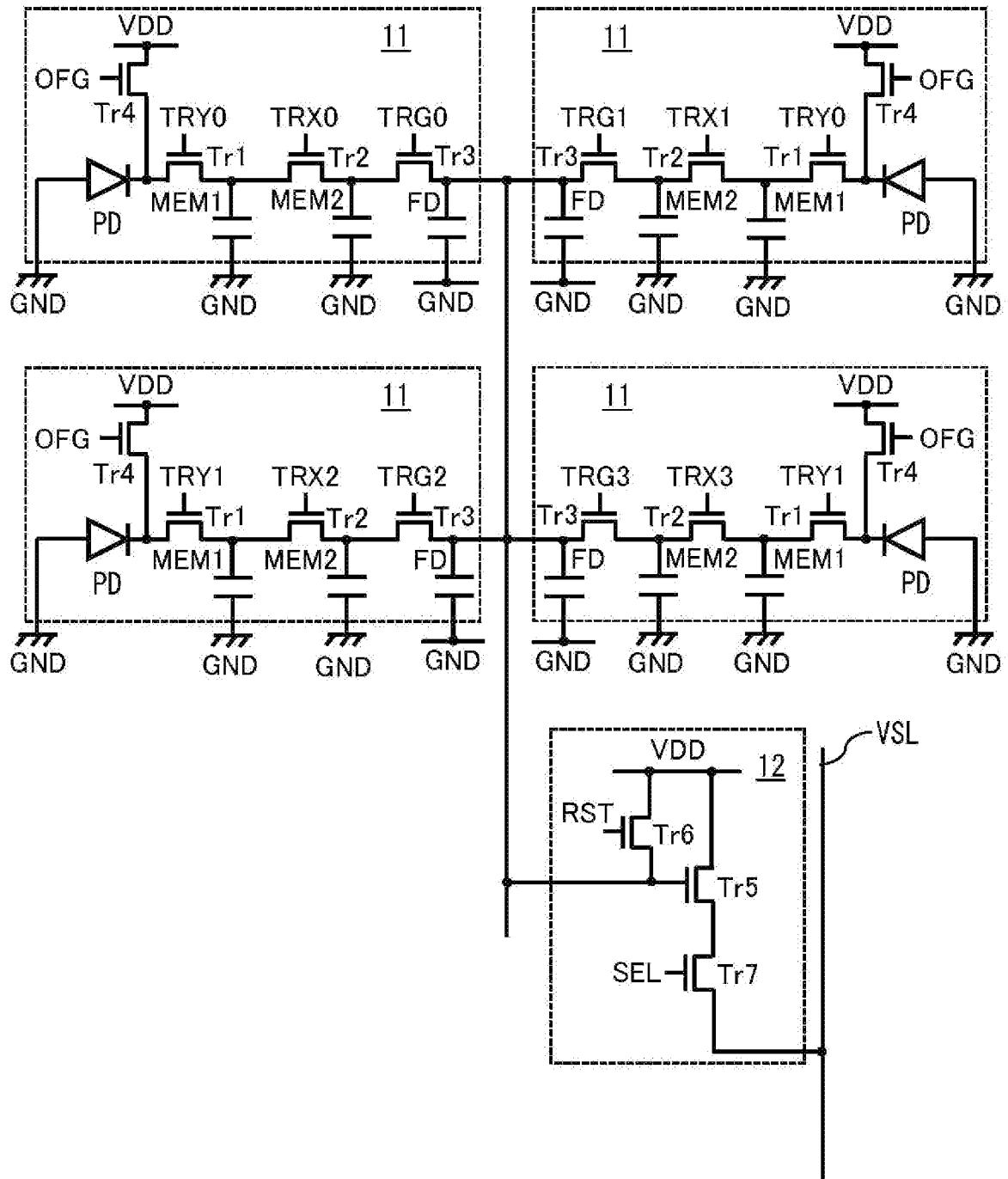
を含む

故障検知装置。

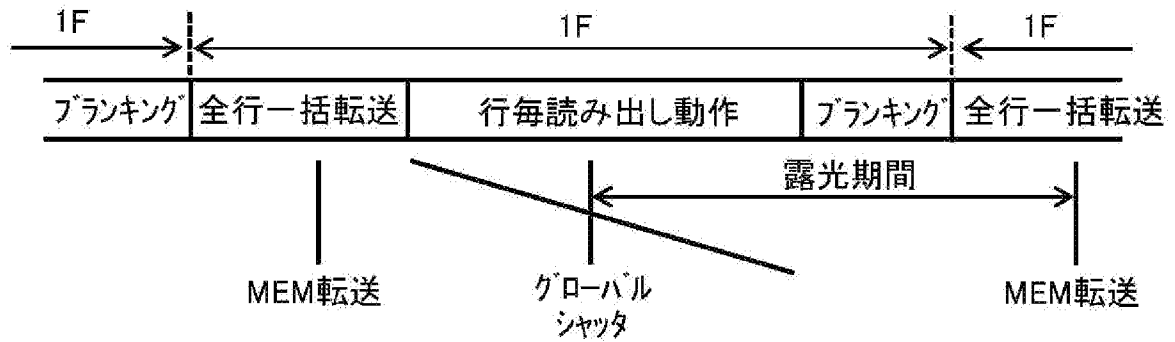
[図1]



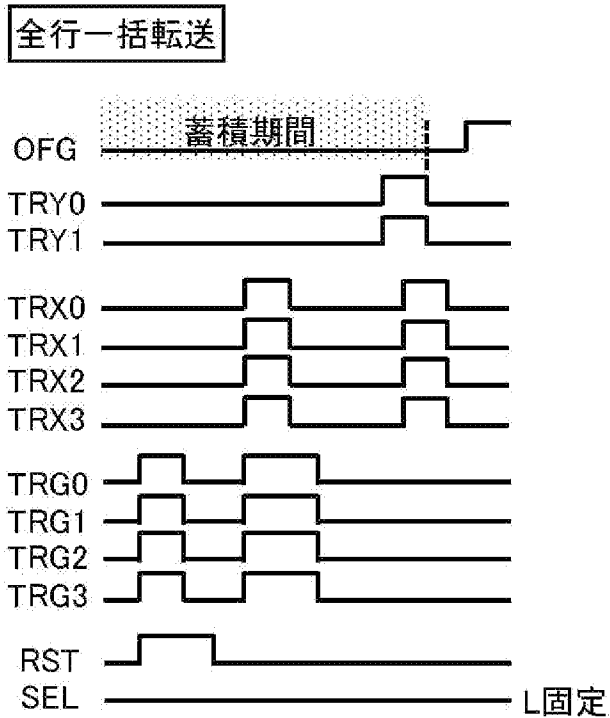
[図2]



[図5]

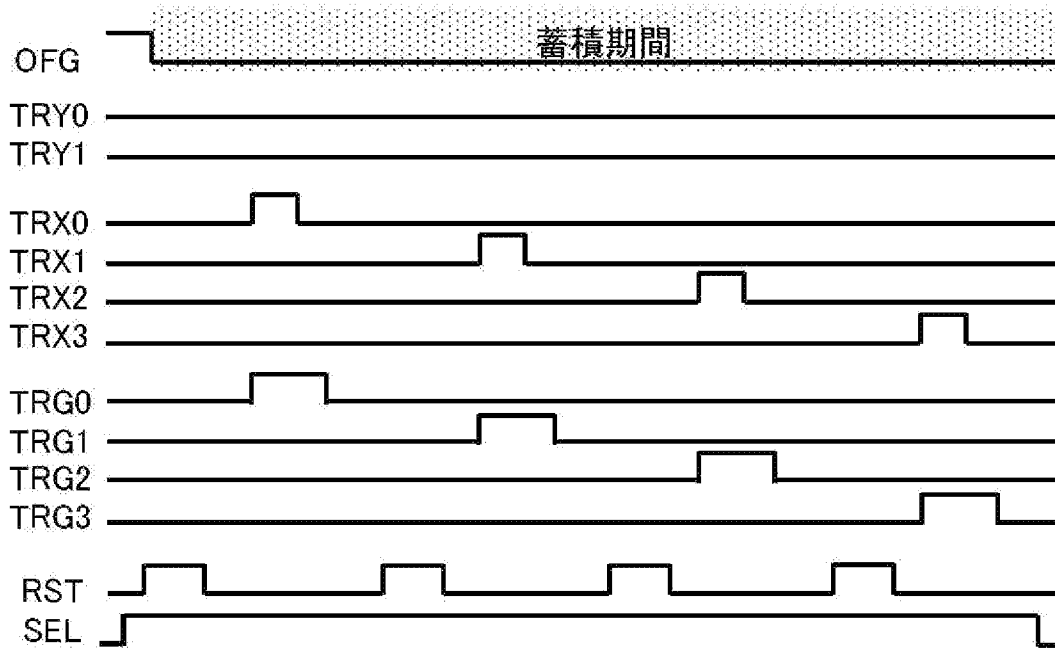


[図6]

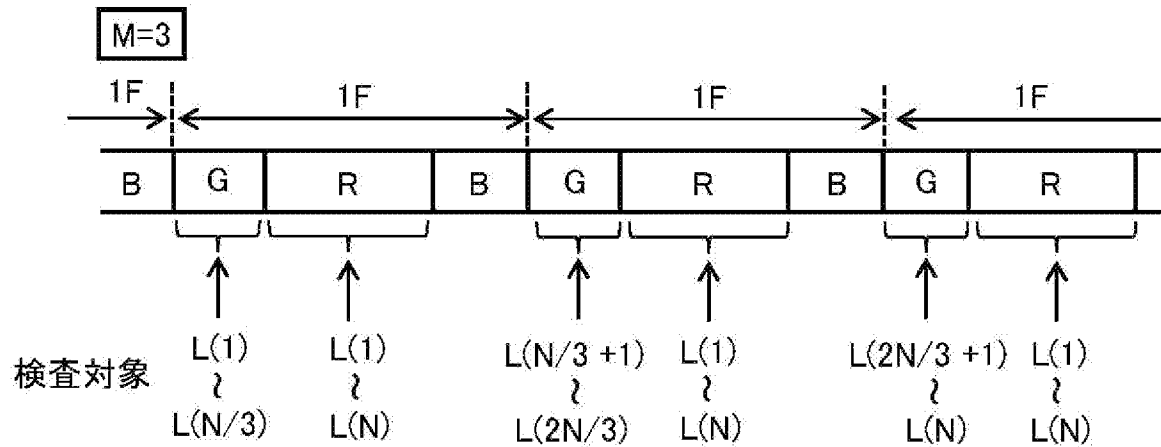


[図7]

行毎読み出し動作



[図8]

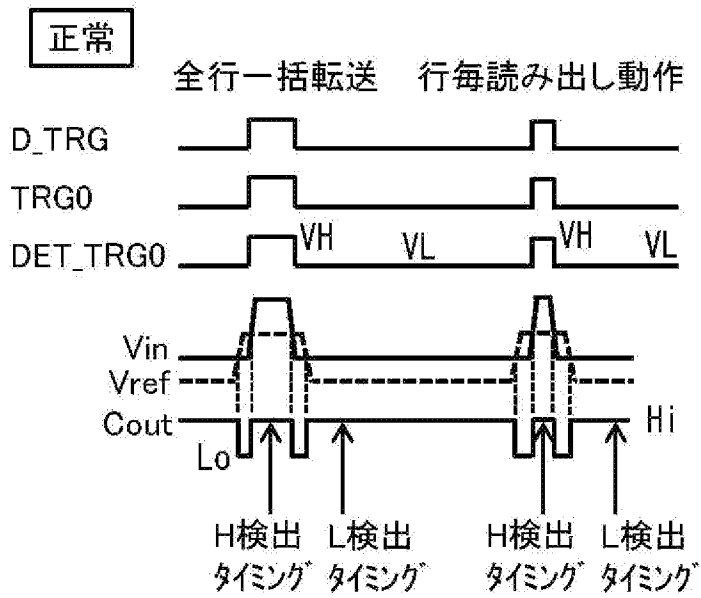


G: 全行一括転送

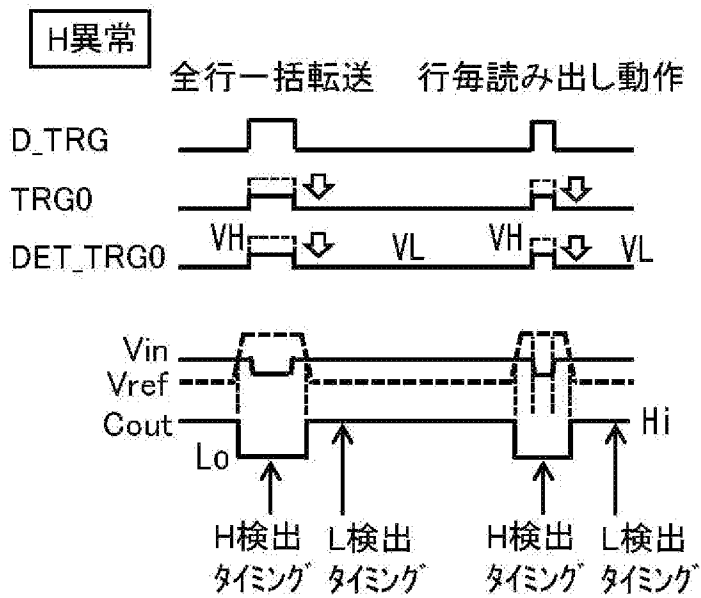
R: 行毎読み出し動作

B: ブランキング

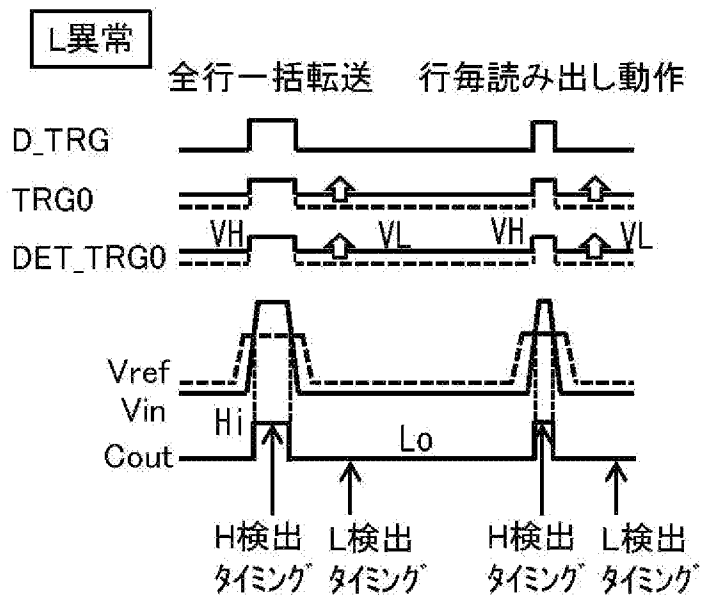
[図9]



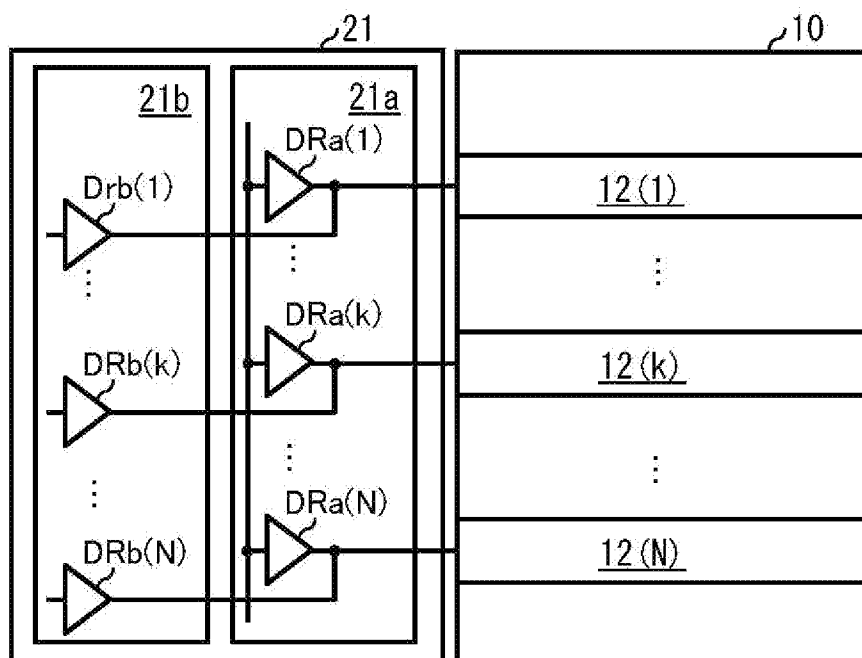
[図10]



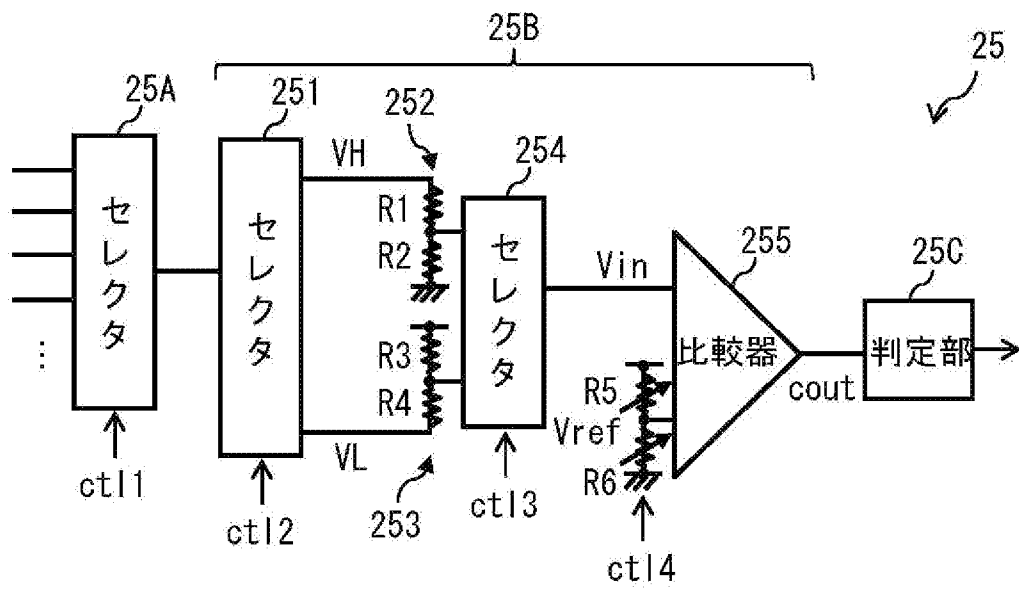
[図11]



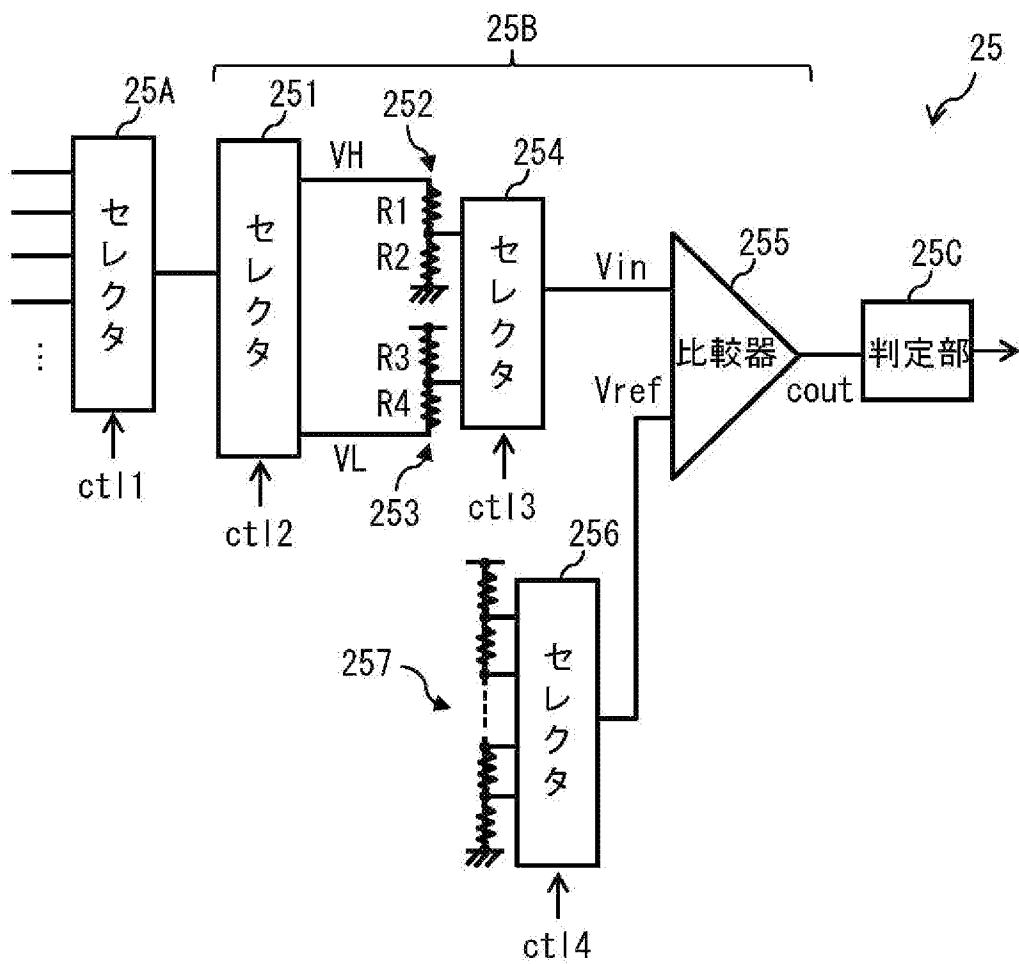
[図12]



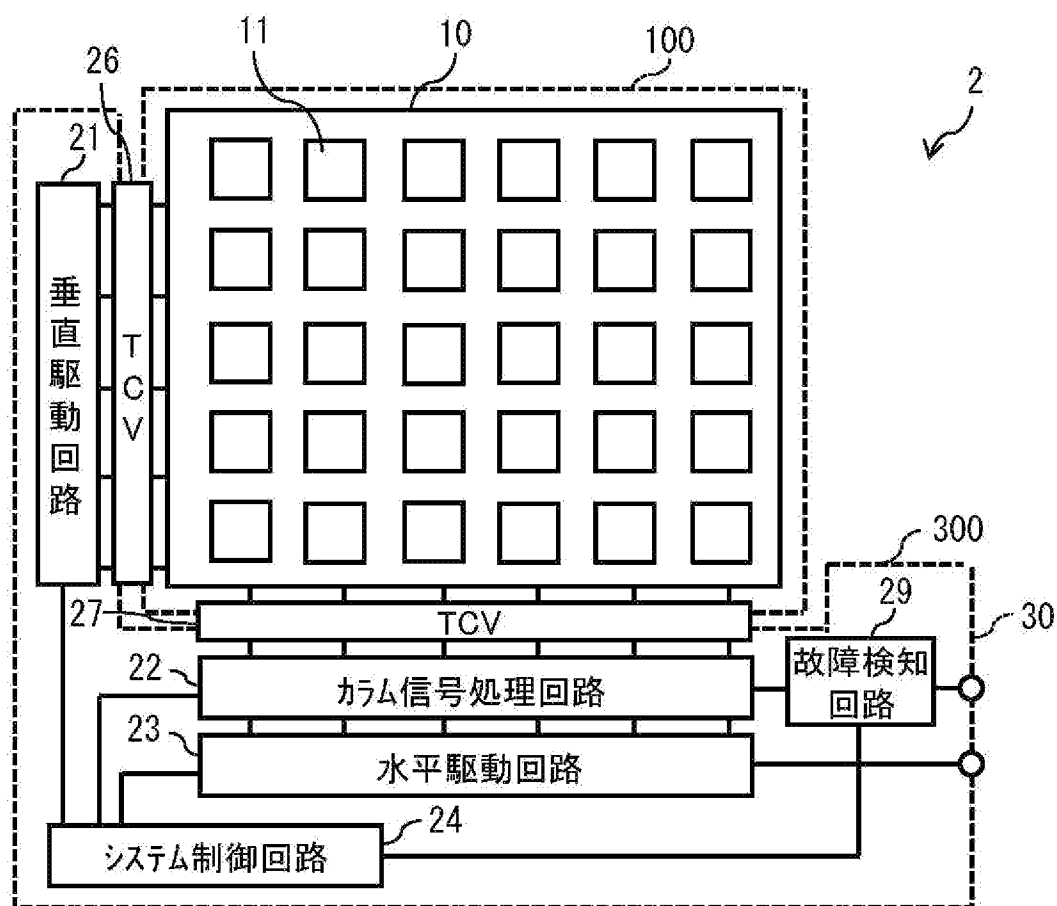
[図13]



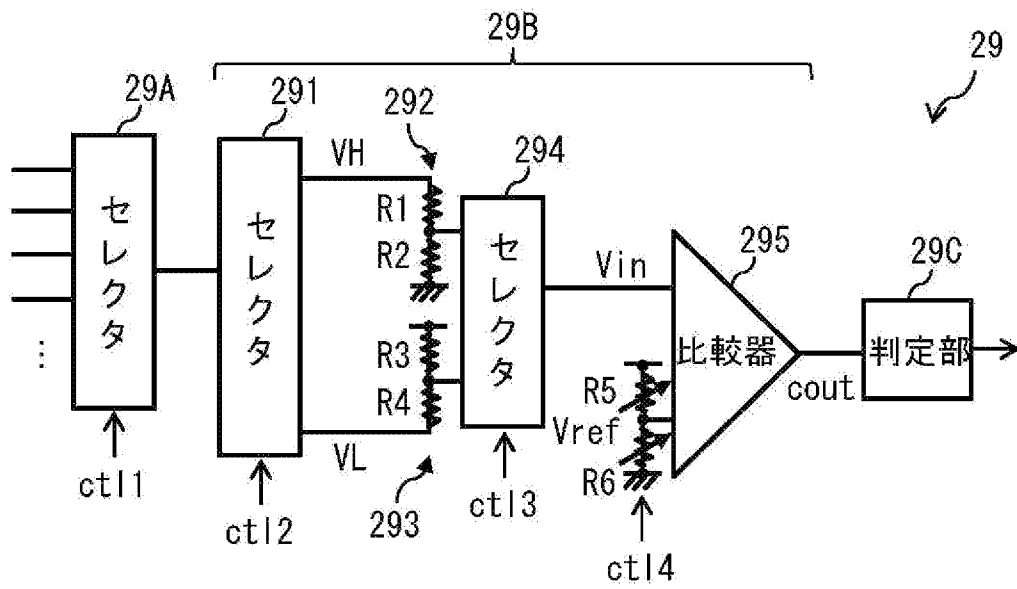
[図14]



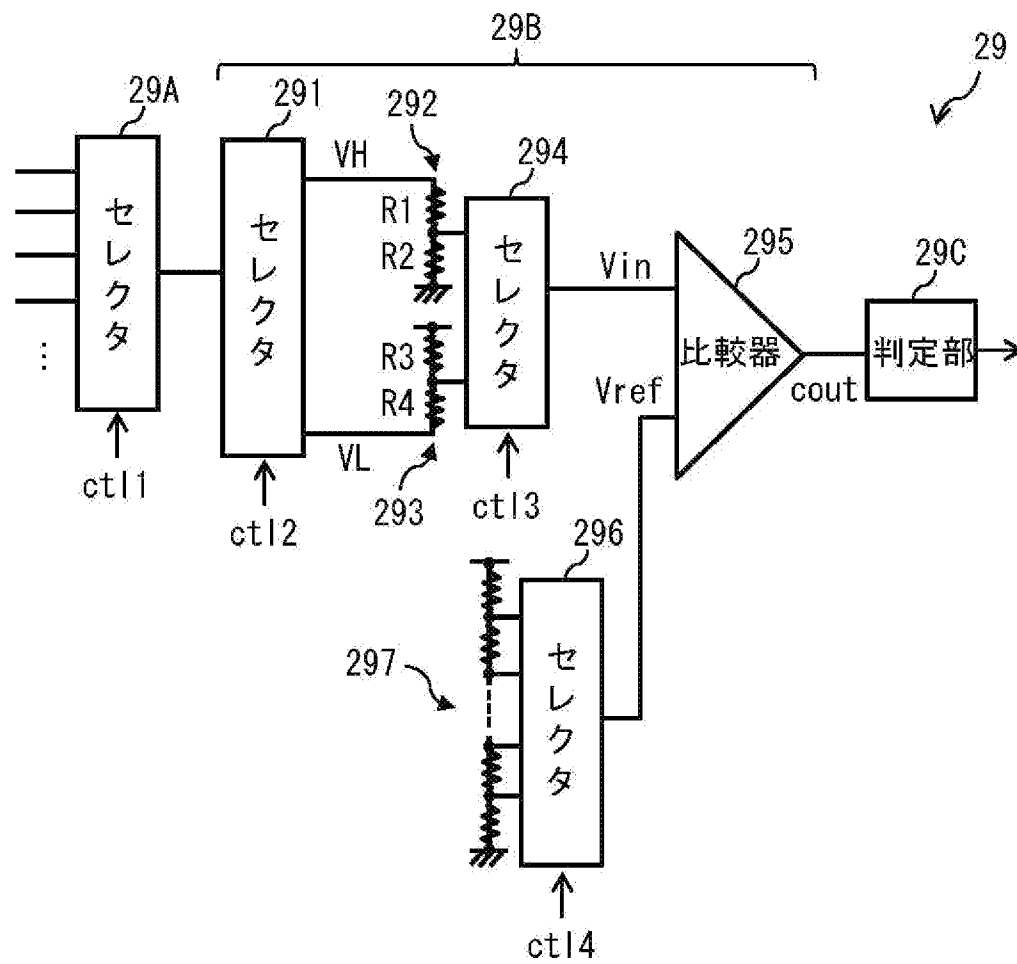
[図15]



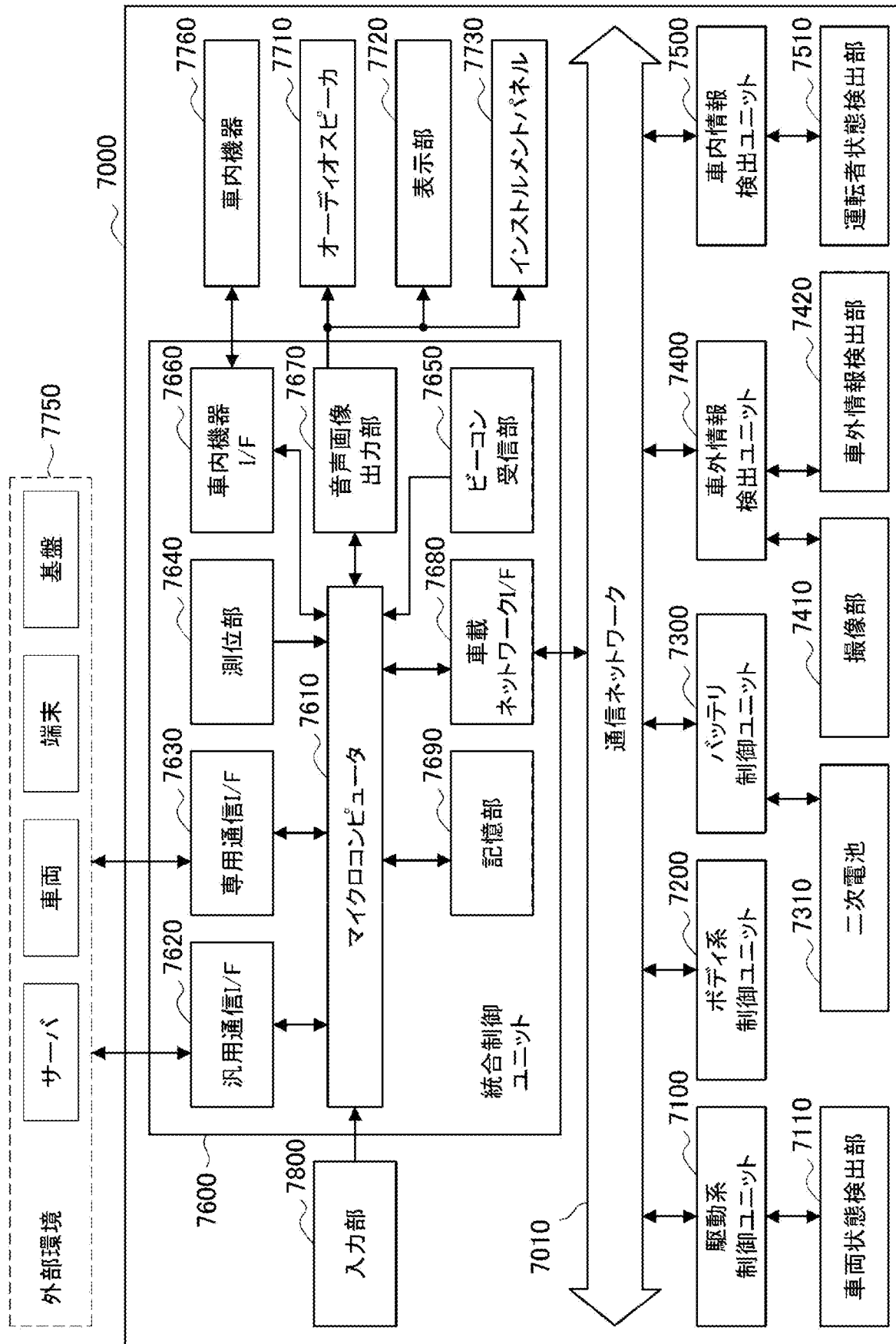
[図18]



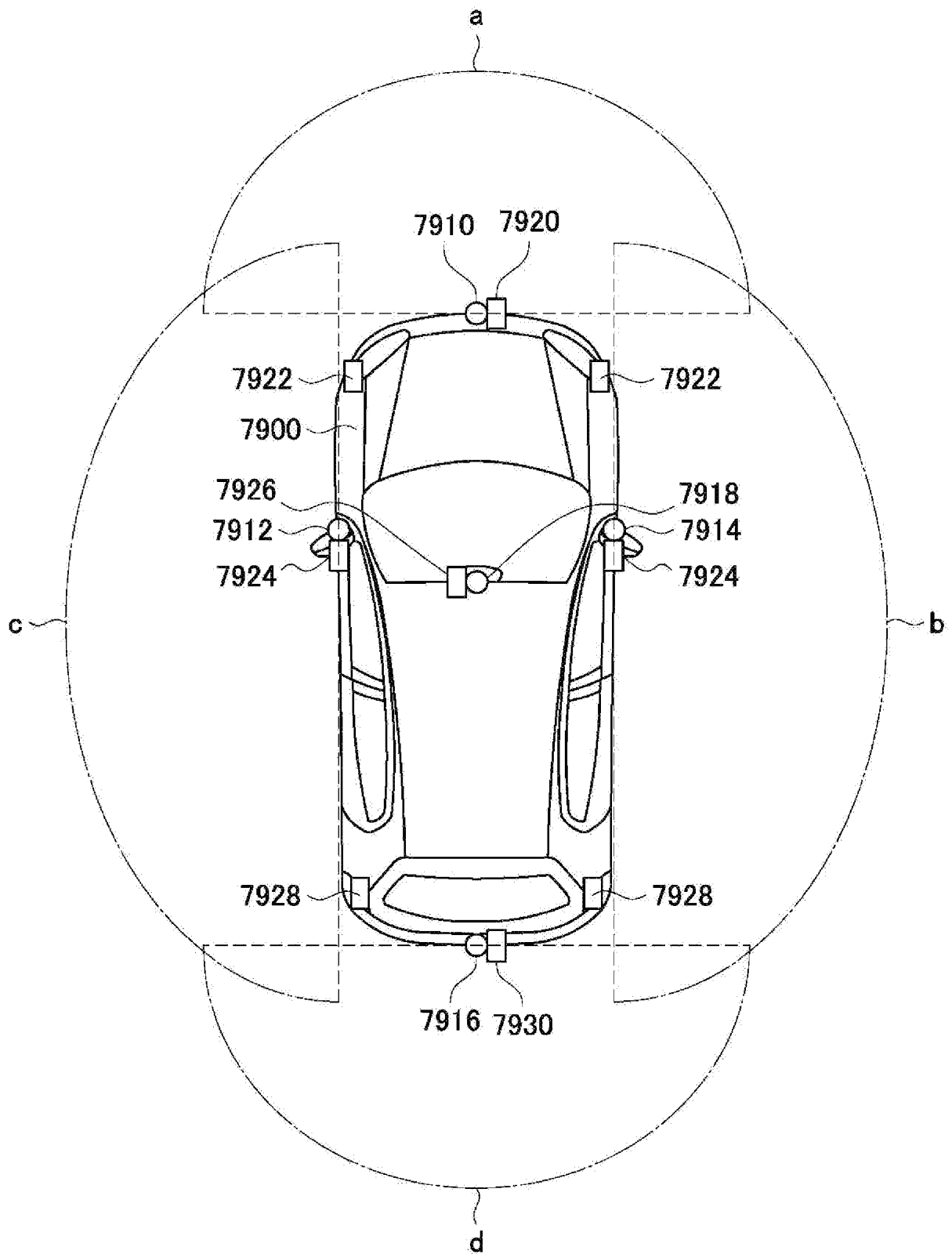
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/017899

A. CLASSIFICATION OF SUBJECT MATTER H04N 25/70 (2023.01)i FI: H04N25/70 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H04N25/70 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2013/0093910 A1 (SAMSUNG ELECTRONICS CO., LTD.) 18 April 2013 (2013-04-18) paragraphs [0083]-[0088], fig. 3A, 5A-5B	1-12
Y	JP 2007-208322 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 16 August 2007 (2007-08-16) paragraphs [0091], [0094]	1-12
Y	WO 2019/171839 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 12 September 2019 (2019-09-12) paragraphs [0047]-[0055], fig. 5	2-3, 6-7
A	WO 2017/209221 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 07 December 2017 (2017-12-07) entire text, all drawings	1-12
A	WO 2022/210152 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 06 October 2022 (2022-10-06) entire text, all drawings	1-12
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 03 July 2024		Date of mailing of the international search report 16 July 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/017899

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2013/0093910	A1	18 April 2013	KR 10-2013-0040483	A		
JP	2007-208322	A	16 August 2007	(Family: none)			
WO	2019/171839	A1	12 September 2019	US 2020/0412993	A1		
				CN 111684790	A		
WO	2017/209221	A1	07 December 2017	US 2019/0297287	A1		
				whole document			
				EP 3468169	A1		
				CN 109155829	A		
				KR 10-2019-0015201	A		
WO	2022/210152	A1	06 October 2022	US 2023/0353906	A1		
				whole document			
				CN 116848850	A		

A. 発明の属する分野の分類（国際特許分類（IPC））

H04N 25/70(2023.01)i

FI: H04N25/70

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H04N25/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922-1996年

日本国公開実用新案公報

1971-2024年

日本国実用新案登録公報

1996-2024年

日本国登録実用新案公報

1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2013/0093910 A1 (SAMSUNG ELECTRONICS CO., LTD.) 18.04.2013 (2013 - 04 - 18) 段落 [0083]-[0088], 図3A, 5A-5B	1-12
Y	JP 2007-208322 A (松下電器産業株式会社) 16.08.2007 (2007 - 08 - 16) 段落 [0091], [0094]	1-12
Y	WO 2019/171839 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 12.09.2019 (2019 - 09 - 12) 段落 [0047]-[0055], 図5	2-3, 6-7
A	WO 2017/209221 A1 (ソニーセミコンダクタソリューションズ株式会社) 07.12.2017 (2017 - 12 - 07) 全文全文	1-12
A	WO 2022/210152 A1 (パナソニックIPマネジメント株式会社) 06.10.2022 (2022 - 10 - 06) 全文全文	1-12

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

03.07.2024

国際調査報告の発送日

16.07.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

辻本 寛司 2V 3908

電話番号 03-3581-1101 内線 3271

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/017899

引用文献			公表日	パテントファミリー文献		公表日
US	2013/0093910	A1	18.04.2013	KR 10-2013-0040483	A	
JP	2007-208322	A	16.08.2007	(ファミリーなし)		
WO	2019/171839	A1	12.09.2019	US 2020/0412993	A1	
				CN 111684790	A	
WO	2017/209221	A1	07.12.2017	US 2019/0297287	A1	
				the whole document		
				EP 3468169	A1	
				CN 109155829	A	
				KR 10-2019-0015201	A	
WO	2022/210152	A1	06.10.2022	US 2023/0353906	A1	
				the whole document		
				CN 116848850	A	