

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 4 月 4 日 (04.04.2019)



(10) 国际公布号
WO 2019/062245 A1

(51) 国际专利分类号:
G11C 19/28 (2006.01)

(21) 国际申请号: PCT/CN2018/093854

(22) 国际申请日: 2018 年 6 月 29 日 (29.06.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710892460.3 2017 年 9 月 27 日 (27.09.2017) CN

(71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。合肥鑫晟光电科技有
限公司 (HEFEI XINSHENG OPTOELECTRONICS

TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省
合肥市新站区工业园内, Anhui 230012 (CN)。

(72) 发明人: 陈康喜 (CHEN, Kangxi); 中国北京市北
京经济技术开发区地泽路 9 号, Beijing 100176
(CN)。汪敏 (WANG, Min); 中国北京市北京经
济技术开发区地泽路 9 号, Beijing 100176 (CN)。
董慧 (DONG, Hui); 中国北京市北京经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。王洪军
(WANG, Hongjun); 中国北京市北京经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。王建军
(WANG, Jianjun); 中国北京市北京经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京同达信恒知识产权代理有限公司
(TDIP & PARTNERS); 中国北京市海淀区宝盛南
路 1 号院 20 号楼 8 层 101-01, Beijing 100192 (CN)。

(54) Title: SHIFT REGISTER AND DRIVING METHOD THEREFOR, GATE DRIVER CIRCUIT, AND DISPLAY DEVICE

(54) 发明名称: 移位寄存器、其驱动方法、栅极驱动电路及显示装置

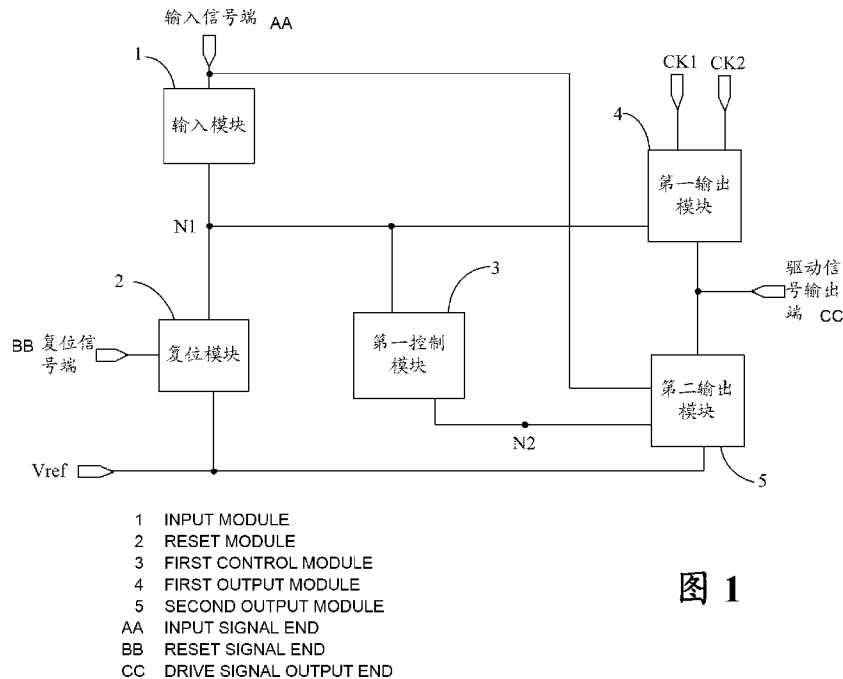


图 1

(57) Abstract: Disclosed are a shift register and driving method therefor, a gate driver circuit, and a display device. The shift register comprises an input circuit, a reset circuit, a first control circuit, a first output circuit, and a second output circuit. The first output circuit has two output paths, one of the paths being a drive signal output end for providing a signal of a first clock signal end to the shift register under the joint control of the first clock signal end and a signal of a first node, and the other path being a drive signal output end for providing a signal of a second clock signal end under the joint control of the second clock signal end and the signal of the first node. In

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

addition, by cooperating with the other four circuits, the first output circuit can make the two paths operate alternately, such that current can be avoided from only flowing through one path, and the service life of the shift register can be improved.

(57) 摘要: 本公开公开了一种移位寄存器、其驱动方法、栅极驱动电路及显示装置, 包括: 输入电路、复位电路、第一控制电路、第一输出电路和第二输出电路; 其中, 由于第一输出电路具有两条输出通路, 其中一条通路为在第一时钟信号端与第一节点的信号的共同控制下将第一时钟信号端的信号提供给移位寄存器的驱动信号输出端, 另一条通路为在第二时钟信号端与第一节点的信号的共同控制下将第二时钟信号端的信号提供给驱动信号输出端, 并且与其余四个电路相互配合, 可以使这两条通路交替工作, 从而可以避免电流仅流经一条通路, 从而可以提高移位寄存器的使用寿命。

移位寄存器、其驱动方法、栅极驱动电路及显示装置

相关申请的交叉引用

本公开要求在2017年09月27日提交中国专利局、申请号为201710892460.3、发明名称为“一种移位寄存器、栅极驱动电路及显示装置”的中国专利申请的优先权，其全部内容通过引用结合在本公开中。

技术领域

本公开涉及显示技术领域，尤其涉及一种移位寄存器、其驱动方法、栅极驱动电路及显示装置。

背景技术

一般的栅极驱动电路均是由多个级联的移位寄存器组成，各级移位寄存器的驱动信号输出端分别对应连接一条栅线，通过各级移位寄存器实现依次向显示面板上的各行栅线输入扫描信号。在相关技术的移位寄存器中，输出晶体管一般是在上拉节点的控制下将高电压信号提供给驱动信号输出端来输出有效的扫描信号，在显示面板显示时高电压信号一直流经同一输出晶体管，并且输出晶体管的栅极长期处于同一偏压作用，从而导致输出晶体管的特性漂移且寿命降低。进而导致移位寄存器的稳定性与使用寿命下降，不利于显示面板的长期稳定使用。

发明内容

本公开实施例提供了一种移位寄存器，包括：

输入电路，所述输入电路用于在输入信号端的控制下将所述输入信号端的信号提供给第一节点；

复位电路，所述复位电路用于在复位信号端的控制下将参考电压信号端的信号提供给所述第一节点；

第一控制电路，所述第一控制电路用于控制所述第一节点的电位和第二节点的电位；

第一输出电路，所述第一输出电路用于在第一时钟信号端与所述第一节点的信号的共同控制下将所述第一时钟信号端的信号提供给所述移位寄存器的驱动信号输出端，在第二时钟信号端与所述第一节点的信号的共同控制下将所述第二时钟信号端的信号提供给所述驱动信号输出端；其中，所述第一时钟信号端的信号与所述第二时钟信号端的信号的周期相同且相位相反；

以及，第二输出电路，所述第二输出电路用于分别在所述输入信号端与所述第二节点的信号的控制下将所述参考电压信号端的信号提供给所述驱动信号输出端。

可选地，在本公开实施例提供的移位寄存器中，所述第一输出电路包括：第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管以及存储电容；

所述第一开关晶体管的控制极与所述第一节点相连，所述第一开关晶体管的第一极与所述第一时钟信号端相连，所述第一开关晶体管的第二极与所述第二开关晶体管的控制极相连；

所述第二开关晶体管的第一极与所述第一时钟信号端相连，所述第二开关晶体管的第二极与所述驱动信号输出端相连；

所述第三开关晶体管的控制极与所述第一节点相连，所述第三开关晶体管的第一极与所述第二时钟信号端相连，所述第三开关晶体管的第二极与所述第四开关晶体管的控制极相连；

所述第四开关晶体管的第一极与所述第二时钟信号端相连，所述第四开关晶体管的第二极与所述驱动信号输出端相连；

所述存储电容连接于所述第一节点与所述驱动信号输出端之间。

可选地，在本公开实施例提供的移位寄存器中，所述输入电路包括：第五开关晶体管；其中，所述第五开关晶体管的控制极与其第一极均与所述输入信号端相连，所述第五开关晶体管的第二极与所述第一节点相连。

可选地，在本公开实施例提供的移位寄存器中，所述复位电路包括：第六开关晶体管；其中，所述第六开关晶体管的控制极与所述复位信号端相连，所述第六开关晶体管的第一极与所述参考电压信号端相连，所述第六开关晶体管的第二极与所述第一节点相连。

可选地，在本公开实施例提供的移位寄存器中，所述第二输出电路包括：第七开关晶体管与第八开关晶体管；

所述第七开关晶体管的控制极与所述第二节点相连，所述第七开关晶体管的第一极与所述参考电压信号端相连，所述第七开关晶体管的第二极与所述驱动信号输出端相连；

所述第八开关晶体管的控制极与所述输入信号端相连，所述第八开关晶体管的第一极与所述参考电压信号端相连，所述第八开关晶体管的第二极与所述驱动信号输出端相连。

可选地，在本公开实施例提供的移位寄存器中，所述第一控制电路包括：第九开关晶体管、第十开关晶体管、第十一开关晶体管、第十二开关晶体管以及第十三开关晶体管；

所述第九开关晶体管的控制极与所述第二节点相连，所述第九开关晶体管的第一极与所述参考电压信号端相连，所述第九开关晶体管的第二极与所述第一节点相连；

所述第十开关晶体管的控制极与其第一极均与第一节点控制信号端相连，所述第十开关晶体管的第二极与所述第十一开关晶体管的控制极相连；

所述第十一开关晶体管的第一极与所述第一节点控制信号端相连，所述第十一开关晶体管的第二极与所述第二节点相连；

所述第十二开关晶体管的控制极与所述第一节点相连，所述第十二开关晶体管的第一极与所述参考电压信号端相连，所述第十二开关晶体管的第二极与所述第十一开关晶体管的控制极相连；

所述第十三开关晶体管的控制极与所述第一节点相连，所述第十三开关晶体管的第一极与所述参考电压信号端相连，所述第十三开关晶体管的第二

极与所述第二节点相连。

可选地，在本公开实施例提供的移位寄存器中，所述第一时钟信号端的信号的周期为 4s，并且所述第一时钟信号端的信号占空比为 50%。

可选地，在本公开实施例提供的移位寄存器中，所述移位寄存器还包括：第二控制电路和第三输出电路；

所述第二控制电路用于控制所述第一节点的电位和第三节点的电位；

所述第三输出电路用于在所述第三节点的信号的控制下将所述参考电压信号端的信号提供给所述驱动信号输出端。

可选地，在本公开实施例提供的移位寄存器中，所述第二控制电路包括：第十四开关晶体管、第十五开关晶体管、第十六开关晶体管、第十七开关晶体管以及第十八开关晶体管；

所述第十四开关晶体管的控制极与所述第三节点相连，所述第十四开关晶体管的第一极与所述参考电压信号端相连，所述第十四开关晶体管的第二极与所述第一节点相连；

所述第十五开关晶体管的控制极与其第一极均与第二节点控制信号端相连，所述第十五开关晶体管的第二极与所述第十六开关晶体管的控制极相连；

所述第十六开关晶体管的第一极与所述第二节点控制信号端相连，所述第十六开关晶体管的第二极与所述第三节点相连；

所述第十七开关晶体管的控制极与所述第一节点相连，所述第十七开关晶体管的第一极与所述参考电压信号端相连，所述第十七开关晶体管的第二极与所述第十六开关晶体管的控制极相连；

所述第十八开关晶体管的控制极与所述第一节点相连，所述第十八开关晶体管的第一极与所述参考电压信号端相连，所述第十八开关晶体管的第二极与所述第三节点相连。

可选地，在本公开实施例提供的移位寄存器中，第一节点控制信号端的信号与所述第二节点控制信号端的信号分别为时钟信号；并且，所述第一节点控制信号端的信号与所述第二节点控制信号端的信号的周期相同且相位相

反。

可选地，在本公开实施例提供的移位寄存器中，所述第三输出电路包括：第十九开关晶体管；

所述第十九开关晶体管的控制极与所述第三节点相连，所述第十九开关晶体管的第一极与所述参考电压信号端相连，所述第十九开关晶体管的第二极与所述驱动信号输出端相连。

可选地，在本公开实施例提供的移位寄存器中，所述移位寄存器还包括：输出稳定电路；所述输出稳定电路用于在所述复位信号端的控制下将所述参考电压信号端的信号提供给所述驱动信号输出端。

可选地，在本公开实施例提供的移位寄存器中，所述输出稳定电路包括：第二十开关晶体管；

所述第二十开关晶体管的控制极与所述复位信号端相连，所述第二十开关晶体管的第一极与所述参考电压信号端相连，所述第二十开关晶体管的第二极与所述驱动信号输出端相连。

相应地，本公开实施例还提供了一种上述移位寄存器的驱动方法，包括：对第一时钟信号端和第二时钟信号端输入周期相同且相位相反的信号。

相应地，本公开实施例还提供了一种栅极驱动电路，包括级联的多个本公开实施例提供的上述任一种移位寄存器；

第一级移位寄存器的输入信号端与第一帧触发信号端相连；

第二级移位寄存器的输入信号端与第二帧触发信号端相连；

第三级移位寄存器的输入信号端与第三帧触发信号端相连；

每相邻 4 个移位寄存器中，第四个移位寄存器的输入信号端与第一个移位寄存器的驱动信号输出端相连；

每相邻 5 个移位寄存器中，第一个移位寄存器的复位信号端与第五个移位寄存器的驱动信号输出端相连。

可选地，在本公开实施例提供的栅极驱动电路中，每一级所述移位寄存器的第一时钟信号端均与第一时钟端相连，每一级所述移位寄存器的第二时

钟信号端均与第二时钟端相连。

相应地，本公开实施例还提供了一种显示装置，包括本公开实施例提供的上述任一种栅极驱动电路。

附图说明

图 1 为本公开一些实施例提供的移位寄存器的结构示意图；

图 2 为本公开一些实施例提供的移位寄存器的结构示意图；

图 3a 为本公开一些实施例提供的移位寄存器的具体结构示意图；

图 3b 为本公开一些实施例提供的移位寄存器的具体结构示意图；

图 4a 为图 3a 所示的移位寄存器对应的输入输出时序图；

图 4b 为图 3b 所示的移位寄存器对应的输入输出时序图；

图 5a 为本公开一些实施例提供的栅极驱动电路的结构示意图；

图 5b 为本公开一些实施例提供的栅极驱动电路的结构示意图。

具体实施方式

为了使本公开的目的，技术方案和优点更加清楚，下面结合附图，对本公开实施例提供的移位寄存器、栅极驱动电路及显示装置的具体实施方式进行详细地说明。应当理解，下面所描述的优选实施例仅用于说明和解释本公开，并不用于限定本公开。并且在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互组合。

本公开实施例提供的一种移位寄存器，如图 1 所示，包括：输入电路 1、复位电路 2、第一控制电路 3、第一输出电路 4 和第二输出电路 5；其中，

输入电路 1 用于在输入信号端 Input 的控制下将输入信号端 Input 的信号提供给第一节点 N1；

复位电路 2 用于在复位信号端 Reset 的控制下将参考电压信号端 Vref 的信号提供给第一节点 N1；

第一控制电路 3 用于控制第一节点 N1 的电位和第二节点 N2 的电位；

第一输出电路 4 用于在第一时钟信号端 CK1 与第一节点 N1 的信号的共同控制下将第一时钟信号端 CK1 的信号提供给移位寄存器的驱动信号输出端 Output, 在第二时钟信号端 CK2 与第一节点 N1 的信号的共同控制下将第二时钟信号端 CK2 的信号提供给驱动信号输出端 Output; 其中, 第一时钟信号端 CK1 的信号与第二时钟信号端 CK2 的信号的周期相同且相位相反;

第二输出电路 5 用于分别在输入信号端 Input 与第二节点 N2 的信号的控制下将参考电压信号端 Vref 的信号提供给驱动信号输出端 Output。

本公开实施例提供的移位寄存器, 由于第一输出电路 4 具有两条输出通路, 其中一条通路为在第一时钟信号端 CK1 与第一节点 N1 的信号的共同控制下将第一时钟信号端 CK1 的信号提供给移位寄存器的驱动信号输出端 Output, 另一条通路为在第二时钟信号端 CK2 与第一节点 N1 的信号的共同控制下将第二时钟信号端 CK2 的信号提供给驱动信号输出端 Output, 并且与其余四个电路相互配合, 可以使这两条通路交替工作, 从而可以避免电流仅流经一条通路, 从而可以提高移位寄存器的使用寿命。

在具体实施时, 在本公开实施例提供的移位寄存器中, 第一时钟信号端 CK1 的信号的周期可以为 M 秒, 其中 M 为正数。或者, 第一时钟信号端 CK1 的信号的周期也可以为显示 N 帧的时间, 其中 N 为正整数。或者, 第一时钟信号端 CK1 的信号的周期也可以为扫描 K 行像素的时间, 其中 K 为正整数。

可选地, 在本公开实施例提供的移位寄存器中, 第一时钟信号端 CK1 的信号的周期可以为 4s, 并且第一时钟信号端 CK1 的信号占空比可以为 50%。其中, 在刷新频率为 60Hz 的显示装置中, 4s 可以包括显示 240 帧的时间。当然, 在实际应用中, 第一时钟信号端 CK1 的信号的周期需要根据实际应用环境来设计确定, 在此不作限定。

在具体实施时, 在本公开实施例提供的上述移位寄存器中, 如图 1 所示, 输入电路 1 分别与输入信号端 Input 以及第一节点 N1 相连; 复位电路 2 分别与复位信号端 Reset、参考电压信号端 Vref 以及第一节点 N1 相连; 第一控制电路 3 分别与第一节点 N1 以及第二节点 N2 相连; 第一输出电路 4 分别与第

一时钟信号端 CK1、第一节点 N1、移位寄存器的驱动信号输出端 Output、第二时钟信号端 CK2 相连；第二输出电路 5 分别与输入信号端 Input、第二节点 N2、参考电压信号端 Vref 以及驱动信号输出端 Output 相连。

在具体实施时，在本公开实施例提供的上述移位寄存器中，输入信号端 Input 的有效脉冲信号为高电位信号，参考电压信号端 Vref 的信号可以为低电位信号。或者，输入信号端 Input 的有效脉冲信号为低电位信号，参考电压信号端 Vref 的信号可以为高电位信号。

下面结合具体实施例，对本公开进行详细说明。需要说明的是，本实施例是为了更好的解释本公开，但不限制本公开。

可选地，在本公开实施例提供的移位寄存器中，如图 3a 和图 3b 所示，输入电路 1 可以包括：第五开关晶体管 M5；

第五开关晶体管 M5 的控制极与其第一极均与输入信号端 Input 相连，第五开关晶体管 M5 的第二极与第一节点 N1 相连。

在具体实施时，如图 3a 与图 3b 所示，第五开关晶体管 M5 可以为 N 型晶体管；或者，第五开关晶体管 M5 也可以为 P 型晶体管，在此不作限定。

可选地，在本公开实施例提供的移位寄存器中，如图 3a 和图 3b 所示，复位电路 2 可以包括：第六开关晶体管 M6；

第六开关晶体管 M6 的控制极与复位信号端 Reset 相连，第六开关晶体管 M6 的第一极与参考电压信号端 Vref 相连，第六开关晶体管 M6 的第二极与第一节点 N1 相连。

在具体实施时，如图 3a 和图 3b 所示，第六开关晶体管 M6 可以为 N 型晶体管。或者第六开关晶体管 M6 也可以为 P 型晶体管，在此不作限定。

具体地，第一控制电路 3 用于控制第一节点 N1 和第二节点 N2 的电位，以输入信号端 Input 的有效脉冲信号为高电位信号为例，第一控制电路 3 只要能够实现现在显示一帧时间内从输入开始到输出结束时第一节点 N1 的电位为高电位、第二节点 N2 的电位为低电位，从输出结束到下一帧开始输入时第一节点 N1 的电位为低电位、第二节点 N2 的电位为高电位的功能，均属于本公

开保护的范范围，在此不作限定。

可选地，在本公开实施例提供的移位寄存器中，如图 3a 和图 3b 所示，第一控制电路 3 可以包括：第九开关晶体管 M9、第十开关晶体管 M10、第十一开关晶体管 M11、第十二开关晶体管 M12 以及第十三开关晶体管 M13；

第九开关晶体管 M9 的控制极与第二节点 N2 相连，第九开关晶体管 M9 的第一极与参考电压信号端 Vref 相连，第九开关晶体管 M9 的第二极与第一节点 N1 相连；

第十开关晶体管 M10 的控制极与其第一极均与第一节点控制信号端 VN1 相连，第十开关晶体管 M10 的第二极与第十一开关晶体管 M11 的控制极相连；

第十一开关晶体管 M11 的第一极与第一节点控制信号端 VN1 相连，第十一开关晶体管 M11 的第二极与第二节点 N2 相连；

第十二开关晶体管 M12 的控制极与第一节点 N1 相连，第十二开关晶体管 M12 的第一极与参考电压信号端 Vref 相连，第十二开关晶体管 M12 的第二极与第十一开关晶体管 M11 的控制极相连；

第十三开关晶体管 M13 的控制极与第一节点 N1 相连，第十三开关晶体管 M13 的第一极与参考电压信号端 Vref 相连，第十三开关晶体管 M13 的第二极与第二节点 N2 相连。

在具体实施时，在输入信号端 Input 的有效脉冲信号为高电位信号时，第一节点控制信号端 VN1 的信号可以为高电位信号。在输入信号端 Input 的有效脉冲信号为低电位信号时，第一节点控制信号端 VN1 的信号可以为低电位信号。当然，第一节点控制信号端 VN1 的信号也可以为时钟信号，在此不作限定。

在具体实施时，一般在工艺制备时将第十二开关晶体管 M12 的尺寸设置的比第十开关晶体管 M10 的尺寸大，以使当第一节点 N1 的电位为高电位时，第十二开关晶体管 M12 在第一节点 N1 的信号的的控制下将参考电压信号端 Vref 的信号提供给第十一开关晶体管 M11 的控制极的速率大于第十开关晶体管 M10 在第一节点控制信号端 VN1 的控制下将第一节点控制信号端 VN1 的

信号提供给第十一开关晶体管 M11 的控制极的速率，从而保证第二节点 N2 的电位为低电位。

在具体实施时，如图 3a 和图 3b 所示，第九开关晶体管 M9、第十开关晶体管 M10、第十一开关晶体管 M11、第十二开关晶体管 M12 以及第十三开关晶体管 M13 可以为 N 型晶体管。或者第九开关晶体管 M9、第十开关晶体管 M10、第十一开关晶体管 M11、第十二开关晶体管 M12 以及第十三开关晶体管 M13 也可以为 P 型晶体管，在此不作限定。

可选地，在本公开实施例提供的移位寄存器中，如图 3a 和图 3b 所示，第一输出电路 4 可以包括：第一开关晶体管 M1、第二开关晶体管 M2、第三开关晶体管 M3、第四开关晶体管 M4 以及存储电容 Cst；

第一开关晶体管 M1 的控制极与第一节点 N1 相连，第一开关晶体管 M1 的第一极与第一时钟信号端 CK1 相连，第一开关晶体管 M1 的第二极与第二开关晶体管 M2 的控制极相连；

第二开关晶体管 M2 的第一极与第一时钟信号端 CK1 相连，第二开关晶体管 M2 的第二极与驱动信号输出端 Output 相连；

第三开关晶体管 M3 的控制极与第一节点 N1 相连，第三开关晶体管 M3 的第一极与第二时钟信号端 CK2 相连，第三开关晶体管 M3 的第二极与第四开关晶体管 M4 的控制极相连；

第四开关晶体管 M4 的第一极与第二时钟信号端 CK2 相连，第四开关晶体管 M4 的第二极与驱动信号输出端 Output 相连；

存储电容 Cst 连接于第一节点 N1 与驱动信号输出端 Output 之间；其中存储电容 Cst 可以在第一节点 N1 与驱动信号输出端 Output 的信号的控制下充电或放电，并且由于存储电容 Cst 的自举作用，可以保持第一节点 N1 与驱动信号输出端 Output 之间的电压差稳定。

在具体实施时，如图 3a 和图 3b 所示，第一开关晶体管 M1、第二开关晶体管 M2、第三开关晶体管 M3 以及第四开关晶体管 M4 可以为 N 型晶体管；或者，第一开关晶体管 M1、第二开关晶体管 M2、第三开关晶体管 M3 以及

第四开关晶体管 M4 也可以为 P 型晶体管，在此不作限定。

可选地，在本公开实施例提供的移位寄存器中，如图 3a 和图 3b 所示，第二输出电路 5 可以包括：第七开关晶体管 M7 与第八开关晶体管 M8；

第七开关晶体管 M7 的控制极与第二节点 N2 相连，第七开关晶体管 M7 的第一极与参考电压信号端 Vref 相连，第七开关晶体管 M7 的第二极与驱动信号输出端 Output 相连；

第八开关晶体管 M8 的控制极与输入信号端 Input 相连，第八开关晶体管 M8 的第一极与参考电压信号端 Vref 相连，第八开关晶体管 M8 的第二极与驱动信号输出端 Output 相连。

在具体实施时，如图 3a 和图 3b 所示，第七开关晶体管 M7 与第八开关晶体管 M8 可以为 N 型晶体管；或者，第七开关晶体管 M7 与第八开关晶体管 M8 也可以为 P 型晶体管，在此不作限定。

为了避免第一控制电路 4 与第二输出电路 5 中的开关晶体管长时间使用造成的开关晶体管的特性偏移甚至损害的问题，可选地，在本公开实施例提供的上述移位寄存器中，如图 2 所示，移位寄存器还可以包括：第二控制电路 6 和第三输出电路 7；

第二控制电路 6 用于控制第一节点 N1 的电位和第三节点 N3 的电位；

第三输出电路 7 用于在第三节点 N3 的信号的控制下将参考电压信号端 Vref 的信号提供给驱动信号输出端 Output。

这样可以使第一控制电路 3 与第二控制电路 6 交替使用，以及使第二输出电路 5 与第三输出电路 7 交替使用，从而避免第一控制电路 4 与第二输出电路 5 中的开关晶体管长时间使用造成的开关晶体管的特性偏移甚至损害的问题。

可选地，在本公开实施例提供的移位寄存器中，如图 3b 所示，第二控制电路 6 可以包括：第十四开关晶体管 M14、第十五开关晶体管 M15、第十六开关晶体管 M16、第十七开关晶体管 M17 以及第十八开关晶体管 M18；

第十四开关晶体管 M14 的控制极与第三节点 N3 相连，第十四开关晶体

管 M14 的第一极与参考电压信号端 Vref 相连, 第十四开关晶体管 M14 的第二极与第一节点 N1 相连;

第十五开关晶体管 M15 的控制极与其第一极均与第二节点控制信号端 VN2 相连, 第十五开关晶体管 M15 的第二极与第十六开关晶体管 M16 的控制极相连;

第十六开关晶体管 M16 的第一极与第二节点控制信号端 VN2 相连, 第十六开关晶体管 M16 的第二极与第三节点 N3 相连;

第十七开关晶体管 M17 的控制极与第一节点 N1 相连, 第十七开关晶体管 M17 的第一极与参考电压信号端 Vref 相连, 第十七开关晶体管 M17 的第二极与第十六开关晶体管 M16 的控制极相连;

第十八开关晶体管 M18 的控制极与第一节点 N1 相连, 第十八开关晶体管 M18 的第一极与参考电压信号端 Vref 相连, 第十八开关晶体管 M18 的第二极与第三节点 N3 相连。

在具体实施时, 如图 3b 所示, 第十四开关晶体管 M14、第十五开关晶体管 M15、第十六开关晶体管 M16、第十七开关晶体管 M17 以及第十八开关晶体管 M18 可以为 N 型晶体管; 或者, 第十四开关晶体管 M14、第十五开关晶体管 M15、第十六开关晶体管 M16、第十七开关晶体管 M17 以及第十八开关晶体管 M18 也可以为 P 型晶体管, 在此不作限定。

在具体实施时, 在本公开实施例提供的移位寄存器还包括第二控制电路 6 时, 在本公开实施例提供的移位寄存器中, 第一节点控制信号端 VN1 的信号与第二节点控制信号端 VN2 的信号可以分别为时钟信号; 并且, 第一节点控制信号端 VN1 的信号与第二节点控制信号端 VN2 的信号的周期相同且相位相反。

在具体实施时, 为了减少信号端的设置, 降低走线占用空间, 在本公开实施例提供的上述移位寄存器中, 第一节点控制信号端 VN1 的信号可以与第一时钟信号端 CK1 的信号相同, 即第一节点控制信号端 VN1 与第一时钟信号端 CK1 为同一信号端; 或者也可以不同。当然, 在实际应用中, 第一节点控

制信号端 VN1 的信号需要根据实际应用环境来设计确定，在此不作限定。

在具体实施时，一般在工艺制备时将第十七开关晶体管 M17 的尺寸设置的比第十五开关晶体管 M15 的尺寸大，以使当第一节点 N1 的电位为高电位时，第十七开关晶体管 M17 在第一节点 N1 的信号的控制下将参考电压信号端 Vref 的信号提供给第十六开关晶体管 M16 的控制极的速率大于第十五开关晶体管 M15 在第二节点控制信号端 VN2 的控制下将第二节点控制信号端 VN2 的信号提供给第十六开关晶体管 M16 的控制极的速率，从而保证第三节点 N3 的电位为低电位。

可选地，在本公开实施例提供的移位寄存器中，如图 3b 所示，第三输出电路 7 可以包括：第十九开关晶体管 M19；

第十九开关晶体管 M19 的控制极与第三节点 N3 相连，第十九开关晶体管 M19 的第一极与参考电压信号端 Vref 相连，第十九开关晶体管 M19 的第二极与驱动信号输出端 Output 相连。

在具体实施时，如图 3b 所示，第十九开关晶体管 M19 可以为 N 型晶体管；或者，第十九开关晶体管 M19 也可以为 P 型晶体管，在此不作限定。

为了在驱动信号输出端 Output 输出有效脉冲信号之后，可以及时的使驱动信号输出端 Output 的电位与有效脉冲信号的电位相反，可选地，在本公开实施例提供的上述移位寄存器中，如图 2 所示，移位寄存器还可以包括：输出稳定电路 8；输出稳定电路 8 用于在复位信号端 Reset 的控制下将参考电压信号端 Vref 的信号提供给驱动信号输出端 Output。

可选地，在本公开实施例提供的移位寄存器中，如图 3b 所示，输出稳定电路 8 可以包括：第二十开关晶体管 M20；其中，

第二十开关晶体管 M20 的控制极与复位信号端 Reset 相连，第二十开关晶体管 M20 的第一极与参考电压信号端 Vref 相连，第二十开关晶体管 M20 的第二极与驱动信号输出端 Output 相连。

在具体实施时，如图 3b 所示，第二十开关晶体管 M20 可以为 N 型晶体管；或者，第二十开关晶体管也可以为 P 型晶体管，在此不作限定。

以上仅是举例说明本公开实施例提供的移位寄存器中各电路的具体结构，在具体实施时，上述各电路的具体结构不限于本公开实施例提供的上述结构，还可以是本领域技术人员可知的其他结构，在此不作限定。

为了降低制备工艺，在具体实施时，在本公开实施例提供的移位寄存器中，如图 3a 和图 3b 所示，所有开关晶体管均可以为 N 型开关晶体管。或者，所有开关晶体管也均可以为 P 型开关晶体管，在此不作限定。

在具体实施时，在本公开实施例提供的上述移位寄存器中，N 型的开关晶体管在高电位信号作用下导通，在低电位信号作用下截止；P 型的开关晶体管在高电位信号作用下截止，在低电位信号作用下导通。

需要说明的是本公开上述实施例中提到的开关晶体管可以是薄膜晶体管（TFT，Thin Film Transistor），也可以是金属氧化物半导体场效应管（MOS，Metal Oxide Semiconductor），在此不做限定。在具体实施中，上述各开关晶体管的控制极作为其栅极，并且根据晶体管类型以及输入信号的不同，可以将第一极作为源极，第二极作为漏极；或者将第一极作为漏极，第二极作为源极，在此不做具体区分。

下面结合电路时序图对本公开实施例提供的上述移位寄存器的工作过程作以详细的描述。下述描述中以 1 表示高电位信号，0 表示低电位信号，其中，1 和 0 代表其逻辑电位，仅是为了更好的解释本公开实施例提供的上述移位寄存器的工作过程，而不是在具体实施时施加在各开关晶体管的栅极上的电位。并且，下面均以第一时钟信号端 CK1 的信号的周期为 4s 且占空比为 50% 为例进行说明。

实施例一、

以图 3a 所示的移位寄存器为例，所有晶体管均为 N 型晶体管；参考电压信号端 Vref 的信号为低电位信号，第一节点控制信号端 VN1 的信号为高电位信号；对应的输入输出时序图如图 4a 所示。具体地，选取如图 4a 所示的输入输出时序图中的 T1 与 T2 两个阶段；其中，T1 阶段与 T2 阶段分别对应第一时钟信号端 CK1 的信号的周期中的 2s。并且，选取 T1 阶段中显示一帧的时

间中的 T11、T12、T13 以及 T14 四个阶段；以及选取 T2 阶段中显示一帧的时间中的 T21、T22、T23 以及 T24 四个阶段。

在 T11 阶段，Input=1，Reset=0，CK1=1，CK2=0。由于 Input=1，因此第五开关晶体管 M5 与第八开关晶体管 M8 均导通。导通的第五开关晶体管 M5 将输入信号端 Input 的高电位信号提供给第一节点 N1，使第一节点 N1 的信号为高电位信号，以控制第一开关晶体管 M1、第三开关晶体管 M3、第十二开关晶体管 M12 以及第十三开关晶体管 M13 均导通。导通的第十二开关晶体管 M12 将参考电压信号端 Vref 的低电位信号提供给第十一开关晶体管 M11 的控制极，以控制第十一开关晶体管 M11 截止。导通的第十三开关晶体管 M13 将参考电压信号端 Vref 的低电位信号提供给第二节点 N2，使第二节点 N2 的信号为低电位信号，以控制第七开关晶体管 M7 与第九开关晶体管 M9 均截止。导通的第三开关晶体管 M3 将第二时钟信号端 CK2 的低电位信号提供给第四开关晶体管 M4 的控制极，以控制第四开关晶体管 M4 截止。导通的第八开关晶体管 M8 将参考电压信号端 Vref 与驱动信号输出端 Output 导通，使存储电容 Cst 充电以及使驱动信号输出端 Output 输出低电位的扫描信号。虽然此时导通的第一开关晶体管 M1 会将第一时钟信号端 CK1 的高电位信号提供给第二开关晶体管 M2 的控制极，以控制第二开关晶体管 M2 导通并将第一时钟信号端 CK1 的高电位信号提供给驱动信号输出端 Output，但是由于第一时钟信号端 CK1 与参考电压信号端 Vref 直接导通，因此第一时钟信号端 CK1 的信号不会影响驱动信号输出端 Output 的信号。由于 Reset=0，因此第六开关晶体管 M6 截止。

在 T12 阶段，Input=0，Reset=0，CK1=1，CK2=0。由于 Input=0，因此第五开关晶体管 M5 与第八开关晶体管 M8 均截止。由于 Reset=0，因此第六开关晶体管 M6 截止。因此第一节点 N1 处于浮接状态，由于存储电容 Cst 的自举作用可以保持第一节点 N1 的电位为高电位，以控制第一开关晶体管 M1、第三开关晶体管 M3、第十二开关晶体管 M12 以及第十三开关晶体管 M13 均导通。导通的第一开关晶体管 M1 将第一时钟信号端 CK1 的高电位信号提供

给第二开关晶体管 M2 的控制极,以控制第二开关晶体管 M2 导通并将第一时钟信号端 CK1 的高电位信号提供给驱动信号输出端 Output。由于存储电容 Cst 的自举作用使第一节点 N1 的电位被进一步拉高,以控制第一开关晶体管 M1、第三开关晶体管 M3、第十二开关晶体管 M12 以及第十三开关晶体管 M13 均完全导通。导通的第十二开关晶体管 M12 将参考电压信号端 Vref 的低电位信号提供给第十一开关晶体管 M11 的控制极,以控制第十一开关晶体管 M11 截止。导通的第十三开关晶体管 M13 将参考电压信号端 Vref 的低电位信号提供给第二节点 N2,使第二节点 N2 的信号为低电位信号,以控制第七开关晶体管 M7 与第九开关晶体管 M9 均截止。导通的第三开关晶体管 M3 将第二时钟信号端 CK2 的低电位信号提供给第四开关晶体管 M4 的控制极,以控制第四开关晶体管 M4 截止。导通的第一开关晶体管 M1 将第一时钟信号端 CK1 的高电位信号无电压损失的提供给第二开关晶体管 M2 的控制极,以控制第二开关晶体管 M2 完全导通并将第一时钟信号端 CK1 的高电位信号无电压损失的提供给驱动信号输出端 Output,使驱动信号输出端 Output 输出高电位的扫描信号。

在 T13 阶段, Input=0, Reset=1, CK1=1, CK2=0。由于 Input=0,因此第五开关晶体管 M5 与第八开关晶体管 M8 均截止。由于 Reset=1,因此第六开关晶体管 M6 导通并将参考电压信号端 Vref 的低电位信号提供给第一节点 N1,使第一节点 N1 为低电位信号,以控制第一开关晶体管 M1、第三开关晶体管 M3、第十二开关晶体管 M12 以及第十三开关晶体管 M13 均截止。由于第一节点控制信号端 VN1 的信号为高电位信号,以控制第十开关晶体管 M10 导通并将第一节点控制信号端 VN1 的高电位信号提供给第十一开关晶体管 M11,以控制第十一开关晶体管 M11 导通并将第一节点控制信号端 VN1 的高电位信号提供给第二节点 N2,使第二节点 N2 的信号为高电位信号,以控制第七开关晶体管 M7 与第九开关晶体管 M9 均导通。导通的第九开关晶体管 M9 将参考电压信号端 Vref 的低电位信号提供给第一节点 N1,进一步使第一节点 N1 为低电位信号。导通的第七开关晶体管 M7 将参考电压信号端 Vref

的低电位信号提供给驱动信号输出端 Output，使驱动信号输出端 Output 输出低电位的扫描信号。

在 T14 阶段，Input=0，Reset=0，CK1=1，CK2=0。由于 Input=0，因此第五开关晶体管 M5 与第八开关晶体管 M8 均截止。由于 Reset=0，因此第六开关晶体管 M6 截止。由于第一节点控制信号端 VN1 的信号为高电位信号，以控制第十开关晶体管 M10 导通并将第一节点控制信号端 VN1 的高电位信号提供给第十一开关晶体管 M11，以控制第十一开关晶体管 M11 导通并将第一节点控制信号端 VN1 的高电位信号提供给第二节点 N2，使第二节点 N2 的信号为高电位信号，以控制第七开关晶体管 M7 与第九开关晶体管 M9 均导通。导通的第九开关晶体管 M9 将参考电压信号端 Vref 的低电位信号提供给第一节点 N1，使第一节点 N1 为低电位信号，以控制第一开关晶体管 M1、第三开关晶体管 M3、第十二开关晶体管 M12 以及第十三开关晶体管 M13 均截止。导通的第七开关晶体管 M7 将参考电压信号端 Vref 的低电位信号提供给驱动信号输出端 Output，使驱动信号输出端 Output 输出低电位的扫描信号。

在 T1 阶段中，在 T14 阶段之后一直重复执行 T14 阶段的工作过程，直至输入信号端 Input 的信号再次变为高电位信号。

在 T21 阶段，Input=1，Reset=0，CK1=0，CK2=1。由于 Input=1，因此第五开关晶体管 M5 与第八开关晶体管 M8 均导通。导通的第五开关晶体管 M5 将输入信号端 Input 的高电位信号提供给第一节点 N1，使第一节点 N1 的信号为高电位信号，以控制第一开关晶体管 M1、第三开关晶体管 M3、第十二开关晶体管 M12 以及第十三开关晶体管 M13 均导通。导通的第十二开关晶体管 M12 将参考电压信号端 Vref 的低电位信号提供给第十一开关晶体管 M11 的控制极，以控制第十一开关晶体管 M11 截止。导通的第十三开关晶体管 M13 将参考电压信号端 Vref 的低电位信号提供给第二节点 N2，使第二节点 N2 的信号为低电位信号，以控制第七开关晶体管 M7 与第九开关晶体管 M9 均截止。导通的第一开关晶体管 M1 将第一时钟信号端 CK1 的低电位信号提供给第二开关晶体管 M2 的控制极，以控制第二开关晶体管 M2 截止。导通的第八开关

晶体管 M8 将参考电压信号端 Vref 与驱动信号输出端 Output 导通, 使存储电容 Cst 充电以及使驱动信号输出端 Output 输出低电位的扫描信号。虽然此时导通的第三开关晶体管 M3 将第二时钟信号端 CK2 的高电位信号提供给第四开关晶体管 M4 的控制极, 以控制第四开关晶体管 M4 导通并将第二时钟信号端 CK2 的高电位信号提供给驱动信号输出端 Output, 但是由于第二时钟信号端 CK2 与参考电压信号端 Vref 直接导通, 因此第二时钟信号端 CK2 的信号不会影响驱动信号输出端 Output 的信号。由于 Reset=0, 因此第六开关晶体管 M6 截止。

在 T22 阶段, Input=0, Reset=0, CK1=0, CK2=1。由于 Input=0, 因此第五开关晶体管 M5 与第八开关晶体管 M8 均截止。由于 Reset=0, 因此第六开关晶体管 M6 截止。因此第一节点 N1 处于浮接状态, 由于存储电容 Cst 的自举作用可以保持第一节点 N1 的电位为高电位, 以控制第一开关晶体管 M1、第三开关晶体管 M3、第十二开关晶体管 M12 以及第十三开关晶体管 M13 均导通。导通的第三开关晶体管 M3 将第二时钟信号端 CK2 的高电位信号提供给第四开关晶体管 M4 的控制极, 以控制第四开关晶体管 M4 导通并将第二时钟信号端 CK2 的高电位信号提供给驱动信号输出端 Output。由于存储电容 Cst 的自举作用使第一节点 N1 的电位被进一步拉高, 以控制第一开关晶体管 M1、第三开关晶体管 M3、第十二开关晶体管 M12 以及第十三开关晶体管 M13 均完全导通。导通的第十二开关晶体管 M12 将参考电压信号端 Vref 的低电位信号提供给第十一开关晶体管 M11 的控制极, 以控制第十一开关晶体管 M11 截止。导通的第十三开关晶体管 M13 将参考电压信号端 Vref 的低电位信号提供给第二节点 N2, 使第二节点 N2 为低电位信号, 以控制第七开关晶体管 M7 与第九开关晶体管 M9 均截止。导通的第一开关晶体管 M1 将第一时钟信号端 CK1 的低电位信号提供给第二开关晶体管 M2 的控制极, 以控制第二开关晶体管 M2 截止。导通的第三开关晶体管 M3 将第二时钟信号端 CK2 的高电位信号无电压损失的提供给第四开关晶体管 M4 的控制极, 以控制第四开关晶体管 M4 完全导通并将第二时钟信号端 CK2 的高电位信号无电压损失的提供给

驱动信号输出端 Output，使驱动信号输出端 Output 输出高电位的扫描信号。

在 T23 阶段，Input=0，Reset=1，CK1=0，CK2=1。本阶段的工作过程与 T13 阶段的工作过程基本相同，在此不作赘述。

在 T24 阶段，Input=0，Reset=0，CK1=0，CK2=1。本阶段的工作过程与 T14 阶段的工作过程基本相同，在此不作赘述。

在 T2 阶段中，在 T24 阶段之后一直重复执行 T24 阶段的工作过程，直至输入信号端 Input 的信号再次变为高电位信号。

在实施例一中，第二开关晶体管 M2 与第四开关晶体管 M4 可以以 2s 的时间间隔交替形成一条输出高电位信号的通路，从而可以使第二开关晶体管 M2 与第四开关晶体管 M4 的特性交替进行恢复，从而可以降低由于第二开关晶体管 M2 与第四开关晶体管 M4 的特性漂移导致的对显示面板的稳定性和寿命的影响，进而在一定程度上增强了产品的寿命，降低了生产成本。并且，由于第一开关晶体管 M1 与第三开关晶体管 M3 的控制极分别连接第一节点 N1，从而可以避免第二开关晶体管 M2 与第四开关晶体管 M4 的控制极一直处于第一节点 N1 的偏压作用下而对其晶体管特性造成影响，进而可以提高输出的信号的稳定性。

实施例二、

以图 3b 所示的移位寄存器为例，所有晶体管均为 N 型晶体管；参考电压信号端 Vref 的信号为低电位信号，第一节点控制信号端 VN1 的信号与第一时钟信号端 CK1 的信号相同，第二节点控制信号端 VN2 的信号与第二时钟信号端 CK2 的信号相同；对应的输入输出时序图如图 4b 所示。具体地，选取如图 4b 所示的输入输出时序图中的 T1 与 T2 两个阶段；其中，T1 阶段与 T2 阶段分别对应第一时钟信号端 CK1 的信号的周期中的 2s。并且，选取 T1 阶段中显示一帧的时间中的 T11、T12、T13 以及 T14 四个阶段；以及选取 T2 阶段中显示一帧的时间中的 T21、T22、T23 以及 T24 四个阶段。

在 T11 阶段，Input=1，Reset=0，CK1=1，CK2=0，VN1=1，VN2=0。在本阶段中，由于 VN2=0，因此第十五开关晶体管 M15 截止。第一节点 N1 的

信号还控制第十七开关晶体管 M17 与第十八开关晶体管 M18 导通。导通的第十七开关晶体管 M17 将参考电压信号端 Vref 的低电位信号提供给第十六开关晶体管 M16，以控制第十六开关晶体管 M16 截止。导通的第十八开关晶体管 M18 将参考电压信号端 Vref 的低电位信号提供给第三节点 N3，使第三节点 N3 的信号为低电位信号，以控制第十四开关晶体管 M14 与第十九开关晶体管 M19 均截止。本阶段的其余工作过程与实施例一中的 T11 阶段的工作过程基本相同，在此不作赘述。

在 T12 阶段，Input=0，Reset=0，CK1=1，CK2=0，VN1=1，VN2=0。在本阶段中，由于 VN2=0，因此第十五开关晶体管 M15 截止。进一步拉高的第一节点 N1 的信号还控制第十七开关晶体管 M17 与第十八开关晶体管 M18 导通。导通的第十七开关晶体管 M17 将参考电压信号端 Vref 的低电位信号提供给第十六开关晶体管 M16，以控制第十六开关晶体管 M16 截止。导通的第十八开关晶体管 M18 将参考电压信号端 Vref 的低电位信号提供给第三节点 N3，使第三节点 N3 的信号为低电位信号，以控制第十四开关晶体管 M14 与第十九开关晶体管 M19 均截止。本阶段的其余工作过程与实施例一中的 T12 阶段的工作过程基本相同，在此不作赘述。

在 T13 阶段，Input=0，Reset=1，CK1=1，CK2=0，VN1=1，VN2=0。在本阶段中，第一节点 N1 的信号还控制第十七开关晶体管 M17 与第十八开关晶体管 M18 均截止。由于 VN2=0，因此第十五开关晶体管 M15 截止，使得第三节点 N3 保持为低电位信号，以控制第十四开关晶体管 M14 与第十九开关晶体管 M19 均截止。本阶段的其余工作过程与实施例一中的 T13 阶段的工作过程基本相同，在此不作赘述。

在 T14 阶段，Input=0，Reset=0，CK1=1，CK2=0，VN1=1，VN2=0。在本阶段中，第一节点 N1 的信号还控制第十七开关晶体管 M17 与第十八开关晶体管 M18 均截止。由于 VN2=0，因此第十五开关晶体管 M15 截止，使得第三节点 N3 保持为低电位信号，以控制第十四开关晶体管 M14 与第十九开关晶体管 M19 均截止。本阶段的其余工作过程与实施例一中的 T14 阶段的工

作过程基本相同，在此不作赘述。

在 T1 阶段中，在 T14 阶段之后一直重复执行 T14 阶段的工作过程，直至输入信号端的信号再次变为高电位信号。

在 T21 阶段，Input=1，Reset=0，CK1=0，CK2=1，VN1=0，VN2=1。在本阶段中，由于 Reset=0，因此第二十开关晶体管 M20 截止。由于 VN1=0，因此第十开关晶体管 M10 截止。第一节点 N1 的信号还控制第十七开关晶体管 M17 与第十八开关晶体管 M18 导通。导通的第十七开关晶体管 M17 将参考电压信号端 Vref 的低电位信号提供给第十六开关晶体管 M16，以控制第十六开关晶体管 M16 截止。导通的第十八开关晶体管 M18 将参考电压信号端 Vref 的低电位信号提供给第三节点 N3，使第三节点 N3 的信号为低电位信号，以控制第十四开关晶体管 M14 与第十九开关晶体管 M19 均截止。本阶段的其余工作过程与实施例一中的 T21 阶段的工作过程基本相同，在此不作赘述。

在 T22 阶段，Input=0，Reset=0，CK1=0，CK2=1，VN1=0，VN2=1。在本阶段中，由于 Reset=0，因此第二十开关晶体管 M20 截止。由于 VN1=0，因此第十开关晶体管 M10 截止。进一步拉高的第一节点 N1 的信号还控制第十七开关晶体管 M17 与第十八开关晶体管 M18 导通。导通的第十七开关晶体管 M17 将参考电压信号端 Vref 的低电位信号提供给第十六开关晶体管 M16，以控制第十六开关晶体管 M16 截止。导通的第十八开关晶体管 M18 将参考电压信号端 Vref 的低电位信号提供给第三节点 N3，使第三节点 N3 的信号为低电位信号，以控制第十四开关晶体管 M14 与第十九开关晶体管 M19 均截止。本阶段的其余工作过程与实施例一中的 T22 阶段的工作过程基本相同，在此不作赘述。

在 T23 阶段，Input=0，Reset=1，CK1=0，CK2=1，VN1=0，VN2=1。在本阶段中，由于 VN1=0，因此第十开关晶体管 M10 截止，使得第二节点 N2 保持为低电位信号，以控制第九开关晶体管 M9 与第七开关晶体管 M7 均截止。由于 VN2=1，因此第十五开关晶体管 M15 导通并将第二节点控制信号端 VN2 的高电位信号提供给第三节点 N3，使第三节点 N3 的信号为高电位信号，以

控制第十四开关晶体管 M14 与第十九开关晶体管 M19 均导通。导通的第十四开关晶体管 M14 将参考电压信号端 Vref 的低电位信号提供给第一节点 N1, 进一步使第一节点 N1 的信号为低电位信号, 进一步控制第一开关晶体管 M1、第三开关晶体管 M3、第十二开关晶体管 M12、第十三开关晶体管 M13、第十七开关晶体管 M17 以及第十八开关晶体管 M18 均截止。导通的第十九开关晶体管 M19 将参考电压信号端 Vref 的低电位信号提供给驱动信号输出端 Output, 使驱动信号输出端 Output 输出低电位的扫描信号。由于 Reset=1, 因此第二十开关晶体管 M20 导通并将参考电压信号端 Vref 的低电位信号提供给驱动信号输出端 Output, 进一步使驱动信号输出端 Output 输出低电位的扫描信号。本阶段的其余工作过程与实施例一中的 T23 阶段的工作过程基本相同, 在此不作赘述。

在 T24 阶段, Input=0, Reset=0, CK1=0, CK2=1, VN1=0, VN2=1。在本阶段中, 由于 Reset=0, 因此第二十开关晶体管 M20 截止。由于 VN1=0, 因此第十开关晶体管 M10 截止, 使得第二节点 N2 保持为低电位信号, 以控制第九开关晶体管 M9 与第七开关晶体管 M7 均截止。由于 VN2=1, 因此第十五开关晶体管 M15 导通并将第二节点控制信号端 VN2 的高电位信号提供给第三节点 N3, 使第三节点 N3 的信号为高电位信号, 以控制第十四开关晶体管 M14 与第十九开关晶体管 M19 均导通。导通的第十四开关晶体管 M14 将参考电压信号端 Vref 的低电位信号提供给第一节点 N1, 使第一节点 N1 的信号为低电位信号, 以控制第一开关晶体管 M1、第三开关晶体管 M3、第十二开关晶体管 M12、第十三开关晶体管 M13、第十七开关晶体管 M17 以及第十八开关晶体管 M18 均截止。导通的第十九开关晶体管 M19 将参考电压信号端 Vref 的低电位信号提供给驱动信号输出端 Output, 使驱动信号输出端 Output 输出低电位的扫描信号。本阶段的其余工作过程与实施例一中的 T24 阶段的工作过程基本相同, 在此不作赘述。

在 T2 阶段中, 在 T24 阶段之后一直重复执行 T24 阶段的工作过程, 直至输入信号端 Input 的信号再次变为高电位信号。

在实施例二中,在 T1 阶段中,第七开关晶体管 M7、第九开关晶体管 M9、第十开关晶体管 M10、第十一开关晶体管 M11、第十二开关晶体管 M12 以及第十三开关晶体管 M13 工作;在 T2 阶段中,第十四开关晶体管 M14、第十五开关晶体管 M15、第十六开关晶体管 M16、第十七开关晶体管 M17、第十八开关晶体管 M18 以及第十九开关晶体管 M19 工作,从而可以使晶体管的特性交替进行恢复,从而可以降低由于晶体管使用造成的特性漂移导致的对显示面板的稳定性和寿命的影响,进而在一定程度上增强了产品的寿命,降低了生产成本。

基于同一发明构思,本公开实施例还提供了一种上述移位寄存器的驱动方法,包括:对第一时钟信号端 CK1 和第二时钟信号端 CK2 输入周期相同且相位相反的信号。

这样可以仅采用两条信号线分别为第一时钟信号端 CK1 与第二时钟信号端 CK2 输入信号,即可使每一级移位寄存器 SR(n)实现移位输出扫描信号。与相关技术中采用 6 条时钟信号线为移位寄存器输入对应的信号相比,可以简化电路设计,降低印制电路板(Printed Circuit Board, PCB)的走线数量,降低 PCB 的面积,以及降低成本。

基于同一发明构思,本公开实施例还提供了一种栅极驱动电路,如图 5a 与图 5b 所示,包括级联的多个本公开实施例提供的移位寄存器:SR(1)、SR(2)、SR(3)...SR(n-2)、SR(n-1)、SR(n)、SR(n+1)、SR(n+2) (共 N 个移位寄存器, $1 \leq n \leq N$, N 为正整数),其中,

第一级移位寄存器 SR(1)的输入信号端 Input 与第一帧触发信号端 STV1 相连;

第二级移位寄存器 SR(2)的输入信号端 Input 与第二帧触发信号端 STV2 相连;

第三级移位寄存器 SR(3)的输入信号端 Input 与第三帧触发信号端 STV3 相连;

每相邻 4 个移位寄存器中,第四个移位寄存器的输入信号端与第一个移

位寄存器的驱动信号输出端相连；

每相邻 5 个移位寄存器中，第一个移位寄存器的复位信号端与第五个移位寄存器的驱动信号输出端相连。

具体地，上述栅极驱动电路中的每个移位寄存器与本公开实施例提供的移位寄存器在功能和结构上均相同，重复之处不再赘述。

可选地，在本公开实施例提供的栅极驱动电路中，如图 5a 与图 5b 所示，每一级移位寄存器 SR(n)的第一时钟信号端 CK1 均与同一时钟端相连，即与第一时钟端 ck1 相连，每一级移位寄存器 SR(n)的第二时钟信号端 CK2 均同一时钟端相连，即与第二时钟端 ck2 相连。

这样可以仅采用两条信号线分别为每一级移位寄存器 SR(n)的第一时钟信号端 CK1 与第二时钟信号端 CK2 输入信号，即可使每一级移位寄存器 SR(n)实现移位输出扫描信号。与相关技术中采用 6 条时钟信号线为移位寄存器输入对应的信号相比，可以简化电路设计，降低印制电路板（Printed Circuit Board, PCB）的走线数量，降低 PCB 的面积，以及降低成本。

在具体实施时，在本公开实施例提供的栅极驱动电路中，每一级移位寄存器的参考电压信号端 Vref 均与同一参考信号端相连。

在具体实施时，在移位寄存器包括第二控制电路 5 时，在本公开实施例提供的栅极驱动电路中，每一级移位寄存器的第一节点控制信号端 VN1 均与同一第一控制端相连，每一级移位寄存器的第二节点控制信号端 VN2 均与同一第二控制端相连。

可选地，在移位寄存器包括第二控制电路 5 时，针对每一个移位寄存器，第一节点控制信号端 VN1 可以与第一时钟信号端 CK1 为同一信号端，第二节点控制信号端 VN2 可以与第二时钟信号端 CK2 为同一信号端。在本公开实施例提供的栅极驱动电路中，如图 5b 所示，每一级移位寄存器 SR(n)的第一节点控制信号端 VN1 均与同一第一时钟端 ck1 相连，每一级移位寄存器 SR(n)的第二节点控制信号端 VN2 均与同一第二时钟端 ck2 相连。从而可以进一步节省信号线。

基于同一发明构思，本公开实施例还提供了一种显示装置，包括本公开实施例提供的任一种栅极驱动电路。该显示装置可以为：手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品的显示面板。该显示装置的实施可以参见上述栅极驱动电路的实施例，重复之处不再赘述。

本公开实施例提供的一种移位寄存器、栅极驱动电路及显示装置，由于第一输出电路具有两条输出通路，其中一条通路为在第一时钟信号端与第一节点的信号的共同控制下将第一时钟信号端的信号提供给移位寄存器的驱动信号输出端，另一条通路为在第二时钟信号端与第一节点的信号的共同控制下将第二时钟信号端的信号提供给驱动信号输出端，并且与其余四个电路相互配合，可以使这两条通路交替工作，从而可以避免电流仅流经一条通路，从而可以提高移位寄存器的使用寿命。

显然，本领域的技术人员可以对本公开进行各种改动和变型而不脱离本公开的精神和范围。这样，倘若本公开的这些修改和变型属于本公开权利要求及其等同技术的范围之内，则本公开也意图包含这些改动和变型在内。

权 利 要 求

1、一种移位寄存器，其中，包括：

输入电路，所述输入电路用于在输入信号端的控制下将所述输入信号端的信号提供给第一节点；

复位电路，所述复位电路用于在复位信号端的控制下将参考电压信号端的信号提供给所述第一节点；

第一控制电路，所述第一控制电路用于控制所述第一节点的电位和第二节点的电位；

第一输出电路，所述第一输出电路用于在第一时钟信号端与所述第一节点的信号的共同控制下将所述第一时钟信号端的信号提供给所述移位寄存器的驱动信号输出端，在第二时钟信号端与所述第一节点的信号的共同控制下将所述第二时钟信号端的信号提供给所述驱动信号输出端；其中，所述第一时钟信号端的信号与所述第二时钟信号端的信号的周期相同且相位相反；

以及，第二输出电路，所述第二输出电路用于分别在所述输入信号端与所述第二节点的信号的控制下将所述参考电压信号端的信号提供给所述驱动信号输出端。

2、如权利要求1所述的移位寄存器，其中，所述第一输出电路包括：第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管以及存储电容；

所述第一开关晶体管的控制极与所述第一节点相连，所述第一开关晶体管的第一极与所述第一时钟信号端相连，所述第一开关晶体管的第二极与所述第二开关晶体管的控制极相连；

所述第二开关晶体管的第一极与所述第一时钟信号端相连，所述第二开关晶体管的第二极与所述驱动信号输出端相连；

所述第三开关晶体管的控制极与所述第一节点相连，所述第三开关晶体管的第一极与所述第二时钟信号端相连，所述第三开关晶体管的第二极与所

述第四开关晶体管的控制极相连；

所述第四开关晶体管的第一极与所述第二时钟信号端相连，所述第四开关晶体管的第二极与所述驱动信号输出端相连；

所述存储电容连接于所述第一节点与所述驱动信号输出端之间。

3、如权利要求1所述的移位寄存器，其中，所述输入电路包括：第五开关晶体管；其中，所述第五开关晶体管的控制极与其第一极均与所述输入信号端相连，所述第五开关晶体管的第二极与所述第一节点相连。

4、如权利要求1所述的移位寄存器，其中，所述复位电路包括：第六开关晶体管；其中，所述第六开关晶体管的控制极与所述复位信号端相连，所述第六开关晶体管的第一极与所述参考电压信号端相连，所述第六开关晶体管的第二极与所述第一节点相连。

5、如权利要求1所述的移位寄存器，其中，所述第二输出电路包括：第七开关晶体管与第八开关晶体管；

所述第七开关晶体管的控制极与所述第二节点相连，所述第七开关晶体管的第一极与所述参考电压信号端相连，所述第七开关晶体管的第二极与所述驱动信号输出端相连；

所述第八开关晶体管的控制极与所述输入信号端相连，所述第八开关晶体管的第一极与所述参考电压信号端相连，所述第八开关晶体管的第二极与所述驱动信号输出端相连。

6、如权利要求1所述的移位寄存器，其中，所述第一控制电路包括：第九开关晶体管、第十开关晶体管、第十一开关晶体管、第十二开关晶体管以及第十三开关晶体管；

所述第九开关晶体管的控制极与所述第二节点相连，所述第九开关晶体管的第一极与所述参考电压信号端相连，所述第九开关晶体管的第二极与所述第一节点相连；

所述第十开关晶体管的控制极与其第一极均与第一节点控制信号端相连，所述第十开关晶体管的第二极与所述第十一开关晶体管的控制极相连；

所述第十一开关晶体管的第一极与所述第一节点控制信号端相连, 所述第十一开关晶体管的第二极与所述第二节点相连;

所述第十二开关晶体管的控制极与所述第一节点相连, 所述第十二开关晶体管的第一极与所述参考电压信号端相连, 所述第十二开关晶体管的第二极与所述第十一开关晶体管的控制极相连;

所述第十三开关晶体管的控制极与所述第一节点相连, 所述第十三开关晶体管的第一极与所述参考电压信号端相连, 所述第十三开关晶体管的第二极与所述第二节点相连。

7、如权利要求 1 所述的移位寄存器, 其中, 所述第一时钟信号端的信号的周期为 4s, 并且所述第一时钟信号端的信号占空比为 50%。

8、如权利要求 1-7 任一项所述的移位寄存器, 其中, 所述移位寄存器还包括: 第二控制电路和第三输出电路;

所述第二控制电路用于控制所述第一节点的电位和第三节点的电位;

所述第三输出电路用于在所述第三节点的信号的控制下将所述参考电压信号端的信号提供给所述驱动信号输出端。

9、如权利要求 8 所述的移位寄存器, 其中, 所述第二控制电路包括: 第十四开关晶体管、第十五开关晶体管、第十六开关晶体管、第十七开关晶体管以及第十八开关晶体管;

所述第十四开关晶体管的控制极与所述第三节点相连, 所述第十四开关晶体管的第一极与所述参考电压信号端相连, 所述第十四开关晶体管的第二极与所述第一节点相连;

所述第十五开关晶体管的控制极与其第一极均与第二节点控制信号端相连, 所述第十五开关晶体管的第二极与所述第十六开关晶体管的控制极相连;

所述第十六开关晶体管的第一极与所述第二节点控制信号端相连, 所述第十六开关晶体管的第二极与所述第三节点相连;

所述第十七开关晶体管的控制极与所述第一节点相连, 所述第十七开关晶体管的第一极与所述参考电压信号端相连, 所述第十七开关晶体管的第二

极与所述第十六开关晶体管的控制极相连；

所述第十八开关晶体管的控制极与所述第一节点相连，所述第十八开关晶体管的第一极与所述参考电压信号端相连，所述第十八开关晶体管的第二极与所述第三节点相连。

10、如权利要求 8 所述的移位寄存器，其中，第一节点控制信号端的信号与所述第二节点控制信号端的信号分别为时钟信号；

所述第一节点控制信号端的信号与所述第二节点控制信号端的信号的周期相同且相位相反。

11、如权利要求 8 所述的移位寄存器，其中，所述第三输出电路包括：第十九开关晶体管；

所述第十九开关晶体管的控制极与所述第三节点相连，所述第十九开关晶体管的第一极与所述参考电压信号端相连，所述第十九开关晶体管的第二极与所述驱动信号输出端相连。

12、如权利要求 1-7 任一项所述的移位寄存器，其中，所述移位寄存器还包括：输出稳定电路；所述输出稳定电路用于在所述复位信号端的控制下将所述参考电压信号端的信号提供给所述驱动信号输出端。

13、如权利要求 12 所述的移位寄存器，其中，所述输出稳定电路包括：第二十开关晶体管；

所述第二十开关晶体管的控制极与所述复位信号端相连，所述第二十开关晶体管的第一极与所述参考电压信号端相连，所述第二十开关晶体管的第二极与所述驱动信号输出端相连。

14、一种如权利要求 1-13 任一项所述的移位寄存器的驱动方法，其中，包括：

对第一时钟信号端和第二时钟信号端输入周期相同且相位相反的信号。

15、一种栅极驱动电路，其中，包括级联的多个如权利要求 1-13 任一项所述的移位寄存器；

第一级移位寄存器的输入信号端与第一帧触发信号端相连；

第二级移位寄存器的输入信号端与第二帧触发信号端相连;

第三级移位寄存器的输入信号端与第三帧触发信号端相连;

每相邻 4 个移位寄存器中, 第四个移位寄存器的输入信号端与第一个移位寄存器的驱动信号输出端相连;

每相邻 5 个移位寄存器中, 第一个移位寄存器的复位信号端与第五个移位寄存器的驱动信号输出端相连。

16、如权利要求 15 所述的栅极驱动电路, 其中, 每一级所述移位寄存器的第一时钟信号端均与第一时钟端相连, 每一级所述移位寄存器的第二时钟信号端均与第二时钟端相连。

17、一种显示装置, 其中, 包括如权利要求 15 或 16 所述的栅极驱动电路。

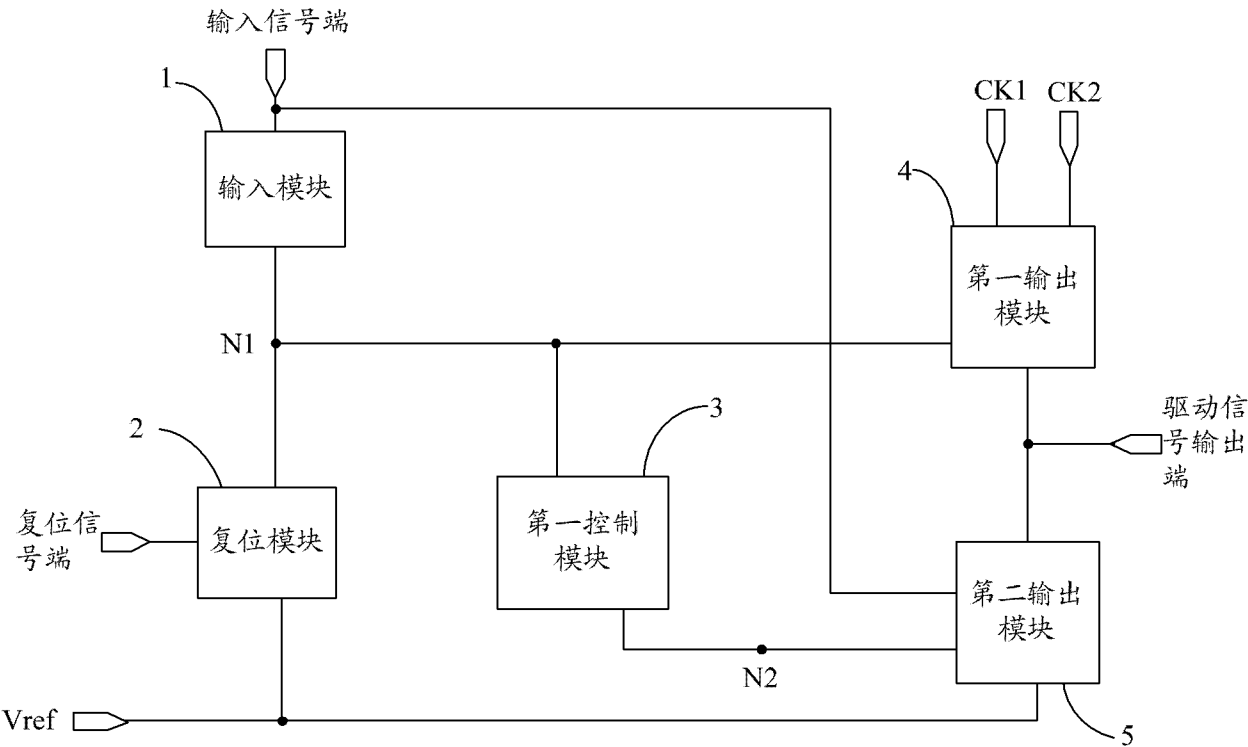


图 1

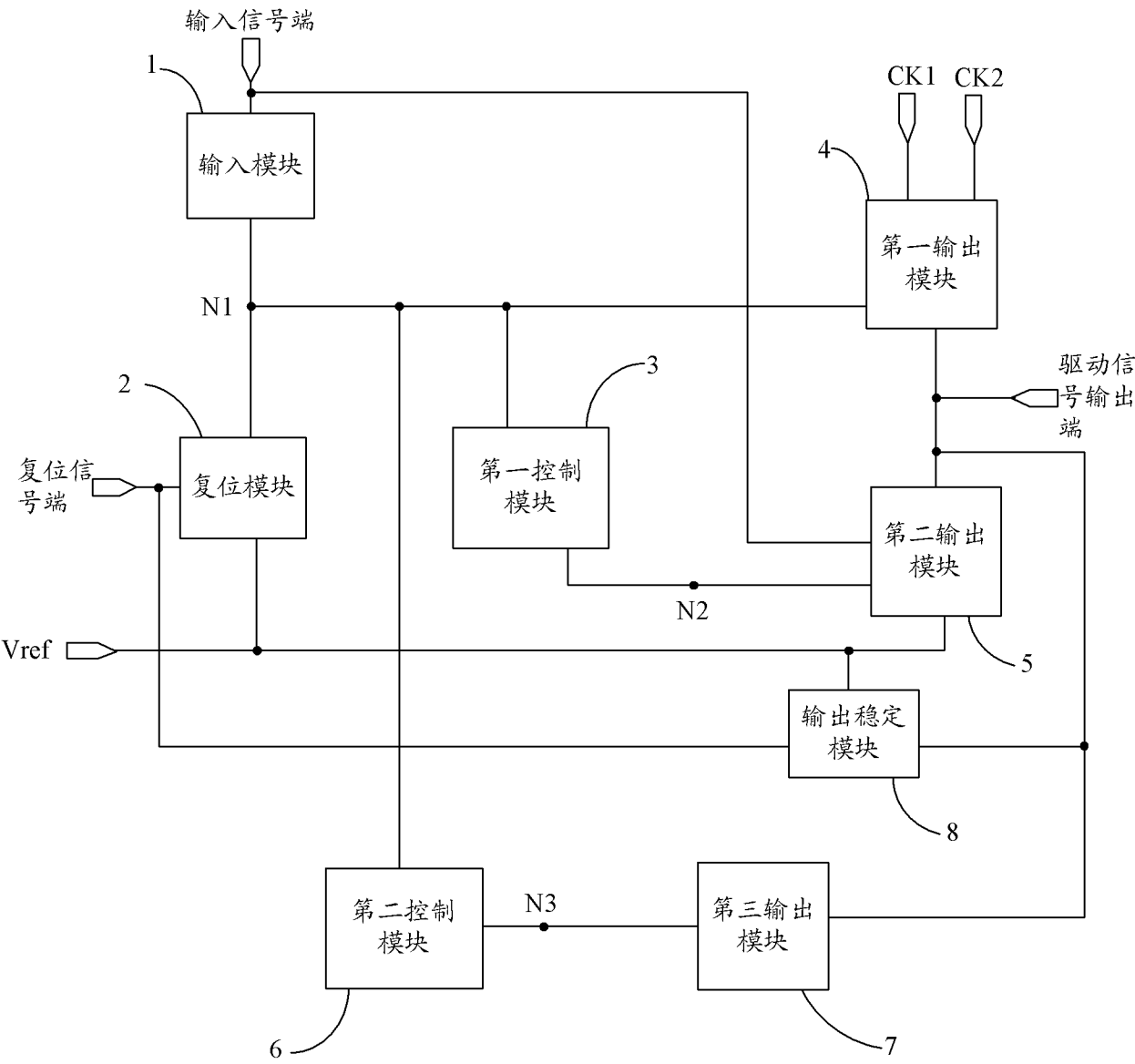


图 2

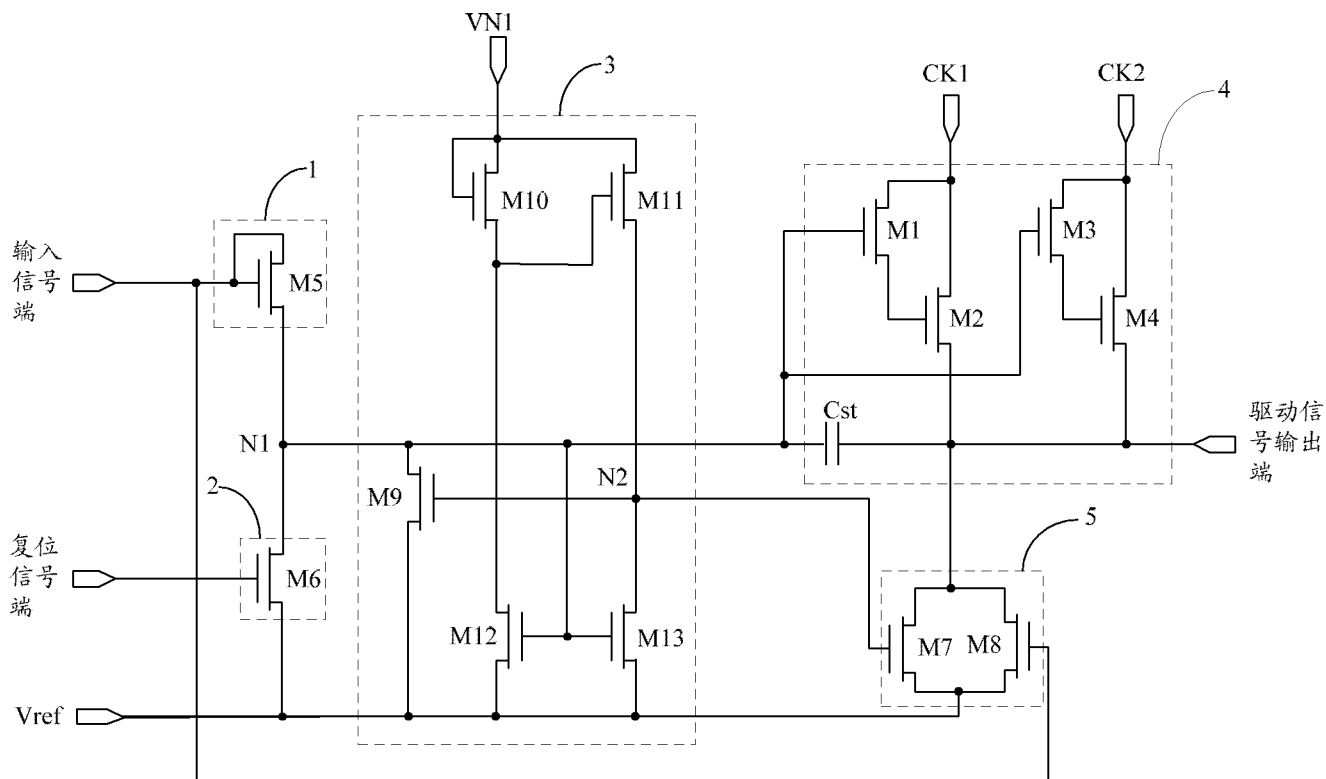


图 3a

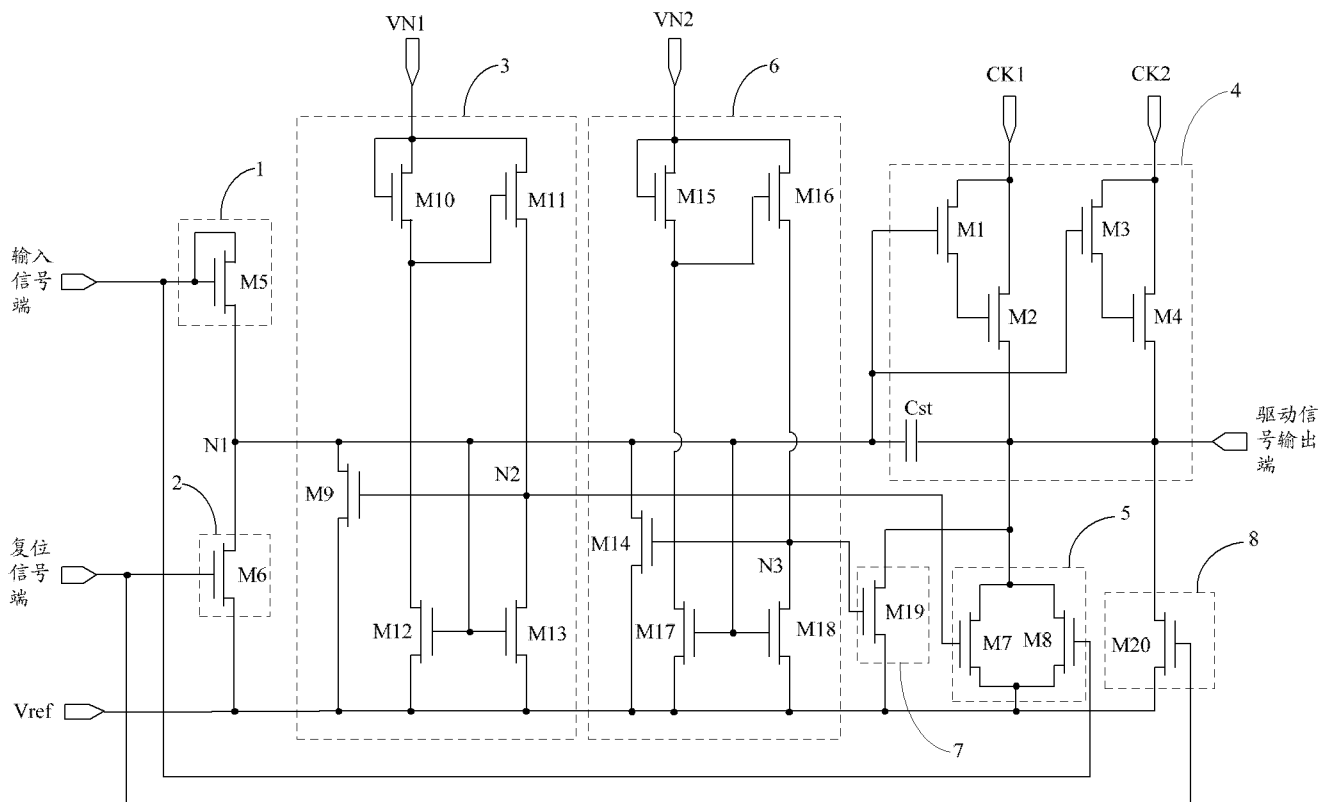


图 3b

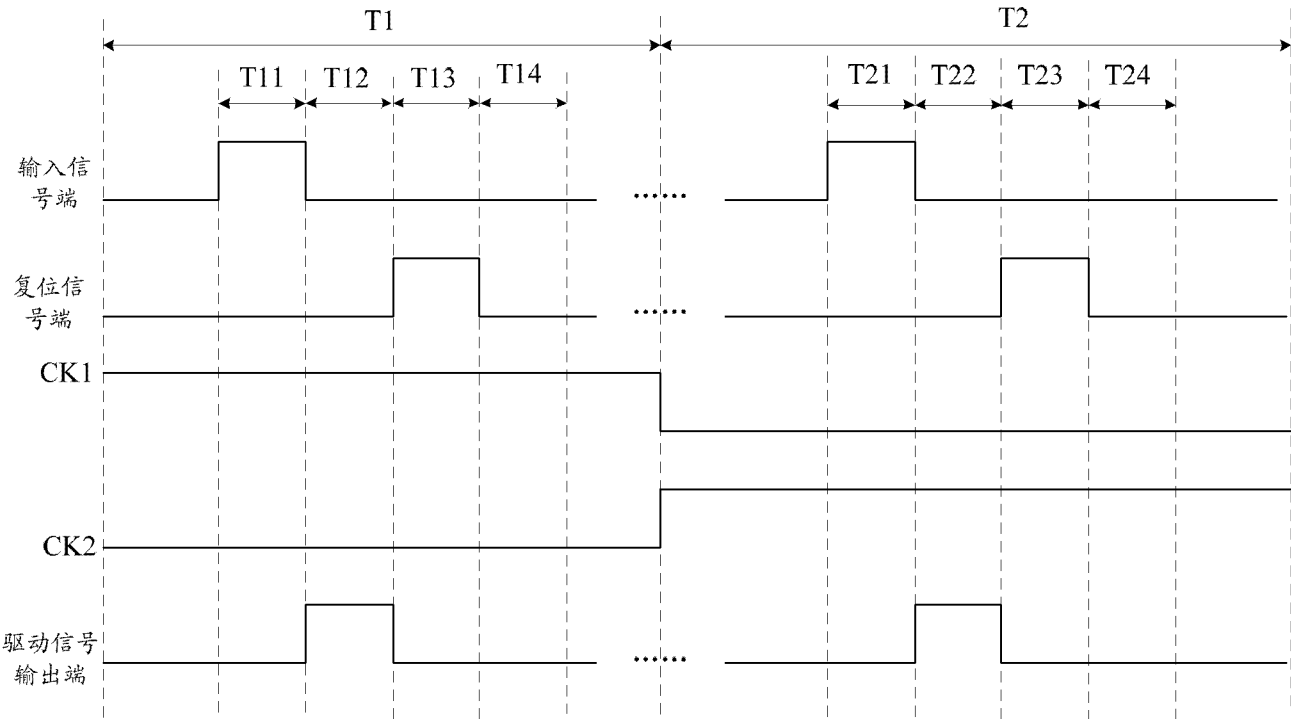


图 4a

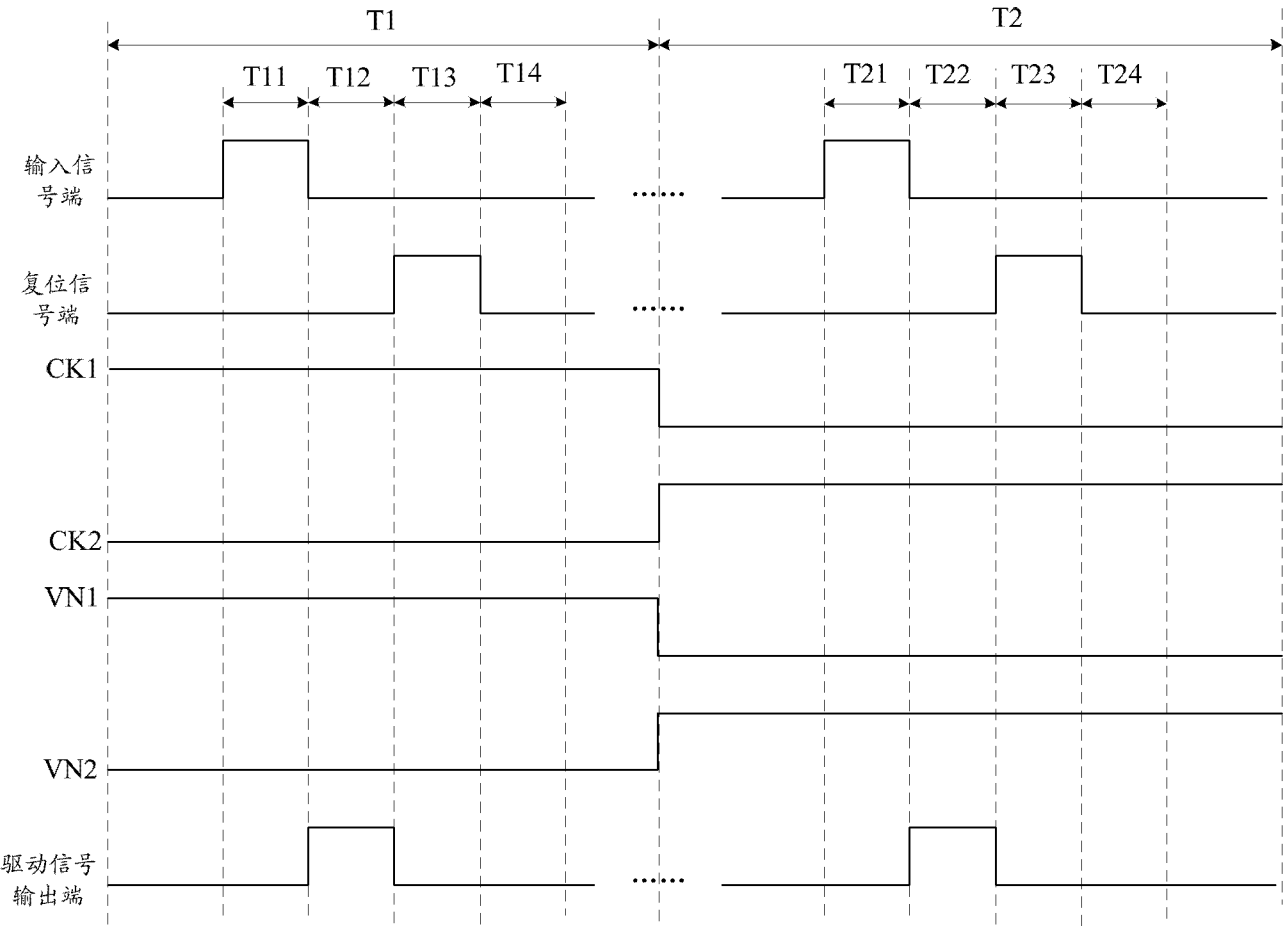


图 4b

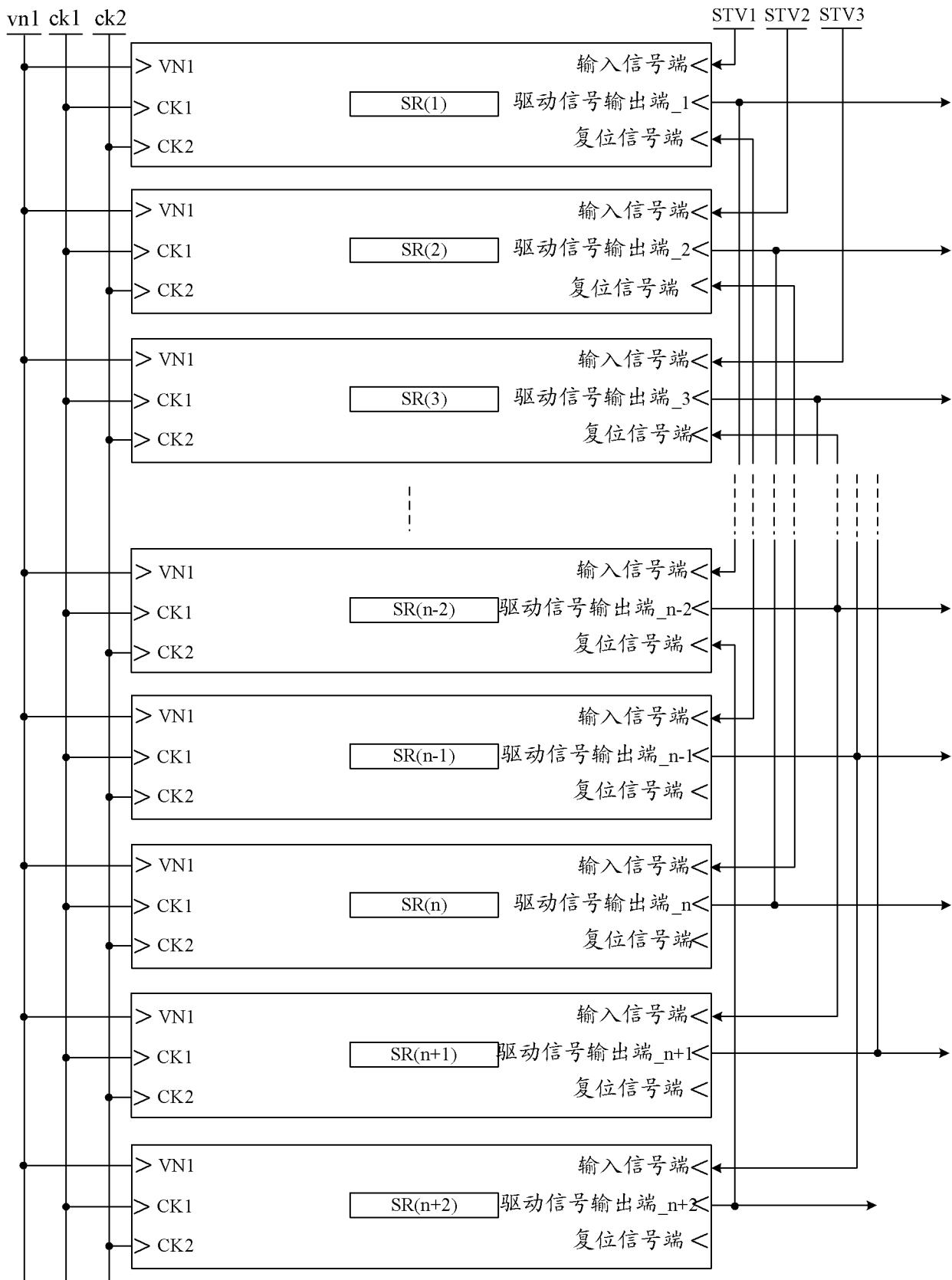


图 5a

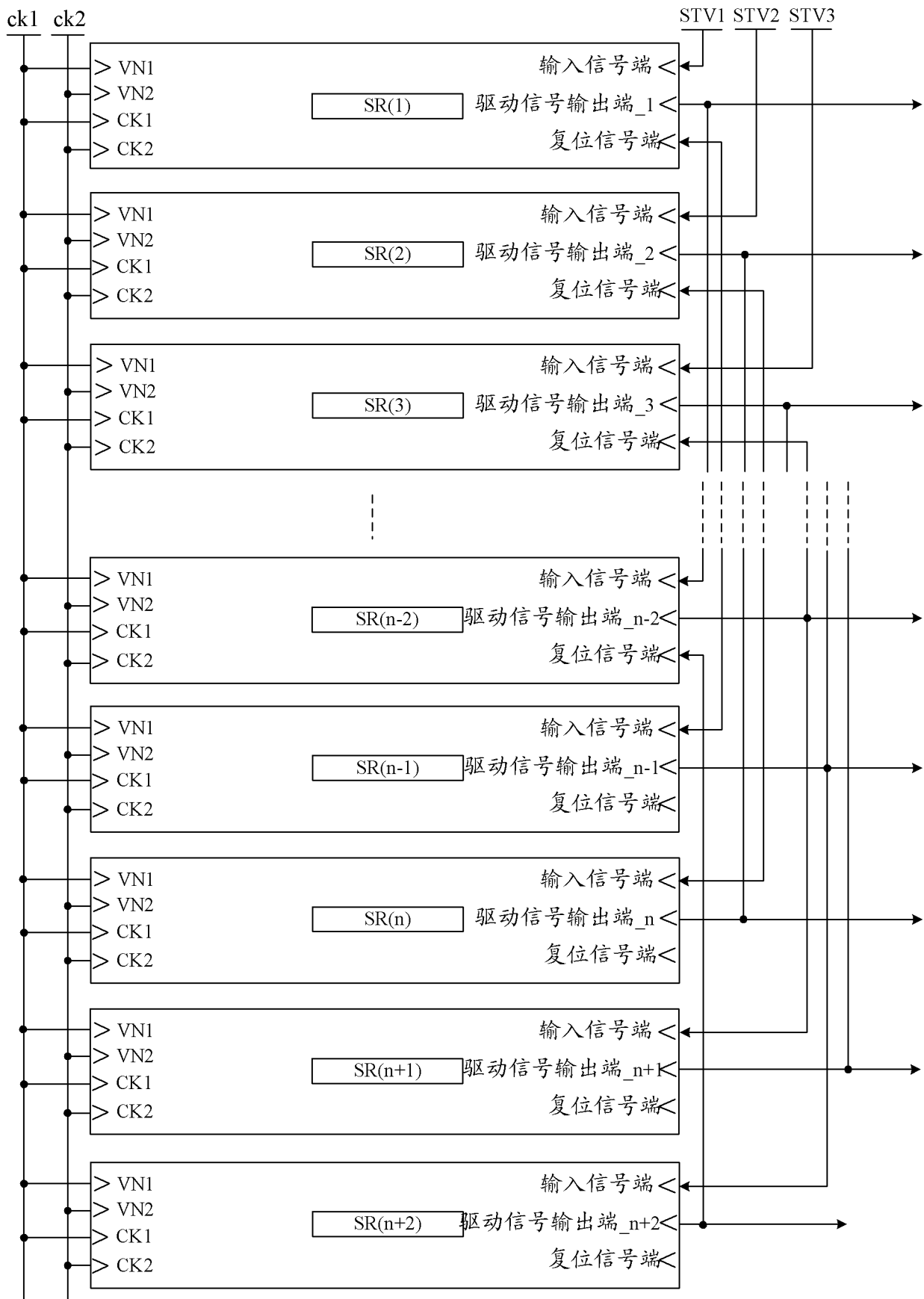


图 5b

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/093854

A. CLASSIFICATION OF SUBJECT MATTER

G11C 19/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; SIPOABS; DWPI; CNTXT; EPODOC; CNKI; IEEE: 移位寄存器, 栅极驱动电路, 显示, 复位, 参考电压, 输入, 输出, 节点, 控制, 电位, 电平, 时钟信号, 驱动信号, 第二, 晶体管, 相位, 周期, shift register, gate driv+, display, reset, reference voltage, input, output, node, control, potential, level, clock, drive signal, second, transistor, phase, period

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 107610736 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 19 January 2018 (2018-01-19) claims 1-15, and figures 1-5b	1-17
A	CN 104299590 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 21 January 2015 (2015-01-21) entire document	1-17
A	CN 104766586 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. ET AL.) 08 July 2015 (2015-07-08) entire document	1-17
A	CN 106504692 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 15 March 2017 (2017-03-15) entire document	1-17
A	CN 105551422 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 04 May 2016 (2016-05-04) entire document	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

27 August 2018

Date of mailing of the international search report

03 September 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/093854

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107610736	A	19 January 2018	None			
CN	104299590	A	21 January 2015	CN	104299590	B	24 August 2016
				US	2016125955	A1	05 May 2016
CN	104766586	A	08 July 2015	CN	104766586	B	29 August 2017
				US	2016322115	A1	03 November 2016
CN	106504692	A	15 March 2017	WO	2018126754	A1	12 July 2018
CN	105551422	A	04 May 2016	CN	105551422	B	23 March 2018

国际检索报告

国际申请号

PCT/CN2018/093854

A. 主题的分类 G11C 19/28 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS; SIPOABS; DWPI; CNTXT; EPDOC; CNKI; IEEE: 移位寄存器, 栅极驱动电路, 显示, 复位, 参考电压, 输入, 输出, 节点, 控制, 电位, 电平, 时钟信号, 驱动信号, 第二, 晶体管, 相位, 周期, shift register, gate driv+, display, reset, reference voltage, input, output, node, control, potential, level, clock, drive signal, second, transistor, phase, period		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 107610736 A (京东方科技集团股份有限公司 等) 2018年 1月 19日 (2018 - 01 - 19) 权利要求1-15、图1-5b	1-17
A	CN 104299590 A (京东方科技集团股份有限公司 等) 2015年 1月 21日 (2015 - 01 - 21) 全文	1-17
A	CN 104766586 A (合肥京东方光电科技有限公司 等) 2015年 7月 8日 (2015 - 07 - 08) 全文	1-17
A	CN 106504692 A (京东方科技集团股份有限公司 等) 2017年 3月 15日 (2017 - 03 - 15) 全文	1-17
A	CN 105551422 A (京东方科技集团股份有限公司 等) 2016年 5月 4日 (2016 - 05 - 04) 全文	1-17
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2018年 8月 27日		2018年 9月 3日
ISA/CN的名称和邮寄地址		受权官员
中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		李昕宇 电话号码 (86-10) 62089924

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/093854

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107610736	A	2018年 1月 19日	无			
CN	104299590	A	2015年 1月 21日	CN	104299590	B	2016年 8月 24日
				US	2016125955	A1	2016年 5月 5日
CN	104766586	A	2015年 7月 8日	CN	104766586	B	2017年 8月 29日
				US	2016322115	A1	2016年 11月 3日
CN	106504692	A	2017年 3月 15日	WO	2018126754	A1	2018年 7月 12日
CN	105551422	A	2016年 5月 4日	CN	105551422	B	2018年 3月 23日