



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년05월03일
(11) 등록번호 10-1975140
(24) 등록일자 2019년04월26일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G09G 3/00 (2006.01)
G11C 19/28 (2006.01)
(52) CPC특허분류
G09G 3/3648 (2013.01)
G09G 3/006 (2013.01)
(21) 출원번호 10-2017-7032451(분할)
(22) 출원일자(국제) 2011년02월17일
심사청구일자 2017년11월09일
(85) 번역문제출일자 2017년11월09일
(65) 공개번호 10-2017-0127062
(43) 공개일자 2017년11월20일
(62) 원출원 특허 10-2012-7026490
원출원일자(국제) 2011년02월17일
심사청구일자 2016년02월05일
(86) 국제출원번호 PCT/JP2011/054059
(87) 국제공개번호 WO 2011/111531
국제공개일자 2011년09월15일
(30) 우선권주장
JP-P-2010-056464 2010년03월12일 일본(JP)
(56) 선행기술조사문헌
W02009028716 A1
(뒷면에 계속)

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 쉐큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
우메자키 아츠시
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 쉐큐쇼 내
미야케 히로유키
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 쉐큐쇼 내
(74) 대리인
장수길, 박충범, 이중희

전체 청구항 수 : 총 2 항

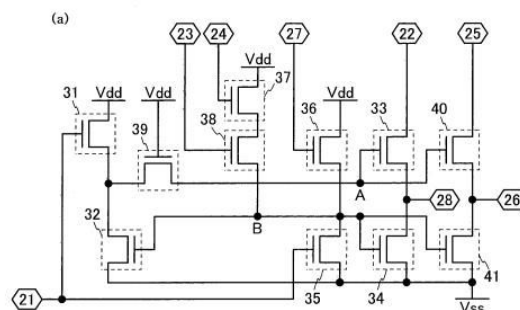
심사관 : 추장희

(54) 발명의 명칭 표시 장치

(57) 요약

본 발명은 임의의 영역에만 화상의 재기입이 가능한 표시 장치를 제공하거나, 부분 구동이 가능한 표시 장치에 있어서 배선을 포함하는 회로의 구성을 간략화하는 것이다. 주사선 구동 회로에 포함된 시프트 레지스터에서의 선택 신호의 시프트와, 주사선에 대한 선택 신호의 공급을 서로 독립적으로 제어하여, 임의의 영역에만 화상의 재기입을 행하는 것이 가능하다. 또한, 상기의 동작은, 클록 신호 또는 고정 전위를 나타내는 신호를 공급하는 배선을 제공함으로써 실현된다. 따라서, 배선을 포함하는 회로의 구성은, 배선을 포함하는 표시 장치에서 간략화될 수 있으면서, 부분 구동이 실행될 수 있다.

대표도



(52) CPC특허분류

G11C 19/28 (2013.01)
G09G 2310/0286 (2013.01)
G09G 2310/04 (2013.01)
G09G 2320/046 (2013.01)
G09G 2330/021 (2013.01)

(56) 선행기술조사문헌

JP2008140490 A
JP2008058939 A
JP10221675 A*
KR1020080020876 A*
KR1020090085738 A*
JP2010056542 A*
*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

제1 내지 제3 모드를 행하는 것이 가능한 표시 장치로서,
 화소부와, 주사선 구동 회로를 가지고,
 상기 화소부는, 제1 화소를 포함하는 복수의 화소를 가지고,
 상기 주사선 구동 회로는, 제1 배선과, 제2 배선과, 제1 펄스 출력 회로 및 제2 펄스 출력 회로를 포함하는 복수의 펄스 출력 회로를 가지고,
 상기 제1 펄스 출력 회로는, 제1 트랜지스터와, 제2 트랜지스터를 가지고,
 상기 제1 배선은, 상기 제1 트랜지스터를 통해 상기 제1 화소와 전기적으로 접속되고,
 상기 제2 배선은, 상기 제2 트랜지스터를 통해 상기 제2 펄스 출력 회로와 전기적으로 접속되고,
 상기 제1 모드에서, 상기 제2 배선에 제1 클록 신호를 입력하는 것과 함께, 상기 제1 배선에 상기 제1 클록 신호와 동일한 신호를 입력하고,
 상기 제2 모드에서, 상기 제2 배선에 상기 제1 클록 신호를 입력하는 것과 함께, 상기 제1 배선에 상기 제1 클록 신호와 동일한 신호 또는 고정 전위를 선택적으로 입력하고,
 상기 제3 모드에서, 상기 화소부에 화상을 유지한 채, 상기 주사선 구동 회로의 동작을 정지시키고,
 상기 제1 화소는, 제3 트랜지스터를 가지고,
 상기 제3 트랜지스터는, 산화물 반도체층에 채널 형성 영역을 가지고,
 상기 제3 트랜지스터는 85℃의 온도 환경 하에서의 소스-드레인 전압이 3.1V인 조건에서, 오프 전류가 100zA/ μ m 이하인, 표시 장치.

청구항 2

제1항에 있어서,
 상기 제3 모드에서, 상기 제1 화소에 포함된 액정 소자에 인가되는 전압을 반전하는, 표시 장치.

청구항 3

삭제

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것이다.

배경 기술

[0002] 화상의 일부만을 재기입함으로써 소비 전력을 절감할 수 있는 표시 장치가 개발되고 있다. 이러한 표시 장치는 화상의 일부를 재기입하기 위해서는, 일부의 주사선만을 구동하는 것(이러한 구동을 부분 구동이라고도 칭함)이 가능한 주사선 구동 회로를 갖는다.

[0003] 특허 문헌 1에서는, 부분 구동을 실현할 수 있는 주사선 구동 회로(게이트 구동기)가 개시되어 있다. 구체적으로는, 특허 문헌 1에 개시된 주사선 구동 회로(게이트 구동기)는 복수의 그룹으로 분할된다. 분할된 복수의 그룹의 동작은 상이한 개시 펄스(주사 개시 신호)에 의해 제어된다. 즉, 특허 문헌 1에 개시된 주사선 구동 회로(게이트 구동기)는 각 그룹에 입력된 개시 펄스(주사 개시 신호)를 제어함으로써 부분 구동을 실현한다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 특허 출원 공개 번호 제2007-004176호

발명의 내용

- [0005] 그러나, 특허 문헌 1에 개시된 표시 장치에서, 어느 영역에 대하여 화상의 재기입을 행할지는, 미리 분할된 그룹에 의해서만 선택된다. 즉, 임의의 주사선(예를 들어, 주사선마다)에 대하여 화상의 재기입을 선택할 수는 없다. 또한, 특허 문헌 1에 개시된 표시 장치에서, 주사선 구동 회로의 구동에 필요한 신호들의 수는 주사선 구동 회로의 분할된 그룹의 수에 따라 증가한다. 즉, 주사선 구동 회로에 포함된 배선들의 수는 그룹의 수에 따라 증가하게 된다. 또한, 주사선 구동 회로가 화소부가 형성되어 있는 기판 위에 형성될 경우, 화소부가 형성되는 기판과 외부 회로 간의 접속 수는 해당 그룹의 수에 따라 증가하게 된다.
- [0006] 상술한 문제의 관점에서, 본 발명의 한 실시 형태의 목적은 임의의 영역에만 화상의 재기입이 가능한 표시 장치를 제공하는 것이다. 또한, 본 발명의 한 실시 형태의 목적은 부분 구동이 가능한 표시 장치에서, 배선을 포함하는 회로의 구성을 간략화하는 것이다. 또한, 본 발명의 한 실시 형태는 적어도 하나의 상기한 목적을 달성한다는 점에 주목한다.
- [0007] 상술한 목적은, 주사선 구동 회로가 복수의 주사선에 선택적으로 선택 신호를 공급하는 방식으로 해결할 수 있다. 예를 들어, 주사선 구동 회로가 복수의 펄스 출력 회로에 의해 구성되는 시프트 레지스터를 포함하는 경우, 선택 신호는 다음의 구성을 이용하여 복수의 주사선에 선택적으로 공급될 수 있다: 펄스 출력 회로 각각이 클록 신호를 이용해서 후단의 펄스 출력 회로에 선택 신호를 시프트하고, 클록 신호 및 고정 전위를 선택적으로 이용함으로써 주사선에 신호를 공급하는 구성. 즉, 클록 신호를 이용하는 경우에는 선택 신호가 주사선에 입력되고, 고정 전위를 이용하는 경우에는 비선택 신호가 주사선에 입력되는 것과 같은 설계에 의해, 주사선에의 선택 신호의 공급을 제어하는 것이 가능하다.
- [0008] 구체적으로는, 본 발명의 한 실시 형태에 따르면, 표시 장치는 m 행 n 열로 배치된 복수의 화소; 복수의 화소 중 제1 행 내지 제 m 행의 각각에 배치된 n 개의 화소에 전기적으로 접속된 제1 내지 제 m 주사선; 및 제1 내지 제 m 주사선에 각각 전기적으로 접속된 제1 내지 제 m 펄스 출력 회로를 포함한다. 제 k 펄스 출력 회로(k 는, 2 이상 m 미만의 자연수)는 소스와 드레인 중 한쪽이 클록 신호를 공급하는 배선에 전기적으로 접속되고, 소스와 드레인 중 다른 쪽이 제 $(k+1)$ 펄스 출력 회로에 전기적으로 접속된 제1 트랜지스터; 소스와 드레인 중 한쪽이 클록 신호 또는 고정 전위를 공급하는 배선에 전기적으로 접속되고, 소스와 드레인 중 다른 쪽이 제 k 주사선에 전기적으로 접속된 제2 트랜지스터; 및 제 $(k-1)$ 펄스 출력 회로로부터 입력되는 신호에 따라 제1 트랜지스터의 게이트의 전위 및 제2 트랜지스터의 게이트의 전위를 제어하는 제어 회로를 포함한다.
- [0009] 또한, 본 명세서 등에서, 명시적 단일 형태는 바람직하게는 단일 형태를 의미한다는 점에 주목한다. 그러나, 단일 형태는 또한 상기에 한정되지 않고, 복수 형태도 포함할 수 있다. 마찬가지로, 명시적 복수 형태는 바람직하게는 복수 형태를 의미한다. 그러나, 상기에 한정되지 않고, 단수 형태를 포함할 수 있다.
- [0010] 본 명세서 등에서, "제1", "제2", "제3" 등의 용어는 다양한 요소, 부재, 영역, 층, 및 구역을 서로 구별하기 위해 이용된다. 따라서, "제1", "제2", "제3" 등의 용어는 요소, 부재, 영역, 층, 구역 등의 수를 한정하는 것은 아니다. 또한, 예를 들어, "제1"을 "제2" 또는 "제3"으로 대체하는 것이 가능하다.
- [0011] 본 발명의 한 실시 형태의 표시 장치에서, 주사선 구동 회로에 포함된 시프트 레지스터에서의 선택 신호의 시프트와, 주사선에의 선택 신호의 공급을 서로 독립적으로 제어하는 것이 가능하다. 따라서, 복수의 주사선의 각각에 선택적으로 선택 신호를 공급하는 것이 가능하다. 즉, 본 발명의 한 실시 형태의 표시 장치에서, 임의의 영역에만 화상의 재기입을 행하는 것이 가능하다.
- [0012] 또한, 본 발명의 한 실시 형태의 표시 장치에서, 상기의 동작을, 클록 신호 또는 고정 전위를 나타내는 신호를 공급하는 배선을 제공함으로써 실현하는 것이 가능하다. 따라서, 본 발명의 한 실시 형태의 표시 장치에서, 부분 구동이 가능하면서, 배선을 포함하는 회로의 구성을 간략화하는 것이 가능하다.

도면의 간단한 설명

- [0013] 도 1의 (a)는 표시 장치의 일례를 도시하는 도면이고, 도 1의 (b)는 화소의 일례를 도시하는 회로도.
- 도 2의 (a)는 주사선 구동 회로의 구성 예를 도시하는 도면이고, 도 2의 (b)는 주사선 구동 회로의 동작 예를 도시하는 타이밍 차트이며, 도 2의 (c)는 펄스 출력 회로의 구성 예를 도시하는 도면.
- 도 3의 (a)는 펄스 출력 회로의 일례를 도시하는 회로도이고, 도 3의 (b) 및 (c)는 펄스 출력 회로의 동작의 일례를 각각 도시하는 타이밍 차트.
- 도 4는 컨트롤러의 구성 예를 도시하는 도면.
- 도 5는 트랜지스터의 일례를 도시하는 단면도.
- 도 6은 트랜지스터의 특성을 도시하는 도면.
- 도 7은 트랜지스터의 특성 평가용 소자의 회로도.
- 도 8은 트랜지스터의 특성 평가용 소자의 타이밍 차트.
- 도 9는 트랜지스터의 특성을 도시하는 도면.
- 도 10은 트랜지스터의 특성을 도시하는 도면.
- 도 11은 트랜지스터의 특성을 도시하는 도면.
- 도 12의 (a) 및 (b)는 펄스 출력 회로의 일례를 각각 도시하는 회로도.
- 도 13의 (a) 및 (b)는 펄스 출력 회로의 일례를 각각 도시하는 회로도.
- 도 14의 (a) 및 (b)는 펄스 출력 회로의 일례를 각각 도시하는 회로도.
- 도 15의 (a) 내지 (c)는 트랜지스터의 일례를 각각 도시하는 단면도.
- 도 16의 (a) 내지 (f)는 전자 기기의 일례를 각각 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하에서는, 본 발명의 실시 형태에 대해서 첨부 도면을 이용해서 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위를 벗어나지 않고도 그 형태 및 상세를 여러 가지로 변경할 수 있다는 것은, 당업자에게는 용이하게 이해된다는 점에 주목한다. 따라서, 본 발명은 이하에 도시하는 실시 형태의 기재 내용에 한정해서 해석되는 것은 아니다.
- [0015] (표시 장치의 예)
- [0016] 본 발명의 한 실시예에 따른 표시 장치는 도 1의 (a) 및 (b), 도 2의 (a) 내지 (c), 도 3의 (a) 내지 (c), 도 4, 도 5, 도 6, 도 7, 도 8, 도 9, 도 10, 도 11, 도 12의 (a) 및 (b), 도 13의 (a) 및 (b), 도 14의 (a) 및 (b), 도 15의 (a) 내지 (c), 및 도 16의 (a) 내지 (f)와 관련하여 기술될 것이다.
- [0017] 도 1의 (a)는 표시 장치의 구성 예를 도시하는 도면이다. 도 1의 (a)에 도시하는 표시 장치는, 화소부(10), 주사선 구동 회로(11), 신호선 구동 회로(12), 컨트롤러(13), m개의 (m은 2 이상의 자연수)의 주사선(14), 및 n개의 (n은 2 이상의 자연수)의 신호선(15)을 포함한다. 주사선(14)은 서로 평행 또는 대략 평행하게 배치된다. 주사선(14)의 전위는 주사선 구동 회로(11)에 의해 제어된다. 신호선(15)은 서로 평행 또는 대략 평행하게 배치된다. 신호선(15)의 전위는 신호선 구동 회로(12)에 의해 제어된다. 화소부(10)는 매트릭스 형상(m행 n열)으로 배치된 복수의 화소(16)를 갖는다. 각각의 주사선(14)은 매트릭스 형상으로 배치된 복수의 화소(16) 중, 임의의 행에 배치된 화소(16)에 전기적으로 접속된다. 각각의 신호선(15)은 복수의 화소(16) 중, 임의의 열에 배치된 화소(16)에 전기적으로 접속된다. 주사선 구동 회로(11)에는, 컨트롤러(13)로부터 주사선 구동 회로용 개시 신호(GSP), 주사선 구동 회로용 클럭 신호(GCK), 주사선 구동 회로용 부분 클럭 신호(PGCK) 등의 신호, 및 고 전원 전위(Vdd)와 저 전원 전위(Vss) 등의 구동용 전원이 입력된다. 신호선 구동 회로(12)에는, 컨트롤러(13)로부터 신호선 구동 회로용 개시 신호(SP), 신호선 구동 회로용 클럭 신호(SCK) 및 데이터 신호(DATA) 등의 신호, 및 고 전원 전위(Vdd)와 저 전원 전위(Vss) 등의 구동용 전원이 입력된다.
- [0018] 도 1의 (b)는 도 1의 (a)에 도시된 표시 장치에 포함된 화소(16)의 회로도의 일례를 도시하는 도면이다. 도 1

의 (b)에 도시된 화소(16)는 트랜지스터(17), 용량 소자(18) 및 액정 소자(19)를 포함한다. 트랜지스터(17)의 게이트는 주사선(14)에 전기적으로 접속된다. 트랜지스터(17)의 소스와 드레인 중 한쪽은 신호선(15)에 전기적으로 접속된다. 용량 소자(18)의 전극들 중 한쪽의 전극은 트랜지스터(17)의 소스와 드레인 중 다른 쪽에 전기적으로 접속된다. 용량 소자(18)의 전극들 중 다른쪽의 전극은 용량 소자 전위를 공급하는 배선(용량 소자선이라고도 함)에 전기적으로 접속된다. 액정 소자(19)의 전극들 중 한쪽의 전극(화소 전극이라고도 함)은 트랜지스터(17)의 소스와 드레인 중 다른 쪽 및 용량 소자(18)의 전극들 중 한쪽의 전극에 전기적으로 접속된다. 액정 소자(19)의 전극들 중 다른 쪽의 전극(대향 전극이라고도 함)은 대향 전위를 공급하는 배선에 전기적으로 접속된다. 트랜지스터(17)는 n 채널형의 트랜지스터이다. 용량 소자 전위와 대향 전위는 동일한 전위일 수 있다.

[0019] (주사선 구동 회로(11)의 구성 예)

[0020] 도 2의 (a)는 도 1의 (a)에 도시된 표시 장치에 포함된 주사선 구동 회로(11)의 구성 예를 도시하는 도면이다. 도 2의 (a)에 도시된 주사선 구동 회로(11)는, 주사선 구동 회로용의 제1 내지 제4 클록 신호(GCK1 내지 GCK4)(이후, "제1 클록 신호(GCK1)" 내지 "제4 클록 신호(GCK4)"라고 함)를 각각 공급하는 배선, 주사선 구동 회로용의 제1 내지 제4 부분 클록 신호(PGCK1 내지 PGCK4)(이후, "제1 부분 클록 신호(PGCK1)" 내지 "제4 부분 클록 신호(PGCK4)"라고 함)를 각각 공급하는 배선, 및 제1 내지 제m 행에 배치된 각각의 주사선(14)에 전기적으로 접속된 제1 내지 제m 펄스 출력 회로(20_1 내지 20_m)를 포함한다.

[0021] 도 2의 (b)는, 상기 신호의 구체적인 파형의 예를 도시하는 도면이다. 도 2의 (b)에 도시된 제1 클록 신호(GCK1)는, 하이 레벨의 전위(도 2의 (b)에서 고 전원 전위(Vdd)와 등전위) 및 로우 레벨의 전위(도 2의 (b)에서 저 전원 전위(Vss)와 등전위)를 주기적으로 반복하고, 듀티비(duty ratio)가 1/2이다. 제2 클록 신호(GCK2)는, 제1 클록 신호(GCK1)로부터 1/4 사이클만큼 시프트된다. 제3 클록 신호(GCK3)는, 제1 클록 신호(GCK1)로부터 1/2 사이클만큼 시프트된다(즉, GCK3은 제1 클록 신호(GCK1)의 반전 신호이다). 제4 클록 신호(GCK4)는, 제1 클록 신호(GCK1)로부터 3/4 사이클만큼 시프트된다(즉, GCK4는 제2 클록 신호(GCK2)의 반전 신호이다). 제1 부분 클록 신호(PGCK1)은, 제1 클록 신호(GCK1) 및 고정 전위(도 2의 (b)에서 저 전원 전위(Vss)와 등전위) 중 어느 하나를 선택적으로 나타낸다. 제1 부분 클록 신호(PGCK1)가 GCK1과 고정 전위 중 어느 쪽을 나타낼지는 컨트롤러(13)에 의해 제어된다. 마찬가지로, 제2 부분 클록 신호(PGCK2)은, 제2 클록 신호(GCK2) 및 고정 전위 중 어느 하나를 선택적으로 나타낸다. 제3 부분 클록 신호(PGCK3)는, 제3 클록 신호(GCK3) 및 고정 전위 중 어느 하나를 선택적으로 나타낸다. 제4 부분 클록 신호(PGCK4)는, 제4 클록 신호(GCK4) 및 고정 전위 중 어느 하나를 선택적으로 나타낸다.

[0022] 상술한 표시 장치에서는, 동일한 구성을 갖는 회로가 제1 내지 제m 펄스 출력 회로(20_1 내지 20_m)로서 사용될 수 있다. 펄스 출력 회로에 포함된 복수의 단자들의 전기적인 접속 관계는 펄스 출력 회로마다 상이하다는 점에 주목한다. 구체적인 접속 관계에 대해서는 도 2의 (a) 및 (c)를 참조하여 설명한다.

[0023] 제1 내지 제m 펄스 출력 회로(20_1 내지 20_m) 각각은 단자(21 내지 28)를 갖는다. 단자(21 내지 25) 및 단자(27)는 입력 단자이다. 단자(26 및 28)는 출력 단자이다.

[0024] 우선, 단자(21)에 대해서 서술한다. 제1 펄스 출력 회로(20_1)의 단자(21)는, 주사선 구동 회로용 개시 신호(GSP)를 공급하는 배선에 전기적으로 접속된다. 제2 내지 제m 펄스 출력 회로(20_2 내지 20_m)의 각각의 단자(21)는 전단의 펄스 출력 회로의 단자(28)에 전기적으로 접속된다.

[0025] 다음, 단자(22)에 대해서 서술한다. 제(4a+1)의 펄스 출력 회로(a=0, 1, 2 내지 (m-4)/4)의 단자(22)는, 제1 클록 신호(GCK1)를 공급하는 배선에 전기적으로 접속된다. 제(4a+2)의 펄스 출력 회로의 단자(22)는, 제2 클록 신호(GCK2)를 공급하는 배선에 전기적으로 접속된다. 제(4a+3)의 펄스 출력 회로의 단자(22)는, 제3 클록 신호(GCK3)를 공급하는 배선에 전기적으로 접속된다. 제(4a+4)의 펄스 출력 회로의 단자(22)는, 제4 클록 신호(GCK4)를 공급하는 배선에 전기적으로 접속된다.

[0026] 이어서, 단자(23)에 대해서 서술한다. 제(4a+1)의 펄스 출력 회로의 단자(23)는, 제2 클록 신호(GCK2)를 공급하는 배선에 전기적으로 접속된다. 제(4a+2)의 펄스 출력 회로의 단자(23)는, 제3 클록 신호(GCK3)를 공급하는 배선에 전기적으로 접속된다. 제(4a+3)의 펄스 출력 회로의 단자(23)는, 제4 클록 신호(GCK4)를 공급하는 배선에 전기적으로 접속된다. 제(4a+4)의 펄스 출력 회로의 단자(23)는, 제1 클록 신호(GCK1)를 공급하는 배선에 전기적으로 접속된다.

[0027] 이어서, 단자(24)에 대해서 서술한다. 제(4a+1)의 펄스 출력 회로의 단자(24)는, 제3 클록 신호(GCK3)를 공급

하는 배선에 전기적으로 접속된다. 제(4a+2)의 펄스 출력 회로의 단자(24)는, 제4 클록 신호(GCK4)를 공급하는 배선에 전기적으로 접속된다. 제(4a+3)의 펄스 출력 회로의 단자(24)는, 제1 클록 신호(GCK1)를 공급하는 배선에 전기적으로 접속된다. 제(4a+4)의 펄스 출력 회로의 단자(24)는, 제2 클록 신호(GCK2)를 공급하는 배선에 전기적으로 접속된다.

[0028] 이어서, 단자(25)에 대해서 서술한다. 제(4a+1)의 펄스 출력 회로의 단자(25)는, 제1 부분 클록 신호(PGCK1)를 공급하는 배선에 전기적으로 접속된다. 제(4a+2)의 펄스 출력 회로의 단자(25)는, 제2 부분 클록 신호(PGCK2)를 공급하는 배선에 전기적으로 접속된다. 제(4a+3)의 펄스 출력 회로의 단자(25)는, 제3 부분 클록 신호(PGCK3)를 공급하는 배선에 전기적으로 접속된다. 제(4a+4)의 펄스 출력 회로의 단자(25)는, 제4 부분 클록 신호(PGCK4)를 공급하는 배선에 전기적으로 접속된다.

[0029] 이어서, 단자(26)에 대해서 서술한다. 제x 펄스 출력 회로(x는, 1 이상 m 이하의 자연수)의 단자(26)는, x행에 배치된 주사선(14)에 전기적으로 접속된다.

[0030] 이어서, 단자(27)에 대해서 서술한다. 제b 펄스 출력 회로(b는, 1 이상 m-2 이하의 자연수)의 단자(27)는, 제(b+2) 펄스 출력 회로의 단자(28)에 전기적으로 접속된다. 제(m-1) 펄스 출력 회로의 단자(27)는, 제1 주사선 구동 회로용 스톱 신호(GSTP1)를 공급하는 배선에 전기적으로 접속된다. 제m 펄스 출력 회로의 단자(27)는, 제2 주사선 구동 회로용 스톱 신호(GSTP2)를 공급하는 배선에 전기적으로 접속된다. 제(m+1) 펄스 출력 회로가 제공된다면, 제1 주사선 구동 회로용 스톱 신호(GSTP1)는, 제(m+1) 펄스 출력 회로의 단자(28)로부터 출력되는 신호에 상당한다. 마찬가지로, 제(m+2) 펄스 출력 회로가 제공된다면, 제2 주사선 구동 회로용 스톱 신호(GSTP2)는, 제(m+2) 펄스 출력 회로의 단자(28)로부터 출력되는 신호에 상당한다. 구체적으로는, 이들 신호는, 예를 들어, 더미(dummy) 회로로서 제(m+1) 펄스 출력 회로 및 제(m+2) 펄스 출력 회로가 실제로 제공되거나, 컨트롤러(13)로부터 신호가 직접 출력될 때, 주사선 구동 회로(11)에 공급될 수 있다.

[0031] 각 펄스 출력 회로의 단자(28)의 접속 관계는 상기에서 설명되었고; 따라서 여기에서는 전술의 설명을 적용한다.

[0032] (펄스 출력 회로의 구성 예)

[0033] 도 3의 (a)는, 도 2의 (a) 및 (c)에 도시된 펄스 출력 회로의 구성 예를 도시하는 도면이다. 도 3의 (a)에 도시된 펄스 출력 회로는 트랜지스터(31 내지 41)를 포함한다.

[0034] 트랜지스터(31)의 소스와 드레인 중 한쪽은 고 전원 전위(Vdd)를 공급하는 배선(이하, 고 전원 전위선이라고도 함)에 전기적으로 접속된다. 트랜지스터(31)의 게이트는 단자(21)에 전기적으로 접속된다.

[0035] 트랜지스터(32)의 소스와 드레인 중 한쪽은 저 전원 전위(Vss)를 공급하는 배선(이하, 저 전원 전위선이라고도 함)에 전기적으로 접속된다. 트랜지스터(32)의 소스와 드레인 중 다른 쪽은 트랜지스터(31)의 소스와 드레인 중 다른 쪽에 전기적으로 접속된다.

[0036] 트랜지스터(33)의 소스와 드레인 중 한쪽은 단자(22)에 전기적으로 접속된다. 트랜지스터(33)의 소스와 드레인 중 다른 쪽은 단자(28)에 전기적으로 접속된다.

[0037] 트랜지스터(34)의 소스와 드레인 중 한쪽은 저 전원 전위선에 전기적으로 접속된다. 트랜지스터(34)의 소스와 드레인 중 다른 쪽은 단자(28)에 전기적으로 접속된다. 트랜지스터(34)의 게이트는 트랜지스터(32)의 게이트에 전기적으로 접속된다.

[0038] 트랜지스터(35)의 소스와 드레인 중 한쪽은 저 전원 전위선에 전기적으로 접속된다. 트랜지스터(35)의 소스와 드레인 중 다른 쪽은 트랜지스터(32)의 게이트 및 트랜지스터(34)의 게이트에 전기적으로 접속된다. 트랜지스터(35)의 게이트는 단자(21)에 전기적으로 접속된다.

[0039] 트랜지스터(36)의 소스와 드레인 중 한쪽은 고 전원 전위선에 전기적으로 접속된다. 트랜지스터(36)의 소스와 드레인 중 다른 쪽은 트랜지스터(32)의 게이트, 트랜지스터(34)의 게이트, 및 트랜지스터(35)의 소스와 드레인 중 다른 쪽에 전기적으로 접속된다. 트랜지스터(36)의 게이트는 단자(27)에 전기적으로 접속된다. 트랜지스터(36)의 소스와 드레인 중 한쪽이, 저 전원 전위(Vss)보다 고전위이며 고 전원 전위(Vdd)보다 저전위인 전원 전위(Vcc)를 공급하는 배선에 전기적으로 접속되는 구성을 채택할 수 있다는 점에 주목한다.

[0040] 트랜지스터(37)의 소스와 드레인 중 한쪽은 고 전원 전위선에 전기적으로 접속된다. 트랜지스터(37)의 게이트는 단자(24)에 전기적으로 접속된다. 트랜지스터(37)의 소스와 드레인 중 한쪽이, 전원 전위(Vcc)를 공급하는

배선에 전기적으로 접속되는 구성을 채택할 수 있다는 점에 주목한다.

- [0041] 트랜지스터(38)의 소스와 드레인 중 한쪽이 트랜지스터(32)의 게이트, 트랜지스터(34)의 게이트, 트랜지스터(35)의 소스와 드레인 중 다른 쪽, 및 트랜지스터(36)의 소스와 드레인 중 다른 쪽에 전기적으로 접속된다. 트랜지스터(38)의 소스와 드레인 중 다른 쪽이 트랜지스터(37)의 소스와 드레인 중 다른 쪽에 전기적으로 접속된다. 트랜지스터(38)의 게이트는 단자(23)에 전기적으로 접속된다.
- [0042] 트랜지스터(39)의 소스와 드레인 중 한쪽은 트랜지스터(31)의 소스와 드레인 중 다른 쪽 및 트랜지스터(32)의 소스와 드레인 중 다른 쪽에 전기적으로 접속된다. 트랜지스터(39)의 소스와 드레인 중 다른 쪽은 트랜지스터(33)의 게이트에 전기적으로 접속된다. 트랜지스터(39)의 게이트는 고 전원 전위선에 전기적으로 접속된다.
- [0043] 트랜지스터(40)의 소스와 드레인 중 한쪽은 단자(25)에 전기적으로 접속된다. 트랜지스터(40)의 소스와 드레인 중 다른 쪽은 단자(26)에 전기적으로 접속된다. 트랜지스터(40)의 게이트는 트랜지스터(33)의 게이트 및 트랜지스터(39)의 소스와 드레인 중 다른 쪽에 전기적으로 접속된다.
- [0044] 트랜지스터(41)의 소스와 드레인 중 한쪽은 저 전원 전위선에 전기적으로 접속된다. 트랜지스터(41)의 소스와 드레인 중 다른 쪽은 단자(26)에 전기적으로 접속된다. 트랜지스터(41)의 게이트는 트랜지스터(32)의 게이트, 트랜지스터(34)의 게이트, 트랜지스터(35)의 소스와 드레인 중 다른 쪽, 트랜지스터(36)의 소스와 드레인 중 다른 쪽, 및 트랜지스터(38)의 소스와 드레인 중 한쪽에 전기적으로 접속된다.
- [0045] 이하의 설명에서, 트랜지스터(33)의 게이트, 트랜지스터(39)의 소스와 드레인 중 다른 쪽, 및 트랜지스터(40)의 게이트가 전기적으로 서로 접속하는 노드를 노드 A로 한다는 점에 주목한다. 또한, 트랜지스터(32)의 게이트, 트랜지스터(34)의 게이트, 트랜지스터(35)의 소스와 드레인 중 다른 쪽, 트랜지스터(36)의 소스와 드레인 중 다른 쪽, 트랜지스터(38)의 소스와 드레인 중 한쪽, 및 트랜지스터(41)의 게이트가 전기적으로 서로 접속하는 노드를 노드 B로 한다는 점에 주목한다.
- [0046] (펄스 출력 회로의 동작 예)
- [0047] 상술한 펄스 출력 회로의 동작 예에 대해서 도 3의 (b) 및 (c)를 참조하여 설명한다. 또한, 도 3의 (b)는, 펄스 출력 회로의 단자(25)에 입력되는, 제1 내지 제4 부분 클록 신호(PGCK1 내지 PGCK4) 중 하나가 제1 내지 제4 클록 신호(GCK1 내지 GCK4) 중 하나인 경우에 펄스 출력 회로의 각 단자에 입력된 신호의 전위, 및 노드 A 및 노드 B의 전위를 도시한다. 도 3의 (c)는, 펄스 출력 회로의 단자(25)에 입력되는, 제1 내지 제4 부분 클록 신호(PGCK1 내지 PGCK4) 중 하나가 고정 전위(저 전원 전위 V_{ss})인 경우에 펄스 출력 회로의 각 단자에 입력된 신호의 전위, 및 노드 A 및 노드 B의 전위를 도시하고 있다. 또한, 도 3의 (b) 및 (c)에서는, 각각의 조건에서, 제1 펄스 출력 회로(20_1)의 각 단자에 입력되는 신호가 괄호로 도시된다. 도 3의 (b) 및 (c)에서, 제1 펄스 출력 회로(20_1)의 단자(26)의 출력 신호(Gout1) 및 단자(28)의 출력 신호(SRout1) 또한 도시된다. 또한, 도 3의 (b) 및 (c)는 제2 펄스 출력 회로(20_2)의 단자(26)의 출력 신호(Gout2) 및 단자(28)의 출력 신호(SRout2), 및 제3 펄스 출력 회로(20_3)의 단자(26)의 출력 신호(Gout3) 및 단자(28)의 출력 신호(SRout3)(SRout3은 제1 펄스 출력 회로(20_1)의 단자(27)의 입력 신호에 상당함)를 도시한다. 또한, 도 3의 (b) 및 (c)에서, Gout는 펄스 출력 회로로부터 주사선으로의 출력 신호를 나타내고, SRout는 펄스 출력 회로로부터 후단의 펄스 출력 회로의 출력 신호를 나타낸다는 점에 주목한다.
- [0048] 우선, 도 3의 (b)를 참조하여, 펄스 출력 회로의 단자(25)에 입력되는, 제1 내지 제4 부분 클록 신호(PGCK1 내지 PGCK4) 중 하나가 제1 내지 제4 클록 신호(GCK1 내지 GCK4) 중 하나인 경우에 대해서 설명한다.
- [0049] 기간 t_1 에서, 펄스 출력 회로의 단자(21)에는 고 전원 전위(V_{dd})가 입력된다. 따라서, 트랜지스터(31 및 35)가 온 상태로 된다. 그 결과, 노드 A의 전위가 하이 레벨의 전위(고 전원 전위(V_{dd}))로부터 트랜지스터(31) 또는 트랜지스터(39)의 임계 전압만큼 강하된 전위)로 상승하고, 노드 B의 전위가 저 전원 전위(V_{ss})로 강하한다. 이에 따라, 트랜지스터(33 및 40)가 온 상태로 되고, 트랜지스터(32, 34 및 41)가 오프 상태로 된다. 따라서, 기간 t_1 에서, 펄스 출력 회로의 단자(28)로부터 출력되는 신호는 단자(22)에 입력되는 신호가 되고, 단자(26)로부터 출력되는 신호는 단자(25)에 입력되는 신호가 된다. 여기서, 기간 t_1 에서, 펄스 출력 회로의 단자(22) 및 단자(25)에 입력되는 신호들은 둘 다 저 전원 전위(V_{ss})이다. 따라서, 기간 t_1 에서, 펄스 출력 회로는, 후단의 펄스 출력 회로의 단자(21), 및 단자(26)에 전기적으로 접속된 주사선에 저 전원 전위(V_{ss})를 출력한다. 또한, 기간 t_1 에서의 펄스 출력 회로의 출력 신호와는 직접 관련되지는 않지만, 단자(23)에 저 전원 전위(V_{ss})가 입력되기 때문에 트랜지스터(38)가 오프 상태로 되고; 단자(24)에 고 전원 전위(V_{dd})가 입력되기 때문에 트랜지스터(37)가 온 상태로 되며; 단자(27)에 저 전원 전위(V_{ss})가 입력되기 때문에 트랜지스터(36)가 오프 상태로 된다

는 점에 주목한다.

- [0050] 기간 t_2 에서, 펄스 출력 회로의 단자(22 및 25)에 고 전원 전위(Vdd)가 입력된다. 노드 A의 전위(트랜지스터(39)의 소스의 전위)는, 기간 t_1 에서 하이 레벨의 전위까지 상승하여, 트랜지스터(39)가 오프 상태로 된다는 점에 주목한다. 이때, 단자(22 및 25)에 고 전원 전위(Vdd)를 입력함으로써, 트랜지스터(33)의 소스와 게이트 및 트랜지스터(40)의 소스와 게이트의 용량 결합에 의해, 노드 A의 전위(트랜지스터(33)의 게이트 및 트랜지스터(40)의 게이트의 전위)가 더욱 상승한다(부트스트랩 동작). 또한, 부트스트랩 동작을 행함으로써, 단자(28 및 26)로부터 출력되는 전위를, 저하시키지 않고도, 고 전원 전위(Vdd)로 설정할 수 있다. 따라서, 기간 t_2 에서, 펄스 출력 회로는, 후단의 펄스 출력 회로의 단자(21), 및 단자(26)에 전기적으로 접속된 주사선에 고 전원 전위(Vdd)를 출력한다. 기간 t_2 에서의 펄스 출력 회로의 출력 신호에는 직접 관여되지 않지만, 단자(24)에 저 전원 전위(Vss)가 입력되기 때문에 트랜지스터(37)는 오프 상태로 된다는 점에 주목한다.
- [0051] 기간 t_3 에서, 펄스 출력 회로의 단자(21)에 저 전원 전위(Vss)가 입력된다. 이에 의해, 트랜지스터(31 및 35)가 오프 상태로 된다. 이때, 노드 A는 부유 상태(floating state)를 유지하게 되어, 트랜지스터(33 및 40)가 온 상태를 유지한다. 따라서, 기간 t_3 에서, 펄스 출력 회로의 단자(28)로부터 출력되는 신호는 단자(22)에 입력되는 신호가 되고, 단자(26)로부터 출력되는 신호는 단자(25)에 입력되는 신호가 된다. 여기서, 기간 t_3 에서, 펄스 출력 회로의 단자(22 및 25) 둘 다에는 고 전원 전위(Vdd)가 입력된다. 따라서, 기간 t_3 에서, 펄스 출력 회로는, 후단의 펄스 출력 회로의 단자(21), 및 단자(26)에 전기적으로 접속된 주사선에 고 전원 전위(Vdd)를 출력한다. 기간 t_3 에서의 펄스 출력 회로의 출력 신호에는 직접 관여되지 않지만, 단자(23)에 고 전원 전위(Vdd)가 입력되기 때문에 트랜지스터(38)가 온 상태로 된다는 점에 주목한다.
- [0052] 기간 t_4 에서, 펄스 출력 회로의 단자(24 및 27)에 고 전원 전위(Vdd)가 입력된다. 따라서, 트랜지스터(36 및 37)가 온 상태로 된다. 그 결과, 노드 B의 전위가 하이 레벨의 전위(트랜지스터(36), 트랜지스터(37) 또는 트랜지스터(38)의 임계 전압만큼 고 전원 전위(Vdd)로부터 강하된 전위)로 상승한다. 이에 따라, 트랜지스터(32, 34 및 41)가 온 상태로 된다. 또한, 트랜지스터(32)가 온 상태로 되면, 트랜지스터(39)의 소스(소스와 드레인 중 한쪽)의 전위가 저 전원 전위(Vss)가 된다. 따라서, 트랜지스터(39)가 온 상태로 되어, 노드 A의 전위가 저 전원 전위(Vss)로 강하한다. 이에 따라, 트랜지스터(33 및 40)가 오프 상태로 된다. 따라서, 기간 t_4 에서, 펄스 출력 회로의 단자(28)로부터 출력되는 신호 및 단자(26)로부터 출력되는 신호는 저 전원 전위(Vss)이다. 즉, 기간 t_4 에서, 펄스 출력 회로는, 후단의 펄스 출력 회로의 단자(21), 및 단자(26)에 전기적으로 접속된 주사선에 저 전원 전위(Vss)를 출력한다.
- [0053] 기간 t_5 또는 그 이후에서, 펄스 출력 회로의 단자(21)에 고 전원 전위(Vdd)가 입력될 때까지, 노드 A는 저 전원 전위(Vss)를 유지하고, 노드 B는 하이 레벨의 전위를 유지한다. 따라서, 해당 기간에서, 해당 펄스 출력 회로는, 후단의 펄스 출력 회로의 단자(21), 및 단자(26)에 전기적으로 접속된 주사선에 저 전원 전위(Vss)를 출력한다.
- [0054] 다음에, 도 3의 (c)를 참조하여, 펄스 출력 회로의 단자(25)에 입력되는, 제1 내지 제4 부분 클록 신호(PGCK1 내지 PGCK4) 중 하나가 고정 전위(저 전원 전위 Vss)인 경우에 대해서 설명한다.
- [0055] 기간 t_1 에서, 펄스 출력 회로의 단자(21)에 고 전원 전위(Vdd)가 입력된다. 상술한 바와 같이, 기간 t_1 에서, 펄스 출력 회로의 단자(28)로부터 출력되는 신호는 단자(22)에 입력되는 신호가 되고, 단자(26)로부터 출력되는 신호는 단자(25)에 입력되는 신호가 된다. 여기서, 기간 t_1 에서, 펄스 출력 회로의 단자(22)에 입력되는 신호 및 단자(25)에 입력되는 신호 둘 다는 저 전원 전위(Vss)이다. 따라서, 기간 t_1 에서, 펄스 출력 회로는, 후단의 펄스 출력 회로의 단자(21), 및 단자(26)에 전기적으로 접속된 주사선에 저 전원 전위(Vss)를 출력한다.
- [0056] 기간 t_2 에서, 펄스 출력 회로의 단자(22)에 고 전원 전위(Vdd)가 입력된다. 상술한 바와 같이, 부트스트랩 동작을 행함으로써, 단자(28)로부터 출력되는 전위는, 저하시키지 않고, 고 전원 전위(Vdd)로 설정될 수 있다. 상술한 설명과는 달리, 단자(25)에 입력되는 신호는 저 전원 전위(Vss)로부터 변화되지 않고 유지된다는 점에 주목한다. 따라서, 펄스 출력 회로의 단자(26)로부터 출력되는 신호는 저 전원 전위(Vss)로부터 변화되지 않은 채로 남아 있다.
- [0057] 기간 t_3 에서, 펄스 출력 회로의 단자(21)에 저 전원 전위(Vss)가 입력된다. 상술한 바와 같이, 기간 t_3 에서, 펄스 출력 회로의 단자(28)로부터 출력되는 신호는 단자(22)에 입력되는 신호가 되고, 단자(26)로부터 출력되는 신호는 단자(25)에 입력되는 신호가 된다. 여기서, 기간 t_3 에서, 펄스 출력 회로의 단자(22)에는 고 전원 전위(Vdd)가 입력되고, 단자(25)에는 저 전원 전위(Vss)가 입력된다. 따라서, 기간 t_3 에서, 펄스 출력 회로는, 후

단의 펄스 출력 회로의 단자(21)에 고 전원 전위(Vdd)를 출력하고, 단자(26)에 전기적으로 접속된 주사선에 저 전원 전위(Vss)를 출력한다.

[0058] 기간 t4에서, 펄스 출력 회로의 단자(24 및 27)에 고 전원 전위(Vdd)가 입력된다. 상술한 바와 같이, 기간 t4에서, 펄스 출력 회로의 단자(28)로부터 출력되는 신호 및 단자(26)로부터 출력되는 신호는 저 전원 전위(Vss)이다. 따라서, 기간 t4에서, 펄스 출력 회로는, 후단의 펄스 출력 회로의 단자(21), 및 단자(26)에 전기적으로 접속된 주사선에 저 전원 전위(Vss)를 출력한다.

[0059] 기간 t5 또는 그 이후에서, 펄스 출력 회로의 단자(21)에 고 전원 전위(Vdd)가 입력될 때까지, 노드 A가 저 전원 전위(Vss)를 유지하고, 노드 B가 하이 레벨의 전위를 유지한다. 따라서, 해당 기간에서, 펄스 출력 회로는 후단의 펄스 출력 회로의 단자(21), 및 단자(26)에 전기적으로 접속된 주사선에 저 전원 전위(Vss)를 출력한다.

[0060] (펄스 출력 회로 및 이를 포함하는 주사선 구동 회로)

[0061] 상술한 펄스 출력 회로에서는, 기간 t2 및 기간 t3에서 주사선에 선택 신호(고 전원 전위(Vdd))가 출력되는지의 여부가 단자(25)에 입력되는 신호에 따라 선택된다. 구체적으로는, 펄스 출력 회로는, 단자(25)에 입력되는 신호가 제1 주사선 구동 회로용 클록 신호인 경우에는 선택 신호를 출력하고, 단자(25)에 입력되는 신호가 고정 전위(저 전원 전위(Vss))인 경우에는 비선택 신호를 출력한다. 또한, 펄스 출력 회로는, 상기의 동작과는 무관하게, 선택 신호를 후단의 펄스 출력 회로로 시프트하는 기능도 갖는다. 즉, 시프트 레지스터는 복수의 펄스 출력 회로를 이용하여 형성될 수 있다.

[0062] 본 명세서에서 개시된 표시 장치에서는, 주사선 구동 회로가 해당 시프트 레지스터를 갖는다. 따라서, 표시 장치에서, 선택 신호의 공급은 주사선마다 제어하는 것이 가능하다. 즉, 본 명세서에서 개시되는 표시 장치에서는, 임의의 영역에만 화상의 재기입을 행하는 것이 가능하다.

[0063] 또한, 본 명세서에서 개시되는 표시 장치는, 상기의 동작을, 제1 내지 제4 클록 신호(GCK1 내지 GCK4) 또는 고정 전위(저 전원 전위(Vss))를 각각 나타내는 신호를 공급하는 배선을 제공함으로써 실현 가능하다. 따라서, 본 명세서에서 개시되는 표시 장치에서는, 부분 구동이 가능하면서 배선을 포함하는 회로의 구성이 간략화될 수 있다.

[0064] 배선에 클록 신호 및 고정 전위 중 어느 것을 공급할지는, 컨트롤러(13)에 의해 제어된다. 이하에서, 컨트롤러(13)의 구체적인 구성 및 배선에 대하여 출력하는 신호의 선택 방법의 일례에 대해서 도시한다.

[0065] (컨트롤러(13)의 구성 예)

[0066] 도 4는, 통상 모드, 부분 구동 모드 및 대기 모드인 3개의 모드를 갖는 컨트롤러(13)의 구성 예를 도시한다. 통상 모드에서는, 제1 내지 제4 부분 클록 신호(PGCK1 내지 PGCK4)가 기간에 상관없이, 제1 내지 제4 클록 신호(GCK1 내지 GCK4)와 동일하다는 점에 주목한다. 부분 구동 모드에서는, 제1 내지 제4 부분 클록 신호(PGCK1 내지 PGCK4)가 제1 내지 제4 클록 신호(GCK1 내지 GCK4) 또는 고정 전위와 동일하다. 대기 모드에서는, 주사선 구동 회로(11) 및 신호선 구동 회로(12)에 클록 신호 등이 공급되지 않는다. 도 4에 도시된 컨트롤러(13)는 신호 생성 회로(131), 기억 회로(132), 비교 회로(133), 선택 회로(134) 및 표시 제어 회로(135)를 포함한다.

[0067] 신호 생성 회로(131)는 주사선 구동 회로(11) 및 신호선 구동 회로(12)를 동작시키기 위한 신호 및 화소부(10)에 화상을 형성하기 위한 신호를 생성한다. 구체적으로, 신호 생성 회로(131)는 화소부(10)에 매트릭스 형상으로 배치된 복수의 화소에 입력되는 화상 신호(Data), 주사선 구동 회로(11) 또는 신호선 구동 회로(12)의 동작을 제어하는 신호(예를 들어, 개시 신호(SP) 및 클록 신호(CK)), 및 전원 전압인 고 전원 전위(Vdd)와 저 전원 전위(Vss) 등을 생성 및 출력한다. 도 4에 도시된 컨트롤러(13)에서, 신호 생성 회로(131)는 기억 회로(132)에 화상 신호(Data)를 출력하고, 표시 제어 회로(135)에 주사선 구동 회로(11) 또는 신호선 구동 회로(12)의 동작을 제어하는 신호를 출력한다는 점에 주목한다. 신호 생성 회로(131)로부터 기억 회로(132)에 출력되는 화상 신호(Data)가 아날로그 신호일 경우에는, A/D 컨버터 등을 통하여, 화상 신호(Data)를 디지털 신호로 변환할 수도 있다.

[0068] 기억 회로(132)는 화소부(10)에서, 제1 내지 제n 화상(n은 자연수)을 형성하기 위한 화상 신호를 기억하는 복수의 메모리(136)를 포함한다. 메모리(136)는 동적 랜덤 액세스 메모리(dynamic random access memory; DRAM) 또는 정적 랜덤 액세스 메모리(static random access memory; SRAM) 등의 기억 소자를 이용하여 형성된다. 메모리(136) 각각은 화소부(10) 내에 생성될 하나의 화상에 대한 화상 신호를 기억하고, 메모리(136)의 수에 대해서는 특별히 한정되지 않는다. 또한, 복수의 메모리(136)에 기억된 화상 신호는 비교 회로(133) 및 선택 회로

(134)에 의해 선택적으로 판독된다.

- [0069] 비교 회로(133)는 기억 회로(132)에 기억된 제k 화상(k는 1 이상 n 미만의 자연수)을 형성하기 위한 화상 신호 및 제(k+1) 화상을 형성하기 위한 화상 신호를 선택적으로 판독하고, 이들 화상 신호를 비교하며, 화상 신호들 간의 차이를 검출한다. 제k 화상 및 제(k+1) 화상은, 화소부(10) 위에 연속해서 표시되는 화상이라는 점에 주목한다. 화상 신호들 간의 차이는 비교 회로(133)에 의한 화상 신호들 간의 비교에 의해 검출된다. 그 차이에 따라, 컨트롤러(13)의 모드가 통상 모드, 부분 구동 모드 및 대기 모드 중 어느 것이 될 지가 판단된다.
- [0070] 선택 회로(134)는 비교 회로(133)에 의해 검출된 차이를 기초로 하여, 화소부(10)에의 화상 신호의 출력을 선택한다. 구체적으로, 선택 회로(134)는, 비교 회로(133)가 컨트롤러(13)의 모드가 통상 모드라고 판단한 경우에는 1프레임 분의 화상 신호를 출력한다. 선택 회로(134)는, 비교 회로(133)가 컨트롤러(13)의 모드가 부분 구동 모드라고 판단한 경우에는 화상 신호를 선택적으로 출력한다. 선택 회로(134)는, 비교 회로(133)가 컨트롤러(13)의 모드가 대기 모드라고 판단한 경우에는 화상 신호를 출력하지 않는다.
- [0071] 표시 제어 회로(135)는 개시 신호(SP), 클록 신호(CK), 고 전원 전위(Vdd) 및 저 전원 전위(Vss) 등의 제어 신호를 주사선 구동 회로(11) 및 신호선 구동 회로(12)에 공급하는 것을 제어한다.
- [0072] 구체적으로는, 비교 회로(133)가 컨트롤러(13)의 모드가 통상 모드로 되어 있다고 판단한 경우에, 표시 제어 회로(135)는 선택 회로(134)로부터 공급된 화상 신호(Data)를 신호선 구동 회로(12)에 출력하고, 주사선 구동 회로(11) 및 신호선 구동 회로(12)에 제어 신호(예를 들면, 개시 신호(SP), 클록 신호(CK), 고 전원 전위(Vdd) 및 저 전원 전위(Vss))를 공급한다. 그 경우, 주사선 구동 회로(11)에 공급되는 제1 내지 제4 부분 클록 신호(PGCK1 내지 PGCK4)는 제1 내지 제4 클록 신호(GCK1 내지 GCK4)와 동일하다는 점에 주목한다.
- [0073] 비교 회로(133)에 의해 컨트롤러(13)가 부분 구동 모드로 되어 있다고 판단된 경우에는, 표시 제어 회로(135)는 선택 회로(134)로부터 공급된 화상 신호(Data)를 신호선 구동 회로(12)에 선택적으로 출력하고, 주사선 구동 회로(11) 및 신호선 구동 회로(12)에 제어 신호(개시 신호(SP), 클록 신호(CK), 고 전원 전위(Vdd) 및 저 전원 전위(Vss))를 공급한다. 그 경우, 주사선 구동 회로(11)에 공급되는 제1 내지 제4 부분 클록 신호(PGCK1 내지 PGCK4)는, 선택적으로 출력되는 화상 신호(Data)에 따라, 제1 내지 제4 클록 신호(GCK1 내지 GCK4)와 동일한 신호 또는 고정 전위를 선택적으로 나타내는 신호라는 점에 주목한다.
- [0074] 비교 회로(133)에 의해 컨트롤러(13)가 대기 모드로 되어 있다고 판단된 경우에는, 선택 회로(134)로부터 화상 신호(Data)가 공급되지 않고, 표시 제어 회로(135)는 주사선 구동 회로(11) 및 신호선 구동 회로(12)에 제어 신호(개시 펄스 신호(SP), 클록 신호(CK), 고 전원 전위(Vdd) 및 저 전원 전위(Vss))를 공급하지 않는다. 즉, 비교 회로(133)에 의해 컨트롤러(13)가 대기 모드로 되어 있다고 판단된 경우에는, 주사선 구동 회로(11) 및 신호선 구동 회로(12)의 동작은 완전하게 정지된다.
- [0075] 컨트롤러(13)가 대기 모드라고 판단되는 기간이 짧을 경우에는, 고 전원 전위(Vdd) 및 저 전원 전위(Vss)를 계속해서 공급할 수 있다는 점에 주목한다. "고 전원 전위(Vdd) 및 저 전원 전위(Vss)가 공급된다"는 표현은, 소정의 배선의 전위가 고 전원 전위(Vdd) 또는 저 전원 전위(Vss)에 고정되어 있음을 의미한다는 점에 주목한다. 즉, 배선의 소정의 전위 상태가 고 전원 전위(Vdd) 또는 저 전원 전위(Vss)로 변화된다. 전위의 변화에는 전력 소비가 수반되고; 따라서 빈번한 간격으로 고 전원 전위(Vdd) 및 저 전원 전위(Vss)의 공급이 정지 및 재개시되면, 결과적으로, 소비 전력이 증대하게 된다. 그러한 경우에는, 고 전원 전위(Vdd) 및 저 전원 전위(Vss)를 계속해서 공급하는 구성을 채택하는 것이 바람직하다. 상술한 설명에서, "신호를 공급하지 않는다"가 의미하는 것은, 신호를 공급하는 배선에 소정의 전위와는 다른 전위가 공급되거나, 또는 배선에 전기적으로 접속된 노드가 부유 상태로 되는 것을 의미한다는 점에 주목한다.
- [0076] 컨트롤러(13)가 대기 모드로 있는 기간이 연장되거나, 또는 부분 구동 모드에서 특정한 영역 내의 주사선이 장기간에 걸쳐서 비선택 상태로 되는 경우에는, 액정 소자(19)에 장기간에 걸쳐서 직류 전압이 계속 인가된다. 이것은, 번-인(burn-in)의 원인이 된다. 따라서, 모드와 상관없이, 소정의 프레임마다 또는 소정의 기간마다 액정 소자에 인가된 전압의 극성을 반전하는 것이 바람직하다.
- [0077] 컨트롤러(13)에 의해, 상술한 바와 같이, 주사선 구동 회로(11) 및 신호선 구동 회로(12)의 동작을 제어함으로써, 표시 장치의 소비 전력을 절감하는 것이 가능하다.
- [0078] (화소(16)에 설치되는 트랜지스터(17)의 일례)
- [0079] 표시 장치의 화소(16)에 제공된 트랜지스터(17)는 장기간 동안 오프 상태를 유지하는 것이 가능하다. 따라서,

트랜지스터(17)로서, 오프 특성이 우수한(오프 전류가 작은) 트랜지스터가 바람직하다. 이하에서는, 트랜지스터(17)로서 바람직하게 사용되는 트랜지스터의 일례에 대해서 도 5를 참조하여 설명한다. 구체적으로는, 산화물 반도체층을 구비하는 트랜지스터에 대해서 설명한다. 트랜지스터의 오프-전류는 산화물 반도체층이 고순도화될 때, 상당히 감소될 수 있다(이는 이하에서 상세하게 서술한다). 따라서, 본 명세서에서 개시된 표시 장치의 화소(16)에 제공된 트랜지스터(17)로서 상기 트랜지스터가 바람직하게 채택되고; 표시 장치에서, 특정한 화소에 화상 신호가 장기간 입력되지 않을 가능성이 있다. 또한, 트랜지스터는 상술한 펄스 출력 회로를 구성하는 데 사용될 수도 있다. 즉, 트랜지스터는 트랜지스터(31 내지 41)로서 사용될 수 있다. 그 경우, 제조 단계의 감소에 의한 비용의 절감 및 수율의 향상을 달성할 수 있다.

[0080] 도 5에 도시된 트랜지스터(211)는 절연면을 갖는 기판(220) 위에 설치된 게이트층(221), 게이트층(221) 위에 설치된 게이트 절연층(222), 게이트 절연층(222) 위에 설치된 산화물 반도체층(223), 산화물 반도체층(223) 위에 설치된 소스층(224a) 및 드레인층(224b)을 포함한다. 또한, 도 5에는, 트랜지스터(211)를 덮고 있고 산화물 반도체층(223)에 접하는 절연층(225), 및 절연층(225) 위에 설치된 보호 절연층(226)이 도시되어 있다.

[0081] 도 5에 도시된 트랜지스터(211)는, 상기와 같이, 반도체층으로서 산화물 반도체층(223)을 포함한다. 산화물 반도체층(223)에 사용된 산화물 반도체의 예로서는, 사원계 금속 산화물인 In-Sn-Ga-Zn-O계; 삼원계 금속 산화물인 In-Ga-Zn-O계, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, 및 Sn-Al-Zn-O계; 이원계 금속 산화물인 In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, Zn-Mg-O계, Sn-Mg-O계, 및 In-Mg-O계, 및 일원계 금속 산화물인 In-O계, Sn-O계, 및 Zn-O계 등을 이용할 수 있다. 또한, 상기 산화물 반도체에 SiO₂가 포함될 수 있다. 여기서, 예를 들어, In-Ga-Zn-O계 산화물 반도체는, 적어도 In, Ga 및 Zn을 포함하는 산화물이며, 그 조성비에는 특별한 제한은 없다. 또한, In-Ga-Zn-O계 산화물 반도체는 In, Ga 및 Zn 이외의 원소를 포함해도 된다.

[0082] 산화물 반도체층(223)으로서, 화학식 InMO₃(ZnO)_m(m>0)로 표기되는 박막을 이용할 수 있다. 여기서, M은, Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어, M은 Ga, Ga와 Al, Ga와 Mn, 또는 Ga와 Co일 수 있다.

[0083] 산화물 반도체로서 In-Zn-O계의 재료를 이용할 경우, 이용할 타겟의 조성비는, 원자수비로 나타내면, In:Zn = 50:1 내지 1:2(몰비로 환산하면, In₂O₃:ZnO = 25:1 내지 1:4), 바람직하게는 In:Zn = 20:1 내지 1:1(몰비로 환산하면, In₂O₃:ZnO = 10:1 내지 1:2), 더욱 바람직하게는 In:Zn = 15:1 내지 1.5:1(몰비로 환산하면, In₂O₃:ZnO = 15:2 내지 3:4)이다. 예를 들어, In-Zn-O계 산화물 반도체의 형성에 사용되는 타겟이 원자수비가 In:Zn:O = X:Y:Z 일 때, Z > (1.5X + Y)의 관계가 만족된다.

[0084] 상술한 산화물 반도체는, 전기적 특성 변동을 방지하기 위해, 전기적 특성의 변동 요인이 되는 수소, 수분, 수산기 또는 수소화물(수소 화합물이라고도 함) 등의 불순물을 의도적으로 배제하여, 고순도화되고 전기적으로 i-형(진성)으로 만들어진 산화물 반도체이다.

[0085] 따라서, 산화물 반도체는 가능한 적게 수소를 포함하는 것이 바람직하다. 또한, 고순도화된 산화물 반도체층 내에서 수소, 산소 결손 등에 의해 도출되는 캐리어의 수가 극히 적고(제로에 가까움), 캐리어 밀도는 1×10¹²/cm³ 미만, 바람직하게는 1×10¹¹/cm³ 미만이다. 즉, 산화물 반도체층의 수소, 산소 결손 등에 의해 유래하는 캐리어 밀도를 가능한 제로에 가깝게 만든다. 산화물 반도체층 내에 수소나 산소 결손 등에 의해 유래하는 캐리어가 극히 적기 때문에, 트랜지스터가 오프 상태 일 때의 리크 전류(즉, 오프 전류)의 양은 적을 수 있다. 또한, 수소나 산소 결손 등에 의해 유래하는 불순물 준위(impurity states)의 수가 적기 때문에, 광조사, 온도 변화, 바이어스 인가 등에 의한 전기 특성의 변동 및 열화를 적게 할 수 있다. 또한, 오프 전류가 작을수록 더욱 바람직하다는 점에 주목한다. 산화물 반도체를 반도체층으로서 이용한 트랜지스터는, 100zA(zeptoamperes) 이하, 바람직하게는 10zA 이하, 더 바람직하게는 1zA 이하의 오프 전류값(1μm의 채널 폭(W) 당)을 갖는다. 또한, 트랜지스터는 pn 접합을 갖지 않고, 핫 캐리어 열화가 없기 때문에, 트랜지스터의 전기적 특성이 이들에 의해 영향을 받지 않는다.

[0086] 이렇게 산화물 반도체층에 포함되는 수소를 철저히 제거함으로써 고순도화된 산화물 반도체층이 채널 형성 영역에 사용되는 트랜지스터는, 오프 전류를 매우 작게 할 수 있다. 즉, 회로 설계 시에, 산화물 반도체층은 트랜지스터가 비도통 상태이면, 절연체로 간주될 수 있다. 반면에, 산화물 반도체층은 트랜지스터가 도통 상태이면, 비정질 실리콘으로 형성되는 반도체층보다 높은 전류 공급 능력을 기대할 수 있다.

[0087] 절연면을 갖는 기판(220)으로서, 예를 들면, 바륨 보로실리케이트 글래스(barium borosilicate glass), 알루미늄

노보로실리케이트 글래스(aluminoborosilicate glass) 등의 글래스 기판을 이용할 수 있다.

- [0088] 트랜지스터(211)에서, 하지막(base film)으로서 기능하는 절연막은 기판(220)과 게이트층(221) 사이에 설치될 수 있다. 하지막은 기판으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화 실리콘막, 산화 실리콘막, 질화 산화 실리콘막 및 산화 질화 실리콘막으로부터 선택된 하나 이상의 막을 이용하여 단층 구조 또는 적층 구조로 형성될 수 있다.
- [0089] 게이트층(221)은 폴리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴 또는 스칸듐 등의 금속 재료, 또는 이들을 주성분으로 하는 합금 재료를 이용하여, 단층 또는 적층 구조로 형성될 수 있다.
- [0090] 게이트 절연층(222)은 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여, 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 산화 알루미늄층, 질화 알루미늄층, 산화 질화 알루미늄층, 질화 산화 알루미늄층 또는 산화 하프늄층을 포함하는 단층 또는 적층 구조로 형성될 수 있다. 예를 들어, 플라즈마 CVD법에 의해 막 두께 50nm 내지 200nm의 질화 실리콘층($\text{SiNy}(y>0)$)을 제1 게이트 절연층으로서 형성하고, 제1 게이트 절연층 위에 막 두께 5nm 내지 300nm의 산화 실리콘층($\text{SiOx}(x>0)$)을 제2 게이트 절연층으로서 적층할 수 있다.
- [0091] 소스층(224a) 및 드레인층(224b)에 사용되는 도전막은, 예를 들어, Al, Cr, Cu, Ta, Ti, Mo 및 W로부터 선택된 원소, 이들 원소를 성분으로 하는 합금, 또는 이들 원소를 조합한 합금 막 등을 이용하여 형성될 수 있다. Al, Cu 등의 금속층의 상부면 및 하부면 중 하나 또는 둘 다의 위에 Ti, Mo, W 등의 고용점 금속층이 적층되는 구성이 채택될 수 있다. 또한, Al 막 내에 힐록(hillocks)이나 위스커(whiskers)의 발생을 방지하는 원소(예를 들어, Si, Nd 또는 Sc)이 첨가되어 있는 Al 재료를 이용함으로써 내열성을 향상시키는 것이 가능하게 된다.
- [0092] 소스층(224a) 및 드레인층(224b)(소스 및 드레인 층들과 동일층을 사용하여 형성된 배선층을 포함)이 되는 도전막은 도전성의 금속 산화물을 이용하여 형성될 수 있다. 도전성의 금속 산화물로는, 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐과 산화 주석의 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, IT0로 약기), 산화 인듐과 산화 아연 합금($\text{In}_2\text{O}_3\text{-ZnO}$), 또는 실리콘 또는 산화 실리콘을 함유한 소정의 금속 산화물 재료가 이용될 수 있다.
- [0093] 절연층(225)으로서, 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막 또는 산화 질화 알루미늄 막으로 대표되는 무기 절연막이 이용될 수 있다.
- [0094] 보호 절연층(226)으로서, 질화 실리콘막, 질화 알루미늄막, 질화 산화 실리콘막 또는 질화 산화 알루미늄막 등의 무기 절연막이 이용될 수 있다.
- [0095] 평탄화 절연막은 트랜지스터로 인한 표면 요철을 감소시키기 위해 보호 절연층(226) 위에 형성될 수 있다. 평탄화 절연막은 폴리이미드, 아크릴 또는 벤조사이클로부텐 등의 유기 재료를 이용하여 형성될 수 있다. 상기 유기 재료 이외에도, 저유전율 재료(로우-k-재료) 등을 이용할 수 있다. 이들 재료로 형성된 복수의 절연막들을 적층시킴으로써, 평탄화 절연막이 형성될 수 있다는 점에 주목한다.
- [0096] <트랜지스터의 오프 전류>
- [0097] 이어서, 고순도화된 산화물 반도체층을 구비하는 트랜지스터의 오프 전류를 측정한 결과에 대해서 설명한다.
- [0098] 우선, 고순도화된 산화물 반도체층을 구비하는 트랜지스터의 오프 전류가 충분히 작다는 사실을 고려하여, 채널 폭 W 가 1m인 충분히 큰 트랜지스터를 준비해서 오프 전류의 측정을 행하였다. 채널 폭 W 가 1m인 트랜지스터의 오프 전류를 측정한 결과를 도 6에 도시한다. 도 6에서, 횡축은 게이트 전압 V_G , 종축은 드레인 전류 ID를 나타낸다. 드레인 전압 V_D 가 +1 V 또는 +10 V이고 게이트 전압 V_G 가 -5 V 내지 -20 V의 범위에 있는 경우, 트랜지스터의 오프 전류는 검출 한계인 1×10^{-12} A 이하이다. 또한, 트랜지스터의 오프 전류(여기에서는, 채널 폭 1 μm 당)은 1 aA/ μm (1×10^{-18} A/ μm) 이하이다.
- [0099] 그 다음에, 고순도화된 산화물 반도체층을 구비하는 트랜지스터의 오프 전류를 더욱 정확하게 측정한 결과에 대해서 설명한다. 상술한 바와 같이, 고순도화된 산화물 반도체층을 구비하는 트랜지스터의 오프 전류는, 측정 장비의 검출 한계인 1×10^{-12} A 이하이다. 여기서, 특성 평가용 소자를 사용하여, 더 정확한 오프 전류의 값(상기 측정에서 측정 장비의 검출 한계 이하의 값)을 측정한 결과에 대해서 설명한다.
- [0100] 먼저, 전류 측정 방법에 사용한 특성 평가용 소자에 대해서 도 7을 참조하여 설명한다.
- [0101] 도 7에 도시된 특성 평가용 소자에서, 3개의 측정계(800)들이 병렬로 접속되어 있다. 측정계(800)는 용량 소자

(802), 트랜지스터(804), 트랜지스터(805), 트랜지스터(806) 및 트랜지스터(808)를 포함한다. 트랜지스터(804) 및 트랜지스터(808)에는, 고순도화된 산화물 반도체층을 구비하는 트랜지스터가 사용되었다.

[0102] 측정계(800)에서, 트랜지스터(804)의 소스와 드레인 중 한쪽, 용량 소자(802)의 한쪽 단자, 및 트랜지스터(805)의 소스와 드레인 중 한쪽은, 전원(V2를 공급하는 전원)에 접속되어 있다. 트랜지스터(804)의 소스와 드레인 중 다른 쪽, 트랜지스터(808)의 소스와 드레인 중 한쪽, 용량 소자(802)의 다른 쪽 단자, 및 트랜지스터(805)의 게이트는 전기적으로 서로 접속되어 있다. 트랜지스터(808)의 소스와 드레인 중 다른 쪽, 트랜지스터(806)의 소스와 드레인 중 한쪽, 및 트랜지스터(806)의 게이트는, 전원(V1을 공급하는 전원)에 전기적으로 접속되어 있다. 트랜지스터(805)의 소스와 드레인 중 다른 쪽, 및 트랜지스터(806)의 소스와 드레인 중 다른 쪽은 출력 단자에 전기적으로 접속되어 있다.

[0103] 트랜지스터(804)의 게이트에는, 트랜지스터(804)의 온/오프 상태를 제어하는 전위 Vext_b2이 공급된다. 트랜지스터(808)의 게이트에는, 트랜지스터(808)의 온/오프 상태를 제어하는 전위 Vext_b1이 공급된다. 출력 단자로부터는 전위 Vout 이 출력된다.

[0104] 그 다음, 특성 평가용 소자를 이용한 전류 측정 방법에 대해서 설명한다.

[0105] 먼저, 오프 전류를 측정하기 위해 전위차를 부여하는 초기 기간의 개략에 대해서 설명한다. 초기 기간에서는, 트랜지스터(808)의 게이트에, 트랜지스터(808)를 온 상태로 하는 전위 Vext_b1을 입력하고, 트랜지스터(804)의 소스와 드레인 중 다른 쪽에 전기적으로 접속되는 노드 A(즉, 트랜지스터(808)의 소스와 드레인 중 한쪽, 용량 소자(802)의 다른 쪽 단자 및 트랜지스터(805)의 게이트에 전기적으로 접속된 노드)에 전위 V1을 공급한다. 여기서, 전위 V1은, 예를 들어 고전위이다. 트랜지스터(804)는 오프 상태이다.

[0106] 그 후, 트랜지스터(808)의 게이트에, 트랜지스터(808)를 오프 상태로 하는 전위 Vext_b1을 입력하고, 트랜지스터(808)를 오프 상태로 한다. 트랜지스터(808)가 오프 상태로 된 후에, 전위 V1은 저전위로 설정된다. 트랜지스터(804)는 오프 상태로 남는다. 전위 V2는 전위 V1과 동일한 전위이다. 따라서, 초기 기간이 종료한다. 초기 기간이 종료되면, 노드 A와 트랜지스터(804)의 소스와 드레인 중 한쪽 사이에 전위차가 발생한다. 또한, 노드 A와 트랜지스터(808)의 소스와 드레인 중 다른 쪽 사이에 전위차가 발생한다. 따라서, 트랜지스터(804) 및 트랜지스터(808)를 통해 약간의 전하가 흐른다. 즉, 오프 전류가 발생한다.

[0107] 그 다음, 오프 전류의 측정 기간의 개략에 대해서 설명한다. 측정 기간에서는, 트랜지스터(804)의 소스와 드레인 중 한쪽의 전위(즉, V2), 및 트랜지스터(808)의 소스와 드레인 중 다른 쪽의 전위(즉, V1)는 저전위로 고정된다. 한편, 측정 기간 중에, 상기 노드 A의 전위는 고정되지 않는다(노드 A는 플로팅(floating) 상태이다). 따라서, 트랜지스터(804 및 808)를 통해 전하가 흐르고, 시간의 경과와 함께 노드 A에 유지되는 전하량이 변동한다. 노드 A에 유지되는 전하량의 변동에 따라, 노드 A의 전위가 변동한다. 즉, 출력 단자의 출력 전위 Vout 도 변동한다.

[0108] 상기 전위차가 부여되는 초기 기간 및 그 후의 측정 기간에서의 전위들 간의 관계의 상세도(타이밍 차트)를 도 8에 도시한다.

[0109] 초기 기간에서, 먼저, 전위 Vext_b2는 트랜지스터(804)가 온 상태로 되는 전위(고전위)로 설정된다. 따라서, 노드 A의 전위는 V2, 즉 저전위(VSS)가 된다. 반드시 노드 A에 저전위(Vss)를 부여할 필요는 없다는 점에 주목한다. 그 후에, 전위 Vext_b2는 트랜지스터(804)가 오프 상태로 되는 전위(저전위)로 설정되어, 트랜지스터(804)를 오프 상태로 한다. 그 다음, 전위 Vext_b1은 트랜지스터(808)가 온 상태로 되는 전위(고전위)로 설정된다. 따라서, 노드 A의 전위는 V1, 즉 고전위(VDD)가 된다. 그 후, Vext_b1은 트랜지스터(808)가 오프 상태로 되는 전위로 설정된다. 따라서, 노드 A가 플로팅 상태(floating state)로 되고, 초기 기간이 종료한다.

[0110] 그 후의 측정 기간에서, 전위 V1 및 전위 V2는, 노드 A로 전하가 흐르게 되는 전위, 또는 노드 A로부터 전하가 흐르게 되는 전위로 설정된다. 여기에서는, 전위 V1 및 전위 V2 각각은 저전위(VSS)로 설정된다. 출력 전위 Vout을 측정하는 타이밍에서, 출력 회로를 동작시킬 필요가 생기기 때문에, 몇몇 경우에는 V1을 고전위(VDD)로 일시적으로 설정한다는 점에 주목한다. V1이 고전위(VDD)로 되는 기간은 짧기 때문에, 측정에 악영향을 주지 않는다.

[0111] 상술한 바와 같이, 전위차를 부여하고, 측정 기간이 개시되면, 시간의 경과와 함께 노드 A에 유지되는 전하량이 변동하고, 이에 따라서 노드 A의 전위가 변동한다. 이것은, 트랜지스터(805)의 게이트의 전위가 변동하는 것을 의미하기 때문에, 시간이 경과함에 따라, 출력 단자의 출력 전위 Vout도 변화되는 것이다.

[0112] 얻어진 출력 전위 V_{out} 로부터 오프 전류를 산출하는 방법에 대해서, 이하에 설명한다.

[0113] 오프 전류의 산출에 앞서, 노드 A의 전위 V_A 와 출력 전위 V_{out} 간의 관계를 구해 둔다. 이러한 관계로 인해, 출력 전위 V_{out} 을 이용하여 노드 A의 전위 V_A 를 얻을 수 있다. 상술한 관계로부터, 노드 A의 전위 V_A 는, 출력 전위 V_{out} 의 함수로서 다음 식과 같이 나타낼 수 있다.

수학식 1

[0114]
$$V_A = F(V_{out})$$

[0115] 노드 A의 전하 Q_A 는, 노드 A의 전위 V_A , 노드 A에 접속되는 용량 C_A , 및 상수(const)를 이용하여, 다음 식과 같이 나타낸다. 여기서, 노드 A에 접속되는 용량 C_A 는, 용량 소자(802)의 용량과 다른 용량의 합이다.

수학식 2

[0116]
$$Q_A = C_A V_A + const$$

[0117] 노드 A의 전류 I_A 는, 노드 A에 유입되는 전하(또는 노드 A로부터 유출되는 전하)를 시간 미분함으로써 얻어지기 때문에, 노드 A의 전류 I_A 는 다음 식과 같이 나타낸다.

수학식 3

[0118]
$$I_A \equiv \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

[0119] 이와 같이, 노드 A에 접속되는 용량 C_A , 및 출력 단자의 출력 전위 V_{out} 으로부터, 노드 A의 전류 I_A 를 구할 수 있다.

[0120] 상기 방법에 의해, 오프 상태에서 트랜지스터의 소스와 드레인 간을 흐르는 리크 전류(오프 전류)를 측정할 수 있다.

[0121] 여기에서, 채널 길이 $L=10\mu m$, 채널 폭 $W=50\mu m$ 의 고순도화된 산화물 반도체층을 각각 구비하는 트랜지스터(804) 및 트랜지스터(808)가 제작되었다. 병렬로 배치된 측정계(800)에서, 용량 소자(802)의 용량 값은 100fF, 1pF 및 3pF이다.

[0122] 상술한 측정에서, $V_{DD} = 5V$ 이고 $V_{SS} = 0V$ 라는 점에 주목한다. 측정 기간에서는, 전위 V_1 은 기본적으로 V_{SS} 이고, 10 내지 300초마다 100msec의 기간에서만 V_{DD} 로 설정되는 동안 V_{out} 을 측정했다. 또한, 소자에 흐르는 전류 I 의 산출에 사용되는 Δt 는, 약 30000초이다.

[0123] 도 9는 전류 측정시의 경과 시간(Time)과 출력 전위(V_{out}) 간의 관계를 나타낸다. 도 9로부터, 시간의 경과에 따라 전위가 변화되는 것을 확인할 수 있다.

[0124] 도 10은 상기 전류 측정에 의해 산출된 실온(25℃)에서의 오프 전류를 도시한다. 도 10은 트랜지스터(804) 또는 트랜지스터(808)의 소스-드레인 전압 V 와 오프 전류 I 간의 관계를 나타낸다. 도 10으로부터, 소스-드레인 전압이 4V일 때, 오프 전류가 약 40 zA/ μm 인 것을 알 수 있다. 또한, 소스-드레인 전압이 3.1V일 때, 오프 전류가 10 zA/ μm 이하이다. 1 zA는 $10^{-21}A$ 라는 점에 주목한다.

[0125] 상기 전류 측정에 의해 산출된 85℃의 온도에서의 오프 전류에 대해서 도 11에 도시한다. 도 11은 85℃의 온도에서 트랜지스터(804) 또는 트랜지스터(808)의 소스-드레인 전압 V 와 오프 전류 I 간의 관계를 나타내는 것이다. 도 11로부터, 소스-드레인 전압이 3.1 V일 때, 오프 전류는 100 zA/ μm 이하인 것을 알았다.

- [0126] 상술한 바에 의해, 고순도화된 산화물 반도체층을 구비하는 트랜지스터에서는, 오프 전류가 충분히 작아지는 것이 확인되었다.
- [0127] (표시 장치의 변형 예)
- [0128] 상술한 구성을 갖는 표시 장치는 본 발명의 한 실시 형태이며; 본 발명은 또한 표시 장치와는 상이한 표시 장치도 포함한다.
- [0129] <펄스 출력 회로의 변형 예>
- [0130] 예를 들어, 펄스 출력 회로는 도 3의 (a)에 도시한 펄스 출력 회로에 트랜지스터(50)이 추가로 제공되는 구성을 가질 수 있다(도 12의 (a) 참조). 트랜지스터(50)의 소스와 드레인 중 한쪽이 고 전원 전위선에 전기적으로 접속된다. 트랜지스터(50)의 소스와 드레인 중 다른 쪽이 트랜지스터(32)의 게이트, 트랜지스터(34)의 게이트, 트랜지스터(35)의 소스와 드레인 중 다른 쪽, 트랜지스터(36)의 소스와 드레인 중 다른 쪽, 트랜지스터(38)의 소스와 드레인 중 한쪽, 및 트랜지스터(41)의 게이트에 전기적으로 접속된다. 트랜지스터(50)의 게이트가 리셋 단자(Reset)에 전기적으로 접속된다. 리셋 단자에는, 수직 귀선 기간에 하이 레벨의 전위가 입력되고, 수직 귀선 기간 이외의 밖의 기간에는 로우 레벨의 전위가 입력된다는 점에 주목한다. 즉, 트랜지스터(50)는 수직 귀선 기간에 온 상태로 된다. 따라서, 수직 귀선 기간에 각 노드의 전위가 초기화될 수 있어, 오동작을 방지하는 것이 가능하다.
- [0131] 또한, 펄스 출력 회로는 도 3의 (a)에 도시한 펄스 출력 회로로부터, 트랜지스터(36)를 삭제한 구성을 가질 수 있다(도 12의 (b) 참조). 이러한 구성으로 인해, 펄스 출력 회로에 포함된 트랜지스터 수를 줄일 수 있다. 따라서, 해당 펄스 출력 회로의 레이아웃 면적의 축소, 수율의 향상 등을 도모할 수 있다.
- [0132] 펄스 출력 회로는 도 3의 (a)에 도시한 펄스 출력 회로로부터, 트랜지스터(39)를 삭제한 구성을 가질 수 있다(도 13의 (a) 참조). 이러한 구성으로, 펄스 출력 회로를 구성하는 트랜지스터 수를 저감할 수 있다. 따라서, 펄스 출력 회로의 레이아웃 면적의 축소, 수율의 향상 등을 도모할 수 있다.
- [0133] 펄스 출력 회로는 도 3의 (a)에 도시한 펄스 출력 회로에, 트랜지스터(51)가 추가된 구성을 가질 수 있다(도 13의 (b) 참조). 트랜지스터(51)의 소스와 드레인 중 한쪽이 트랜지스터(33)의 게이트 및 트랜지스터(39)의 소스와 드레인 중 다른 쪽에 전기적으로 접속된다. 트랜지스터(51)의 소스와 드레인 중 다른 쪽이 트랜지스터(40)의 게이트에 전기적으로 접속된다. 트랜지스터(51)의 게이트가 고 전원 전위선에 전기적으로 접속된다. 트랜지스터(51)가 도 3의 (b) 및 (c)에 도시한 시간 t_2 및 t_3 에 오프 상태로 된다는 점에 주목한다. 그 결과, 트랜지스터(51)를 포함하는 구성으로 인해, 시간 t_2 및 t_3 에, 트랜지스터(33)의 게이트와 트랜지스터(40)의 게이트 간의 전기적인 접속을 차단하는 것이 가능하게 된다. 이하에서는, 펄스 출력 회로에 트랜지스터(51)가 포함된 구성(도 13의 (b) 참조)과 트랜지스터(51)가 포함되지 않은 구성(도 3의 (a) 참조)을 비교하여, 전자의 구성의 이점을 상세하게 서술한다.
- [0134] 먼저, 트랜지스터(51)가 제공되지 않은 경우에 대해서 설명한다. 고 전원 전위(V_{dd})와 저 전원 전위(V_{ss})를 반복하는 신호가 단자(25)에 입력되는 경우에는, 시간 t_2 와 t_3 에서, 단자(28)의 출력 신호 및 단자(26)의 출력 신호는, 둘 다 고 전원 전위(V_{dd})가 된다. 이때, 트랜지스터(33 및 40)의 게이트의 전위(노드 A의 전위)는, 트랜지스터(33)의 소스와 게이트의 용량 결합 및 트랜지스터(40)의 소스와 게이트의 용량 결합에 의해, 고 전원 전위(V_{dd})보다 높은 고전위가 된다. 한편, 단자(25)에 입력되는 신호가 저 전원 전위(V_{ss})에 고정되는 경우에는, 시간 t_2 및 t_3 에서, 단자(28)의 출력 신호는 고 전원 전위(V_{dd})가 되고, 단자(26)의 출력 신호는 저 전원 전위(V_{ss})가 된다. 이때, 트랜지스터(33 및 40)의 게이트의 전위(노드 A의 전위)는 트랜지스터(33)의 소스와 게이트의 용량 결합에 의해서만, 고 전원 전위(V_{dd})보다 높은 고전위가 될 필요가 있다. 또한, 트랜지스터(40)는 주사선이 트랜지스터(40)에 의해 구동되기 때문에 트랜지스터(36)보다 채널 폭이 크게 되도록 설계되는 경우가 자주 있다. 즉, 트랜지스터(40)의 게이트는 용량 결합에 의해 전위가 상승할 때 큰 부하가 된다. 그 결과, 펄스 출력 회로를 동작시키기 위해서는, 트랜지스터(33)의 채널 길이에 대한 채널 폭의 비(W/L)를 크게 할 필요가 있다.
- [0135] 반면에, 트랜지스터(51)가 제공될 경우, 시간 t_2 및 t_3 에서, 트랜지스터(33)의 게이트와 트랜지스터(40)의 게이트 간의 전기적인 접속이 차단된다. 그 결과, 트랜지스터(33)의 게이트의 전위만이 용량 결합에 의해 상승할 수 있다. 즉, 해당 용량 결합에서의 부하를 저감할 수 있다. 따라서, 펄스 출력 회로는 양호한 방식으로 동작할 수 있다. 또한, 트랜지스터(36)의 채널 길이에 대한 채널 폭의 비(W/L)를 크게 할 필요가 없으므로, 레이아웃 면적을 축소할 수 있다.

- [0136] 도 13의 (b)에서는, 트랜지스터(51)의 게이트가 고 전원 전위선에 전기적으로 접속되는 구성에 대해서 도시하나; 대안적으로, 트랜지스터(51)의 게이트가 블록 단자(Block)에 전기적으로 접속되거나(도 14의 (a) 참조) 또는 단자(25)에 전기적으로 접속(도 14의 (b) 참조)될 수 있다는 점에 주목한다. 블록 단자(Block)에는, 제1 내지 제4 클록 신호(GCK1 내지 GCK4) 중 어느 하나와 동일한 신호가 단자(25)에 입력될 때에는 하이 레벨의 전위가 입력되고, 고정 전위(저 전원 전위(Vss))가 단자(25)에 입력될 때에는 로우 레벨의 전위가 입력되는 것이 바람직하다는 점에 주목한다. 즉, 트랜지스터(51)는 제1 내지 제4 클록 신호(GCK1 내지 GCK4) 중 어느 하나와 동일한 신호가 단자(25)에 입력될 때에는 온 상태로 되고, 고정 전위(저 전원 전위(Vss))가 단자(25)에 입력될 때에는 오프 상태로 되도록 제어된다. 따라서, 트랜지스터(33)의 게이트와 트랜지스터(40)의 게이트 간의 전기적인 접속이 차단되는 타이밍을 빨리 할 수 있다. 또한, 트랜지스터(51)의 게이트가 단자(25)에 전기적으로 접속되는 구성(도 14의 (b) 참조)은, 신호를 새롭게 추가할 필요가 없다는 점에서 바람직하다.
- [0137] <트랜지스터의 변형 예>
- [0138] 상술한 소정의 표시 장치에서, 화소(16)에 제공된 트랜지스터(17)로서, 채널 에치형 구조로 칭해지는 보텀 게이트 구조(도 5 참조)의 트랜지스터(211)를 사용하지만, 트랜지스터(17)는 이러한 구조를 갖는 것으로 한정되지 않는다. 예를 들어, 도 15의 (a) 내지 (c)에 도시된 트랜지스터를 사용할 수 있다.
- [0139] 도 15의 (a)에 도시된 트랜지스터(510)는 채널 보호형(채널 스톱형이라고도 함)이라고 칭해지는 보텀 게이트 구조의 유형을 갖는다.
- [0140] 트랜지스터(510)는, 절연면을 갖는 기판(220) 위에, 게이트층(221), 게이트 절연층(222), 산화물 반도체층(223), 산화물 반도체층(223)의 채널 형성 영역을 덮는 채널 보호층으로서 기능하는 절연층(511), 소스층(224a) 및 드레인층(224b)을 포함한다. 또한, 보호 절연층(226)은 소스층(224a), 드레인층(224b) 및 절연층(511)을 덮도록 형성된다.
- [0141] 도 15의 (b)에 도시된 트랜지스터(520)는 보텀 게이트형의 트랜지스터이다. 트랜지스터(520)는, 절연면을 갖는 기판(220) 위에, 게이트층(221), 게이트 절연층(222), 소스층(224a), 드레인층(224b) 및 산화물 반도체층(223)을 포함한다. 또한, 소스층(224a) 및 드레인층(224b)을 덮고 있고, 산화물 반도체층(223)에 접하여 있는 절연층(225)이 제공된다. 절연층(225) 위에는 보호 절연층(226)이 제공된다.
- [0142] 트랜지스터(520)에서, 게이트 절연층(222)은 기판(220) 및 게이트층(221) 위에 접하여 제공되고, 게이트 절연층(222) 위에는 소스층(224a) 및 드레인층(224b)이 접하여 제공된다. 또한, 게이트 절연층(222), 소스층(224a) 및 드레인층(224b) 위에는 산화물 반도체층(223)이 제공된다.
- [0143] 도 15의 (c)에 도시된 트랜지스터(530)는 톱 게이트 트랜지스터의 유형이다. 트랜지스터(530)는 절연면을 갖는 기판(220) 위에, 절연층(531), 산화물 반도체층(223), 소스층(224a) 및 드레인층(224b), 게이트 절연층(222), 및 게이트층(221)을 포함한다. 배선층(532a) 및 배선층(532b)은 소스층(224a) 및 드레인층(224b)에 각각 접하여 제공되고, 소스층(224a) 및 드레인층(224b)에 각각 전기적으로 접속된다.
- [0144] 절연층(511 및 531)으로서, 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막 또는 산화 질화 알루미늄막으로 대표되는 무기 절연막을 이용할 수 있다. 또한, 배선층(532a) 및 배선층(532b)에 사용되는 도전막은 예를 들어, Al, Cr, Cu, Ta, Ti, Mo 및 W로부터 선택된 원소, 또는 임의의 이들 원소를 성분으로 포함하는 합금이나, 임의의 이들 원소를 조합한 합금막 등을 이용하여 형성될 수 있다. Al, Cu 등의 금속층의 상부면 또는 하부면 중 하나 또는 둘 다의 위에 Ti, Mo, W 등의 고용점 금속층을 적층한 구성이 채택될 수 있다. Al막에 힐록(hillocks) 및 위스커(whiskers)의 발생을 방지하는 원소(예를 들면, Si, Nd 또는 Sc)이 첨가되어 있는 Al 재료를 이용함으로써, 내열성을 향상시키는 것이 가능하게 된다.
- [0145] (표시 장치를 탑재한 각종 전자 기기)
- [0146] 이하에서는, 본 명세서에서 개시되는 소정의 표시 장치를 탑재한 전자 기기의 예에 대해서 도 16의 (a) 내지 (f)를 참조하여 설명한다.
- [0147] 도 16의 (a)는, 본체(2201), 하우징(2202), 표시부(2203), 키보드(2204) 등을 포함하는 노트북 퍼스널 컴퓨터를 도시한다.
- [0148] 도 16의 (b)는, 휴대 정보 단말(PDA)을 도시하는 도면이다. 본체(2211)에는 표시부(2213), 외부 인터페이스(2215), 조작 버튼(2214) 등이 제공된다. PDA 조작용 부속품으로서 스타일러스(stylus; 2212)가 제공된다.

- [0149] 도 16의 (c)는 전자 페이퍼의 일례로서, 전자 서적 리더(2220)를 도시한다. 전자 서적 리더(2220)는 하우징(2221) 및 하우징(2223)의 2개의 하우징을 포함한다. 하우징(2221) 및 하우징(2223)은 측부(2237)에 의해 일체로 되어 있어, 상기 측부(2237)를 축으로 해서 전자 서적 리더(2220)가 개폐 동작을 할 수 있다. 이러한 구성에 의해, 전자 서적 리더(2220)는 종이 서적처럼 사용될 수 있다.
- [0150] 하우징(2221)에는 표시부(2225)가 내장되고, 하우징(2223)에는 표시부(2227)가 내장되어 있다. 표시부(2225) 및 표시부(2227)는 하나의 화상 또는 다른 화상들을 표시할 수 있다. 표시부(2225) 및 표시부(2227)가 다른 화상들을 표시하는 경우에, 예를 들어 우측 표시부(도 16의 (c)에서 표시부(2225))는 문장을 표시할 수 있고, 좌측 표시부(도 16의 (c)에서 표시부(2227))는 그림을 표시할 수 있다.
- [0151] 또한, 도 16의 (c)에서, 하우징(2221)에는 조작부 등이 제공된다. 예를 들어, 하우징(2221)에는 전원 스위치(2231), 조작 키(2233) 및 스피커(2235)가 제공된다. 페이지는 조작 키(2233)에 의해 넘겨질 수 있다. 상부에 표시부가 제공되는 하우징의 표면에는 키보드, 포인팅 디바이스 등도 제공될 수 있다는 점에 주목한다. 하우징의 이면이나 측면에는, 외부 접속용 단자(예를 들면, 이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능한 단자), 기록 매체 삽입부 등이 제공될 수 있다. 또한, 전자 서적 리더(2220)는 전자 사전으로서의 기능을 가질 수 있다.
- [0152] 전자 서적 리더(2220)는 무선으로 정보를 송수신할 수 있다. 무선 통신을 통해, 전자 서적 서버로부터, 원하는 서적 데이터 등을 구입하고 다운로드할 수 있다.
- [0153] 전자 페이퍼는, 데이터를 표시하는 것이라면 다양한 분야에 적용하는 것이 가능하다는 점에 주목한다. 예를 들어, 전자 페이퍼는 전자 서적 리더 이외에도, 포스터(poster), 기차 등의 차내 광고, 신용 카드 등의 각종 카드에서의 표시 등에 사용할 수 있다.
- [0154] 도 16의 (d)는 휴대 전화를 도시하는 도면이다. 휴대 전화기는 하우징(2240) 및 하우징(2241)의 2개의 하우징을 포함한다. 하우징(2241)에는 표시 패널(2242), 스피커(2243), 마이크로폰(2244), 포인팅 디바이스(2246), 카메라용 렌즈(2247), 외부 접속 단자(2248) 등이 제공된다. 하우징(2240)에는 휴대 전화를 충전하는 태양 전지(2249), 외부 메모리 슬롯(2250) 등이 제공된다. 또한, 안테나는 하우징(2241)에 내장되어 있다.
- [0155] 표시 패널(2242)은 터치 패널 기능을 구비하고 있다. 도 16의 (d)에서, 화상으로서 표시된 복수의 조작 키(2245)를 점선으로 나타내고 있다. 휴대 전화기는 태양 전지(2249)로부터 출력되는 전압을 각 회로에 필요한 전압으로 승압하기 위한 승압 회로를 포함하고 있다는 점에 주목한다. 또한, 상기 구성 외에, 휴대 전화기는 비접촉 IC 칩, 소형 기록 장치 등을 포함할 수 있다.
- [0156] 표시 패널(2242)의 표시 방향은 응용 모드에 따라 적절히 변화된다. 또한, 표시 패널(2242)과 동일면 위에 카메라용 렌즈(2247)를 구비하고 있기 때문에, 휴대 전화기는 영상 전화(video phone)로 사용될 수 있다. 스피커(2243) 및 마이크로폰(2244)은 음성 통화뿐만 아니라, 영상 전화, 녹음, 음재생 등에 사용될 수 있다. 따라서, 도 16의 (d)와 같이 전개된 상태의 하우징(2240)과 하우징(2241)은 하나가 다른 하나와 겹치도록 슬라이드식으로 동작할 수 있다. 따라서, 휴대 전화기의 사이즈는 휴대에 알맞게 소형화가 가능하다.
- [0157] 외부 접속 단자(2248)는 AC 어댑터 또는 USB 케이블 등의 각종 케이블과 접속 가능하며, 이는 휴대 전화기의 충전이나 데이터 통신을 가능하게 한다. 또한, 외부 메모리 슬롯(2250)에 기록 매체를 삽입함으로써, 보다 대용량의 데이터의 보존 및 이동이 가능하다. 또한, 상기 기능 외에, 휴대 전화기는 적외선 통신 기능, 텔레비전 수신 기능 등을 구비할 수 있다.
- [0158] 도 16의 (e)는 디지털 카메라를 도시하는 도면이다. 디지털 카메라는 본체(2261), 표시부(A)(2267), 접안부(eyepiece; 2263), 조작 스위치(2264), 표시부(B)(2265), 배터리(2266) 등으로 구성되어 있다.
- [0159] 도 16의 (f)는 텔레비전 세트를 도시하는 도면이다. 텔레비전 세트(2270)에서는, 하우징(2271)에 표시부(2273)가 내장되어 있다. 표시부(2273)는 화상을 표시하는 것이 가능하다. 여기서, 스탠드(2275)에 의해 하우징(2271)이 지지된다.
- [0160] 텔레비전 세트(2270)는 하우징(2271)의 조작 스위치 또는 별개의 원격 컨트롤러(2280)에 의해 조작될 수 있다. 원격 컨트롤러(2280)의 조작 키(2279)에 의해, 채널이나 음량이 제어될 수 있고, 표시부(2273)에 표시되는 화상이 제어될 수 있다. 또한, 원격 컨트롤러(2280)는 해당 원격 컨트롤러(2280)로부터 출력되는 데이터를 표시하는 표시부(2277)를 포함할 수 있다.
- [0161] 또한, 텔레비전 세트(2270)에는 수신기나 모뎀 등이 구비되는 것이 바람직하다. 수신기에 의해, 일반 텔레비전

방송을 수신할 수 있다. 또한, 텔레비전 세트가 모뎀을 통해서 유선 또는 무선으로 통신 네트워크에 접속하면, 일방향(송신자에게서 수신자로) 또는 쌍방향(송신자와 수신자 간, 혹은 수신자 간)의 정보 통신을 행하는 것이 가능하다.

[0162] 본 출원은 2010년 3월 12일 일본 특허청에 출원된 일본 특허 출원 번호 2010-056464를 기초로 하며, 그 전체 내용은 본 명세서에 참조로 인용된다.

부호의 설명

[0163] 10 : 화소부
 11 : 주사선 구동 회로
 12 : 신호선 구동 회로
 13 : 컨트롤러
 14 : 주사선
 15 : 신호선
 16 : 화소
 17 : 트랜지스터
 18 : 용량 소자
 19 : 액정 소자
 20_1 내지 20_m : 펄스 출력 회로
 20_x : 펄스 출력 회로
 21 내지 28 : 단자
 31 내지 41 : 트랜지스터
 50 : 트랜지스터
 51 : 트랜지스터
 131 : 신호 생성 회로
 132 : 기억 회로
 133 : 비교 회로
 134 : 선택 회로
 135 : 표시 제어 회로
 136 : 메모리
 211 : 트랜지스터
 220 : 기판
 221 : 게이트층
 222 : 게이트 절연층
 223 : 산화물 반도체층
 224a : 소스층
 224b : 드레인층
 225 : 절연층

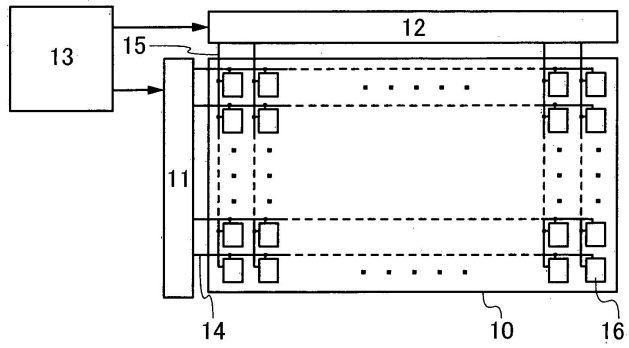
226 : 보호 절연층
510 : 트랜지스터
511 : 절연층
520 : 트랜지스터
530 : 트랜지스터
531 : 절연층
532a : 배선층
532b : 배선층
800 : 측정계
802 : 용량 소자
804 : 트랜지스터
805 : 트랜지스터
806 : 트랜지스터
808 : 트랜지스터
2201 : 본체
2202 : 하우징
2203 : 표시부
2204 : 키보드
2211 : 본체
2212 : 스타일러스
2213 : 표시부
2214 : 조작 버튼
2215 : 외부 인터페이스
2220 : 전자 서적 리더
2221 : 하우징
2223 : 하우징
2225 : 표시부
2227 : 표시부
2231 : 전원 스위치
2233 : 조작 키
2235 : 스피커
2237 : 축부
2240 : 하우징
2241 : 하우징
2242 : 표시 패널
2243 : 스피커

2244 : 마이크론
2245 : 조작 키
2246 : 포인팅 디바이스
2247 : 카메라용 렌즈
2248 : 외부 접속 단자
2249 : 태양 전지
2250 : 외부 메모리 슬롯
2261 : 본체
2263 : 접안부
2264 : 조작 스위치
2265 : 표시부(B)
2266 : 배터리
2267 : 표시부(A)
2270 : 텔레비전 세트
2271 : 하우징
2273 : 표시부
2275 : 스탠드
2277 : 표시부
2279 : 조작 키
2280 : 원격 컨트롤러

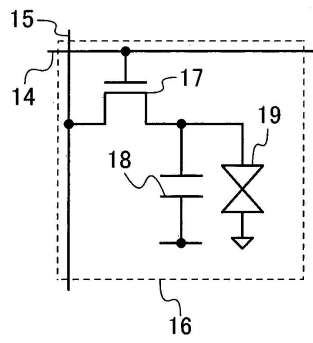
도면

도면1

(a)

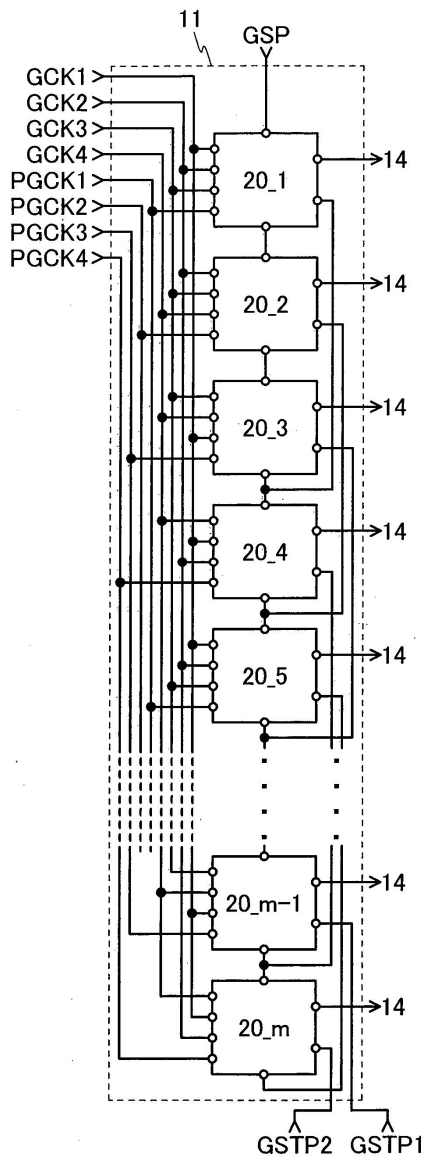


(b)

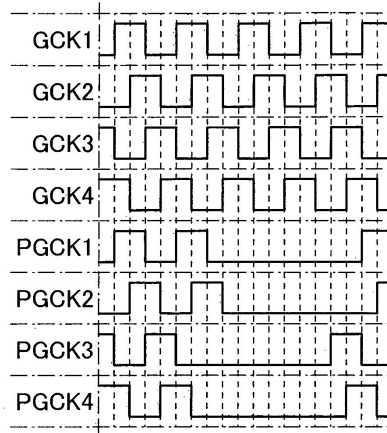


도면2

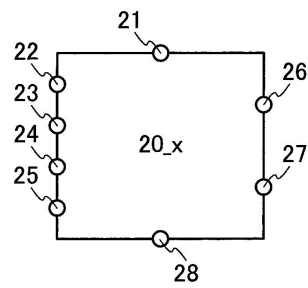
(a)



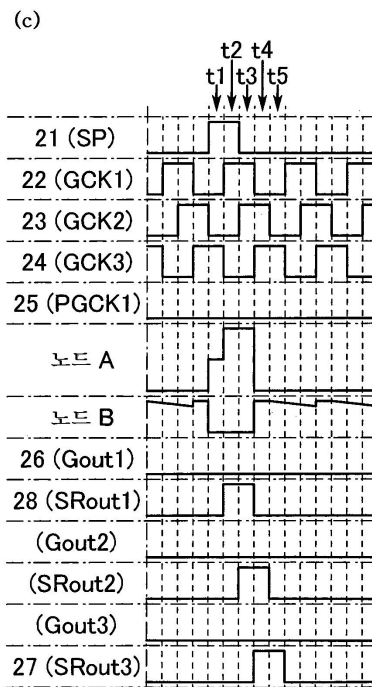
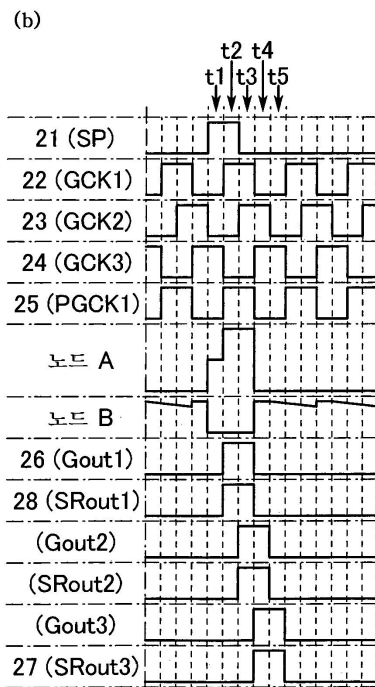
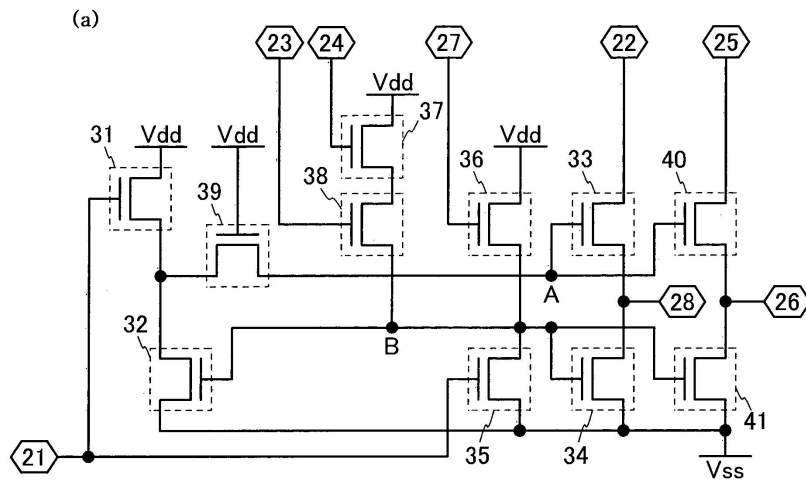
(b)



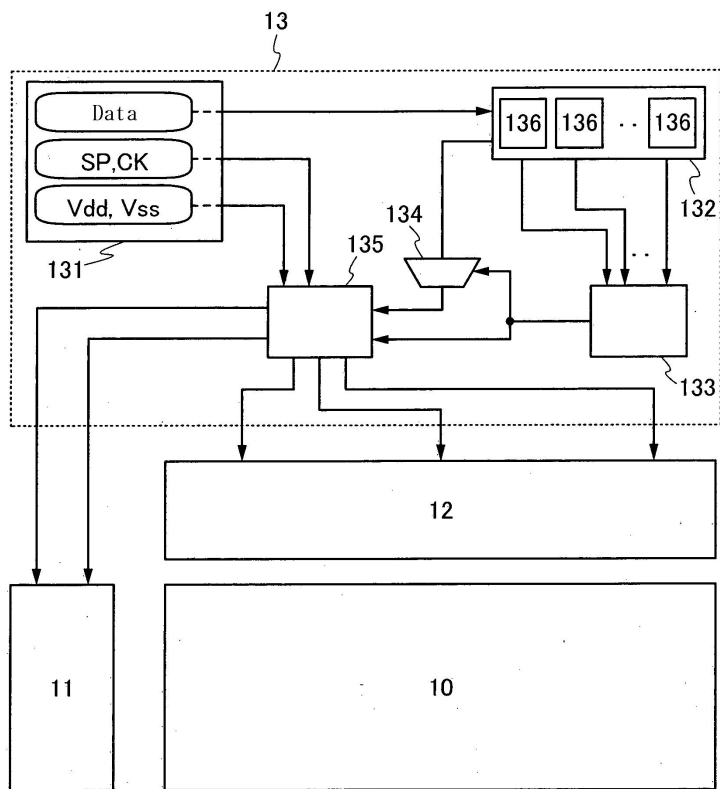
(c)



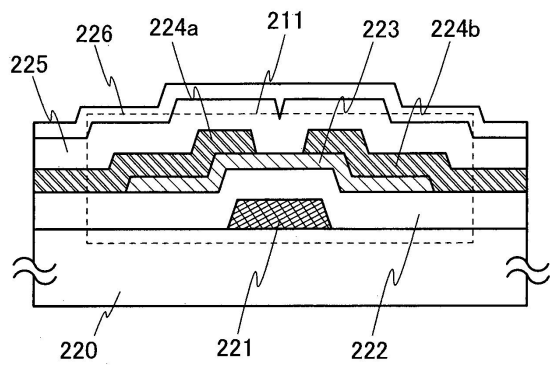
도면3



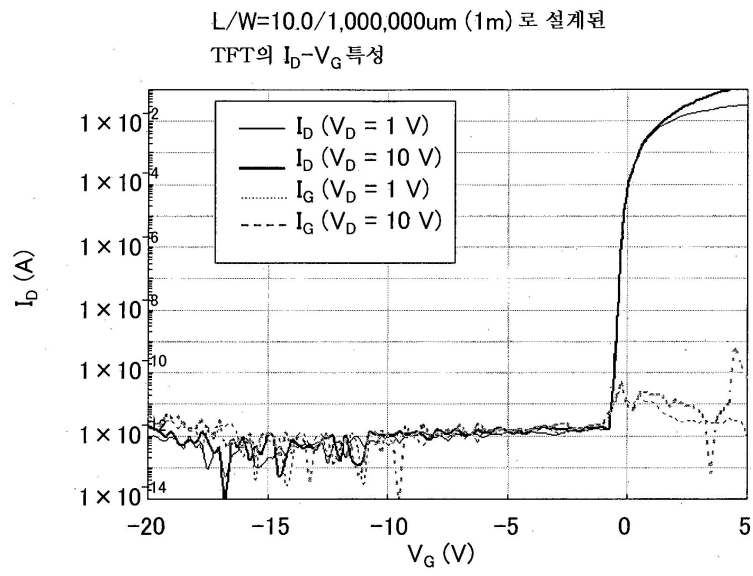
도면4



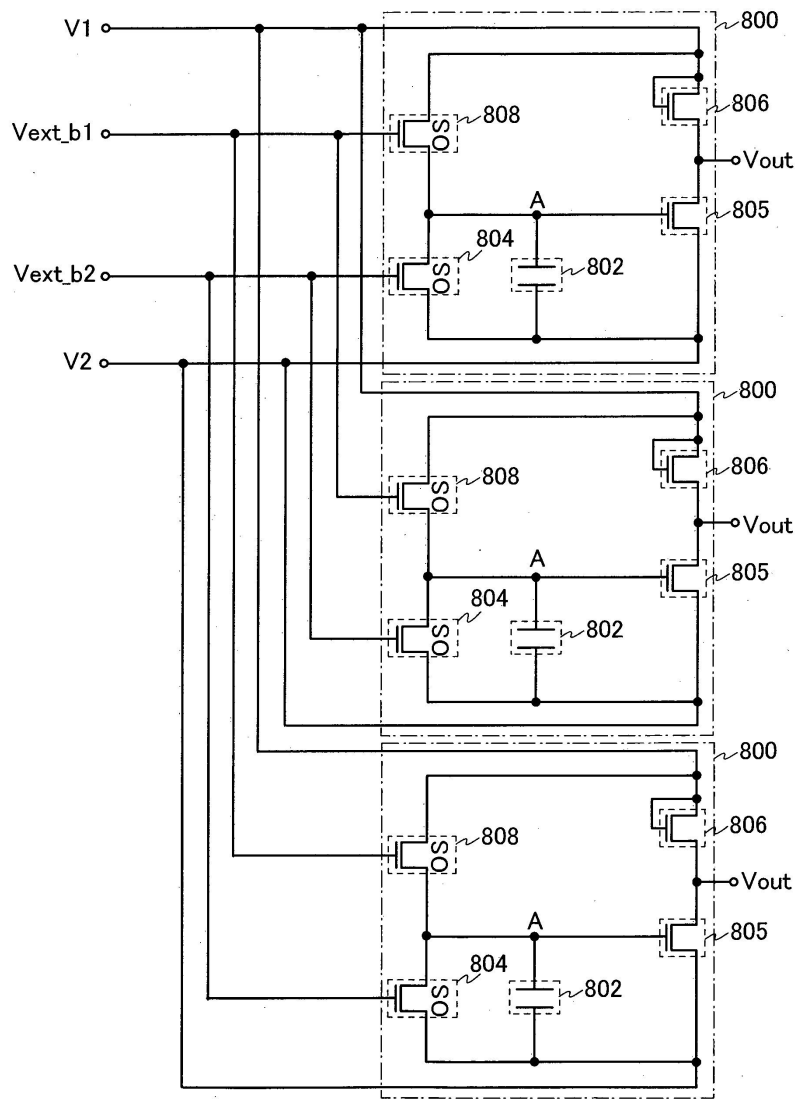
도면5



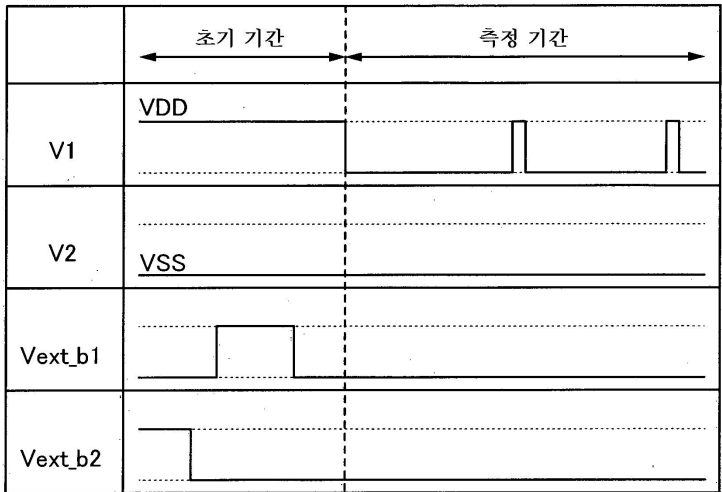
도면6



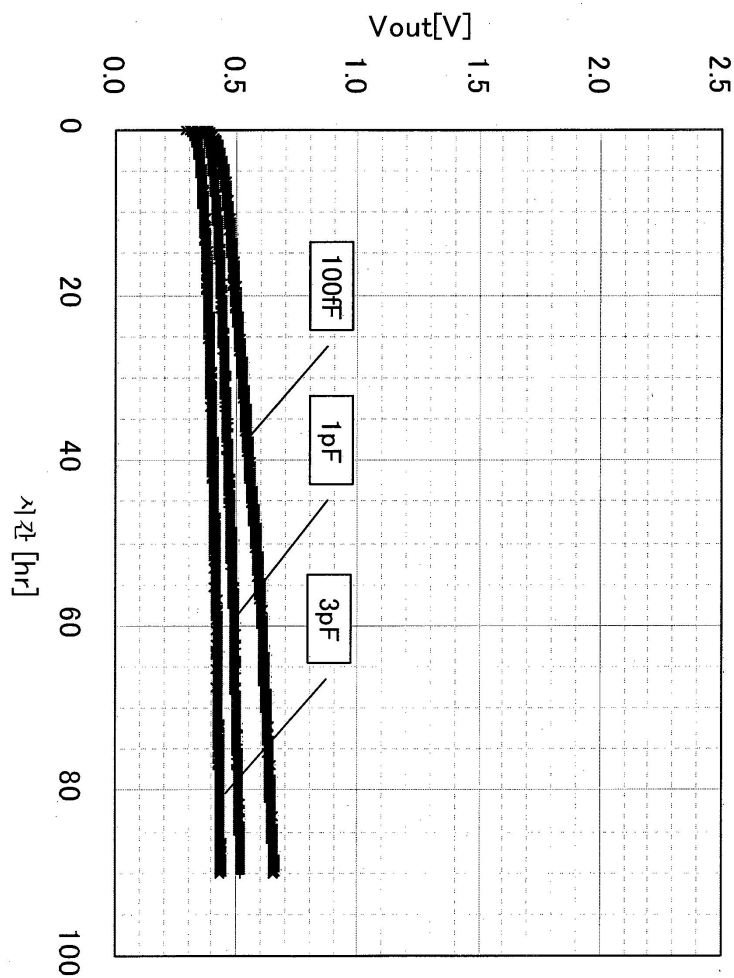
도면7



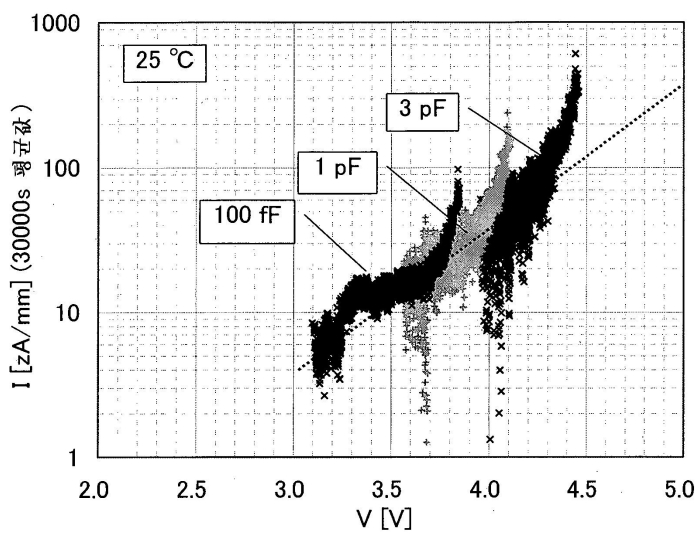
도면8



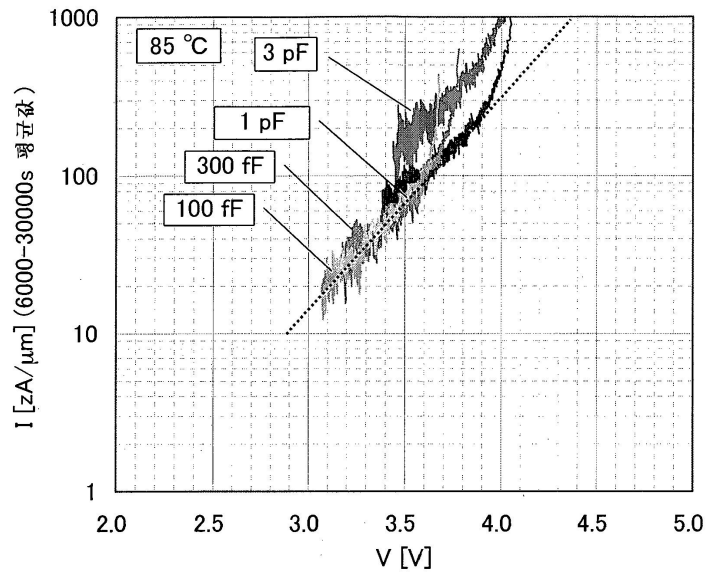
도면9



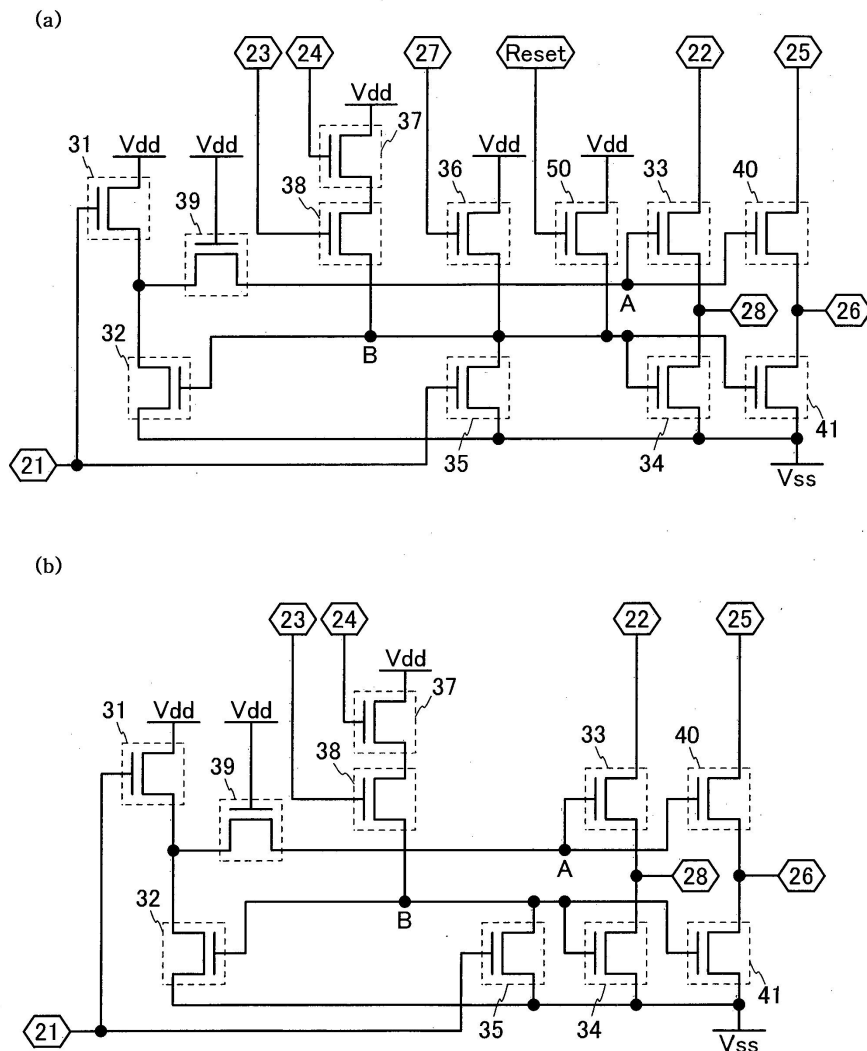
도면10



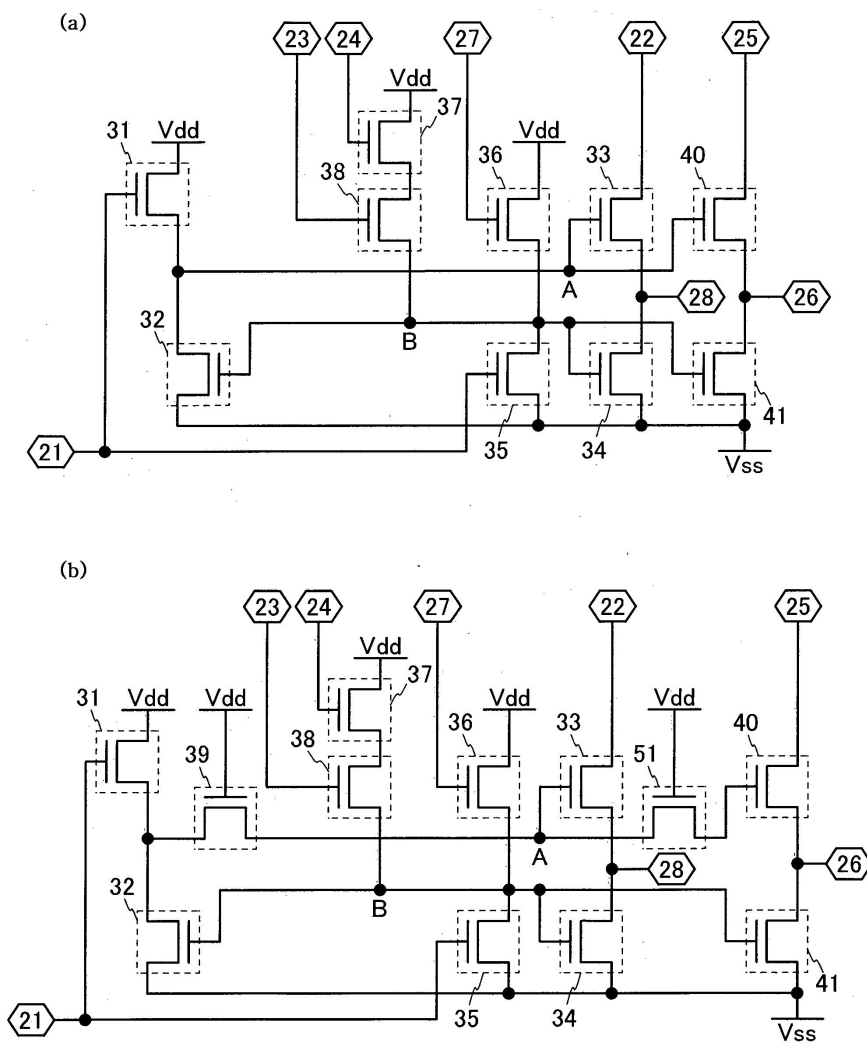
도면11



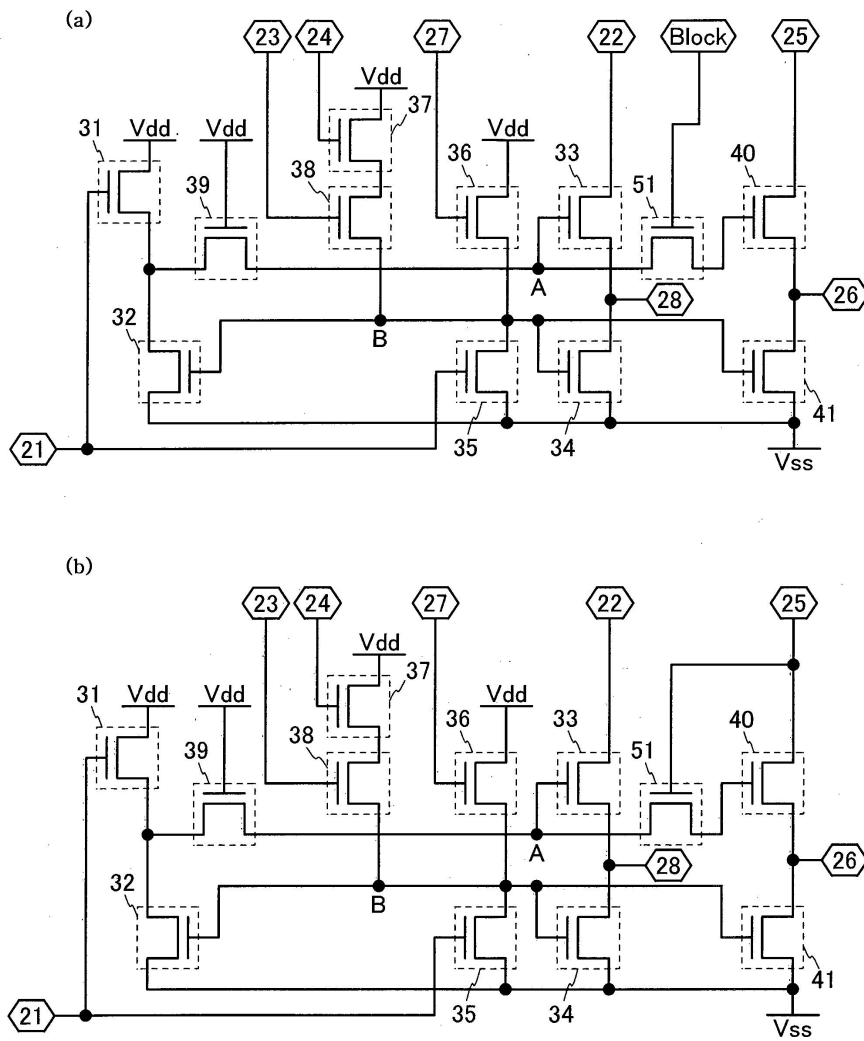
도면12



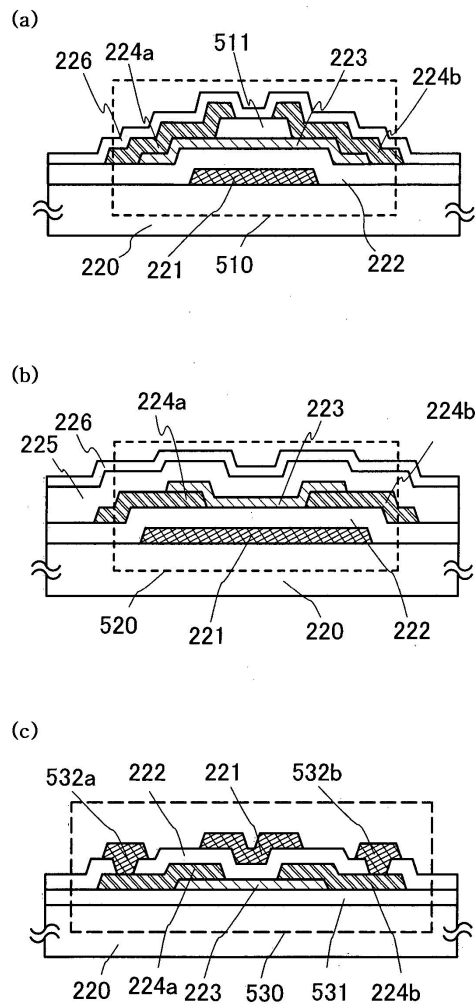
도면13



도면14



도면15



도면16

