

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7536620号
(P7536620)

(45)発行日 令和6年8月20日(2024.8.20)

(24)登録日 令和6年8月9日(2024.8.9)

(51)国際特許分類		F I			
H 0 1 G	4/30 (2006.01)	H 0 1 G	4/30	2 0 1 F	
H 0 1 G	2/06 (2006.01)	H 0 1 G	4/30	2 0 1 K	
H 0 5 K	1/18 (2006.01)	H 0 1 G	4/30	2 0 1 M	
H 0 5 K	3/28 (2006.01)	H 0 1 G	4/30	3 1 1 Z	
		H 0 1 G	2/06	C	
請求項の数 20 (全25頁) 最終頁に続く					
(21)出願番号 特願2020-196755(P2020-196755)		(73)特許権者 000204284			
(22)出願日 令和2年11月27日(2020.11.27)		太陽誘電株式会社			
(65)公開番号 特開2022-85196(P2022-85196A)		東京都中央区京橋二丁目7番19号			
(43)公開日 令和4年6月8日(2022.6.8)		(74)代理人 100109380			
審査請求日 令和5年10月24日(2023.10.24)		弁理士 小西 恵			
		(74)代理人 100109036			
		弁理士 永岡 重幸			
		(72)発明者 島田 貴士			
		東京都中央区京橋二丁目7番19号 太			
		陽誘電株式会社内			
		審査官 田中 晃洋			
最終頁に続く					

(54)【発明の名称】 セラミック電子部品、実装基板およびセラミック電子部品の製造方法

(57)【特許請求の範囲】

【請求項1】

内部電極層と誘電体層が積層された積層体と、前記積層体の1つの面に設けられた第1カバー層と、前記積層体の反対側の面に設けられた第2カバー層と、からなる素体であって、前記第1カバー層の表面により規定される第1面と、前記第2カバー層の表面により規定される第2面と、前記第2面上の端部側に離れて設けられた2つの端部領域と、前記端部領域の間に位置し前記端部領域よりも表面粗さが小さい中間領域とを有する素体と、

前記第2面から離れた位置に形成され、前記内部電極と接続し金属を含む下地層と、前記下地層上に形成されためっき層とを有する外部電極とを備えるセラミック電子部品であって、

前記第1カバー層の角部には曲面が形成されており、前記第1カバー層の厚みと前記第2カバー層の厚みは、それぞれ、前記曲面の曲率半径より大きいことを特徴とするセラミック電子部品。

【請求項2】

前記下地層は、前記素体の第2面側を除く複数の面に形成されることを特徴とする請求項1に記載のセラミック電子部品。

【請求項3】

前記素体上に形成される前記下地層の位置は、前記めっき層が前記素体の第2面から前記第2面の法線方向に突出しないように設定されることを特徴とする請求項1または2に記載のセラミック電子部品。

【請求項 4】

前記中間領域の位置で切断した前記素体の厚みは、前記端部領域の位置で切断した前記素体の厚みよりも小さいことを特徴とする請求項 1 から 3 のいずれか 1 項に記載のセラミック電子部品。

【請求項 5】

前記下地層は、前記素体の第 1 面側から前記第 1 面に垂直に接続する第 3 面にかけて連続的に形成され、前記第 1 面側の角部の位置における前記下地層の厚みは、前記素体の第 1 面上および第 3 面上の前記下地層の厚みより小さいことを特徴とする請求項 1 から 4 のいずれか 1 項に記載のセラミック電子部品。

【請求項 6】

前記端部領域の表面粗さは、前記中間領域の表面粗さの 2 倍以上 5 倍以下であることを特徴とする請求項 1 から 5 のいずれか 1 項に記載のセラミック電子部品。

【請求項 7】

前記端部領域の表面粗さ S_a は、 $0.25 \mu m$ 以上 $0.8 \mu m$ 以下、前記中間領域の表面粗さ S_a は、 $0.05 \mu m$ 以上 $0.3 \mu m$ 以下であることを特徴とする請求項 1 から 6 のいずれか 1 項に記載のセラミック電子部品。

【請求項 8】

前記中間領域の表面粗さは、前記素体の第 1 面側の表面粗さよりも大きいことを特徴とする請求項 1 から 7 のいずれか 1 項に記載のセラミック電子部品。

【請求項 9】

前記中間領域の表面粗さは、前記素体の第 1 面側の表面粗さの 2 倍以上であることを特徴とする請求項 8 に記載のセラミック電子部品。

【請求項 10】

前記下地層は、前記金属と混在する共材を含み、
前記下地層に含まれる前記共材と、前記誘電体層の誘電体は、同一の主成分であることを特徴とする請求項 1 から 9 のいずれか 1 項に記載のセラミック電子部品。

【請求項 11】

前記共材は、前記誘電体を含む酸化物セラミックであることを特徴とする請求項 10 に記載のセラミック電子部品。

【請求項 12】

前記下地層は、誘電体材料を含む塗布膜の焼成体であることを特徴とする請求項 1 から 11 のいずれか 1 項に記載のセラミック電子部品。

【請求項 13】

前記素体の第 2 面から前記外部電極の下面までの厚みは、 $150 \mu m$ 以下であることを特徴とする請求項 1 から 12 のいずれか 1 項に記載のセラミック電子部品。

【請求項 14】

前記下地層の厚みは、 $3 \mu m$ 以上 $6 \mu m$ 以下であることを特徴とする請求項 1 から 13 のいずれか 1 項に記載のセラミック電子部品。

【請求項 15】

前記内部電極層は第 1 内部電極層と第 2 内部電極層とからなり、

前記積層体は、前記第 1 内部電極層と前記第 2 内部電極層が前記誘電体層を介して交互に積層された積層体であり、

前記外部電極は、前記第 1 面および前記第 2 面の双方に垂直な互いに対向する側面に分離して設けられた第 1 外部電極および第 2 外部電極とを備え、

前記第 1 内部電極層は、前記第 1 外部電極に接続され、

前記第 2 内部電極層は、前記第 2 外部電極に接続されていることを特徴とする請求項 1 から 14 のいずれか 1 項に記載のセラミック電子部品。

【請求項 16】

前記第 1 カバー層は前記第 1 内部電極層を覆い、前記第 2 カバー層は前記第 2 内部電極層を覆い、

10

20

30

40

50

前記第 1 カバー層の厚みと前記第 2 カバー層の厚みは、それぞれ、 $5\ \mu\text{m}$ 以上 $30\ \mu\text{m}$ 以下であることを特徴とする請求項 15 に記載のセラミック電子部品。

【請求項 17】

請求項 1 から 16 のいずれか 1 項に記載のセラミック電子部品がはんだ層を介して実装された実装基板であって、

前記はんだ層は、前記素体の第 2 面から離れた状態で前記外部電極の側面へ濡れ上がっていることを特徴とする実装基板。

【請求項 18】

前記実装基板上で前記セラミック電子部品を封止する樹脂と、

前記実装基板上に形成されたはんだボールを備え、

前記セラミック電子部品は、前記はんだボールの形成面側に実装されることを特徴とする請求項 17 に記載の実装基板。

【請求項 19】

誘電体層と内部電極層が積層された積層体と、前記積層体の 1 つの面に設けられた第 1 カバー層と、前記積層体の反対側の面に設けられた第 2 カバー層とを備える素体を形成する工程と、

前記素体の角部を面取りした曲面を形成する工程と、

前記素体の側面および前記側面から前記曲面を介して垂直に接続する 4 つの面に外部電極の下地材料を塗布する工程と、

前記下地材料を焼成し、前記外部電極の下地層を形成する工程と、

前記 4 つの面のうちの前記第 2 カバー層の表面により規定される面上の下地層を選択的に除去し、前記下地層が除去された領域の素体の表面粗さを、前記下地材料が塗布されていない領域の素体の表面粗さより大きくする工程と、

前記下地層上にめっき層を形成する工程とを備えるセラミック電子部品の製造方法であって、

前記第 1 カバー層の厚みと前記第 2 カバー層の厚みは、それぞれ、前記曲面を形成する工程により形成された前記第 1 カバー層の角部の曲面の曲率半径より大きいことを特徴とするセラミック電子部品の製造方法。

【請求項 20】

前記第 2 カバー層の表面により規定される面上の下地層へのイオン衝撃に基づいて、前記下地層を選択的に除去することを特徴とする請求項 19 に記載のセラミック電子部品の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、セラミック電子部品、実装基板およびセラミック電子部品の製造方法に関する。

【背景技術】

【0002】

電子機器の小型化および高機能化に伴って、実装基板に実装される電子部品の実装密度が高密度化している。このとき、IC (Integrated Circuit) チップなどの実装面側の実装面積を減少させるため、積層セラミックコンデンサを低背化し、IC チップの実装面側と反対側に実装する方法 (LSC (land-side capacitor)) が提案されている。この方法は、IC チップの実装面側の実装面積の減少だけではなく、積層セラミックコンデンサとの配線長も短くなるため、ESL (Equivalent series resistance) を低下させる効果も期待できる。

【0003】

特許文献 1 には、抗折強度を確保可能な低背型の積層セラミック電子部品を提供するため、外部電極がスパッタ膜を含み、セラミック素体の厚さを T_1 とし、セラミック素体の

10

20

30

40

50

主面に延出する外部電極の延出部の厚さを T_2 とすると、 $T_1 + T_2$ が $50\text{ }\mu\text{m}$ 以下であり、かつ $T_2 / (T_1 + T_2)$ が 0.32 以下である構成が開示されている。

【先行技術文献】

【特許文献】

【0004】

【文献】特開2020-13846号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

セラミック電子部品の外部電極に用いられるめっき層の下地となる下地層を、素体に塗布された塗布膜の焼成によって形成することがある。このとき、下地層の形成に用いられる塗布膜が素体の上面側にも塗布されると、セラミック電子部品の高さが増大し、積層セラミックコンデンサを低背化の妨げになる。

10

そこで、本発明は、素体に塗布された塗布膜の焼成によって外部電極の下地層を形成可能としつつ、低背化を図ることが可能なセラミック電子部品、実装基板およびセラミック電子部品の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

上記課題を解決するために、本発明の一態様に係るセラミック電子部品は、内部電極層と誘電体層が積層された積層体と、前記積層体の1つの面に設けられた第1カバー層と、前記積層体の反対側の面に設けられた第2カバー層と、からなる素体であって、前記第1カバー層の表面により規定される第1面と、前記第2カバー層の表面により規定される第2面と、前記第2面上の端部側に離れて設けられた2つの端部領域と、前記端部領域の間に位置し前記端部領域よりも表面粗さが小さい中間領域とを有する素体と、前記第2面から離れた位置に形成され、前記内部電極と接続し金属を含む下地層と、前記下地層上に形成されためっき層とを有する外部電極とを備える。また、前記第1カバー層の角部には曲面が形成されており、前記第1カバー層の厚みと前記第2カバー層の厚みは、それぞれ、前記曲面の曲率半径より大きい。

20

【0007】

また、本発明の一態様に係るセラミック電子部品によれば、前記下地層は、前記素体の第2面側を除く複数の面に形成される。

30

【0008】

また、本発明の一態様に係るセラミック電子部品によれば、前記素体上に形成される前記下地層の位置は、前記めっき層が前記素体の第2面から前記第2面の法線方向に突出しないように設定される。

【0009】

また、本発明の一態様に係るセラミック電子部品によれば、前記中間領域の位置で切断した前記素体の厚みは、前記端部領域の位置で切断した前記素体の厚みよりも小さい。

【0010】

また、本発明の一態様に係るセラミック電子部品によれば、前記下地層は、前記素体の第1面側から前記第1面に垂直に接続する第3面にかけて連続的に形成され、前記第1面側の角部の位置における前記下地層の厚みは、前記素体の第1面上および第3面上の前記下地層の厚みより小さい。

40

【0011】

また、本発明の一態様に係るセラミック電子部品によれば、前記端部領域の表面粗さは、前記中間領域の表面粗さの2倍以上5倍以下である。

【0012】

また、本発明の一態様に係るセラミック電子部品によれば、前記端部領域の表面粗さ S_a は、 $0.25\text{ }\mu\text{m}$ 以上 $0.8\text{ }\mu\text{m}$ 以下、前記中間領域の表面粗さ S_a は、 $0.05\text{ }\mu\text{m}$ 以上 $0.3\text{ }\mu\text{m}$ 以下である。

50

【0013】

また、本発明の一態様に係るセラミック電子部品によれば、前記中間領域の表面粗さは、前記素体の第1面側の表面粗さよりも大きい。

【0014】

また、本発明の一態様に係るセラミック電子部品によれば、前記中間領域の表面粗さは、前記素体の第1面側の表面粗さの2倍以上である。

【0015】

また、本発明の一態様に係るセラミック電子部品によれば、前記下地層は、前記金属と混在する共材を含み、

前記下地層に含まれる前記共材と、前記誘電体は、同一の主成分である。

10

【0016】

また、本発明の一態様に係るセラミック電子部品によれば、前記共材は、前記誘電体を含む酸化物セラミックである。

【0017】

また、本発明の一態様に係るセラミック電子部品によれば、前記下地層は、誘電体材料を含む塗布膜の焼成体である。

【0018】

また、本発明の一態様に係るセラミック電子部品によれば、前記素体の第2面から前記外部電極の下面までの厚みは、150 μm 以下である。

【0019】

20

また、本発明の一態様に係るセラミック電子部品によれば、前記下地層の厚みは、3 μm 以上6 μm 以下である。

【0020】

また、本発明の一態様に係るセラミック電子部品によれば、前記素体は、前記誘電体を含み前記内部電極を覆うカバー層を備え、前記カバー層の厚みは、5 μm 以上30 μm 以下である。

【0021】

また、本発明の一態様に係るセラミック電子部品によれば、前記素体は、第1内部電極層と第2内部電極層が前記誘電体を介して交互に積層された積層体を備え、前記外部電極は、前記第1面および前記第2面の双方に垂直な互いに対向する側面に分離して設けられた第1外部電極および第2外部電極とを備え、前記第1内部電極層は、前記第1外部電極に接続され、前記第2内部電極層は、前記第2外部電極に接続されている。

30

【0022】

また、本発明の一態様に係る実装基板によれば、上述したいずれか1つのセラミック電子部品がはんだ層を介して実装された実装基板であって、前記はんだ層は、前記素体の第2面から離れた状態で前記外部電極の側面へ濡れ上がっていることを特徴とする。

【0023】

また、本発明の一態様に係る実装基板によれば、前記実装基板上で前記セラミック電子部品を封止する樹脂と、前記実装基板上に形成されたはんだボールを備え、前記セラミック電子部品は、前記はんだボールの形成面側に実装される。

40

【0024】

また、本発明の一態様に係るセラミック電子部品の製造方法によれば、誘電体と内部電極が設けられた素体を形成する工程と、前記素体の角部を面取りした曲面を形成する工程と、前記素体の側面および前記側面から前記曲面を介して垂直に接続する4つの面に外部電極の下地材料を塗布する工程と、前記下地材料を焼成し、前記外部電極の下地層を形成する工程と、前記4つの面のうちの1つの面上の下地層を選択的に除去し、前記下地層が除去された領域の素体の表面粗さを、前記下地材料が塗布されていない領域の素体の表面粗さより大きくする工程と、前記下地層上にめっき層を形成する工程とを備える。

【0025】

また、本発明の一態様に係るセラミック電子部品の製造方法によれば、前記4つの面の

50

うちの１つの面上の下地層へのイオン衝撃に基づいて、前記下地層を選択的に除去する。

【発明の効果】

【００２６】

本発明によれば、素体に塗布された塗布膜の焼成によって外部電極の下地層を形成可能としつつ、低背化を図ることができる。

【図面の簡単な説明】

【００２７】

【図１】第１実施形態に係る積層セラミックコンデンサの構成例を示す斜視図である。

【図２Ａ】図１の積層セラミックコンデンサを長さ方向に切断した断面図である。

【図２Ｂ】図２Ａの積層セラミックコンデンサの一部を拡大して示す断面図である。

10

【図２Ｃ】図１の積層セラミックコンデンサを外部電極の位置で幅方向に切断した断面図である。

【図３】第１実施形態に係る積層セラミックコンデンサの製造方法を示すフローチャートである。

【図４Ａ】第１実施形態に係る積層セラミックコンデンサの製造方法を示す断面図である。

【図４Ｂ】第１実施形態に係る積層セラミックコンデンサの製造方法を示す断面図である。

【図４Ｃ】第１実施形態に係る積層セラミックコンデンサの製造方法を示す断面図である。

【図４Ｄ】第１実施形態に係る積層セラミックコンデンサの製造方法を示す断面図である。

【図４Ｅ】第１実施形態に係る積層セラミックコンデンサの製造方法を示す断面図である。

【図４Ｆ】第１実施形態に係る積層セラミックコンデンサの製造方法を示す断面図である。

20

【図４Ｇ】第１実施形態に係る積層セラミックコンデンサの製造方法を示す断面図である。

【図４Ｈ】第１実施形態に係る積層セラミックコンデンサの製造方法を示す断面図である。

【図４Ｉ】第１実施形態に係る積層セラミックコンデンサの製造方法を示す断面図である。

【図４Ｊ】第１実施形態に係る積層セラミックコンデンサの製造方法を示す断面図である。

【図４Ｋ】第１実施形態に係る積層セラミックコンデンサの製造方法を示す断面図である。

【図５Ａ】第２実施形態に係る積層セラミックコンデンサの製造方法を示す断面図である。

【図５Ｂ】第２実施形態に係る積層セラミックコンデンサの製造方法を示す断面図である。

【図５Ｃ】第２実施形態に係る積層セラミックコンデンサの製造方法を示す断面図である。

【図６】第３実施形態に係る積層セラミックコンデンサが実装された実装基板の構成例を示す断面図である。

30

【図７】第４実施形態に係るセラミック電子部品の構成例を示す斜視図である。

【図８Ａ】実施例に係る素体の上面のイオンミリング前の下地層の表面粗さの評価領域の一例を示す平面図である。

【図８Ｂ】実施例に係る素体の上面の下地層のイオンミリング後の表面粗さの評価領域の一例を示す平面図である。

【図９Ａ】実施例に係る素体の上面のイオンミリング前の下地層の表面粗さの評価領域のその他の例を示す平面図である。

【図９Ｂ】実施例に係る素体の上面の下地層のイオンミリング後の表面粗さの評価領域のその他の例を示す平面図である。

【図１０Ａ】実施例に係る積層セラミックコンデンサの素体の端部領域の表面粗さの観察例を示す平面図である。

40

【図１０Ｂ】実施例に係る積層セラミックコンデンサの素体の中間領域の表面粗さの観察例を示す平面図である。

【発明を実施するための形態】

【００２８】

以下、添付の図面を参照しながら、本発明の実施形態を詳細に説明する。なお、以下の実施形態は本発明を限定するものではなく、実施形態で説明されている特徴の組み合わせの全てが本発明の構成に必須のものとは限らない。実施形態の構成は、本発明が適用される装置の仕様や各種条件（使用条件、使用環境等）によって適宜修正または変更され得る。本発明の技術的範囲は、特許請求の範囲によって確定され、以下の個別の実施形態によ

50

って限定されない。また、以下の説明に用いる図面は、各構成を分かり易くするため、実際の構造と縮尺および形状などを異ならせることがある。

【 0 0 2 9 】

(第 1 実施形態)

図 1 は、第 1 実施形態に係る積層セラミックコンデンサの構成例を示す斜視図、図 2 A は、図 1 の積層セラミックコンデンサを長さ方向に切断した断面図、図 2 B は、図 2 A の積層セラミックコンデンサの一部を拡大して示す断面図、図 2 C は、図 1 の積層セラミックコンデンサを外部電極の位置で幅方向に切断した断面図である。なお、本実施形態では、セラミック電子部品として積層セラミックコンデンサを例にとった。

【 0 0 3 0 】

図 1 および図 2 A から図 2 C において、積層セラミックコンデンサ 1 A は、素体 2 および外部電極 6 A、6 B を備える。素体 2 は、積層体 2 A、下カバー層 5 A および上カバー層 5 B を備える。積層体 2 A は、内部電極層 3 A、3 B および誘電体層 4 を備える。

【 0 0 3 1 】

積層体 2 A の下層には下カバー層 5 A が設けられ、積層体 2 A の上層には上カバー層 5 B が設けられている。内部電極層 3 A、3 B は、誘電体層 4 を介して交互に積層されている。なお、図 1 および図 2 A から図 2 C では、内部電極層 3 A、3 B が合計で 6 層分だけ積層された例を示したが、内部電極層 3 A、3 B の積層数は、特に限定されない。このとき、素体 2 および積層体 2 A の形状は、略直方体形状とすることができる。なお、以下の説明では、素体 2 の側面が互いに対向する方向を長さ方向 D L、素体 2 の前後面が互いに対向する方向を幅方向 D W、素体 2 の上下面が互いに対向する方向を積層方向（高さ方向）D S と言うことがある。このとき、素体 2 の側面（第 3 面）には、素体 2 の 4 つの面（下面（第 1 面）、上面（第 2 面）、前面（第 4 面）および後面（第 5 面））が垂直に接続する。この場合、第 1 面と第 2 面は対向し、第 4 面と第 5 面は対向する。

【 0 0 3 2 】

素体 2 は、素体 2 の稜線に沿って面取りされる。このとき、素体 2 の下面側と側面側の間の角部が面取された面取り位置には、曲面 R D（第 1 曲面）が設けられる。また、素体 2 の下面側と対向する上面側と側面側の間の角部が面取された面取り位置には、曲面 R U（第 2 曲面）が設けられる。ここで、素体 2 の下面側の角部の曲面 R D の形状と、素体 2 の上面側の角部の曲面 R U の形状は、互いに異なる。このとき、素体 2 の上面側の角部の曲面 R U の曲率半径 C U は、素体 2 の下面側の角部の曲面 R D の曲率半径 C D と異なってもよい。素体 2 の上面側の角部の曲面 R U の曲率半径 C U は、 $10\ \mu\text{m}$ 以上であるのが好ましい。なお、ここで言う曲率半径 C D、C U は、長さ方向 D L に沿って素体 2 を垂直の切断したときの素体 2 の断面の角部の曲面 R D、R U の曲率半径を指す。

【 0 0 3 3 】

外部電極 6 A、6 B は、長さ方向 D L に互いに分離された状態で互いに対向するように素体 2 に形成される。ここで、各外部電極 6 A、6 B は、素体 2 の上面から離れた位置に形成される。この場合、各外部電極 6 A、6 B は、素体 2 の上面側より低い位置に形成される。このとき、各外部電極 6 A、6 B は、素体 2 の下面側から曲面 R D を介して下面に垂直に接続する側面にかけて連続的に形成され、素体 2 の上面側には形成されない。また、各外部電極 6 A、6 B は、素体 2 の下面および側面の双方に垂直な互いに対向する前面および後面にも形成されてもよい。また、素体 2 の上面側において、各外部電極 6 A、6 B の境界は、素体 2 の曲面 R U 上に位置する。素体 2 の下面側において、素体 2 の曲面 R D は各外部電極 6 A、6 B で覆われる。なお、各外部電極 6 A、6 B の厚みは、例えば、 $10\sim 40\ \mu\text{m}$ である。

【 0 0 3 4 】

ここで、素体 2 の上面側より低い位置に各外部電極 6 A、6 B を形成することにより、内部電極層 3 A、3 B の積層数を減少させることなく、積層セラミックコンデンサ 1 A を低背化することができ、積層セラミックコンデンサ 1 A の容量を低下させることなく、L S C 実装を実現することができる。

10

20

30

40

50

【 0 0 3 5 】

長さ方向 D L において、内部電極層 3 A、3 B は、積層体 2 A 内で異なる位置に交互に配置されている。このとき、内部電極層 3 A は、内部電極層 3 B に対して素体 2 の一方の側面側に配置し、内部電極層 3 B は、内部電極層 3 A に対して素体 2 の他方の側面側に配置することができる。そして、内部電極層 3 A の端部は、素体 2 の長さ方向 D L の一方の側面側で誘電体層 4 の端部に引き出され、外部電極 6 A に接続される。内部電極層 3 B の端部は、素体 2 の長さ方向 D L の他方の側面側で誘電体層 4 の端部に引き出され、外部電極 6 B に接続される。

一方、素体 2 の幅方向 D W において、内部電極層 3 A、3 B の端部は、誘電体層 4 にて覆われている。幅方向 D W では、内部電極層 3 A、3 B の端部の位置は揃っていてもよい。

10

【 0 0 3 6 】

なお、内部電極層 3 A、3 B および誘電体層 4 の積層方向 D S の厚みはそれぞれ、 $0.5\ \mu\text{m} \sim 5\ \mu\text{m}$ の範囲内とすることができ、例えば、 $0.3\ \mu\text{m}$ である。内部電極層 3 A、3 B の材料は、例えば、Cu (銅)、Ni (ニッケル)、Ti (チタン)、Ag (銀)、Au (金)、Pt (白金)、Pd (パラジウム)、Ta (タンタル) および W (タングステン) などの金属から選択することができ、これらの金属を含む合金であってもよい。

【 0 0 3 7 】

誘電体層 4 の材料は、例えば、ペロブスカイト構造を有するセラミック材料を主成分とすることができる。なお、主成分は、50 at % 以上の割合で含まれていればよい。誘電体層 4 のセラミック材料は、例えば、チタン酸バリウム、チタン酸ストロンチウム、チタン酸カルシウム、チタン酸マグネシウム、チタン酸バリウムストロンチウム、チタン酸バリウムカルシウム、ジルコン酸カルシウム、ジルコン酸バリウム、チタン酸ジルコン酸カルシウムおよび酸化チタンなどから選択することができる。

20

【 0 0 3 8 】

下カバー層 5 A および上カバー層 5 B の材料は、例えば、セラミック材料を主成分とすることができる。このとき、下カバー層 5 A および上カバー層 5 B のセラミック材料の主成分は、誘電体層 4 のセラミック材料の主成分と同一であってもよい。

【 0 0 3 9 】

下カバー層 5 A および上カバー層 5 B の厚み T A、T B はそれぞれ、 $5\ \mu\text{m}$ 以上 $30\ \mu\text{m}$ 以下であるのが好ましい。下カバー層 5 A および上カバー層 5 B の厚み T A、T B をそれぞれ $5\ \mu\text{m}$ 以上とすることにより、積層セラミックコンデンサ 1 A の製造時および実装時に加わる衝撃から内部電極層 3 A、3 B および誘電体層 4 を保護することができる。下カバー層 5 A および上カバー層 5 B の厚み T A、T B をそれぞれ $30\ \mu\text{m}$ 以下とすることにより、内部電極層 3 A、3 B および誘電体層 4 の積層数の低下を抑制しつつ、積層セラミックコンデンサ 1 A の低背化を図ることができ、積層セラミックコンデンサ 1 A の容量の低下を抑制しつつ、積層セラミックコンデンサ 1 A の L S C 実装を可能とすることができる。

30

【 0 0 4 0 】

また、下カバー層 5 A および上カバー層 5 B の厚み T A、T B はそれぞれ、素体 2 の下面側の角部の曲面 R D の曲率半径 C D より大きくすることができる。これにより、素体 2 の角部に曲面を形成するために、素体 2 の面取りを実施した場合においても、内部電極層 3 A、3 B にダメージが及ぶのを防止することができ、内部電極層 3 A、3 B と誘電体層 4 との間の剥離を防止することができる。

40

【 0 0 4 1 】

素体 2 の上面は、端部領域 S 1 A、S 1 B および中間領域 S 2 を備える。端部領域 S 1 A、S 1 B は、素体 2 の長さ方向 D L における素体 2 の上面の 2 つの端部側に離れて位置する領域である。端部領域 S 1 A、S 1 B は、素体 2 の下面側の下地層 7 と対向する位置に設けることができる。端部領域 S 1 A、S 1 B は、素体 2 の上面側の下地層 7 を除去することで形成される。中間領域 S 2 は、素体 2 の上面側において端部領域 S 1 A、S 1 B の間に位置する領域である。中間領域 S 2 は、素体 2 の上面側の下地層 7 が形成されない

50

領域である。

【 0 0 4 2 】

端部領域 S 1 A、S 1 B の素体 2 の表面粗さは、中間領域 S 2 の素体 2 の表面粗さより大きい。素体 2 の表面粗さは、例えば、算術平均粗さ S a で定義することができる。端部領域 S 1 A、S 1 B の表面粗さは、中間領域 S 2 の表面粗さの 2 倍以上 5 倍以下であるのが好ましい。また、端部領域 S 1 A、S 1 B の表面粗さ S a は、 $0.25\text{ }\mu\text{m}$ 以上 $0.8\text{ }\mu\text{m}$ 以下、中間領域 S 2 の表面粗さ S a は、 $0.05\text{ }\mu\text{m}$ 以上 $0.3\text{ }\mu\text{m}$ 以下であるのが好ましい。

【 0 0 4 3 】

また、中間領域 S 2 の表面粗さは、素体 2 の下面側の下面領域 S 3 の表面粗さよりも大きい。下面領域 S 3 は、素体 2 の下面上の下地層 7 の間の領域である。中間領域 S 2 は、素体 2 の上面側の下地層 7 を除去するときにイオン衝撃を受ける。下面領域 S 3 は、素体 2 の上面側の下地層 7 を除去するときにイオン衝撃を受けない。ここで、中間領域 S 2 の表面粗さは、下面領域 S 3 の表面粗さの 2 倍以上であるのが好ましい。

10

【 0 0 4 4 】

このとき、端部領域 S 1 A、S 1 B および中間領域 S 2 の表面粗さは、下面領域 S 3 の表面粗さより大きくすることができる。これにより、積層セラミックコンデンサ 1 A を樹脂封止したときの素体 2 の上面と樹脂との密着性を向上させることができる。このため、積層セラミックコンデンサ 1 A の上面と樹脂との間に水分が侵入可能な隙間ができるのを防止することができ、樹脂封止された積層セラミックコンデンサ 1 A の信頼性を向上させることができる。

20

【 0 0 4 5 】

なお、中間領域 S 2 の素体 2 の厚み T 2 は、端部領域 S 1 A、S 1 B の素体 2 の厚み T 1 よりも小さくてもよい。このとき、端部領域 S 1 A、S 1 B の素体 2 の厚み T 1 と中間領域 S 2 の素体 2 の厚み T 2 との差は、 $2.2\text{ }\mu\text{m}$ 以上 $5.3\text{ }\mu\text{m}$ 以下であるのが好ましい。

【 0 0 4 6 】

各外部電極 6 A、6 B は、素体 2 上に形成された下地層 7 と、下地層 7 上に形成されためっき層 9 を備える。下地層 7 は、長さ方向 D L に互いに分離された状態で互いに対向するように素体 2 に形成される。このとき、下地層 7 は、素体 2 の下面側から曲面 R D を介して側面にかけて連続的に形成され、素体 2 の上面側には形成されない。素体 2 上に形成される下地層 7 の位置は、下地層 7 を覆うめっき層 9 が素体 2 の上面から突出しないように設定される。例えば、素体 2 の側面上における下地層 7 の境界の位置は、素体 2 の上面からめっき層 9 の厚み T M と同等以上だけ低くすることができる。また、素体 2 の側面上における下地層 7 の端部には、曲面 7 R が設けられる。なお、下地層 7 は、素体 2 の下面側から前面側および後面側にかけて連続的に形成されてもよい。

30

【 0 0 4 7 】

下地層 7 の厚み D 1 は、 $3\text{ }\mu\text{m}$ 以上 $6\text{ }\mu\text{m}$ 以下であるのが好ましい。下地層 7 の厚み D 1 を $3\text{ }\mu\text{m}$ 以上とすることにより、素体 2 の曲面 R D が覆われるように素体 2 の下面側から側面にかけて下地層 7 を連続的に安定して形成することができる。下地層 7 の厚み D 1 を $6\text{ }\mu\text{m}$ 以下とすることにより、素体 2 の上面側の下地層 7 の除去の効率化を図ることができる。

40

【 0 0 4 8 】

下地層 7 の導電性材料として用いられる金属は、例えば、Cu、Fe (鉄)、Zn (亜鉛)、Al (アルミニウム)、Ni、Pt、Pd、Ag、Au および Sn (錫) から選択される少なくとも 1 つを含む金属または合金を主成分とすることができる。下地層 7 は、金属が混在された共材を含んでもよい。共材は、下地層 7 中に島状に混在することで素体 2 と下地層 7 との間の熱膨張率の差を低減し、下地層 7 にかかる応力を緩和することができる。共材は、例えば、誘電体層 4 の主成分であるセラミック成分である。下地層 7 は、ガラス成分を含んでいてもよい。ガラス成分は、下地層 7 に混在することで下地層 7 を緻

50

密化することができる。このガラス成分は、例えば、B a (バリウム)、S r (ストロンチウム)、C a (カルシウム)、Z n、A l、S i (ケイ素)またはB (ホウ素)などの酸化物である。

【0049】

下地層7は、素体2に含まれる金属成分を含んでいてもよい。この金属成分は、例えば、M g (N i、C r、S r、A l、N a、F eが微量含まれていてもよい)である。このとき、下地層7は、下地層7の導電性材料として用いられる金属と素体2に含まれる金属と酸素との化合物として、例えば、M g、N iおよびOを含む化合物を含むことができる。

【0050】

ここで、下地層7は、誘電体材料を含む塗布膜の焼成体で構成するのが好ましい。これにより、素体2と下地層7との密着性を確保しつつ、下地層7の厚膜化を図ることが可能となり、各外部電極6 A、6 Bの強度を確保しつつ、内部電極層3 A、3 Bとの導通性を確保することができる。

【0051】

めっき層9は、下地層7を覆うように外部電極6 A、6 Bごとに連続的に形成され、素体2の上面側には形成されない。このとき、素体2の上面側において、めっき層9の境界は、素体2の曲面R U上に位置することができる。また、素体2の下面側において、めっき層9の境界は、素体2の下面上に位置することができる。

【0052】

めっき層9の材料は、例えば、C u、N i、A l、Z n、S nなどの金属またはこれらの2以上の合金を主成分とする。めっき層9は、単一金属成分のめっき層でもよく、互いに異なる金属成分の複数のめっき層でもよい。めっき層9は、例えば、下地層7上に形成されたC uめっき層と、C uめっき層上に形成されたN iめっき層と、N iめっき層上に形成されたS nめっき層の3層構造とすることができる。C uめっき層は、下地層7へのめっき層9の密着性を向上させることができる。N iめっき層は、はんだ付け時の各外部電極6 A、6 Bの耐熱性を向上させることができる。S nめっき層は、めっき層9に対するはんだの濡れ性を向上させることができる。

【0053】

めっき層9は、下地層7を介して内部電極層3 A、3 Bと導通する。また、めっき層9は、はんだを介して実装基板の端子と導通する。各外部電極6 A、6 Bの強度を確保し、下地層7および実装基板の端子との導通の確実性を確保するために、めっき層9の厚みT Mは、10 μ m以上であるのが好ましい。また、めっき層9が素体2の上面から突出するのを防止するために、めっき層9の厚みT Mは、C U - T M > 0という関係を満たすのが好ましい。

【0054】

なお、積層セラミックコンデンサ1 Aの外形サイズは、一例として、長さ>幅>高さであってもよく、または長さ=幅=高さであってもよい。このとき、積層セラミックコンデンサ1 Aの低背化を図るため、積層セラミックコンデンサ1 Aの高さは、150 μ m以下であることが好ましい。積層セラミックコンデンサ1 Aの高さは、外部電極6 A、6 Bの下面から素体2の上面までの積層セラミックコンデンサ1 Aの厚みに等しい。

【0055】

積層セラミックコンデンサ1 Aの高さを150 μ m以下とすることにより、積層セラミックコンデンサ1 Aの高さを、はんだボールの径よりも小さくすることができる。このため、実装基板のはんだボールの形成面側に積層セラミックコンデンサ1 Aを実装しつつ、そのはんだボールを介してマザーボード上に実装基板を搭載することができる。この結果、実装基板上に配置される半導体チップの裏面側に積層セラミックコンデンサ1 Aを配置することができ、半導体チップに近接させて積層セラミックコンデンサ1 Aを実装することが可能となるとともに、半導体チップの実装面側の実装面積を増大させることができる。これにより、半導体チップの実装密度を向上させつつ、半導体チップに加わるノイズを効果的に除去することが可能となる。

10

20

30

40

50

【 0 0 5 6 】

なお、図 1 および図 2 A では、下地層 7 が最上層の内部電極 3 A を覆っている例を示したが、はんだ層 9 のみが最上層の内部電極 3 A を覆っていてもよい。

【 0 0 5 7 】

図 3 は、第 1 実施形態に係る積層セラミックコンデンサの製造方法を示すフローチャート、図 4 A から図 4 K は、第 1 実施形態に係る積層セラミックコンデンサの製造方法を示す断面図である。なお、図 4 C から図 4 K では、誘電体層 4 を介して内部電極層 3 A、3 B が交互に 3 層分だけ積層される場合を例にとった。

【 0 0 5 8 】

図 3 の S 1 において、分散剤および成形助剤としての有機バインダおよび有機溶剤を誘電体材料粉末に加え、粉碎・混合して泥状のスラリを生成する。誘電体材料粉末は、例えば、セラミック粉末を含む。誘電体材料粉末は、添加物を含んでもよい。添加物は、例えば、Mg、Mn、V、Cr、Y、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Co、Ni、Li、B、Na、K または Si の酸化物もしくはガラスである。有機バインダは、例えば、ポリビニルブチラル樹脂またはポリビニルアセタール樹脂である。有機溶剤、例えば、エタノールまたはトルエンである。

10

【 0 0 5 9 】

次に、図 3 の S 2 および図 4 A に示すように、セラミック粉末を含むスラリをキャリアフィルム上にシート状に塗布して乾燥させたグリーンシート 2 4 を作製する。キャリアフィルムは、例えば、PET（ポリエチレンテレフタレート）フィルムである。スラリの塗布には、ドクターブレード法、ダイコッタ法またはグラビアコッタ法などを用いることができる。

20

【 0 0 6 0 】

次に、図 3 の S 3 および図 4 B に示すように、複数枚のグリーンシートのうち内部電極層 3 A、3 B を形成する層のグリーンシート 2 4 に内部電極用導電ペーストを所定のパターンとなるように塗布し、内部電極パターン 2 3 を形成する。このとき、1 枚のグリーンシート 2 4 には、グリーンシート 2 4 の長手方向に分離された複数の内部電極パターン 2 3 を形成することができる。内部電極用導電ペーストは、内部電極層 3 A、3 B の材料として用いられる金属の粉末を含む。例えば、内部電極層 3 A、3 B の材料として用いられる金属が Ni の場合、内部電極用導電ペーストは、Ni の粉末を含む。また、内部電極用導電ペーストは、バインダと、溶剤と、必要に応じて助剤とを含む。内部電極用導電ペーストは、共材として、誘電体層 4 の主成分であるセラミック材料を含んでもよい。内部電極用導電ペーストの塗布には、スクリーン印刷法、インクジェット印刷法またはグラビア印刷法などを用いることができる。

30

【 0 0 6 1 】

次に、図 3 の S 4 および図 4 C に示すように、内部電極パターン 2 3 が形成されたグリーンシート 2 4 と、内部電極パターン 2 3 が形成されていない外層用のグリーンシート 2 5 A、2 5 B を所定の順序で複数枚数だけ積み重ねた積層ブロックを作製する。外層用のグリーンシート 2 5 A、2 5 B の厚みは、内部電極パターン 2 3 が形成されたグリーンシート 2 4 の厚みより大きい。このとき、積層方向に隣接するグリーンシート 2 4 の内部電極パターン 2 3 A、2 3 B が、グリーンシート 2 4 の長手方向に交互にずらされるように積み重ねる。また、内部電極パターン 2 3 A のみが積層方向に積み重ねられる部分と、内部電極パターン 2 3 A、2 3 B が積層方向に交互に積み重ねられる部分と、内部電極パターン 2 3 B のみが積層方向に積み重ねられる部分とができるようにする。

40

【 0 0 6 2 】

次に、図 3 の S 5 および図 4 D に示すように、図 3 の S 4 の成型工程で得られた積層ブロックをプレスし、グリーンシート 2 4、2 5 A、2 5 B を圧着する。積層ブロックをプレスする方法として、例えば、積層ブロックを樹脂フィルムで挟み、静水圧プレスする方法などを用いることができる。

【 0 0 6 3 】

50

次に、図3のS6および図4Eに示すように、プレスされた積層ブロックを切断し、直方体形状の素体に個片化する。積層ブロックの切断は、内部電極パターン23Aのみが積層方向に積み重ねられる部分と、内部電極パターン23Bのみが積層方向に積み重ねられる部分で行う。積層ブロックの切断には、例えば、ブレードダイシングなどの方法を用いることができる。

【0064】

このとき、図4Fに示すように、個片化された素体2'には、誘電体層4を介して交互に積層された内部電極層3A、3Bが形成されるとともに、最下層および最上層にカバー層5A、5Bが形成される。内部電極層3Aは、素体2'の一方の側面で誘電体層4の表面から引き出され、内部電極層3Bは、素体2'の他方の側面で誘電体層4の表面から引き出される。なお、図4Fでは、図4Eの個片化された1つの素体を長さ方向に拡大して示した。

10

【0065】

次に、図3のS7に示すように、図3のS6で個片化された素体2'に含まれるバインダを除去する。バインダの除去では、例えば、約350℃のN₂雰囲気中で素体2'を加熱する。

【0066】

次に、図3のS8および図4Gに示すように、素体2'の面取りを行うことにより、素体2'の下面側および上面側の角部に曲面RDが設けられた素体2'を形成する。素体2'の面取りは、例えば、バレル研磨を用いることができる。このとき、素体2'の下面側および上面側の角部の曲面RDの曲率半径CDは互いに等しくなる。

20

【0067】

次に、図3のS9に示すように、図3のS8で面取りされた素体2'の両側面と、各側面の周面の4つの面（上面、下面、前面および後面）に下地層用導電ペーストを塗布して乾燥させる。下地層用導電ペーストの塗布には、例えば、ディッピング法を用いることができる。下地層用導電ペーストは、下地層7の導電性材料として用いられる金属の粉末またはフィラーを含む。例えば、下地層7の導電性材料として用いられる金属がNiの場合、下地層用導電ペーストは、Niの粉末またはフィラーを含む。また、下地層用導電ペーストは、共材として、例えば、誘電体層4の主成分であるセラミック成分を含む。例えば、下地層用導電ペーストには、共材として、チタン酸バリウムを主成分とする酸化物セラミックの粒子（例えば、D50粒子径で0.8μm～4μm）が混入される。また、下地層用導電ペーストは、バインダと、溶剤とを含む。このとき、素体2'に塗布された下地層用導電ペーストの厚みは、下地層用導電ペーストの端部を除いて均一化することができる。なお、積層セラミックコンデンサ1Aの実装時のはんだ等の導電材料との密着性を改善するための電極面積拡大を目的として、下地層用導電ペーストをディッピング法で塗布した後、下地層用導電ペーストに重ねて、スパッタ等の手法で第2下地層用導電膜を形成してもよい。第2下地層用導電膜の材料は、例えば、CuまたはNiなどである。

30

【0068】

次に、図3のS10および図4Hに示すように、図3のS9で下地層用導電ペーストが塗布された素体2'を焼成し、内部電極層3A、3Bと誘電体層4を一体化するとともに、素体2'に一体化された下地層7を形成する。素体2'および下地層用導電ペーストの焼成は、例えば、焼成炉にて1000～1400℃で10分～2時間だけ行う。内部電極層3A、3BにNiまたはCuなどの卑金属を使用している場合は、内部電極層3A、3Bの酸化を防止するため、焼成炉内を還元雰囲気にして焼成することができる。

40

【0069】

次に、図3のS11および図4Iに示すように、素体2'の上面側の下地層7へのイオン衝撃に基づいて、素体2'の上面側の下地層7を選択的に除去するとともに、素体2'の上面側の角部の曲面RD上の下地層7を後退させる。ここで、素体2'の曲面RDの曲率半径CDと同等以上だけ素体2'の上面から下地層7の境界の位置を低くしてもよい。例えば、素体2'の上面側の下地層7が除去されるまでのイオンミリング時間を調整する

50

ことにより、素体 2' の曲面 R D の曲率半径 C D と同等分だけ下地層 7 の境界の位置を低くすることができる。このとき、素体 2' の上面側の角部の曲面 R D にもイオン衝撃が加わることで、素体 2' の上面側の角部の曲面 R D の形状が変化した曲面 R U を有する素体 2 が形成される。

【0070】

ここで、素体 2' の上面側の角部に曲面 R D を形成することにより、素体 2' の上面側の下地層 7 にイオン衝撃を与える際に、曲面 R D 上の下地層 7 にも効果的にイオン衝撃を及ぼすことができ、下地層 7 の境界の位置を効率よく低くすることができる。

【0071】

下地層 7 へイオン衝撃を与える方法は、イオンミリングであってもよいし、異方性ドライエッチングであってもよい。なお、素体 2 の上面側の下地層 7 の間の領域にイオン衝撃が加わるのを防止するため、素体 2 の上面側の下地層 7 の間の領域をマスクで覆った状態でイオン衝撃を与えるようにしてもよい。このマスクは、素体 2 の上面側の下地層 7 の間の上方に離間して設置されたハードマスクであってもよいし、素体 2 の上面側の下地層 7 の間に塗布されたレジスト膜であってもよい。また、素体 2 の上面側の下地層 7 の除去は、下地層用導電ペーストが塗布された素体 2 の焼成後に実施してもよいが、下地層用導電ペーストが塗布された素体 2 の焼成前に実施してもよい。

【0072】

なお、図 4 J に示すように、素体 2' の上面側の下地層 7 を選択的に除去する際に、素体 2 の上面側の下地層 7 の間の領域が厚み T 3 だけ除去された素体 2 B を形成するようにしてもよい。誘電体層 4 にチタン酸バリウム、下地層 7 に共材を含む N i などを用いた場合、厚み T 3 は、焼成前に下地層 7 を除去すれば $1/1.12 \times D1$ 、焼成後に下地層 7 を除去すれば $1/1.32 \times D1$ 程度である。このため、焼成後の下地層 7 を除去する方が素体 2' の削れる量が小さく、積層セラミックコンデンサ 1 A の強度に与える影響が小さい。下地層 7 の厚み D 1 が $3 \mu m$ 以上 $6 \mu m$ 以下の場合、厚み T 3 は、 $2.2 \mu m$ 以上 $5.3 \mu m$ 以下であり、小さいほど積層体 2 A と内部電極層 3 A、3 B の積層体 2 A の厚みが確保され、積層セラミックコンデンサ 1 A の強度に与える影響が小さくなる。

【0073】

次に、図 3 の S 1 2 および図 4 K に示すように、下地層 7 上にめっき層 9 を形成する。めっき層 9 の形成では、例えば、C u めっき、N i めっきおよび S n めっきを順次行うことができる。このとき、下地層 7 が形成された素体 2 を、めっき液とともにバレルに収容し、バレルを回転させつつ通電することにより、めっき層 9 を形成することができる。このとき、めっき層 9 は、素体 2 の上面から突出しないようにして下地層 7 を覆うことができる。

【0074】

(第 2 実施形態)

図 5 A から図 5 C は、第 2 実施形態に係る積層セラミックコンデンサの製造方法を示す断面図である。なお、本実施形態では、図 5 C の素体 2 C の厚みは、図 4 K の素体 2 の厚みより小さい。このとき、図 5 C の素体 2 C の厚みは、 $50 \mu m$ 以下に設定することができる。

【0075】

本実施形態においても、図 3 の S 1 ~ S 9 と同様に処理する。このとき、図 3 の S 9 において、素体 2 C' の両側面と、各側面の周面の 4 つの面（上面、下面、前面および後面）に下地層用導電ペーストを塗布すると、下地層用導電ペーストは、その表面張力によって、素体 2 C' の平坦面の形状に追従するが、素体 2 C' の曲面 R D の形状には追従できず、曲面 R D の位置での厚みが薄くなる。

【0076】

次に、図 3 の S 1 0 および図 5 A に示すように、図 3 の S 9 で下地層用導電ペーストが塗布された素体 2 C' を焼成し、内部電極層 3 A、3 B と誘電体層 4 を一体化するとともに、素体 2 C' に一体化された下地層 7 C を形成する。このとき、図 3 の S 9 で塗布され

10

20

30

40

50

た下地層用導電ペーストの形状が反映されることで、素体 2 C' の曲面 R D 上の下地層 7 C の厚み D 1' は、素体 2 C' の平坦面上の下地層 7 C の厚み D 1 より小さくなる。

【 0 0 7 7 】

次に、図 3 の S 1 1 および図 5 B に示すように、素体 2 C' の上面側の下地層 7 C へのイオン衝撃に基づいて、素体 2 C' の上面側の下地層 7 C を選択的に除去するとともに、素体 2 C' の上面側の角部の曲面 R D 上の下地層 7 C を後退させる。ここで、素体 2 C' の曲面 R D の曲率半径 C D と同等以上だけ素体 2 C' の上面から下地層 7 C の境界の位置を低くしてもよい。

【 0 0 7 8 】

このとき、素体 2 C' の上面側の角部の曲面 R D にもイオン衝撃が加わることで、素体 2 C' の上面側の角部の曲面 R D の形状が変化した素体 2 C が形成される。この素体 2 C の上面側の角部の曲面 R E の形状は、素体 2 C の下面側の角部の曲面 R D の形状と異なる。この場合、素体 2 C の上面側の角部の曲面 R E の曲率半径 C E は、素体 2 C の下面側の角部の曲面 R D の曲率半径 C D と異なってもよい。このとき、素体 2 C の上面からの下地層 7 C の境界の位置は、素体 2 C の上面から $C E + D 1 - D 1'$ だけ低くてもよい。また、素体 2 C の上面側の角部の曲面 R E は変曲点を有してもよい。曲面 R E の変曲点は、素体 2 C' の上面の下地層 7 C を除去する前の下地層 7 C の厚みが D 1' の位置に形成されてもよい。

【 0 0 7 9 】

ここで、素体 2 C' の曲面 R D 上の下地層 7 C の厚み D 1' を素体 2 C' の平坦面上の下地層 7 C の厚み D 1 より小さくすることにより、素体 2 C' の上面側の下地層 7 C を除去する際に、曲面 R D 上の下地層 7 C を効率よく除去することができる。

【 0 0 8 0 】

次に、図 3 の S 1 2 および図 5 C に示すように、下地層 7 C 上にめっき層 9 C を形成する。これにより、素体 2 C の側面に外部電極 6 A'、6 B' が設けられた積層セラミックコンデンサ 1 C が形成される。めっき層 9 C の形成では、例えば、Cu めっき、Ni めっきおよび Sn めっきを順次行うことができる。このとき、下地層 7 C が形成された素体 2 C を、めっき液とともにバレルに収容し、バレルを回転させつつ通電することにより、めっき層 9 C を形成することができる。このとき、めっき層 9 C は、素体 2 C の上面から突出しないようにして下地層 7 C を覆うことができる。ここで、めっき層 9 C の厚み T M は、 $C E + D 1 - D 1' - T M > 0$ という条件を満たすことが好ましい。これにより、外部電極 6 A'、6 B' が素体 2 C の上面側に突出しないようにすることができ、積層セラミックコンデンサ 1 C の低背化を図ることができる。

【 0 0 8 1 】

(第 3 実施形態)

図 6 は、第 3 実施形態に係る積層セラミックコンデンサが実装された実装基板の構成例を示す断面図である。

図 6 において、実装基板 4 1 の裏面側には、ランド電極 4 2 A、4 2 B、4 4 A、4 4 B が形成されている。積層セラミックコンデンサ 1 A は、各外部電極 6 A、6 B のめっき層 9 にそれぞれ付着されたはんだ層 4 3 A、4 3 B を介してランド電極 4 2 A、4 2 B に接続される。このとき、各はんだ層 4 3 A、4 3 B は、素体 2 の上面から離れた状態で各外部電極 6 A、6 B の側面へ濡れ上がる。このとき、各はんだ層 4 3 A、4 3 B は、素体 2 の上面よりも低い位置に保たれる。実装基板 4 1 の裏面側のランド電極 4 4 A、4 4 B 上には、はんだボール 4 7 A、4 7 B が形成される。

【 0 0 8 2 】

一方、実装基板 4 1 の表面側には、不図示の半導体チップが実装される。この半導体チップは、マイクロプロセッサであってもよいし、半導体メモリであってもよいし、F P G A (F i e l d - P r o g r a m m a b l e G a t e A r r a y) であってもよいし、A S I C (A p p l i c a t i o n S p e c i f i c I n t e g r a t e d C i r c u i t) であってもよい。

10

20

30

40

50

【 0 0 8 3 】

実装基板 4 5 の裏面側には、ランド電極 4 6 A、4 6 B が形成されている。実装基板 4 1、4 5 は、はんだボール 4 7 A、4 7 B を介して互いに接続される。実装基板 4 5 は、実装基板 4 1 が実装されるマザーボードとして用いることができる。

【 0 0 8 4 】

実装基板 4 1、4 5 の間は、はんだボール 4 7 A、4 7 B を介して一定の間に維持される。このとき、実装基板 4 1、4 5 の間には、積層セラミックコンデンサ 1 A を封止する樹脂 4 8 が設けられる。この樹脂 4 8 は、例えば、エポキシ樹脂である。この樹脂 4 8 は、はんだボール 4 7 A、4 7 B を介して実装基板 4 1、4 5 が互いに接続された後、実装基板 4 1、4 5 の間に注入し、硬化させてもよい。このとき、樹脂 4 8 は、積層セラミックコンデンサ 1 A、はんだ層 4 3 A、4 3 B およびはんだボール 4 7 A、4 7 B を覆い、素体 2 の上面に密着する。

10

【 0 0 8 5 】

ここで、素体 2 の上面の表面粗さを素体 2 の下面の表面粗さより大きくすることにより、素体 2 の上面と樹脂 4 8 との密着性を向上させることができる。このため、素体 2 の上面と樹脂 4 8 との間に水分が侵入可能な隙間ができるのを防止することができ、樹脂 4 8 で封止された積層セラミックコンデンサ 1 A の信頼性を向上させることができる。

【 0 0 8 6 】

また、実装基板 4 1 の裏面側に積層セラミックコンデンサ 1 A を実装することにより、実装基板 4 1 の表面側に実装される半導体チップの裏面側に積層セラミックコンデンサ 1 A を配置することができる。このため、実装基板 4 1 の表面側に実装される半導体チップに近接させて積層セラミックコンデンサ 1 A を実装することが可能となり、半導体チップに加わるノイズを効果的に除去することが可能となる。

20

【 0 0 8 7 】

また、積層セラミックコンデンサ 1 A の高さを $150\ \mu\text{m}$ 以下とすることにより、はんだボール 4 7 A、4 7 B を介して互いに接続された実装基板 4 1、4 5 間の隙間に積層セラミックコンデンサ 1 A を収容することができ、実装基板 4 1 の表面側に配置される半導体チップの裏面側に積層セラミックコンデンサ 1 A を配置することができる。

【 0 0 8 8 】

また、素体 2 の上面の下地層 7 を除去するとともに、めっき層 9 の厚みと同等以上だけ素体 2 の側面の下地層 7 を後退させることにより、素体 2 の上面にめっき層 9 が形成されるのを防止することができる。このため、はんだ層 4 3 A、4 3 B がめっき層 9 を介して積層セラミックコンデンサ 1 A の上面に這い上がるのを抑制することが可能となり、はんだボール 4 7 A、4 7 B を介して互いに接続された実装基板 4 1、4 5 間の隙間に積層セラミックコンデンサ 1 A を実装することが可能となる。

30

【 0 0 8 9 】

(第 4 実施形態)

図 7 は、第 4 実施形態に係るセラミック電子部品の構成例を示す斜視図である。なお、図 7 では、セラミック電子部品としてチップインダクタを例にとった。

図 7 において、チップインダクタ 6 1 は、素体 6 2 および外部電極 6 6 A、6 6 B を備える。素体 6 2 は、コイルパターン 6 3、内部電極層 6 3 A、6 3 B および磁性体材料 6 4 を備える。磁性体材料 6 4 は、内部電極層 6 3 A、6 3 B を絶縁する誘電体としても用いられる。素体 6 2 の形状は、略直方体形状とすることができる。外部電極 6 6 A、6 6 B は、素体 6 2 上に形成された下地層と、下地層上に形成されためっき層を備える。下地層は、金属が混在された共材を含んでもよい。共材は、例えば、磁性体材料 6 4 の主成分であるフェライト成分である。

40

【 0 0 9 0 】

素体 6 2 は、素体 6 2 の稜線に沿って面取りされる。このとき、素体 6 2 の下面側と側面側の間の角部には、曲面 R D I が設けられる。また、素体 6 2 の下面側と対向する上面側と側面側の間の角部には、曲面 R U I が設けられる。ここで、素体 6 2 の下面側の角部

50

の曲面 R D I の形状と、素体 6 2 の上面側の角部の曲面 R U I の形状は、互いに異なる。このとき、素体 6 2 の上面側の角部の曲面 R U I の曲率半径は、素体 6 2 の下面側の角部の曲面 R D I の曲率半径と異なってもよい。

【 0 0 9 1 】

また、素体 6 2 の上面は、端部領域 S 4 A、S 4 B および中間領域 S 5 を備える。端部領域 S 5 A、S 5 B は、素体 6 2 の長さ方向 D L における素体 6 2 の上面の端部に位置する領域である。端部領域 S 4 A、S 4 B は、素体 6 2 の下面側の外部電極 6 6 A、6 6 B の下地層と対向する位置に設けることができる。端部領域 S 4 A、S 4 B は、素体 6 2 の上面側の外部電極 6 6 A、6 6 B の下地層を除去することで形成される。中間領域 S 5 は、端部領域 S 4 A、S 4 B の間に位置する領域である。

10

【 0 0 9 2 】

端部領域 S 4 A、S 4 B の素体 6 2 の表面粗さは、中間領域 S 5 の素体 6 2 の表面粗さより大きい。中間領域 S 5 の表面粗さは、素体 6 2 の下面側の下面領域 S 6 の表面粗さよりも大きい。下面領域 S 6 は、素体 6 2 の下面上の外部電極 6 6 A、6 6 B の下地層の間の領域である。中間領域 S 5 は、素体 6 2 の上面側の下地層を除去するときにイオン衝撃を受ける。下面領域 S 6 は、素体 6 2 の上面側の下地層を除去するときにイオン衝撃を受けない。

【 0 0 9 3 】

コイルパターン 6 3 および内部電極層 6 3 A、6 3 B は、磁性体材料 6 4 にて覆われている。ただし、内部電極層 6 3 A の端部は、素体 6 2 の一方の側面側で磁性体材料 6 4 から引き出され、外部電極 6 6 A に接続される。内部電極層 6 3 B の端部は、素体 6 2 の他方の側面側で磁性体材料 6 4 から引き出され、外部電極 6 6 B に接続される。

20

【 0 0 9 4 】

コイルパターン 6 3 および内部電極層 6 3 A、6 3 B の材料は、例えば、Cu、Ni、Ti、Ag、Au、Pt、Pd、Ta および W などの金属から選択することができ、これらの金属を含む合金であってもよい。磁性体材料 6 4 は、例えば、フェライトである。

【 0 0 9 5 】

外部電極 6 6 A、6 6 B は、素体 6 2 の長さ方向 D L に互いに分離された状態で素体 6 2 の互いに対向する側面に位置する。各外部電極 6 6 A、6 6 B は、素体 6 2 の各側面から前後面および下面にかけて形成されている。ここで、各外部電極 6 6 A、6 6 B は、素体 6 2 の上面から離れた位置に形成される。この場合、各外部電極 6 6 A、6 6 B は、素体 6 2 の上面側より低い位置に形成される。このとき、各外部電極 6 6 A、6 6 B は、素体 6 2 の下面側から曲面 R D I を介して下面に垂直に接続する側面に掛けて連続的に形成され、素体 6 2 の上面側には形成されない。各外部電極 6 6 A、6 6 B は、素体 6 2 の下面および側面の双方に垂直な互いに対向する前面および後面にも形成されてもよい。また、素体 6 2 の上面側において、各外部電極 6 6 A、6 6 B の境界は、素体 6 2 の曲面 R U I 上に位置する。素体 6 2 の下面側において、素体 6 2 の曲面 R D I は各外部電極 6 6 A、6 6 B で覆われる。各外部電極 6 6 A、6 6 B の厚みは、例えば、10 ~ 40 μm である。

30

【 0 0 9 6 】

なお、チップインダクタ 6 1 の外形サイズは、一例として、長さ > 幅 > 高さであってもよく、または長さ > 幅 = 高さであってもよい。このとき、チップインダクタ 6 1 の低背化を図るため、チップインダクタ 6 1 の高さは、150 μm 以下であることが好ましい。

40

【 0 0 9 7 】

(実施例)

実施例として、図 5 C の素体 2 C の厚み T 1 が 50 μm である背積層セラミックコンデンサ 1 C を作製した。このとき、下カバー層 5 A および上カバー層 5 B の厚みはそれぞれ 10 μm とした。ここで、図 5 A の素体 2 C ' には、パレル研磨によって曲率半径 C D が 4 μm の曲面 R D を形成した。そして、ディッピング法によって素体 2 C ' の両側面と、各側面の周面の 4 つの面 (上面、下面、前面および後面) に下地層用導電ペーストを塗布

50

し焼成することで、素体 2 C' に一体化された下地層 7 C を形成した。

【0098】

下地層 7 C の厚み D 1 は、素体 2 C' の両側面と、各側面の周面の 4 つの面に下地層用導電ペーストが十分濡れ広がり、かつイオン衝撃によって下地層 7 C が効率よく除去できるように 3 μm とした。

【0099】

素体 2 C の厚みが 50 μm 以下の場合、表面張力によって下地層用導電ペーストは素体 2 C' の両側面と、各側面の周面の 4 つの面に優先して濡れ広がり、素体 2 C' の曲面 R D 上の厚みが薄くなる。本実施例では、素体 2 C' の両側面と、各側面の周面の 4 つの面上の厚み d 1 は 3 μm 、素体 2 C' の曲面 R D 上の厚み d 1' は 2 μm だった。このとき、素体 2 C' の曲面 R D 上では、イオンミリングにより下地層 7 C を効率よく除去することができる。

10

【0100】

次に、Ar (アルゴン) などを用いたイオンミリングによって素体 2 C' の上面の下地層 7 C を選択的に除去した。このとき、素体 2 C' の上面の下地層 7 C が厚み D 1 分だけ除去されるようにイオンミリングの処理時間を調整することで、下地層 7 C の高さは、素体 2 C の上面に対して $CE + D 1 - D 1'$ だけ低くすることができる。本実施例では、 $RE = 4 \mu\text{m}$ 、 $D 1 = 3 \mu\text{m}$ 、 $D 1' = 2 \mu\text{m}$ となり、下地層 7 C の高さは、素体 2 C の上面に対して 5 μm だけ低くなった。なお、素体 2 C の上面側の下地層 7 C が除去されている場合、D 1' は、素体 2 C の下面側の下地層 7 C で判断することができる。

20

【0101】

素体 2 C' の曲面 R D 上の下地層 7 C の厚み D 1' は、素体 2 C' の上面の下地層 7 C の厚み D 1 と比べて小さいため、下地層 7 C が厚み D 1 分だけ除去されるようにイオンミリングを行うと、素体 2 C' の曲面 R D もイオンミリングされ、カバー層 5 B の一部が除去される。このため、素体 2 C' の曲面 R D の形状が変化した曲面 R E が素体 2 C の角部に形成される。

【0102】

次に、めっき工程によって、下地層 7 C 上にめっき層 9 C を形成し、外部電極 6 A'、6 B' を形成した。このとき、外部電極 6 A'、6 B' の高さは、素体 2 C の上面から $CE + D 1 - D 1' - TM$ だけ低くなる。めっき層 9 C の厚み TM は、外部電極 6 A'、6 B' が素体 2 C の上面側に突出しないように、 $CE + D 1 - D 1' - TM > 0$ という条件を満たすのが好ましく、本実施例では、めっき層 9 C の厚み TM は 1 μm とした。

30

【0103】

本実施例では、 $CE = 4 \mu\text{m}$ 、 $D 1 = 3 \mu\text{m}$ 、 $D 1' = 2 \mu\text{m}$ 、 $TM = 1 \mu\text{m}$ なので、外部電極 6 A'、6 B' の高さは、素体 2 C の上面から 4 μm だけ低くなる。このため、外部電極 6 A'、6 B' が素体 2 C の上面側に突出することではなく、低背化された積層セラミックコンデンサ 1 C を製造できた。

【0104】

この積層セラミックコンデンサ 1 C について、素体 2 C の上面の表面粗さを評価した。

図 8 A は、実施例に係る素体の上面のイオンミリング前の下地層の表面粗さの評価領域の一例を示す平面図、図 9 A は、実施例に係る素体の上面のイオンミリング前の下地層の表面粗さの評価領域のその他の例を示す平面図、図 8 B は、実施例に係る素体の上面の下地層のイオンミリング後の表面粗さの評価領域の一例を示す平面図、図 9 B は、実施例に係る素体の上面の下地層のイオンミリング後の表面粗さの評価領域のその他の例を示す平面図である。なお、図 8 A および図 8 B では、評価領域のサイズは、50 $\mu\text{m} \times 50 \mu\text{m}$ とした。図 9 A および図 9 B では、評価領域のサイズは、素体上で可能な限り大きくした。

40

【0105】

図 8 A において、素体 2 C' の上面の下地層 7 C のイオンミリング前に、下地層 7 C 上に評価領域 E A 1 を設定し、素体 2 C' の上面に評価領域 E A 2 を設定した。このとき、評価領域 E A 1 の表面粗さ S a は 0.280 μm 、評価領域 E A 2 の表面粗さ S a は 0.

50

0.38 μm だった。

【0106】

また、図9Aにおいて、素体2C'の上面の下地層7Cのイオンミリング前に、下地層7C上に評価領域EC1を設定し、素体2C'の上面に評価領域EC2を設定した。このとき、評価領域EC1の表面粗さSaは0.293 μm 、評価領域EC2の表面粗さSaは0.062 μm だった。

【0107】

なお、素体2Cの上面のイオンミリング前の表面粗さは、素体2Cの上面の下地層7Cのイオンミリング後の素体2Cの下面の表面粗さとはほぼ等しい。このため、実際には、素体2Cの上面のイオンミリング前の表面粗さは、素体2Cの上面の下地層7Cのイオンミリング後の素体2Cの下面の表面粗さで評価した。

10

【0108】

次に、図8Bにおいて、イオンミリングにより素体2C'の上面の下地層7Cを除去した。このとき、下地層7Cが除去された素体2C上には、下地跡2Eが形成される。そして、素体2Cの下地跡2E上に評価領域EB1を設定し、下地跡2Eの間の素体2C上に評価領域EB2を設定した。このとき、評価領域EB1の表面粗さSaは0.385 μm 、評価領域EB2の表面粗さSaは0.086 μm だった。

【0109】

また、図9Bにおいて、素体2Cの下地跡2E上に評価領域ED1を設定し、下地跡2Eの間の素体2C上に評価領域ED2を設定した。このとき、評価領域ED1の表面粗さSaは0.382 μm 、評価領域ED2の表面粗さSaは0.102 μm だった。

20

【0110】

以上の結果より、評価領域のサイズによって表面粗さSaにバラツキがあるが、下地跡2E上の表面粗さSaは、下地跡2Eの間の素体2C上の表面粗さSaの2倍以上であることが確認できた。また、素体2Cの上面側と下面側で表面粗さSaに0.04 μm 以上0.05 μm 以下の差があることが確認できた。

【0111】

なお、素体2Cの上面のイオンミリング前の下地層7Cの表面粗さは、素体2Cの上面の下地層7Cのイオンミリング後の素体2Cの下面の下地層7Cの表面粗さで評価してもよいし、素体2Cの上面のイオンミリング前の表面粗さは、素体2Cの上面の下地層7Cのイオンミリング後の素体2Cの下面の表面粗さで評価してもよい。

30

【0112】

図10Aは、実施例に係る積層セラミックコンデンサの素体の端部領域の表面粗さの観察例を示す平面図、図10Bは、実施例に係る積層セラミックコンデンサの素体の中間領域の表面粗さの観察例を示す平面図である。なお、素体の表面粗さの観察には、例えば、レーザ顕微鏡を用いることができる。

【0113】

図10Aにおいて、積層セラミックコンデンサ1Cの素体2Cの上面側では、端部領域Z1の表面粗さは、中間領域Z2の表面粗さより粗いことが確認できた。なお、端部領域Z1は、例えば、図8Bの評価領域EB1、中間領域Z2は、例えば、図8Bの評価領域EB2である。

40

【0114】

素体の表面粗さの評価には、例えば、レーザ顕微鏡による素体表面の画像を用いるようにしてもよい。素体表面の画像を用いて表面粗さを定量的に評価する場合、例えば、学習段階において、予め測定した表面粗さSaと画像とのデータセットをニューラルネットワークに学習させた学習済モデルを生成してもよい。そして、推論段階において、その学習済モデルに画像を入力した時の表面粗さSaを出力とすることで、素体表面の画像を用いて表面粗さを定量的に評価することができる。

【符号の説明】

【0115】

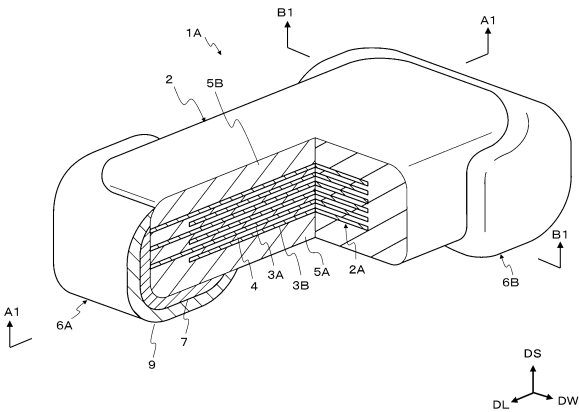
50

- 1 積層セラミックコンデンサ
- 2 素体
- 2 A 積層体
- 3 A、3 B 内部電極層
- 4 誘電体層
- 5 A、5 B カバー層
- 6 A、6 B 外部電極
- 7 下地層
- 9 めっき層

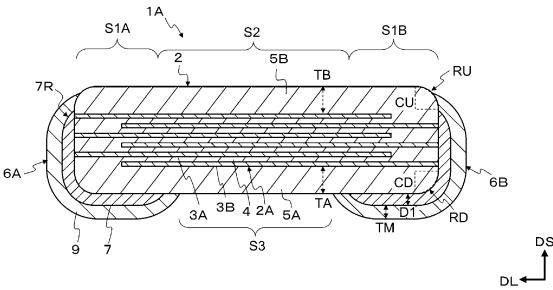
【図面】

10

【図 1】

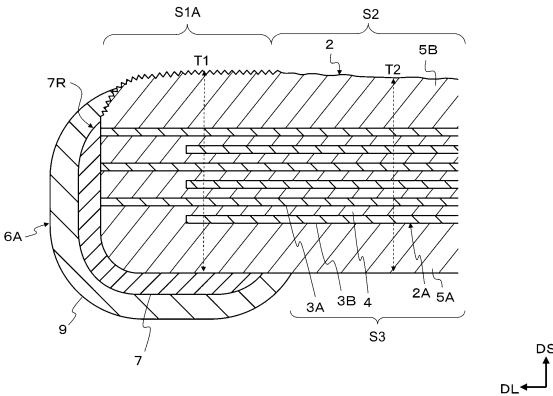


【図 2 A】

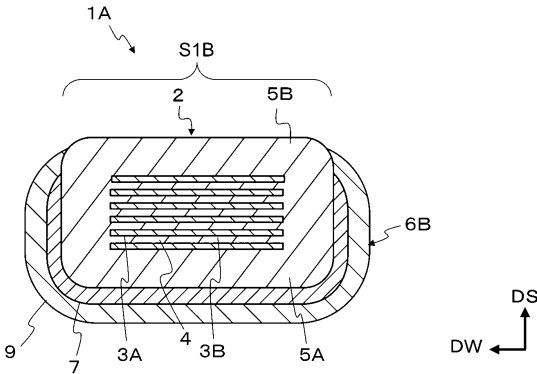


20

【図 2 B】



【図 2 C】

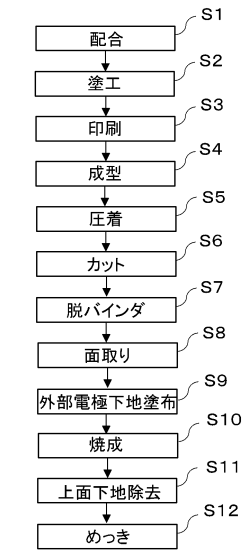


30

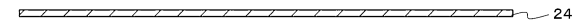
40

50

【図 3】

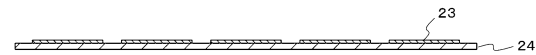


【図 4 A】

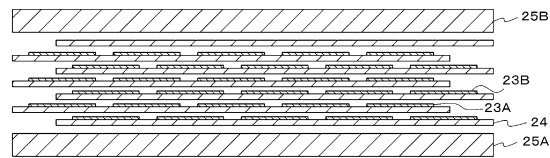


10

【図 4 B】

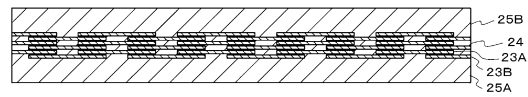


【図 4 C】

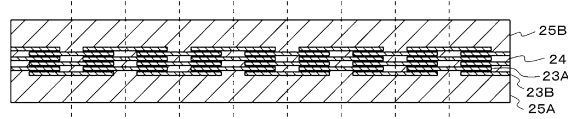


20

【図 4 D】



【図 4 E】

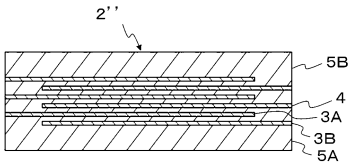


30

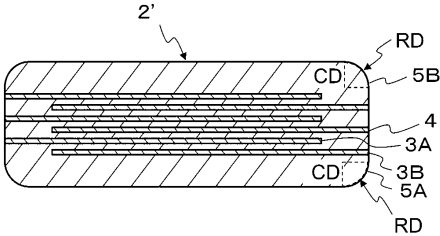
40

50

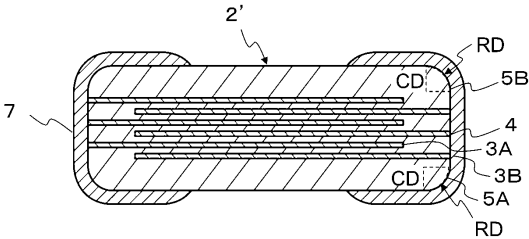
【図 4 F】



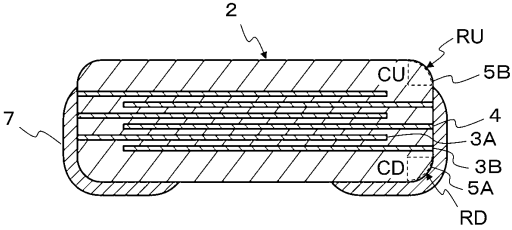
【図 4 G】



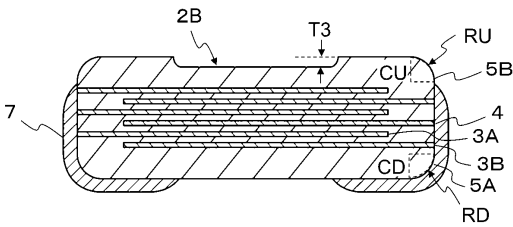
【図 4 H】



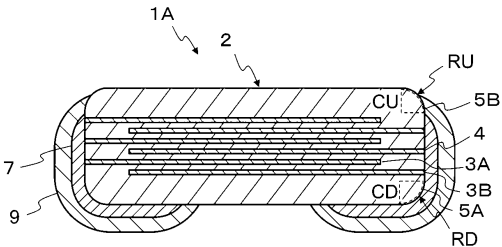
【図 4 I】



【図 4 J】



【図 4 K】



10

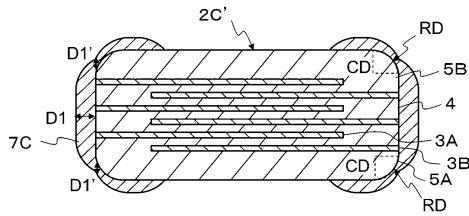
20

30

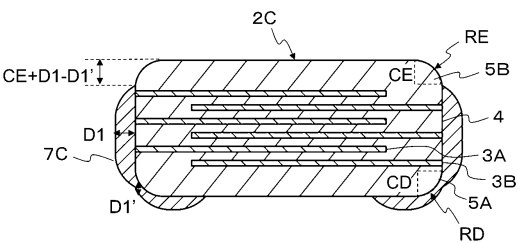
40

50

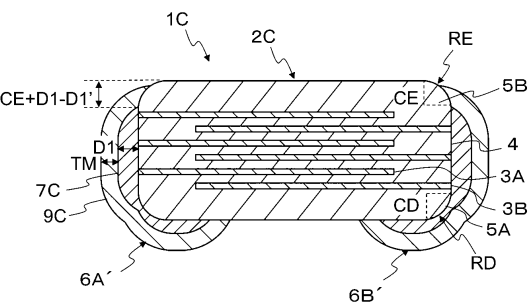
【図 5 A】



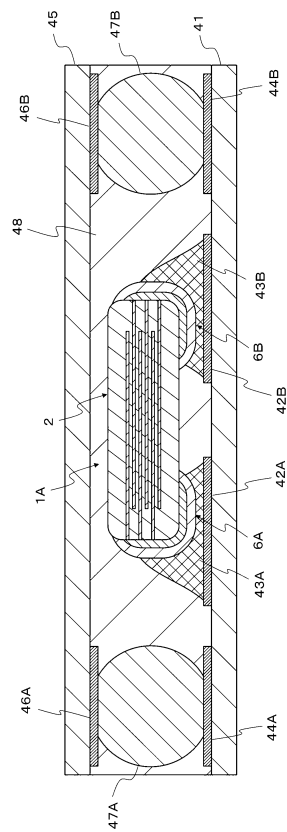
【図 5 B】



【図 5 C】



【図 6】



10

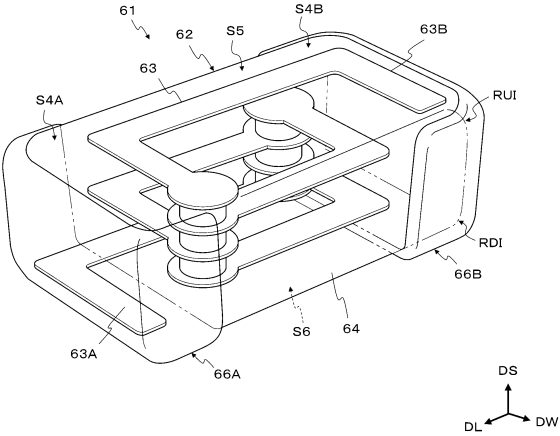
20

30

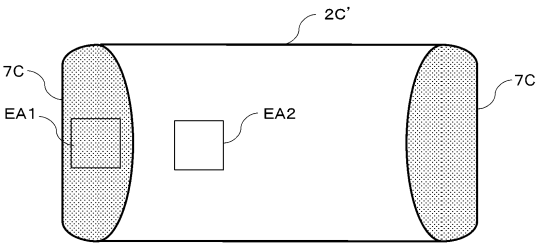
40

50

【図 7】

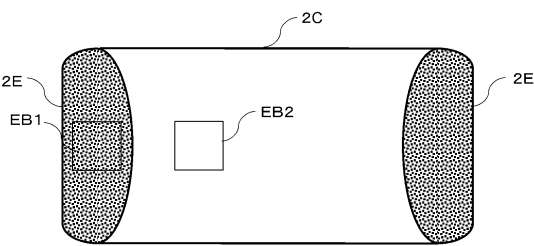


【図 8 A】

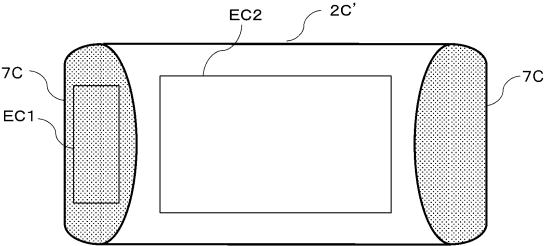


10

【図 8 B】

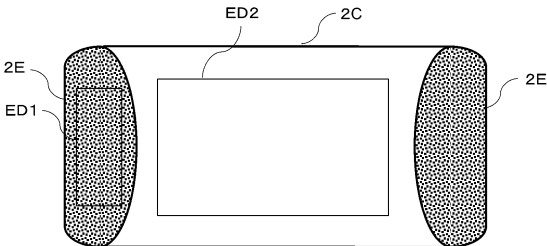


【図 9 A】

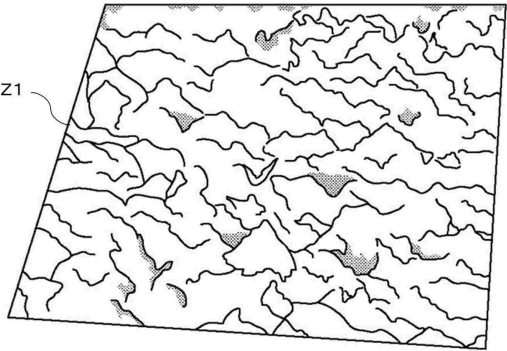


20

【図 9 B】



【図 10 A】

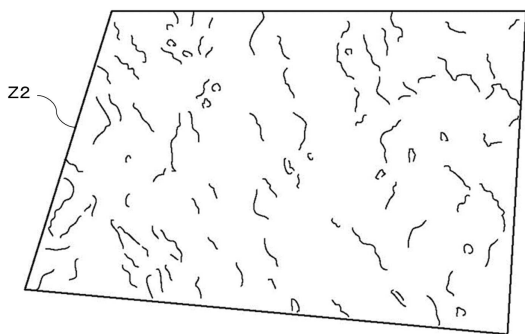


30

40

50

【図 10 B】



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
	H 0 1 G	2/06	5 0 0
	H 0 1 G	4/30	5 1 3
	H 0 1 G	4/30	5 1 2
	H 0 1 G	4/30	5 1 7
	H 0 5 K	1/18	J
	H 0 5 K	3/28	G

- (56)参考文献
- 特開 2 0 1 4 - 2 1 6 6 3 7 (J P , A)
 - 国際公開第 2 0 1 8 / 1 5 1 0 2 5 (W O , A 1)
 - 特開 2 0 0 3 - 0 1 7 3 2 4 (J P , A)
 - 特開 2 0 1 9 - 0 2 1 9 2 7 (J P , A)
 - 特開 2 0 1 8 - 1 2 1 0 1 0 (J P , A)
 - 特開 2 0 0 8 - 1 3 5 7 8 1 (J P , A)
 - 特開 2 0 0 4 - 1 7 9 5 6 9 (J P , A)

(58)調査した分野	(Int.Cl. , D B 名)
	H 0 1 G 4 / 3 0
	H 0 1 G 2 / 0 6
	H 0 5 K 1 / 1 8
	H 0 5 K 3 / 2 8