

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6140880号
(P6140880)

(45) 発行日 平成29年6月7日 (2017.6.7)

(24) 登録日 平成29年5月12日 (2017.5.12)

(51) Int. Cl.

F I

H O 1 L 29/786 (2006.01)
 G O 9 G 3/20 (2006.01)
 G O 9 G 3/36 (2006.01)
 G 1 1 C 19/28 (2006.01)

H O 1 L 29/78 6 1 4
 G O 9 G 3/20 6 2 2 B
 G O 9 G 3/20 6 2 2 E
 G O 9 G 3/20 6 7 0 J
 G O 9 G 3/36

請求項の数 5 (全 98 頁) 最終頁に続く

(21) 出願番号 特願2016-246287 (P2016-246287)
 (22) 出願日 平成28年12月20日 (2016.12.20)
 (62) 分割の表示 特願2016-24314 (P2016-24314)
 の分割
 原出願日 平成22年3月25日 (2010.3.25)
 (65) 公開番号 特開2017-97945 (P2017-97945A)
 (43) 公開日 平成29年6月1日 (2017.6.1)
 審査請求日 平成28年12月21日 (2016.12.21)
 (31) 優先権主張番号 特願2009-77201 (P2009-77201)
 (32) 優先日 平成21年3月26日 (2009.3.26)
 (33) 優先権主張国 日本国 (JP)

早期審査対象出願

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 梅崎 敦司
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 審査官 岩本 勉

最終頁に続く

(54) 【発明の名称】 シフトレジスタ及び半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 乃至第 3 のトランジスタを有し、
 前記第 1 乃至第 3 のトランジスタは、同じ極性であり、
 前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線と直接接続され、
 前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 の配線と直接接続され、
 前記第 3 のトランジスタのソース又はドレインの一方は、前記第 1 の配線と直接接続され、
 前記第 1 のトランジスタのソース又はドレインの他方は、第 2 の配線と直接接続され、
 前記第 2 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と直接接続され、
 前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と直接接続され、
 前記第 1 の配線には、クロック信号が入力されることを特徴とするシフトレジスタ。

【請求項 2】

第 1 乃至第 3 のトランジスタを有し、
 前記第 1 乃至第 3 のトランジスタは、同じ極性であり、
 前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線と直接接続され、
 前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 の配線と直接接続さ

10

20

れ、

前記第3のトランジスタのソース又はドレインの一方は、前記第1の配線と直接接続され、

前記第1のトランジスタのソース又はドレインの他方は、第2の配線と直接接続され、
前記第2のトランジスタのソース又はドレインの他方は、前記第2の配線と直接接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第2の配線と直接接続され、

前記第1の配線には、クロック信号が入力されることを特徴とする半導体装置。

【請求項3】

10

第1乃至第3のトランジスタを有し、

前記第1乃至第3のトランジスタは、同じ極性であり、

前記第1のトランジスタのソース又はドレインの一方は、第1の配線と直接接続され、
前記第2のトランジスタのソース又はドレインの一方は、前記第1の配線と直接接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第1の配線と直接接続され、

前記第1のトランジスタのソース又はドレインの他方は、第2の配線と直接接続され、
前記第2のトランジスタのソース又はドレインの他方は、前記第2の配線と直接接続され、

20

前記第3のトランジスタのソース又はドレインの他方は、前記第2の配線と直接接続され、

前記第1乃至第3のトランジスタのゲートは、互いに直接接続されておらず、

前記第1の配線には、クロック信号が入力されることを特徴とする半導体装置。

【請求項4】

第1乃至第3のトランジスタを有し、

前記第1乃至第3のトランジスタは、同じ極性であり、

前記第1のトランジスタのソース又はドレインの一方は、第1の配線と直接接続され、
前記第2のトランジスタのソース又はドレインの一方は、前記第1の配線と直接接続され、

30

前記第3のトランジスタのソース又はドレインの一方は、前記第1の配線と直接接続され、

前記第1のトランジスタのソース又はドレインの他方は、第2の配線と直接接続され、
前記第2のトランジスタのソース又はドレインの他方は、前記第2の配線と直接接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第2の配線と直接接続され、

前記第1乃至第3のトランジスタのゲートには、互いに異なる信号が入力され、

前記第1の配線には、クロック信号が入力されることを特徴とする半導体装置。

【請求項5】

40

第1乃至第3のトランジスタを有し、

前記第1乃至第3のトランジスタは、同じ極性であり、

前記第1のトランジスタのソース又はドレインの一方は、第1の配線と直接接続され、
前記第2のトランジスタのソース又はドレインの一方は、前記第1の配線と直接接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第1の配線と直接接続され、

前記第1のトランジスタのソース又はドレインの他方は、第2の配線と直接接続され、
前記第2のトランジスタのソース又はドレインの他方は、前記第2の配線と直接接続され、

50

前記第3のトランジスタのソース又はドレインの他方は、前記第2の配線と直接接続され、

前記第1乃至第3のトランジスタのゲートの電位は、互いに独立して制御され、

前記第1の配線には、クロック信号が入力されることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置、表示装置、液晶表示装置、発光装置、それらの駆動方法、又はそれらを生産する方法に関する。特に、画素部と同じ基板に形成される駆動回路を有する半導体装置、表示装置、液晶表示装置、発光装置、又はそれらの駆動方法に関する。または、当該半導体装置、当該表示装置、当該液晶表示装置、又は当該発光装置を有する電子機器に関する。

10

【背景技術】

【0002】

近年、表示装置は、液晶テレビなどの大型表示装置の増加から、活発に開発が進められている。特に、非単結晶半導体によって構成されるトランジスタを用いて、画素部と同じ基板にゲートドライバなどの駆動回路を構成する技術は、コストの低減、信頼性の向上に大きく貢献するため、活発に開発が進められている。

【0003】

非単結晶半導体によって構成されるトランジスタは、閾値電圧の変動、又は移動度の低下などの劣化を生じる。このトランジスタの劣化が進むと、駆動回路が動作しづらくなり、画像を表示できなくなるといった問題がある。そこで、特許文献1、特許文献2、及び非特許文献1には、フリップフロップの出力信号をロウレベルに維持する機能、又は出力信号をロウレベルに下げる機能を有するトランジスタ（以下、プルダウントランジスタともいう）の劣化を抑制することができるシフトレジスタが開示されている。これらの文献では、二つのプルダウントランジスタが用いられる。この二つのプルダウントランジスタは、フリップフロップの出力端子と、 V_{SS} （負電源電圧ともいう）が供給される配線との間に接続される。そして、一方のプルダウントランジスタと、他方のプルダウントランジスタとが交互にオン（オン状態ともいう）になる。こうすることによって、それぞれのプルダウントランジスタがオンになる時間が短くなるので、プルダウントランジスタの特性劣化を抑制することができる。

20

30

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2005-50502号公報

【特許文献2】特開2006-24350号公報

【非特許文献】

【0005】

【非特許文献1】Yong Ho Jang, et al., "Integrated Gate Driver Circuit Using a-Si TFT with Dual Pull-down Structure", Proceedings of The 11th International Display Workshops 2004, pp. 333-336

40

【発明の概要】

【発明が解決しようとする課題】

【0006】

従来の技術の構成において、出力信号をハイレベルに制御するためのトランジスタ（以下、プルアップトランジスタともいう）のゲートの電圧は、正電源電圧、又はクロック信号のハイレベルの電圧よりも高くなる場合がある。このために、プルアップトランジスタには、大きな電圧が印加される場合がある。又は、プルアップトランジスタのゲートと接続

50

されるトランジスタには、大きな電圧が印加される場合がある。又は、トランジスタが劣化しても、シフトレジスタが動作するように、トランジスタのチャネル幅は大きくなる場合がある。又は、トランジスタのチャネル幅が大きくなると、トランジスタのゲートと、ソース又はドレインとの間でショートしやすくなる場合がある。又は、トランジスタのチャネル幅が大きくなると、シフトレジスタを構成する各トランジスタでの寄生容量が増加してしまう場合がある。

【0007】

本発明の一態様は、トランジスタの特性劣化を抑制することを課題とする。又は、本発明の一態様は、トランジスタのチャネル幅を小さくすることを課題とする。特に、プルアップトランジスタの特性劣化の抑制、又はチャネル幅を小さくすることを課題とする。又は、本発明の一態様は、出力信号の振幅を大きくすることを課題とする。又は、本発明の一態様は、画素が有するトランジスタのオン時間を長くすることを課題とする。又は、本発明の一態様は、画素への書き込み不足を改善することを課題とする。又は、本発明の一態様は、出力信号の立ち下がり時間を短くすることを課題とする。又は、本発明の一態様は、出力信号の立ち上がり時間を短くすることを課題とする。又は、ある行に属する画素に、別の行に属する画素へのビデオ信号が書き込まれることを防止することを課題とする。又は、駆動回路の出力信号の立ち下がり時間のばらつきを低減することを課題とする。又は、各画素へのフィードスルーの影響を一定にすることを課題とする。又は、クロストークを低減することを課題とする。又は、本発明の一態様は、レイアウト面積を小さくすることを課題とする。又は、本発明の一態様は、表示装置の額縁を狭くすることを課題とする。又は、本発明の一態様は、表示装置を高精細にすることを課題とする。又は、本発明の一態様は、歩留まりを高くすることを課題とする。又は、本発明の一態様は、製造コストを低減することを課題とする。又は、本発明の一態様は、出力信号のなまりを低減することを課題とする。又は、本発明の一態様は、出力信号の遅延を低減することを課題とする。又は、本発明の一態様は、消費電力を低減することを課題とする。又は、本発明の一態様は、外部回路の電流能力を小さくすることを課題とする。又は、本発明の一態様は、外部回路のサイズ、又は当該外部回路を有する表示装置のサイズを小さくすることを課題とする。なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これら課題の全てを解決する必要はないものとする。

【課題を解決するための手段】

【0008】

本発明の一態様は、第1の信号が入力され、第2の信号を出力する駆動回路と、液晶素子を有し、第2の信号に応じて液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方に第1の信号が入力される第1のトランジスタ及び第2のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第1のトランジスタのソース及びドレインの他方に電氣的に接続され、オン又はオフになることにより第2の信号の電圧状態を設定するか否かを制御する第3のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第2のトランジスタのソース及びドレインの他方に電氣的に接続され、オン又はオフになることにより第2の信号の電圧状態を設定するか否かを制御する第4のトランジスタと、ゲート、ソース、及びドレインを有し、ソース及びドレインの一方が第4のトランジスタのゲートに電氣的に接続され、オン又はオフになることにより第4のトランジスタをオフにするか否かを制御する第5のトランジスタと、ゲート、ソース、及びドレインを有し、ソース及びドレインの一方が第3のトランジスタのゲートに電氣的に接続され、オン又はオフになることにより第3のトランジスタをオフにするか否かを制御する第6のトランジスタと、を有する液晶表示装置である。

【0009】

本発明の一態様は、第1の入力信号、第2の入力信号、及び第3の入力信号が入力され、出力信号を出力する駆動回路と、液晶素子を有し、出力信号に応じて液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、ゲート、ソース、及びドレインを有し

、ゲート並びにソース及びドレインの一方に第1の入力信号が入力される第1のトランジスタ及び第2のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第1のトランジスタのソース及びドレインの他方に電氣的に接続され、オン又はオフになることにより出力信号の電圧状態を設定するか否かを制御する第3のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第2のトランジスタのソース及びドレインの他方に電氣的に接続され、オン又はオフになることにより出力信号の電圧状態を設定するか否かを制御する第4のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートに第2の入力信号が入力され、ソース及びドレインの一方が第4のトランジスタのゲートに電氣的に接続され、ソース及びドレインの他方に第1の電圧が与えられ、オン又はオフになることにより第4のトランジスタをオフにするか否かを制御する第5のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートに第3の入力信号が入力され、ソース及びドレインの一方が第3のトランジスタのゲートに電氣的に接続され、ソース及びドレインの他方に第2の電圧が与えられ、オン又はオフになることにより第3のトランジスタをオフにするか否かを制御する第6のトランジスタと、を有する液晶表示装置である。

10

【0010】

本発明の一態様は、第1の入力信号、第2の入力信号、及び第3の入力信号が入力され、出力信号を出力する駆動回路と、液晶素子を有し、出力信号に応じて液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方に第1の入力信号が入力される第1のトランジスタ及び第2のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第1のトランジスタのソース及びドレインの他方に電氣的に接続され、オン又はオフになることにより出力信号の電圧状態を設定するか否かを制御する第3のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第2のトランジスタのソース及びドレインの他方に電氣的に接続され、オン又はオフになることにより出力信号の電圧状態を設定するか否かを制御する第4のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートに第2の入力信号が入力され、ソース及びドレインの一方が第4のトランジスタのゲートに電氣的に接続され、ソース及びドレインの他方に第3の入力信号が入力され、オン又はオフになることにより第4のトランジスタをオフにするか否かを制御する第5のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートに第3の入力信号が入力され、ソース及びドレインの一方が第3のトランジスタのゲートに電氣的に接続され、ソース及びドレインの他方に第2の入力信号が入力され、オン又はオフになることにより第3のトランジスタをオフにするか否かを制御する第6のトランジスタと、を有する液晶表示装置である。

20

30

【0011】

本発明の一態様は、第1の入力信号、第2の入力信号、及び第3の入力信号が入力され、出力信号を出力する駆動回路と、液晶素子を有し、出力信号に応じて液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方に第1の入力信号が入力される第1のトランジスタ及び第2のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第1のトランジスタのソース及びドレインの他方に電氣的に接続され、オン又はオフになることにより出力信号の電圧状態を設定するか否かを制御する第3のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第2のトランジスタのソース及びドレインの他方に電氣的に接続され、オン又はオフになることにより出力信号の電圧状態を設定するか否かを制御する第4のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第2のトランジスタのソース及びドレインの他方に電氣的に接続され、ソース及びドレインの一方が第4のトランジスタのゲートに電氣的に接続され、ソース及びドレインの他方に第3の入力信号が入力され、オン又はオフになることにより第4のトランジスタをオフにするか否かを制御する第5のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第1のトランジスタのソース及びドレインの他方に電氣的に接続され、ソース及びドレインの一方が第3のトランジスタのゲートに電氣的に接続され、ソース及びドレイン

40

50

の他方に第2の入力信号が入力され、オン又はオフになることにより第3のトランジスタをオフにするか否かを制御する第6のトランジスタと、を有する液晶表示装置である。

【0012】

なお、本発明の一態様において、第3のトランジスタのチャネル幅は、第4のトランジスタのチャネル幅と等しい構成とすることもできる。

【0013】

また、本発明の一態様において、第1のトランジスタのチャネル幅は、第3のトランジスタのチャネル幅よりも小さく、第2のトランジスタのチャネル幅は、第4のトランジスタのチャネル幅よりも小さい構成とすることもできる。

【0014】

本発明の一態様は、第1の信号が入力され、第2の信号を出力する駆動回路と、液晶素子を有し、第2の信号に応じて液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方に第1の信号が入力される第1のトランジスタ及び第2のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第1のトランジスタのソース及びドレインの他方に電氣的に接続され、オン又はオフになることにより第2の信号の電圧状態を設定するか否かを制御する第3のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第2のトランジスタのソース及びドレインの他方に電氣的に接続され、オン又はオフになることにより第2の信号の電圧状態を設定するか否かを制御する第4のトランジスタと、正極及び負極を有し、正極及び負極の一方が第4のトランジスタのゲートに電氣的に接続され、導通状態又は非導通状態になることにより第4のトランジスタをオフにするか否かを制御する第1のダイオードと、正極及び負極を有し、正極及び負極の一方が第3のトランジスタのゲートに電氣的に接続され、導通状態又は非導通状態になることにより第3のトランジスタをオフにするか否かを制御する第2のダイオードと、を有する液晶表示装置である。

【0015】

本発明の一態様は、第1の入力信号、第2の入力信号、及び第3の入力信号が入力され、出力信号を出力する駆動回路と、液晶素子を有し、出力信号に応じて液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方に第1の入力信号が入力される第1のトランジスタ及び第2のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第1のトランジスタのソース及びドレインの他方に電氣的に接続され、オン又はオフになることにより出力信号の電圧状態を設定するか否かを制御する第3のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第2のトランジスタのソース及びドレインの他方に電氣的に接続され、オン又はオフになることにより出力信号の電圧状態を設定するか否かを制御する第4のトランジスタと、正極及び負極を有し、正極及び負極の一方が第4のトランジスタのゲートに電氣的に接続され、正極及び負極の他方に第2の入力信号が入力され、導通状態又は非導通状態になることにより第4のトランジスタをオフにするか否かを制御する第1のダイオードと、正極及び負極を有し、正極及び負極の一方が第3のトランジスタのゲートに電氣的に接続され、正極及び負極の他方に第3の入力信号が入力され、導通状態又は非導通状態になることにより第3のトランジスタをオフにするか否かを制御する第2のダイオードと、を有する液晶表示装置である。

【0016】

本発明の一態様は、第1の信号が入力され、第2の信号を出力する駆動回路と、液晶素子を有し、第2の信号に応じて液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方に第1の信号が入力される第1のトランジスタ及び第2のトランジスタと、正極及び負極を有し、正極及び負極の一方が第1のトランジスタのソース及びドレインの他方に電氣的に接続され、導通状態又は非導通状態になることにより第2の信号の電圧状態を設定するか否かを制御する第1のダイオードと、正極及び負極を有し、正極及び負極の一方が第

2のトランジスタのソース及びドレインの他方に電氣的に接続され、導通状態又は非導通状態になることにより第2の信号の電圧状態を設定するか否かを制御する第2のダイオードと、ゲート、ソース、及びドレインを有し、ソース及びドレインの一方が第2のダイオードの正極及び負極の一方に電氣的に接続され、オン又はオフになることにより第2のダイオードを非導通状態にするか否かを制御する第3のトランジスタと、ゲート、ソース、及びドレインを有し、ソース及びドレインの一方が第1のダイオードの正極及び負極の一方に電氣的に接続され、オン又はオフになることにより第1のダイオードを非導通状態にするか否かを制御する第4のトランジスタと、を有する液晶表示装置である。

【0017】

本発明の一態様は、第1の入力信号、第2の入力信号、及び第3の入力信号が入力され、出力信号を出力する駆動回路と、液晶素子を有し、出力信号に応じて液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方に第1の入力信号が入力される第1のトランジスタ及び第2のトランジスタと、正極及び負極を有し、正極及び負極の一方が第1のトランジスタのソース及びドレインの他方に電氣的に接続され、導通状態又は非導通状態になることにより出力信号の電圧状態を設定するか否かを制御する第1のダイオードと、正極及び負極を有し、正極及び負極の一方が第2のトランジスタのソース及びドレインの他方に電氣的に接続され、導通状態又は非導通状態になることにより出力信号の電圧状態を設定するか否かを制御する第2のダイオードと、ゲート、ソース、及びドレインを有し、ゲートに第2の入力信号が入力され、ソース及びドレインの一方が第2のダイオードの正極及び負極の一方に電氣的に接続され、ソース及びドレインの他方に第1の電圧が与えられ、オン又はオフになることにより第2のダイオードを非導通状態にするか否かを制御する第3のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートに第3の入力信号が入力され、ソース及びドレインの一方が第1のダイオードの正極及び負極の一方に電氣的に接続され、ソース及びドレインの他方に第2の電圧が与えられ、オン又はオフになることにより第1のダイオードを非導通状態にするか否かを制御する第4のトランジスタと、を有する液晶表示装置である。

【0018】

本発明の一態様は、第1の入力信号、第2の入力信号、及び第3の入力信号が入力され、出力信号を出力する駆動回路と、液晶素子を有し、出力信号に応じて液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方に第1の入力信号が入力される第1のトランジスタ及び第2のトランジスタと、正極及び負極を有し、正極及び負極の一方が第1のトランジスタのソース及びドレインの他方に電氣的に接続され、導通状態又は非導通状態になることにより出力信号の電圧状態を設定するか否かを制御する第1のダイオードと、正極及び負極を有し、正極及び負極の一方が第2のトランジスタのソース及びドレインの他方に電氣的に接続され、導通状態又は非導通状態になることにより出力信号の電圧状態を設定するか否かを制御する第2のダイオードと、ゲート、ソース、及びドレインを有し、ゲートに第2の入力信号が入力され、ソース及びドレインの一方が第2のダイオードの正極及び負極の一方に電氣的に接続され、ソース及びドレインの他方に第3の入力信号が入力され、オン又はオフになることにより第2のダイオードを非導通状態にするか否かを制御する第3のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートに第3の入力信号が入力され、ソース及びドレインの一方が第1のダイオードの正極及び負極の一方に電氣的に接続され、ソース及びドレインの他方に第2の入力信号が入力され、オン又はオフになることにより第1のダイオードを非導通状態にするか否かを制御する第4のトランジスタと、を有する液晶表示装置である。

【0019】

本発明の一態様は、第1の入力信号、第2の入力信号、及び第3の入力信号が入力され、出力信号を出力する駆動回路と、液晶素子を有し、出力信号に応じて液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、ゲート、ソース、及びドレインを有し

、ゲート並びにソース及びドレインの一方に第1の入力信号が入力される第1のトランジスタ及び第2のトランジスタと、正極及び負極を有し、正極及び負極の一方が第1のトランジスタのソース及びドレインの他方に電氣的に接続され、導通状態又は非導通状態になることにより出力信号の電圧状態を設定するか否かを制御する第1のダイオードと、正極及び負極を有し、正極及び負極の一方が第2のトランジスタのソース及びドレインの他方に電氣的に接続され、導通状態又は非導通状態になることにより出力信号の電圧状態を設定するか否かを制御する第2のダイオードと、ゲート、ソース、及びドレインを有し、ゲートが第2のトランジスタのソース及びドレインの他方に電氣的に接続され、ソース及びドレインの一方が第2のダイオードの正極及び負極の一方に電氣的に接続され、ソース及びドレインの他方に第3の入力信号が入力され、オン又はオフになることにより第2のダイオードを非導通状態にするか否かを制御する第3のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第1のトランジスタのソース及びドレインの他方に電氣的に接続され、ソース及びドレインの一方が第1のダイオードの正極及び負極の一方に電氣的に接続され、ソース及びドレインの他方に第2の入力信号が入力され、オン又はオフになることにより第1のダイオードを非導通状態にするか否かを制御する第4のトランジスタと、を有する液晶表示装置である。

10

【0020】

本発明の一態様は、第1の信号が入力され、第2の信号を出力する駆動回路と、液晶素子を有し、第2の信号に応じて液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方に第1の信号が入力される第1のトランジスタ及び第2のトランジスタと、正極及び負極を有し、正極及び負極の一方が第1のトランジスタのソース及びドレインの他方に電氣的に接続され、導通状態又は非導通状態になることにより第2の信号の電圧状態を設定するか否かを制御する第1のダイオードと、正極及び負極を有し、正極及び負極の一方が第2のトランジスタのソース及びドレインの他方に電氣的に接続され、導通状態又は非導通状態になることにより第2の信号の電圧状態を設定するか否かを制御する第2のダイオードと、正極及び負極を有し、正極及び負極の一方が第2のダイオードの正極及び負極の一方に電氣的に接続され、導通状態又は非導通状態にするか否かを制御する第3のダイオードと、正極及び負極を有し、正極及び負極の一方が第1のダイオードの正極及び負極の一方に電氣的に接続され、導通状態又は非導通状態になることにより第1のダイオードを非導通状態にするか否かを制御する第4のダイオードと、を有する液晶表示装置である。

20

30

【0021】

本発明の一態様は、第1の入力信号、第2の入力信号、及び第3の入力信号が入力され、出力信号を出力する駆動回路と、液晶素子を有し、出力信号に応じて液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方に第1の入力信号が入力される第1のトランジスタ及び第2のトランジスタと、正極及び負極を有し、正極及び負極の一方が第1のトランジスタのソース及びドレインの他方に電氣的に接続され、導通状態又は非導通状態になることにより出力信号の電圧状態を設定するか否かを制御する第1のダイオードと、正極及び負極を有し、正極及び負極の一方が第2のトランジスタのソース及びドレインの他方に電氣的に接続され、導通状態又は非導通状態になることにより出力信号の電圧状態を設定するか否かを制御する第2のダイオードと、正極及び負極を有し、正極及び負極の一方が第2のダイオードの正極及び負極の一方に電氣的に接続され、正極及び負極の他方に第2の入力信号が入力され、導通状態又は非導通状態になることにより第2のダイオードを非導通状態にするか否かを制御する第3のダイオードと、正極及び負極を有し、正極及び負極の一方が第1のダイオードの正極及び負極の一方に電氣的に接続され、正極及び負極の他方に第3の入力信号が入力され、導通状態又は非導通状態になることにより第1のダイオードを非導通状態にするか否かを制御する第4のダイオードと、を有する液晶表示装置である。

40

50

【0022】

本発明の一態様は、上記記載のいずれかの液晶表示装置と、液晶表示装置の動作を制御する操作スイッチと、を少なくとも有する電子機器である。

【0023】

なお、スイッチとしては、様々な形態のものを用いることができる。スイッチの一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

【0024】

スイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。機械的なスイッチの一例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【0025】

なお、スイッチとして、Nチャネル型トランジスタとPチャネル型トランジスタとの両方を用いて、CMOS型のスイッチを用いてもよい。

【0026】

なお、表示素子、表示素子を有する装置である表示装置、発光素子、及び発光素子を有する装置である発光装置は、様々な形態を用いること、又は様々な素子を有することができる。表示素子、表示装置、発光素子又は発光装置の一例としては、EL（エレクトロルミネッセンス）素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LEDなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、デジタルマイクロミラーデバイス（DMD）、カーボンナノチューブ、など、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有するものがある。また、表示装置としては、プラズマディスプレイ、又は圧電セラミックディスプレイなどがある。EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（FED）又はSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子インク又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。

【0027】

液晶素子の一例としては、液晶の光学的変調作用によって光の透過又は非透過を制御する素子がある。その素子是一对の電極と液晶層により構造されることが可能である。なお、液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界又は斜め方向の電界を含む）によって制御される。なお、具体的には、液晶素子の一例としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（PDLC）、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、プラズマアドレス液晶（PALC）、バナナ型液晶、などを挙げることができる。また液晶の駆動方式としては、TN（Twisted Nematic）モード、STN（Super Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、MVA（Mul

10

20

30

40

50

t i - d o m a i n V e r t i c a l A l i g n m e n t) モード、P V A (P a t t e r n e d V e r t i c a l A l i g n m e n t) モード、A S V (A d v a n c e d S u p e r V i e w) モード、A S M (A x i a l l y S y m m e t r i c a l i g n e d M i c r o - c e l l) モード、O C B (O p t i c a l l y C o m p e n s a t e d B i r e f r i n g e n c e) モード、E C B (E l e c t r i c a l l y C o n t r o l l e d B i r e f r i n g e n c e) モード、F L C (F e r r o e l e c t r i c L i q u i d C r y s t a l) モード、A F L C (A n t i F e r r o e l e c t r i c L i q u i d C r y s t a l) モード、P D L C (P o l y m e r D i s p e r s e d L i q u i d C r y s t a l) モード、ゲストホストモード、ブルー相 (B l u e P h a s e) モードなどがある。ただし、これに限定されず、液晶素子及びその駆動方式として様々なものを用いることができる。

10

【0028】

なお、トランジスタとして、様々な構造のトランジスタを用いることができる。よって、用いるトランジスタの種類に限定はない。トランジスタの一例としては、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、ナノクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ（TFT）などを用いることができる。

【0029】

なお、トランジスタの一例としては、ZnO、a-InGaZnO、SiGe、GaAs、IZO（インジウム亜鉛酸化物）、ITO（インジウム錫酸化物）、SnO、TiO、AlZnSnO（AZTO）などの化合物半導体又は酸化物半導体を有するトランジスタ又は、これらの化合物半導体又は酸化物半導体を薄膜化した薄膜トランジスタなどを用いることができる。

20

【0030】

なお、トランジスタの一例としては、インクジェット法又は印刷法を用いて形成したトランジスタなどを用いることができる。

【0031】

なお、トランジスタの一例としては、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。

【0032】

なお、トランジスタとしては、他にも様々な構造のトランジスタを用いることができる。例えば、トランジスタとして、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを用いることができる。

30

【0033】

なお、トランジスタの一例としては、ゲート電極が2個以上のマルチゲート構造のトランジスタを用いることができる。

【0034】

なお、トランジスタの一例としては、チャンネルの上下にゲート電極が配置されている構造のトランジスタを適用することができる。

【0035】

なお、トランジスタの一例としては、チャンネル領域の上にゲート電極が配置されている構造、チャンネル領域の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャンネル領域を複数の領域に分けた構造、チャンネル領域を並列に接続した構造、又はチャンネル領域が直列に接続する構造などのトランジスタを用いることができる。

40

【0036】

なお、トランジスタの一例としては、チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なっている構造のトランジスタを用いることができる。

【0037】

なお、トランジスタの一例としては、LDD領域を設けた構造を適用できる。

【0038】

50

なお、様々な基板を用いて、トランジスタを形成することができる。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板、単結晶基板（例えばシリコン基板）、S O I 基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（P E T）、ポリエチレンナフタレート（P E N）、ポリエーテルサルフォン（P E S）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。貼り合わせフィルムの一例としては、ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、又は塩化ビニルなどがある。基材フィルムの一例としては、ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、又は紙類などがある。特に、半導体基板、単結晶基板、又はS O I 基板などを用いてトランジスタを製造することによって、特性、サイズ、又は形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、又は回路の高集積化を図ることができる。

【0039】

なお、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、又はゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

【0040】

なお、所定の機能を実現させるために必要な回路の全てを、同一の基板（例えば、ガラス基板、プラスチック基板、単結晶基板、又はS O I 基板など）に形成することが可能である。こうして、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。

【0041】

なお、所定の機能を実現させるために必要な回路の全てを同じ基板に形成しないことが可能である。つまり、所定の機能を実現させるために必要な回路の一部は、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、別の基板に形成されていることが可能である。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板（又はS O I 基板）に形成されることが可能である。そして、所定の機能を実現させるために必要な回路の別の一部が形成される単結晶基板（I Cチップともいう）を、C O G（C h i p O n G l a s s）によって、ガラス基板に接続して、ガラス基板にそのI Cチップを配置することが可能である。または、I Cチップを、T A B（T a p e A u t o m a t e d B o n d i n g）、C O F（C h i p O n F i l m）、S M T（S u r f a c e M o u n t T e c h n o l o g y）、又はプリント基板などを用いてガラス基板と接続することが可能である。このように、回路の一部が画素部と同じ基板に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。特に、駆動電圧が大きい部分の回路、又は駆動周波数が高い部分の回路などは、消費電力が大きくなってしまう場合が多い。そこで、このような回路を、画素部とは別の基板（例えば単結晶基板）に形成して、I Cチップを構成する。このI Cチップを用いることによって、消費電力の増加を防ぐことができる。

10

20

30

40

50

【0042】

なお、トランジスタとして、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子を用いることもできる。該素子は、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことができるものである。ここで、ソースとドレインとは、トランジスタの構造又は動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソースとして機能する領域、及びドレインとして機能する領域を、ソース又はドレインと呼ばない場合がある。その場合、一例として、ソースとドレインとの一方を、第1の端子、第1電極、又は第1領域と表記し、ソースとドレインとの他方を、第2の端子、第2電極、又は第2領域と表記する場合がある。また、ゲートを第3の端子又は第3電極と表記する場合もある。

10

【0043】

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、一例として、エミッタとコレクタとの一方を、第1の端子、第1電極、又は第1領域と表記し、エミッタとコレクタとの他方を、第2の端子、第2電極、又は第2領域と表記する場合がある。なお、トランジスタとしてバイポーラトランジスタが用いられる場合、ゲートという表記をベースと言い換えることが可能である。

【0044】

なお、AとBとが接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

20

【0045】

AとBとが電氣的に接続されている場合の一例としては、AとBとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が、AとBとの間に1個以上接続されることが可能である。

【0046】

AとBとが機能的に接続されている場合の一例としては、AとBとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電圧レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電圧レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きくできる回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、AとBとの間に1個以上接続されることが可能である。なお、一例として、AとBとの間に別の回路を挟んでいても、Aから出力された信号がBへ伝達される場合は、AとBとは機能的に接続されているものとする。

30

【0047】

なお、AとBとが電氣的に接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合（つまり、AとBとの間に別の素子又は別の回路を挟んで接続されている場合）と、AとBとが機能的に接続されている場合（つまり、AとBとの間に別の回路を挟んで機能的に接続されている場合）と、AとBとが直接接続されている場合（つまり、AとBとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

40

【0048】

なお、Aの上にBが形成されている、あるいは、A上にBが形成されている、と明示的に記載する場合は、Aの上にBが直接接して形成されていることに限定されない。直接接

50

してはいない場合、つまり、AとBと間に別の対象物が介在する場合も含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0049】

従って例えば、層Aの上に（もしくは層A上に）、層Bが形成されている、と明示的に記載されている場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

【0050】

10

さらに、Aの上方にBが形成されている、と明示的に記載されている場合についても同様であり、Aの上にBが直接接していることに限定されず、AとBとの間に別の対象物が介在する場合も含むものとする。従って例えば、層Aの上方に、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

【0051】

なお、Aの上にBが形成されている、A上にBが形成されている、又はAの上方にBが形成されている、と明示的に記載する場合、斜め上にBが形成される場合も含むこととする。

20

【0052】

なお、Aの下にBが、あるいは、Aの下方にBが、の場合についても、同様である。

【0053】

なお、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、これに限定されず、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、これに限定されず、単数であることも可能である。

【0054】

なお、図において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

30

【0055】

なお、図は、理想的な例を模式的に示したものであり、図に示す形状又は値などに限定されない。例えば、製造技術による形状のばらつき、誤差による形状のばらつき、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0056】

なお、専門用語は、特定の実施の形態、又は実施例などを述べる目的で用いられる場合が多い。ただし、本発明の一態様は、専門用語によって、限定して解釈されるものではない。

40

【0057】

なお、定義されていない文言（専門用語又は学術用語などの科学技術文言を含む）は、通常の当業者が理解する一般的な意味と同等の意味として用いることが可能である。辞書等により定義されている文言は、関連技術の背景と矛盾がないような意味に解釈されることが好ましい。

【0058】

なお、第1、第2、第3などの語句は、様々な要素、部材、領域、層、区域を他のものと区別して記述するために用いられる。よって、第1、第2、第3などの語句は、要素、部材、領域、層、区域などの数を限定するものではない。さらに、例えば、「第1の」を「第2の」又は「第3の」などと置き換えることが可能である。

50

【0059】

なお、「上に」、「上方に」、「下に」、「下方に」、「横に」、「右に」、「左に」、「斜めに」、「奥に」、「手前に」、「内に」、「外に」、又は「中に」などの空間的配置を示す語句は、ある要素又は特徴と、他の要素又は特徴との関連を、図によって簡単に示すために用いられる場合が多い。ただし、これに限定されず、これらの空間的配置を示す語句は、図に描く方向に加えて、他の方向を含むことが可能である。例えば、Aの上にB、と明示的に示される場合は、BがAの上にあることに限定されない。図中のデバイスは反転、又は180°回転することが可能なので、BがAの下にあることを含むことが可能である。このように、「上に」という語句は、「上に」の方向に加え、「下に」の方向を含むことが可能である。ただし、これに限定されず、図中のデバイスは様々な方向に回転することが可能なので、「上に」という語句は、「上に」、及び「下に」の方向に加え、「横に」、「右に」、「左に」、「斜めに」、「奥に」、「手前に」、「内に」、「外に」、又は「中に」などの他の方向を含むことが可能である。つまり、状況に応じて適切に解釈することが可能である。

10

【0060】

本発明の一態様は、第1の信号が入力され、第2の信号を出力する機能を有し、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方に第1の信号が入力される第1のトランジスタ及び第2のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第1のトランジスタのソース及びドレインの他方に電氣的に接続され、オン又はオフになることにより第2の信号の電圧状態を設定するか否かを制御する第3のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第2のトランジスタのソース及びドレインの他方に電氣的に接続され、オン又はオフになることにより第2の信号の電圧状態を設定するか否かを制御する第4のトランジスタと、ゲート、ソース、及びドレインを有し、ソース及びドレインの一方が第4のトランジスタのゲートに電氣的に接続され、オン又はオフになることにより第4のトランジスタをオフにするか否かを制御する第5のトランジスタと、ゲート、ソース、及びドレインを有し、ソース及びドレインの一方が第3のトランジスタのゲートに電氣的に接続され、オン又はオフになることにより第3のトランジスタをオフにするか否かを制御する第6のトランジスタと、を有するものである。

20

【発明の効果】

30

【0061】

本発明の一態様は、トランジスタの特性劣化を抑制することができる。または、本発明の一態様は、トランジスタのチャネル幅を小さくすることができる。特に、プルアップトランジスタの特性劣化の抑制、又はチャネル幅の縮小を図ることができる。または、本発明の一態様は、信号の振幅を大きくすることができる。または、本発明の一態様は、画素が有するトランジスタのオン時間を長くすることができる。または、本発明の一態様は、画素への書き込み不足を改善することができる。または、本発明の一態様は、信号の立ち下がり時間を短くすることができる。または、本発明の一態様は、信号の立ち上がり時間を短くすることができる。または、ある行に属する画素に、別の行に属する画素へのビデオ信号が書き込まれることを防止することができる。または、信号の立ち下がり時間のばらつきを低減することができる。または、画素へのフィードスルーの影響を一定にすることができる。または、クロストークを低減することができる。または、本発明の一態様は、レイアウト面積を小さくすることができる。または、本発明の一態様は、表示装置の額縁を狭くすることができる。または、本発明の一態様は、表示装置を高精細にすることができる。または、本発明の一態様は、歩留まりを高くすることができる。または、本発明の一態様は、コストを低減することができる。または、本発明の一態様は、信号のなまりを低減することができる。または、本発明の一態様は、信号の遅延を低減することができる。または、本発明の一態様は、消費電力を低減することができる。または、本発明の一態様は、外部回路の電流能力を小さくすることができる。または、本発明の一態様は、外部回路のサイズ、又は当該外部回路を有する表示装置のサイズを小さくすることができる。

40

50

【図面の簡単な説明】

【0062】

【図1】実施の形態1における半導体装置の回路図の一例。

【図2】実施の形態1における半導体装置の動作を説明するためのタイミングチャートの一例。

【図3】実施の形態1における半導体装置の動作を説明するための模式図の一例。

【図4】実施の形態1における半導体装置の動作を説明するための模式図の一例。

【図5】実施の形態1における半導体装置の動作を説明するためのタイミングチャートの一例。

【図6】実施の形態1における半導体装置の回路図の一例。

10

【図7】実施の形態1における半導体装置の動作を説明するためのタイミングチャートの一例。

【図8】実施の形態1における半導体装置の動作を説明するための模式図の一例。

【図9】実施の形態1における半導体装置の動作を説明するための模式図の一例。

【図10】実施の形態2における半導体装置の回路図の一例。

【図11】実施の形態2における半導体装置の動作を説明するための模式図の一例。

【図12】実施の形態2における半導体装置の動作を説明するための模式図の一例。

【図13】実施の形態2における半導体装置の動作を説明するための模式図の一例。

【図14】実施の形態2における半導体装置の回路図の一例。

【図15】実施の形態2における半導体装置の動作を説明するための模式図の一例。

20

【図16】実施の形態2における半導体装置の動作を説明するための模式図の一例。

【図17】実施の形態2における半導体装置の動作を説明するための模式図の一例。

【図18】実施の形態2における半導体装置の回路図の一例。

【図19】実施の形態2における半導体装置の回路図の一例。

【図20】実施の形態2における半導体装置の回路図の一例と、その動作を説明するためのタイミングチャートの一例。

【図21】実施の形態3における半導体装置の回路図の一例と、その動作を説明するためのタイミングチャートの一例。

【図22】実施の形態3における半導体装置の動作を説明するための模式図の一例。

【図23】実施の形態3における半導体装置の動作を説明するための模式図の一例。

30

【図24】実施の形態3における半導体装置の動作を説明するための模式図の一例。

【図25】実施の形態3における半導体装置の回路図の一例。

【図26】実施の形態3における半導体装置の回路図の一例。

【図27】実施の形態3における半導体装置の回路図の一例。

【図28】実施の形態3における半導体装置の回路図の一例。

【図29】実施の形態3における半導体装置の回路図の一例。

【図30】実施の形態3における半導体装置の回路図の一例。

【図31】実施の形態4における半導体装置の回路図の一例。

【図32】実施の形態4における半導体装置の動作を説明するための模式図の一例。

【図33】実施の形態4における半導体装置の動作を説明するための模式図の一例。

40

【図34】実施の形態4における半導体装置の動作を説明するための模式図の一例。

【図35】実施の形態4における半導体装置の回路図の一例。

【図36】実施の形態4における半導体装置の回路図の一例。

【図37】実施の形態5における表示装置のブロック図の一例と、画素の回路図の一例。

【図38】実施の形態5におけるシフトレジスタの回路図の一例。

【図39】実施の形態5におけるシフトレジスタの動作を説明するためのタイミングチャートの一例。

【図40】実施の形態8における半導体装置の断面図の一例。

【図41】実施の形態9における表示装置のブロック図の一例と、その断面図の一例。

【図42】実施の形態10における半導体装置の作製工程を説明する図の一例。

50

【図４３】実施の形態１１における半導体装置の上面図の一例。

【図４４】実施の形態１２における電子機器を説明する図の一例。

【図４５】実施の形態１２における電子機器を説明する図の一例。

【図４６】実施の形態６におけるソースドライバの回路図の一例と、その動作を説明するためのタイミングチャートの一例と、表示装置のブロック図の一例。

【図４７】実施の形態７における保護回路の回路図の一例。

【図４８】実施の形態７における保護回路を設けた半導体装置の回路図の一例。

【図４９】実施の形態４における半導体装置の検証結果を示すタイミングチャート。

【発明を実施するための形態】

【００６３】

10

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本発明の実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同一部分又は同様な機能を有する部分は異なる図面間で共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【００６４】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

20

【００６５】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【００６６】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることができる。

【００６７】

30

なお、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、基板、モジュール、装置、固体、液体、気体、動作方法、製造方法などが単数又は複数記載された図面（断面図、平面図、回路図、ブロック図、フローチャート、工程図、斜視図、立面図、配置図、タイミングチャート、構造図、模式図、グラフ、表、光路図、ベクトル図、状態図、波形図、写真、化学式など）または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。一例としては、 P 個（ P は整数）の回路素子（トランジスタ、容量素子等）を有して構成される回路図から、 M 個（ M は整数で、 $M < P$ ）の回路素子（トランジスタ、容量素子等）を抜き出して、発明の一態様を構成することは可能である。別の一例としては、 P 個の層を有して構成される断面図から、 M 個の層を抜き出して、発明の一態様を構成することは可能である。別の一例としては、 P 個の要素を有して構成されるフローチャートから、 M 個の要素を抜き出して、発明の一態様を構成することは可能である。

40

【００６８】

（実施の形態１）

本実施の形態の一例は、第１の端子が第１の配線と電氣的に接続され、且つ第２の端子が

50

第2の配線と電氣的に接続される第1のトランジスタと、第1の端子が第1の配線と電氣的に接続され、且つ第2の端子が第2の配線と電氣的に接続される第2のトランジスタと、第1のトランジスタのゲートと電氣的に接続され、且つ第2のトランジスタのゲートと電氣的に接続される第1の回路と、を有し、第1の回路は、第1の信号が第2の電圧状態になり、且つ第2の信号が第1の電圧状態になる場合に、第1のトランジスタのゲートの電圧を上昇させる機能と、第1の信号が第2の電圧状態になり、且つ第3の信号が第1の電圧状態になる場合に、第2のトランジスタのゲートの電圧を上昇させる機能と、を有するものである。

【0069】

本実施の形態の半導体装置の一例について説明する。本実施の形態の半導体装置は、一例として、シフトレジスタ、ゲートドライバ、又はソースドライバなどの様々な駆動回路に用いることが可能である。なお、本実施の形態の半導体装置を駆動回路、又は回路と示すことが可能である。

10

【0070】

まず、本実施の形態の半導体装置の回路構成について、図1(A)を参照して説明する。図1(A)の半導体装置は、回路100、及び回路200を有する。回路100は、トランジスタ101__1～101__2という複数のトランジスタを有する。

【0071】

なお、トランジスタ101__1～101__2は、Nチャネル型であるものとする。Nチャネル型のトランジスタは、ゲートとソースとの間の電位差(V_{gs})が閾値電圧(V_{th})を上回った場合にオンするものとする。ただし、これに限定されず、トランジスタ101__1、及び／又は、トランジスタ101__2は、Pチャネル型であることが可能である。Pチャネル型トランジスタは、ゲートとソースとの間の電位差(V_{gs})が閾値電圧(V_{th})を下回った場合にオンするものとする。

20

【0072】

次に、図1(A)の半導体装置の接続関係について説明する。トランジスタ101__1の第1の端子は、配線112と接続され、トランジスタ101__1の第2の端子は、配線111と接続される。トランジスタ101__2の第1の端子は、配線112と接続され、トランジスタ101__2の第2の端子は、配線111と接続される。回路200は、配線113、配線114、配線115、配線116__1～116__2、配線117、配線118、トランジスタ101__1のゲート、トランジスタ101__2のゲート、及び配線111と接続される。ただし、これに限定されない。例えば、回路200は、その構成に応じて、他にも様々な配線、又は様々なノードと接続されることが可能である。または、回路200は、上述した配線のすべてと接続される必要はなく、上述した配線のいずれかと接続されていないことが可能である。

30

【0073】

なお、トランジスタ101__1のゲートと回路200との接続箇所をノードn1と示し、トランジスタ101__2のゲートと回路200との接続箇所をノードn2と示す。

【0074】

なお、配線111は、画素部に延伸して配置される場合が多い。または、配線111は、画素が有するトランジスタ(例えば選択用トランジスタ、又はスイッチングトランジスタ)のゲートと接続される場合が多い。ただし、これに限定されない。例えば、複数の半導体装置が縦続接続されているとする。この場合、配線111は、別の段(例えば次の段)の半導体装置の配線115と接続されることが可能である。別の例として、配線111は、別の段(例えば前の段)の半導体装置の配線117と接続されることが可能である。

40

【0075】

次に、各配線に入力又は出力される信号又は電圧などについて説明する。

【0076】

配線111からは、一例として、信号OUTが出力されるものとする。信号OUTは、例えば第1の電圧状態及び第2の電圧状態を有する信号とすることができる。例えば信号O

50

U Tは、ハイレベルとロウレベルとを有するデジタル信号である場合が多く、半導体装置の出力信号としての機能を有することが可能である。よって、配線111は、信号線、又は出力信号線としての機能を有することが可能である。特に、配線111は、画素部に延伸して配置される場合、信号O U Tは、ゲート信号、走査信号、又は選択信号としての機能を有することが可能である。よって、配線111は、ゲート信号線（以下、ゲート線ともいう）、又は走査線としての機能を有することが可能である。例えば液晶表示装置の場合は、配線111を液晶素子を有する画素に接続し、配線111の電圧に応じて液晶素子に印加される電圧を設定する構成とすることができる。ただし、これに限定されない。例えば、複数の半導体装置が縦続接続されているとする。この場合、配線111が別の段（例えば次の段）の半導体装置の配線115と接続される場合、信号O U Tは、転送用の信号、又はスタート信号としての機能を有することが可能である。別の例として、配線111が別の段（例えば前の段）の半導体装置の配線117と接続される場合、信号O U Tは、リセット信号としての機能を有することが可能である。

10

【0077】

配線112には、一例として、信号C K 1が入力されるものとする。信号C K 1は、例えば第1の電圧状態及び第2の電圧状態を有する信号とすることができる。例えば信号C K 1は、ハイレベルとロウレベルとの二つの状態を繰り返すデジタル信号である場合が多く、クロック信号としての機能を有することが可能である。よって、配線112は、信号線、クロック線、クロック信号線、又はクロック供給線としての機能を有することが可能である。ただし、これに限定されない。例えば、配線112には、電圧V 1又は電圧V 2などの電圧が供給されることが可能である。よって、配線112は、電源線としての機能を有することが可能である。

20

【0078】

配線113には、一例として、信号C K 2が入力されるものとする。信号C K 2は、例えば第1の電圧状態及び第2の電圧状態を有する信号とすることができる。例えば信号C K 2は、ハイレベルとロウレベルとの二つの状態を繰り返すデジタル信号である場合が多く、反転クロック信号としての機能を有することが可能である。なお、信号C K 2は、信号C K 1の反転信号、又は信号C K 1から位相がおおむね180°ずれた信号であることが可能である。よって、配線113は、信号線、反転クロック線、反転クロック信号線、又は反転クロック供給線としての機能を有することが可能である。ただし、これに限定されない。例えば、配線113には、電圧V 1又は電圧V 2などの電圧が供給されることが可能である。よって、配線113は、電源線としての機能を有することが可能である。

30

【0079】

配線114には、一例として、電圧V 2が供給されるものとする。電圧V 2は、ハイレベルの信号とおおむね等しい値である場合が多く、電源電圧、基準電圧、又は正電源電圧としての機能を有することが可能である。よって、配線114は、電源線としての機能を有することが可能である。ただし、これに限定されない。例えば、配線114には、信号C K 1、又は信号C K 2などの信号が入力されることが可能である。よって、配線114は、信号線としての機能を有することが可能である。

【0080】

配線115には、一例として、信号S Pが入力されるものとする。信号S Pは、例えば第1の電圧状態及び第2の電圧状態を有する信号とすることができる。例えば信号S Pは、デジタル信号である場合が多く、スタート信号としての機能を有することが可能である。よって、配線115は、信号線としての機能を有することが可能である。ただし、これに限定されない。例えば、複数の半導体装置が縦続接続されているとする。この場合、配線115が別の段（例えば前段）の半導体装置の配線111と接続される場合、信号S Pは、転送信号、ゲート信号、又は走査信号としての機能を有することが可能である。よって、配線115は、出力信号線、ゲート信号線、又は走査線としての機能を有することが可能である。

40

【0081】

50

配線 1 1 6 __ 1 には、一例として、信号 S E L 1 が入力されるものとする。信号 S E L 1 は、例えば第 1 の電圧状態及び第 2 の電圧状態を有する信号とすることができる。例えば信号 S E L 1 は、ある期間毎（例えばフレーム期間毎）に、ハイレベルとロウレベルとの二つの状態を繰り返すデジタル信号である場合が多く、制御信号、クロック信号、又はクロック制御信号としての機能を有することが可能である。よって、配線 1 1 6 __ 1 は、信号線、制御線、又はクロック線としての機能を有することが可能である。ただし、これに限定されない。例えば、信号 S E L 1 は、数フレーム毎、電源が投入される毎、又はランダムに、ハイレベルとロウレベルとを繰り返すことが可能である。

【 0 0 8 2 】

配線 1 1 6 __ 2 には、一例として、信号 S E L 2 が入力されるものとする。信号 S E L 2 は、例えば第 1 の電圧状態及び第 2 の電圧状態を有する信号とすることができる。例えば信号 S E L 2 は、ある期間毎（例えばフレーム期間毎）に、ハイレベルとロウレベルとの二つの状態を繰り返すデジタル信号である場合が多い。そして、信号 S E L 2 は、信号 S E L 1 の反転信号、又は信号 S E L 1 から位相が 1 8 0 ° ずれた信号である場合が多く、制御信号、反転クロック信号、又は反転クロック制御信号としての機能を有することが可能である。よって、信号線、制御線、又は反転クロック線としての機能を有することが可能である。例えば信号 S E L 1 がハイレベル及びロウレベルの一方であるとき、信号 S E L 2 はハイレベル及びロウレベルの他方であるようにすることもできる。ただし、これに限定されない。例えば、信号 S E L 2 は、数フレーム毎、電源が投入される毎、又はランダムに、ハイレベルとロウレベルとを繰り返すことが可能である。

【 0 0 8 3 】

配線 1 1 7 には、一例として、信号 R E が入力されるものとする。信号 R E は、例えば第 1 の電圧状態及び第 2 の電圧状態を有する信号とすることができる。例えば信号 R E は、デジタル信号である場合が多く、リセット信号としての機能を有することが可能である。よって、配線 1 1 7 は、信号線としての機能を有することが可能である。ただし、これに限定されない。例えば、複数の半導体装置が縦続接続されているとする。この場合、配線 1 1 7 が別の段（例えば次の段）の半導体装置の配線 1 1 1 と接続される場合、信号 R E は、転送信号、ゲート信号、又は走査信号としての機能を有することが可能である。よって、配線 1 1 7 は、出力信号線、ゲート信号線、又は走査線としての機能を有することが可能である。

【 0 0 8 4 】

配線 1 1 8 には、一例として、電圧 V 1 が供給されるものとする。電圧 V 1 は、ロウレベルの信号とおおむね等しい値である場合が多く、電源電圧、基準電圧、グランド電圧、又は負電源電圧としての機能を有することが可能である。よって、配線 1 1 8 は、電源線、又はグランドとしての機能を有することが可能である。ただし、これに限定されない。例えば、配線 1 1 8 に信号 C K 1、信号 C K 2、信号 S E L 1、又は信号 S E L 2 などを入力することが可能である。よって、配線 1 1 8 は、信号線としての機能を有することが可能である。この場合、トランジスタに逆バイアスを印加することが可能になるので、トランジスタの劣化を抑制することができる。

【 0 0 8 5 】

なお、これらの配線は、他にも様々な機能を有することが可能であるし、上記の機能のすべてを有する必要はない。

【 0 0 8 6 】

なお、おおむねとは、ノイズによる誤差、プロセスのばらつきによる誤差、素子の作製工程のばらつきによる誤差、及び／又は、測定誤差などの様々な誤差を含むものとする。

【 0 0 8 7 】

なお、一般的に電圧とは、2 点間における電位差のことをいう場合があり、電位とは、ある一点における静電場の中にある単位電荷が持つ静電エネルギー（電気的な位置エネルギー）のことをいう場合があるが、電子回路において、ある一点における電位と基準となる電位（例えば接地電位）との差を該ある一点の電圧として示すことが多いため、本明細書

10

20

30

40

50

では、ある一点の電圧と示す場合には、特に指定する場合を除き、ある一点の電位と基準となる電位との電位差を示すものとする。

【0088】

なお、一例として、第1の状態、すなわちロウレベルの信号の電圧をV1とし、第2の状態、すなわちハイレベルの信号の電圧をV2とする。そして、 $V2 > V1$ とする。よって、電圧V1と記載する場合、電圧V1とは、信号のロウレベルとおおむね等しい値であるものとする。一方で、電圧V2と記載する場合、電圧V2とは、信号のハイレベルとおおむね等しい値であるものとする。ただし、これに限定されない。例えば、ロウレベルの信号の電圧は、V1よりも低いことが可能であるし、V1よりも高いことが可能である。または、ハイレベルの信号の電圧は、V2よりも低いことが可能であるし、V2よりも高いことが可能である。例えば、回路構成によっては、ハイレベルの信号又はハイレベルの電圧と記載する場合でも、その電圧はV2よりも低い場合があるし、V2よりも高い場合がある。または、回路構成によっては、ロウレベルの信号又はロウレベルの電圧と記載する場合でも、その電圧はV1よりも低い場合があるし、V1よりも高い場合がある。

10

【0089】

なお、信号CK1、及び／又は、信号CK2は、平衡であることが可能であるし、非平衡（不平衡ともいう）であることが可能である。平衡とは、1周期のうち、ハイレベルになる期間とロウレベルになる期間とがおおむね等しいことをいう。非平衡とは、ハイレベルになる期間とロウレベルになる期間とが異なることをいう。なお、ここでは異なるとはおおむね等しい場合の範囲以外のものであるとする。

20

【0090】

なお、信号CK1、及び信号CK2が非平衡である場合、信号CK2は、信号CK1の反転信号ではない場合がある。この場合、信号CK1のハイレベルになる期間と、信号CK2がハイレベルになる期間と、の長さはおおむね等しいことが可能である。ただし、これに限定されない。

【0091】

次に、各回路、又は各トランジスタが有する機能について説明する。

【0092】

回路100は、一例として、ノードn1の電圧、及び／又は、ノードn2の電圧に応じて、配線112と配線111との導通状態を制御する機能を有する。または、回路100は、配線112の電圧を配線111に供給するタイミングを制御する機能を有する。例えば、配線112に、信号又は電圧など（例えば電圧V2又は信号CK1など）が供給される場合、回路100は、配線112に供給される信号又は電圧などを、配線111に供給するタイミングを制御する機能を有する。または、回路100は、ハイレベルの信号（例えば信号CK1）を配線111に供給するタイミングを制御する機能を有する。または、回路100は、配線111の電圧を上昇させるタイミングを制御する機能を有する。または、回路100は、ロウレベルの信号（例えば信号CK1）を配線111に供給するタイミングを制御する機能を有する。または、回路100は、配線111の電圧を減少させるタイミング又は維持するタイミングを制御する機能を有する。または、回路100は、ノードn1の電圧、及び／又は、ノードn2の電圧をブートストラップ動作によって上昇させるタイミングを制御する機能を有する。以上のように、回路100は、制御回路、バッファ回路、又はスイッチなどとしての機能を有することが可能である。ただし、これに限定されない。なお、回路100は、上記の機能のすべてを有する必要はない。

30

40

【0093】

回路200は、一例として、入力される信号又は電圧（信号CK2、信号SP、信号RE、ノードn1の電圧、ノードn2の電圧、及び／又は、信号OUTなど）に応じて、ノードn1の電圧、ノードn2の電圧、及び／又は、配線111の電圧を制御する機能を有する。または、回路200は、ノードn1、及び／又は、ノードn2に、ハイレベルの信号又は電圧V2を供給するタイミングを制御する機能を有する。または、回路200は、ノードn1の電圧、及び／又は、ノードn2の電圧を上昇させるタイミングを制御する機能

50

を有する。または、回路200は、ノードn1、及び／又は、ノードn2に、ロウレベルの信号又は電圧V1を供給するタイミングを制御する機能を有する。または、回路200は、ノードn1の電圧、及び／又は、ノードn2の電圧を減少させるタイミング又は維持させるタイミングを制御する機能を有する。または、回路200は、ノードn1、及び／又は、ノードn2に、信号又は電圧などを供給しないタイミングを制御する機能を有する。または、回路200は、ノードn1、及び／又は、ノードn2を浮遊状態にするタイミングを制御する機能を有する。または、回路200は、配線111に、ロウレベルの信号又は電圧V1を供給するタイミングを制御する機能を有する。または、回路200は、配線111の電圧を減少させるタイミング又は維持するタイミングを制御する機能を有する。以上のように、回路200は、制御回路としての機能を有することが可能である。ただし、これに限定されない。なお、回路200は、上記の機能のすべてを有する必要はない。

10

【0094】

トランジスタ101_1は、一例として、ノードn1の電圧に応じて、配線112と配線111との導通状態を制御する機能を有する。または、トランジスタ101_1は、配線112の電圧を配線111に供給するタイミングを制御する機能を有する。例えば、配線112に、信号又は電圧など（例えば電圧V2又は信号CK1など）が供給される場合、トランジスタ101_1は、配線112に供給される信号又は電圧などを、配線111に供給するタイミングを制御する機能を有する。または、トランジスタ101_1は、ハイレベルの信号（例えば信号CK1）を配線111に供給するタイミングを制御する機能を有する。または、トランジスタ101_1は、配線111の電圧を上昇させるタイミングを制御する機能を有する。または、トランジスタ101_1は、ロウレベルの信号（例えば信号CK1）を配線111に供給するタイミングを制御する機能を有する。または、トランジスタ101_1は、配線111の電圧を減少させるタイミング又は維持するタイミングを制御する機能を有する。または、トランジスタ101_1は、ブートストラップ動作を行う機能を有する。または、トランジスタ101_1は、ノードn1の電圧をブートストラップ動作によって上昇させる機能を有する。または、トランジスタ101_1は、オン又はオフになることにより、信号OUTの電圧状態を設定するか否かを制御する機能を有する。以上のように、トランジスタ101_1は、バッファ、又はスイッチなどとしての機能を有することが可能である。ただし、これに限定されない。なお、トランジスタ101_1は、上記の機能のすべてを有する必要はない。

20

30

【0095】

トランジスタ101_2は、一例として、ノードn2の電圧に応じて、配線112と配線111との導通状態を制御する機能を有する。または、トランジスタ101_2は、配線112の電圧を配線111に供給するタイミングを制御する機能を有する。例えば、配線112に、信号又は電圧など（例えば電圧V2又は信号CK1など）が供給される場合、トランジスタ101_2は、配線112に供給される信号又は電圧などを、配線111に供給するタイミングを制御する機能を有する。または、トランジスタ101_2は、ハイレベルの信号（例えば信号CK1）を配線111に供給するタイミングを制御する機能を有する。または、トランジスタ101_2は、配線111の電圧を上昇させるタイミングを制御する機能を有する。または、トランジスタ101_2は、ロウレベルの信号（例えば信号CK1）を配線111に供給するタイミングを制御する機能を有する。または、トランジスタ101_2は、配線111の電圧を減少させるタイミング又は維持するタイミングを制御する機能を有する。または、トランジスタ101_2は、ブートストラップ動作を行う機能を有する。または、トランジスタ101_2は、ノードn2の電圧をブートストラップ動作によって上昇させる機能を有する。または、トランジスタ101_2は、オン又はオフになることにより、信号OUTの電圧状態を設定するか否かを制御する機能を有する。以上のように、トランジスタ101_2は、バッファ、又はスイッチなどとしての機能を有することが可能である。ただし、これに限定されない。なお、トランジスタ101_2は、上記の機能のすべてを有する必要はない。

40

50

【0096】

次に、図1（A）の半導体装置の動作の一例について、図2のタイミングチャートを参照して説明する。図2のタイミングチャートには、信号SEL1、信号SEL2、信号CK1、信号CK2、信号SP、信号RE、ノードn1の電圧（Va1）、ノードn2の電圧（Va2）、及び信号OUTを示す。なお、図1（A）の半導体装置の動作は、図2のタイミングチャートに限定されず、様々なタイミングによって制御されることが可能である。

【0097】

なお、図2のタイミングチャートは、複数の期間（以下、期間のことをフレーム期間ともいう）を有し、各期間は、複数のサブ期間（以下、サブ期間のことを1ゲート選択期間ともいう）を有する。例えば、図2のタイミングチャートは、期間T1、及び期間T2という複数の期間を有する。期間T1は、期間A1、期間B1、期間C1、期間D1、及び期間E1という複数のサブ期間を有し、期間T2は、期間A2、期間B2、期間C2、期間D2、及び期間E2という複数のサブ期間を有する。ただし、これに限定されない。例えば、図2のタイミングチャートは、期間T1、及び期間T2とは別の期間を有することが可能であるし、期間T1と期間T2との一方を省略することが可能である。または、期間T1は、期間A1～E1の他にも様々な期間を有することが可能であるし、期間A1～E1のいずれかを省略することが可能である。または、期間T2は、期間A2～E2の他にも様々な期間を有することが可能であるし、期間A2～E2のいずれかを省略することが可能である。

【0098】

なお、一例として、期間T1と期間T2とは、交互に配置されるものとする。ただし、これに限定されず、期間T1と期間T2とは様々な順番に配置されることが可能である。

【0099】

なお、一例として、期間T1において、期間A1、期間B1、及び期間C1が順に配置される。その後、期間T1の終わりまで（又は期間T2の始まりまで）、期間D1と期間E1とが交互に配置されるものとする。ただし、これに限定されない。例えば、期間T1の始まりから、期間A1の始まりまでの期間に、期間D1、及び／又は、期間E1を配置することが可能である。

【0100】

なお、一例として、期間T2において、期間A2、期間B2、及び期間C2が順に配置される。その後、期間T2の終わりまで（又は期間T1の始まりまで）、期間D2と期間E2とが交互に配置されるものとする。ただし、これに限定されない。例えば、期間T2の始まりから、期間A2の始まりまでの期間に、期間D2、及び／又は、期間E2を配置することが可能である。

【0101】

まず、期間T1の動作について説明する。期間T1では、信号SEL1はハイレベルになり、信号SEL2がロウレベルになる。

【0102】

期間A1において、図3（A）に示すように、信号SPはハイレベルになる。すると、回路200は、ハイレベルの信号又は電圧V2をノードn1に供給する。よって、ノードn1の電圧は、上昇し始める。一方で、回路200は、ロウレベルの信号又は電圧V1をノードn2に供給する。よって、ノードn2の電圧は、おおむねV1になるように減少する。または、おおむねV1に維持される。この結果、トランジスタ101__2はオフになる。その後、ノードn1の電圧は上昇し続け、やがて、ノードn1の電圧がV1+Vth101__1（Vth101__1：トランジスタ101__1の閾値電圧）+Vxまで上昇する。このときVxは0より大きい値である。すると、トランジスタ101__1はオンになるので、配線112と配線111とは、トランジスタ101__1を介して導通状態になる。よって、ロウレベルの信号CK1は、配線112からトランジスタ101__1を介して配線111に供給される。この結果、信号OUTは、ロウレベルになる。その後、ノードn

10

20

30

40

50

1の電圧はさらに上昇する。やがて、回路200は、ノードn1への信号又は電圧の供給を止めるので、回路200とノードn1とは非導通状態になる。この結果、ノードn1は、浮遊状態になり、ノードn1の電圧は、 $V1 + V_{th101_1} + V_x$ の値に維持される。ただし、これに限定されない。例えば、期間A1において、回路200は、 $V1 + V_{th101_1} + V_x$ の電圧をノードn1に供給し続けることが可能である。

【0103】

なお、期間A1において、回路200は、ロウレベルの信号又は電圧V1を配線111に供給することが可能であるし、信号又は電圧などを配線111に供給しないことが可能である。

【0104】

次に、期間B1において、図3(B)に示すように、信号SPはロウレベルになる。すると、回路200は、信号又は電圧などをノードn1に供給しないままになる。よって、ノードn1は、浮遊状態のままになるので、ノードn1の電圧は、 $V1 + V_{th101_1} + V_x$ の値のままになる。つまり、トランジスタ101__1はオンのままになるので、配線112と配線111とはトランジスタ101__1を介して導通状態のままになる。一方で、回路200は、ロウレベルの信号又は電圧V1をノードn2に供給する。よって、ノードn2の電圧は、おおむねV1のままになる。この結果、トランジスタ101__2はオフのままになる。このとき、信号CK1はロウレベルからハイレベルに上昇する。すると、ハイレベルの信号CK1は、配線112からトランジスタ101__1を介して配線111に供給されるので、配線111の電圧が上昇し始める。すると、ノードn1は浮遊状態のままなので、ノードn1の電圧は、トランジスタ101__1のゲートと第2の端子との間の寄生容量によって、 $V2 + V_{th101_1} + V_x$ の値まで上昇する。いわゆる、ブートストラップ動作である。こうして、配線111の電圧がV2まで上昇することが可能になる。このようにして、信号OUTは、ハイレベルになる。

【0105】

なお、期間B1において、回路200は、信号又は電圧などを配線111に供給していない場合が多い。ただし、これに限定されず、回路200は、ハイレベルの信号又は電圧V2などを配線111に供給することが可能である。

【0106】

次に、期間C1において、図3(C)に示すように、信号REがハイレベルになる。すると、回路200は、ロウレベルの信号又は電圧V1をノードn1、ノードn2、及び／又は、配線111に供給する。よって、ノードn1の電圧、ノードn2の電圧、及び／又は、配線111の電圧は、おおむねV1になる。この結果、トランジスタ101__1、及びトランジスタ101__2はオフになるので、配線112と配線111とは非導通状態になる。そして、信号OUTは、ロウレベルになる。

【0107】

なお、期間C1において、ノードn1の電圧が減少するタイミングよりも、信号CK1がロウレベルになるタイミングの方が早い場合がある。つまり、トランジスタ101__1がオフになる前に、信号CK1がロウレベルになる場合がある。よって、ロウレベルの信号CK1は、配線112からトランジスタ101__1を介して配線111に供給される場合がある。このような場合、トランジスタ101__1のチャネル幅は、例えば他のトランジスタを有する場合に他のトランジスタのチャネル幅より大きい場合が多いので、信号OUTの立ち下がり時間を短くすることができる。よって、期間C1においては、回路200からロウレベルの信号又は電圧V1が配線111に供給される場合と、配線112からトランジスタ101__1を介してロウレベルの信号が配線111に供給される場合と、回路200からロウレベルの信号又は電圧V1が配線111に供給され、且つ配線112からトランジスタ101__1を介してロウレベルの信号が配線111に供給される場合とがある。

【0108】

次に、期間D1、及び期間E1において、図3(D)に示すように、回路200は、ロウ

10

20

30

40

50

レベルの信号又は電圧V1をノードn1、ノードn2、及び／又は、配線111に供給する。すると、ノードn1の電圧、ノードn2の電圧、及び／又は、配線111の電圧は、おおむねV1のままになる。よって、トランジスタ101_1、及びトランジスタ101_2はオフのままになるので、配線112と配線111とは非導通状態のままになる。そして、信号OUTは、ロウレベルのままになる。

【0109】

なお、期間D1と期間E1との一方の期間において、回路200は、ロウレベルの信号又は電圧V1をノードn1、ノードn2、及び／又は、配線111に供給し、他方の期間において、回路200は、信号又は電圧をノードn1、ノードn2、及び／又は、配線111に供給しないことが可能である。

10

【0110】

次に、期間T2の動作について説明する。期間T2では、信号SEL1はロウレベルになり、信号SEL2はハイレベルになる。

【0111】

期間A2において、図4(A)に示すように、信号SPはハイレベルになる。すると、回路200は、ロウレベルの信号又は電圧V1をノードn1に供給する。よって、ノードn1の電圧は、おおむねV1になるように減少する。または、おおむねV1に維持される。この結果、トランジスタ101_1はオフになる。一方で、回路200は、ハイレベルの信号又は電圧V2をノードn2に供給する。よって、ノードn2の電圧は、上昇し始める。その後、ノードn2の電圧は上昇し続け、やがて、ノードn2の電圧が $V1 + V_{th101_2}$ (V_{th101_2} : トランジスタ101_2の閾値電圧) + V_x まで上昇する。すると、トランジスタ101_2はオンになるので、配線112と配線111とは、トランジスタ101_2を介して導通状態になる。よって、ロウレベルの信号CK1は、配線112からトランジスタ101_2を介して配線111に供給される。この結果、信号OUTは、ロウレベルになる。その後、ノードn2の電圧はさらに上昇する。やがて、回路200は、ノードn2への信号又は電圧の供給を止めるので、回路200とノードn2とは非導通状態になる。この結果、ノードn2は、浮遊状態になり、ノードn2の電圧は、 $V1 + V_{th101_2} + V_x$ の値に維持される。ただし、これに限定されない。例えば、回路200は、 $V1 + V_{th101_2} + V_x$ の電圧をノードn2に供給し続けることが可能である。

20

30

【0112】

なお、期間A2において、回路200は、ロウレベルの信号又は電圧V1を配線111に供給することが可能であるし、信号又は電圧などを配線111に供給しないことが可能である。

【0113】

次に、期間B2において、図4(B)に示すように、信号SPはロウレベルになる。すると、回路200は、ロウレベルの信号又は電圧V1をノードn1に供給する。よって、ノードn1の電圧は、おおむねV1のままになる。この結果、トランジスタ101_1はオフのままになる。一方で、回路200は、信号又は電圧などをノードn2に供給しないままになる。よって、ノードn2は、浮遊状態のままになるので、ノードn2の電圧は、 $V1 + V_{th101_2} + V_x$ の値のままになる。つまり、トランジスタ101_2はオンのままになるので、配線112と配線111とはトランジスタ101_2を介して導通状態のままになる。このとき、信号CK1はロウレベルからハイレベルに上昇する。すると、ハイレベルの信号CK1は、配線112からトランジスタ101_2を介して配線111に供給されるので、配線111の電圧が上昇し始める。すると、ノードn2は浮遊状態のままなので、ノードn2の電圧は、トランジスタ101_2のゲートと第2の端子との間の寄生容量によって、 $V2 + V_{th101_2} + V_x$ の値まで上昇する。いわゆる、ブートストラップ動作である。こうして、配線111の電圧がV2まで上昇することが可能になる。このようにして、信号OUTは、ハイレベルになる。

40

【0114】

50

なお、期間B2において、回路200は、信号又は電圧などを配線111に供給していない場合が多い。ただし、これに限定されず、回路200は、ハイレベルの信号又は電圧V2などを配線111に供給することが可能である。

【0115】

次に、期間C2において、図4(C)に示すように、信号REがハイレベルになる。すると、回路200は、ロウレベルの信号又は電圧V1をノードn1、ノードn2、及び／又は、配線111に供給する。よって、ノードn1の電圧、ノードn2の電圧、及び／又は、配線111の電圧は、V1になる。この結果、トランジスタ101_1、及びトランジスタ101_2はオフになるので、配線112と配線111とは非導通状態になる。そして、信号OUTは、ロウレベルになる。

10

【0116】

なお、期間C2において、ノードn1の電圧が減少するタイミングよりも、信号CK1がロウレベルになるタイミングの方が早い場合がある。つまり、トランジスタ101_2がオフになる前に、信号CK1がロウレベルになる場合がある。よって、ロウレベルの信号CK1は、配線112からトランジスタ101_1を介して配線111に供給される場合がある。このような場合、トランジスタ101_1のチャンネル幅は、例えば他のトランジスタを有する場合に他のトランジスタのチャンネル幅より大きい場合が多いので、信号OUTの立ち下がり時間を短くすることができる。よって、期間C2においては、回路200からロウレベルの信号又は電圧V1が配線111に供給される場合と、配線112からトランジスタ101_1を介してロウレベルの信号が配線111に供給される場合と、回路200からロウレベルの信号又は電圧V1を配線111が供給され、且つ配線112からトランジスタ101_1を介してロウレベルの信号が配線111に供給される場合とがある。

20

【0117】

次に、期間D2、及び期間E2において、図4(D)に示すように、回路200は、ロウレベルの信号又は電圧V1をノードn1、ノードn2、及び／又は、配線111に供給する。すると、ノードn1の電圧、ノードn2の電圧、及び／又は、配線111の電圧は、おおむねV1のままになる。よって、トランジスタ101_1、及びトランジスタ101_2はオフのままになるので、配線112と配線111とは非導通状態のままになる。そして、信号OUTは、ロウレベルのままになる。

30

【0118】

なお、期間D2と期間E2との一方の期間において、回路200は、ロウレベルの信号又は電圧V1をノードn1、ノードn2、及び／又は、配線111に供給し、他方の期間において、回路200は、信号又は電圧をノードn1、ノードn2、及び／又は、配線111に供給しないことが可能である。

【0119】

以上のように、期間T1において、トランジスタ101_2はオフになり、期間T2において、トランジスタ101_1はオフになることが可能である。よって、トランジスタ101_1～101_2がオンになる回数、トランジスタ101_1～101_2に大きなVgsが印加される回数、及び／又は、トランジスタ101_1～101_2がオンになる時間、をそれぞれ少なくすることができるので、トランジスタ101_1～101_2の特性劣化を抑制することができる。

40

【0120】

または、トランジスタの特性劣化を抑制できることによって、様々なメリットを得ることができる。例えば、配線111が画素と接続される場合、画素が保持するビデオ信号は、信号OUTの波形に影響を受けることがある。例えば、信号OUTのハイレベルの電圧がV2まで上昇しない場合、画素が有するトランジスタ（例えば選択トランジスタ、又はスイッチングトランジスタ）がオンになる時間は短くなる。この結果、画素へのビデオ信号の書き込み不足を生じ、表示品位が低下してしまうことがある。または、信号OUTの立ち下がり時間、及び立ち上がり時間が長くなる場合、選択された行に属する画素に、別の

50

行に属する画素へのビデオ信号が書き込まれてしまうことがある。この結果、表示品位が低下してしまう。または、信号OUTの立ち下がり時間がばらつく場合、画素が保持するビデオ信号へのフィードスルーの影響がばらついてしまうことがある。この結果、クロストーク等により引き起こされる表示ムラを生じてしまう。

【0121】

しかしながら、本実施の形態の半導体装置は、トランジスタの特性劣化を抑制することができる。よって、信号OUTのハイレベルの電圧をV₂まで上昇させることができるので、画素が有するトランジスタがオンになる時間を長くすることができる。この結果、画素に十分な時間でビデオ信号を書き込むことができるので、表示品位の向上を図ることができる。または、信号OUTの立ち下がり時間、及び立ち上がり時間を短くすることができるので、選択された行に属する画素に、別の行に属する画素へのビデオ信号が書き込まれてしまうことを防止することができる。この結果、表示品位の向上を図ることができる。または、信号OUTの立ち下がり時間のばらつきを抑制することができるので、画素が保持するビデオ信号へのフィードスルーの影響のばらつきを抑制することができる。よって、表示ムラを抑制することができる。

10

【0122】

または、本実施の形態の半導体装置では、全てのトランジスタの極性をNチャネル型又はPチャネル型とすることが可能である。したがって、CMOS回路と比較して、工程数の削減、歩留まりの向上、信頼性の向上、又はコストの削減を図ることができる。特に、画素部などを含めて、全てのトランジスタがNチャネル型の場合、トランジスタの半導体層として、非単結晶半導体、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能になる。ただし、これらの半導体を用いたトランジスタは、劣化しやすい場合が多い。しかし本実施の形態の半導体装置は、トランジスタの劣化を抑制することができる。

20

【0123】

または、トランジスタの劣化を抑制することができるので、トランジスタが劣化した場合のことを考慮し、トランジスタのチャネル幅を大きくする必要がない。よって、トランジスタのチャネル幅を小さくすることができる。

【0124】

なお、期間T₁において、トランジスタ101__1がオンになる期間（期間A₁、及び期間B₁）を第1の期間又は第1のサブ期間と呼び、トランジスタ101__1がオフになる期間（期間C₁、期間D₁、及び期間E₁）を第2の期間又は第2のサブ期間と呼ぶことが可能である。同様に、期間T₂において、トランジスタ101__2がオンになる期間（期間A₂、及び期間B₂）を第3の期間又は第3のサブ期間と呼び、トランジスタ101__2がオフになる期間（期間C₂、期間D₂、及び期間E₂）を第4の期間又は第4のサブ期間と呼ぶことが可能である。

30

【0125】

なお、トランジスタ101__1がオンになる期間（期間A₁、及び期間B₁）は、トランジスタ101__1がオフになる期間（期間C₁～E₁）よりも短い場合が多い。または、トランジスタ101__2がオンになる期間（期間A₂、及び期間B₂）は、トランジスタ101__2がオフになる期間（期間C₂～E₂）よりも短い場合が多い。または、トランジスタ101__1がオンになる期間と、トランジスタ101__2がオンになる期間とは、おおむね等しい長さである場合が多い。ただし、これに限定されない。

40

【0126】

なお、期間T₁において、期間B₁は、選択期間としての機能を有し、期間A₁、期間C₁、期間D₁、及び期間E₁は、非選択期間として機能を有することが可能である。同様に、期間T₂において、期間B₂は、選択期間としての機能を有し、期間A₂、期間C₂、期間D₂、及び期間E₂は、非選択期間として機能を有することが可能である。

【0127】

なお、期間A₁及び期間A₂は、セット期間、又はスタート期間として機能を有すること

50

が可能である。期間 B 1 及び期間 B 2 は、選択期間としての機能を有することが可能である。または、期間 C 1 及び期間 C 2 は、リセット期間としての機能を有することが可能である。

【0128】

なお、期間 T 1、及び期間 T 2 は、フレーム期間としての機能を有することが可能である。なお、フレーム周波数は、おおむね 60 Hz（又は 50 Hz）であることが好ましい。ただし、これに限定されない。例えば、フレーム周波数を 60 Hz よりも高くすることによって、動画のぼやけ、又は残像を改善することができる。ただし、フレーム周波数が高すぎると、駆動周波数が高くなるので、消費電力が増加してしまう。よって、消費電力の増加を抑制するためには、フレーム周波数は、60 Hz（又は 50 Hz）以上 360 Hz 以下であることが好ましい。より好ましくは、60 Hz（又は 50 Hz）以上 240 Hz 以下であることが好ましい。さらに好ましくは、60 Hz（又は 50 Hz）以上 120 Hz（又は 100 Hz）以下であることが好ましい。一方で、フレーム周波数を 60 Hz よりも低くすることによって、外部回路を簡単な構成にすることができる。または、消費電力を低減することができる。よって、携帯電話などのモバイル機器にも本発明の一態様である半導体装置を適用することができる。ただし、フレーム周波数が低すぎると、画素の保持容量が大きくなり、画素の開口率が下がってしまう。よって、開口率の低下を抑制するためには、フレーム周波数は、15 Hz 以上 60 Hz（又は 50 Hz）以下であることが好ましい。より好ましくは、30 Hz 以上 60 Hz（又は 50 Hz）以下であることが好ましい。

【0129】

なお、期間 A 1～E 1、及び期間 A 2～E 2 は、サブ期間、又は 1 ゲート選択期間としての機能を有することが可能である。

【0130】

なお、期間又はサブ期間のことを、ステップ、処理、又は動作と言い換えることが可能である。例えば、第 1 の期間と記載する場合、第 1 のステップ、第 1 の処理、又は第 1 の動作と言い換えることが可能である。

【0131】

なお、期間 T 1 の開始時刻から、期間 A 1 の開始時刻までの時間は、期間 T 2 の開始時刻から、期間 A 2 の開始時刻までの時間とおおむね等しいことが好ましい。ただし、これに限定されない。

【0132】

なお、信号 CK 1、及び信号 CK 2 は、非平衡であることが可能である。図 5（A）に一例として、1 周期のうち、ハイレベルになる期間がロウレベルになる期間よりも短い場合のタイミングチャートを示す。ハイレベルになる期間をロウレベルになる期間よりも短くすることによって、期間 C 1、又は期間 C 2 において、ロウレベルの信号 CK 1 を配線 111 に供給することが可能になるので、信号 OUT の立ち下がり時間を短くすることができる。特に、配線 111 が画素部に延伸して形成される場合、画素への不正なビデオ信号の書き込みを防止することができる。ただし、これに限定されない。例えば、1 周期のうち、ハイレベルになる期間がロウレベルになる期間よりも長いことが可能である。

【0133】

なお、半導体装置には、多相のクロック信号を用いることが可能である。例えば、半導体装置には、 n （ n は自然数）相のクロック信号を用いることが可能である。 n 相のクロック信号とは、周期がそれぞれ $1/n$ 周期ずつずれた n 個のクロック信号のことである。図 5（B）には、一例として、半導体装置に 3 相のクロック信号を用いる場合のタイミングチャートを示す。ただし、これに限定されない。

【0134】

なお、 n が大きいほど、クロック周波数が低くなるので、消費電力の低減を図ることができる。ただし、 n が大きすぎると、信号の数が増えるので、レイアウト面積が大きくなったり、外部回路の規模が大きくなったりする場合がある。よって、 $n < 8$ であることが好

10

20

30

40

50

ましい。より好ましくは、 $n < 6$ であることが好ましい。さらに好ましくは、 $n = 4$ 、又は $n = 3$ であることが好ましい。ただし、これに限定されない。

【0135】

なお、トランジスタ101__1とトランジスタ101__2とは、同時にオンになることが可能である。この場合、例えば、回路200は、ノードn1、及びノードn2に、ハイレベルの信号又は電圧V2を供給することが可能である。

【0136】

なお、トランジスタ101__1のチャネル幅と、トランジスタ101__2のチャネル幅とは、おおむね等しいことが好ましい。このように、トランジスタサイズをおおむね等しくすることによって、電流供給能力をおおむね等しくすることができる。または、トランジスタの劣化の程度をおおむね等しくすることができる。よって、選択されるトランジスタが切り替わっても、信号OUTの波形をおおむね等しくすることができる。なお、同様の理由で、トランジスタ101__1のチャネル長と、トランジスタ101__2のチャネル長とは、おおむね等しいことが好ましい。ただし、これに限定されない。

【0137】

なお、トランジスタのチャネル幅と記載する場合、トランジスタの W/L (W はチャネル幅、 L はチャネル長) 比と言い換えることが可能である。

【0138】

なお、トランジスタ101__1、及びトランジスタ101__2はゲート信号線などの大きな負荷を駆動させるので、トランジスタ101__1のチャネル幅、及びトランジスタ101__2のチャネル幅は、大きいほうが好ましい。例えば、トランジスタ101__1のチャネル幅、及びトランジスタ101__2のチャネル幅は、 $1000\mu\text{m} \sim 30000\mu\text{m}$ であることが好ましい。より好ましくは $2000\mu\text{m} \sim 20000\mu\text{m}$ であることが好ましい。さらに好ましくは、 $3000\mu\text{m} \sim 8000\mu\text{m}$ 、又は $10000\mu\text{m} \sim 18000\mu\text{m}$ であることが好ましい。ただし、これに限定されない。

【0139】

なお、図1(A)で述べる構成において、図1(B)に示すように、回路100は、トランジスタ101__1～101__N (N は2以上の自然数) という複数のトランジスタを有することが可能である。トランジスタ101__1～101__Nの第1の端子は、配線112と接続される。トランジスタ101__1～101__Nの第2の端子は、配線111と接続される。トランジスタ101__1～101__Nのゲートは、回路200と接続される。なお、トランジスタ101__1～101__Nのゲートと回路200との接続箇所を、各々、ノードn1～nNと示す。ただし、これに限定されない。

【0140】

なお、 N が大きいことによって、トランジスタがオンになる回数、又はトランジスタがオンになる時間を、それぞれ減らすことができる。よって、 N が大きいほど、トランジスタの劣化を抑制することができる。ただし、 N が大きすぎると、トランジスタの数が増えすぎてしまい、回路規模が大きくなってしまう。よって、 N は、6以下であることが好ましい。より好ましくは4以下であることが好ましい。さらに好ましくは、 $N = 2$ 、又は $N = 3$ であることが好ましい。

【0141】

なお、図1(A)～(B)で述べる構成において、図1(C)に示すように、トランジスタ101__1の第1の端子とトランジスタ101__2の第1の端子とは、別々の配線と接続されることが可能である。図1(C)の一例では、配線112は配線112A～112Bという複数の配線に分割される。そして、トランジスタ101__1の第1の端子は、配線112Aと接続され、トランジスタ101__2の第1の端子は、配線112Bと接続される。なお、配線112A～112Bは、配線112と同様の機能を有することが可能である。よって、配線112A～112Bには、信号CK1などの信号を入力することが可能である。ただし、これに限定されない。例えば、配線112Aと配線112Bとに、別々の電圧、又は別々の信号を供給することが可能である。

【0142】

なお、図1 (A) ~ (C) で述べる構成において、図1 (D) に示すように、トランジスタ101__1のゲートと第2の端子との間に容量素子102__1を接続し、トランジスタ101__2のゲートと第2の端子との間に容量素子102__2を接続することが可能である。こうすることによって、ブートストラップ動作時に、ノードn1の電圧、又はノードn2の電圧が上昇しやすくなる。よって、トランジスタ101__1、及びトランジスタ101__2のV_{gs}を大きくすることができるので、これらのトランジスタのチャネル幅を小さくすることができる。または、信号OUTの立ち下がり時間、又は立ち上がり時間を短くすることができる。ただし、これに限定されない。例えば、容量素子として、MIS容量を用いることが可能である。

10

【0143】

なお、容量素子102__1~102__2の一方の電極の材料は、トランジスタ101__1~101__2のゲートと同様の材料であることが好ましい。容量素子102__1~102__2の他方の電極の材料は、トランジスタ101__1~101__2のソース又はドレインと同様の材料であることが好ましい。こうすることによって、レイアウト面積を小さくすることができる。または、容量値を大きくすることができる。ただし、これに限定されない。

【0144】

なお、容量素子102__1の容量値と、容量素子102__2の容量値とはおおむね等しいことが好ましい。または、容量素子102__1の一方の電極と他方の電極とが重なる面積と、容量素子102__2の一方の電極と他方の電極とが重なる面積とは、おおむね等しいことが好ましい。こうすることによって、トランジスタ101__1及びトランジスタ101__2を互いに切り替えて用いても、トランジスタ101__1のV_{gs}とトランジスタ101__2のV_{gs}とおおむね等しくすることが可能なので、信号OUTの波形をおおむね等しくすることができる。ただし、これに限定されない。

20

【0145】

なお、図1 (A) ~ (D) で述べる構成において、図1 (E) に示すように、トランジスタ101__1を、一方の端子（以下、正極ともいう）がノードn1と接続され、他方の端子（以下、負極ともいう）が配線111と接続されるダイオード101a__1と置き換え、トランジスタ101__2を、一方の端子がノードn2と接続され、他方の端子が配線111と接続されるダイオード101a__2と置き換えることが可能である。ただし、これに限定されない。例えば、図1 (A) ~ (D) で述べる構成において、図1 (F) に示すように、トランジスタ101__1の第1の端子をノードn1に接続させることによって、トランジスタ101__1をダイオード接続させた構成にすることが可能である。同様に、トランジスタ101__2の第1の端子をノードn2に接続させることによって、トランジスタ101__2をダイオード接続させた構成にすることが可能である。

30

【0146】

なお、図1 (A) ~ (F) で述べる構成において、図6 (A) に示すように、信号OUTとは別に、転送用の信号を生成することが可能である。例えば、複数の半導体装置が縦続接続されているとする。この場合、転送用の信号は、ゲート信号線に入力されずに、次の半導体装置にスタート信号として入力される場合が多いので、転送用の信号の遅延又はなまりは、信号OUTと比較して小さくなる場合が多い。したがって、遅延又はなまりが小さい信号を用いて、半導体装置を駆動することができるので、半導体装置の出力信号の遅延を低減することができる。または、ノードn1、又はノードn2を充電するタイミングを早くすることができるので、動作範囲を広くすることができる。ただし、これに限定されない。

40

【0147】

このために、図6 (A) に示すように、本実施の形態の半導体装置は、回路150を有することが可能である。回路150は、トランジスタ151__1~151__2という複数のトランジスタを有する。トランジスタ151__1~151__2は、トランジスタ101__

50

1～101__2と同じ極性であることが好ましく、Nチャネル型であるものとする。ただし、これに限定されず、トランジスタ151__1～151__2は、Pチャネル型であることが可能である。

【0148】

トランジスタ151__1の第1の端子は、配線112と接続され、トランジスタ151__1の第2の端子は、配線119と接続され、トランジスタ151__1のゲートは、ノードn1と接続される。トランジスタ151__2の第1の端子は、配線112と接続され、トランジスタ151__2の第2の端子は、配線119と接続され、トランジスタ151__2のゲートは、ノードn2と接続される。

【0149】

配線119は、一例として、複数の半導体装置が縦続接続されているとすると、別の段（例えば次の段）の半導体装置の配線115と接続される場合が多い。この場合、配線111は、画素部に延伸して形成されることが可能である。または、画素が有するトランジスタ（例えばスイッチングトランジスタ、選択トランジスタ）のゲートと接続されることが可能である。ただし、これに限定されない。例えば、配線119は、画素部に延伸して配置されることが可能である。または、配線119は、画素が有するトランジスタのゲートと接続されることが可能である。または、配線119は、別の段（例えば前の段）の半導体装置の配線117と接続されることが可能である。

【0150】

配線119からは、一例として、信号SOUTが出力されるものとする。信号SOUTは、ハイレベルとロウレベルとを有するデジタル信号である場合が多く、半導体装置の出力信号としての機能を有することが可能である。よって、配線119は、信号線、又は出力信号線としての機能を有することが可能である。例えば、複数の半導体装置が縦続接続されているとすると、この場合、配線119は、別の段（例えば次の段）の半導体装置の配線115と接続される場合が多いので、信号SOUTは、転送用の信号、又はスタート信号としての機能を有することが可能である。ただし、これに限定されない。例えば、配線119が画素部に延伸して配置される場合、又は配線119が画素のトランジスタのゲートと接続される場合、信号SOUTは、ゲート信号、走査信号、又は選択信号としての機能を有することが可能である。よって、配線119は、ゲート信号線、又は走査線としての機能を有することが可能である。別の例として、配線119が別の段（例えば前の段）の半導体装置の配線117と接続される場合、信号SOUTは、リセット信号としての機能を有することが可能である。

【0151】

回路150は、一例として、ノードn1の電圧、及び／又は、ノードn2の電圧に応じて、配線112と配線119との導通状態を制御する機能を有する。または、回路150は、配線112の電圧を配線119に供給するタイミングを制御する機能を有する。例えば、配線112に、信号又は電圧など（例えば電圧V2又は信号CK1など）が供給される場合、回路150は、配線112に供給される信号又は電圧などを、配線119に供給するタイミングを制御する機能を有する。または、回路150は、ハイレベルの信号（例えば信号CK1）を配線119に供給するタイミングを制御する機能を有する。または、回路150は、配線119の電圧を上昇させるタイミングを制御する機能を有する。または、回路150は、ロウレベルの信号（例えば信号CK1）を配線119に供給するタイミングを制御する機能を有する。または、回路150は、配線119の電圧を減少させるタイミング又は維持するタイミングを制御する機能を有する。または、回路150は、ノードn1の電圧、及び／又は、ノードn2の電圧をブートストラップ動作によって上昇させるタイミングを制御する機能を有する。以上のように、回路150は、制御回路、バッファ回路、又はスイッチなどとしての機能を有することが可能である。ただし、これに限定されない。なお、回路150は、上記の機能のすべてを有する必要はない。

【0152】

トランジスタ151__1は、一例として、ノードn1の電圧に応じて、配線112と配線

10

20

30

40

50

119との導通状態を制御する機能を有する。または、トランジスタ151__1は、配線112の電圧を配線119に供給するタイミングを制御する機能を有する。例えば、配線112に、信号又は電圧など（例えば電圧V2又は信号CK1など）が供給される場合、トランジスタ151__1は、配線112に供給される信号又は電圧などを、配線119に供給するタイミングを制御する機能を有する。または、トランジスタ151__1は、ハイレベルの信号（例えば信号CK1）を配線119に供給するタイミングを制御する機能を有する。または、トランジスタ151__1は、配線119の電圧を上昇させるタイミングを制御する機能を有する。または、トランジスタ151__1は、ロウレベルの信号（例えば信号CK1）を配線119に供給するタイミングを制御する機能を有する。または、トランジスタ151__1は、配線119の電圧を減少させるタイミング又は維持するタイミングを制御する機能を有する。または、トランジスタ151__1は、ブートストラップ動作を行う機能を有する。または、トランジスタ151__1は、ノードn1の電圧をブートストラップ動作によって上昇させる機能を有する。以上のように、トランジスタ151__1は、バッファ、又はスイッチなどとしての機能を有することが可能である。ただし、これに限定されない。なお、トランジスタ151__1は、上記の機能のすべてを有する必要はない。

10

【0153】

トランジスタ151__2は、一例として、ノードn2の電圧に応じて、配線112と配線119との導通状態を制御する機能を有する。または、トランジスタ151__2は、配線112の電圧を配線119に供給するタイミングを制御する機能を有する。例えば、配線112に、信号又は電圧など（例えば電圧V2又は信号CK1など）が供給される場合、トランジスタ151__2は、配線112に供給される信号又は電圧などを、配線119に供給するタイミングを制御する機能を有する。または、トランジスタ151__2は、ハイレベルの信号（例えば信号CK1）を配線119に供給するタイミングを制御する機能を有する。または、トランジスタ151__2は、配線119の電圧を上昇させるタイミングを制御する機能を有する。または、トランジスタ151__2は、ロウレベルの信号（例えば信号CK1）を配線119に供給するタイミングを制御する機能を有する。または、トランジスタ151__2は、配線119の電圧を減少させるタイミング又は維持するタイミングを制御する機能を有する。または、トランジスタ151__2は、ブートストラップ動作を行う機能を有する。または、トランジスタ151__2は、ノードn2の電圧をブートストラップ動作によって上昇させる機能を有する。以上のように、トランジスタ151__2は、バッファ、又はスイッチなどとしての機能を有することが可能である。ただし、これに限定されない。なお、トランジスタ151__2は、上記の機能のすべてを有する必要はない。

20

30

【0154】

図7のタイミングチャート、図8(A)～(D)の半導体装置の模式図、及び図9(A)～(D)の半導体装置の模式図に示すように、トランジスタ151__1～151__2は、トランジスタ101__1～101__2とおおむね等しいタイミングで動作する場合が多い。例えば、期間A1～B1において、トランジスタ101__1がオンになると、トランジスタ151__1もオンになる。その後、期間C1～E1において、トランジスタ101__1がオフになると、トランジスタ151__1もオフになる。そして、期間A2～B2において、トランジスタ101__2がオンになると、トランジスタ151__2もオンになる。その後、期間C2～E2において、トランジスタ101__2がオフになると、トランジスタ151__2もオフになる。よって、信号SOUTは、信号OUTとおおむね等しいタイミングでハイレベルとロウレベルとが切り替わる場合が多い。ただし、これに限定されない。

40

【0155】

なお、トランジスタ151__1のチャンネル幅と、トランジスタ151__2のチャンネル幅とは、おおむね等しいことが好ましい。このように、トランジスタサイズをおおむね等しくすることによって、電流供給能力をおおむね等しくすることができる。または、トランジ

50

スタの劣化の程度をおおむね等しくすることができる。よって、選択されるトランジスタが切り替わっても、信号SOUTの波形をおおむね等しくすることができる。なお、同様の理由で、トランジスタ151__1のチャンネル長と、トランジスタ151__2のチャンネル長とは、おおむね等しいことが好ましい。ただし、これに限定されない。

【0156】

なお、信号SOUTが転送用の信号として用いられ、信号OUTがゲート信号、走査信号、又は選択信号として用いられる場合、配線119の負荷は、配線111の負荷よりも小さくなる場合が多い。よって、トランジスタ151__1のチャンネル幅は、トランジスタ101__1のチャンネル幅よりも小さいことが好ましい。同様に、トランジスタ151__2のチャンネル幅は、トランジスタ101__2のチャンネル幅よりも小さいことが好ましい。ただし、これに限定されない。

10

【0157】

なお、トランジスタ151__1のチャンネル長は、トランジスタ101__1のチャンネル長とおおむね等しいことが好ましい。または、トランジスタ151__2のチャンネル長は、トランジスタ101__2のチャンネル長とおおむね等しいことが好ましい。ただし、これに限定されない。

【0158】

なお、トランジスタ151__1のチャンネル幅、及びトランジスタ151__2のチャンネル幅は、100 μ m～5000 μ mであることが好ましい。より好ましくは、300 μ m～2000 μ mであることが好ましい。さらに好ましくは、500 μ m～1000 μ mであることが好ましい。ただし、これに限定されない。

20

【0159】

なお、図6(A)で述べる構成において、図6(B)に示すように、図1(B)と同様に、回路150は、トランジスタ151__1～151__N(Nは2以上の自然数)という複数のトランジスタを有することが可能である。トランジスタ151__1～151__Nの第1の端子は、配線112と接続される。トランジスタ151__1～151__Nの第2の端子は、配線119と接続される。トランジスタ151__1～151__Nのゲートは、各々、ノードn1～nNのいずれかと接続される。ただし、これに限定されない。

【0160】

なお、図6(A)～(B)で述べる構成において、図6(C)に示すように、図1(C)と同様に、トランジスタ151__1の第1の端子とトランジスタ151__2の第1の端子とは、別々の配線と接続されることが可能である。図6(C)の一例では、配線112は、配線112C～112Dという複数の配線に分割される。そして、トランジスタ151__1の第1の端子は、配線112Cと接続され、トランジスタ151__2の第1の端子は、配線112Dと接続される。ただし、これに限定されない。

30

【0161】

なお、図6(A)～(C)で述べる構成において、図6(D)に示すように、図1(D)と同様に、トランジスタ151__1のゲートと第2の端子との間に容量素子152__1を接続し、トランジスタ151__2のゲートと第2の端子との間に容量素子152__2を接続することが可能である。ただし、これに限定されない。

40

【0162】

なお、容量素子152__1の容量値と、容量素子152__2の容量値とはおおむね等しいことが好ましい。または、容量素子152__1の一方の電極と他方の電極とが重なる面積と、容量素子152__2の一方の電極と他方の電極とが重なる面積とは、おおむね等しいことが好ましい。こうすることによって、トランジスタ151__1及びトランジスタ151__2を互いに切り替えて用いても、トランジスタ151__1のVgsとトランジスタ151__2のVgsとおおむね等しくすることが可能なので、信号SOUTの波形をおおむね等しくすることができる。ただし、これに限定されない。

【0163】

なお、図6(A)～(D)で述べる構成において、図6(E)に示すように、図1(E)

50

と同様に、トランジスタ 1 5 1 __ 1 を、一方の端子がノード n 1 と接続され、他方の端子が配線 1 1 9 と接続されるダイオード 1 5 1 a __ 1 と置き換えることが可能である。同様に、トランジスタ 1 5 1 __ 2 を、一方の端子がノード n 2 と接続され、他方の端子が配線 1 1 9 と接続されるダイオード 1 5 1 a __ 2 と置き換えることが可能である。ただし、これに限定されない。例えば、図 6 (A) ~ (D) で述べる構成において、図 6 (F) に示すように、図 1 (F) と同様に、トランジスタ 1 5 1 __ 1 の第 1 の端子をノード n 1 に接続させることによって、トランジスタ 1 5 1 __ 1 をダイオード接続させた構成にすることが可能である。同様に、トランジスタ 1 5 1 __ 2 の第 1 の端子をノード n 2 に接続させることによって、トランジスタ 1 5 1 __ 2 をダイオード接続させた構成にすることが可能である。

10

【0164】

なお、図 6 (A) ~ (F) で述べる構成において、図 6 (G) に示すように、トランジスタ 1 5 1 __ 1 の第 2 の端子とトランジスタ 1 5 1 __ 2 の第 2 の端子とは、別々の配線と接続されることが可能である。図 6 (G) の一例では、配線 1 1 9 は、配線 1 1 9 A ~ 1 1 9 B という複数の配線に分割される。そして、トランジスタ 1 5 1 __ 1 の第 2 の端子は、配線 1 1 9 A と接続され、トランジスタ 1 5 1 __ 2 の第 2 の端子は、配線 1 1 9 B と接続される。ただし、これに限定されない。

【0165】

(実施の形態 2)

本実施の形態の一例は、第 1 の端子が第 1 の配線と電氣的に接続され、且つ第 2 の端子が第 2 の配線と電氣的に接続される第 1 のトランジスタと、第 1 の端子が第 1 の配線と電氣的に接続され、且つ第 2 の端子が第 2 の配線と電氣的に接続される第 2 のトランジスタと、第 1 のトランジスタのゲートと電氣的に接続され、且つ第 2 のトランジスタのゲートと電氣的に接続される第 1 の回路と、第 1 のトランジスタのゲートと電氣的に接続され、第 2 のトランジスタのゲートと電氣的に接続され、且つ第 2 の配線と電氣的に接続される第 2 の回路と、第 1 のトランジスタのゲートと電氣的に接続され、第 2 のトランジスタのゲートと電氣的に接続され、且つ第 2 の配線と電氣的に接続される第 3 の回路と、を有し、第 1 の回路は、第 1 の信号が第 1 の電圧状態になり、且つ第 2 の信号が第 2 の電圧状態になる場合に、第 1 のトランジスタのゲートの電圧を上昇させる機能と、第 1 の信号が第 1 の電圧状態になり、且つ第 3 の信号が第 2 の電圧状態になる場合に、第 2 のトランジスタのゲートの電圧を上昇させる機能と、を有し、第 2 の回路は、第 1 のトランジスタのゲートと第 2 のトランジスタのゲートと第 2 の配線とのいずれかが第 1 の電圧状態になる場合、第 1 のトランジスタのゲートと第 2 のトランジスタのゲートと第 2 の配線とのいずれかに第 1 の電圧状態の信号又は電圧を出力する機能を有し、第 3 の回路は、第 4 の信号が第 2 の電圧状態の場合に、第 1 のトランジスタのゲートと第 2 のトランジスタのゲートと第 2 の配線とのいずれかに第 1 の電圧状態の信号又は電圧を出力する機能を有するものである。

20

30

【0166】

本実施の形態の一例は、第 1 の端子が第 1 の配線と電氣的に接続され、且つ第 2 の端子が第 2 の配線と電氣的に接続される第 1 のトランジスタと、第 1 の端子が第 1 の配線と電氣的に接続され、且つ第 2 の端子が第 2 の配線と電氣的に接続される第 2 のトランジスタと、第 1 の端子が第 3 の配線と電氣的に接続され、第 2 の端子が第 1 のトランジスタのゲートと電氣的に接続され、且つゲートが第 3 の配線と電氣的に接続される第 3 のトランジスタと、第 1 の端子が第 3 の配線と電氣的に接続され、第 2 の端子が第 2 のトランジスタのゲートと電氣的に接続され、且つゲートが第 3 の配線と電氣的に接続される第 4 のトランジスタと、第 1 の端子が第 4 の配線と電氣的に接続され、第 2 の端子が第 2 のトランジスタのゲートと電氣的に接続され、且つゲートが第 5 の配線と電氣的に接続される第 5 のトランジスタと、第 1 の端子が第 4 の配線と電氣的に接続され、第 2 の端子が第 1 のトランジスタのゲートと電氣的に接続され、且つゲートが第 6 の配線と電氣的に接続される第 6 のトランジスタとを有するものである。

40

50

【0167】

本実施の形態の半導体装置の一例について説明する。本実施の形態の半導体装置は、実施の形態1で述べる回路200に用いることが可能である。なお、実施の形態1で述べる内容は、その説明を省略する。なお、本実施の形態で述べる内容は、実施の形態1で述べる内容と適宜組み合わせることができる。

【0168】

まず、回路200の一例について、図10を参照して説明する。図10の一例では、回路200は、回路300、回路400、及び回路500を有する。回路300は回路200の一部を示し、回路400は回路200の一部を示し、回路500は回路200の一部を示す。回路300、回路400、及び回路500の回路の一部又はすべては、回路300、回路400及び回路500のそれぞれで、互いに共有することが可能である。

10

【0169】

回路300は、一例として、配線115、配線116_1、配線116_2、配線118、ノードn1、及びノードn2と接続される。回路400は、一例として、配線111、配線113、配線114、配線118、ノードn1、及びノードn2と接続される。回路500は、一例として、配線111、配線117、配線118、ノードn1、及びノードn2と接続される。ただし、これに限定されない。例えば、回路300、回路400、及び回路500は、その構成に応じて、他にも様々な配線、又は様々なノードと接続されることが可能である。

20

【0170】

なお、回路300、回路400、及び回路500は、上述した配線のすべてと接続される必要はなく、上述した配線のいずれかと接続されていないことが可能である。例えば、回路300は、配線113、及び／又は、配線114と接続されることが可能である。別の例として、回路300は、配線118と接続されていないことが可能である。別の例として、回路400は、配線113と配線114との一方と接続されていないことが可能である。別の例として、回路500は、配線111と接続されていないことが可能である。ただし、これに限定されない。

【0171】

回路300は、一例として、入力される信号（例えば、信号SP、信号SEL1、及び／又は信号SEL2など）に応じて、ノードn1の電圧、及び／又は、ノードn2の電圧を制御する機能を有する。または、回路300は、ノードn1、及び／又は、ノードn2に、ハイレベルの信号又は電圧V2などを供給するタイミングを制御する機能を有する。または、回路300は、ノードn1の電圧、及び／又は、ノードn2の電圧を上昇させるタイミングを制御する機能を有する。または、回路300は、ノードn1、及び／又は、ノードn2に、ロウレベルの信号又は電圧V1などを供給するタイミングを制御する機能を有する。または、回路300は、ノードn1の電圧、及び／又は、ノードn2の電圧を減少させるタイミング又は維持させるタイミングを制御する機能を有する。または、回路300は、ノードn1、及び／又は、ノードn2に、信号又は電圧などを供給しないタイミングを制御する機能を有する。または、回路300は、ノードn1、及び／又は、ノードn2を浮遊状態にするタイミングを制御する機能を有する。以上のように、回路300は、制御回路としての機能を有する。ただし、これに限定されない。なお、回路300は、上記の機能のすべてを有する必要はない。

30

40

【0172】

回路400は、一例として、入力される信号又は供給される電圧（例えば信号CK2、配線114、配線118、信号OUT、ノードn1の電圧、ノードn2の電圧、及び／又は配線111の電圧など）に応じて、ノードn1の電圧、ノードn2の電圧、及び／又は、配線111の電圧を制御する機能を有する。または、回路400は、ノードn1、ノードn2、及び／又は、配線111に、ロウレベルの信号又は電圧V1を供給するタイミングを制御する機能を有する。または、回路400は、ノードn1の電圧、ノードn2の電圧、及び／又は、配線111の電圧を減少させるタイミング又は維持するタイミングを制御

50

する機能を有する。または、回路400は、ノードn1、及び／又は、ノードn2に、信号又は電圧などを供給しないタイミングを制御する機能を有する。または、回路400は、ノードn1、及び／又は、ノードn2を浮遊状態にするタイミングを制御する機能を有する。以上のように、回路400は、制御回路としての機能を有する。ただし、これに限定されない。なお、回路400は、上記の機能のすべてを有する必要はない。

【0173】

回路500は、一例として、入力される信号（例えば信号REなど）に応じて、配線118とノードn1との導通状態、配線118とノードn2との導通状態、及び／又は、配線118と配線111との導通状態を制御する機能を有する。または、回路500は、配線118の電圧を、ノードn1、ノードn2、及び／又は、配線111に供給するタイミングを制御する機能を有する。例えば、配線118に、信号又は電圧など（例えば信号CK2、又は電圧V1など）が供給される場合、回路500は、配線118に供給される信号又は電圧などを、ノードn1、ノードn2、及び／又は、配線111に供給するタイミングを制御する機能を有する。または、回路500は、ノードn1、ノードn2、及び／又は、配線111に、ロウレベルの信号又は電圧V1を供給するタイミングを制御する機能を有する。または、回路500は、ノードn1の電圧、ノードn2の電圧、及び／又は、配線111の電圧を減少させるタイミング又は維持するタイミングを制御する機能を有する。以上のように、回路500は、制御回路、又はスイッチなどとしての機能を有する。ただし、これに限定されない。なお、回路500は、上記の機能のすべてを有する必要はない。

【0174】

なお、回路300、回路400、及び回路500は、回路200の一部を示す場合が多いので、回路200は、回路300、回路400、及び回路500の機能の一部又はすべてを組み合わせた機能を有することが可能である。または、回路300、回路400、及び回路500は、各々、回路200の機能の一部又はすべてを有することが可能である。ただし、これに限定されない。

【0175】

次に、図10の半導体装置の動作の一例について説明する。なお、図10の半導体装置の動作は、図1の半導体装置の動作と共通するところが多いので、図2のタイミングチャートを参照して説明する。なお、図10の半導体装置は、図2のタイミングチャートに限定されず、様々なタイミングによって制御されることが可能である。

【0176】

まず、期間T1の動作について説明する。期間T1では、信号SEL1はハイレベルになり、信号SEL2がロウレベルになる。

【0177】

期間A1において、図11(A)に示すように、信号SPはハイレベルになる。すると、回路300は、電圧V2又はハイレベルの信号をノードn1に供給する。一方で、回路300は、ロウレベルの信号又は電圧V1をノードn2に供給する。その後、実施の形態1で述べるように、ノードn1の電圧が $V1 + V_{th101_1}$ 以上になったところで、回路300は、ノードn1への信号又は電圧の供給を止める。よって、回路300とノードn1とは非導通状態になる。ただし、これに限定されない。例えば、回路300は、 $V1 + V_{th101_1}$ 以上の電圧をノードn1に供給し続けることが可能である。

【0178】

なお、期間A1において、回路400は、信号又は電圧などをノードn1に供給しない場合が多い。なお、回路400は、ロウレベルの信号又は電圧V1を、ノードn2、及び／又は、配線111に供給することが可能であるし、供給しないことが可能である。

【0179】

なお、期間A1において、回路500は、信号又は電圧などをノードn1、ノードn2、及び／又は、配線111に供給しない場合が多い。

【0180】

次に、期間B 1において、図1 1 (B)に示すように、回路3 0 0は、信号又は電圧などをノードn 1に供給しないままになる。よって、回路3 0 0とノードn 1とは非導通状態のままになる。一方で、回路3 0 0は、ロウレベルの信号又は電圧V 1をノードn 2に供給する。

【0 1 8 1】

なお、期間B 1において、回路4 0 0は、信号又は電圧などをノードn 1、及び配線1 1 1に供給しない場合が多い。なお、回路4 0 0は、ロウレベルの信号又は電圧V 1をノードn 2に供給することが可能であるし、供給しないことが可能である。

【0 1 8 2】

なお、期間B 1において、回路5 0 0は、信号又は電圧などをノードn 1、ノードn 2、及び／又は、配線1 1 1に供給しない場合が多い。

10

【0 1 8 3】

次に、期間C 1において、図1 1 (C)に示すように、信号R Eはハイレベルになる。すると、回路5 0 0は、ロウレベルの信号又は電圧V 1をノードn 1、ノードn 2、及び／又は、配線1 1 1に供給する。

【0 1 8 4】

なお、期間C 1において、回路3 0 0は、ロウレベルの信号又は電圧V 1をノードn 1、及び／又は、ノードn 2に供給することが可能であるし、供給しないことが可能である。

【0 1 8 5】

なお、期間C 1において、回路4 0 0は、ロウレベルの信号又は電圧V 1をノードn 1、ノードn 2、及び／又は、配線1 1 1に供給することが可能であるし、供給しないことが可能である。

20

【0 1 8 6】

次に、期間D 1、及び期間E 1において、図1 2 (A)に示すように、回路4 0 0は、ロウレベルの信号又は電圧V 1をノードn 1、ノードn 2、及び／又は、配線1 1 1に供給する。ただし、これに限定されない。例えば、期間D 1と期間E 1との一方の期間において、回路4 0 0は、電圧V 1又はロウレベルの信号をノードn 1、ノードn 2、及び／又は、配線1 1 1に供給し、他方の期間において、回路4 0 0は、電圧又は信号をノードn 1、ノードn 2、及び／又は、配線1 1 1に供給しないことが可能である。

【0 1 8 7】

30

なお、期間D 1、及び期間E 1において、回路3 0 0は、ロウレベルの信号又は電圧V 1をノードn 1、及び／又は、ノードn 2に供給することが可能であるし、供給しないことが可能である。

【0 1 8 8】

なお、期間D 1、及び期間E 1において、回路5 0 0は、信号又は電圧などをノードn 1、ノードn 2、及び／又は、配線1 1 1に供給しない場合が多い。

【0 1 8 9】

次に、期間T 2の動作について説明する。期間T 2では、信号S E L 1はロウレベルになり、信号S E L 2はハイレベルになる。

【0 1 9 0】

40

期間A 2において、図1 2 (B)に示すように、信号S Pはハイレベルになる。すると、回路3 0 0は、ロウレベルの信号又は電圧V 1をノードn 1に供給する。一方で、回路3 0 0は、電圧V 2又はハイレベルの信号をノードn 2に供給する。その後、実施の形態1で述べるように、ノードn 2の電圧が $V 1 + V_{th101_2}$ 以上になったところで、回路3 0 0は、ノードn 2への信号又は電圧の供給を止める。よって、回路3 0 0とノードn 2とは非導通状態になる。ただし、これに限定されない。例えば、回路3 0 0は、 $V 1 + V_{th101_2}$ 以上の電圧をノードn 2に供給し続けることが可能である。

【0 1 9 1】

なお、期間A 2において、回路4 0 0は、信号又は電圧などをノードn 2に供給しない場合が多い。なお、回路4 0 0は、ロウレベルの信号又は電圧V 1を、ノードn 1、及び／

50

又は、配線 1 1 1 に供給することが可能であるし、供給しないことが可能である。

【0192】

なお、期間 A 2 において、回路 5 0 0 は、信号又は電圧などをノード n 1、ノード n 2、及び／又は、配線 1 1 1 に供給しない場合が多い。

【0193】

次に、期間 B 2 において、図 1 2 (C) に示すように、回路 3 0 0 は、ロウレベルの信号又は電圧 V 1 をノード n 1 に供給する。一方で、回路 3 0 0 は、信号又は電圧などをノード n 2 に供給しないままになる。よって、回路 3 0 0 とノード n 2 とは非導通状態のままになる。

【0194】

なお、期間 B 2 において、回路 4 0 0 は、信号又は電圧などをノード n 2、及び配線 1 1 1 に供給しない場合が多い。なお、回路 4 0 0 は、ロウレベルの信号又は電圧 V 1 をノード n 1 に供給することが可能であるし、供給しないことが可能である。

【0195】

なお、期間 B 2 において、回路 5 0 0 は、信号又は電圧などをノード n 1、ノード n 2、及び／又は、配線 1 1 1 に供給しない場合が多い。

【0196】

次に、期間 C 2 において、図 1 3 (A) に示すように、信号 R E はハイレベルになる。すると、回路 5 0 0 は、ロウレベルの信号又は電圧 V 1 をノード n 1、ノード n 2、及び／又は、配線 1 1 1 に供給する。

【0197】

なお、期間 C 2 において、回路 3 0 0 は、ロウレベルの信号又は電圧 V 1 をノード n 1、及び／又は、ノード n 2 に供給することが可能であるし、供給しないことが可能である。

【0198】

なお、期間 C 2 において、回路 4 0 0 は、ロウレベルの信号又は電圧 V 1 をノード n 1、ノード n 2、及び／又は、配線 1 1 1 に供給することが可能であるし、供給しないことが可能である。

【0199】

次に、期間 D 2、及び期間 E 2 において、図 1 3 (B) に示すように、回路 4 0 0 は、ロウレベルの信号又は電圧 V 1 をノード n 1、ノード n 2、及び／又は、配線 1 1 1 に供給する。ただし、これに限定されない。例えば、期間 D 2 と期間 E 2 との一方の期間において、回路 4 0 0 は、電圧 V 1 又はロウレベルの信号をノード n 1、ノード n 2、及び／又は、配線 1 1 1 に供給し、他方の期間において、回路 4 0 0 は、電圧又は信号をノード n 1、ノード n 2、及び／又は、配線 1 1 1 に供給しないことが可能である。

【0200】

なお、期間 D 2、及び期間 E 2 において、回路 3 0 0 は、ロウレベルの信号又は電圧 V 1 をノード n 1、及び／又は、ノード n 2 に供給することが可能であるし、供給しないことが可能である。

【0201】

なお、期間 D 2、及び期間 E 2 において、回路 5 0 0 は、信号又は電圧などをノード n 1、ノード n 2、及び／又は、配線 1 1 1 に供給しない場合が多い。

【0202】

次に、回路 3 0 0 の具体例について、図 1 4 (A) を参照して説明する。回路 3 0 0 は、トランジスタ 3 0 1 __ 1 ~ 3 0 1 __ 2 という複数のトランジスタ、及びトランジスタ 3 0 2 __ 1 ~ 3 0 2 __ 2 という複数のトランジスタを有する。トランジスタ 3 0 1 __ 1 ~ 3 0 1 __ 2、及びトランジスタ 3 0 2 __ 1 ~ 3 0 2 __ 2 は、トランジスタ 1 0 1 __ 1 ~ 1 0 1 __ 2 と同じ極性であることが好ましく、Nチャネル型であるものとする。ただし、これに限定されず、トランジスタ 3 0 1 __ 1 ~ 3 0 1 __ 2、及びトランジスタ 3 0 2 __ 1 ~ 3 0 2 __ 2 は、Pチャネル型であることが可能である。

【0203】

10

20

30

40

50

トランジスタ301__1の第1の端子は、配線115と接続され、トランジスタ301__1の第2の端子は、ノードn1と接続され、トランジスタ301__1のゲートは、配線115と接続される。トランジスタ301__2の第1の端子は、配線115と接続され、トランジスタ301__2の第2の端子は、ノードn2と接続され、トランジスタ301__2のゲートは、配線115と接続される。トランジスタ302__1の第1の端子は、配線118と接続され、トランジスタ302__1の第2の端子は、ノードn2と接続され、トランジスタ302__1のゲートは、配線116__1と接続される。トランジスタ302__2の第1の端子は、配線118と接続され、トランジスタ302__2の第2の端子は、ノードn1と接続され、トランジスタ302__2のゲートは、配線116__2と接続される。

【0204】

トランジスタ301__1は、一例として、配線115とノードn1との導通状態を制御する機能を有する。または、トランジスタ301__1は、配線115の電圧をノードn1に供給するタイミングを制御する機能を有する。例えば、配線115に、信号又は電圧（例えば信号SP、電圧V2など）が供給される場合、トランジスタ301__1は、配線115に供給される信号又は電圧をノードn1に供給するタイミングを制御する機能を有する。または、トランジスタ301__1は、ハイレベルの信号（例えば信号SP）又は電圧V2をノードn1に供給するタイミングを制御する機能を有する。または、トランジスタ301__1は、ノードn1の電圧を上昇させるタイミングを制御する機能を有する。または、信号又は電圧などをノードn1に供給しないタイミングを制御する機能を有する。または、トランジスタ301__1は、ノードn1を浮遊状態にするタイミングを制御する機能を有する。以上のように、トランジスタ301__1は、スイッチ、整流素子、ダイオード、又はダイオード接続された構成のトランジスタなどとしての機能を有する。又はトランジスタ301__1は、オン又はオフになることによりトランジスタ101__1をオフにするか否かを制御する機能を有する。又はトランジスタ301__1は、オン又はオフになることによりダイオード101a__1（図1（E）に示す）を非導通状態にするか否かを制御する機能を有する。ただし、これに限定されない。なお、トランジスタ301__1は、上記の機能のすべてを有する必要はない。

【0205】

トランジスタ301__2は、一例として、配線115とノードn2との導通状態を制御する機能を有する。または、トランジスタ301__2は、配線115の電圧をノードn2に供給するタイミングを制御する機能を有する。例えば、配線115に、信号又は電圧（例えば信号SP、電圧V2など）が供給される場合、トランジスタ301__2は、配線115に供給される信号又は電圧をノードn2に供給するタイミングを制御する機能を有する。または、トランジスタ301__2は、ハイレベルの信号（例えば信号SP）又は電圧V2をノードn2に供給するタイミングを制御する機能を有する。または、トランジスタ301__2は、ノードn2の電圧を上昇させるタイミングを制御する機能を有する。または、信号又は電圧などをノードn2に供給しないタイミングを制御する機能を有する。または、トランジスタ301__2は、ノードn2を浮遊状態にするタイミングを制御する機能を有する。以上のように、トランジスタ301__2は、スイッチ、整流素子、ダイオード、又はダイオード接続された構成のトランジスタなどとしての機能を有する。又はトランジスタ301__2は、オン又はオフになることによりトランジスタ101__2をオフにするか否かを制御する機能を有する。又はトランジスタ301__2は、オン又はオフになることによりダイオード101a__2（図1（E）に示す）を非導通状態にするか否かを制御する機能を有する。ただし、これに限定されない。なお、トランジスタ301__2は、上記の機能のすべてを有する必要はない。

【0206】

トランジスタ302__1は、一例として、配線118とノードn2との導通状態を制御する機能を有する。または、トランジスタ302__1は、配線118の電圧をノードn2に供給するタイミングを制御する機能を有する。例えば、配線118に、信号又は電圧（例えば信号SEL2、電圧V1など）が供給される場合、トランジスタ302__1は、配線

10

20

30

40

50

118に供給される信号又は電圧をノードn2に供給するタイミングを制御する機能を有する。または、トランジスタ302__1は、ロウレベルの信号又は電圧V1をノードn2に供給するタイミングを制御する機能を有する。または、トランジスタ302__1は、ノードn2の電圧を減少させるタイミング又は維持するタイミングを制御する機能を有する。または、トランジスタ302__1は、トランジスタ101__2をオフにするか否かを制御する。つまり、トランジスタ101__2をオフにするタイミングを制御する。以上のように、トランジスタ302__1は、スイッチとしての機能を有する。ただし、これに限定されない。なお、トランジスタ302__1は、上記の機能のすべてを有する必要はない。

【0207】

トランジスタ302__2は、一例として、配線118とノードn1との導通状態を制御する機能を有する。または、トランジスタ302__2は、配線118の電圧をノードn1に供給するタイミングを制御する機能を有する。例えば、配線118に、信号又は電圧（例えば信号SEL1、電圧V1など）が供給される場合、トランジスタ302__2は、配線118に供給される信号又は電圧をノードn1に供給するタイミングを制御する機能を有する。または、トランジスタ302__2は、ロウレベルの信号又は電圧V1をノードn1に供給するタイミングを制御する機能を有する。または、トランジスタ302__2は、ノードn1の電圧を減少させるタイミング又は維持するタイミングを制御する機能を有する。または、トランジスタ302__2は、トランジスタ101__1をオフにするか否かを制御する。つまり、トランジスタ101__1をオフにするタイミングを制御する。以上のように、トランジスタ302__2は、スイッチとしての機能を有する。ただし、これに限定されない。なお、トランジスタ302__2は、上記の機能のすべてを有する必要はない。

【0208】

次に、図14（A）の半導体装置の動作の一例について説明する。なお、図14（A）の半導体装置の動作は、図1（A）の半導体装置の動作と共通するところが多いので、図2のタイミングチャートを参照して説明する。なお、図14（A）の半導体装置は、図2のタイミングチャートに限定されず、様々なタイミングによって制御されることが可能である。

【0209】

期間A1において、図15（A）に示すように、信号SPはハイレベルになる。すると、トランジスタ301__1、及びトランジスタ301__2はオンになるので、配線115とノードn1とは導通状態になり、配線115とノードn2とは導通状態になる。よって、ハイレベルの信号SPは、配線115からトランジスタ301__1を介してノードn1に供給される。このとき、信号SEL2はロウレベルになる。すると、トランジスタ302__2はオフになるので、配線118とノードn1とは非導通状態になる。よって、ノードn1の電圧は上昇し始める。やがて、ノードn1の電圧は、トランジスタ301__1のゲートの電圧（例えば信号SPのハイレベルの電圧（V2））からトランジスタ301__1の閾値電圧（ V_{th301_1} ）を引いた値（ $V2 - V_{th301_1}$ ）まで上昇する。すると、トランジスタ301__1はオフになるので、配線115とノードn1とは非導通状態になる。一方で、ハイレベルの信号SPは、配線115からトランジスタ301__2を介してノードn2に供給される。このとき、信号SEL1はハイレベルになる。すると、トランジスタ302__1はオンになるので、配線118とノードn2とは導通状態になる。よって、電圧V1は、配線118からトランジスタ302__1を介してノードn2に供給される。この結果、ノードn2の電圧は、トランジスタ301__2とトランジスタ302__1との抵抗比で決定される。よって、トランジスタ302__1のチャネル幅をトランジスタ301__2のチャネル幅よりも大きくすることによって、ノードn2の電圧を低い値（例えばV1）にすることが可能である。

【0210】

期間B1～期間E1において、図15（B）～（C）及び図16（A）に示すように、信号SPはロウレベルになる。すると、トランジスタ301__1、及びトランジスタ301__2はオフになるので、配線115とノードn1とは非導通状態になり、配線115とノ

ードn2とは非導通状態になる。このとき、信号SEL1はハイレベルになり、信号SEL2はロウレベルになる。すると、トランジスタ302__1はオンになり、トランジスタ302__2はオフになるので、配線118とノードn2とは導通状態になり、配線118とノードn1とは非導通状態になる。よって、電圧V1は、配線118からトランジスタ302__1を介してノードn2に供給される。

【0211】

期間A2において、図16(B)に示すように、信号SPはハイレベルになる。すると、トランジスタ301__1、及びトランジスタ301__2はオンになるので、配線115とノードn1とは導通状態になり、配線115とノードn2とは導通状態になる。ハイレベルの信号SPは、配線115からトランジスタ301__1を介してノードn1に供給される。このとき、信号SEL2はハイレベルになる。すると、トランジスタ302__2はオンになるので、配線118とノードn1とは導通状態になる。よって、電圧V1は、配線118からトランジスタ302__2を介してノードn1に供給される。この結果、ノードn1の電圧は、トランジスタ301__1とトランジスタ302__2との抵抗比で決定される。よって、トランジスタ302__2のチャネル幅をトランジスタ301__1のチャネル幅よりも大きくすることによって、ノードn1の電圧を低い値（例えばV1）にすることが可能である。一方で、ハイレベルの信号SPは、配線115からトランジスタ301__2を介してノードn2に供給される。このとき、信号SEL1はロウレベルになる。すると、トランジスタ302__1はオフになるので、配線118とノードn2とは非導通状態になる。よって、ノードn2の電圧は上昇し始める。やがて、ノードn2の電圧は、トランジスタ301__2のゲートの電圧（例えば信号SPのハイレベルの電圧（V2））からトランジスタ301__2の閾値電圧（ V_{th301_2} ）を引いた値（ $V2 - V_{th301_2}$ ）まで上昇する。すると、トランジスタ301__2はオフになるので、配線115とノードn2とは非導通状態になる。

【0212】

期間B2～期間E2において、図16(C)及び図17(A)～(C)に示すように、信号SPはロウレベルになる。すると、トランジスタ301__1、及びトランジスタ301__2はオフになるので、配線115とノードn1とは非導通状態になり、配線115とノードn2とは非導通状態になる。このとき、信号SEL1はロウレベルになり、信号SEL2はハイレベルになる。すると、トランジスタ302__1はオフになり、トランジスタ302__2はオンになるので、配線118とノードn2とは非導通状態になり、配線118とノードn1とは導通状態になる。よって、電圧V1は、配線118からトランジスタ302__2を介してノードn1に供給される。

【0213】

以上のように、信号SEL1と信号SEL2との一方をハイレベルにする。こうして、ノードn1の電圧とノードn2との電圧との一方を低い値（例えばV1）に維持することによって、トランジスタ101__1とトランジスタ101__2とのどちらをオンにするのかを選択する。ただし、これに限定されない。例えば、信号SEL1と信号SEL2との両方をロウレベルにすることが可能である。この場合、ノードn1の電圧とノードn2の電圧との両方が上昇させることが可能になる。よって、トランジスタ101__1とトランジスタ101__2との両方がオンになるので、配線112と配線111とは、トランジスタ101__1とトランジスタ101__2とを並列に介して導通状態になる。よって、信号OUTの立ち下がり時間又は立ち上がり時間を短くすることができる。

【0214】

なお、トランジスタ301__1のチャネル幅と、トランジスタ301__2のチャネル幅とは、おおむね等しいことが好ましい。このように、トランジスタサイズをおおむね等しくすることによって、電流供給能力をおおむね等しくすることができる。または、トランジスタの劣化の程度をおおむね等しくすることができる。よって、ノードn1の電圧とノードn2の電圧とおおむね等しくすることができるので、信号OUTの波形をおおむね等しくすることができる。なお、同様の理由で、トランジスタ301__1のチャネル長と、

10

20

30

40

50

トランジスタ 301__2 のチャンネル長とは、おおむね等しいことが好ましい。ただし、これに限定されない。

【0215】

なお、トランジスタ 301__1 のチャンネル幅、及びトランジスタ 301__2 のチャンネル幅は、500 μm ~ 3000 μm であることが好ましい。より好ましくは、800 μm ~ 2500 μm であることが好ましい。さらに好ましくは、1000 μm ~ 2000 μm であることが好ましい。ただし、これに限定されない。

【0216】

なお、トランジスタ 302__1 のチャンネル幅と、トランジスタ 302__2 のチャンネル幅とは、おおむね等しいことが好ましい。このように、トランジスタサイズをおおむね等しくすることによって、電流供給能力をおおむね等しくすることができる。または、トランジスタの劣化の程度をおおむね等しくすることができる。よって、ノード n1 の電圧とノード n2 の電圧をおおむね等しくすることができるので、信号 OUT の波形をおおむね等しくすることができる。なお、同様の理由で、トランジスタ 302__1 のチャンネル長と、トランジスタ 302__2 のチャンネル長とは、おおむね等しいことが好ましい。ただし、これに限定されない。

10

【0217】

なお、トランジスタ 302__1 のチャンネル幅は、トランジスタ 301__2 のチャンネル幅よりも大きいことが好ましい。こうして、期間 A2 において、ノード n1 の電圧を低い値（例えば V1）にすることが可能になる。好ましくは、トランジスタ 302__1 のチャンネル幅は、トランジスタ 301__2 のチャンネル幅のおおむね 10 倍以下であることが好ましい。より好ましくは、7 倍以下であることが好ましい。さらに好ましくは、3 倍以下であることが好ましい。ただし、これに限定されない。

20

【0218】

なお、トランジスタ 302__2 のチャンネル幅は、トランジスタ 301__1 のチャンネル幅よりも大きいことが好ましい。こうして、期間 A1 において、ノード n2 の電圧を低い値（例えば V1）にすることが可能になる。好ましくは、トランジスタ 302__2 のチャンネル幅は、トランジスタ 301__1 のチャンネル幅のおおむね 10 倍以下であることが好ましい。より好ましくは、7 倍以下であることが好ましい。さらに好ましくは、3 倍以下であることが好ましい。ただし、これに限定されない。

30

【0219】

なお、トランジスタ 301__1 のチャンネル幅、及びトランジスタ 301__2 のチャンネル幅は、600 μm ~ 3500 μm であることが好ましい。より好ましくは、1000 μm ~ 3000 μm であることが好ましい。さらに好ましくは、1500 μm ~ 2500 μm であることが好ましい。ただし、これに限定されない。

【0220】

なお、図 14 (A) で述べる構成において、図 14 (B) に示すように、トランジスタ 302__1 の第 1 の端子とトランジスタ 302__2 の第 1 の端子とは、別々の配線と接続されることが可能である。図 14 (B) の一例では、配線 118 は配線 118A ~ 118B という複数の配線に分割される。そして、トランジスタ 302__1 の第 1 の端子は、配線 118B と接続され、トランジスタ 302__2 の第 1 の端子は、配線 118A と接続される。ただし、これに限定されない。なお、配線 118A ~ 118B は、配線 118 と同様の機能を有することが可能である。よって、配線 118A ~ 118B には、信号 CK1 などの信号を入力することが可能である。ただし、これに限定されない。例えば、配線 118A ~ 118B には、別々の電圧、又は別々の信号を供給することが可能である。

40

【0221】

なお、図 14 (A) ~ (B) で述べる構成において、図 14 (C) に示すように、トランジスタ 302__1 を、一方の端子がノード n2 と接続され、他方の端子が配線 116__1 と接続されるダイオード 302a__1 と置き換えることが可能である。同様に、トランジスタ 302__2 を、一方の端子がノード n1 と接続され、他方の端子が配線 116__2 と

50

接続されるダイオード 302a__2 と置き換えることが可能である。例えばダイオード 302a__1 は、導通状態又は非導通状態になることによりトランジスタ 101__2 をオフにするか否かを制御する機能を有する。又はダイオード 302a__2 は、導通状態又は非導通状態になることによりトランジスタ 101__1 をオフにするか否かを制御する機能を有する。又はダイオード 302a__1 は、導通状態又は非導通状態になることによりダイオード 101a__2 (図 1 (E) に示す) を非導通状態にするか否かを制御する機能を有する。又はダイオード 302a__2 は、導通状態又は非導通状態になることによりダイオード 101a__1 (図 1 (E) に示す) を非導通状態にするか否かを制御する機能を有する。ただし、これに限定されない。例えば、図 14 (A) ~ (B) で述べる構成において、図 14 (D) に示すように、トランジスタ 302__1 の第 1 の端子は配線 116__1 と接続され、トランジスタ 302__1 のゲートがノード n2 と接続されることによって、トランジスタ 302__1 をダイオード接続された構成にすることが可能である。同様に、トランジスタ 302__2 の第 1 の端子は配線 116__2 と接続され、トランジスタ 302__2 のゲートがノード n1 と接続されることによって、トランジスタ 302__2 をダイオード接続された構成にすることが可能である。

10

【0222】

なお、図 14 (A) ~ (D) で述べる構成において、図 14 (E) に示すように、トランジスタ 302__1 の第 1 の端子は配線 116__2 と接続されることが可能である。または、トランジスタ 302__2 の第 1 の端子は配線 116__1 と接続されることが可能である。こうすることによって、トランジスタ 302__1 がオフになる期間においては、第 1 の端子にハイレベルの信号が供給されることが可能である。または、トランジスタ 302__2 がオフになる期間においては、第 1 の端子にハイレベルの信号が供給されることが可能である。よって、トランジスタに逆バイアスを印加することができるので、トランジスタの特性劣化を緩和することができる。ただし、これに限定されない。

20

【0223】

なお、図 14 (A) ~ (E) で述べる構成において、図 18 (A) に示すように、トランジスタ 301__1 の第 1 の端子とトランジスタ 301__2 の第 1 の端子とは、別々の配線と接続されることが可能である。図 18 (A) の一例では、配線 115 は、配線 115A ~ 115B という複数の配線に分割することが可能である。この場合、一例として、配線 115A は、図 6 (G) に示す配線 119A と配線 119B との一方と接続され、配線 115B は、配線 119A と配線 119B との他方と接続されることが可能である。ただし、これに限定されない。なお、配線 115A ~ 115B は、配線 115 と同様の機能を有することが可能である。よって、配線 115A ~ 115B には、信号 SP などの信号を入力することが可能である。ただし、これに限定されない。例えば、配線 115A ~ 115B には、別々の電圧、又は別々の信号を供給することが可能である。

30

【0224】

なお、図 14 (A) ~ (E)、及び図 18 (A) で述べる構成において、図 18 (B) に示すように、トランジスタ 301__1 のゲート、及びトランジスタ 301__2 のゲートは、配線 114 と接続されることが可能である。ただし、これに限定されない。例えば、トランジスタ 301__1 のゲート、及びトランジスタ 301__2 のゲートは、配線 113 と接続されることが可能である。別の例として、トランジスタ 301__1 のゲート、及びトランジスタ 301__2 のゲートは、配線 115 と接続される場合、トランジスタ 301__1 の第 1 の端子、及びトランジスタ 301__2 の第 1 の端子は、配線 113、又は配線 114 と接続されることが可能である。

40

【0225】

なお、図 14 (A) ~ (E)、及び図 18 (A) ~ (B) で述べる構成において、図 18 (C) ~ (D) に示すように、回路 300 は、トランジスタ 303__1 ~ 303__2 という複数のトランジスタを有することが可能である。トランジスタ 303__1 ~ 303__2 は、トランジスタ 301__1 ~ 301__2 と同じ極性であることが好ましく、N チャネル型である場合が多い。ただし、これに限定されず、トランジスタ 303__1 ~ 303__2

50

は、Pチャネル型であることが可能である。

【0226】

トランジスタ303__1の第1の端子は、トランジスタ301__1の第2の端子と接続され、トランジスタ303__1の第2の端子は、ノードn1と接続され、トランジスタ303__1のゲートは、トランジスタ301__1の第2の端子と接続される。トランジスタ303__2の第1の端子は、トランジスタ301__2の第2の端子と接続され、トランジスタ303__2の第2の端子は、ノードn2と接続され、トランジスタ303__2のゲートは、トランジスタ301__2の第2の端子と接続される。ただし、これに限定されない。

【0227】

トランジスタ303__1は、一例として、ノードn1を浮遊状態にするタイミングを制御する機能を有する。または、トランジスタ303__1は、ノードn1からの電荷の漏れを防止する機能を有する。または、トランジスタ303__1は、ノードn1の電圧の減少を防止する機能を有する。または、トランジスタ303__1は、整流素子、ダイオード、又はダイオード接続された構成のトランジスタなどとしての機能を有する。ただし、これに限定されない。なお、トランジスタ303__1は、上記の機能のすべてを有する必要はない。

10

【0228】

トランジスタ303__2は、一例として、ノードn2を浮遊状態にするタイミングを制御する機能を有する。または、トランジスタ303__2は、ノードn2からの電荷の漏れを防止する機能を有する。または、トランジスタ303__2は、ノードn2の電圧の減少を防止する機能を有する。以上のように、トランジスタ303__2は、整流素子、ダイオード、又はダイオード接続された構成のトランジスタなどとしての機能を有する。ただし、これに限定されない。なお、トランジスタ303__2は、上記の機能のすべてを有する必要はない。

20

【0229】

なお、図14(A)～(E)、及び図18(A)～(D)で述べる構成において、図18(E)～(F)に示すように、トランジスタ302__1の第2の端子は、トランジスタ301__2の第2の端子と、トランジスタ303__2の第1の端子と接続されることが可能である。または、トランジスタ302__2の第2の端子は、トランジスタ301__1の第2の端子と、トランジスタ303__1の第1の端子と接続されることが可能である。ただし、これに限定されない。

30

【0230】

なお、図14(A)～(E)、及び図18(A)～(F)で述べる構成において、図19(A)～(B)に示すように、トランジスタ303__1のゲートは、配線115と接続されることが可能である。または、トランジスタ303__2のゲートは、配線115と接続されることが可能である。ただし、これに限定されない。例えば、トランジスタ303__1のゲート、及びトランジスタ303__2は、別々の配線と接続されることが可能である。別の例として、トランジスタ303__1のゲート、及びトランジスタ303__2のゲートは、配線114と接続されることが可能である。別の例として、トランジスタ303__1のゲートは、配線116__1と接続され、トランジスタ303__2のゲートは、配線116__2と接続されることが可能である。

40

【0231】

なお、図14(A)～(E)、図18(A)～(F)、及び図19(A)～(B)で述べる構成において、図19(C)～(D)に示すように、トランジスタ303__1は、トランジスタ301__1の第1の端子側に接続されることが可能である。または、トランジスタ303__2は、トランジスタ301__2の第1の端子側に接続されることが可能である。図19(C)～(D)の一例では、トランジスタ303__1の第1の端子は、配線115と接続され、トランジスタ303__1の第2の端子は、トランジスタ301__1の第1の端子と接続され、トランジスタ301__1のゲートは、配線115と接続される。トランジスタ303__2の第1の端子は、配線115と接続され、トランジスタ303__2の

50

第2の端子は、トランジスタ301__2の第1の端子と接続され、トランジスタ301__2のゲートは、配線115と接続される。ただし、これに限定されない。

【0232】

なお、図14(A)～(E)、図18(A)～(F)、及び図19(A)～(D)で述べる構成において、図19(E)に示すように、トランジスタ303__1を抵抗素子304__1に置き換えることが可能である。または、トランジスタ303__2を抵抗素子304__2に置き換えることが可能である。抵抗素子304__1、及び抵抗素子304__2としては、トランジスタ又はダイオードだけでなく、透光性を有する電極（例えば画素電極、ITO、IZO）などの材料を用いることが可能である。ただし、これに限定されない。

【0233】

なお、図14(A)～(E)、図18(A)～(F)、及び図19(A)～(E)で述べる構成において、図19(F)に示すように、ダイオード接続された構成のトランジスタを、ダイオードに置き換えることが可能である。ダイオード301d__1～301d__2は、トランジスタ301__1～301__2と同様な機能を有する。ダイオード303d__1～303d__2は、トランジスタ303__1～303__2と同様な機能を有する。ただし、これに限定されない。例えば、ダイオード接続された構成のトランジスタを、整流作用を有する回路に置き換えることが可能である。この場合、当該回路は、少なくとも一つのダイオード又はダイオード接続された構成のトランジスタを有することが好ましいが、これに限定されない。

【0234】

なお、例えば、ダイオードとしてトランジスタを用いる場合に、当該トランジスタがPチャネル型であるとする。この場合、一例として、図17(C)に示すように、トランジスタ301p__1～301p__2、及びトランジスタ303p__1～303p__2において、ゲートと第2の端子が接続されることが多い。なお、トランジスタ301p__1～301p__2は、トランジスタ301__1～301__2と同様の機能を有し、Pチャネル型であるものとする。トランジスタ303p__1～303p__2は、トランジスタ303__1～303__2と同様の機能を有し、Pチャネル型であるものとする。ただし、これに限定されない。

【0235】

なお、図14(A)～(E)、図18(A)～(F)、図17(C)、及び図19(A)～(D)で述べる構成において、図20(A)に示すように、トランジスタとして、Pチャネル型トランジスタを用いることが可能である。トランジスタ101p__1～101p__2は、トランジスタ101__1～101__2と同様の機能を有し、Pチャネル型である。トランジスタ302p__1～302p__2は、トランジスタ302__1～302__2と同様の機能を有し、Pチャネル型である。そして、図20(B)に示すように、トランジスタの極性がPチャネル型の場合、配線113には電圧V1が供給され、配線118には電圧V2が供給され、信号CK1、信号CK2、信号SP、信号SEL1、信号SEL2、信号RE、ノードn1の電圧、ノードn2の電圧、及び信号OUTは、図2のタイミングチャートと比較して反転していることを付記する。

【0236】

(実施の形態3)

本実施の形態では、半導体装置の一例について説明する。本実施の形態の半導体装置は、実施の形態2で述べる回路400に用いることが可能である。なお、実施の形態1～実施の形態2で述べる内容は、その説明を省略する。なお、本実施の形態で述べる内容は、実施の形態1～実施の形態2で述べる内容と適宜組み合わせることができる。

【0237】

まず、回路400の一例について、図21(A)を参照して説明する。図21(A)の一例では、回路400は、回路600、トランジスタ401__1～401__2という複数のトランジスタ、及びトランジスタ402を有する。トランジスタ401__1、トランジスタ401__2、及びトランジスタ402は、トランジスタ101__1～101__2と同じ

10

20

30

40

50

極性であることが好ましく、Nチャネル型であるものとする。ただし、これに限定されず、トランジスタ401__1、トランジスタ401__2、及びトランジスタ402は、Pチャネル型であることが可能である。なお、回路400は、これらのトランジスタの全てを有する必要はなく、これらのトランジスタの一部を省略することが可能である。

【0238】

トランジスタ401__1の第1の端子は、配線118と接続され、トランジスタ401__1の第2の端子は、ノードn1と接続される。トランジスタ401__2の第1の端子は、配線118と接続され、トランジスタ401__2の第2の端子は、ノードn2と接続される。トランジスタ402の第1の端子は、配線118と接続され、トランジスタ402の第2の端子は、配線111と接続される。回路600は、配線111、配線114、配線118、ノードn1、ノードn2、トランジスタ401__1のゲート、トランジスタ401__2のゲート、及び／又は、トランジスタ402のゲートと接続される。ただし、これに限定されない。例えば、回路600は、その構成に応じて、他にも様々な配線、又は様々なノードと接続されることが可能である。または、回路600は、上述した配線のすべてと接続される必要はなく、上述した配線のいずれかと接続されていないことが可能である。

10

【0239】

なお、トランジスタ401__1のゲートと回路600との接続箇所をノードm1と示し、トランジスタ401__2のゲートと回路600との接続箇所をノードm2と示し、トランジスタ402のゲートと回路600との接続箇所をノードkと示す。

20

【0240】

なお、トランジスタ401__1は、一例として、配線118とノードn1との導通状態を制御する機能を有する。または、トランジスタ401__1は、配線118の電圧をノードn1に供給するタイミングを制御する機能を有する。例えば、配線118に信号又は電圧など（例えば信号CK2又は電圧V1など）が供給される場合、トランジスタ401__1は、配線118に供給される信号又は電圧などを、ノードn1に供給するタイミングを制御する機能を有する。または、トランジスタ401__1は、ロウレベルの信号又は電圧V1をノードn1に供給するタイミングを制御する機能を有する。または、トランジスタ401__1は、ノードn1の電圧を減少又は維持させるタイミングを制御する機能を有する。以上のように、トランジスタ401__1は、スイッチとしての機能を有することが可能である。ただし、これに限定されない。なお、トランジスタ401__1は、上記の機能のすべてを有する必要はない。

30

【0241】

なお、トランジスタ401__2は、一例として、配線118とノードn2との導通状態を制御する機能を有する。または、トランジスタ401__2は、配線118の電圧をノードn2に供給するタイミングを制御する機能を有する。例えば、配線118に信号又は電圧など（例えば信号CK2又は電圧V1など）が供給される場合、トランジスタ401__2は、配線118に供給される信号又は電圧などを、ノードn2に供給するタイミングを制御する機能を有する。または、トランジスタ401__2は、ロウレベルの信号又は電圧V1をノードn2に供給するタイミングを制御する機能を有する。または、トランジスタ401__2は、ノードn2の電圧を減少又は維持させるタイミングを制御する機能を有する。以上のように、トランジスタ401__2は、スイッチとしての機能を有することが可能である。ただし、これに限定されない。なお、トランジスタ401__2は、上記の機能のすべてを有する必要はない。

40

【0242】

なお、トランジスタ402は、一例として、配線118と配線111との導通状態を制御する機能を有する。または、トランジスタ402は、配線118の電圧を配線111に供給するタイミングを制御する機能を有する。例えば、配線118に信号又は電圧など（例えば信号CK2又は電圧V1など）が供給される場合、トランジスタ402は、配線118に供給される信号又は電圧などを、配線111に供給するタイミングを制御する機能を

50

有する。または、トランジスタ402は、ロウレベルの信号又は電圧V1を配線111に供給するタイミングを制御する機能を有する。または、トランジスタ402は、配線111の電圧を減少又は維持させるタイミングを制御する機能を有する。以上のように、トランジスタ402は、スイッチとしての機能を有することが可能である。ただし、これに限定されない。なお、トランジスタ402は、上記の機能のすべてを有する必要はない。

【0243】

回路600は、一例として、ノードn1の電圧、ノードn2の電圧、及び／又は、配線111の電圧に応じて、ノードm1の電圧、ノードm2の電圧、及び／又は、ノードkの電圧を制御する機能を有する。または、回路600は、ノードm1、ノードm2、及び／又は、ノードkに、ハイレベルの信号、ロウレベルの信号、電圧V1、又は電圧V2などを供給するタイミングを制御する機能を有する。または、回路600は、ノードm1の電圧、ノードm2の電圧、及び／又は、ノードkの電圧を上昇させるタイミング、減少させるタイミング、又は維持させるタイミングを制御する機能を有する。ただし、これに限定されない。なお、回路600は、上記の機能のすべてを有する必要はない。

10

【0244】

次に、図21(A)の半導体装置の動作の一例について、図21(B)のタイミングチャートを参照して説明する。図21(B)のタイミングチャートには、信号SEL1、信号SEL2、信号CK1、信号CK2、信号SP、信号RE、ノードn1の電圧(Va1)、ノードn2の電圧(Va2)、ノードm1の電圧(Vb1)、ノードm2の電圧(Vb2)、ノードkの電圧(Vc)、及び信号OUTの一例を示す。なお、図21(A)の半導体装置は、図21(B)のタイミングチャートに限定されず、様々なタイミングによって制御されることが可能である。

20

【0245】

期間A1において、図22(A)に示すように、回路300はハイレベルの信号又は電圧V2をノードn1に供給するので、ノードn1の電圧は上昇し、 $V1 + V_{th101_1} + V_x$ となる。このとき V_x は0より大きい値である。回路300はロウレベルの信号又は電圧V1をノードn2に供給するので、ノードn2の電圧は減少する。またロウレベルの信号CK1が配線111に供給されるので、配線111の電圧は減少する。回路600は、一例として、これらの電圧(ノードn1の電圧、ノードn2の電圧、及び配線111の電圧)にしたがって、ロウレベルの信号又は電圧V1をノードm1に供給し、ハイレベルの信号又は電圧V2をノードm2に供給し、ハイレベルの信号又は電圧V2をノードkに供給する。よって、トランジスタ401_1はオフになるので、配線118とノードn1とは非導通状態になる。トランジスタ401_2はオンになるので、配線118とノードn2とは導通状態になる。よって、電圧V1は、配線118からトランジスタ401_2を介してノードn2に供給される。トランジスタ402はオンになるので、配線118と配線111とは導通状態になる。よって、電圧V1は、配線118からトランジスタ402を介して配線111に供給される。ただし、これに限定されない。例えば、回路600は、ロウレベルの信号又は電圧V1をノードm2、及び／又は、ノードkに供給することが可能である。よって、トランジスタ401_2はオフになることが可能なので、配線118とノードn2とは非導通状態になることが可能である。または、トランジスタ402はオフになることが可能なので、配線118と配線111とは非導通状態になることが可能である。

30

40

【0246】

期間B1において、図22(B)に示すように、ブートストラップ動作によって、ノードn1の電圧は上昇し、 $V2 + V_{th101_1} + V_x$ となる。回路300はロウレベルの信号又は電圧V1をノードn2に供給するので、ノードn2の電圧は低い値(例えばV1)に維持される。また、ハイレベルの信号CK1が配線111に供給されるので、配線111の電圧は上昇する。回路600は、これらの電圧(ノードn1の電圧、ノードn2の電圧、及び配線111の電圧)にしたがって、ロウレベルの信号又は電圧V1をノードm1に供給し、ハイレベルの信号又は電圧V2をノードm2に供給し、ロウレベルの信号又

50

は電圧V1をノードkに供給する。よって、トランジスタ401__1はオフになるので、配線118とノードn1とは非導通状態になる。トランジスタ401__2はオンになるので、配線118とノードn2とは導通状態になる。よって、電圧V1は、配線118からトランジスタ401__2を介してノードn2に供給される。トランジスタ402はオフになるので、配線118と配線111とは非導通状態になる。ただし、これに限定されない。例えば、回路600は、ロウレベルの信号又は電圧V1をノードm2に供給することが可能である。よって、トランジスタ401__2はオフになることが可能なので、配線118とノードn2とは非導通状態になることが可能である。

【0247】

期間C1～E1において、図22(C)、及び図23(A)に示すように、ノードn1、ノードn2、及び配線111には、ロウレベルの信号又は電圧V1が供給されるので、ノードn1の電圧、ノードn2の電圧、及び配線111の電圧は減少、又は低い値(例えばV1)に維持される。回路600は、一例として、これらの電圧(ノードn1の電圧、ノードn2の電圧、及び配線111の電圧)にしたがって、ハイレベルの信号又は電圧V2をノードm1に供給し、ハイレベルの信号又は電圧V2をノードm2に供給し、ハイレベルの信号又は電圧V2をノードkに供給する。よって、トランジスタ401__1はオンになるので、配線118とノードn1とは導通状態になる。よって、電圧V2は、配線118からトランジスタ401__1を介してノードn1に供給される。トランジスタ401__2はオンになるので、配線118とノードn2とは導通状態になる。よって、電圧V1は、配線118からトランジスタ401__2を介してノードn2に供給される。トランジスタ402はオンになるので、配線118と配線111とは導通状態になる。よって、電圧V1は、配線118からトランジスタ402を介して配線111に供給される。ただし、これに限定されない。例えば、回路600は、ロウレベルの信号又は電圧V1をノードm1、ノードm2、及びノードkに供給することが可能である。よって、トランジスタ401__1はオフになることが可能なので、配線118とノードn1とは非導通状態になることが可能である。または、トランジスタ401__2はオフになることが可能なので、配線118とノードn2とは非導通状態になることが可能である。または、トランジスタ402はオフになることが可能なので、配線118と配線111とは非導通状態になることが可能である。

【0248】

なお、期間E1と期間D1との一方の期間において、回路600は、ハイレベルの信号又は電圧V2をノードm1、ノードm2、及びノードkに供給し、他方の期間において、回路600は、ロウレベルの信号又は電圧V1をノードm1、ノードm2、及びノードkに供給することが可能である。こうすることによって、それぞれトランジスタがオンになる時間又は回数が低減されるので、トランジスタの劣化を抑制することができる。

【0249】

期間A2において、図23(B)に示すように、回路300はロウレベルの信号又は電圧V1をノードn1に供給するので、ノードn1の電圧は減少する。回路300はハイレベルの信号又は電圧V2をノードn2に供給するので、ノードn2の電圧は上昇し、 $V1 + V_{th101_2} + V_x$ となる。このとき V_x は0より大きい値である。また、ロウレベルの信号CK1が配線111に供給されるので、配線111の電圧は減少する。回路600は、一例として、これらの電圧(ノードn1の電圧、ノードn2の電圧、及び配線111の電圧)にしたがって、ハイレベルの信号又は電圧V2をノードm1に供給し、ロウレベルの信号又は電圧V1をノードm2に供給し、ハイレベルの信号又は電圧V2をノードkに供給する。よって、トランジスタ401__1はオンになるので、配線118とノードn1とは導通状態になる。よって、電圧V1は、配線118からトランジスタ401__1を介してノードn1に供給される。トランジスタ401__2はオフになるので、配線118とノードn2とは非導通状態になる。トランジスタ402はオンになるので、配線118と配線111とは導通状態になる。よって、電圧V1は、配線118からトランジスタ

10

20

30

40

50

402を介して配線111に供給される。ただし、これに限定されない。例えば、回路600は、ロウレベルの信号又は電圧V1をノードm1、及び／又は、ノードkに供給することが可能である。よって、トランジスタ401__1はオフになることが可能なので、配線118とノードn1とは非導通状態になることが可能である。または、トランジスタ402はオフになることが可能なので、配線118と配線111とは非導通状態になることが可能である。

【0250】

期間B2において、図23(C)に示すように、回路300はロウレベルの信号又は電圧V1をノードn1に供給するので、ノードn1の電圧は低い値（例えばV1）に維持される。ブートストラップ動作によって、ノードn2の電圧は上昇し、 $V2 + V_{th101} - 2 + V_x$ となる。また、ハイレベルの信号CK1が配線111に供給されるので、配線111の電圧は上昇する。回路600は、一例として、これらの電圧（ノードn1の電圧、ノードn2の電圧、及び配線111の電圧）にしたがって、ハイレベルの信号又は電圧V2をノードm1に供給し、ロウレベルの信号又は電圧V1をノードm2に供給し、ロウレベルの信号又は電圧V1をノードkに供給する。よって、トランジスタ401__1はオンになるので、配線118とノードn1とは導通状態になる。よって、電圧V1は、配線118からトランジスタ401__1を介してノードn1に供給される。トランジスタ401__2はオフになるので、配線118とノードn2とは非導通状態になる。トランジスタ402はオフになるので、配線118と配線111とは非導通状態になる。ただし、これに限定されない。例えば、回路600は、ロウレベルの信号又は電圧V1をノードm1に供給することが可能である。よって、トランジスタ401__1はオフになることが可能なので、配線118とノードn1とは非導通状態になることが可能である。

【0251】

期間C2～E2において、図24(A)、及び図24(B)に示すように、ノードn1、ノードn2、及び配線111には、ロウレベルの信号又は電圧V1が供給されるので、ノードn1の電圧、ノードn2の電圧、及び配線111の電圧は減少、又は低い値（例えばV1）に維持される。回路600は、一例として、これらの電圧（ノードn1の電圧、ノードn2の電圧、及び配線111の電圧）にしたがって、ハイレベルの信号又は電圧V2をノードm1に供給し、ハイレベルの信号又は電圧V2をノードm2に供給し、ハイレベルの信号又は電圧V2をノードkに供給する。よって、トランジスタ401__1はオンになるので、配線118とノードn1とは導通状態になる。よって、電圧V2は、配線118からトランジスタ401__1を介してノードn1に供給される。トランジスタ401__2はオンになるので、配線118とノードn2とは導通状態になる。よって、電圧V1は、配線118からトランジスタ401__2を介してノードn2に供給される。トランジスタ402はオンになるので、配線118と配線111とは導通状態になる。よって、電圧V1は、配線118からトランジスタ402を介して配線111に供給される。ただし、これに限定されない。例えば、回路600は、ロウレベルの信号又は電圧V1をノードm1、ノードm2、及び／又は、ノードkに供給することが可能である。よって、トランジスタ401__1はオフになることが可能なので、配線118とノードn1とは非導通状態になることが可能である。または、トランジスタ401__2はオフになることが可能なので、配線118とノードn2とは非導通状態になることが可能である。または、トランジスタ402はオフになることが可能なので、配線118と配線111とは非導通状態になることが可能である。

【0252】

なお、期間E2と期間D2との一方の期間において、回路600は、ハイレベルの信号又は電圧V2をノードm1、ノードm2、及び／又は、ノードkに供給し、他方の期間において、回路600は、ロウレベルの信号又は電圧V1をノードm1、ノードm2、及び／又は、ノードkに供給することが可能である。こうすることによって、トランジスタがオンになる時間又は回数が低減されるので、トランジスタの劣化を抑制することができる。

【0253】

10

20

30

40

50

なお、トランジスタ401__1のチャンネル幅とトランジスタ401__2のチャンネル幅とはおおむね等しいことが好ましい。こうして、期間T1におけるノードn1の電圧の変化と、期間T2におけるノードn2の電圧の変化とおおむね等しくすることができる。よって、信号OUTの波形をおおむね等しくすることができる。なお、同様の理由で、トランジスタ401__1のチャンネル長とトランジスタ401__2のチャンネル長とはおおむね等しいことが好ましい。ただし、これに限定されない。

【0254】

なお、トランジスタ401__1のチャンネル幅、及びトランジスタ401__2のチャンネル幅は、100 μ m～4000 μ mであることが好ましい。より好ましくは500 μ m～3000 μ mであることが好ましい。さらに好ましくは、1000 μ m～2000 μ mであることが好ましい。ただし、これに限定されない。

10

【0255】

なお、トランジスタ402のチャンネル幅は、500 μ m～5000 μ mであることが好ましい。より好ましくは、1000 μ m～3000 μ mであることが好ましい。さらに好ましくは、2000 μ m～3000 μ mであることが好ましい。ただし、これに限定されない。

【0256】

なお、図21(A)で述べる構成において、図25(A)に示すように、複数のトランジスタを並列になるように接続することが可能である。そして、当該複数のトランジスタは順番又はランダムにオンになることが可能である。図25(A)には、一例として、二つのトランジスタが並列に接続される場合の構成を示す。この場合、二つのトランジスタは、1ゲート選択期間毎に、又はクロック信号の半周期毎に、オンとオフとを繰り返すことが可能である。トランジスタ401__1、トランジスタ401__2、及びトランジスタ402において、それぞれと並列になるように、トランジスタ411__1～411__2、及びトランジスタ412が接続される。トランジスタ411__1の第1の端子は配線118と接続され、トランジスタ411__1の第2の端子はノードn1と接続され、トランジスタ411__1のゲートは回路600と接続される。トランジスタ411__2の第1の端子は配線118と接続され、トランジスタ411__2の第2の端子はノードn2と接続され、トランジスタ411__2のゲートは回路600と接続される。トランジスタ412の第1の端子は配線118と接続され、トランジスタ412の第2の端子は配線111と接続され、トランジスタ412のゲートは回路600と接続される。ただし、これに限定されない。例えば、トランジスタ411__1～411__2、及びトランジスタ412のいずれかのみを追加することが可能である。

20

30

【0257】

なお、図25(A)において、トランジスタ401__1、トランジスタ411__1、トランジスタ401__2、及びトランジスタ411__2を省略することによって、回路400は、回路600、トランジスタ402、及びトランジスタ412のみを有することが可能である。または、図25(A)において、トランジスタ401__1、トランジスタ411__1、トランジスタ402、及びトランジスタ412を省略することによって、回路400は、回路600、トランジスタ401__2、及びトランジスタ411__2のみを有することが可能である。または、図25(A)において、トランジスタ401__2、トランジスタ411__2、トランジスタ402、及びトランジスタ412を省略することによって、回路400は、回路600、トランジスタ401__1、及びトランジスタ411__1のみを有することが可能である。ただし、これに限定されない。

40

【0258】

なお、図25(A)において、トランジスタ401__1のチャンネル幅は、トランジスタ411__1のチャンネル幅とは、おおむね等しいことが好ましい。トランジスタ401__2のチャンネル幅は、トランジスタ411__2のチャンネル幅とは、おおむね等しいことが好ましい。トランジスタ402のチャンネル幅は、トランジスタ412のチャンネル幅とは、おおむね等しいことが好ましい。したがって、例えば、トランジスタ411__1のチャンネル幅、

50

及びトランジスタ411__2のチャネル幅は、100 μ m～4000 μ mであることが好ましい。より好ましくは500 μ m～3000 μ mであることが好ましい。さらに好ましくは、1000 μ m～2000 μ mであることが好ましい。トランジスタ412のチャネル幅は、500 μ m～5000 μ mであることが好ましい。より好ましくは、1000 μ m～3000 μ mであることが好ましい。さらに好ましくは、2000 μ m～3000 μ mであることが好ましい。ただし、これに限定されない。

【0259】

なお、図21(A)、及び図25(A)で述べる構成において、図25(B)に示すように、トランジスタ411__1の第1の端子は、配線115__1と接続され、トランジスタ411__1のゲートは、配線113と接続されることが可能である。または、トランジスタ411__2の第1の端子は、配線115__2と接続され、トランジスタ411__2のゲートは、配線113と接続されることが可能である。また、トランジスタ412のゲートは、配線113と接続されることが可能である。こうすることによって、トランジスタ411__1～411__2、及びトランジスタ412の導通状態を制御するための回路を省略することができる。ただし、これに限定されない。例えば、トランジスタ401__1の第2の端子、トランジスタ401__2の第2の端子、及び／又は、トランジスタ402の第2の端子は、配線113と接続されることが可能である。こうすることによって、トランジスタに逆バイアスを印加することができるので、トランジスタの特性劣化を抑制することが可能である。

【0260】

なお、図21(A)、及び図25(A)～(B)で述べる構成において、図26(A)に示すように、トランジスタ401__1～401__2のゲート、及びトランジスタ402のゲートは、お互いに接続されることが可能である。なお、トランジスタ401__1～401__2のゲート、及びトランジスタ402のゲートと、回路600と、の接続箇所をノードjと示す。この場合、回路600は、期間A1～B1、及び期間A2～B2において、ロウレベルの信号又は電圧V1をノードjに供給することが可能である。一方で、回路600は、期間C1～E1、及び期間C2～E2において、ハイレベルの信号又は電圧V2をノードjに供給することが可能である。よって、トランジスタ401__1、トランジスタ401__2、及びトランジスタ402は、期間A1～B1、及び期間A2～B2においてオフになり、期間C1～E1、及び期間C2～E2においてオンになることが可能である。こうして、トランジスタ401__1、トランジスタ401__2、及びトランジスタ402の導通状態を制御するための回路を共通にすることができるので、回路規模の簡略化を図ることができる。ただし、これに限定されない。例えば、回路600は、期間D1と期間E1との一方、及び期間D2と期間E2との一方において、ロウレベルの信号又は電圧V1をノードjに供給することが可能である。または、回路600は、期間C1～E1と、期間C2～E2との一方において、ロウレベルの信号又は電圧V1をノードjに供給することが可能である。こうすることによって、トランジスタが1ゲート選択期間毎、又は1フレーム毎に、オンとオフとを繰り返すことが可能になるので、トランジスタの特性劣化を抑制することができる。別の例として、図26(B)に示すように、トランジスタ402のゲートは、トランジスタ401__1のゲートとトランジスタ401__2のゲートとの一方のみと接続されることが可能である。

【0261】

なお、図21(A)、図25(A)～(B)及び図26(A)～(B)で述べる構成において、図26(C)に示すように、トランジスタ401__1の第1の端子、トランジスタ401__2の第1の端子、及びトランジスタ402の第1の端子は、別々の配線と接続されることが可能である。図26(A)では、一例として、配線118は、配線118C～118Fという複数の配線に分割される。そして、回路600は、配線118Cと接続され、トランジスタ401__1の第1の端子は、配線118Dと接続され、トランジスタ401__2の第1の端子は、配線118Eと接続され、トランジスタ402の第1の端子は、配線118Fと接続される。ただし、これに限定されない。なお、配線118C～11

8 Fは、配線118と同様の機能を有することが可能である。よって、配線118C～118Fには、電圧V1などの電圧を入力することが可能である。ただし、これに限定されない。例えば、配線118C～118Fには、別々の電圧又は別々の信号を供給することが可能である。

【0262】

なお、図21(A)、図25(A)～(B)及び図26(A)～(C)で述べる構成において、図27(A)に示すように、トランジスタ401__1を、一方の端子(以下、正極ともいう)がノードn1と接続され、他方の端子(以下、負極ともいう)がノードm1と接続されるダイオード401a__1と置き換えることが可能である。または、トランジスタ401__2を、一方の端子(以下、正極ともいう)がノードn2と接続され、他方の端子(以下、負極ともいう)がノードm2と接続されるダイオード401a__2と置き換えることが可能である。または、トランジスタ402を、一方の端子(以下、正極ともいう)が配線111と接続され、他方の端子(以下、負極ともいう)がノードkと接続されるダイオード402aと置き換えることが可能である。ただし、これに限定されない。例えば、図21(A)、図25(A)～(B)及び図26(A)～(C)で述べる構成において、図27(B)に示すように、トランジスタ401__1の第1の端子がノードm1と接続され、トランジスタ401__1の第2の端子がノードn1と接続されることによって、トランジスタ401__1をダイオード接続された構成にすることが可能である。または、トランジスタ401__2の第1の端子がノードm2と接続され、トランジスタ401__2の第2の端子がノードn2と接続されることによって、トランジスタ401__2をダイオード接続された構成にすることが可能である。トランジスタ402の第1の端子がノードkと接続され、トランジスタ402の第2の端子が配線111と接続されることによって、トランジスタ402をダイオード接続された構成にすることが可能である。

【0263】

次に、回路600の具体例について、図28(A)を参照して説明する。回路600は、回路601__1～601__2、及び回路602を有する。回路601__1～601__2、及び回路602は、一例として、NOT回路、又はインバータとしての機能を有することが可能である。回路601__1の入力端子は、ノードn1と接続され、回路601__1の出力端子は、ノードm1と接続される。回路601__2の入力端子は、ノードn2と接続され、回路601__2の出力端子は、ノードm2と接続される。回路602の入力端子は、配線111と接続され、回路602の出力端子は、ノードkと接続される。

【0264】

回路600の別の例について、図28(B)を参照して説明する。回路600は、回路603を有する。回路603は、一例として、2入力のNOR回路として機能を有することが可能である。回路603の一方の入力端子は、ノードn1と接続され、回路603の他方の入力端子は、ノードn2と接続され、回路603の出力端子は、ノードjと接続される。

【0265】

回路600の別の例について、図28(C)を参照して説明する。回路600は、回路611__1～611__2、及び回路612を有する。回路611__1～611__2、及び回路612は、一例として、2入力のAND回路とNOT回路とを組み合わせた論理回路としての機能を有することが可能である。回路611__1の一方の入力端子は、配線113と接続され、回路611__1の他方の入力端子は、ノードn1と接続され、回路611__1の出力端子は、ノードm1と接続される。回路611__2の一方の入力端子は、配線113と接続され、回路611__2の他方の入力端子は、ノードn2と接続され、回路611__2の出力端子は、ノードm2と接続される。回路612の一方の入力端子は、配線113と接続され、回路612の他方の入力端子は、配線111と接続され、回路612の出力端子は、ノードkと接続される。

【0266】

回路600の別の例について、図28(D)を参照して説明する。回路600は、回路6

1 3を有する。回路6 1 3は、3入力のAND回路とNOT回路とを組み合わせた論理回路としての機能を有することが可能である。回路6 1 3の第1の入力端子は、配線1 1 3と接続され、回路6 1 3の第2の入力端子は、ノードn 1と接続され、回路6 1 3の第3の入力端子は、ノードn 2と接続され、回路6 1 3の出力端子は、ノードjと接続される。

【0 2 6 7】

回路6 0 0の別の例について、図2 8 (E)を参照して説明する。回路6 0 0は、回路6 2 1__1～6 2 1__2、及び回路6 2 2を有する。回路6 2 1__1～6 2 1__2、及び回路6 2 2は、一例として、2入力のNOR回路としての機能を有することが可能である。回路6 2 1__1の一方の入力端子は、配線1 1 3と接続され、回路6 2 1__1の他方の入力端子は、ノードn 1と接続され、回路6 2 1__1の出力端子は、ノードm 1と接続される。回路6 2 1__2の一方の入力端子は、配線1 1 3と接続され、回路6 2 1__2の他方の入力端子は、ノードn 2と接続され、回路6 2 1__2の出力端子は、ノードm 2と接続される。回路6 2 2の一方の入力端子は、配線1 1 3と接続され、回路6 2 2の他方の入力端子は、配線1 1 1と接続され、回路6 2 2の出力端子は、ノードkと接続される。

10

【0 2 6 8】

回路6 0 0の別の例について、図2 8 (F)を参照して説明する。回路6 0 0は、回路6 2 3を有する。回路6 2 3は、3入力のNOR回路としての機能を有することが可能である。回路6 2 3の第1の入力端子は、配線1 1 3と接続され、回路6 2 3の第2の入力端子は、ノードn 1と接続され、回路6 2 3の第3の入力端子は、ノードn 2と接続され、回路6 2 3の出力端子は、ノードjと接続される。

20

【0 2 6 9】

回路6 0 0の別の例について、図2 8 (G)を参照して説明する。回路6 0 0は、回路6 1 4を有する。回路6 1 4は、2入力のAND回路とNOT回路とを組み合わせた論理回路としての機能を有することが可能である。回路6 1 4の第1の入力端子は、配線1 1 3と接続され、回路6 1 4の第2の入力端子は配線1 1 1と接続され、回路6 1 4の出力端子は、ノードjと接続される。

【0 2 7 0】

回路6 0 0の別の例について、図2 8 (H)を参照して説明する。回路6 0 0は、回路6 2 4を有する。回路6 2 4は、2入力のNOR回路としての機能を有することが可能である。回路6 2 4の第1の入力端子は、配線1 1 3と接続され、回路6 2 4の第2の入力端子は、配線1 1 1と接続され、回路6 2 4の出力端子は、ノードjと接続される。

30

【0 2 7 1】

次に、図2 8 (A)～(F)に示す回路6 0 1__1～6 0 1__2、回路6 0 2、回路6 0 3、回路6 1 1__1～6 1 1__2、回路6 1 2、回路6 1 3、回路6 2 1__1～6 2 1__2、回路6 2 2、及び回路6 2 3の一例について、図2 9 (A)～(F)、及び図3 0 (A)～(D)を参照して説明する。ただし、回路6 0 1__1～6 0 1__2、回路6 0 2、回路6 0 3、回路6 1 1__1～6 1 1__2、回路6 1 2、回路6 1 3、回路6 2 1__1～6 2 1__2、回路6 2 2、及び回路6 2 3としては、他にも様々な構成を用いることが可能である。

40

【0 2 7 2】

図2 9 (A)の回路は、第1の端子が配線1 1 4と接続され、第2の端子が出力端子6 9 1と接続され、ゲートが配線1 1 4と接続されるトランジスタ6 3 1と、第1の端子が配線1 1 8と接続され、第2の端子が出力端子6 9 1と接続され、ゲートが入力端子6 9 2と接続されるトランジスタ6 3 2を有する。図2 9 (A)の回路は、回路6 0 1__1、回路6 0 1__2、及び／又は、回路6 0 2などに適用することが可能である。よって、出力端子6 9 1は、ノードm 1、ノードm 2、又はノードkなどと接続されることが可能である。または、入力端子6 9 2は、ノードn 1、ノードn 2、又は配線1 1 1などと接続されることが可能である。

【0 2 7 3】

50

図 29 (B) の回路は、第 1 の端子が配線 1 1 4 と接続され、第 2 の端子がトランジスタ 6 3 3 のゲートと接続され、ゲートが配線 1 1 4 と接続されるトランジスタ 6 3 1 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子がトランジスタ 6 3 3 のゲートと接続され、ゲートが入力端子 6 9 2 と接続されるトランジスタ 6 3 2 と、第 1 の端子が配線 1 1 4 と接続され、第 2 の端子が出力端子 6 9 1 と接続されるトランジスタ 6 3 3 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子が出力端子 6 9 1 と接続され、ゲートが入力端子 6 9 2 と接続されるトランジスタ 6 3 4 とを有する。図 29 (B) の回路は、回路 6 0 1 __ 1、回路 6 0 1 __ 2、及び／又は、回路 6 0 2 などに適用することが可能である。よって、出力端子 6 9 1 は、ノード m 1、ノード m 2、又はノード k などと接続されることが可能である。または、入力端子 6 9 2 は、ノード n 1、ノード n 2、又は配線 1 1 1 などと接続されることが可能である。

10

【0 2 7 4】

図 29 (C) の回路は、第 1 の端子が配線 1 1 4 と接続され、第 2 の端子が出力端子 6 9 1 と接続され、ゲートが配線 1 1 4 と接続されるトランジスタ 6 4 1 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子が出力端子 6 9 1 と接続され、ゲートが入力端子 6 9 2 と接続されるトランジスタ 6 4 2 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子が出力端子 6 9 1 と接続され、ゲートが入力端子 6 9 3 と接続されるトランジスタ 6 4 3 とを有する。図 29 (C) の回路は、回路 6 0 3、回路 6 2 1 __ 1、回路 6 2 1 __ 2、回路 6 2 2、又は回路 6 2 4 などに適用することが可能である。よって、出力端子 6 9 1 は、ノード j、ノード m 1、ノード m 2、又はノード k などと接続されることが可能である。または、入力端子 6 9 2 ~ 6 9 3 は、ノード n 1、ノード n 2、配線 1 1 1、又は配線 1 1 3 などと接続されることが可能である。

20

【0 2 7 5】

図 29 (D) の回路は、第 1 の端子が配線 1 1 4 と接続され、第 2 の端子がトランジスタ 6 4 4 のゲートと接続され、ゲートが配線 1 1 4 と接続されるトランジスタ 6 4 1 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子がトランジスタ 6 4 4 のゲートと接続され、ゲートが入力端子 6 9 2 と接続されるトランジスタ 6 4 2 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子がトランジスタ 6 4 4 のゲートと接続され、ゲートが入力端子 6 9 3 と接続されるトランジスタ 6 4 3 と、第 1 の端子が配線 1 1 4 と接続され、第 2 の端子が出力端子 6 9 1 と接続されるトランジスタ 6 4 4 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子が出力端子 6 9 1 と接続され、ゲートが入力端子 6 9 2 と接続されるトランジスタ 6 4 5 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子が出力端子 6 9 1 と接続され、ゲートが入力端子 6 9 3 と接続されるトランジスタ 6 4 6 とを有する。図 29 (D) の回路は、回路 6 0 3、回路 6 2 1 __ 1、回路 6 2 1 __ 2、回路 6 2 2、又は回路 6 2 4 などに適用することが可能である。よって、出力端子 6 9 1 は、ノード j、ノード m 1、ノード m 2、又はノード k などと接続されることが可能である。または、入力端子 6 9 2 ~ 6 9 3 は、ノード n 1、ノード n 2、配線 1 1 1、又は配線 1 1 3 などと接続されることが可能である。

30

【0 2 7 6】

図 29 (E) の回路は、第 1 の端子が配線 1 1 4 と接続され、第 2 の端子が出力端子 6 9 1 と接続され、ゲートが配線 1 1 4 と接続されるトランジスタ 6 4 1 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子が出力端子 6 9 1 と接続され、ゲートが入力端子 6 9 2 と接続されるトランジスタ 6 4 2 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子が出力端子 6 9 1 と接続され、ゲートが入力端子 6 9 3 と接続されるトランジスタ 6 4 3 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子が出力端子 6 9 1 と接続され、ゲートが入力端子 6 9 4 と接続されるトランジスタ 6 4 7 とを有する。図 29 (E) の回路は、回路 6 2 3 などに適用することが可能である。よって、出力端子 6 9 1 は、ノード j などと接続されることが可能である。または、入力端子 6 9 2 ~ 6 9 4 は、ノード n 1、ノード n 2、又は配線 1 1 3 などと接続されることが可能である。

40

【0 2 7 7】

50

図 29 (F) の回路は、第 1 の端子が配線 1 1 4 と接続され、第 2 の端子がトランジスタ 6 4 4 のゲートと接続され、ゲートが配線 1 1 4 と接続されるトランジスタ 6 4 1 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子がトランジスタ 6 4 4 のゲートと接続され、ゲートが入力端子 6 9 2 と接続されるトランジスタ 6 4 2 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子がトランジスタ 6 4 4 のゲートと接続され、ゲートが入力端子 6 9 3 と接続されるトランジスタ 6 4 3 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子がトランジスタ 6 4 4 のゲートと接続され、ゲートが入力端子 6 9 4 と接続されるトランジスタ 6 4 7 と、第 1 の端子が配線 1 1 4 と接続され、第 2 の端子が出力端子 6 9 1 と接続されるトランジスタ 6 4 4 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子が出力端子 6 9 1 と接続され、ゲートが入力端子 6 9 2 と接続されるトランジスタ 6 4 5 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子が出力端子 6 9 1 と接続され、ゲートが入力端子 6 9 3 と接続されるトランジスタ 6 4 6 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子が出力端子 6 9 1 と接続され、ゲートが入力端子 6 9 4 と接続されるトランジスタ 6 4 8 とを有する。図 29 (F) の回路は、回路 6 2 3 などに適用することが可能である。よって、出力端子 6 9 1 は、ノード j などと接続されることが可能である。または、入力端子 6 9 2 ~ 6 9 4 は、ノード n 1、ノード n 2、又は配線 1 1 3 などと接続されることが可能である。

10

【0278】

図 30 (A) の回路は、第 1 の端子が入力端子 6 9 2 と接続され、第 2 の端子がトランジスタ 6 5 3 のゲートと接続され、ゲートが入力端子 6 9 2 と接続されるトランジスタ 6 5 1 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子がトランジスタ 6 5 3 のゲートと接続され、ゲートが入力端子 6 9 3 と接続されるトランジスタ 6 5 2 と、第 1 の端子が入力端子 6 9 2 と接続され、第 2 の端子が出力端子 6 9 1 と接続されるトランジスタ 6 5 3 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子が出力端子 6 9 1 と接続され、ゲートが入力端子 6 9 3 と接続されるトランジスタ 6 5 4 とを有する。図 30 (A) の回路は、回路 6 1 1 _ 1、回路 6 1 1 _ 2、回路 6 1 2、及び／又は、回路 6 1 4 などに適用することが可能である。よって、出力端子 6 9 1 は、ノード m 1、ノード m 2、又はノード k などと接続されることが可能である。または、入力端子 6 9 2 は、配線 1 1 3 などと接続されることが可能である。または、入力端子 6 9 3 ~ 6 9 4 は、ノード n 1、ノード n 2、又は配線 1 1 1 などと接続されることが可能である。

20

30

【0279】

図 30 (B) の回路は、第 1 の端子が入力端子 6 9 2 と接続され、第 2 の端子がトランジスタ 6 5 3 のゲートと接続され、ゲートが入力端子 6 9 2 と接続されるトランジスタ 6 5 1 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子がトランジスタ 6 5 3 のゲートと接続され、ゲートが入力端子 6 9 3 と接続されるトランジスタ 6 5 2 と、第 1 の端子が入力端子 6 9 2 と接続され、第 2 の端子が出力端子 6 9 1 と接続されるトランジスタ 6 5 3 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子が出力端子 6 9 1 と接続され、ゲートが入力端子 6 9 3 と接続されるトランジスタ 6 5 4 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子がトランジスタ 6 5 3 のゲートと接続され、ゲートが入力端子 6 9 4 と接続されるトランジスタ 6 5 5 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子が出力端子 6 9 1 と接続され、ゲートが入力端子 6 9 4 と接続されるトランジスタ 6 5 6 とを有する。図 30 (B) の回路は、回路 6 1 3 などに適用することが可能である。よって、出力端子 6 9 1 は、ノード j などと接続されることが可能である。または、入力端子 6 9 2 は、配線 1 1 3 などと接続されることが可能である。または、入力端子 6 9 3 ~ 6 9 4 は、ノード n 1、又はノード n 2 などと接続されることが可能である。

40

【0280】

図 30 (C) の回路は、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子が出力端子 6 9 1 と接続され、ゲートが入力端子 6 9 3 と接続されるトランジスタ 6 6 1 と、一方の電極が入力端子 6 9 2 と接続され、他方の電極が出力端子 6 9 1 と接続される容量素子 6 6 2 とを有する。図 30 (C) の回路は、回路 6 1 1 _ 1、回路 6 1 1 _ 2、回路 6 1 2、及

50

び／又は、回路 6 1 4 などに適用することが可能である。よって、出力端子 6 9 1 は、ノード m 1、ノード m 2、ノード k、又はノード j などと接続されることが可能である。または、入力端子 6 9 2 は、配線 1 1 3 などと接続されることが可能である。または、入力端子 6 9 3 は、ノード n 1、ノード n 2、又は配線 1 1 1 などと接続されることが可能である。

【0281】

図 30 (D) の回路は、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子が出力端子 6 9 1 と接続され、ゲートが入力端子 6 9 3 と接続されるトランジスタ 6 6 1 と、一方の電極が入力端子 6 9 2 と接続され、他方の電極が出力端子 6 9 1 と接続される容量素子 6 6 2 と、第 1 の端子が配線 1 1 8 と接続され、第 2 の端子が出力端子 6 9 1 と接続され、ゲートが入力端子 6 9 4 と接続されるトランジスタ 6 6 3 とを有する。図 30 (D) の回路は、回路 6 1 3 などに適用することが可能である。よって、出力端子 6 9 1 は、ノード j などと接続されることが可能である。または、入力端子 6 9 2 は、配線 1 1 3 などと接続されることが可能である。または、入力端子 6 9 3 ～ 6 9 4 は、ノード n 1、又はノード n 2 などと接続されることが可能である。

【0282】

なお、回路構成は、図 29 (A) ～ (F)、及び図 30 (A) ～ (D) に限定されない。例えば、図 29 (A) ～ (F)、及び図 30 (A) ～ (D) で述べる構成において、図 30 (E) に示すように、トランジスタの各端子は、別々の配線又は別々の端子と接続されることが可能である。図 30 (E) の一例では、トランジスタ 6 5 1 の第 1 の端子は、配線 6 8 1 と接続され、トランジスタ 6 5 3 の第 1 の端子は、配線 6 8 2 と接続され、トランジスタ 6 5 2 の第 1 の端子は、配線 6 8 3 と接続され、トランジスタ 6 5 4 の第 1 の端子は、配線 6 8 4 と接続される。ただし、これに限定されない。

【0283】

別の例として、図 29 (A) ～ (F)、及び図 30 (A) ～ (E) で述べる構成において、図 30 (F) に示すように、ダイオード接続された構成のトランジスタの代わりに、抵抗素子、又はダイオードなどの別の素子を用いることが可能である。図 30 (F) の一例では、トランジスタ 6 3 1 の代わりに、素子 6 3 1 A が用いられる。素子 6 3 1 A の一方の端子は配線 1 1 4 と接続され、素子 6 3 1 A の他方の端子は出力端子 6 9 1 と接続される。素子 6 3 1 A は、抵抗成分を有する素子（例えば抵抗素子、又はダイオードなど）としての機能を有する。

【0284】

別の例として、図 29 (A) ～ (F)、及び図 30 (A) ～ (F) で述べる構成において、図 30 (G) に示すように、容量素子として、トランジスタ、又は M I S 容量を用いることが可能である。図 30 (G) の一例では、容量素子 6 6 2 としてトランジスタ 6 6 2 A が用いられる。トランジスタ 6 6 2 A の第 1 の端子及び第 2 の端子は、出力端子 6 9 1 と接続され、トランジスタ 6 6 2 A のゲートは入力端子 6 9 2 と接続される。

【0285】

(実施の形態 4)

本実施の形態では、半導体装置の一例について説明する。本実施の形態の半導体装置は、実施の形態 2 で述べる回路 5 0 0 に用いることが可能である。なお、実施の形態 1 ～実施の形態 3 で述べる内容は、その説明を省略する。なお、本実施の形態で述べる内容は、実施の形態 1 ～実施の形態 3 で述べる内容と適宜組み合わせることができる。

【0286】

まず、回路 5 0 0 の一例について、図 31 (A) を参照して説明する。図 31 (A) の一例では、回路 5 0 0 は、トランジスタ 5 0 1 __ 1、トランジスタ 5 0 1 __ 2、及びトランジスタ 5 0 2 を有する。トランジスタ 5 0 1 __ 1、トランジスタ 5 0 1 __ 2、及びトランジスタ 5 0 2 は、トランジスタ 1 0 1 __ 1 ～ 1 0 1 __ 2 と同じ極性であることが好ましく、N チャネル型であるものとする。ただし、これに限定されず、トランジスタ 5 0 1 __ 1、トランジスタ 5 0 1 __ 2、及びトランジスタ 5 0 2 は、P チャネル型であることが可能

である。なお、回路500は、これらのトランジスタの全てを有する必要はなく、これらのトランジスタの一部を省略することが可能である。

【0287】

トランジスタ501__1の第1の端子は、配線118と接続され、トランジスタ501__1の第2の端子は、ノードn1と接続され、トランジスタ501__1のゲートは、配線117と接続される。トランジスタ501__2の第1の端子は、配線118と接続され、トランジスタ501__2の第2の端子は、ノードn2と接続され、トランジスタ501__2のゲートは、配線117と接続される。トランジスタ502の第1の端子は、配線118と接続され、トランジスタ502の第2の端子は、配線111と接続され、トランジスタ502のゲートは、配線117と接続される。

10

【0288】

トランジスタ501__1は、一例として、配線118とノードn1との導通状態を制御する機能を有する。または、トランジスタ501__1は、配線118の電圧をノードn1に供給するタイミングを制御する機能を有する。例えば、配線118に信号又は電圧など（例えば信号CK2又は電圧V1など）が供給される場合、トランジスタ501__1は、配線118に供給される信号又は電圧などをノードn1に供給するタイミングを制御する機能を有する。または、トランジスタ501__1は、ロウレベルの信号又は電圧V1をノードn1に供給するタイミングを制御する機能を有する。または、トランジスタ501__1は、ノードn1の電圧を減少させるタイミング又は維持させるタイミングを制御する機能を有する。以上のように、トランジスタ501__1は、スイッチとしての機能を有することが可能である。ただし、これに限定されない。なお、トランジスタ501__1は、上記の機能のすべてを有する必要はない。

20

【0289】

トランジスタ501__2は、一例として、配線118とノードn2との導通状態を制御する機能を有する。または、トランジスタ501__2は、配線118の電圧をノードn2に供給するタイミングを制御する機能を有する。例えば、配線118に信号又は電圧など（例えば信号CK2又は電圧V1など）が供給される場合、トランジスタ501__2は、配線118に供給される信号又は電圧などを、ノードn2に供給するタイミングを制御する機能を有する。または、トランジスタ501__2は、ロウレベルの信号又は電圧V1をノードn2に供給するタイミングを制御する機能を有する。または、トランジスタ501__2は、ノードn2の電圧を減少させるタイミング又は維持させるタイミングを制御する機能を有する。以上のように、トランジスタ501__2は、スイッチとしての機能を有することが可能である。ただし、これに限定されない。なお、トランジスタ501__2は、上記の機能のすべてを有する必要はない。

30

【0290】

トランジスタ502は、一例として、配線118と配線111との導通状態を制御する機能を有する。または、トランジスタ502は、配線118の電圧を配線111に供給するタイミングを制御する機能を有する。例えば、配線118に信号又は電圧など（例えば信号CK2又は電圧V1など）が供給される場合、トランジスタ502は、配線118に供給される信号又は電圧などを、配線111に供給するタイミングを制御する機能を有する。または、トランジスタ502は、ロウレベルの信号又は電圧V1を配線111に供給するタイミングを制御する機能を有する。または、トランジスタ502は、配線111の電圧を減少させるタイミング又は維持させるタイミングを制御する機能を有する。以上のように、トランジスタ502は、スイッチとしての機能を有することが可能である。ただし、これに限定されない。なお、トランジスタ502は、上記の機能のすべてを有する必要はない。

40

【0291】

次に、図31(A)の半導体装置の動作の一例について説明する。なお、図31(A)の半導体装置の動作は、図1(A)の半導体装置の動作と共通するところが多いので、図2のタイミングチャートを参照して説明する。なお、図31(A)の半導体装置は、図2の

50

タイミングチャートに限定されず、様々なタイミングによって制御されることが可能である。

【0292】

期間A1～B1、期間D1～E1、期間A2～B2、及び期間C2～E2において、図32(A)～(B)、図33(A)～(C)、及び図34(B)に示すように、信号REは、ロウレベルになる。すると、トランジスタ501__1～501__2、及びトランジスタ502はオフになる。

【0293】

期間C1、及び期間C2において、図32(C)、及び図34(A)に示すように、信号REは、ハイレベルになる。すると、トランジスタ501__1はオンになるので、配線118とノードn1とは、トランジスタ501__1を介して導通状態になる。よって、電圧V1は、配線118からトランジスタ501__1を介してノードn1に供給される。トランジスタ501__2はオンになるので、配線118とノードn2とは、トランジスタ501__2を介して導通状態になる。よって、電圧V1は、配線118からトランジスタ501__2を介してノードn2に供給される。トランジスタ502はオンになるので、配線111と配線118とは、トランジスタ502を介して導通状態になる。よって、電圧V1は、配線118からトランジスタ502を介して配線111に供給される。

【0294】

なお、トランジスタ501__1のチャンネル幅とトランジスタ501__2のチャンネル幅とはおおむね等しいことが好ましい。こうして、期間T1におけるノードn1の電圧の変化と、期間T2におけるノードn2の電圧の変化とをおおむね等しくすることができる。よって、信号OUTの波形をおおむね等しくすることができる。なお、同様の理由で、トランジスタ501__1のチャンネル長とトランジスタ501__2のチャンネル長とはおおむね等しいことが好ましい。ただし、これに限定されない。

【0295】

なお、トランジスタ501__1のチャンネル幅及びトランジスタ501__2のチャンネル幅は、トランジスタ502のチャンネル幅よりも小さいことが好ましい。こうして、期間C1におけるノードn1の電圧が減少する時間と、期間C2におけるノードn2の電圧が減少する期間とを短くすることができる。よって、ロウレベルの信号CK1は、トランジスタ101__1又はトランジスタ101__2を介して配線111に供給されるので、信号OUTの立ち下がり時間を短くすることができる。または、期間C1及び期間C2において、電圧V1は、トランジスタ502を介して配線111に供給されるので、信号OUTの立ち下がり時間を短くすることができる。

【0296】

なお、トランジスタ501__1のチャンネル幅及びトランジスタ501__2のチャンネル幅は、100 μ m～3000 μ mであることが好ましい。より好ましくは、300 μ m～2000 μ mであることが好ましい。さらに好ましくは、300 μ m～1000 μ mであることが好ましい。ただし、これに限定されない。

【0297】

なお、トランジスタ502のチャンネル幅は、500 μ m～5000 μ mであることが好ましい。より好ましくは、1000 μ m～3000 μ mであることが好ましい。さらに好ましくは、2000 μ m～3000 μ mであることが好ましい。ただし、これに限定されない。

【0298】

なお、図31(A)で述べる構成において、図31(B)に示すように、トランジスタ501__1の第1の端子、トランジスタ501__2の第1の端子、及びトランジスタ502の第1の端子は、別々の配線と接続されることが可能である。図31(B)の一例では、配線118は、配線118G～118Iという複数の配線に分割される。そして、トランジスタ501__1の第1の端子は配線118Gと接続され、トランジスタ501__2の第1の端子は配線118Hと接続され、トランジスタ502の第1の端子は配線118Iと

10

20

30

40

50

接続される。ただし、これに限定されない。なお、配線 118G~118I は、配線 118 と同様の機能を有することが可能である。よって、配線 118G~118I には電圧 V1 などの電圧を入力することが可能であり、信号線として機能することが可能である。ただし、これに限定されない。例えば、配線 118G~118I には、別々の信号又は別々の電圧を供給することが可能である。

【0299】

なお、図 31 (A)~(B) で述べる構成において、図 31 (C) に示すように、トランジスタ 501__1 を、一方の端子がノード n1 と接続され、他方の端子が配線 118 と接続されるダイオード 501a__1 と置き換えることが可能である。または、トランジスタ 501__2 を、一方の端子がノード n2 と接続され、他方の端子が配線 118 と接続されるダイオード 501a__2 と置き換えることが可能である。または、トランジスタ 502 を、一方の端子が配線 111 と接続され、他方の端子が配線 118 と接続されるダイオード 502a と置き換えることが可能である。ただし、これに限定されない。例えば、図 31 (A)~(B) で述べる構成において、図 31 (D) に示すように、トランジスタ 501__1 のゲート端子がノード n1 に接続されることによって、トランジスタ 501__1 をダイオード接続された構成にすることが可能である。同様に、トランジスタ 501__2 のゲート端子がノード n2 に接続されることによって、トランジスタ 501__2 をダイオード接続された構成にすることが可能である。同様に、トランジスタ 502 のゲート端子が配線 111 に接続されることによって、トランジスタ 502 をダイオード接続された構成にすることが可能である。

【0300】

ここで、実施の形態 1~実施の形態 4 で述べる内容を組み合わせる場合の半導体装置の一例について、図 35~図 36 に示す。ただし、これに限定されず、他にも実施の形態 1~実施の形態 4 で述べる内容を組み合わせて、半導体装置を様々な構成とすることが可能である。

【0301】

図 35 の半導体装置では、回路 100 として、図 1 (A) で述べる構成が用いられる。回路 300 として、図 18 (B) で述べる構成が用いられる。回路 400 として、図 26 (A) で述べる構成が用いられる。回路 500 として、図 31 (A) で述べる構成が用いられる。回路 600 として、図 28 (B) で述べる構成が用いられる。回路 603 として、図 29 (D) で述べる構成が用いられる。ただし、これに限定されない。

【0302】

図 36 の半導体装置では、回路 100 として、図 1 (A) で述べる構成が用いられる。回路 300 として、図 14 (B) で述べる構成が用いられる。回路 400 として、図 25 (A) で述べる構成が用いられる。回路 500 として、図 31 (A) で述べる構成が用いられる。回路 600 として、図 28 (H) で述べる構成が用いられる。回路 624 として、図 30 (A) で述べる構成が用いられる。ただし、これに限定されない。

【0303】

一例として、図 35 に示す半導体装置の動作について説明する。ここでは、図 2 に示すタイミングチャートを用いて説明する。

【0304】

期間 A1 において、信号 SP はハイレベルになる。よって、トランジスタ 301__1 はオンになるので、配線 114 とノード n1 は導通状態になる。トランジスタ 301__2 はオンになるので、配線 114 とノード n2 とは導通状態になる。このとき、信号 SEL1 はハイレベルになり、信号 SEL2 はロウレベルになる。すると、トランジスタ 302__1 はオンになり、トランジスタ 302__2 はオフになるので、配線 118 とノード n2 とは導通状態になる。この結果、ノード n1 の電圧は上昇し、ノード n2 の電圧は低い値（例えば V1）に維持される。すると、トランジスタ 101__1 はオンになり、トランジスタ 101__2 はオフになるので、配線 112 と配線 111 とが導通状態になる。このとき、回路 600 において、トランジスタ 642 及びトランジスタ 645 がオンになり、トラン

ジスタ643及びトランジスタ646がオフになる。よって、配線118とトランジスタ644のゲートとは導通状態になり、配線118とノードjとは導通状態になる。この結果、トランジスタ644のゲートの電圧は低い値（例えばV1）になる。すると、トランジスタ644はオフになるので、配線114とノードjとは非導通状態になる。よって、ノードjの電圧は低い値（例えばV1）になるので、トランジスタ401__1、トランジスタ401__2、及びトランジスタ402はオフになる。このとき、信号REはロウレベルになる。すると、トランジスタ501__1～501__2及びトランジスタ502はオフになる。よって、配線118とノードn1とは非導通状態になり、配線118とノードn2とは導通状態になり、配線118と配線111とは非導通状態になる。

【0305】

期間B1において、信号SPはロウレベルになる。すると、トランジスタ301__1はオフになるので、配線114とノードn1とは非導通状態になる。トランジスタ301__2はオフになるので、配線114とノードn2とは非導通状態になる。このとき、信号SEL1はハイレベルのままであり、信号SEL2はロウレベルのままになる。すると、トランジスタ302__1はオンのままになり、トランジスタ302__2はオフのままになるので、配線118とノードn2とは導通状態のままになる。この結果、ノードn1の電圧はブートストラップ動作によって上昇し、ノードn2の電圧は低い値（例えばV1）のままになる。すると、トランジスタ101__1はオンのままになり、トランジスタ101__2はオフのままになるので、配線112と配線111とは導通状態のままになる。このとき、回路600において、期間A1と同様に、トランジスタ642及びトランジスタ645がオンのままになり、トランジスタ643及びトランジスタ646がオフのままになる。よって、トランジスタ644がオフのままになり、ノードjの電圧は低い値（例えばV1）のままになる。すると、トランジスタ401__1、トランジスタ401__2、及びトランジスタ402はオフのままになる。このとき、信号REはロウレベルのままになる。すると、トランジスタ501__1～501__2及びトランジスタ502はオフのままになる。よって、配線118とノードn1とは非導通状態のままになり、配線118とノードn2とは導通状態のままになり、配線118と配線111とは非導通状態のままになる。

【0306】

期間C1において、信号SPはロウレベルのままである。すると、トランジスタ301__1及びトランジスタ301__2はオフのままになるので、配線114とノードn1とは非導通状態のままになり、配線114とノードn2とは非導通状態のままになる。このとき、信号SEL1はハイレベルのままであり、信号SEL2はロウレベルのままになる。すると、トランジスタ302__1はオンのままになり、トランジスタ302__2はオフのままになるので、配線118とノードn2とは導通状態のままになる。このとき、信号REはハイレベルになる。すると、トランジスタ501__1～501__2及びトランジスタ502はオンになるので、配線118とノードn1とは導通状態になり、配線118とノードn2とは導通状態になり、配線118と配線111とは導通状態になる。この結果、ノードn1の電圧、ノードn2の電圧、及び配線111の電圧は減少する。すると、トランジスタ101__1及びトランジスタ101__2はオフになるので、配線112と配線111とは非導通状態になる。このとき、回路600において、トランジスタ642、トランジスタ643、トランジスタ645、及びトランジスタ646がオフになる。すると、電圧V2は、トランジスタ641を介してトランジスタ644のゲートに供給されるので、トランジスタ644のゲートの電圧が上昇する。よって、トランジスタ644はオンになるので、配線114とノードjとは導通状態になる。この結果、これらのトランジスタのゲートの電圧は上昇し、トランジスタ401__1、トランジスタ401__2、及びトランジスタ402はオンになる。

【0307】

期間D1、及び期間E1において、信号SPはロウレベルのままである。すると、トランジスタ301__1及びトランジスタ301__2はオフのままになるので、配線114とノードn1とは非導通状態のままになり、配線114とノードn2とは非導通状態のままに

10

20

30

40

50

なる。このとき、信号SEL1はハイレベルのままであり、信号SEL2はロウレベルのままになる。すると、トランジスタ302__1はオンのままになり、トランジスタ302__2はオフのままになるので、配線118とノードn2とは導通状態のままになる。このとき、回路600において、トランジスタ642、トランジスタ643、トランジスタ645、及びトランジスタ646はオフのままになるので、ノードjの電圧は高いままになる。よって、トランジスタ401__1、トランジスタ401__2、及びトランジスタ402はオンになるので、配線118とノードn1とは導通状態になり、配線118とノードn2とは導通状態になり、配線118と配線111とは導通状態になる。この結果、ノードn1、ノードn2、及び配線111の電圧は、低い値（例えばV1）に維持される。すると、トランジスタ101__1及びトランジスタ101__2はオフになるので、配線112と配線111とは非導通状態になる。

10

【0308】

期間A2において、信号SPはハイレベルになる。よって、トランジスタ301__1はオンになるので、配線114とノードn1は導通状態になる。トランジスタ301__2はオンになるので、配線114とノードn2とは導通状態になる。このとき、信号SEL1はロウレベルになり、信号SEL2はハイレベルになる。すると、トランジスタ302__1はオフになり、トランジスタ302__2はオンになるので、配線118とノードn1とは導通状態になる。この結果、ノードn1の電圧は低い値（例えばV1）に維持され、ノードn2の電圧は上昇する。すると、トランジスタ101__1はオフになり、トランジスタ101__2はオンになるので、配線112と配線111とは導通状態になる。このとき、回路600において、トランジスタ642及びトランジスタ645がオフになり、トランジスタ643及びトランジスタ646がオンになる。よって、配線118とトランジスタ644のゲートとは導通状態になり、配線118とノードjとは導通状態になる。この結果、トランジスタ644のゲートの電圧は低い値（例えばV1）になる。すると、トランジスタ644はオフになるので、配線114とノードjとは非導通状態になる。よって、これらのトランジスタのゲートの電圧は低い値（例えばV1）になるので、トランジスタ401__1、トランジスタ401__2、及びトランジスタ402はオフになる。このとき、信号REはロウレベルになる。すると、トランジスタ501__1～501__2及びトランジスタ502はオフになる。よって、配線118とノードn1とは導通状態になり、配線118とノードn2とは非導通状態になり、配線118と配線111とは非導通状態になる。

20

30

【0309】

期間B2において、信号SPはロウレベルになる。すると、トランジスタ301__1はオフになるので、配線114とノードn1とは非導通状態になる。トランジスタ301__2はオフになるので、配線114とノードn2とは非導通状態になる。このとき、信号SEL1はロウレベルのままであり、信号SEL2はハイレベルのままになる。すると、トランジスタ302__1はオフのままになり、トランジスタ302__2はオンのままになるので、配線118とノードn1とは導通状態のままになる。この結果、ノードn1の電圧は低い値（例えばV1未満）のままになり、ノードn2の電圧はブートストラップ動作によって上昇する。すると、トランジスタ101__1はオフのままになり、トランジスタ101__2はオンのままになるので、配線112と配線111とは導通状態のままになる。このとき、回路600において、期間A1と同様に、トランジスタ642及びトランジスタ645がオフのままになり、トランジスタ643及びトランジスタ646がオンのままになる。よって、トランジスタ644がオフのままになり、トランジスタ401__1、トランジスタ401__2、及びトランジスタ402のゲートの電圧は低い値（例えばV1）のままになる。すると、トランジスタ401__1、トランジスタ401__2、及びトランジスタ402はオフのままになる。このとき、信号REはロウレベルのままになる。すると、トランジスタ501__1～501__2及びトランジスタ502はオフのままになる。よって、配線118とノードn1とは導通状態のままになり、配線118とノードn2とは非導通状態のままになり、配線118と配線111とは非導通状態のままになる。

40

50

【0310】

期間C2において、信号SPはロウレベルのままである。すると、トランジスタ301__1及びトランジスタ301__2はオフのままになるので、配線114とノードn1とは非導通状態のままになり、配線114とノードn2とは非導通状態のままになる。このとき、信号SEL1はロウレベルのままであり、信号SEL2はハイレベルのままになる。すると、トランジスタ302__1はオフのままになり、トランジスタ302__2はオンのままになるので、配線118とノードn1とは導通状態のままになる。このとき、信号REはハイレベルになる。すると、トランジスタ501__1～501__2及びトランジスタ502はオンになるので、配線118とノードn1とは導通状態になり、配線118とノードn2とは導通状態になり、配線118と配線111とは導通状態になる。この結果、ノードn1の電圧、ノードn2の電圧、及び配線111の電圧は減少する。すると、トランジスタ101__1及びトランジスタ101__2はオフになるので、配線112と配線111とは非導通状態になる。このとき、回路600において、トランジスタ642、トランジスタ643、トランジスタ645、及びトランジスタ646がオフになる。すると、電圧V2は、トランジスタ641を介してトランジスタ644のゲートに供給されるので、トランジスタ644のゲートの電圧が上昇する。よって、トランジスタ644はオンになるので、配線114とノードjとは導通状態になる。この結果、トランジスタ401__1、トランジスタ401__2、及びトランジスタ402のゲートの電圧は上昇し、トランジスタ401__1、トランジスタ401__2、及びトランジスタ402はオンになる。

10

【0311】

期間D2、及び期間E2において、信号SPはロウレベルのままである。すると、トランジスタ301__1及びトランジスタ301__2はオフのままになるので、配線114とノードn1とは非導通状態のままになり、配線114とノードn2とは非導通状態のままになる。このとき、信号SEL1はロウレベルのままであり、信号SEL2はハイレベルのままになる。すると、トランジスタ302__1はオフのままになり、トランジスタ302__2はオンのままになるので、配線118とノードn1とは導通状態のままになる。このとき、回路600において、トランジスタ642、トランジスタ643、トランジスタ645、及びトランジスタ646はオフのままになるので、ノードjの電圧は高いままになる。よって、トランジスタ401__1、トランジスタ401__2、及びトランジスタ402はオンになるので、配線118とノードn1とは導通状態になり、配線118とノードn2とは導通状態になり、配線118と配線111とは導通状態になる。この結果、ノードn1、ノードn2、及び配線111の電圧は、低い値（例えばV1）に維持される。すると、トランジスタ101__1及びトランジスタ101__2はオフになるので、配線112と配線111とは非導通状態になる。

20

30

【0312】

さらに、図35に示す半導体装置の動作検証を行った。検証結果について図49を用いて説明する。図49は、本実施の形態の半導体装置の検証結果を示す図である。なお検証は、SPICEシミュレータを用いて行った。また、比較例として図35に示す半導体装置のトランジスタ101__2、トランジスタ301__2、トランジスタ302__1、トランジスタ302__2、トランジスタ401__2、トランジスタ501__2、トランジスタ643、トランジスタ646を設けない回路構成の半導体装置についても動作検証を行った。また、検証は、高電源電圧（Vddともいう）＝30V、Vss＝0V、クロック周波数＝25kHz（1周期＝40μsec）、各トランジスタの移動度＝1cm²/Vs、各トランジスタの閾値電圧＝5V、出力容量＝50pFとして行った。

40

【0313】

図49（A）は、比較例の半導体装置における検証結果のタイミングチャートである。図49（A）に示すように、比較例の半導体装置では、期間T1及び期間T2とも一つのスタートパルスである信号SPに従ってノードn1の電圧が変化し、ノードn1の電圧に従ってトランジスタ101__1がオンになり、配線112と配線111とは、トランジスタ101__1を介して導通状態になり、信号CK1が配線112からトランジスタ101__

50

1を介して配線111に供給される。

【0314】

図49(B)は、図35に示す半導体装置における検証結果のタイミングチャートである。図49(B)に示すように、図35に示す半導体装置では、期間T1では、信号SPに従ってノードn1の電圧が変化し、ノードn1の電圧に従ってトランジスタ101__1がオンになり、配線112と配線111とは、トランジスタ101__1を介して導通状態になり、信号CK1が配線112からトランジスタ101__1を介して配線111に供給され、期間T2では、信号SPに従ってノードn2の電圧が変化し、ノードn2の電圧に従ってトランジスタ101__2がオンになり、配線112と配線111とは、トランジスタ101__2を介して導通状態になり、信号CK1が配線112からトランジスタ101__2を介して配線111に供給される。よって図49に示すように、本実施の形態の半導体装置では、各期間で異なるトランジスタをオンにして動作することにより、各トランジスタがオンになる回数及びオンになる時間を低減することができる。10

【0315】

(実施の形態5)

本実施の形態では、表示装置の一例、表示装置が有するシフトレジスタの一例、及び表示装置が有する画素の一例について説明する。当該シフトレジスタは、実施の形態1～実施の形態4で述べる半導体装置を有することが可能である。なお、シフトレジスタを、半導体装置、又はゲートドライバと示すことが可能である。なお、実施の形態1～実施の形態4で述べる内容は、その説明を省略する。なお、実施の形態1～実施の形態4で述べる内20

【0316】

まず、図37(A)～(D)を参照して、表示装置の一例について説明する。表示装置は、回路1001、回路1002、回路1003__1、画素部1004、及び端子1005を有する。画素部1004には、回路1003__1から複数の配線が延伸して配置されることが可能である。当該複数の配線は、ゲート信号線又は走査線としての機能を有することが可能である。または、画素部1004には、回路1002から複数の配線が延伸して配置されることが可能である。当該複数の配線は、ビデオ信号線又はデータ線としての機能を有する。そして、回路1003__1から延伸して配置される複数の配線と、回路1002から延伸して配置される複数の配線とに対応して、複数の画素が配置される。ただし、これに限定されない。例えば、画素部1004には、他にも様々な配線が配置されることが可能である。当該配線は、ゲート信号線、データ線、電源線、又は容量線などとしての機能を有することが可能である。30

【0317】

回路1001は、回路1002、及び回路1003__1に、信号、電圧、又は電流などを供給する機能を有する。または、回路1001は、回路1002、及び回路1003__1を制御する機能を有する。このように、回路1001は、コントローラ、制御回路、タイミングジェネレータ、電源回路、又はレギュレータなどとしての機能を有することが可能である。ただし、これに限定されない。40

【0318】

回路1002は、ビデオ信号を画素部1004に供給する機能を有する。または、回路1002は、画素部1004が有する画素の輝度又は透過率などを制御する機能を有する。このように、回路1002は、駆動回路、ソースドライバ、又は信号線駆動回路などとしての機能を有する。ただし、これに限定されない。

【0319】

回路1003__1は、走査信号、又はゲート信号を画素部1004に供給する機能を有する。または、回路1003__1は、画素部1004が有する画素を選択する機能を有する。このように、回路1003__1は、駆動回路、ゲートドライバ、又は走査線駆動回路としての機能を有する。ただし、これに限定されない。

【0320】

なお、図 37 (A) に示すように、回路 1001 及び回路 1002 は、画素部 1004 が形成される基板 1006 とは別の基板（例えば半導体基板又は SOI 基板など）に形成されることが可能である。または、回路 1003__1 は、画素部 1004 と同じ基板 1006 に形成されることが可能である。回路 1003__1 の駆動周波数は、回路 1001 又は回路 1002 と比較して、遅い場合が多い。よって、トランジスタの半導体層として、非結晶半導体、非晶質半導体、微結晶半導体、酸化物半導体、有機半導体などを用いることが容易になる。この結果、表示装置を大きくすることができる。また、表示装置を安価に製造することができる。ただし、これに限定されない。

【0321】

なお、図 37 (A) で述べる構成において、図 37 (B) に示すように、表示装置は、回路 1003__2 を有することが可能である。回路 1003__2 は、回路 1003__1 と同様の機能を有する。例えば、回路 1003__1 と回路 1003__2 とは、同じタイミングで信号を画素部 1004 に供給することが可能である。こうすることによって、負荷を低減することができるので、表示装置を大きくすることができる。ただし、これに限定されない。例えば、回路 1003__1 は奇数段の画素を選択し、回路 1003__2 は偶数段の画素を選択することが可能である。こうすることによって、駆動周波数が小さくなるので、消費電力の低減を図ることができる。または、1 段当たりのレイアウトすることが可能な面積を広くすることができるので、表示装置を高精細にすることができる。

【0322】

なお、図 37 (A) ~ (B) で述べる構成において、図 37 (C) に示すように、回路 1002 を画素部 1004 と同じ基板 1006 に形成することが可能である。ただし、これに限定されない。

【0323】

なお、図 37 (A) ~ (C) で述べる構成において、図 37 (D) に示すように、回路 1002 の一部（例えば回路 1002 a）を画素部 1004 と同じ基板 1006 に形成し、回路 1002 の別の一部（例えば回路 1002 b）を画素部 1004 とは別の基板に形成することが可能である。この場合、回路 1002 a としては、スイッチ、シフトレジスタ、及び／又は、セレクトなどの比較的駆動周波数が低い回路を用いることが可能である。ただし、これに限定されない。

【0324】

次に、画素部 1004 が有する画素の一例について、図 37 (E) を参照して説明する。画素 3020 は、トランジスタ 3021、液晶素子 3022、及び容量素子 3023 を有する。トランジスタ 3021 の第 1 の端子は、配線 3031 と接続され、トランジスタ 3021 の第 2 の端子は、液晶素子 3022 の一方の電極及び容量素子 3023 の一方の電極と接続され、トランジスタ 3021 のゲートは、配線 3032 と接続される。液晶素子 3022 の他方の電極は、電極 3034 と接続され、容量素子 3023 の他方の電極は、配線 3033 と接続される。

【0325】

配線 3031 には、一例として、図 37 (A) ~ (D) で述べる回路 1002 からビデオ信号が入力される。よって、配線 3031 は、信号線、ビデオ信号線、又はソース信号線としての機能を有することが可能である。配線 3032 には、一例として、図 37 (A) ~ (D) で述べる回路 1003__1、及び／又は、回路 1003__2 から走査信号、選択信号、又はゲート信号が入力される。よって、配線 3032 は、信号線、走査線、又はゲート信号線としての機能を有することが可能である。配線 3033 及び電極 3034 には、一例として、図 37 (A) ~ (D) で述べる回路 1001 から一定の電圧が供給されることが可能である。よって、配線 3033 は、電源線、又は容量線としての機能を有することが可能である。または、電極 3034 は、共通電極、又は対向電極としての機能を有することが可能である。ただし、これに限定されない。例えば、配線 3031 には、プリチャージ電圧が供給されることが可能である。プリチャージ電圧は、電極 3034 に供給される電圧とおおむね等しい値である場合が多い。別の例として、配線 3033 には、信

10

20

30

40

50

号が入力されることが可能である。こうして、液晶素子 3022 に印加される電圧を制御することが可能になるので、ビデオ信号の振幅を小さくできたり、反転駆動を実現できたりする。別の例として、電極 3034 に信号が入力されることが可能である。こうして、フレーム反転駆動を実現することができる。

【0326】

トランジスタ 3021 は、配線 3031 と、液晶素子 3022 の一方の電極との導通状態を制御する機能を有する。または、画素にビデオ信号を書き込むタイミングを制御する機能を有する。このように、トランジスタ 3021 は、スイッチとしての機能を有する。容量素子 3023 は、液晶素子 3022 の一方の電極の電圧と、配線 3033 の電圧との電位差を保持する機能を有する。または、液晶素子 3022 に印加される電圧を一定となるように保持する機能を有する。このように、容量素子 3023 は、保持容量としての機能を有する。ただし、これに限定されない。

10

【0327】

次に、シフトレジスタの一例について、図 38 を参照して説明する。当該シフトレジスタは、回路 1002、回路 1003_1、及び／又は、回路 1003_2 に含まれることが可能である。

【0328】

シフトレジスタ 1100 は、フリップフロップ 1101_1 ~ 1101_N という複数のフリップフロップを有する。図 38 の一例では、フリップフロップ 1101_1 ~ 1101_N として、各々、図 1 (A) の半導体装置が用いられる。ただし、これに限定されず、フリップフロップ 1101_1 ~ 1101_N としては、他にも例えば実施の形態 1 ~ 実施の形態 4 で述べる半導体装置若しくは回路を用いることが可能である。

20

【0329】

シフトレジスタ 1100 は、配線 1111_1 ~ 1111_N、配線 1112、配線 1113、配線 1114、配線 1115、配線 1116_1、配線 1116_2、配線 1117、及び配線 1118 と接続される。そして、フリップフロップ 1101_i (i は、2 ~ N のいずれか一) において、配線 111、配線 112、配線 113、配線 114、配線 115、配線 116_1、配線 116_2、配線 117、及び配線 118、は、各々、配線 1111_i、配線 1112、配線 1113、配線 1114、配線 1111_i - 1、配線 1116_1、配線 1116_2、配線 1111_i + 1、配線 1118 と接続される。ただし、奇数段のフリップフロップと、偶数段のフリップフロップとでは、配線 112 及び配線 113 の接続先が逆になる場合が多い。なお、フリップフロップ 1101_1 において、配線 115 は、配線 1115 と接続される場合が多い。なお、フリップフロップ 1101_N において、配線 117 は、配線 1117 と接続される場合が多い。ただし、これに限定されない。

30

【0330】

配線 1111_1 ~ 1111_N からは、一例として、各々、信号 GOUT_1 ~ GOUT_N が出力されるものとする。信号 GOUT_1 ~ GOUT_N は、各々、フリップフロップ 1101_1 ~ 1101_N の出力信号であり、信号 OUT と同様の機能を有する。よって、配線 1111_1 ~ 1111_N は、配線 111 と同様の機能を有することが可能である。配線 1112 には、一例として、信号 GCK1 が入力され、配線 1113 には、一例として、信号 GCK2 が入力されるものとする。信号 GCK1、及び信号 GCK2 は、信号 CK1 又は信号 CK2 と同様の機能を有する。よって、配線 1112、及び配線 1113 は、配線 112 又は配線 113 と同様の機能を有することが可能である。配線 1114 には、一例として、電圧 V2 が供給されるものとする。よって、配線 1114 は、配線 114 と同様の機能を有することが可能である。配線 1115 には、一例として、信号 GSP が入力されるものとする。信号 GSP は、信号 SP と同様の機能を有する。よって、配線 1115 は、配線 115 と同様の機能を有することが可能である。配線 1116_1 には、一例として、信号 SEL1 が入力され、配線 1116_2 には、一例として、信号 SEL2 が入力されるものとする。よって、配線 1116_1 は、配線 116_1

40

50

と同様の機能を有することが可能であり、配線 1 1 1 6 _ 2 は、配線 1 1 6 _ 2 と同様の機能を有することが可能である。配線 1 1 1 7 には、一例として、信号 G R E が入力されるものとする。信号 G R E は、信号 R E と同様の機能を有する。よって、配線 1 1 1 7 は、配線 1 1 7 と同様の機能を有することが可能である。配線 1 1 1 8 には、一例として、電圧 V 1 が供給されるものとする。よって、配線 1 1 1 8 は、配線 1 1 8 と同様の機能を有することが可能である。ただし、これに限定されず、これらの配線には、他にも様々な信号、様々な電圧、又は様々な電流を入力することが可能である。

【0 3 3 1】

次に、図 3 8 のシフトレジスタの動作について、図 3 9 のタイミングチャートを参照して説明する。図 3 9 のタイミングチャートには、一例として、信号 G C K 1、信号 G C K 2、信号 G S P、信号 G R E、信号 S E L 1、信号 S E L 2、信号 G O U T _ 1 ~ G O U T _ N を示す。

【0 3 3 2】

k (k は 2 以上の自然数) フレーム目におけるフリップフロップ 1 1 0 1 _ i (i は 2 乃至 N の自然数) の動作について説明する。まず、k フレーム目では、信号 S E L 1 はハイレベルになり、信号 S E L 2 はロウレベルになる。よって、信号 O U T _ i - 1 がハイレベルになると、フリップフロップ 1 1 0 1 _ i は、期間 A 1 における動作を開始する。その後、信号 G C K 1、及び信号 G C K 2 が反転すると、フリップフロップ 1 1 0 1 _ i は、期間 B 1 における動作を開始する。よって、信号 O U T _ i は、ハイレベルになる。信号 O U T _ i は、フリップフロップ 1 1 0 1 _ i + 1 に入力されるので、フリップフロップ 1 1 0 1 _ i + 1 は、期間 A 1 における動作を開始する。その後、信号 G C K 1、及び信号 G C K 2 が再び反転すると、フリップフロップ 1 1 0 1 _ i + 1 は、期間 B 1 における動作を開始する。よって、信号 O U T _ i + 1 はハイレベルになる。信号 O U T _ i - 1 は、フリップフロップ 1 1 0 1 _ i に入力されるので、フリップフロップ 1 1 0 1 _ i は、期間 C 1 における動作を開始する。よって、信号 G O U T _ i は、ロウレベルになる。その後、再び信号 S O U T 1 _ i - 1 がハイレベルになるまでは、フリップフロップ 1 1 0 1 _ i は、期間 D 1 における動作と期間 E 1 における動作とを繰り返す。または、その後、信号 S E L 1 がロウレベルになり、信号 S E L 2 がハイレベルになるまでは、フリップフロップ 1 1 0 1 _ i は、期間 D 1 における動作と期間 E 1 における動作とを繰り返す。

【0 3 3 3】

k + 1 フレーム目におけるフリップフロップ 1 1 0 1 _ i の動作について説明する。まず、k + 1 フレーム目では、信号 S E L 1 はロウレベルになり、信号 S E L 2 はハイレベルになる。よって、信号 O U T _ i - 1 がハイレベルになると、フリップフロップ 1 1 0 1 _ i は、期間 A 2 における動作を開始する。その後、信号 G C K 1、及び信号 G C K 2 が反転すると、フリップフロップ 1 1 0 1 _ i は、期間 B 2 における動作を開始する。よって、信号 O U T _ i は、ハイレベルになる。信号 O U T _ i は、フリップフロップ 1 1 0 1 _ i + 1 に入力されるので、フリップフロップ 1 1 0 1 _ i + 1 は、期間 A 2 における動作を開始する。その後、信号 G C K 1、及び信号 G C K 2 が再び反転すると、フリップフロップ 1 1 0 1 _ i + 1 は、期間 B 2 における動作を開始する。よって、信号 O U T _ i + 1 はハイレベルになる。信号 O U T _ i - 1 は、フリップフロップ 1 1 0 1 _ i に入力されるので、フリップフロップ 1 1 0 1 _ i は、期間 C 2 における動作を開始する。よって、信号 G O U T _ i は、ロウレベルになる。その後、再び信号 S O U T 1 _ i - 1 がハイレベルになるまでは、フリップフロップ 1 1 0 1 _ i は、期間 D 2 における動作と期間 E 2 における動作とを繰り返す。または、その後、信号 S E L 1 がハイレベルになり、信号 S E L 2 がロウレベルになるまでは、フリップフロップ 1 1 0 1 _ i は、期間 D 2 における動作と期間 E 2 における動作とを繰り返す。

【0 3 3 4】

なお、フリップフロップ 1 1 0 1 _ 1 では、前の段のフリップフロップの出力信号の代わりに、信号 G S P が配線 1 1 1 5 を介して入力される。よって、フリップフロップ 1 1 0

1__1は、信号GSPがハイレベルになると期間A1における動作、又は期間A2における動作を開始する。

【0335】

なお、フリップフロップ1101__Nでは、次の段のフリップフロップの出力信号の代わりに、信号GREが配線1117を介して入力される。よって、信号GREがハイレベルになると、フリップフロップ1101__Nは、期間C1における動作、又は期間C2における動作を開始する。

【0336】

(実施の形態6)

本実施の形態では、信号線駆動回路の一例について説明する。なお、信号線駆動回路を半導体装置、又は信号生成回路と示すことが可能である。

【0337】

信号線駆動回路の一例について、図46(A)を参照して説明する。信号線駆動回路は、回路2001、及び回路2002を有する。回路2002は、回路2002__1～2002__Nという複数の回路を有する。回路2002__1～2002__Nは、各々、トランジスタ2003__1～2003__kという複数のトランジスタを有する。トランジスタ2003__1～2003__kは、Nチャネル型であるものとする。ただし、これに限定されず、トランジスタ2003__1～2003__kは、Pチャネル型とすることが可能であるし、CMOS型のスイッチとすることが可能である。

【0338】

信号線駆動回路の接続関係について、回路2002__1を例にして説明する。トランジスタ2003__1～2003__kの第1の端子は、各々、配線2004__1～2004__kと接続される。トランジスタ2003__1～2003__kの第2の端子は、各々、配線S1～Skと接続される。トランジスタ2003__1～2003__kのゲートは、配線2005__1と接続される。

【0339】

回路2001は、配線2005__1～2005__Nに順番にハイレベルの信号を出力する機能を有する。または、回路2002__1～2002__Nを順番に選択する機能を有する。このように、回路2001は、シフトレジスタとしての機能を有する。ただし、これに限定されない。回路2001は、配線2005__1～2005__Nに様々な順番でハイレベルの信号を出力することが可能である。または、回路2002__1～2002__Nを様々な順番で選択することが可能である。このように、回路2001は、デコーダとしての機能を有することが可能である。

【0340】

回路2002__1は、配線2004__1～2004__kと配線S1～Skとの導通状態を制御する機能を有する。または、回路2002__1は、配線2004__1～2004__kの電圧を配線S1～Skに供給する機能を有する。このように、回路2002__1は、セクタとしての機能を有することが可能である。ただし、これに限定されない。なお、回路2002__2～2002__Nは、回路2002__1と同様の機能を有することが可能である。

【0341】

トランジスタ2003__1～2003__Nは、各々、配線2004__1～2004__kと配線S1～Skとの導通状態を制御する機能を有する。または、トランジスタ2003__1～2003__Nは、各々、配線2004__1～2004__kの電圧を配線S1～Skに供給する機能を有する。例えば、トランジスタ2003__1は、配線2004__1と配線S1との導通状態を制御する機能を有する。または、トランジスタ2003__1は、配線2004__1の電圧を配線S1に供給する機能を有する。このように、トランジスタ2003__1～2003__Nは、各々、スイッチとしての機能を有することが可能である。ただし、これに限定されない。

【0342】

なお、配線 2004_1～2004_k には、各々、信号が入力される場合が多い。当該信号は、画像情報又は画像信号に応じたアナログ信号である場合が多い。画像情報又は画像信号に応じたアナログ信号は、ビデオ信号としての機能を有することが可能である。よって、配線 2004_1～2004_k は、信号線としての機能を有することが可能である。ただし、これに限定されない。例えば、画素構成によっては、配線 2004_1～2004_k に入力される信号がデジタル信号であることが可能であるし、アナログ電圧であることが可能であるし、アナログ電流であることが可能である。

【0343】

次に、図 46 (A) の信号線駆動回路の動作について、図 46 (B) のタイミングチャートを参照して説明する。図 46 (B) には、信号 2015_1～2015_N、及び信号 2014_1～2014_k の一例を示す。信号 2015_1～2015_N は、各々、回路 2001 の出力信号の一例であり、信号 2014_1～2014_k は、各々、配線 2004_1～2004_k に入力される信号の一例である。なお、信号線駆動回路の 1 動作期間は、表示装置における 1 ゲート選択期間に対応する。1 ゲート選択期間は、一例として、期間 T0、及び期間 T1～期間 TN に分割される。期間 T0 は、選択された行に属する画素にプリチャージ用の電圧を同時に印加するための期間であり、プリチャージ期間としての機能を有することが可能である。期間 T1～TN は、各々、選択された行に属する画素にビデオ信号を書き込むための期間であり、書き込み期間としての機能を有することが可能である。

【0344】

まず、期間 T0 において、回路 2001 は、配線 2005_1～2005_N に、ハイレベルの信号を供給する。すると、例えば、回路 2002_1 において、トランジスタ 2003_1～2003_k がオンになるので、配線 2004_1～2004_k と、配線 S1～Sk とが導通状態になる。このとき、配線 2004_1～2004_k には、プリチャージ電圧 Vp が供給される。よって、プリチャージ電圧 Vp は、トランジスタ 2003_1～2003_k を介して、配線 S1～Sk にそれぞれ出力される。よって、プリチャージ電圧 Vp は、選択された行に属する画素に書き込まれるので、選択された行に属する画素がプリチャージされる。

【0345】

期間 T1～期間 TN において、回路 2001 は、ハイレベルの信号を配線 2005_1～2005_N に順番に出力する。例えば、期間 T1 において、回路 2001 は、ハイレベルの信号を配線 2005_1 に出力する。すると、トランジスタ 2003_1～2003_k はオンになるので、配線 2004_1～2004_k と、配線 S1～Sk とが導通状態になる。このとき、配線 2004_1～2004_k には、Data (S1)～Data (Sk) が入力される。Data (S1)～Data (Sk) は、各々、トランジスタ 2003_1～2003_k を介して、選択される行に属する画素のうち、1 列目～k 列目の画素に書き込まれる。こうして、期間 T1～TN において、選択された行に属する画素に、k 列ずつ順番にビデオ信号が書き込まれる。

【0346】

以上のように、ビデオ信号が複数の列ずつ画素に書き込まれることによって、ビデオ信号の数、又は配線の数減らすことができる。よって、外部回路との接続数を減らすことができるので、歩留まりの向上、信頼性の向上、部品点数の削減、及び／又は、コストの削減を図ることができる。または、ビデオ信号が複数の列ずつ画素に書き込まれることによって、書き込み時間を長くすることができる。よって、ビデオ信号の書き込み不足を防止することができるので、表示品位の向上を図ることができる。

【0347】

なお、k を大きくすることによって、外部回路との接続数を減らすことができる。ただし、k が大きすぎると、画素への書き込み時間が短くなる。よって、 $k \leq 6$ であることが好ましい。より好ましくは $k \leq 3$ であることが好ましい。さらに好ましくは $k = 2$ であることが好ましい。ただし、これに限定されない。

【0348】

特に、画素の色要素が n (n は自然数) 個である場合、 $k = n$ 、又は $k = n \times d$ (d は自然数) であることが好ましい。例えば、画素の色要素が赤 (R) と緑 (G) と青 (B) との三つに分割される場合、 $k = 3$ 、又は $k = 3 \times d$ であることが好ましい。ただし、これに限定されない。例えば、画素が m (m は自然数) 個のサブ画素 (以下サブピクセル又は副画素ともいう) に分割される場合、 $k = m$ 、又は $k = m \times d$ であることが好ましい。例えば、画素が2個のサブ画素に分割される場合、 $k = 2$ であることが好ましい。または、画素の色要素が n 個である場合、 $k = m \times n$ 、又は $k = m \times n \times d$ であることが好ましい。ただし、これに限定されない。

【0349】

なお、図46 (C) に示すように、回路2001の駆動周波数、及び回路2002の駆動周波数は、遅い場合が多いので、回路2001、及び回路2002は、画素部2007と同じ基板に形成されることが可能である。こうして、画素部が形成される基板と、外部回路との接続数を減らすことができるので、歩留まりの向上、信頼性の向上、部品数の削減、又はコストの削減などを図ることができる。特に、信号線駆動回路2006も画素部2007と同じ基板に形成されることによって、さらに外部回路との接続数を減らすことができる。ただし、これに限定されない。例えば、図46 (D) に示すように、回路2001は画素部2007とは別の基板に形成され、回路2002は、画素部2007と同じ基板に形成されることが可能である。この場合でも、画素部が形成される基板と、外部回路との接続数を減らすことができるので、歩留まりの向上、信頼性の向上、部品数の削減、又はコストの削減などを図ることができる。または、画素部2007と同じ基板に形成する回路が少なくなるので、額縁を小さくすることができる。

【0350】

なお、回路2001としては、実施の形態1～実施の形態5で述べる半導体装置又はシフトレジスタを用いることが可能である。こうすることによって、トランジスタの劣化を抑制することができるので、信号線駆動回路の寿命を長くすることができる。

【0351】

(実施の形態7)

本実施の形態では、保護回路の一例について説明する。

【0352】

まず、保護回路の一例について、図47 (A) を参照して説明する。保護回路3000は、配線3011に接続される半導体装置 (例えばトランジスタ、容量素子、回路など) などがESD (静電気放電) によって破壊されることを防止する目的で設けられる。保護回路3000は、トランジスタ3001、及びトランジスタ3002を有する。トランジスタ3001、及びトランジスタ3002は、Nチャネル型である場合が多い。ただし、これに限定されず、Pチャネル型であることが可能である。

【0353】

トランジスタ3001の第1の端子は、配線3012と接続され、トランジスタ3001の第2の端子は、配線3011と接続され、トランジスタ3001のゲートは、配線3011と接続される。トランジスタ3002の第1の端子は、配線3013と接続され、トランジスタ3002の第2の端子は、配線3011と接続され、トランジスタ3002のゲートは、配線3013と接続される。

【0354】

配線3011には、一例として、信号 (例えば、走査信号、ビデオ信号、クロック信号、スタート信号、リセット信号、又は選択信号など)、又は、電圧 (負電源電圧、グランド電圧、正電源電圧など) が供給されることが可能である。配線3012には、一例として、正電源電圧 (V_{dd}) が供給されるものとする。配線3013には、一例として、負電源電圧 (V_{ss})、又はグランド電圧などが供給されるものとする。ただし、これに限定されない。

【0355】

配線 3011 の電圧が $V_{ss} \sim V_{dd}$ の間の値であれば、トランジスタ 3001、及びトランジスタ 3002 はオフになる。よって、配線 3011 に供給される電圧又は信号などは、配線 3011 と接続される半導体デバイスに供給される。ただし、静電気などの影響によって、配線 3011 に、電源電圧よりも高い電圧、又は電源電圧よりも低い電圧が供給される場合がある。そして、この電源電圧よりも高い電圧又は電源電圧よりも低い電圧によって、配線 3011 と接続される半導体デバイスが破壊されることがある。このような半導体デバイスの静電破壊を防止するために、配線 3011 に電源電圧よりも高い電圧が供給される場合、トランジスタ 3001 がオンになる。すると、配線 3011 の電荷は、トランジスタ 3001 を介して配線 3012 に移動するので、配線 3011 の電圧が減少する。一方で、配線 3011 に電源電圧よりも低い電圧が供給される場合、トランジスタ 3002 がオンになる。すると、配線 3011 の電荷は、トランジスタ 3002 を介して配線 3013 に移動するので、配線 3011 の電圧が上昇する。こうして、配線 3011 と接続される半導体デバイスの静電破壊を防ぐことができる。

10

【0356】

なお、図 47 (A) で述べる構成において、図 47 (B) に示すように、トランジスタ 3002 を省略することが可能である。または、図 47 (A) で述べる構成において、図 47 (C) に示すように、トランジスタ 3001 を省略することが可能である。ただし、これに限定されない。

【0357】

なお、図 47 (A) ~ (C) で述べる構成において、図 47 (D) に示すように、配線 3011 と配線 3012 との間に、トランジスタを直列に接続することが可能である。または、配線 3011 と配線 3013 との間に、トランジスタを直列に接続することが可能である。トランジスタ 3003 の第 1 の端子は、配線 3012 と接続され、トランジスタ 3003 の第 2 の端子は、トランジスタ 3001 の第 1 の端子と接続され、トランジスタ 3003 のゲートは、トランジスタ 3001 の第 1 の端子と接続される。トランジスタ 3004 の第 1 の端子は、配線 3013 と接続され、トランジスタ 3004 の第 2 の端子は、トランジスタ 3002 の第 1 の端子と接続され、トランジスタ 3004 のゲートは、配線 3013 と接続される。ただし、これに限定されない。例えば、図 47 (E) に示すように、トランジスタ 3001 のゲートとトランジスタ 3003 のゲートとは接続されることが可能である。または、トランジスタ 3002 のゲートとトランジスタ 3004 のゲートとは接続されることが可能である。

20

30

【0358】

なお、図 47 (A) ~ (E) で述べる構成において、図 47 (F) に示すように、配線 3011 と配線 3012 との間に、トランジスタを並列に接続されることが可能である。または、配線 3011 と配線 3013 との間に、トランジスタを並列に接続することが可能である。トランジスタ 3003 の第 1 の端子は、配線 3012 と接続され、トランジスタ 3003 の第 2 の端子は、配線 3011 と接続され、トランジスタ 3003 のゲートは、配線 3011 と接続される。トランジスタ 3004 の第 1 の端子は、配線 3013 と接続され、トランジスタ 3004 の第 2 の端子は、配線 3011 と接続され、トランジスタ 3004 のゲートは、配線 3013 と接続される。

40

【0359】

なお、図 47 (A) ~ (F) で述べる構成において、図 47 (G) に示すように、トランジスタ 3001 のゲートと第 1 の端子との間に、容量素子 3005 と抵抗素子 3006 とを並列に接続することが可能である。または、トランジスタ 3002 のゲートと第 1 の端子との間に、容量素子 3007 と抵抗素子 3008 とを並列に接続することが可能である。こうすることによって、保護回路 3000 自体の破壊又は劣化を防止することができる。例えば、配線 3011 に電源電圧よりも高い電圧が供給される場合、トランジスタ 3001 の V_{gs} が大きくなる。よって、トランジスタ 3001 がオンになるので、配線 3011 の電圧が減少する。しかし、トランジスタ 3001 のゲートと第 2 の端子との間には、大きな電圧が印加されるので、トランジスタ 3001 が破壊、又は劣化することがある

50

。これを防止するために、トランジスタ3001のゲートの電圧を上昇させて、トランジスタ3001の V_{gs} を小さくする。これを実現するために、容量素子3005が用いられる。トランジスタ3001がオンになると、トランジスタ3001の第1の端子が瞬間的に上昇する。すると、容量素子3005の容量結合によって、トランジスタ3001のゲートの電圧が上昇する。こうして、トランジスタ3001の V_{gs} を小さくすることができ、トランジスタ3001の破壊又は劣化を抑制することができる。ただし、これに限定されない。同様に、配線3011に電源電圧よりも低い電圧が供給されると、トランジスタ3002の第1の端子の電圧が瞬間的に減少する。すると、容量素子3007の容量結合によって、トランジスタ3002のゲートの電圧が減少する。こうして、トランジスタ3002の V_{gs} を小さくすることができるので、トランジスタ3002の破壊又は劣化を抑制することができる。

10

【0360】

ここで、図47(A)～(G)で述べる保護回路は、様々なところに用いることが可能である。図48(A)には、一例として、ゲート信号線に保護回路を設ける場合の構成を示す。この場合、配線3012、及び配線3013は、ゲートドライバ3100に接続される配線のいずれかと接続されることが可能である。こうすることによって、電源の数、及び配線の数減らすことができる。図48(B)には、一例として、FPCなどの外部から信号又は電圧が供給される端子に、保護回路を設ける場合の構成を示す。この場合、配線3012、及び配線3013は、外部端子のいずれかと接続されることが可能である。例えば、配線3012は端子3101aと接続され、配線3013が端子3101bと接続されとする。この場合、端子3101aに設けられる保護回路において、トランジスタ3001を省略することが可能である。同様に、端子3101bに設けられる保護回路において、トランジスタ3002を省略することが可能である。こうすることによって、トランジスタの数を減らすことができるので、レイアウト面積の縮小を図ることができる。

20

【0361】

(実施の形態8)

本実施の形態では、トランジスタの構造の一例について図40(A)、(B)、及び(C)を参照して説明する。

【0362】

図40(A)は、トップゲート型のトランジスタの構造の一例、又は表示装置の構造の一例を示す図である。図40(B)は、ボトムゲート型のトランジスタの構造の一例、又は表示装置の構造の一例を示す図である。図40(C)は、半導体基板を用いて作製されるトランジスタの構造の一例を示す図である。

30

【0363】

図40(A)のトランジスタの一例は、基板5260の上に形成される絶縁層5261と、絶縁層5261の上に形成され、領域5262a、領域5262b、領域5262c、領域5262d、及び5262eを有する半導体層5262と、半導体層5262を覆うように形成される絶縁層5263と、半導体層5262及び絶縁層5263の上に形成される導電層5264と、絶縁層5263及び導電層5264の上に形成され、開口部を有する絶縁層5265と、絶縁層5265の上及び絶縁層5265の開口部に形成される導電層5266と、を有する。

40

【0364】

図40(B)のトランジスタの一例は、基板5300と、基板5300の上に形成される導電層5301と、導電層5301を覆うように形成される絶縁層5302と、導電層5301及び絶縁層5302の上に形成される半導体層5303aと、半導体層5303aの上に形成される半導体層5303bと、半導体層5303bの上及び絶縁層5302の上に形成される導電層5304と、絶縁層5302の上及び導電層5304の上に形成され、開口部を有する絶縁層5305と、絶縁層5305の上及び絶縁層5305の開口部に形成される導電層5306と、を有する。

50

【0365】

図40(C)のトランジスタの一例は、領域5353及び領域5355を有する半導体基板5352と、半導体基板5352の上に形成される絶縁層5356と、半導体基板5352の上に形成される絶縁層5354と、絶縁層5356の上に形成される導電層5357と、絶縁層5354、絶縁層5356、及び導電層5357の上に形成され、開口部を有する絶縁層5358と、絶縁層5358の上及び絶縁層5358の開口部に形成される導電層5359とを有する。こうして、領域5350と領域5351とに、各々、トランジスタが作製される。

【0366】

なお、本実施の形態におけるトランジスタを用いて表示装置を構成する場合、例えば図40(A)に示すように、導電層5266の上及び絶縁層5265の上に形成され、開口部を有する絶縁層5267と、絶縁層5267の上及び絶縁層5267の開口部に形成される導電層5268と、絶縁層5267の上及び導電層5268の上に形成され、開口部を有する絶縁層5269と、絶縁層5269の上及び絶縁層5269の開口部に形成される発光層5270と、絶縁層5269の上及び発光層5270の上に形成される導電層5271と、を形成することが可能である。

【0367】

また、図40(B)に示すように、絶縁層5305の上及び導電層5306の上に配置される液晶層5307と、液晶層5307の上に形成される導電層5308と、を形成することが可能である。

【0368】

絶縁層5261は、下地膜として機能することが可能である。絶縁層5354は、素子間分離層（例えばフィールド酸化膜）として機能する。絶縁層5263、絶縁層5302、絶縁層5356は、ゲート絶縁膜として機能することが可能である。導電層5264、導電層5301、導電層5357は、ゲート電極として機能することが可能である。絶縁層5265、絶縁層5267、絶縁層5305、及び絶縁層5358は、層間膜、又は平坦化膜として機能することが可能である。導電層5266、導電層5304、及び導電層5359は、配線、トランジスタの電極、又は容量素子の電極などとして機能することが可能である。導電層5268、及び導電層5306は、画素電極、又は反射電極などとして機能することが可能である。絶縁層5269は、隔壁として機能することが可能である。導電層5271、及び導電層5308は、対向電極、又は共通電極などとして機能することが可能である。

【0369】

基板5260、及び基板5300の一例としては、ガラス基板、石英基板、半導体基板（例えばシリコン基板）、SOI基板、プラスチック基板、金属基板、ステンレス基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板又は可撓性基板などがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。他にも、貼り合わせフィルム（ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなど）、繊維状な材料を含む紙、基材フィルム（ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、紙類等）などがある。

【0370】

半導体基板5352としては、一例として、n型又はp型の導電型を有する単結晶Si基板を用いることが可能である。領域5353は、一例として、半導体基板5352に不純物が添加された領域であり、ウェルとして機能する。例えば、半導体基板5352がp型の導電型を有する場合、領域5353は、n型の導電型を有し、nウェルとして機能する。一方で、半導体基板5352がn型の導電型を有する場合、領域5353は、p型の導電型を有し、pウェルとして機能する。領域5355は、一例として、不純物が半導体基

10

20

30

40

50

板 5 3 5 2 に添加された領域であり、ソース領域又はドレイン領域として機能する。なお、半導体基板 5 3 5 2 に、LDD 領域を形成することが可能である。

【0371】

絶縁層 5 2 6 1 の一例としては、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、酸化窒化珪素 (SiO_xN_y) ($x > y > 0$)、窒化酸化珪素 (SiN_xO_y) ($x > y > 0$) などの酸素若しくは窒素を有する膜、又はこれらの積層構造などがある。絶縁層 5 2 6 1 が 2 層構造で設けられる場合の一例としては、1 層目の絶縁層として窒化珪素膜を設け、2 層目の絶縁層として酸化珪素膜を設けることが可能である。絶縁層 5 2 6 1 が 3 層構造で設けられる場合の一例としては、1 層目の絶縁層として酸化珪素膜を設け、2 層目の絶縁層として窒化珪素膜を設け、3 層目の絶縁層として酸化珪素膜を設けることが可能である。

10

【0372】

半導体層 5 2 6 2、半導体層 5 3 0 3 a、及び半導体層 5 3 0 3 b の一例としては、非単結晶半導体 (例えば、非晶質 (アモルファス) シリコン、多結晶シリコン、微結晶シリコンなど)、単結晶半導体、酸化物半導体 (例えば、 ZnO 、 InGaZnO 、 IZO 、 ITO 、 SnO 、 TiO 、 AZTO)、化合物半導体 (例えば、 SiGe 、 GaAs)、有機半導体、又はカーボンナノチューブなどがある。

【0373】

なお、例えば、領域 5 2 6 2 a は、不純物が半導体層 5 2 6 2 に添加されていない真性の状態であり、チャンネル領域として機能する。ただし、領域 5 2 6 2 a に不純物を添加することが可能であり、領域 5 2 6 2 a に添加される不純物は、領域 5 2 6 2 b、領域 5 2 6 2 c、領域 5 2 6 2 d、又は領域 5 2 6 2 e に添加される不純物の濃度よりも低いことが好ましい。領域 5 2 6 2 b、及び領域 5 2 6 2 d は、領域 5 2 6 2 c 又は領域 5 2 6 2 e よりも低濃度の不純物が添加された領域であり、LDD (Lightly Doped Drain: LDD) 領域として機能する。ただし、領域 5 2 6 2 b、及び領域 5 2 6 2 d を省略することが可能である。領域 5 2 6 2 c、及び領域 5 2 6 2 e は、高濃度に不純物が半導体層 5 2 6 2 に添加された領域であり、ソース領域又はドレイン領域として機能する。

20

【0374】

なお、半導体層 5 3 0 3 b は、不純物元素としてリンなどが添加された半導体層であり、n 型の導電性を有する。

30

【0375】

なお、半導体層 5 3 0 3 a として、酸化物半導体、又は化合物半導体が用いられる場合、半導体層 5 3 0 3 b を省略することが可能である。

【0376】

絶縁層 5 2 6 3、絶縁層 5 3 0 2、及び絶縁層 5 3 5 6 の一例としては、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、酸化窒化珪素 (SiO_xN_y) ($x > y > 0$)、窒化酸化珪素 (SiN_xO_y) ($x > y > 0$) などの酸素若しくは窒素を有する膜、又はこれらの積層構造などがある。

【0377】

導電層 5 2 6 4、導電層 5 2 6 6、導電層 5 2 6 8、導電層 5 2 7 1、導電層 5 3 0 1、導電層 5 3 0 4、導電層 5 3 0 6、導電層 5 3 0 8、導電層 5 3 5 7、及び導電層 5 3 5 9 は、単層構造又は積層構造とすることができ、導電膜を用いて形成される。導電膜の一例としては、アルミニウム (Al)、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W)、ネオジム (Nd)、クロム (Cr)、ニッケル (Ni)、白金 (Pt)、金 (Au)、銀 (Ag)、銅 (Cu)、マンガン (Mn)、コバルト (Co)、ニオブ (Nb)、シリコン (Si)、鉄 (Fe)、パラジウム (Pd)、炭素 (C)、スカンジウム (Sc)、亜鉛 (Zn)、ガリウム (Ga)、インジウム (In)、錫 (Sn)、ジルコニウム (Zr)、セシウム (Cs) によって構成される群から選ばれた一つの元素の単体膜、又は、群から選ばれた一つ又は複数の元素を含む化合物などがある。

40

50

。なお、単体膜又は化合物は、リン（P）、ボロン（B）、ヒ素（As）、及び／又は、酸素（O）などを含むことが可能である。なお、化合物の一例としては、前述した複数の元素から選ばれた一つ若しくは複数の元素を含む合金（例えば、インジウム錫酸化物（ITO）、インジウム亜鉛酸化物（IZO）、酸化珪素を含むインジウム錫酸化物（ITSO）、酸化亜鉛（ZnO）、酸化錫（SnO）、酸化錫カドミウム（CTO）、アルミニウムネオジム（Al-Nd）、アルミニウムタングステン（Al-W）、アルミニウムジルコニウム（Al-Zr）、アルミニウムチタン（Al-Ti）、アルミニウムセシウム（Al-Cs）、マグネシウム銀（Mg-Ag）、モリブデンニオブ（Mo-Nb）、モリブデンタングステン（Mo-W）、モリブデンタantal（Mo-Ta）などの合金材料）、前述した複数の元素から選ばれた一つ若しくは複数の元素と窒素との化合物（例えば、窒化チタン、窒化タンタル、窒化モリブデンなどの窒化膜）、又は、前述した複数の元素から選ばれた一つ若しくは複数の元素とシリコンとの化合物（例えば、タングステンシリサイド、チタンシリサイド、ニッケルシリサイド、アルミニウムシリコン、モリブデンシリコンなどのシリサイド膜）などがある。他にも、例えば、カーボンナノチューブ、有機ナノチューブ、無機ナノチューブ、又は金属ナノチューブなどのナノチューブ材料がある。

10

【0378】

絶縁層5265、絶縁層5267、絶縁層5269、絶縁層5305、及び絶縁層5358の一例としては、単層構造の絶縁層、又はこれらの積層構造などがある。絶縁層の一例としては、酸化珪素（SiO_x）、窒化珪素（SiN_x）、若しくは酸化窒化珪素（SiO_xN_y）（ $x > y > 0$ ）、窒化酸化珪素（SiN_xO_y）（ $x > y > 0$ ）等の酸素若しくは窒素を含む膜、DLC（ダイヤモンドライクカーボン）等の炭素を含む膜、又は、シロキサン樹脂、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、若しくはアクリル等の有機材料などがある。

20

【0379】

なお、絶縁層5305の上及び導電層5306の上には、配向膜として機能する絶縁層、突起部として機能する絶縁層などを形成することが可能である。

【0380】

なお、導電層5308の上には、カラーフィルタ、ブラックマトリクス、又は突起部として機能する絶縁層などを形成することが可能である。導電層5308の下には、配向膜として機能する絶縁層を形成することが可能である。

30

【0381】

本実施の形態のトランジスタは、実施の形態1～実施の形態7で述べるものに適用することが可能である。特に、図40（B）において、半導体層として、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いる場合、トランジスタが劣化してしまう場合がある。よって、本実施の形態のトランジスタを半導体装置、シフトレジスタ、表示装置、又は様々な回路に用いると、これらの寿命が短くなってしまう。しかし、実施の形態1～実施の形態7で述べるものでは、トランジスタの劣化を抑制することができる。したがって、本実施の形態のトランジスタを実施の形態1～実施の形態7で述べるものに適用することによって、これらの寿命を長くすることができる。

40

【0382】

（実施の形態9）

本実施の形態では、表示装置の断面構造の一例について、図41（A）、（B）、及び（C）を参照して説明する。なお、ここでは一例として液晶表示装置について説明する。

【0383】

図41（A）は、表示装置の上面図の一例である。基板5391に、駆動回路5392と画素部5393とが形成されている。駆動回路5392の一例としては、走査線駆動回路、又は信号線駆動回路などがある。画素部5393は画素を有し、画素は、駆動回路5392により動作が制御される。例えば液晶表示装置の場合には、駆動回路5392の出力信号により画素の液晶素子に印加される電圧が設定される。

50

【0384】

図41(B)には、図41(A)のA-B断面の一例を示す。そして、図41(B)には、基板5400と、基板5400の上に形成される導電層5401と、導電層5401を覆うように形成される絶縁層5402と、導電層5401及び絶縁層5402の上に形成される半導体層5403aと、半導体層5403aの上に形成される半導体層5403bと、半導体層5403bの上及び絶縁層5402の上に形成される導電層5404と、絶縁層5402の上及び導電層5404の上に形成され、開口部を有する絶縁層5405と、絶縁層5405の上及び絶縁層5405の開口部に形成される導電層5406と、絶縁層5405の上及び導電層5406の上に配置される絶縁層5408と、絶縁層5405の上に形成される液晶層5407と、液晶層5407の上及び絶縁層5408の上に形成される導電層5409と、導電層5409の上に形成される基板5410とを示す。

10

【0385】

導電層5401は、ゲート電極として機能することが可能である。絶縁層5402は、ゲート絶縁膜として機能することが可能である。導電層5404は、配線、トランジスタの電極、又は容量素子の電極などとして機能することが可能である。絶縁層5405は、層間膜、又は平坦化膜として機能することが可能である。導電層5406は、配線として機能することが可能である。絶縁層5408は、シール材として機能することが可能である。導電層5409は、対向電極、又は共通電極として機能することが可能である。

【0386】

ここで、駆動回路5392と、導電層5409との間には、寄生容量が生じることがある。この結果、駆動回路5392の出力信号又は各ノードの電圧に、なまり又は遅延などが生じてしまう。または、消費電力が大きくなってしまう。しかし、図41(B)に示すように、駆動回路5392の上に、シール材として機能することが可能な絶縁層5408を形成することによって、駆動回路5392と、導電層5409との間に生じる寄生容量を低減することができる。なぜなら、シール材の誘電率は、液晶層の誘電率よりも低い場合が多いからである。したがって、駆動回路5392の出力信号又は各ノードの電圧のなまり又は遅延を低減することができる。または、駆動回路5392の消費電力を低減することができる。

20

【0387】

なお、図41(C)に示すように、駆動回路5392の一部の上に、シール材として機能することが可能な絶縁層5408が形成されることが可能である。このような場合でも、駆動回路5392と、導電層5409との間に生じる寄生容量を低減することができるので、駆動回路5392の出力信号又は各ノードの電圧のなまり又は遅延を低減することができる。ただし、これに限定されず、駆動回路5392の上に、シール材として機能することが可能な絶縁層5408が形成されていないことが可能である。

30

【0388】

以上、本実施の形態では、表示装置の断面構造の一例について説明した。このような構造と、実施の形態1～実施の形態7で述べるものとを組み合わせることが可能である。例えば、トランジスタの半導体層として、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いる場合、トランジスタのチャネル幅が大きくなる場合が多い。しかし、本実施の形態のように、駆動回路の寄生容量を小さくできると、トランジスタのチャネル幅を小さくすることができる。よって、レイアウト面積の縮小を図ることができるので、表示装置の額縁を狭くすることができる。または、表示装置を高精細にすることができる。

40

【0389】

(実施の形態10)

本実施の形態では、トランジスタ、及び容量素子の作製工程の一例を示す。特に、半導体層として、酸化物半導体を用いる場合の作製工程について説明する。

【0390】

図42(A)～(C)を参照して、トランジスタ、及び容量素子の作製工程の一例につい

50

て説明する。図42(A)～(C)には、トランジスタ5441、及び容量素子5442の作製工程の一例である。トランジスタ5441は、逆スタガ型薄膜トランジスタの一例であり、酸化物半導体層上にソース電極またはドレイン電極を介して配線が設けられているトランジスタの例である。

【0391】

まず、基板5420上に、スパッタリング法により第1導電層を全面に形成する。次に、第1フォトリソグラフィ工程により形成したレジストマスクを用いて、選択的に第1導電層のエッチングを行い、導電層5421、及び導電層5422を形成する。導電層5421は、ゲート電極として機能することが可能であり、導電層5422は、容量素子の一方の電極として機能することが可能である。ただし、これに限定されず、導電層5421、及び導電層5422は、配線、ゲート電極、又は容量素子の電極として機能する部分を有することが可能である。この後、レジストマスクを除去する。

10

【0392】

次に、絶縁層5423をプラズマCVD法またはスパッタリング法を用いて導電層5421及び導電層5422を介して基板5420の全面に形成する。絶縁層5423は、ゲート絶縁層として機能することが可能であり、導電層5421、及び導電層5422を覆うように形成される。なお、絶縁層5423の膜厚は、50nm～250nmである場合が多い。

【0393】

次に、第2フォトリソグラフィ工程により形成したレジストマスクを用いて、絶縁層5423を選択的にエッチングして導電層5421に達するコンタクトホール5424を形成する。この後、レジストマスクを除去する。ただし、これに限定されず、コンタクトホール5424を省略することが可能である。または、酸化物半導体層の形成後に、コンタクトホール5424を形成することが可能である。ここまでの段階での断面図が図42(A)に相当する。

20

【0394】

次に、酸化物半導体層をスパッタリング法により全面に形成する。ただし、これに限定されず、酸化物半導体層をスパッタリング法により形成し、さらにその上にバッファ層（例えば n^+ 層）を形成することが可能である。なお、酸化物半導体層の膜厚は、5nm～200nmである場合が多い。

30

【0395】

次に、第3フォトリソグラフィ工程により形成したレジストマスクを用いて、選択的に酸化物半導体層のエッチングを行う。この後、レジストマスクを除去する。

【0396】

次に、スパッタリング法により第2導電層を全面に形成する。次に、第4フォトリソグラフィ工程により形成したレジストマスクを用いて選択的に第2導電層のエッチングを行い、導電層5429、導電層5430、及び導電層5431を形成する。導電層5429は、コンタクトホール5424を介して導電層5421と接続される。導電層5429、及び導電層5430は、ソース電極又はドレイン電極として機能することが可能であり、導電層5431は、容量素子の他方の電極として機能することが可能である。ただし、これに限定されず、導電層5429、導電層5430、及び導電層5431は、配線、ソース若しくはドレイン電極、又は容量素子の電極として機能する部分を含むことが可能である。ここまでの段階での断面図が図42(B)に相当する。

40

【0397】

次に、大気雰囲気下または窒素雰囲気下で200℃～600℃の加熱処理を行う。この熱処理により酸化物半導体層5425の原子レベルの再配列が行われる。このように、熱処理（光アニールも含む）によりキャリアの移動を阻害する歪が解放される。なお、この加熱処理を行うタイミングは限定されず、酸化物半導体の形成後であれば、様々なタイミングで行うことが可能である。

50

【0398】

次に、絶縁層5432を全面に形成する。絶縁層5432は、単層構造であることが可能であるし、積層構造であることが可能である。例えば、絶縁層5432として有機絶縁層を用いる場合、有機絶縁層の材料である組成物を塗布し、大気雰囲気下または窒素雰囲気下で200℃～600℃の加熱処理を行って、有機絶縁層を形成する。このように、酸化物半導体層5425に接する有機絶縁層を形成することにより、信頼性の高い薄膜トランジスタを作製することができる。なお、絶縁層5432として有機絶縁層を用いる場合、有機絶縁層の下に、窒化珪素膜、又は酸化珪素膜を設けることが可能である。

【0399】

次に、第3導電層を全面に形成する。次に、第5フォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて第3導電層を選択的にエッチングして、導電層5433、及び導電層5434を形成する。ここまでの段階での断面図が図42(C)に相当する。導電層5433、及び導電層5434は、配線、画素電極、反射電極、透光性電極、又は容量素子の電極として機能することが可能である。特に、導電層5434は、導電層5422と接続されるので、容量素子5442の電極として機能することが可能である。ただし、これに限定されず、第1導電層を用いて形成された導電層と第2導電層を用いて形成された導電層とを接続する機能を有することが可能である。例えば、導電層5433と導電層5434とを接続することによって、導電層5422と導電層5430とを第3導電層（導電層5433及び導電層5434）を介して接続されることが可能になる。

【0400】

以上の工程により、トランジスタ5441と容量素子5442とを作製することができる。

【0401】

なお、図42(D)に示すように、酸化物半導体層5425の上に絶縁層5435を形成することが可能である。

【0402】

なお、図42(E)に示すように、第2導電層をパターニングした後に、酸化物半導体層5425を形成することが可能である。

【0403】

なお、本実施の形態の基板、絶縁層、導電層、及び半導体層としては、他の実施の形態に述べる材料、又は本明細書において述べる材料と同様なものを用いることが可能である。

【0404】

(実施の形態11)

本実施の形態では、シフトレジスタのレイアウト図（以下、上面図ともいう）について説明する。本実施の形態では、一例として、実施の形態5に述べるシフトレジスタのレイアウト図について説明する。なお、本実施の形態において説明する内容は、実施の形態5に述べるシフトレジスタの他にも、実施の形態1～実施の形態6の半導体装置、シフトレジスタ、又は表示装置に適用することが可能である。なお、本実施の形態のレイアウト図は一例であって、これに限定されるものではないことを付記する。

【0405】

本実施の形態のレイアウト図について、図43を参照して説明する。図43には、一例として、図14(A)に示すシフトレジスタのレイアウト図を示す。なお、図43の右部に示すハッチングパターンは、それぞれのハッチングパターンに付されている符号の構成要素のハッチングパターンを示すものである。

【0406】

図43に示すトランジスタ、又は配線などは、導電層901、半導体層902、導電層903、導電層904、及びコンタクトホール905によって構成される。ただし、これに限定されず、別の導電層、絶縁膜、又は別のコンタクトホールを形成することが可能であ

る。例えば、導電層 901 と導電層 903 とを接続するためのコンタクトホールを追加することが可能である。

【0407】

導電層 901 は、ゲート電極、又は配線として機能する部分を含むことが可能である。半導体層 902 は、トランジスタの半導体層として機能する部分を含むことが可能である。導電層 903 は、配線、ソース電極、又はドレイン電極として機能する部分を含むことが可能である。導電層 904 は、透光性を有する電極、画素電極、又は配線として機能する部分を含むことが可能である。コンタクトホール 905 は、導電層 901 と導電層 904 とを接続する機能、又は導電層 903 と導電層 904 とを接続する機能を有する。

【0408】

本実施の形態では、トランジスタ 101__1、トランジスタ 101__2、トランジスタ 301__1、トランジスタ 301__2、及びトランジスタ 302__1～302__2 において、第 2 端子としての機能を有する導電層 903 と、導電層 901 とが重なる面積は、第 1 端子としての機能を有する導電層 903 と、導電層 901 とが重なる面積よりも小さいことが好ましい。こうすることによって、第 2 の端子への電界の集中を抑制することができるので、トランジスタの劣化、又はトランジスタの破壊を抑制することができる。ただし、これに限定されず第 2 の端子としての機能を有する導電層 901 と、導電層 903 とが重なる面積は、第 1 端子としての機能を有する導電層 903 と、導電層 901 とが重なる面積よりも大きいことが可能である。

【0409】

なお、導電層 901 と導電層 903 とが重なる部分には、半導体層 902 を形成することが可能である。こうすることによって、導電層 901 と導電層 903 との間の寄生容量を小さくすることができるので、ノイズの低減を図ることができる。同様の理由で、導電層 903 と導電層 904 とが重なる部分には、半導体層 902 を形成することが可能である。

【0410】

なお、導電層 901 の一部の上に導電層 904 を形成し、当該導電層 901 は、コンタクトホール 905 を介して導電層 904 と接続されることが可能である。こうすることによって、配線抵抗を下げることができる。または、導電層 901 の一部の上に導電層 903、及び導電層 904 を形成し、当該導電層 901 は、コンタクトホール 905 を介して当該導電層 904 と接続され、当該導電層 903 は、別のコンタクトホール 905 を介して当該導電層 904 と接続されることが可能である。こうすることによって、配線抵抗をさらに下げることができる。

【0411】

なお、導電層 903 の一部の上に導電層 904 を形成し、当該導電層 903 は、コンタクトホール 905 を介して導電層 904 と接続されることが可能である。こうすることによって、配線抵抗を下げることができる。

【0412】

なお、導電層 904 の一部の下に導電層 901、又は導電層 903 を形成し、当該導電層 904 は、コンタクトホール 905 を介して、当該導電層 901、又は当該導電層 903 と接続されることが可能である。こうすることによって、配線抵抗を下げるができる。

【0413】

なお、すでに述べたように、トランジスタ 101__1 のゲートと第 1 の端子との間の寄生容量よりも、トランジスタ 101__1 のゲートと第 2 の端子との間の寄生容量を大きくすることが可能である。図 43 に示すように、トランジスタ 101__1 の第 1 の端子として機能することが可能な導電層 903 の幅を幅 931 とし、トランジスタ 101__1 の第 2 の端子として機能することが可能な導電層 903 の幅を幅 932 と示す。そして、幅 931 は、幅 932 よりも大きいことが可能である。こうすることによって、トランジスタ 101__1 のゲートと第 1 の端子との間の寄生容量よりも、トランジスタ 101__1 のゲ

10

20

30

40

50

ートと第2の端子との間の寄生容量を大きくすることが可能である。ただし、これに限定されない。

【0414】

なお、すでに述べたように、トランジスタ101__2のゲートと第1の端子との間の寄生容量よりも、トランジスタ101__2のゲートと第2の端子との間の寄生容量を大きくすることが可能である。図43に示すように、トランジスタ101__2の第1の電極として機能することが可能な導電層903の幅を幅941と示し、トランジスタ101__2の第2の電極として機能することが可能な導電層903の幅を幅942と示す。そして、幅941は、幅942よりも大きいことが可能である。こうすることによって、トランジスタ101__2のゲートと第1の端子との間の寄生容量よりも、トランジスタ101__2のゲートと第2の端子との間の寄生容量を大きくすることが可能である。ただし、これに限定されない。

【0415】

(実施の形態12)

本実施の形態においては、電子機器の例について説明する。

【0416】

図44(A)乃至図44(H)、図45(A)乃至図45(D)は、電子機器を示す図である。これらの電子機器は、筐体5000、表示部5001、スピーカ5003、LEDランプ5004、操作キー5005(電源スイッチ、又は表示装置の動作を制御する操作スイッチを含む)、接続端子5006、センサ5007(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン5008、等を有することができる。

【0417】

図44(A)はモバイルコンピュータであり、上述したものの他に、スイッチ5009、赤外線ポート5010、等を有することができる。図44(B)は記録媒体を備えた携帯型の画像再生装置(たとえば、DVD再生装置)であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図44(C)はゴーグル型ディスプレイであり、上述したものの他に、第2表示部5002、支持部5012、イヤホン5013、等を有することができる。図44(D)は携帯型遊技機であり、上述したものの他に、記録媒体読込部5011、等を有することができる。図44(E)はプロジェクタであり、上述したものの他に、光源5033、投射レンズ5034、等を有することができる。図44(F)は携帯型遊技機であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図44(G)はテレビ受像器であり、上述したものの他に、チューナ、画像処理部、等を有することができる。図44(H)は持ち運び型テレビ受像器であり、上述したものの他に、信号の送受信が可能な充電器5017、等を有することができる。図45(A)はディスプレイであり、上述したものの他に、支持台5018、等を有することができる。図45(B)はカメラであり、上述したものの他に、外部接続ポート5019、シャッターボタン5015、受像部5016、等を有することができる。図45(C)はコンピュータであり、上述したものの他に、ポインティングデバイス5020、外部接続ポート5019、リーダ/ライタ5021、等を有することができる。図45(D)は携帯電話機であり、上述したものの他に、アンテナ5014、携帯電話・移動端末向けの1セグメント部分受信サービス用チューナ、等を有することができる。

【0418】

図44(A)乃至図44(H)、図45(A)乃至図45(D)に示す電子機器は、様々な機能を有することができる。例えば、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を

用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、または、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像を記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図44（A）乃至図44（H）、図45（A）乃至図45（D）に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。

10

【0419】

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。特に、表示部が実施の形態1～実施の形態6で述べるものを有する場合、トランジスタの劣化を抑制することができるので、表示部の寿命を長くすることができる。ただし、これに限定されない。電子機器が実施の形態1～実施の形態6で述べるものを有することによって、電子機器の寿命を長くすることができる。

【0420】

次に、半導体装置の応用例を説明する。

【0421】

図45（E）に、半導体装置を、建造物と一体にして設けた例について示す。図45（E）は、筐体5022、表示部5023、操作部であるリモコン装置5024、スピーカ5025等を含む。半導体装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

20

【0422】

図45（F）に、建造物内に半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル5026は、ユニットバス5027と一体に取り付けられており、入浴者は表示パネル5026の視聴が可能になる。

【0423】

なお、本実施の形態において、建造物として壁、ユニットバスを例としたが、本実施の形態はこれに限定されず、様々な建造物に半導体装置を設置することができる。

30

【0424】

次に、半導体装置を、移動体と一体にして設けた例について示す。

【0425】

図45（G）は、半導体装置を、自動車に設けた例について示した図である。表示パネル5028は、自動車の車体5029に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。なお、ナビゲーション機能を有していてもよい。

【0426】

図45（H）は、半導体装置を、旅客用飛行機と一体にして設けた例について示した図である。図45（H）は、旅客用飛行機の座席上部の天井5030に表示パネル5031を設けたときの、使用時の形状について示した図である。表示パネル5031は、天井5030とヒンジ部5032を介して一体に取り付けられており、ヒンジ部5032の伸縮により乗客は表示パネル5031の視聴が可能になる。表示パネル5031は乗客が操作することで情報を表示する機能を有する。

40

【0427】

なお、本実施の形態において、移動体としては自動車車体、飛行機機体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、様々なものに設置することができる。

【符号の説明】

【0428】

50

1 0 0	回路	
1 0 1	トランジスタ	
1 0 2	容量素子	
1 1 1	配線	
1 1 2	配線	
1 1 3	配線	
1 1 4	配線	
1 1 5	配線	
1 1 6	配線	
1 1 7	配線	10
1 1 8	配線	
1 1 9	配線	
1 5 0	回路	
1 5 1	トランジスタ	
1 5 2	容量素子	
2 0 0	回路	
3 0 0	回路	
3 0 1	トランジスタ	
3 0 2	トランジスタ	
3 0 3	トランジスタ	20
3 0 4	抵抗素子	
4 0 0	回路	
4 0 1	トランジスタ	
4 0 2	トランジスタ	
4 1 1	トランジスタ	
4 1 2	トランジスタ	
5 0 0	回路	
5 0 1	トランジスタ	
5 0 2	トランジスタ	
6 0 0	回路	30
6 0 1	回路	
6 0 2	回路	
6 0 3	回路	
6 1 1	回路	
6 1 2	回路	
6 1 3	回路	
6 1 4	回路	
6 2 1	回路	
6 2 2	回路	
6 2 3	回路	40
6 2 4	回路	
6 3 1	トランジスタ	
6 3 2	トランジスタ	
6 3 3	トランジスタ	
6 3 4	トランジスタ	
6 4 1	トランジスタ	
6 4 2	トランジスタ	
6 4 3	トランジスタ	
6 4 4	トランジスタ	
6 4 5	トランジスタ	50

6 4 6	トランジスタ	
6 4 7	トランジスタ	
6 4 8	トランジスタ	
6 5 1	トランジスタ	
6 5 2	トランジスタ	
6 5 3	トランジスタ	
6 5 4	トランジスタ	
6 5 5	トランジスタ	
6 5 6	トランジスタ	
6 6 1	トランジスタ	10
6 6 2	容量素子	
6 6 3	トランジスタ	
6 8 1	配線	
6 8 2	配線	
6 8 3	配線	
6 8 4	配線	
6 9 1	出力端子	
6 9 2	入力端子	
6 9 3	入力端子	
6 9 4	入力端子	20
6 9 5	入力端子	
9 0 1	導電層	
9 0 2	半導体層	
9 0 3	導電層	
9 0 4	導電層	
9 0 5	コンタクトホール	
9 3 1	幅	
9 3 2	幅	
9 4 1	幅	
9 4 2	幅	30
1 0 0 1	回路	
1 0 0 2	回路	
1 0 0 3	回路	
1 0 0 4	画素部	
1 0 0 5	端子	
1 0 0 6	基板	
1 0 1 a	ダイオード	
1 0 1 p	トランジスタ	
1 1 0 0	シフトレジスタ	
1 1 0 1	フリップフロップ	40
1 1 1 1	配線	
1 1 1 2	配線	
1 1 1 3	配線	
1 1 1 4	配線	
1 1 1 5	配線	
1 1 1 6	配線	
1 1 1 7	配線	
1 1 1 8	配線	
1 1 2 A	配線	
1 1 2 B	配線	50

1 1 2 C	配線	
1 1 2 D	配線	
1 1 5 A	配線	
1 1 5 B	配線	
1 1 8 A	配線	
1 1 8 B	配線	
1 1 8 C	配線	
1 1 8 D	配線	
1 1 8 E	配線	
1 1 8 F	配線	10
1 1 8 G	配線	
1 1 8 H	配線	
1 1 8 I	配線	
1 1 9 A	配線	
1 1 9 B	配線	
1 5 1 a	ダイオード	
2 0 0 0	回路	
2 0 0 1	回路	
2 0 0 2	回路	
2 0 0 3	トランジスタ	20
2 0 0 4	配線	
2 0 0 5	配線	
2 0 0 6	信号線駆動回路	
2 0 0 7	画素部	
2 0 1 4	信号	
2 0 1 5	信号	
3 0 0 0	保護回路	
3 0 0 1	トランジスタ	
3 0 0 2	トランジスタ	
3 0 0 3	トランジスタ	30
3 0 0 4	トランジスタ	
3 0 0 5	容量素子	
3 0 0 6	抵抗素子	
3 0 0 7	容量素子	
3 0 0 8	抵抗素子	
3 0 1 1	配線	
3 0 1 2	配線	
3 0 1 3	配線	
3 0 1 d	ダイオード	
3 0 1 p	トランジスタ	40
3 0 2 0	画素	
3 0 2 1	トランジスタ	
3 0 2 2	液晶素子	
3 0 2 3	容量素子	
3 0 2 a	ダイオード	
3 0 2 p	トランジスタ	
3 0 3 1	配線	
3 0 3 2	配線	
3 0 3 3	配線	
3 0 3 4	電極	50

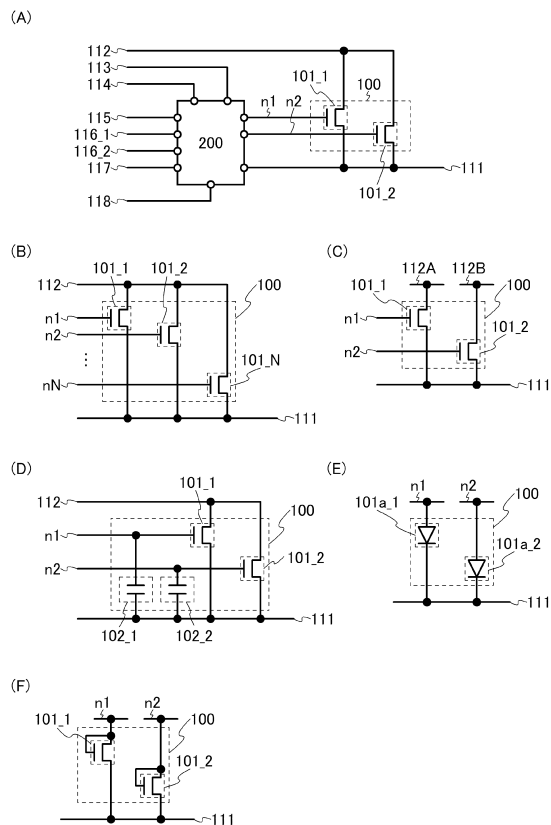
3 0 3 d	ダイオード	
3 0 3 p	トランジスタ	
3 1 0 0	ゲートドライバ	
4 0 1 a	ダイオード	
4 0 2 a	ダイオード	
5 0 0 0	筐体	
5 0 0 1	表示部	
5 0 0 2	表示部	
5 0 0 3	スピーカ	
5 0 0 4	L E Dランプ	10
5 0 0 5	操作キー	
5 0 0 6	接続端子	
5 0 0 7	センサ	
5 0 0 8	マイクロフォン	
5 0 0 9	スイッチ	
5 0 1 0	赤外線ポート	
5 0 1 1	記録媒体読込部	
5 0 1 2	支持部	
5 0 1 3	イヤホン	
5 0 1 4	アンテナ	20
5 0 1 5	シャッターボタン	
5 0 1 6	受像部	
5 0 1 7	充電器	
5 0 1 8	支持台	
5 0 1 9	外部接続ポート	
5 0 1 a	ダイオード	
5 0 2 0	ポインティングデバイス	
5 0 2 1	リーダ／ライタ	
5 0 2 2	筐体	
5 0 2 3	表示部	30
5 0 2 4	リモコン装置	
5 0 2 5	スピーカ	
5 0 2 6	表示パネル	
5 0 2 7	ユニットバス	
5 0 2 8	表示パネル	
5 0 2 9	車体	
5 0 2 a	ダイオード	
5 0 3 0	天井	
5 0 3 1	表示パネル	
5 0 3 2	ヒンジ部	40
5 0 3 3	光源	
5 0 3 4	投射レンズ	
5 2 6 0	基板	
5 2 6 1	絶縁層	
5 2 6 2	半導体層	
5 2 6 3	絶縁層	
5 2 6 4	導電層	
5 2 6 5	絶縁層	
5 2 6 6	導電層	
5 2 6 7	絶縁層	50

5 2 6 8	導電層	
5 2 6 9	絶縁層	
5 2 7 0	発光層	
5 2 7 1	導電層	
5 2 7 3	絶縁層	
5 3 0 0	基板	
5 3 0 1	導電層	
5 3 0 2	絶縁層	
5 3 0 4	導電層	
5 3 0 5	絶縁層	10
5 3 0 6	導電層	
5 3 0 7	液晶層	
5 3 0 8	導電層	
5 3 5 0	領域	
5 3 5 1	領域	
5 3 5 2	半導体基板	
5 3 5 3	領域	
5 3 5 4	絶縁層	
5 3 5 5	領域	
5 3 5 6	絶縁層	20
5 3 5 7	導電層	
5 3 5 8	絶縁層	
5 3 5 9	導電層	
5 3 9 1	基板	
5 3 9 2	駆動回路	
5 3 9 3	画素部	
5 4 0 0	基板	
5 4 0 1	導電層	
5 4 0 2	絶縁層	
5 4 0 4	導電層	30
5 4 0 5	絶縁層	
5 4 0 6	導電層	
5 4 0 7	液晶層	
5 4 0 8	絶縁層	
5 4 0 9	導電層	
5 4 1 0	基板	
5 4 2 0	基板	
5 4 2 1	導電層	
5 4 2 2	導電層	
5 4 2 3	絶縁層	40
5 4 2 4	コンタクトホール	
5 4 2 5	酸化物半導体層	
5 4 2 9	導電層	
5 4 3 0	導電層	
5 4 3 1	導電層	
5 4 3 2	絶縁層	
5 4 3 3	導電層	
5 4 3 4	導電層	
5 4 3 5	絶縁層	
5 4 4 1	トランジスタ	50

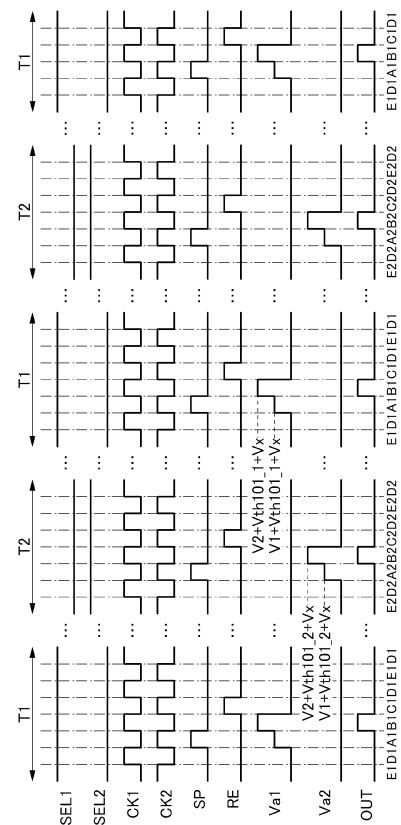
5 4 4 2 容量素子
 6 3 1 A 抵抗素子
 6 6 2 A トランジスタ
 1 0 0 2 a 回路
 1 0 0 2 b 回路
 3 1 0 1 a 端子
 3 1 0 1 b 端子
 5 2 6 2 a 領域
 5 2 6 2 b 領域
 5 2 6 2 c 領域
 5 2 6 2 d 領域
 5 2 6 2 e 領域
 5 3 0 3 a 半導体層
 5 3 0 3 b 半導体層
 5 4 0 3 a 半導体層
 5 4 0 3 b 半導体層

10

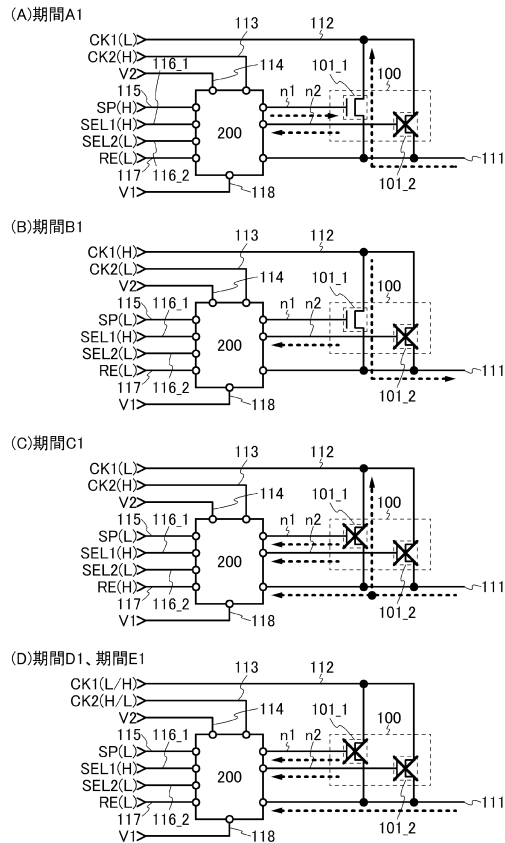
【図 1】



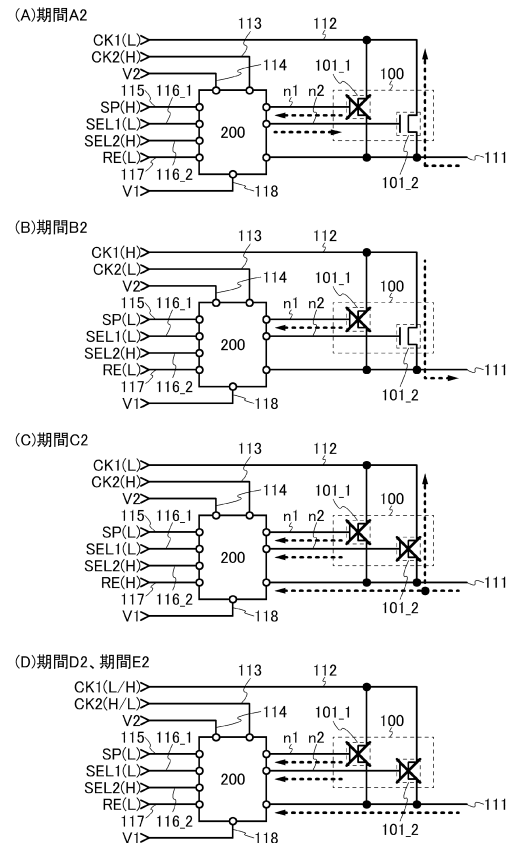
【図 2】



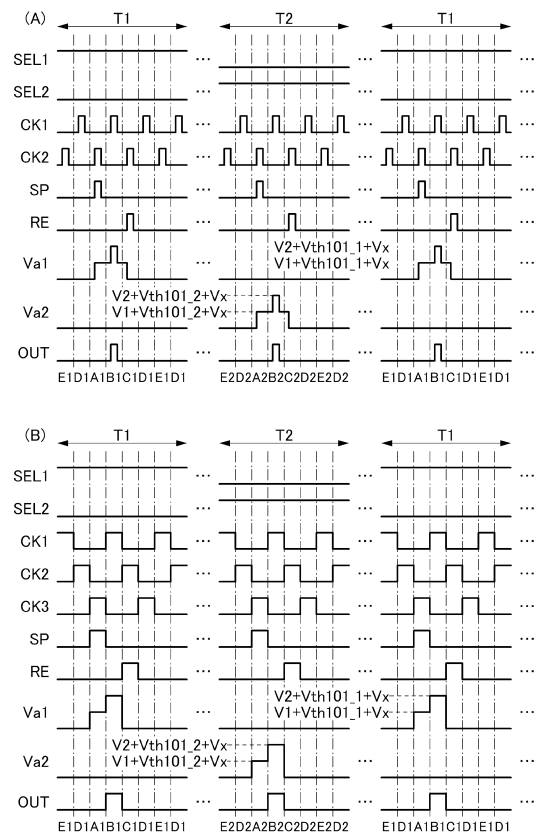
【図 3】



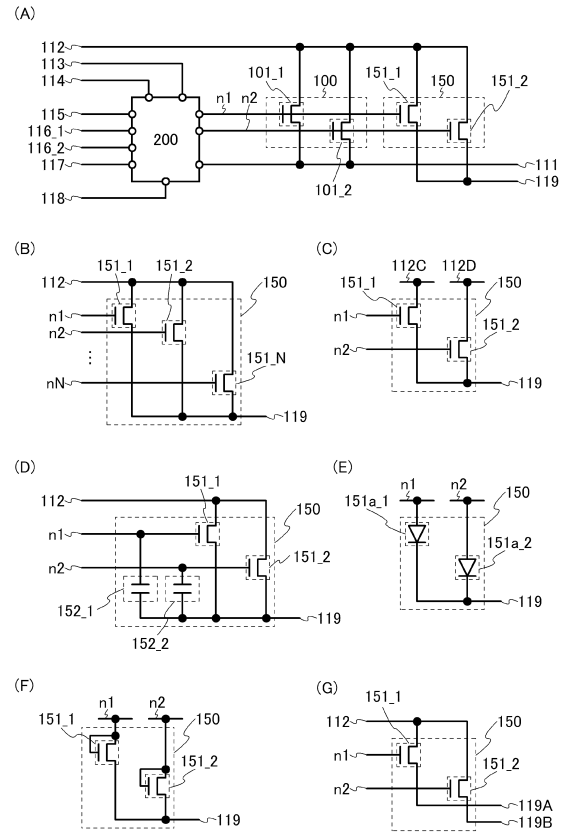
【図 4】



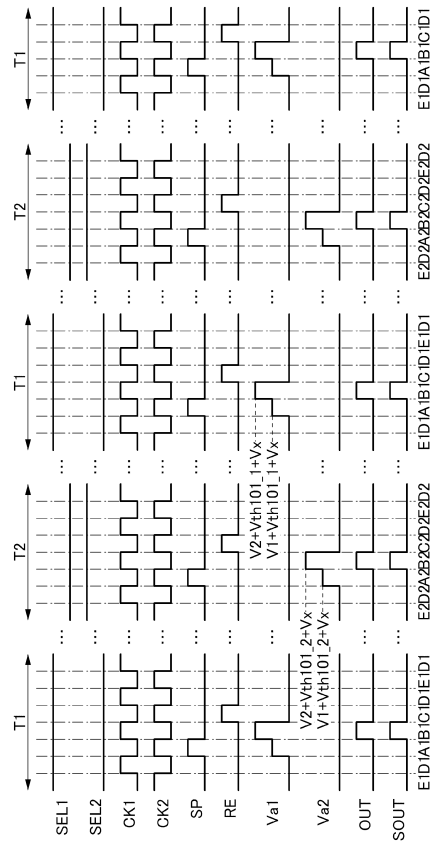
【図 5】



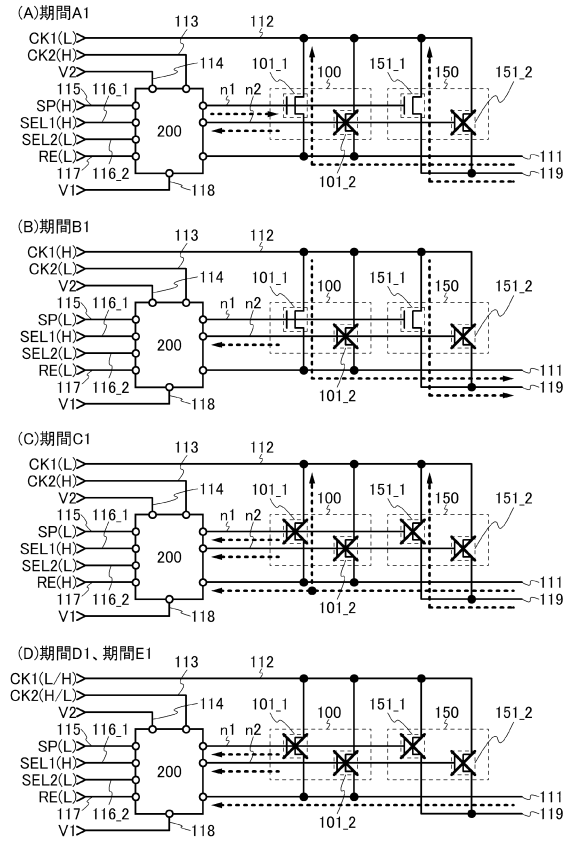
【図 6】



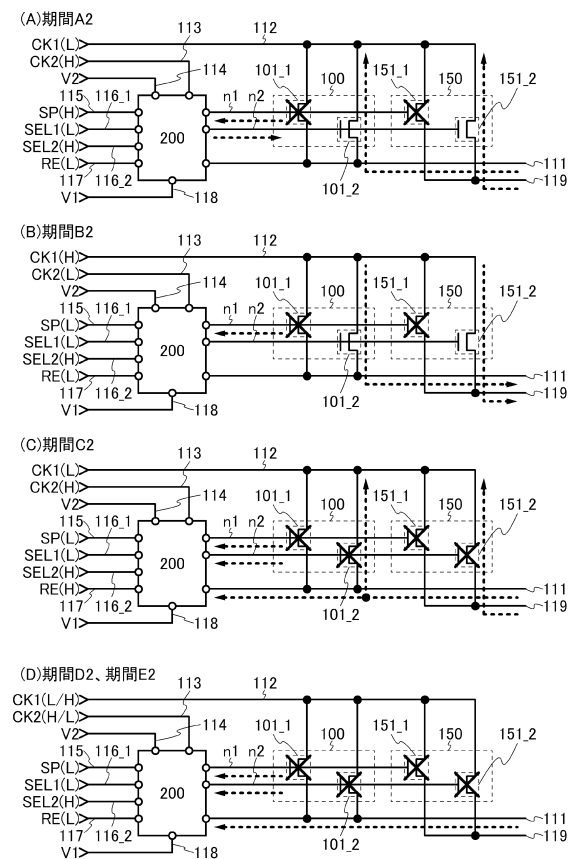
【図 7】



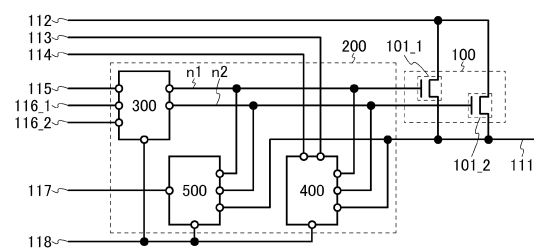
【図 8】



【図 9】

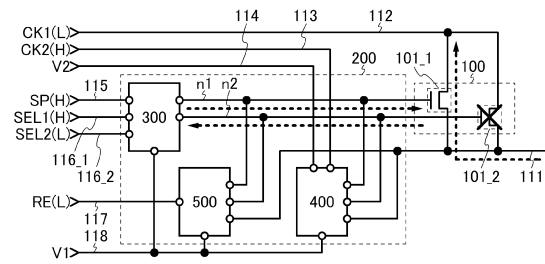


【図 10】

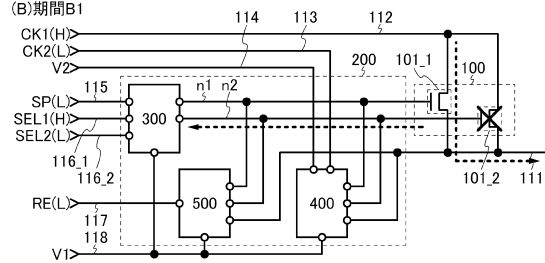


【図 1 1】

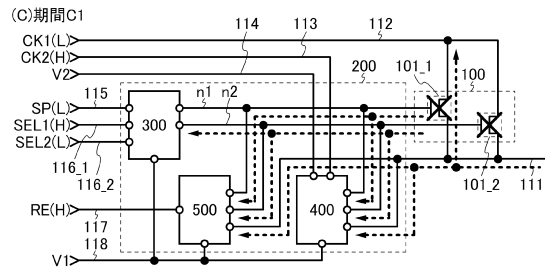
(A)期間A1



(B)期間B1

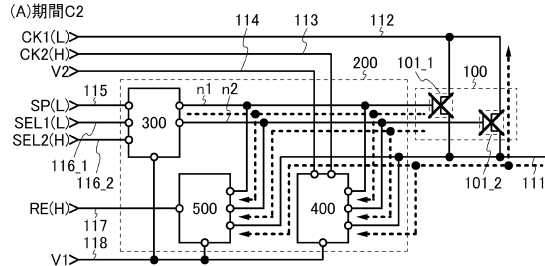


(C)期間C1

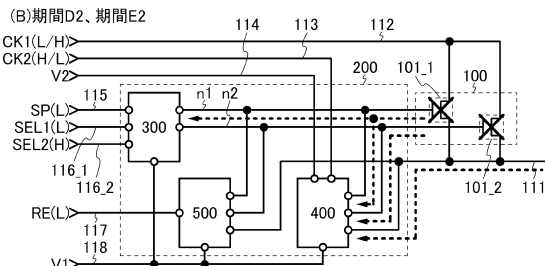


【図 1 3】

(A)期間C2

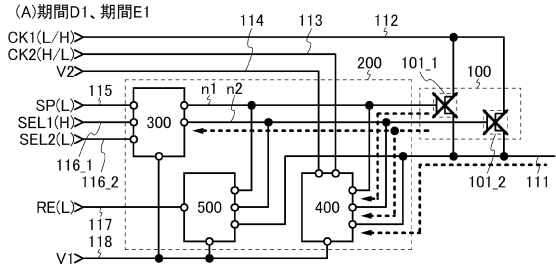


(B)期間D2、期間E2

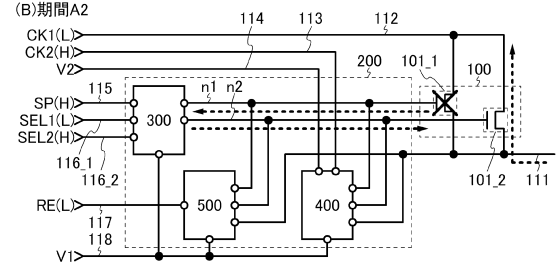


【図 1 2】

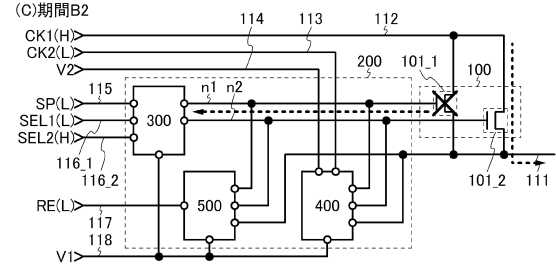
(A)期間D1、期間E1



(B)期間A2

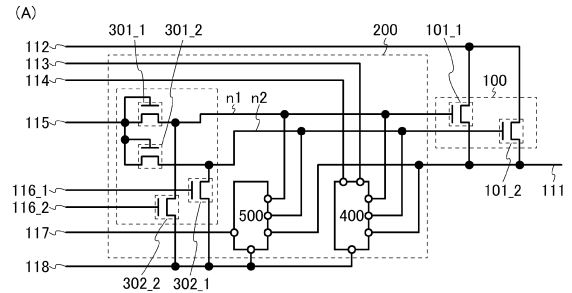


(C)期間B2

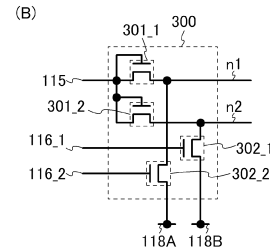


【図 1 4】

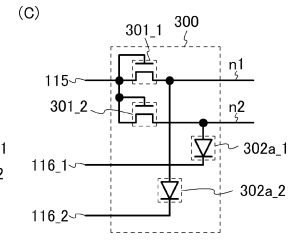
(A)



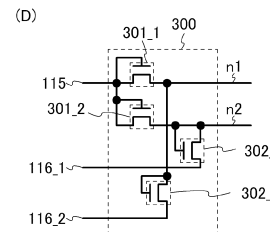
(B)



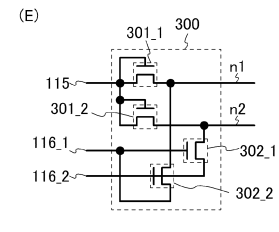
(C)



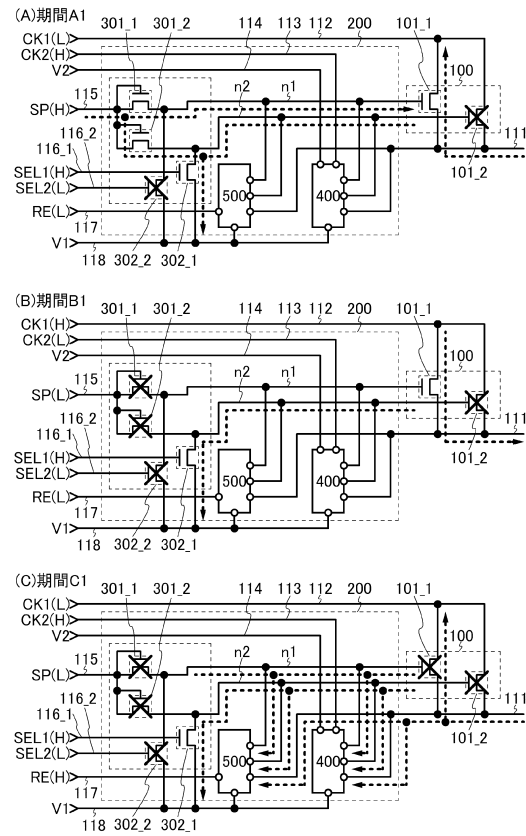
(D)



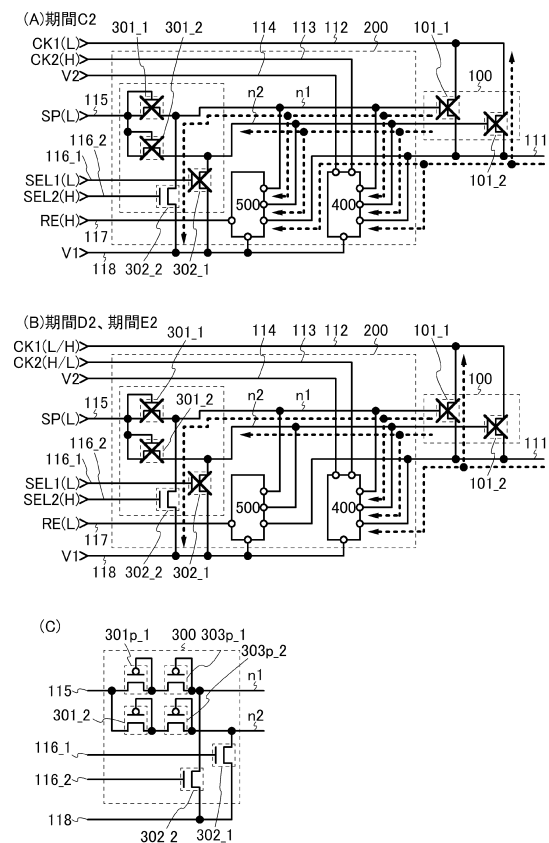
(E)



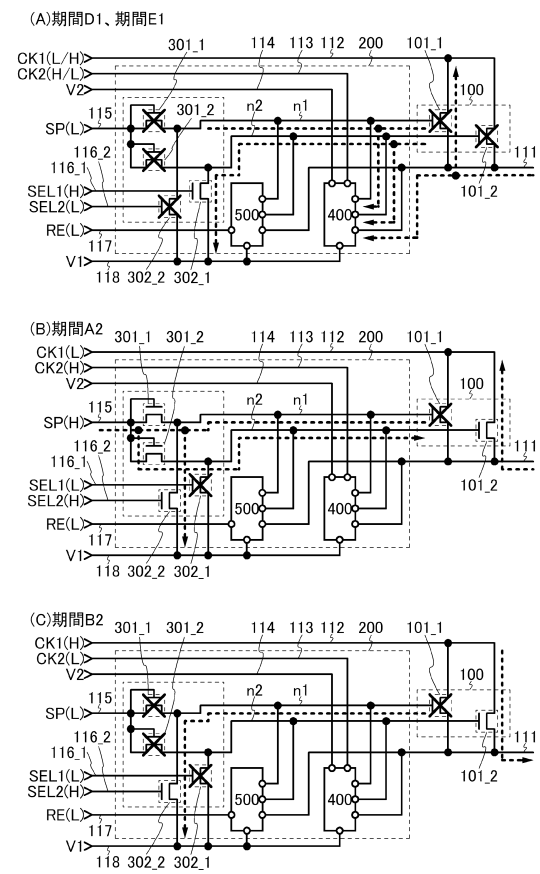
【図 15】



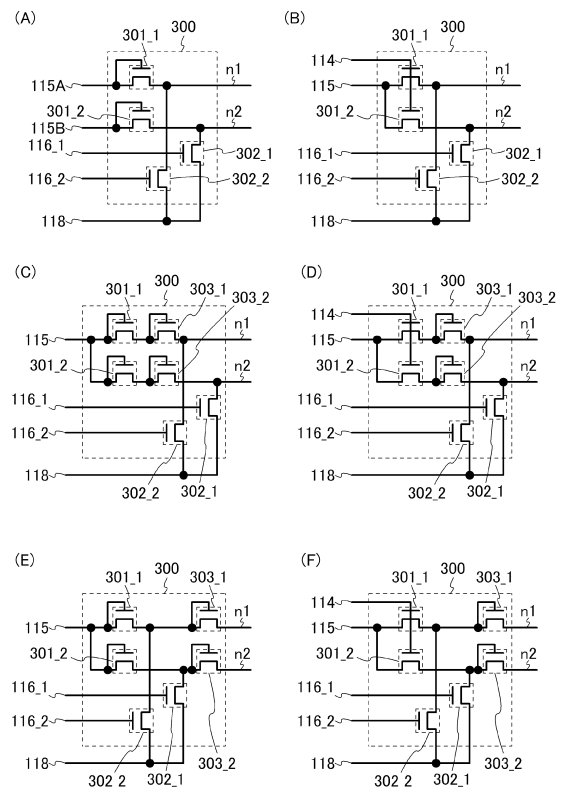
【図 17】



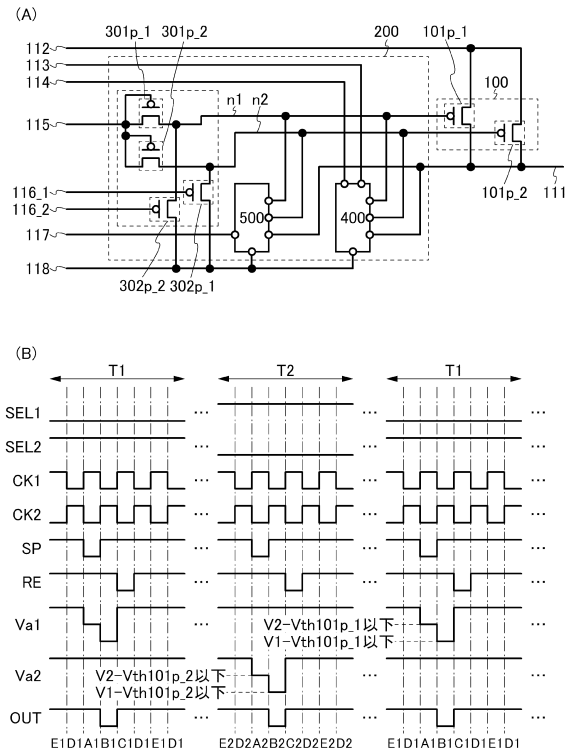
【図 16】



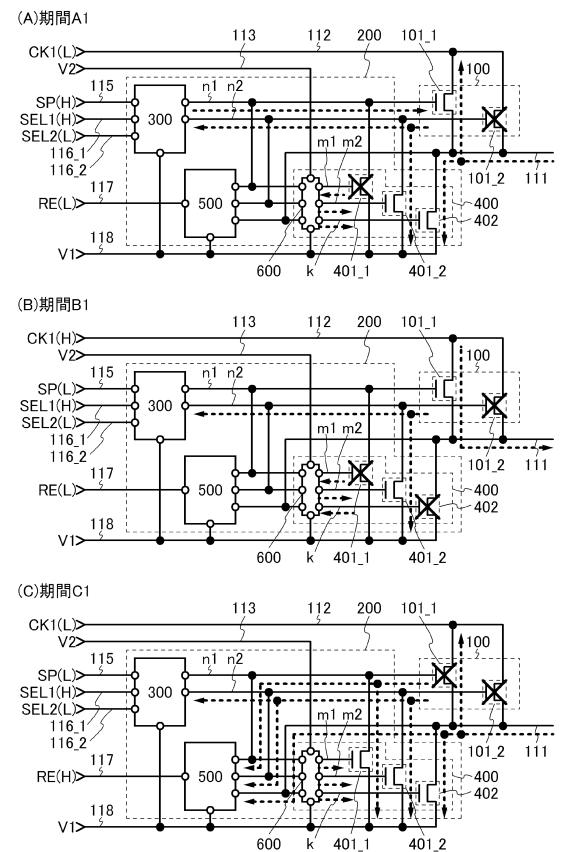
【図 18】



【図 20】

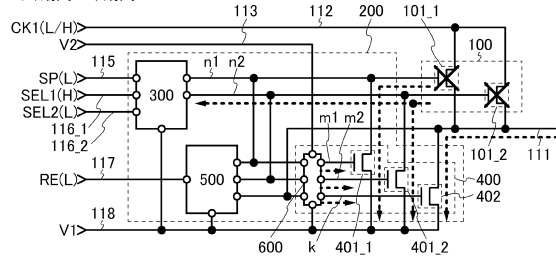


【图 2 2】

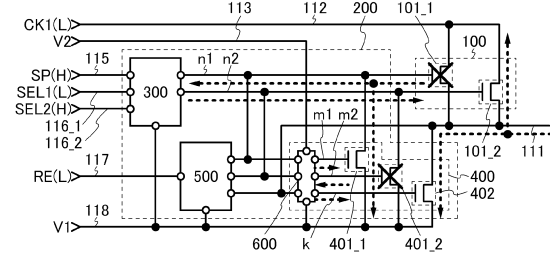


【図 2 3】

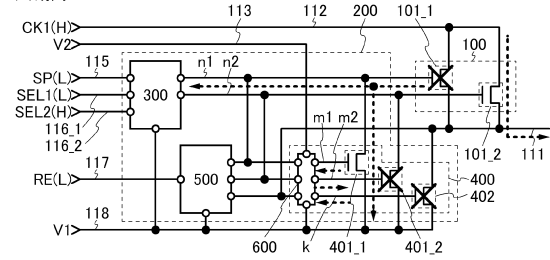
(A)期間D1、期間E1



(B)期間A2

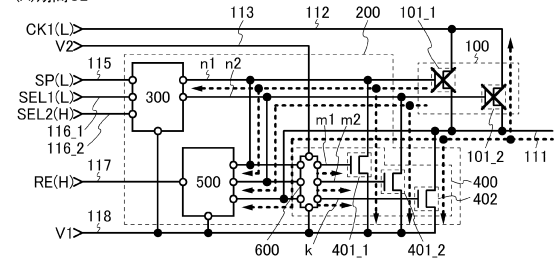


(C)期間B2

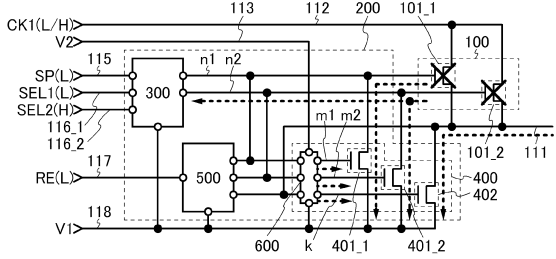


【図 2 4】

(A)期間C2

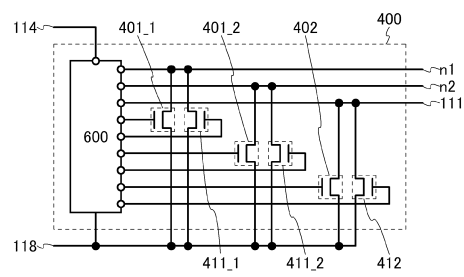


(B)期間D2、期間E2

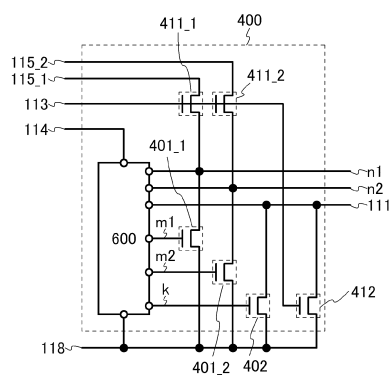


【図 2 5】

(A)

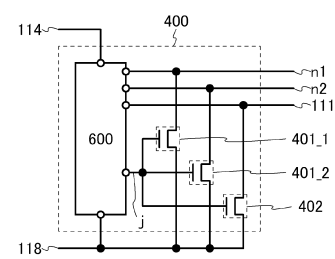


(B)

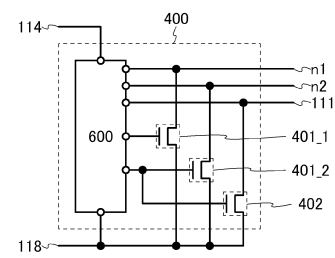


【図 2 6】

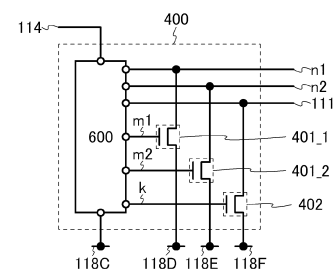
(A)



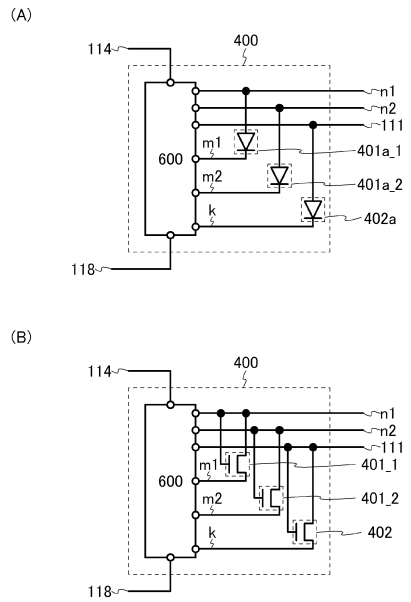
(B)



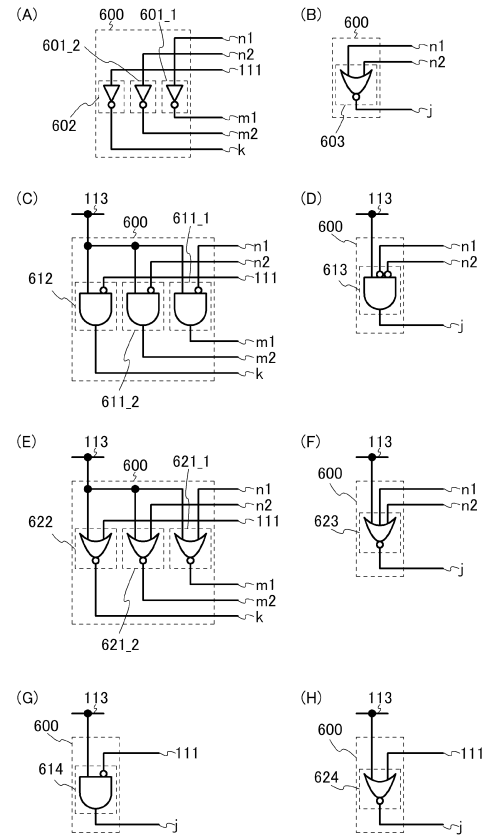
(C)



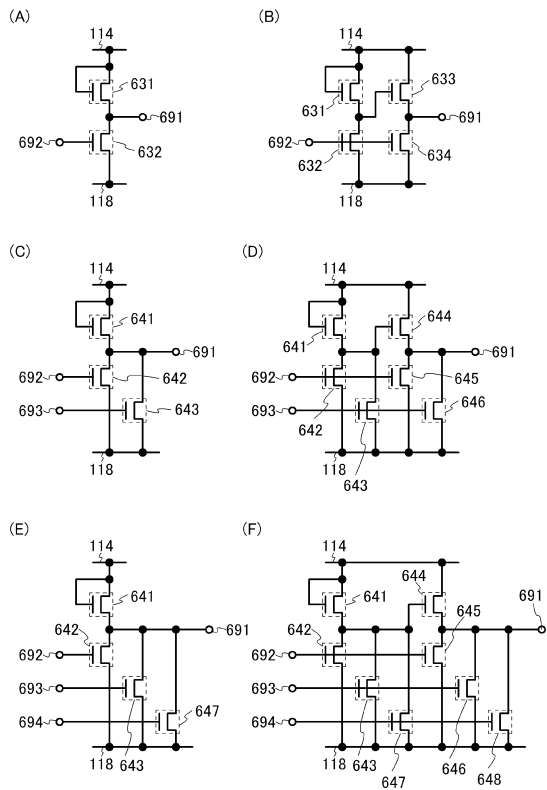
【図 27】



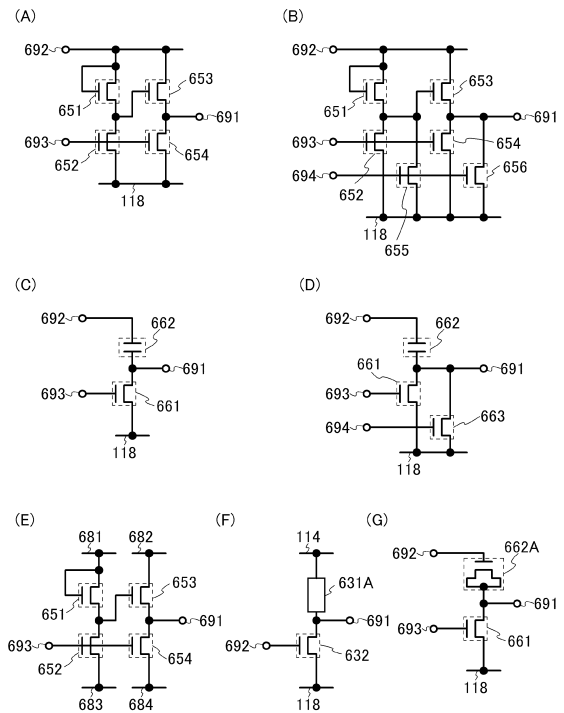
【図 28】



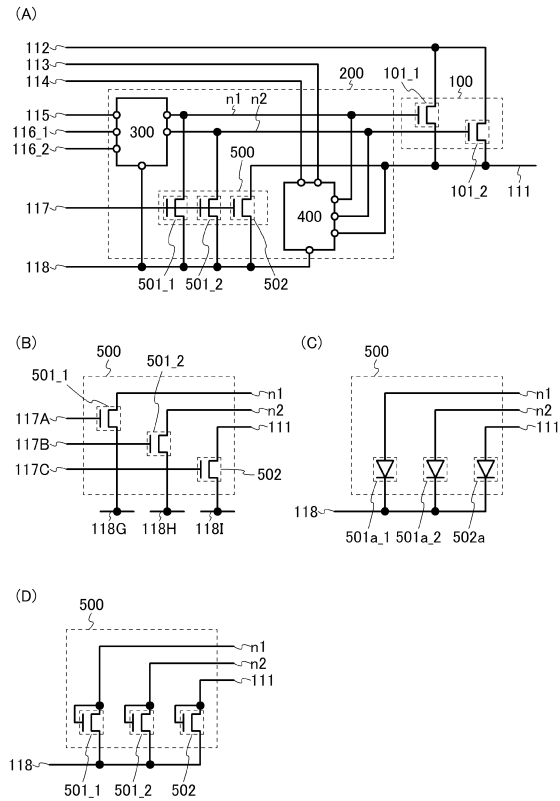
【図 29】



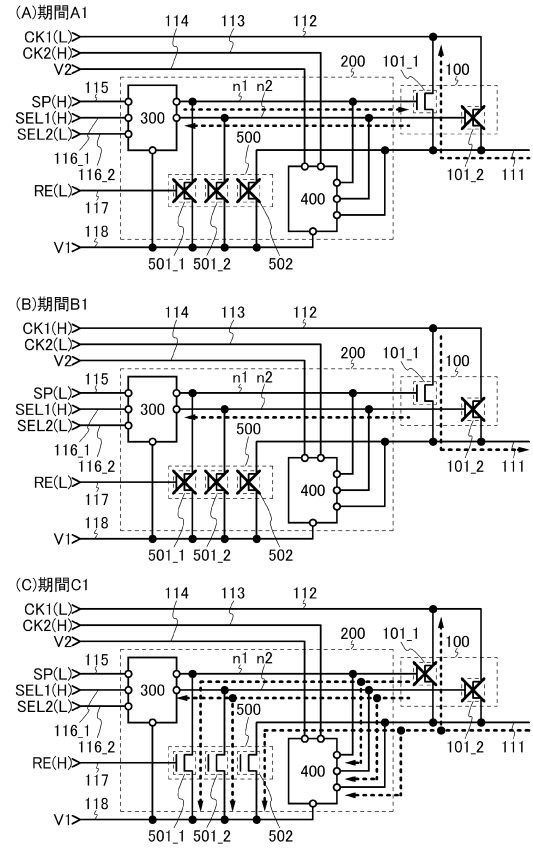
【図 30】



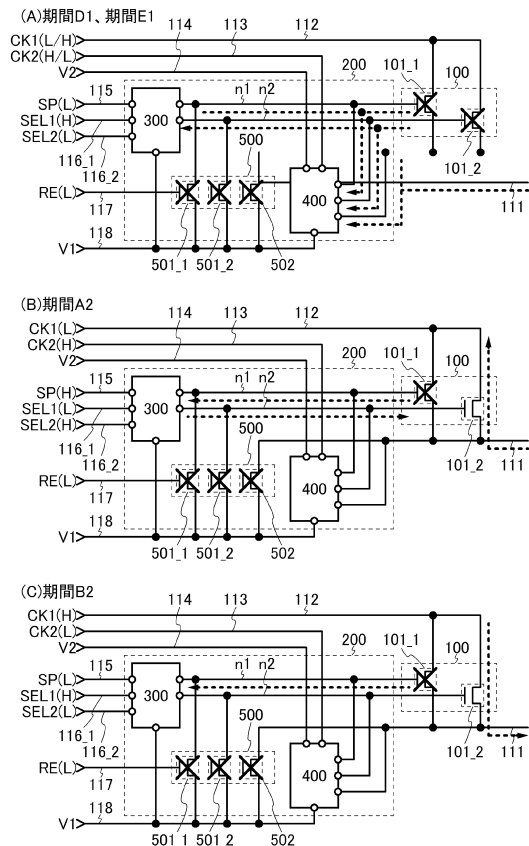
【図 3 1】



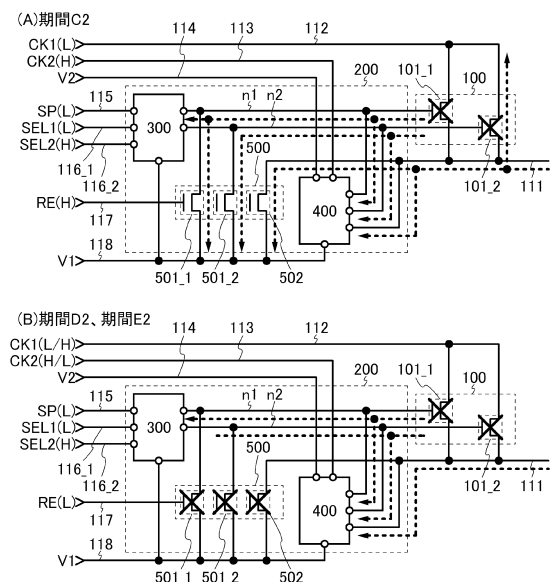
【図 3 2】



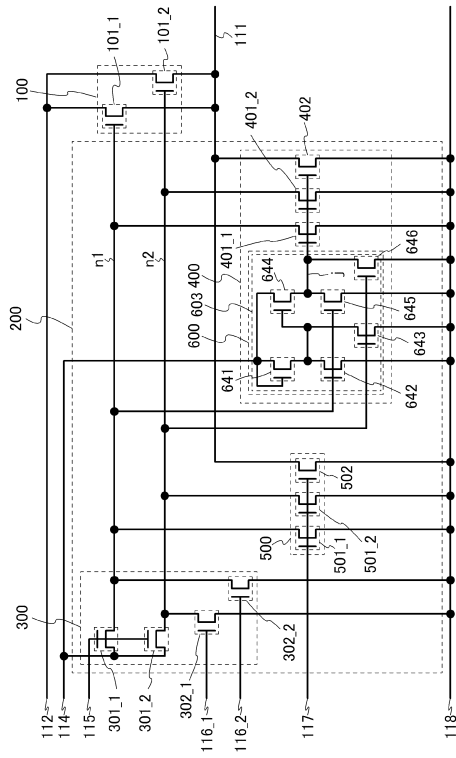
【図 3 3】



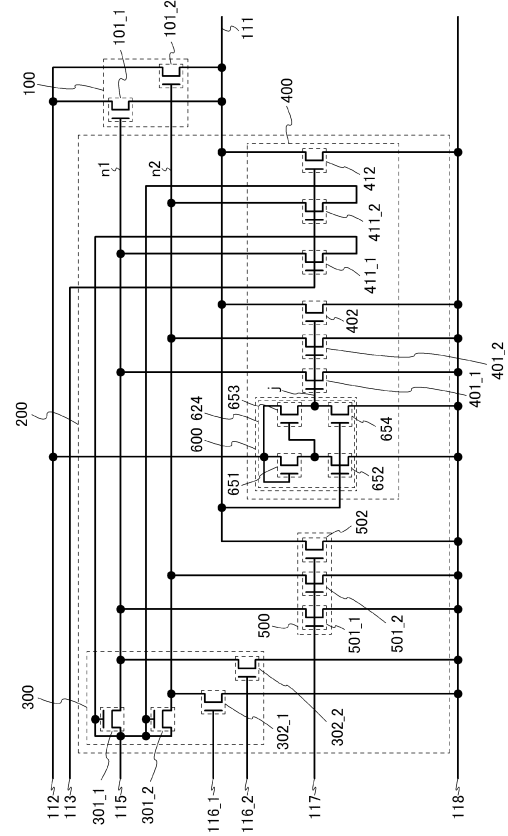
【図 3 4】



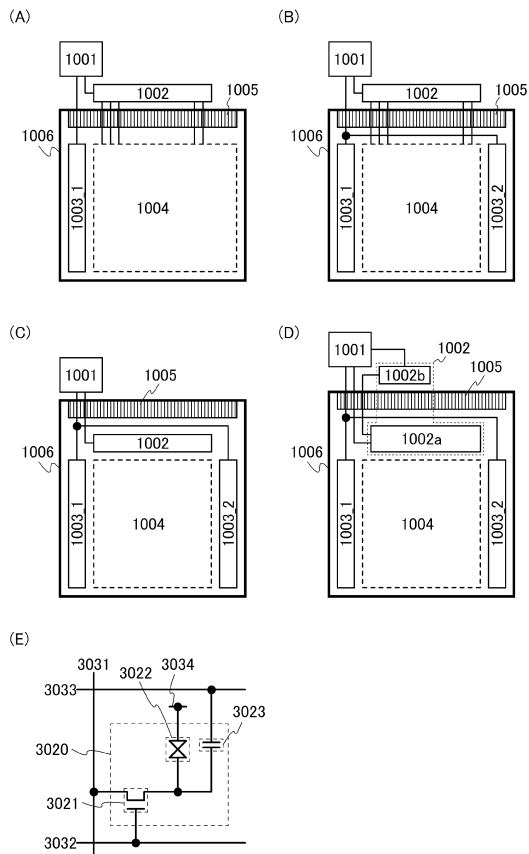
【図 35】



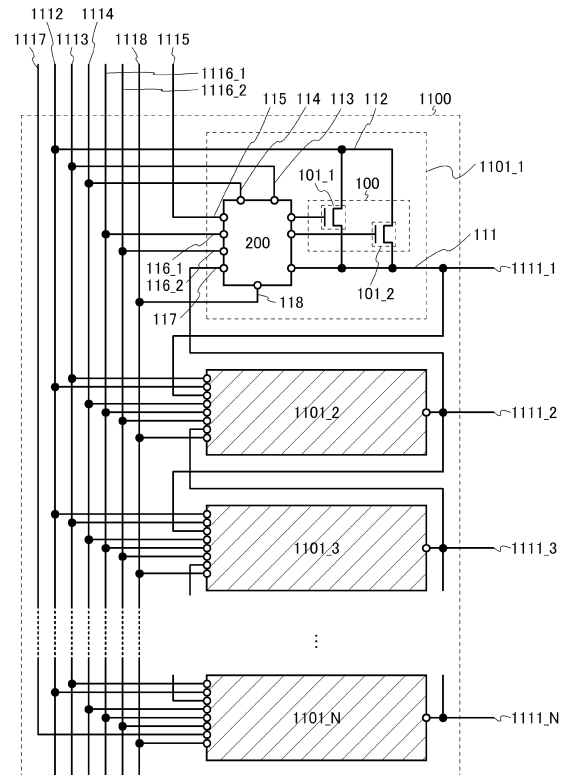
【図 36】



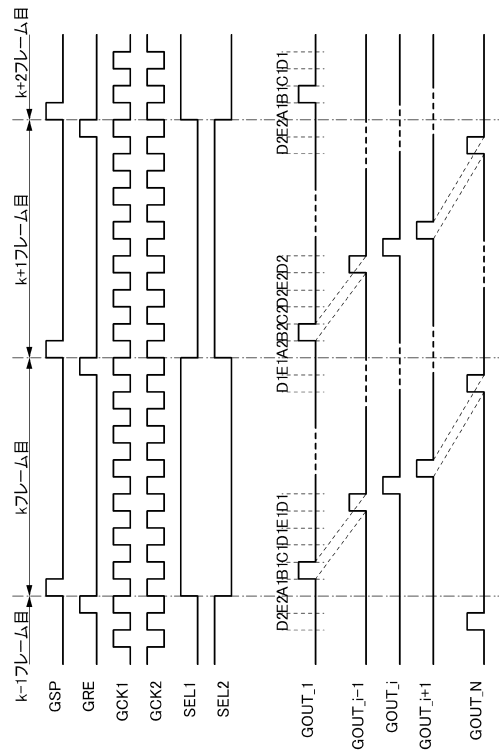
【図 37】



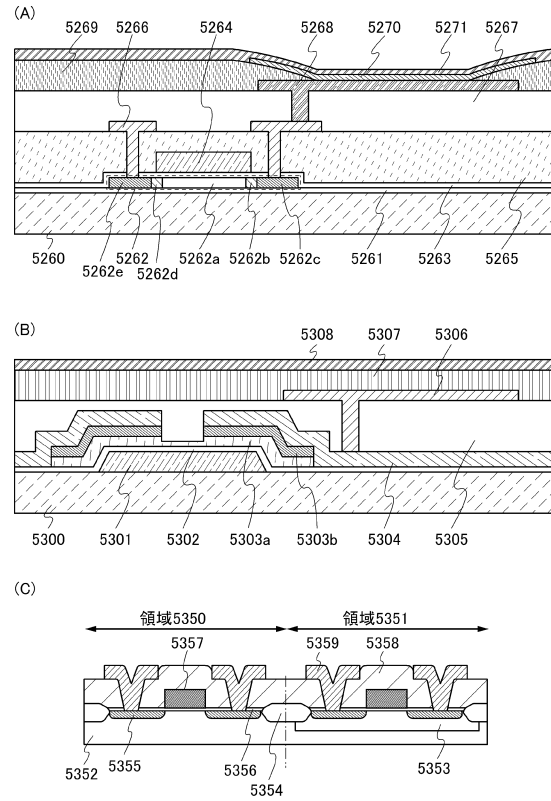
【図 38】



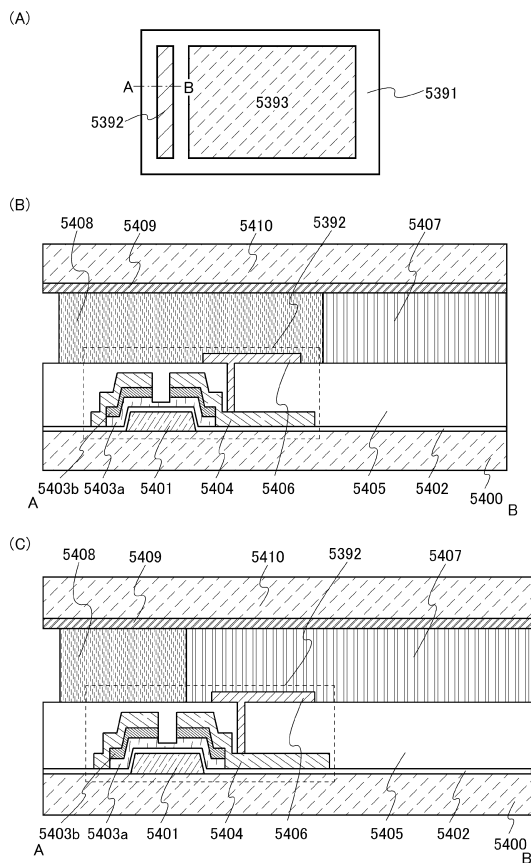
【図 39】



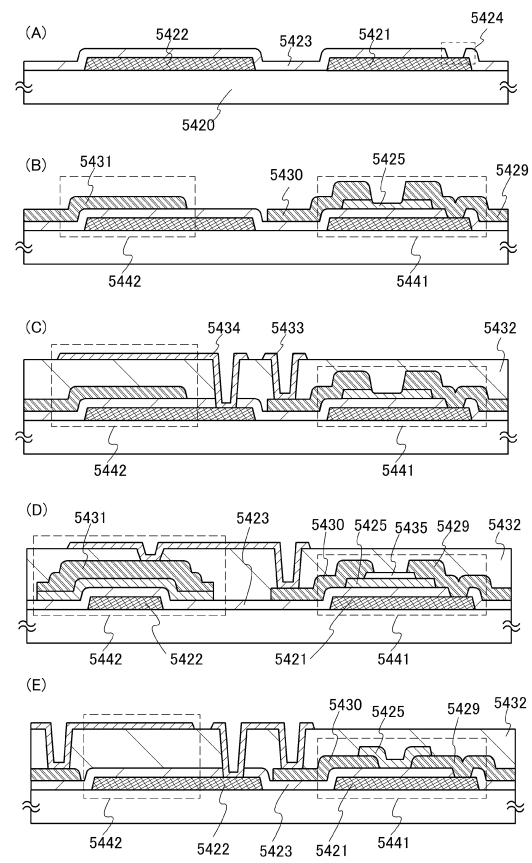
【図 40】



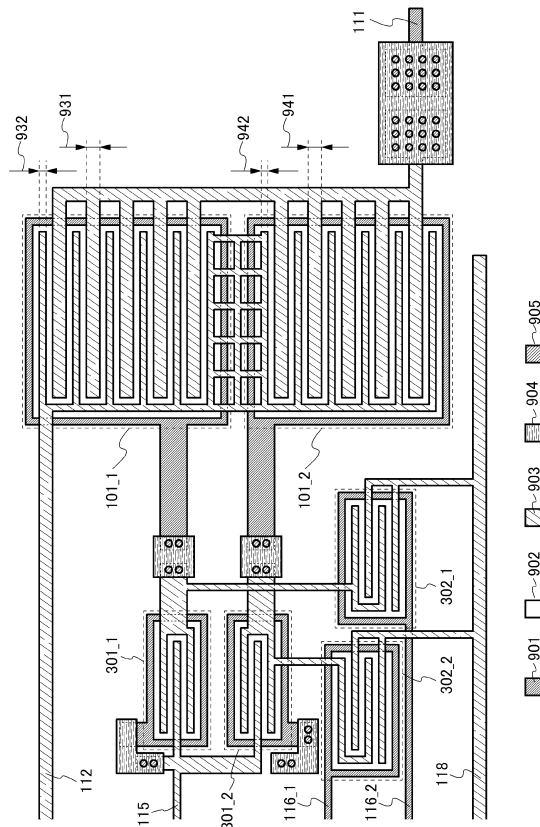
【図 41】



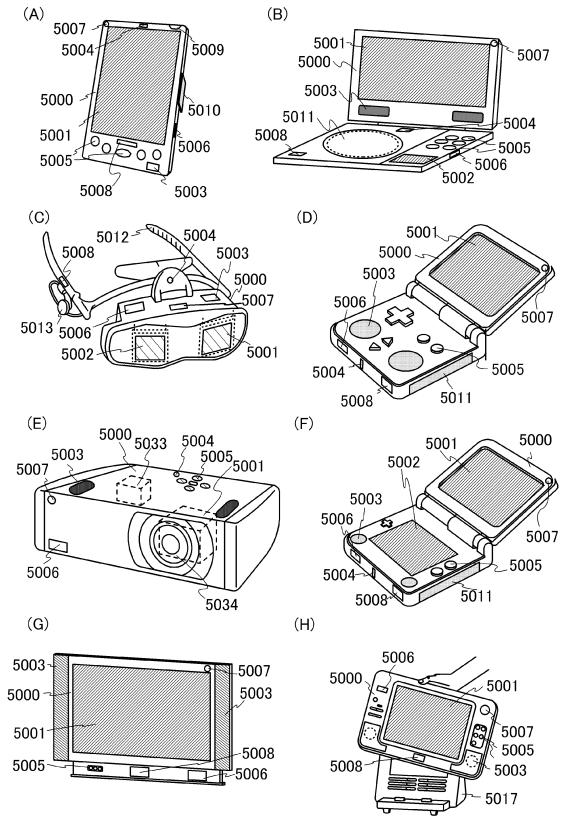
【図 42】



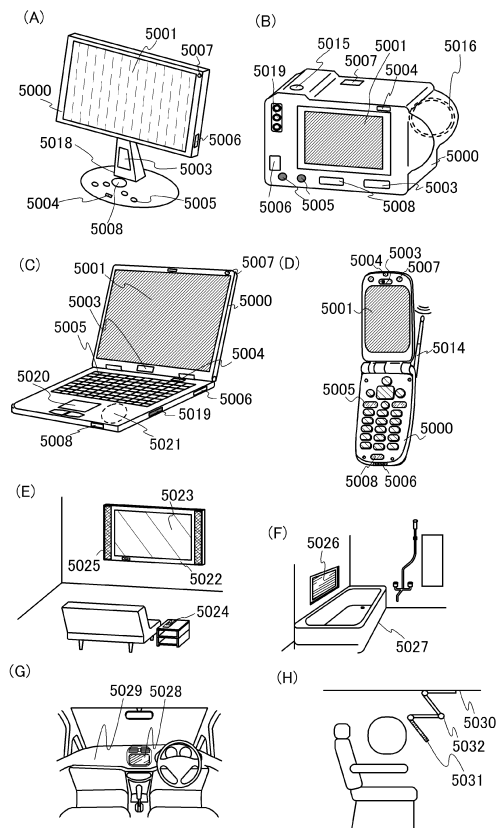
【図 4 3】



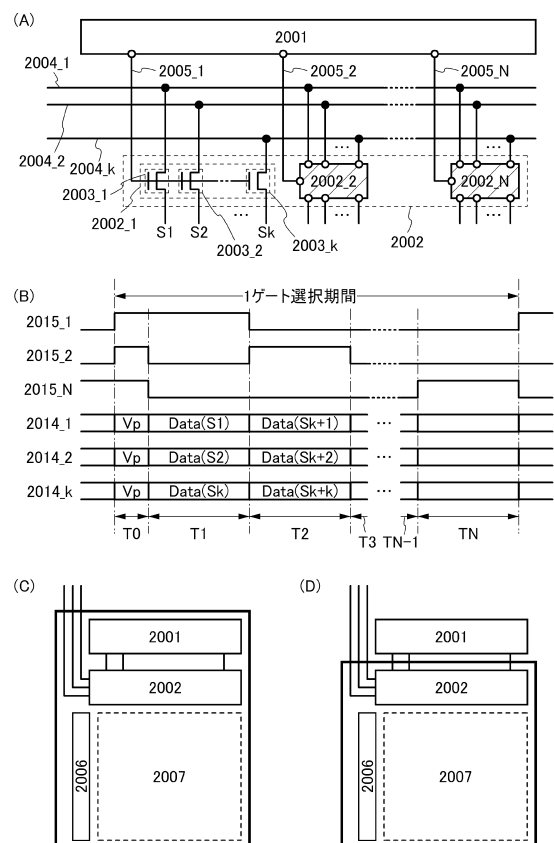
【図 4 4】



【図 4 5】



【図 4 6】



フロントページの続き

(51)Int.Cl. F I
G 1 1 C 19/28 2 3 0

(56)参考文献 特開2005-285168 (JP, A)
特開2006-024350 (JP, A)
特開2006-351171 (JP, A)
特開2008-009393 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3/18、 3/36、
G 1 1 C 19/00-19/06、19/10-23/00、
H 0 1 L 21/336、29/786