

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月29日(29.09.2022)



(10) 国際公開番号

WO 2022/202547 A1

(51) 国際特許分類:

H01L 23/12 (2006.01) H05K 3/18 (2006.01)
H01L 21/768 (2006.01) H05K 3/20 (2006.01)
H01L 23/522 (2006.01) H05K 3/46 (2006.01)
H05K 1/09 (2006.01)

(21) 国際出願番号: PCT/JP2022/011943

(22) 国際出願日: 2022年3月16日(16.03.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2021-047323 2021年3月22日(22.03.2021) JP

(71) 出願人: パナソニック IP マネジメント株式会社 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5406207

大阪府大阪市中央区城見2丁目1番61号 Osaka (JP).

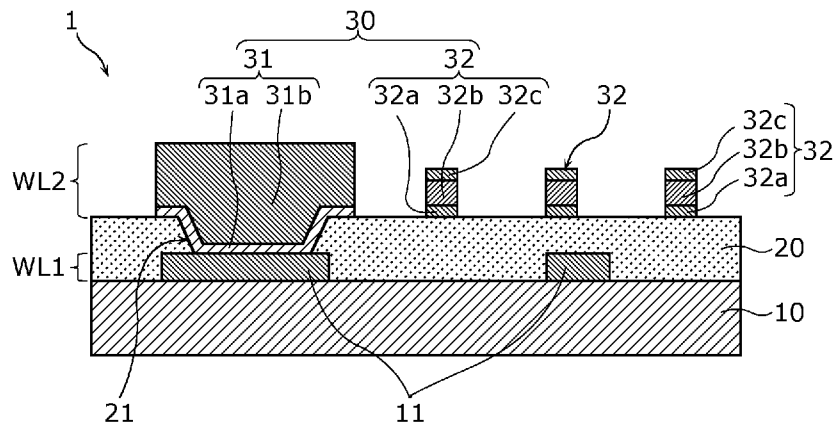
(72) 発明者: 二連木 隆佳 (NIRENGI, Takayoshi).
大石 章博 (OISHI, Akihiro). 相阪 勉 (AISAKA, Tsutomu). 松下 大介 (MATSUSHITA, Daisuke). 岩永 純平 (IWANAGA, Jumpei). 東條 正 (TOJO, Tadashi).

(74) 代理人: 新居 広守, 外 (NII, Hiromori et al.);
〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH,

(54) Title: WIRING BODY, MOUNTING SUBSTRATE, METHOD FOR MANUFACTURING WIRING BODY, AND METHOD FOR MANUFACTURING MOUNTING SUBSTRATE

(54) 発明の名称: 配線体、実装基板、配線体の製造方法、及び、実装基板の製造方法



(57) Abstract: A wiring body (30) disposed on a substrate (10) having an electrical conductor (11) is provided with: a via electrode (31) which is provided in a via hole (21) formed in an insulating layer (20) located on the substrate (10), and which is connected to the electrical conductor (11) through the via hole (21); and a wire (32) provided over the substrate (10) with the insulating layer (20) therebetween. A lower layer of the via electrode (31) and a lower layer of the wire (32) are composed of different materials or structures.

(57) 要約: 導電体 (11) を有する基板 (10) の上に配置される配線体 (30) であって、基板 (10) の上に位置する絶縁層 (20) に形成されたビアホール (21) 内に設けられ、ビアホール (21) を介して導電体 (11) に接続されたビア電極 (31) と、絶縁層 (20) を介して基板 (10) の上方に設けられた配線 (32) と、を備え、ビア電極 (31) における下部層と配線 (32) における下部層とは、異なる材料又は構造によって構成されている。



KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：

配線体、実装基板、配線体の製造方法、及び、実装基板の製造方法

技術分野

[0001] 本開示は、配線体、実装基板、配線体の製造方法、及び、実装基板の製造方法に関し、特に、半導体パッケージ基板等である実装基板の配線層又は再配線層（RDL；Redistribution Layer）として用いることができる配線体等に関する。

背景技術

[0002] 半導体装置の小型化、高集積化及び高機能化への要求から、半導体装置のパッケージング技術が種々検討されている。近年、半導体装置のパッケージング技術としては、異種複数の半導体装置が搭載されたシリコンインターポーザを半導体パッケージ基板上に搭載した2.5D半導体パッケージが主流になっている。2.5D半導体パッケージでは、複数の半導体装置間の信号接続がシリコンインターポーザ上の微細回路で接続されており、シリコンインターポーザ全体が機能集積された1つのSoC（System on chip）とみなすことができる。

[0003] シリコンインターポーザは、シリコンウエハによって構成されている。シリコンインターポーザでは、シリコンウエハの半導体装置が搭載される表面には半導体プロセスによって微細多層配線層が形成され、シリコンウエハの裏面には半導体パッケージ基板に接続される接続端子及び電気回路が形成され、そして、表裏の回路がシリコンウエハを貫通するTSV（Through Silicon Via）で電気接続されている。

[0004] しかしながら、ウエハレベルの製造プロセスを必要とするシリコンインターポーザは、製造コストが高いという課題がある。そのため、シリコンインターポーザは、サーバやハイエンドPC、ハイエンドグラフィック等、コストよりも性能が要求されるものへの適用に限られることが多く、普及の障害

になっている。

[0005] また、シリコンは半導体であるため、シリコンウエハ上に直接配線層を形成すると電気特性が劣化するという課題がある。さらに、半導体パッケージ基板にシリコンインターポーザを搭載して半導体装置を実装する場合、半導体パッケージ基板に直接半導体装置を実装する場合に比べ、シリコンインターポーザの分だけ、半導体パッケージ基板からの伝送距離が長くなり、ノイズが乗りやすくなるという課題がある。

[0006] 一方、シリコンインターポーザよりも安価な新たなパッケージング技術として、従来の有機半導体パッケージ基板の装置搭載面側の多層配線層を、シリコンインターポーザに近い配線密度にすることで、シリコンインターポーザが不要な有機半導体パッケージ基板、いわゆる2.1D半導体パッケージ基板が提案されている（例えば特許文献1参照）。

[0007] しかしながら、2.1D半導体パッケージ基板では、シリコンインターポーザに近い薄層の微細配線を多層で形成する必要があるという課題がある。例えば、2.1D半導体パッケージ基板では、少なくとも L/S が $2/2\mu\text{m}$ ～ $5/5\mu\text{m}$ で、1層当たりの配線層厚が $3\sim10\mu\text{m}$ となるように、薄層の微細配線を形成することが要求される。

[0008] この場合、これまでの技術によって微細配線を形成するには、通常のプロセスで製造された半導体パッケージ基板の半導体素子搭載面の最表層の配線1層分をCMP（Chemical Mechanical Polishing）によって研磨して平坦化する必要があるが、CMPを用いた研磨平坦化処理は高価であり、半導体パッケージ基板の分野に単純に適用することは難しい。

[0009] また、多層配線層を有する半導体パッケージ基板等の実装基板に、 $L/S = 2/2\mu\text{m}$ ～ $5/5\mu\text{m}$ の微細配線をめっき法で形成する技術の一つに、セミアディティブプロセス（SAP；Semi Additive Process）及びモディファイドセミアディティブプロセス（MSAP；Modified Semi Additive Process）が知られて

いるが、SAP又はMSAPによって微細配線を形成すると、層間絶縁層となるフィルム状の絶縁樹脂をロールラミネータ等を用いて熱圧着する際に、ローラによる物理的ストレスによって配線の剥がれが多発するため、歩留まり良く微細配線を製造することは難しい。

[0010] しかも、配線の線幅が2～5 μm にまで微細化されると、インピーダンス及び作製上の観点から層間絶縁層の厚さを薄くする必要があるが、フィルム状の絶縁樹脂を用いる場合には、そもそも適正な膜厚の絶縁樹脂が存在しないか、仮に存在したとしてもその薄膜のフィルム状の絶縁樹脂をラミネートして熱圧着することは難しい。

[0011] そこで、層間絶縁層の厚みを均一にするために、層間絶縁層の絶縁材料としてフィルム状の絶縁樹脂ではなく液状の絶縁樹脂を用いることが検討されているが、この場合、液状の絶縁樹脂を硬化して層間絶縁層を形成したときの膜厚というのは、ビア電極及び配線の凹凸に左右されるので、層間絶縁層の厚さを一定にすることは難しい。また、このようなビア電極及び配線の凹凸の影響を緩和するために、ビア電極及び配線として選択的にめっきを析出させるフィルドビアめっきを用いることも考えられるが、ビア電極の径（ビアホール径）、配線の幅や厚み、及び、層間絶縁層の厚さ等から、ビア電極と配線とを平滑なめっきで同時に形成することは難しい。

先行技術文献

特許文献

[0012] 特許文献1：特開2020-107681号公報

発明の概要

発明が解決しようとする課題

[0013] このように、ビア電極及び配線を有する配線体を用いられる半導体パッケージ基板については、SAP又はMSAP等のこれまでの製造プロセス技術では、配線を微細化及び狭ピッチ化することが難しい。特に、微細化された配線の線幅はビア電極の径よりも小さいために、エッチングにより配線を形

成する際に配線の下部がオーバーエッチングによりアンダーカットされて、配線不良になってしまうことがある。

[0014] 本開示は、このような課題を解決するためになされたものであり、ビア電極及び配線を有する配線体及び実装基板において、配線を微細化及び狭ピッチ化することができる配線体及び実装基板等を提供することを目的とする。

課題を解決するための手段

[0015] 上記目的を達成するために、本開示に係る配線体の一態様は、導電体を有する基板の上に配置される配線体であって、前記基板の上に位置する絶縁層に形成されたビアホール内に設けられ、前記ビアホールを介して前記導電体に接続されたビア電極と、前記絶縁層を介して前記基板の上方に設けられた配線と、を備え、前記ビア電極における下部層と前記配線における下部層とは、異なる材料又は構造によって構成されている。

[0016] また、本開示に係る実装基板の一態様は、導電体を有する基板と、前記基板の上に位置し、上記の配線体と、を備える。

[0017] また、本開示に係る配線体の製造方法の一態様は、導電体を有する基板の上に配置される配線体の製造方法であって、前記基板の上に絶縁層を介して配線を配置する工程と、次いで、前記絶縁層の一部を除去することで前記導電体が露出するように前記絶縁層にビアホールを形成する工程と、次いで、露出した前記導電体及び前記配線を覆うようにシード膜を形成する工程と、次いで、前記導電体を覆う部分の前記シード膜が露出するように前記配線を覆う前記シード層の上に選択的にレジストを形成する工程と、次いで、露出させた前記シード膜の上にビア電極本体層を形成する工程と、次いで、前記レジストを除去した後に、前記配線を覆う部分の前記シード膜を除去する工程と、を含む。

[0018] また、本開示に係る実装基板の製造方法の一態様は、基板の上に配線体が配置された実装基板の製造方法であって、前記基板の上に配線体を配置する工程を含み、前記配線体は、上記の配線体の製造方法により製造される。

発明の効果

[0019] ピア電極及び配線を有する配線体及び実装基板等において、配線を微細化及び狭ピッチ化することができる。

図面の簡単な説明

[0020] [図1]図1は、実施の形態1に係る実装基板の配線体における1つの配線層の配線パターンの一例を示す平面図である。

[図2]図2は、図1のII-II線における実装基板のビア間配線部の断面図である。

[図3]図3は、図1のIII-III線における実装基板の層間接続部の断面図である。

[図4]図4は、実施の形態1に係る配線体及び実装基板1を製造する際に用いられる配線付き配線転写版の作製方法を説明するための図である。

[図5]図5は、配線転写版の作製方法を説明するための図である。

[図6A]図6Aは、配線転写版の変形例を示す断面図である。

[図6B]図6Bは、変形例に係る実装基板のビア間配線部の断面図である。

[図6C]図6Cは、変形例に係る実装基板の層間接続部の断面図である。

[図7]図7は、図4で作製された配線付き配線転写版を別の断面で切断したときの構成を示す図である。

[図8]図8は、実施の形態1に係る配線体の製造方法及び実装基板の製造方法を説明するための図（図2のビア間配線部に対応する部分の断面図）である。

[図9]図9は、実施の形態1に係る配線体の製造方法及び実装基板の製造方法を説明するための図（図3の層間接続部に対応する部分の断面図）である。

[図10]図10は、ビア電極及び配線を有する従来の実装基板の製造方法を説明するための図である。

[図11]図11は、実施の形態1に係る配線体の第1適用例を示す実装基板の断面図である。

[図12]図12は、実施の形態1に係る配線体の第2適用例を示す実装基板の断面図である。

[図13]図 1 3 は、実施の形態 1 に係る配線体の第 3 適用例を示す実装基板の断面図である。

[図14]図 1 4 は、実施の形態 2 に係る実装基板の断面図である。

[図15]図 1 5 は、実施の形態 2 に係る配線体の製造方法及び実装基板の製造方法を説明するための図である。

[図16]図 1 6 は、実施の形態 3 に係る実装基板の断面図である。

[図17]図 1 7 は、実施の形態 3 に係る配線体の製造方法及び実装基板の製造方法を説明するための図である。

[図18]図 1 8 は、実施の形態 4 に係る実装基板の断面図である。

[図19]図 1 9 は、配線体の製造方法及び実装基板の製造方法の変形例を説明するための図である。

[図20]図 2 0 は、配線転写版の製造方法の他の例を説明するための図である。

発明を実施するための形態

[0021] 以下、本開示の実施の形態について、図面を参照しながら説明する。なお、以下に説明する実施の形態は、いずれも本開示の一具体例を示すものである。したがって、以下の実施の形態で示される、数値、形状、材料、構成要素、構成要素の配置位置及び接続形態等は、一例であって本開示を限定する主旨ではない。よって、以下の実施の形態における構成要素のうち、本開示の最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

[0022] なお、各図は、模式図であり、必ずしも厳密に図示されたものではない。したがって、各図において縮尺などは必ずしも一致していない。また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡略化する。

[0023] (実施の形態 1)

まず、実施の形態 1 に係る配線体 3 0 及び実装基板 1 の構成について、図 1 ～図 3 を用いて説明する。図 1 は、実施の形態 1 に係る実装基板 1 の配線

体30における1つの配線層の配線パターンの一例を示す平面図である。図2は、図1のII-II線における同実装基板1のビア間配線部の断面図である。また、図3は、図1のIII-III線における同実装基板1の層間接続部の断面図である。

[0024] 実装基板1は、例えば半導体パッケージ基板であり、配線が形成された配線層を複数層備える。したがって、実装基板1は、図1に示すように、配線体30として、配線層間の配線を電氣的に接続するためのビア電極31と、その一つの配線層における配線である配線32とを備える。配線32は、ビア電極31に接続されている。図1に示すように、ビア電極31は、例えば配線32が延在する部分の端部に形成されるが、これに限らない。例えば、ビア電極31は、配線32の途中に形成されていてもよい。

[0025] また、各配線層において、ビア電極31及び配線32は、複数形成されている。一例として、実装基板1は、配線32が高密度に実装された小型の超高密度実装基板である。配線32は、例えば、 $L/S = 5/5\mu m$ 以下の微細配線である。このため、配線32は、2つのビア電極31の間を通過するように複雑な配線パターンで形成される。この場合、ビア電極間（ビアピッチ）は狭くなるので、狭いビア電極間に配線32を複数引き回すために、配線32は狭ピッチで形成されている。

[0026] 図2及び図3に示すように、実装基板1は、基板10と、基板10の上に位置する絶縁層20及び配線体30とを備える。上述のように、配線体30は、導電部材として、少なくともビア電極31と配線32とを備える。なお、絶縁層20は、配線体30の一部の構成要素であってもよい。

[0027] 基板10は、導電体11を有する。導電体11は、例えば、配線32とは別の配線層に形成された配線又は電極等である。一例として、基板10は、銅箔等で形成された配線を有する配線付き基板である配線基板であって、例えば、ビルドアップ基板、多層配線基板、両面配線基板、又は、片面配線基板等である。したがって、基板10には、導電体11として複数の配線等が単層又は複数層にわたって設けられている。なお、図2及び図3では、基板

10が有する導電体11のうち最表面層に形成された導電体11のみが模式的に示されている。

[0028] 本実施の形態において、実装基板1は超高密度実装基板であり、基板10としては、ビルドアップ基板が用いられている。なお、基板10は、ビルドアップ基板等の配線基板に限るものではなく、導電体11として配線又は電極等を有するものであれば、ICパッケージ基板であってもよいし、ICチップそのものであってもよい。

[0029] 絶縁層20は、基板10の上に形成されている。具体的には、絶縁層20は、基板10の表面層の導電体11を覆うように基板10の全体を覆っている。

[0030] また、絶縁層20は、基板10の導電体11と配線32との間に配置されている。したがって、絶縁層20は、層間絶縁層である。具体的には、図2及び図3に示すように、基板10の表面層の導電体11である配線が形成された配線層を第1配線層WL1とし、配線体30の配線32が形成された配線層を第2配線層WL2とすると、絶縁層20は、第1配線層WL1と第2配線層WL2との間の層間絶縁層である。

[0031] 絶縁層20には、ビアホール21が形成されている。ビアホール21は、基板10の導電体11の上に形成された貫通孔である。ビアホール21内にはビア電極31が形成されている。ビアホール21は、内側面が傾斜する傾斜面（テーパ面）となった円錐台形状である。したがって、ビアホール21の開口形状（上面視形状）は、円形であり、ビアホール21の断面形状は、台形である。なお、ビアホール21の形状は、四角錐台状等の角錐台形状であってもよいし、円柱状又は角柱状等であってもよい。

[0032] 絶縁層20は、絶縁材料によって構成されている。絶縁層20を構成する絶縁材料は、例えば絶縁樹脂である。この場合、絶縁層20を形成する際の絶縁樹脂材料は、紫外線硬化性樹脂等の光硬化性樹脂又は熱硬化性樹脂によって構成された流動性を有する液状の絶縁樹脂材料であってもよいし、熱硬化性樹脂又は熱可塑性樹脂によって構成されたフィルム状の絶縁樹脂からな

るプリプレグであってもよい。フィルム状の絶縁樹脂としては、絶縁樹脂シートを用いることができる。この場合、絶縁樹脂シートは、粘着性を有しているとよい。なお、絶縁層20を構成する絶縁材料は、絶縁樹脂等の有機絶縁材料に限るものではなく、シリコン酸化膜又はシリコン窒化膜等の無機絶縁材料であってもよい。

[0033] 配線体30は、導電体11を有する基板10の上に配置される。具体的には、配線体30のビア電極31は、基板10の導電体11の上に配置され、配線体30の配線32は、絶縁層20を介して基板10の上方に配置されている。具体的には、配線32は、絶縁層20の上に配置されている。図2に示すように、配線32は、絶縁層20を介して基板10の配線としての導電体11の上方に配置されるが、これに限らない。

[0034] 詳細は後述するが、配線32は、配線転写版を用いた転写法によって絶縁層20に形成される。なお、配線32の全部が絶縁層20の主面上に位置していなくてもよく、配線32の下部は絶縁層20内に位置していてもよい。

[0035] ビア電極31は、絶縁層20のビアホール21を介して基板10の導電体11に接続されている。ビア電極31は、絶縁層20を挟む上下の配線を接続するプラグである。具体的には、ビア電極31は、絶縁層20の直下に位置する第1配線層WL1の配線（導電体11）と絶縁層20の直上に位置する第2配線層WL2の配線（配線32）とを接続している。

[0036] ビア電極31は、少なくとも一部がビアホール21内に設けられている。具体的には、ビア電極31は、ビアホール21内に隙間なく埋め込まれている。また、ビア電極31は、ビアホール21の内部だけではなく、絶縁層20の主面から突出してはみ出すように形成されている。ビア電極31の絶縁層20の主面からの高さは、配線32の絶縁層20の主面からの高さよりも高い。

[0037] 図2に示すように、本実施の形態において、ビア電極31は、基板10の導電体11の上と絶縁層20の上とにわたって形成されている。つまり、ビア電極31は、絶縁層20のビアホール21の内部から絶縁層20の主面に

乗り上げるように形成されている。したがって、ビア電極 3 1 の絶縁層 2 0 からはみ出した部分の平面視の面積は、ビア電極 3 1 のビアホール 2 1 に埋め込まれている部分の最大径面積よりも大きい。

[0038] また、ビア電極 3 1 のビアホール 2 1 に埋め込まれている部分の形状は、ビアホール 2 1 の形状と同じである。したがって、本実施の形態において、ビア電極 3 1 のビアホール 2 1 に埋め込まれている部分の形状は、側面が傾斜する傾斜面（テーパ面）となった円錐台形状である。ビア電極 3 1 のビアホール 2 1 に埋め込まれている部分の最小径は、配線 3 2 の幅よりも大きい。

[0039] ビア電極 3 1 は、ビア電極 3 1 における下部層として設けられたシード層 3 1 a と、シード層 3 1 a の上に設けられたビア電極本体層 3 1 b とを有する。本実施の形態において、シード層 3 1 a は、ビア電極 3 1 の最下層である。

[0040] シード層 3 1 a は、ビアホール 2 1 内で基板 1 0 の導電体 1 1 の上に形成されている。具体的には、シード層 3 1 a は、導電体 1 1 に接するように導電体 1 1 の上面に形成されている。シード層 3 1 a は、ビアホール 2 1 内で導電体 1 1 の上から絶縁層 2 0 の内側面に沿って形成されている。

[0041] 本実施形態において、シード層 3 1 a は、絶縁層 2 0 の主面の上にまで形成されている。つまり、基板 1 0 の導電体 1 1 の上と絶縁層 2 0 の主面の上とにわたって形成されている。シード層 3 1 a の膜厚は、一定である。したがって、シード層 3 1 a は、ビアホール 2 1 内の導電体 1 1 から絶縁層 2 0 の主面に乗り上げるように形成されている。

[0042] シード層 3 1 a は、ビア電極本体層 3 1 b をめっき法やスパッタ法により形成するための導電材料からなるシード電極である。したがって、シード層 3 1 a は、電気抵抗が低い導電材料によって構成されているとよい。本実施の形態において、シード層 3 1 a は、例えば低抵抗材料である銅を含む金属材料によって構成された金属膜である。この場合、シード層 3 1 a は、銅のみによって構成されているのではなく、銅とニッケル等の他の金属とを含ん

でいてもよい。なお、シード層 3 1 a は、1 つのみの金属膜によって構成された単膜であってもよいし、複数の金属膜が積層された積層膜であってもよい。

[0043] ビア電極本体層 3 1 b は、シード層 3 1 a に積層されためっき膜である。本実施の形態において、ビア電極本体層 3 1 b は、電解めっき法により形成された電解めっき膜である。具体的には、ビア電極本体層 3 1 b は、銅によって構成された電解 Cu めっき膜である。

[0044] ビア電極本体層 3 1 b は、シード層 3 1 a の上に位置し且つビアホール 2 1 内を埋めるように形成されている。本実施形態において、ビア電極本体層 3 1 b は、絶縁層 2 0 の上にまで形成されている。具体的には、ビア電極本体層 3 1 b は、シード層 3 1 a の上において導電体 1 1 の上と絶縁層 2 0 の上にわたって形成されている。つまり、ビア電極本体層 3 1 b は、絶縁層 2 0 のビアホール 2 1 の内部から絶縁層 2 0 の主面に乗り上げるように形成されている。

[0045] ビア電極本体層 3 1 b は、ビア電極 3 1 の大部分を構成している。本実施の形態において、ビア電極本体層 3 1 b は、図 2 の断面視においてビア電極 3 1 の 9 0 % 以上を占めている。

[0046] 配線 3 2 は、配線 3 2 における下部層として設けられた密着層 3 2 a と、密着層 3 2 a の上に設けられた配線本体層 3 2 b とを有する。本実施の形態において、密着層 3 2 a は、配線 3 2 の最下層である。なお、密着層 3 2 a は、絶縁層 2 0 内に位置しているが、絶縁層 2 0 の主面に設けられていてもよい。

[0047] 配線 3 2 は、さらに、配線本体層 3 2 b の上に設けられた導電層 3 2 c を有する。つまり、配線 3 2 は、絶縁層 2 0 から離れる方向に、密着層 3 2 a 、配線本体層 3 2 b 及び導電層 3 2 c がこの順で積層された積層構造である。つまり、配線本体層 3 2 b は、密着層 3 2 a と導電層 3 2 c とに挟まれている。なお、配線本体層 3 2 b の下部と密着層 3 2 a は同じ線幅である。

[0048] 密着層 3 2 a は、配線 3 2 と絶縁層 2 0 とを密着させやすくするために設

けられている。つまり、密着層 3 2 a は、配線 3 2 と絶縁層 2 0 との密着性を高めるための機能又は構造を有する。本実施の形態において、密着層 3 2 a は、配線 3 2 と絶縁層 2 0 との密着性を高めるための構造として、微細凹凸構造を有する。密着層 3 2 a は、層全体が微小凹凸構造になっているが、これに限るものではないが、微小凹凸構造が密着層 3 2 a の一部である場合、微小凹凸構造は、密着層 3 2 a の絶縁層 2 0 側に形成されている。このように、微小凹凸構造を有する密着層 3 2 a を設けることで、アンカー効果によって密着層 3 2 a が絶縁層 2 0 に密着しやすくなる。

[0049] このような密着層 3 2 a の微小凹凸構造は、例えば高さが 5 0 0 n m 以下の針状の凹凸形状である。一例として、密着層 3 2 a は、銅を含む金属膜によって構成されている。この場合、密着層 3 2 a の微小凹凸構造は、銅及び／又は酸化銅によって構成されている。具体的には、銅表面に針状結晶を有する酸化銅を形成して粗化することで、微小凹凸構造を形成することができる。また、酸化銅を形成するのではなく、マイクロ粗化エッチングにより、銅表面をわずかにエッチングして表面を粗化することで、微小凹凸構造を形成してもよい。なお、密着層 3 2 a は、銅以外の金属元素によって構成されていてもよい。

[0050] 配線本体層 3 2 b は、導電層 3 2 c の下に積層されためっき膜である。本実施の形態において、配線本体層 3 2 b は、無電解めっき法により形成された無電解めっき膜である。具体的には、配線本体層 3 2 b は、銅によって構成された無電解 Cu めっき膜である。

[0051] このように、配線 3 2 の配線本体層 3 2 b とビア電極 3 1 のビア電極本体層 3 1 b とは、いずれも Cu めっき膜であるが、配線本体層 3 2 b は無電解 Cu めっき膜であり、ビア電極本体層 3 1 b は電解 Cu めっき膜である。したがって、ビア電極本体層 3 1 b と配線本体層 3 2 b とは、結晶粒径が異なる銅を含む。具体的には、電解 Cu めっき膜であるビア電極本体層 3 1 b を構成する銅の平均結晶粒径は、無電解めっき膜である配線本体層 3 2 b を構成する銅の平均結晶粒径よりも大きい。言い換えると、無電解めっき膜であ

る配線本体層 3 2 b を構成する銅の平均結晶粒径は、電解 Cu めっき膜であるビア電極本体層 3 1 b を構成する銅の平均結晶粒径よりも小さい。

[0052] また、配線 3 2 の配線本体層 3 2 b とビア電極 3 1 のビア電極本体層 3 1 b とは、いずれもめっき膜であるが、配線 3 2 は、下部層としてシード層を有していない。つまり、ビア電極 3 1 は、下部層としてシード層 3 1 a を有しているが、配線 3 2 は、下部層としてシード層を有していない。

[0053] 配線 3 2 の配線本体層 3 2 b は、配線 3 2 の大部分を構成している。本実施の形態において、配線本体層 3 2 b は、図 2 の断面視において配線 3 2 の 90% 以上を占めている。

[0054] 配線本体層 3 2 b の上に形成された導電層 3 2 c は、配線 3 2 の導電体の一部として機能するとともに、配線本体層 3 2 b を保護する保護層として機能する。つまり、導電層 3 2 c によって、シード膜をエッチングしてパターンニングしてビア電極 3 1 のシード層 3 1 a を形成する際に、配線本体層 3 2 b がエッチングされて膜減りすることを抑制できる。つまり、シード膜をエッチングする際に、配線本体層 3 2 b を導電層 3 2 c によって保護することができる。このように、導電層 3 2 c は、エッチング時に配線本体層 3 2 b を保護する保護層として機能する。

[0055] 導電層 3 2 c は、配線本体層 3 2 b と同様に無電解めっき膜である。ただし、導電層 3 2 c は、配線本体層 3 2 b とは異なる導電材料によって構成されている。本実施の形態において、配線本体層 3 2 b は、銅によって構成されているので、導電層 3 2 c は、銅以外の導電材料によって構成されている。例えば、導電層 3 2 c は、ニッケル (Ni)、パラジウム (Pd)、白金 (Pt)、銀 (Ag) のいずれかを含む材料によって構成されている。つまり、導電層 3 2 c は、これらのいずれかの材料を含む無電解めっき膜である。

[0056] 次に、本実施の形態に係る配線体 3 0 の製造方法及び実装基板 1 の製造方法について、図 4 ～図 9 を用いて説明する。図 4 は、実施の形態 1 に係る配線体 3 0 及び実装基板 1 を製造する際に用いられる配線付き配線転写版 2 0

0の作製方法を説明するための図である。図5は、配線転写版100の作製方法を説明するための図である。図6Aは、配線転写版の変形例を示す断面図である。図6Bは、変形例に係る実装基板のビア間配線部の断面図である。図6Cは、変形例に係る実装基板の層間接続部の断面図である。また、図7は、図4で作製された配線付き配線転写版200を別の断面で切断したときの構成を示す図である。図8及び図9は、実施の形態1に係る配線体30の製造方法及び実装基板1の製造方法を説明するための図である。なお、図8は、図2のビア間配線部に対応する部分の製造方法を示しており、図9は、図3の層間接続部に対応する部分の製造方法を示している。

[0057] 本実施の形態において、配線体30及び実装基板1は、配線転写版100を用いて作製される。配線転写版100は、他の部材（被転写部材）に転写するための配線（転写用配線）を所定のパターンで形成するための配線パターン版である。具体的には、本実施の形態における配線転写版100は、転写用配線として無電解めっき膜を形成するめっき用パターン版である。配線転写版100で形成された無電解めっき膜は、他の部材に転写される配線の少なくとも一部になる。

[0058] 以下に、配線転写版100を用いた配線体30及び実装基板1の製造方法について説明する。

[0059] まず、図4に示すように、配線転写版100を用いて、配線付き配線転写版200を予め作製しておく。配線付き配線転写版200は、配線転写版100に転写用配線が形成されたものである。つまり、配線付き配線転写版200は、転写用配線が形成された状態の配線転写版100である。本実施の形態における配線付き配線転写版200には、転写用配線として、実装基板1を構成する部材に転写するための配線32が形成される。

[0060] 具体的には、図4の(a)に示すように、配線転写版100を準備する。配線転写版100は、図5に示すようにして予め作製しておく。

[0061] ここで、配線転写版100の作製方法を図5を用いて説明する。

[0062] まず、図5の(a)に示すように、支持基板となる基材110の上にめっ

き母材層 130 が形成されためっき母材付き基材を受け入れる。基材 110 としては、ガラス基板又は金属基板等の剛性の高い基板を用いるとよい。本実施の形態では、基材 110 として、SUS からなる金属基板を用いた。また、めっき母材層 130 は、無電解めっき膜を形成するための触媒母材層である。めっき母材層 130 を構成するめっき母材としては、ニッケル (Ni)、パラジウム (Pd)、白金 (Pt)、クロム (Cr) 及び鉄 (Fe) 等の中から選ばれる 1 つ又は複数の材料を用いることができる。一例として、めっき母材層 130 は、ニッケル膜である。

[0063] その後、図 5 の (b) に示すように、めっき母材層 130 の上に、転写版絶縁層となる絶縁層 120 を形成する。絶縁層 120 としては、例えばフォトレジストを用いることができる。

[0064] その後、図 5 の (c) 及び (d) に示すように、フォトレジストである絶縁層 120 を露光及び現像することで、絶縁層 120 に複数の開口部 121 を形成してめっき母材層 130 を露出させる。つまり、絶縁層 120 は、めっき母材層 130 の上に開口部 121 を有するように基材 110 を覆っている。

[0065] その後、図 5 の (e) に示すように、ベイクを行う。これにより、配線転写版 100 が完成する。

[0066] なお、このようにして作製された配線転写版 100 において、めっき母材層 130 は離型層として機能するが、めっき母材層 130 に対してさらに離型性を付与する離型処理を行ってもよい。めっき母材層 130 に離型性を付与するとは、めっき母材層 130 の触媒反応効果を弱めることである。例えば、絶縁層 120 から露出するめっき母材層 130 に酸化処理を施すことで、めっき母材層 130 に離型性を付与することができる。めっき母材層 130 への離型処理は、酸化処理に限らない。

[0067] また、図 5 では、めっき母材層 130 は、連続膜としたが、これに限らない。例えば、図 6 A に示される配線転写版 100 A のように、めっき母材層 130 をパターンニングして分離して、開口部 121 ごとにめっき母材層 13

O Aが形成されていてもよい。

[0068] 次に、このようにして作製された配線転写版100を用いて、配線転写版100に、転写用配線となる配線32を形成する。

[0069] 具体的には、まず、図4の(b)及び(c)に示すように、無電解めっき法によりめっき母材層130の上に無電解めっき膜(無電解めっき層)を形成する。例えば、配線転写版100の絶縁層120の開口部121内において、めっき母材層130の触媒による触媒反応によって金属を析出して成長させることで、めっき母材層130の上に無電解めっき膜を形成する。このとき、めっき母材層130の上には、無電解めっき膜として、異なる材料からなる導電層32cと配線本体層32bとが積層される。この場合、本実施の形態では、めっき母材層130がニッケル膜であるので、めっき母材層130の上には、無電解Niめっき膜、無電解銀めっき膜、無電解Ptめっき膜又は無電解Pdめっき膜からなる導電層32cが形成され、導電層32cの上には無電解Cuめっき膜からなる配線本体層32bが積層される。また、導電層32cは、好ましくは無電解めっき膜である。導電層32cを無電解めっき膜とすることで、導電層32cを薄くかつ膜厚を均一に形成することができる。ただし、導電層32cは、無電解めっき膜ではなく、電解めっき膜であってもよい。

[0070] なお、導電層32cが無電解Ni膜又は無電解銀めっき膜である場合、後々の工程で配線体とする際に、無電解Ni膜又は無電解銀めっき膜はCuをほとんど浸食せずに除去することが可能であるために、配線体を容易にCuのみの構造にすることができる。無電解Ni膜が残存すると、一般的に無電解Ni膜はボロンやリンなどの物質を含むため抵抗が高く、配線体の配線抵抗が高くなる懸念がある。また、無電解Ni膜は磁性を持つ点も高周波特性等が劣化する懸念がある。また、銀はイオンマイグレーションを生じやすい金属のため信頼性の特性が劣化する懸念がある。そこで、導電層32cが無電解Ni膜又は無電解銀めっき膜である場合、導電層32cは除去してもよい。この場合、導電層32cを除去したときの変形例に係る実装基板の配線

体30Aについて、図1のII-II線に対応する実装基板のビア間配線部の断面図を図6Bに示すとともに、図1のIII-III線に対応する実装基板の層間接続部の断面図を図6Cに示す。図6Bに示すように、ビア電極31Aと配線32Aとの接続部には導電層32cが残存することになるが、導電層32cとして無電解Ni膜又は無電解銀めっき膜を用いた場合、無電解Ni膜又は無電解銀めっき膜と無電解Cu膜となるシード層31aとしては良好な接続特性を得ることができる。

[0071] 一方、導電層32cが無電解Pd膜又は無電解Pt膜である場合、無電解Pd膜又は無電解Pt膜は一般的には不純物をほとんど含まないため配線の表面抵抗を低く保つことができる上に、磁性を持たない点で高周波特性にも有利である。また、無電解Pd膜又は無電解Pt膜を構成するPd又はPtは、Cuと比較すると安定な金属であるためイオンマイグレーションを抑制するバリア層として機能させることも可能となる。

[0072] また、後述する実施の形態2のように、めっき母材層130の材料によっては、導電層32cを形成させることなく無電解Cuめっき膜からなる配線本体層32bのみを形成させることもできる。つまり、めっき母材層130には、少なくとも配線本体層32bが形成されていればよい。また、導電層32cは、好ましくは無電解めっき膜である。導電層32cを無電解めっき膜とすることで、導電層32cの膜厚を均一に形成することができる。ただし、導電層32cは、無電解めっき膜ではなく、電解めっき膜であってもよい。

[0073] 次に、図4の(d)に示すように、絶縁層120から露出する配線本体層32bの表面層に対して密着性を付与する密着処理を行う。配線本体層32bに密着性を付与することで、配線本体層32bの表面層が密着層32aとなる。例えば、絶縁層120から露出する配線本体層32bに粗化処理を施すことで、配線本体層32bの表面層を、微小凹凸構造を有する密着層32aにすることができる。これにより、図4の(d)に示すように、配線転写版100に配線32が形成された配線付き配線転写版200が完成する。な

お、層間接続部においては、配線付き配線転写版 200 は、図 7 に示されるような構造になる。

[0074] このように作製された配線付き配線転写版 200 は、配線 32 を他の部材に転写させることができる。つまり、無電解めっき膜である導電層 32c 及び配線本体層 32b と密着層 32a とは、他の部材に転写される転写用配線である配線 32 を構成している。

[0075] なお、配線付き配線転写版 200 の配線 32 を他の部材に転写した後の配線転写版 100 は、図 4 の (a) の状態に戻り、繰り返し用いることができる。つまり、配線転写版 100 は、再利用することができる。具体的には、図 4 の (b) ~ (d) に示すように、配線転写版 100 に無電解めっき膜を成膜して再び配線 32 を形成し、その配線 32 を他の部材に転写することができる。

[0076] そして、本実施の形態においては、この配線付き配線転写版 200 を用いることで配線体 30 及び実装基板 1 を作製している。以下、実装基板 1 のビア間配線部の断面を示す図 8 と、実装基板 1 の層間接続部の断面を示す図 9 とを用いて説明する。

[0077] まず、図 8 の (a) ~ (c) 及び図 9 の (a) ~ (c) に示すように、基板 10 の上に絶縁層 20 を介して配線 32 を配置する。本実施の形態において、配線 32 は、予め準備した配線付き配線転写版 200 を用いて転写法によって形成される。

[0078] 具体的には、図 8 の (a) 及び図 9 の (a) に示すように、導電体 11 を有する基板 10 を準備する。例えば、基板 10 として、最上層に導電体 11 として配線及び電極等が形成されたビルドアップ基板を準備する。

[0079] 次に、図 8 の (b) 及び図 9 の (b) に示すように、導電体 11 を有する基板 10 と配線付き配線転写版 200 との間に絶縁材料を配置して、基板 10 と配線付き配線転写版 200 との間に絶縁層 20 を形成する。

[0080] 具体的には、導電体 11 を有する基板 10 の上に絶縁層 20 となる絶縁材料を配置して、その絶縁材料の上に配線付き配線転写版 200 を配置する。

つまり、基板 10 と配線付き配線転写版 200 との間に絶縁層 20 の絶縁材料を挿入する。このとき、配線付き配線転写版 200 は、露出する配線 32 が絶縁層 20 側となるように配置する。

[0081] 例えば、絶縁層 20 の絶縁材料として流動性のある液状の絶縁樹脂材料を用いる場合、導電体 11 を有する基板 10 の上に液状の絶縁樹脂材料を塗布し、その上に配線付き配線転写版 200 を配置して液状の絶縁樹脂材料を硬化する。このとき、液状の絶縁樹脂材料が熱硬化性樹脂である場合は加熱又は乾燥することで硬化させ、液状の絶縁樹脂材料が光硬化性樹脂である場合は光を照射することで硬化させる。これにより、基板 10 と配線付き配線転写版 200 との間に絶縁層 20 を形成することができる。

[0082] また、絶縁層 20 の絶縁材料としてフィルム状の絶縁樹脂シートを用いる場合、導電体 11 を有する基板 10 の上にフィルム状の絶縁樹脂シートを配置し、その上に配線付き配線転写版 200 を配置して熱圧着する。このとき、配線付き配線転写版 200 が基板 10 に向けて押し付けられる。これにより、基板 10 と配線付き配線転写版 200 との間に絶縁層 20 を形成することができる。

[0083] 次に、図 8 の (c) 及び図 9 の (c) に示すように、配線付き配線転写版 200 に含まれる配線転写版 100 を絶縁層 20 から分離する。つまり、配線転写版 100 と絶縁層 20 とを分離する。これにより、配線付き配線転写版 200 の配線 32 がめっき母材層 130 (離型層) から離れて基板 10 側に転写される。具体的には、配線付き配線転写版 200 の配線 32 が絶縁層 20 に転写されて、絶縁層 20 に配線 32 が形成された状態になる。本実施の形態では、導電層 32c と配線本体層 32b と密着層 32a とが絶縁層 20 に転写される。

[0084] このとき、本実施の形態では、配線転写版 100 のめっき母材層 130 は離型性を有しているので配線 32 はめっき母材層 130 から容易に分離し、また、密着処理により配線 32 には密着層 32a が形成されているので密着層 32a が絶縁層 20 に密着しやすい。これにより、配線 32 を絶縁層 20

に容易に転写させることができる。

[0085] なお、絶縁層 20 の絶縁材料としてフィルム状の絶縁樹脂シートを用いる場合、絶縁樹脂シートは粘着性を有するとよい。これにより、配線 32 の密着層 32a が絶縁層 20 にさらに密着しやすくなるので、配線 32 を絶縁層 20 に一層容易に転写させることができる。

[0086] 次に、図 8 の (d) 及び図 9 の (d) に示すように、絶縁層 20 の一部を除去することで導電体 11 が露出するように絶縁層 20 にビアホール 21 を形成する。例えば、導電体 11 の上方からレーザを照射することで絶縁層 20 の一部を除去し、ビアホール 21 を形成することができる。このように、絶縁層 20 にビアホール 21 を形成することで、基板 10 の導電体 11 を露出させる。

[0087] 次に、図 8 の (e) 及び図 9 の (e) に示すように、露出させた導電体 11 及び配線 32 を覆うようにシード膜 35 を形成する。シード膜 35 は、露出する絶縁層 20 にも積層される。導電体 11 を覆うシード膜 35 は、ビア電極 31 のビア電極本体層 31b を電解めっき法により形成するためのシード電極であるが、このシード膜 35 を導電体 11 の上だけではなく配線 32 も覆うことで、以降の工程においてシード膜 35 を除去するまでシード膜 35 によって配線 32 を保護することができる。なお、シード膜 35 は、配線 32 の上部だけではなく配線 32 の側部も覆っている。このため、配線 32 の上部及び側部には、微量のシード膜 35 の成分 (Pd 等) が存在することになる。

[0088] 具体的には、デスミア処理をしてレーザ処理による絶縁層 20 の残渣を除去した後に、無電解めっき法又はスパッタにより、基板 10 の上方の全面にわたってシード膜 35 を形成する。したがって、シード膜 35 は、導電体 11 及び配線 32 の露出表面に形成されるだけではなく、露出する絶縁層 20 の露出表面にも形成される。

[0089] なお、本実施の形態において、シード膜 35 は、銅を含む金属材料によって構成された金属膜である。この場合、シード膜 35 は、銅のみによって構

成されている場合もあるが、銅とニッケル等の他の金属とを含んでいる場合もある。

[0090] 次に、図8の（f）及び図9の（f）に示すように、導電体11を覆う部分のシード膜35が露出するように、配線32を覆う部分のシード膜35の上に選択的にレジスト40を形成する。具体的には、レジスト40には、導電体11の上方に開口部41が形成されている。レジスト40としては、例えば、ドライフィルムレジスト（DFR）を用いることができる。

[0091] 次に、図8の（g）及び図9の（g）に示すように、露出させたシード膜35の上にビア電極本体層31bを形成する。具体的には、レジスト40の開口部41内を埋めるようにしてビア電極本体層31bを形成する。本実施の形態では、ビア電極本体層31bとして、電解めっき法により開口部41のシード膜35の上に電解めっき膜を形成する。一例として、ビア電極本体層31bは、電解Cuめっき膜である。

[0092] このとき、図9の（g）に示すように、層間接続部においては、ビア電極本体層31bの一部は、配線32の端部の上に乗り上げるように形成される。具体的には、ビア電極本体層31bの一部は、配線32に積層されたシード膜35の上に形成される。

[0093] 次に、図8の（h）及び図9の（h）に示すように、レジスト40を除去する。具体的には、ドライフィルムレジストであるレジスト40を剥離する。これにより、レジスト40で覆われていた部分のシード膜35が露出する。

[0094] 次に、図8の（i）及び図9の（i）に示すように、配線32を覆う部分のシード膜35を除去する。具体的には、露出するシード膜35をエッチング液を用いてエッチングにより除去する。このとき、シード膜35と配線32の導電層32cとが異なる導電材料によって構成されているので、導電層32cをエッチングさせることなくシード膜35を選択的にエッチングさせることができる。このようにシード膜35をエッチングすることで、ビア電極本体層31bの下のシード膜35のみが残って、このシード膜35がシ-

ド層 3 1 a となり、シード層 3 1 a とビア電極本体層 3 1 b とが積層されたビア電極 3 1 を形成することができる。

[0095] このようにして、ビア電極 3 1 及び配線 3 2 を有する配線体 3 0 が形成されるとともに、配線体 3 0 を有する実装基板 1 を作製することができる。つまり、導電体 1 1 を有する基板 1 0 の上に配線体 3 0 を作製することができるとともに、基板 1 0 の上に配線体 3 0 が配置された実装基板 1 を作製することができる。

[0096] ここで、本実施の形態に係る配線体 3 0 の製造方法及び実装基板 1 の製造方法の特徴について、図 1 0 を用いて、従来の実装基板 1 X の製造方法と比較して説明する。図 1 0 は、ビア電極 3 1 X 及び配線 3 2 X を有する従来の実装基板 1 X の製造方法を説明するための図であり、一般的なセミアディティブ法（SAP 法）を示している。

[0097] 従来の実装基板 1 X の製造方法では、まず、図 1 0 の（a）に示すように、導電体 1 1 を有する基板 1 0 の上に絶縁層 2 0 を形成し、次に、図 1 0 の（b）に示すように、絶縁層 2 0 の一部をレーザで除去することで導電体 1 1 の上にビアホール 2 1 を形成し、導電体 1 1 を露出させる。

[0098] 次に、デスミア処理を行った後に、図 1 0 の（c）に示すように、無電解めっき法により基板 1 0 の上方の全面にわたって無電解めっき膜からなるシード膜 3 5 X を形成する。これにより、露出させた導電体 1 1 の上にシード膜 3 5 X が形成される。

[0099] 次に、図 1 0 の（d）に示すように、開口部 4 1 X 及び 4 2 X を有するレジスト 4 0 X を形成する。開口部 4 1 X は、ビア電極 3 1 X に対応する部分に形成され、開口部 4 2 X は、配線 3 2 X に対応する部分に形成される。なお、レジスト 4 0 X としては、ドライフィルムレジストを用いることができる。

[0100] 次に、図 1 0 の（e）に示すように、電解めっき法により開口部 4 1 X 及び 4 2 X 内のシード膜 3 5 X 上に電解めっき膜を形成する。これにより、開口部 4 1 X 内の導電体 1 1 を覆うシード膜 3 5 X の上にはビア電極本体層 3

1 bとなる電解めっき膜が形成され、開口部4 2 X内のシード膜3 5 Xの上には配線本体層3 2 bとなる電解めっき膜が形成される。つまり、ビア電極本体層3 1 bと配線本体層3 2 bとが同時に形成される。なお、ビア電極本体層3 1 b及び配線本体層3 2 bは、例えば銅によって構成された電解Cuめっき膜である。

[0101] 次に、図10の(f)に示すように、レジスト40Xを除去して、シード膜35Xを露出させる。

[0102] 次に、露出したシード膜35Xをエッチングにより除去する。これにより、図10の(g)に示されるように、ビア電極本体層31bの下のシード膜35Xが残ってこのシード膜35Xがシード層31aとなり、ビア電極31Xが形成される。また、配線本体層32bの下のシード膜35Xが残ってこのシード膜35Xがシード層35aとなり、配線32Xが形成される。

[0103] このようにして、ビア電極31Xと配線32Xとを有する実装基板1Xを作製することができる。

[0104] しかしながら、配線32Xの線幅がビア電極31Xの径よりも小さいために、従来の実装基板1Xの製造方法では、図10の(g)に示すように、露出するシード膜35を除去する工程において、配線32Xの下部層がオーバーエッチングによりアンダーカットされてしまう。つまり、シード膜35Xをエッチングする時に配線32Xの下部層の線幅が減少してしまう。具体的には、配線32Xのシード層35aがアンダーカットされて線幅が減少する。この結果、配線32Xに配線不良が生じることがある。このため、従来の実装基板1の製造方法では、配線32Xを微細化することが難しい。この場合、配線32Xの下部がアンダーカットされないようにシード膜35Xの膜厚を薄くすることも考えられるが、ビア電極31Xの接続信頼性を維持するには、シード膜35Xの膜厚を薄くすることはできない。

[0105] これに対して、本実施の形態に係る配線体30では、上記のように、ビア電極31における下部層と配線32における下部層とは、異なる材料又は構造によって構成されている。本実施の形態において、ビア電極31における

下部層はシード層 3 1 a であり、配線 3 2 における下部層は密着層 3 2 a であり、シード層 3 1 a と密着層 3 2 a とが異なる材料又は構造によって構成されている。この場合、本実施の形態では、シード層 3 1 a 及び密着層 3 2 a は、いずれも銅を含んでいるが、異なる材料又は構造によって構成されている。つまり、シード層 3 1 a と密着層 3 2 a とは、同じ金属元素として銅を含む金属膜であるが、シード層 3 1 a 及び密着層 3 2 a の少なくとも一方は、銅以外の金属元素を含む金属膜によって構成を含むか又は銅の表面が微細な凹凸構造を有するように形成されており、シード層 3 1 a と密着層 3 2 a とは、異なる材料又は構造によって構成されている。

[0106] このように、本実施の形態では、配線 3 2 の下部層が密着層 3 2 a になっており、配線 3 2 は、ビア電極 3 1 とは異なり、下部層としてシード層を有していない。一方、ビア電極 3 1 の下部層には、密着層が存在しない。

[0107] これにより、図 8 の (i) 及び図 9 の (i) に示すように、シード膜 3 5 をエッチング液によりエッチングしてビア電極 3 1 の下部層となるシード層 3 1 a をパターンニングする際に、そのエッチングによって配線 3 2 の下部層がアンダーカットされてしまうことを抑制できる。これにより、配線 3 2 の下部層の線幅が減少することを抑制できる。

[0108] したがって、本実施の形態に係る配線体 3 0 及び実装基板 1 によれば、ビア電極 3 1 を有していても、配線 3 2 を微細化及び狭ピッチ化することができる。

[0109] また、本実施の形態における配線体 3 0 の製造方法及び実装基板 1 の製造方法は、基板 1 0 の上に絶縁層 2 0 を介して配線 3 2 を配置する工程と、次いで、絶縁層 2 0 の一部を除去することで基板 1 0 の導電体 1 1 が露出するように絶縁層 2 0 にビアホール 2 1 を形成する工程と、次いで、露出させた導電体 1 1 及び配線 3 2 を覆うようにシード膜 3 5 を形成する工程と、次いで、導電体 1 1 を覆う部分のシード膜 3 5 が露出するように配線 3 2 を覆うシード膜 3 5 の上に選択的にレジスト 4 0 を形成する工程と、次いで、露出させたシード膜 3 5 の上にビア電極本体層 3 1 b を形成する工程と、次いで

、レジスト40を除去した後に、配線32を覆うシード膜35を除去する工程とを含む。

[0110] これにより、配線32をシード膜35で保護してビア電極本体層31bを形成することができるので、ビア電極31を有する配線体30及び実装基板1であっても、配線32を微細化及び狭ピッチ化できる。例えば、微細化及び狭ピッチ化した配線32とビア電極31とを同一の配線層に作り込むことができる。

[0111] また、本実施の形態において、配線32は、配線32における下部層として設けられ、微細凹凸構造を有する密着層32aと、この密着層32aの上に設けられた配線本体層32bとを有する。

[0112] このように、配線32に密着層32aを設けることで、配線32と絶縁層20との密着性を十分に確保することができる。

[0113] また、本実施の形態において、配線32は、さらに、配線本体層32bの上に設けられた導電層32cを有しており、導電層32cは、配線本体層32bとは異なる導電材料によって構成されている。

[0114] これにより、シード膜35をエッチングしてビア電極31のシード層31aをパターンニングする際に、導電層32cによって配線本体層32bを保護することができる。つまり、シード膜35と配線本体層32bとのエッチングレート差を用いた選択エッチングが可能になる。これにより、シード膜35をエッチングする時の膜減りによって配線32の線幅が変化することを抑制することができる。

[0115] また、本実施の形態において、配線32は、転写法によって形成される。具体的には、配線転写版100を用いて配線32を形成している。

[0116] これにより、被転写部材である基板10の表面（被転写面）に配線又は電極等の凹凸があっても、微細な配線32を精度よく形成することができる。つまり、フォトリソグラフィ法で配線を形成する場合に配線を形成する部分の表面に凹凸が存在すると、フォーカスがずれてしまって微細な配線を精度よく形成することができないが、本実施の形態のように、転写法で配線32

を形成することで、配線 3 2 を形成する部分の表面に凹凸があつて平坦性が良くない場合であっても、その凹凸を吸収することができるので、微細な配線 3 2 を精度よく形成することができる。

[0117] しかも、配線転写版 1 0 0 の基材 1 1 0 としてガラス基板又は金属基板の剛性の高いものを用いることで、高い位置合わせ精度で配線 3 2 を形成することができる。

[0118] また、本実施の形態において、ビア電極本体層 3 1 b と配線本体層 3 2 b とは、結晶粒径が異なる銅を含んでいる。

[0119] これにより、低抵抗以外に要求される特性に応じてビア電極本体層 3 1 b と配線本体層 3 2 b とを異なる製法で形成することができる。例えば、ビア電極本体層 3 1 b と配線本体層 3 2 b とを異なるめっき法により形成することができる。

[0120] この場合、ビア電極 3 1 のビア電極本体層 3 1 b は、電解めっき法により形成された電解めっき膜であり、断面視においてビア電極 3 1 の 9 0 % 以上を占めている。

[0121] このように、ビア電極本体層 3 1 b を比較的到低応力の電解めっき膜とすることで、ビア電極 3 1 に内部応力によるめっき剥がれやクラックが発生することを抑制できる。

[0122] 一方、配線 3 2 の配線本体層 3 2 b は、無電解めっき法により形成された無電解めっき膜であり、断面視において配線 3 2 の 9 0 % 以上を占めている。

[0123] このように無電解めっき法を用いることで、大面積でありながら膜厚が均一な複数の配線 3 2 を容易に形成することができる。これにより、膜厚の均一性が高くて均一な配線抵抗を有する複数の配線 3 2 を形成することができる。つまり、全領域で均一な配線抵抗を有する配線 3 2 を備える配線体 3 0 及び実装基板 1 を実現することができる。

[0124] また、本実施の形態における配線 3 2 の線幅は、 $5\ \mu\text{m}$ 以下であるとよく、より好ましくは $2\ \mu\text{m}$ 以下である。配線 3 2 をこのような微細配線にする

ことで、ビア間配線部に多数の微細配線を通すことができ、少ない数の配線層で高密度実装が可能になる。さらに、本実施の形態における配線32の厚みのばらつきは、 $\pm 10\%$ 以下又は $\pm 1\mu\text{m}$ 以下である。このような厚みばらつきで微細配線である配線32を形成することで、特性インピーダンスのばらつきを抑制することが可能となる。

[0125] また、このようにして作製された配線体30は、半導体パッケージ基板における配線層又は再配線層（RDL）として用いることができる。

[0126] 例えば、図11に示すように、配線体30は、2.1D半導体パッケージ基板(有機インターポーザ)である実装基板1Aにおける再配線層として用いることもできるし、図12に示すように、配線体30は、2.3D半導体パッケージ基板(有機インターポーザ)である実装基板1Bにおける再配線層として用いることができる。図11及び図12において、基板10は、ビルドアップ基板である。

[0127] また、図13に示すように、配線体30は、2.5D半導体パッケージ基板（Si又はGlassインターポーザ）である実装基板1Cにおける再配線層として用いることができる。

[0128] その他に、配線体30は、FO-WLP（Fan Out-Wafer Level Package）である実装基板における再配線層として用いることもできる。

[0129] なお、図11～図13に示される実装基板1A、1B、1Cは、以下の実施の形態2、3にも適用することができる。

[0130] その他に、配線体30は、再配線層ではなく、一般的なビルドアップ基板のビルドアップ層（配線層）そのものにも適用することもできる。例えば、配線体30は、図11～図13に示されるビルドアップ基板である基板10の配線層に適用することができる。これにより、従来では形成が困難であった $5\mu\text{m}$ 以下の微細な配線32を形成する形態が実現できるので、インターポーザ又は再配線層が不要な半導体パッケージ基板を得ることができる。さらに、このような構造にすることで、インダクタ又はコンデンサなどのコア

に形成される電子部品から半導体への配線距離が短くなるため電気的特性が向上する上、インターポーザ又は再配線層が不要となるため、安価な半導体パッケージとすることができる。

[0131] (実施の形態2)

次に、実施の形態2に係る配線体30D及び実装基板1Dについて、図14を用いて説明する。図14は、実施の形態2に係る実装基板1Dの断面図である。

[0132] 上記実施の形態1における配線32は、配線本体層32bの上に導電層32cが形成されていたが、図14に示すように、本実施の形態に係る配線体30D及び実装基板1Dにおける配線32Dは、配線本体層32bの上に導電層32cが形成されていない。具体的には、配線32Dは、密着層32a及び配線本体層32bのみによって構成されている。

[0133] また、上記実施の形態1における配線体30及び実装基板1では、ビア電極31のシード層31aと配線32の配線本体層32bとは同じ金属を含んでいたが、本実施の形態に係る配線体30D及び実装基板1Dでは、ビア電極31Dのシード層31aDと配線32Dの配線本体層32bとは、異なる種類の金属を含んでいる。具体的には、上記実施の形態1において、シード層31aと配線本体層32bとは、いずれも銅を含む金属膜であるが、本実施の形態において、配線本体層32bは、銅のみによって構成された金属膜であるが、シード層31aDは、銅以外の金属を含む金属膜である。つまり、本実施の形態において、配線32Dの配線本体層32bは、上記実施の形態1と同じであるが、ビア電極31Dのシード層31aDは、上記実施の形態1とは異なり、銅以外の金属を含んでいる。

[0134] なお、配線32Dが導電層32cを有していないことと、シード層31aDと配線本体層32bとが異なる種類の金属を含んでいることと以外は、本実施の形態に係る配線体30D及び実装基板1Dは、上記実施の形態1に係る配線体30及び実装基板1と同じである。

[0135] このように構成される配線体30D及び実装基板1Dは、図15に示され

る方法で製造される。図15は、実施の形態2に係る配線体30Dの製造方法及び実装基板1Dの製造方法を説明するための図である。

[0136] 本実施の形態でも、配線転写版100に配線32Dが形成された配線付き配線転写版200Dを用いている。つまり、本実施の形態においても、配線32Dは、予め準備した配線付き配線転写版200Dを用いて転写法によって形成される。ただし、配線付き配線転写版200Dにおいて、配線32Dは、導電層32cを有していない。具体的には、配線32Dは、配線本体層32bと密着層32aとによって構成されている。

[0137] まず、図15の(a)～(c)に示すように、基板10の上に絶縁層20を介して配線32Dを配置する。本実施の形態においても、配線32Dは、転写法によって形成される。

[0138] 具体的には、図15の(a)に示すように、図8の(a)の工程と同様に、導電体11を有する基板10を準備する。

[0139] 次に、図15の(b)に示すように、図8の(b)の工程と同様に、導電体11を有する基板10と配線付き配線転写版200Dとの間に絶縁材料を配置して、基板10と配線付き配線転写版200Dとの間に絶縁層20を形成する。

[0140] 次に、図15の(c)に示すように、図8の(c)の工程と同様に、配線付き配線転写版200Dに含まれる配線転写版100を絶縁層20から分離する。これにより、配線付き配線転写版200Dの配線32Dがめっき母材層130から離れて基板10側に転写される。具体的には、配線付き配線転写版200Dの配線32Dは、絶縁層20に転写されて絶縁層20の上に形成された状態になる。本実施の形態では、配線本体層32bと密着層32aとが絶縁層20に転写される。

[0141] 次に、図15の(d)に示すように、図8の(d)の工程と同様に、レーザーにより絶縁層20にビアホール21を形成して基板10の導電体11を露出させる。

[0142] 次に、図15の(e)に示すように、図8の(e)の工程と同様に、露出

させた導電体 1 1 及び配線 3 2 D を覆うようにシード膜 3 5 D を形成する。シード膜 3 5 D は、配線本体層 3 2 b と異なる種類の金属を含んでいる。具体的には、配線本体層 3 2 b は、銅のみによって構成されているが、シード膜 3 5 D は、銅以外の金属を含んでいる。

[0143] 次に、図 1 5 の (f) に示すように、図 8 の (f) の工程と同様に、導電体 1 1 を覆う部分のシード膜 3 5 D が露出するように配線 3 2 D を覆うシード膜 3 5 D の上に選択的にレジスト 4 0 を形成する。

[0144] 次に、図 1 5 の (g) に示すように、図 8 の (g) の工程と同様に、露出させたシード膜 3 5 D の上にビア電極本体層 3 1 b を形成する。具体的には、レジスト 4 0 の開口部 4 1 内を埋めるようにしてビア電極本体層 3 1 b を形成する。本実施の形態でも、ビア電極本体層 3 1 b は、電解めっき法により開口部 4 1 のシード膜 3 5 D に積層された電解めっき膜である。具体的には、ビア電極本体層 3 1 b は、電解 Cu めっき膜である。

[0145] 次に、図 1 5 の (h) に示すように、図 8 の (h) の工程と同様に、レジスト 4 0 を除去する。これにより、レジスト 4 0 で覆われていた部分のシード膜 3 5 D が露出する。

[0146] 次に、図 1 5 の (i) に示すように、図 8 の (i) の工程と同様に、配線 3 2 D を覆う部分のシード膜 3 5 D を除去する。具体的には、露出するシード膜 3 5 D をエッチング液を用いてエッチングにより除去する。

[0147] このとき、本実施の形態では、配線 3 2 D の配線本体層 3 2 b は、シード膜 3 5 D と異なる金属を含んでいるので、配線本体層 3 2 b をエッチングさせることなくシード膜 3 5 D を選択的にエッチングさせることができる。このようにシード膜 3 5 D をエッチングすることで、ビア電極本体層 3 1 b の下のシード膜 3 5 D のみが残ってこのシード膜 3 5 D がシード層 3 1 a D となる。これにより、シード層 3 1 a D とビア電極本体層 3 1 b とが積層されたビア電極 3 1 D を形成することができる。

[0148] このようにして、ビア電極 3 1 D 及び配線 3 2 D を有する配線体 3 0 D が形成されるとともに、配線体 3 0 D を有する実装基板 1 D を作製することが

できる。つまり、導電体 11 を有する基板 10 の上に配線体 30D を作製することができるとともに、基板 10 の上に配線体 30D が配置された実装基板 1D を作製することができる。

[0149] このように、本実施の形態に係る配線体 30D でも、上記実施の形態に係る配線体 30 と同様に、ビア電極 31D における下部層と配線 32D における下部層とが異なる導電材料によって構成されている。具体的には、本実施の形態でも、ビア電極 31D における下部層であるシード層 31aD と、配線 32D における下部層である密着層 32a とが異なる導電材料によって構成されている。また、本実施の形態でも、配線 32D の下部層が密着層 32a になっており、配線 32D は、下部層としてシード層を有していない。また、ビア電極 31D の下部層には、密着層が存在しない。

[0150] これにより、シード膜 35D をエッチングしてパターニングすることでビア電極 31D の下部層となるシード層 31aD を形成する際に、そのエッチングによって配線 32D の下部層がアンダーカットされることを抑制できるので、配線 32D の下部層の線幅が減少することを抑制できる。

[0151] したがって、本実施の形態に係る配線体 30D 及び実装基板 1D においても、配線 32D を微細化及び狭ピッチ化することができる。

[0152] また、本実施の形態では、配線 32D が導電層 32c を有しておらず、シード膜 35D をエッチングする際に配線本体層 32b が導電層 32c で保護されていないが、シード膜 35D と配線本体層 32b とが異なる種類の金属によって構成されているので、シード膜 35D と配線本体層 32b とのエッチングレート差を用いた選択エッチングが可能となる。つまり、配線本体層 32b の上に導電層 32c が形成されていないが、シード層 31aD をエッチング液でエッチングする際に、配線本体層 32b がエッチング液で除去されないようにすることができる。これにより、シード膜 35D をエッチングする時の膜減りによって配線 32D の線幅が変化することを抑制することができる。

[0153] なお、本実施の形態において、配線 32D は、導電層 32c を有していな

かったが、配線 3 2 D は、導電層 3 2 c を有していてもよい。

[0154] (実施の形態 3)

次に、実施の形態 3 に係る配線体 3 0 E 及び実装基板 1 E について、図 1 6 を用いて説明する。図 1 6 は、実施の形態 3 に係る実装基板 1 E の断面図である。

[0155] 上記実施の形態 1 において、ビア電極 3 1 は、シード層 3 1 a と、シード層 3 1 a に積層された電解めっき膜であるビア電極本体層 3 1 b とによって構成されていたが、これに限らない。

[0156] 具体的には、図 1 6 に示すように、本実施の形態に係る配線体 3 0 E 及び実装基板 1 E では、ビア電極 3 1 E は、1 つの金属体のみによって構成されている。例えば、ビア電極 3 1 E は、銀ペースト等の導電ペーストによって形成されている。

[0157] なお、ビア電極 3 1 E の構成以外は、本実施の形態に係る配線体 3 0 E 及び実装基板 1 E は、上記実施の形態 1 に係る配線体 3 0 及び実装基板 1 と同じである。

[0158] このように構成される配線体 3 0 E 及び実装基板 1 E は、図 1 7 に示される方法で製造される。図 1 7 は、実施の形態 3 に係る配線体 3 0 E の製造方法及び実装基板 1 E の製造方法を説明するための図である。

[0159] 本実施の形態でも、配線転写版 1 0 0 に配線 3 2 が形成された配線付き配線転写版 2 0 0 を用いている。つまり、本実施の形態においても、配線 3 2 は、予め準備した配線付き配線転写版 2 0 0 を用いて転写法によって形成される。

[0160] まず、図 1 7 の (a) ~ (c) に示すように、基板 1 0 の上に絶縁層 2 0 を介して配線 3 2 を配置する。本実施の形態において、図 1 7 の (a) ~ (c) の工程は、図 8 の (a) ~ (c) の工程と同じである。

[0161] 次に、図 1 7 の (d) に示すように、図 8 の (d) の工程と同様に、レーザーにより絶縁層 2 0 にビアホール 2 1 を形成して基板 1 0 の導電体 1 1 を露出させる。

[0162] 次に、図 17 の (e) に示すように、露出させた導電体 11 を覆うようにビア電極 31E を形成する。具体的には、導電ペーストを塗布することで、ビア電極 31E を形成する。

[0163] このようにして、ビア電極 31E 及び配線 32 を有する配線体 30E が形成されるとともに、配線体 30E を有する実装基板 1E を作製することができる。つまり、導電体 11 を有する基板 10 の上に配線体 30E を作製することができるとともに、基板 10 の上に配線体 30E が配置された実装基板 1E を作製することができる。

[0164] このように、本実施の形態に係る配線体 30E では、上記実施の形態に係る配線体 30 と同様に、ビア電極 31E における下部層と配線 32 における下部層とが異なる導電材料によって構成されている。具体的には、本実施の形態では、ビア電極 31E における下部層は、導電ペーストで構成されたビア電極 31E の一部であって、配線 32 における下部層である密着層 32a とは、異なる導電材料によって構成されている。

[0165] このように、ビア電極 31E にはシード層がないので、ビア電極 31E を形成する際に、シード層をエッチングする必要がない。このため、シード層をエッチングする際に配線 32 の下部層がアンダーカットされないので、配線 32 の下部層の線幅が減少することがない。

[0166] したがって、本実施の形態に係る配線体 30E 及び実装基板 1E においても、配線 32 を微細化及び狭ピッチ化することができる。

[0167] (実施の形態 4)

次に、実施の形態 4 に係る配線体 30F 及び実装基板 1F について、図 18 を用いて説明する。図 18 は、実施の形態 4 に係る実装基板 1F の断面図である。

[0168] 上記実施の形態 1 において、配線 32 は、微小凹凸構造を有する密着層 32a と、Cu の無電解めっき膜である配線本体層 32b と、Cu の無電解めっき膜である導電層 32c (保護層) とによって構成されていたが、これに限らない。

[0169] 具体的には、図 18 に示すように、本実施の形態に係る配線体 30F 及び実装基板 1F では、配線 32F は、保護層である導電層 32c を有しておらず、密着層 32aF と配線本体層 32bF とによって構成されている。

[0170] また、本実施の形態において、密着層 32aF は、酸化銅処理等によって微小凹凸構造を形成したものではなく、有機系密着処理によって有機系薄膜を形成したものになっている。例えば、絶縁層 20 を構成する樹脂との密着力が高い有機成分を配線本体層 32bF を構成する銅の表面に導入することで、密着層 32aF として、絶縁層 20 を構成する樹脂と化学結合した有機成分と配線本体層 32bF を構成する銅と化学結合した有機成分とからなる有機系薄膜を形成することができる。酸化銅処理によって密着層 32a を形成すると、酸化銅が酸に弱いためにエッチング時に配線 32 が剥がれるという不具合が生じるおそれがあるが、本実施の形態のように、有機系密着処理によって密着層 32aF を形成することで、このような不具合が生じることを抑制できる。

[0171] また、本実施の形態において、配線本体層 32bF は、無電解めっき膜ではなく、電気めっき膜である。具体的には、配線本体層 32bF は、銅からなる電気めっき膜である。

[0172] また、密着層 32aF と配線本体層 32bF との間に、無電解めっき膜からなる別の層が挿入されていてもよい。この場合、電気めっき膜と無電解めっき膜とはエッチング選択性があるため、保護層としての導電層 32c が不要になる。

[0173] なお、配線 32F の構成以外は、本実施の形態に係る配線体 30F 及び実装基板 1F は、上記実施の形態 1 に係る配線体 30 及び実装基板 1 と同じである。また、本実施の形態は、上記実施の形態 1 だけではなく、上記実施の形態 2、3 にも適用することができる。

[0174] (変形例)

以上、本開示に係る配線体及び実装基板等について、実施の形態に基づいて説明したが、本開示は、上記実施の形態 1～3 に限定されるものではない

。

[0175] 例えば、上記実施の形態1では、ビア電極31のシード層31aを形成する場合、配線32を覆うシード膜35をエッチング液でエッチングすることでシード層31aを形成したが、これに限らない。具体的には、リフトオフ法によってビア電極31のシード層31aを形成してもよい。この方法について、図19を用いて説明する。

[0176] まず、図19の(a)～(c)に示すように、基板10の上に絶縁層20を介して配線32を配置する。本変形例において、図19の(a)～(c)の工程は、図8の(a)～(c)の工程と同じである。

[0177] 次に、図19の(d)に示すように、図8の(d)の工程と同様にして、レーザにより絶縁層20にビアホール21を形成して基板10の導電体11を露出させる。

[0178] 次に、図19の(e)に示すように、露出させた導電体11の上方に開口部41Aを有するようにレジスト40Aを形成して配線32をレジスト40Aで覆う。

[0179] 次に、図19の(f)に示すように、シード膜35を基板10の上方の全面に形成する。このとき、レジスト40Aには開口部41Aが形成されているので、シード膜35は、導電体11の上とレジスト40Aの上とに分離して形成される。

[0180] 次に、図19の(g)に示すように、レジスト40Aを除去する。これにより、レジスト40Aの上のシード膜35がリフトオフによって除去され、導電体11の上にのみシード膜35が残ることになる。そして、この残ったシード膜35がビア電極31のシード層31aになる。

[0181] 次に、図19の(h)に示すように、シード層31aの上にビア電極本体層31bを形成する。具体的には、電解めっき法により電解めっき膜からなるビア電極本体層31bを形成する。具体的には、ビア電極本体層31bは、電解Cuめっき膜である。

[0182] このようにして、ビア電極31及び配線32を有する配線体30が形成さ

れるとともに、配線体 30 を有する実装基板 1 を作製することができる。つまり、導電体 11 を有する基板 10 の上に配線体 30 を作製することができるとともに、基板 10 の上に配線体 30 が配置された実装基板 1 を作製することができる。なお、本変形例は、上記実施の形態 2 にも適用することができる。

[0183] また、上記実施の形態 1～4 では、配線転写版 100 における転写版絶縁層となる絶縁層 120 はレジストであったが、これに限らない。例えば、絶縁層 120 は、 SiO_2 等の無機材料からなる絶縁性樹脂材料であってもよい。この場合、図 20 に示される方法で、絶縁層 120B を有する配線転写版 100B を作製することができる。

[0184] まず、図 20 の (a) に示すように、支持基板となる基材 110 の上にめっき母材層 130 が形成されためっき母材付き基材を受け入れる。その後、図 20 の (b) に示すように、めっき母材層 130 の上に SiO_2 からなる絶縁層 120B (転写版絶縁層) を形成する。その後、図 20 の (c) に示すように、絶縁層 120 の上にレジスト 140 を形成する。その後、図 20 の (d) に示すように、レジスト 140 を露光及び現像する等して、レジスト 140 をパターンニングしてレジスト 140 に開口部 141 を形成し、絶縁層 120 を露出させる。次に、図 20 の (e) に示すように、開口部 141 を有するレジスト 140 をマスクにしてプラズマエッチングを行うことで絶縁層 120 に開口部 121 を形成してめっき母材層 130 を露出させる。その後、図 20 の (f) に示すように、レジスト 140 を除去する。これにより、配線転写版 100B が完成する。

[0185] なお、上記実施の形態 1～4 において、無電解めっき膜は、電気めっき膜であってもよいし、電気めっき膜は、電解めっき膜であってもよい。つまり、無電解めっき膜と電気めっき膜とは、区別することなく、めっき膜としてもよい。

[0186] また、その他に、上記の各実施の形態に対して当業者が思い付く各種変形を施して得られる形態や、本開示の趣旨を逸脱しない範囲で各実施の形態に

おける構成要素及び機能を任意に組み合わせることによって実現される形態も本開示に含まれる。

産業上の利用可能性

[0187] 本開示に係る配線体は、半導体パッケージ基板等の実装基板における配線層等として有用である。

符号の説明

[0188] 1、1 A、1 B、1 C、1 D、1 E、1 F 実装基板

1 0 基板

1 1 導電体

2 0 絶縁層

2 1 ビアホール

3 0、3 0 A、3 0 D、3 0 E、3 0 F 配線体

3 1、3 1 A、3 1 D、3 1 E ビア電極

3 1 a、3 1 a D シード層

3 1 b ビア電極本体層

3 2、3 2 A、3 2 D、3 2 F 配線

3 2 a、3 2 a F 密着層

3 2 b、3 2 b F 配線本体層

3 2 c 導電層

3 5、3 5 D シード膜

4 0、4 0 A レジスト

4 1、4 1 A 開口部

1 0 0、1 0 0 A、1 0 0 B 配線転写版

1 1 0 基材

1 2 0、1 2 0 B 絶縁層

1 2 1 開口部

1 3 0、1 3 0 A めっき母材層

1 4 0 レジスト

1 4 1 開口部

2 0 0、2 0 0 D 配線付き配線転写版

請求の範囲

- [請求項1] 導電体を有する基板の上に配置される配線体であって、
前記基板の上に位置する絶縁層に形成されたビアホール内に設けられ、前記ビアホールを介して前記導電体に接続されたビア電極と、
前記絶縁層を介して前記基板の上方に設けられた配線と、を備え、
前記ビア電極における下部層と前記配線における下部層とは、異なる材料又は構造によって構成されている、
配線体。
- [請求項2] 前記ビア電極は、前記ビア電極における前記下部層として設けられたシード層と、前記シード層の上に設けられたビア電極本体層とを有する、
請求項 1 に記載の配線体。
- [請求項3] 前記配線は、前記配線における前記下部層として設けられ、微細凹凸構造を有する密着層と、前記密着層の上に設けられた配線本体層とを有する、
請求項 2 に記載の配線体。
- [請求項4] 前記配線は、さらに、前記配線本体層の上に設けられ、前記配線本体層とは異なる材料又は構造によって構成された導電層を有する、
請求項 3 に記載の配線体。
- [請求項5] 前記配線本体層と前記シード層とは、異なる種類の金属を含む、
請求項 3 又は 4 に記載の配線体。
- [請求項6] 前記ビア電極本体層と前記配線本体層とは、結晶粒径が異なる銅を含む、
請求項 3 ～ 5 のいずれか 1 項に記載の配線体。
- [請求項7] 前記配線本体層は、無電解めっき膜であり、断面視において前記配線の 90%以上を占めている、
請求項 3 ～ 6 のいずれか 1 項に記載の配線体。
- [請求項8] 前記ビア電極本体層は、電解めっき膜であり、断面視において前記

ビア電極の90%以上を占めている、

請求項2～7のいずれか1項に記載の配線体。

[請求項9]

導電体を有する基板と、

前記基板の上に位置し、請求項1～8のいずれか1項に記載の配線体と、を備える、

実装基板。

[請求項10]

導電体を有する基板の上に配置される配線体の製造方法であって、

前記基板の上に絶縁層を介して配線を配置する工程と、

次いで、前記絶縁層の一部を除去することで前記導電体が露出するように前記絶縁層にビアホールを形成する工程と、

次いで、露出した前記導電体及び前記配線を覆うようにシード膜を形成する工程と、

次いで、前記導電体を覆う部分の前記シード膜が露出するように前記配線を覆う前記シード膜の上に選択的にレジストを形成する工程と、

次いで、露出させた前記シード膜の上にビア電極本体層を形成する工程と、

次いで、前記レジストを除去した後に、前記配線を覆う部分の前記シード膜を除去する工程と、を含む、

配線体の製造方法。

[請求項11]

前記配線を配置する工程において、前記配線は、転写法によって形成される、

請求項10に記載の配線体の製造方法。

[請求項12]

前記配線は、配線本体層と、前記配線本体層の上に設けられ、前記配線本体層とは異なる材料又は構造からなる導電層とを有する、

請求項10又は11に記載の配線体の製造方法。

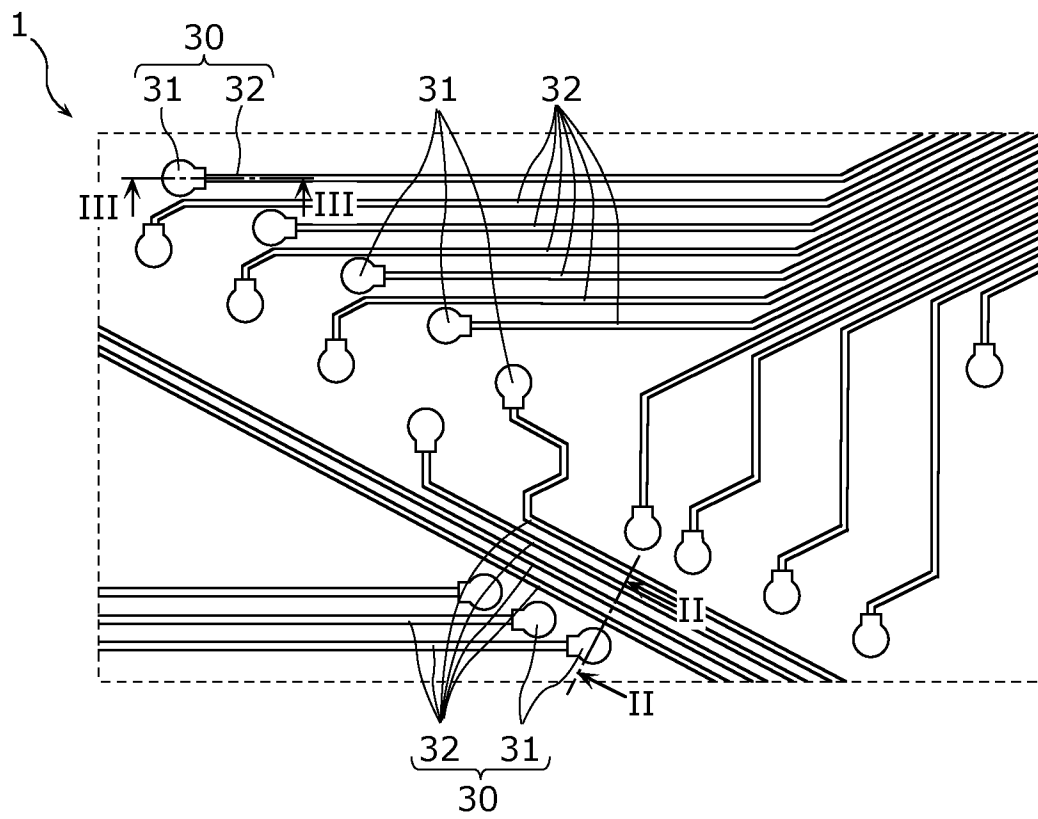
[請求項13]

前記配線本体層と前記シード膜とは、異なる種類の金属を含む、

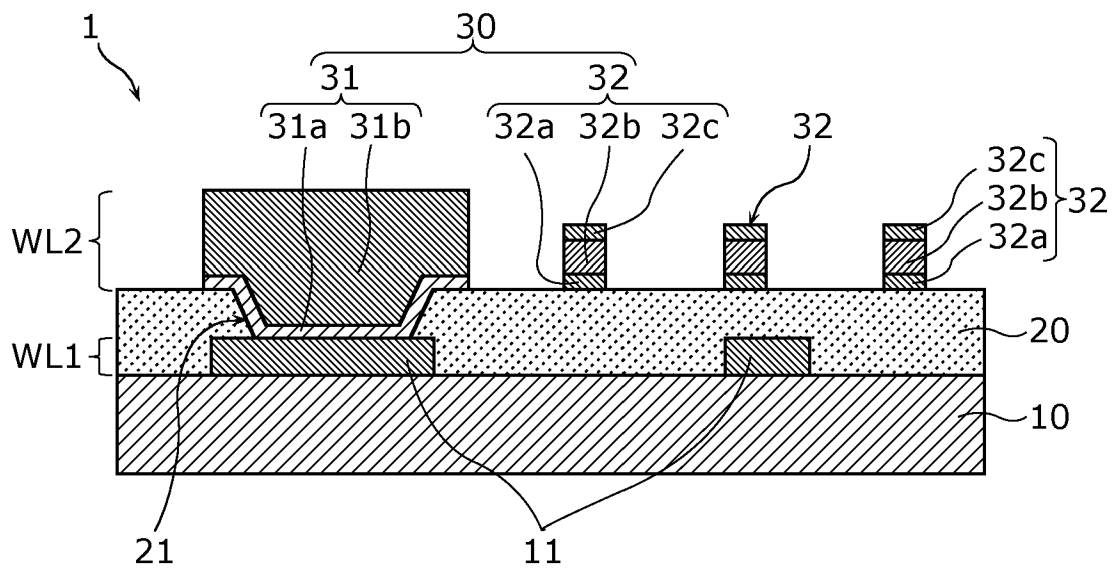
請求項10～12のいずれか1項に記載の配線体の製造方法。

- [請求項14] 基板の上に配線体が配置された実装基板の製造方法であって、
前記基板の上に配線体を配置する工程を含み、
前記配線体は、請求項10～13のいずれか1項に記載の配線体の
製造方法により製造される、
実装基板の製造方法。

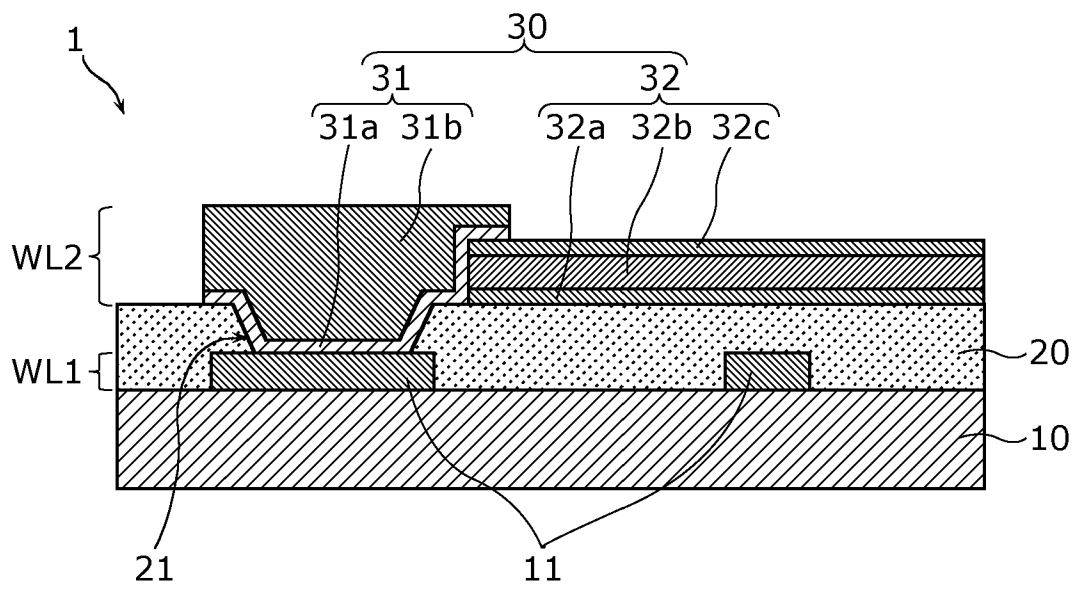
[図1]



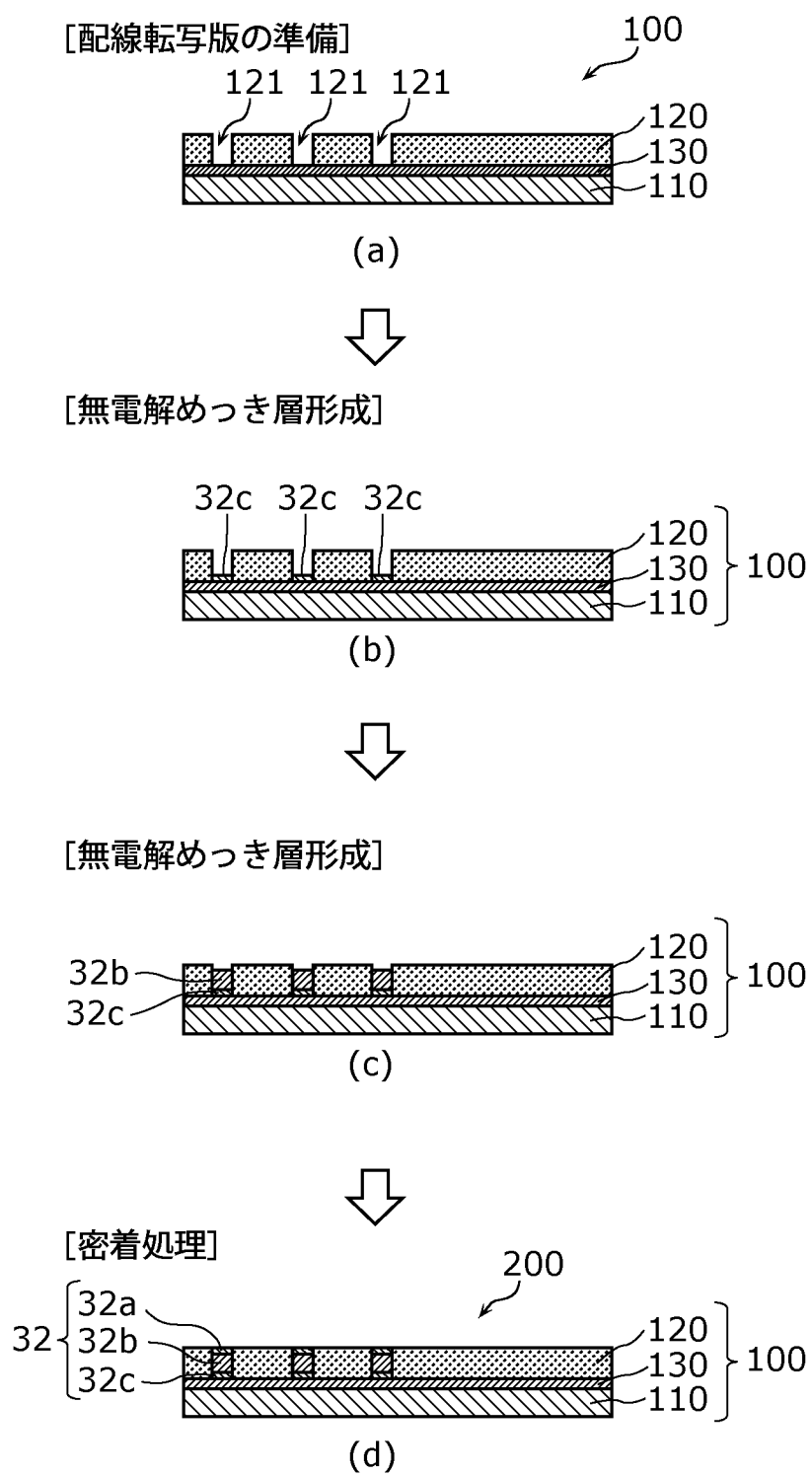
[図2]



[図3]

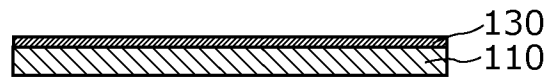


[図4]



[図5]

[触媒母材付き基材の受け入れ]



(a)



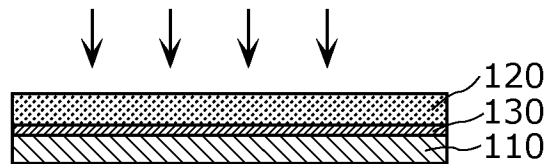
[絶縁層形成]



(b)



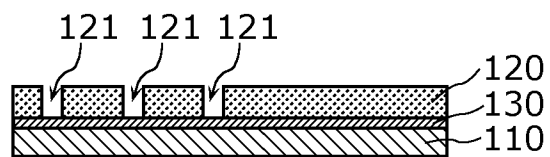
[露光]



(c)



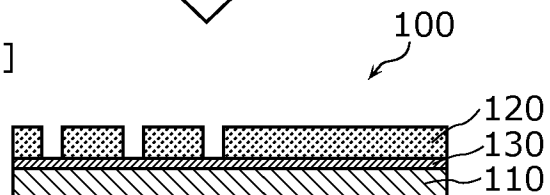
[現像]



(d)

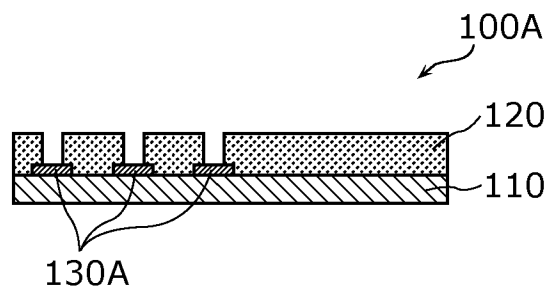


[バイク]

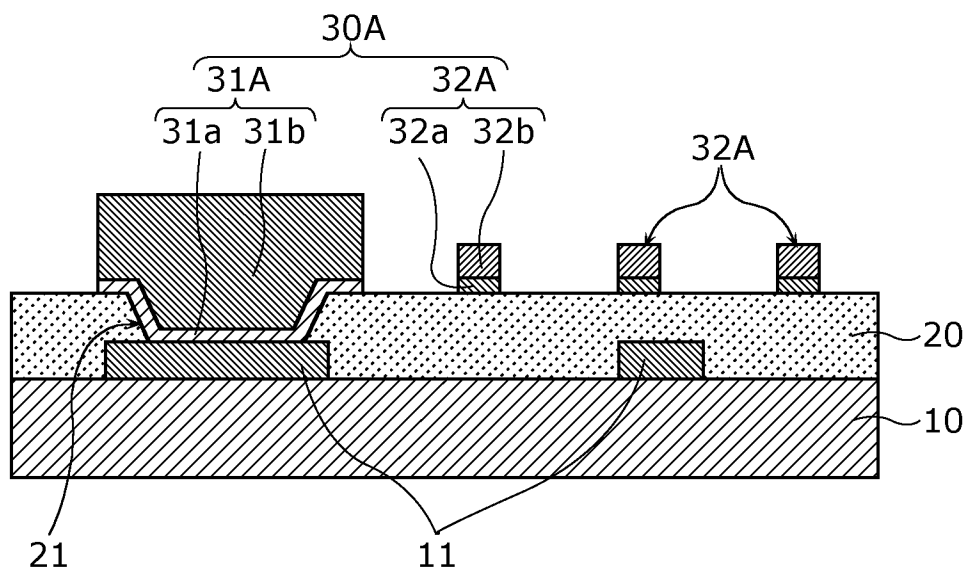


(e)

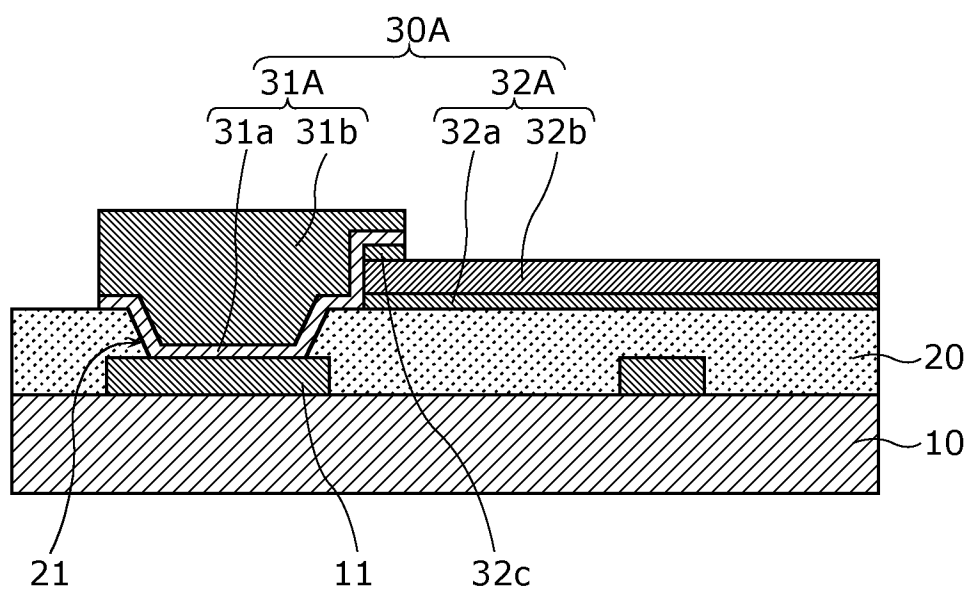
[図6A]



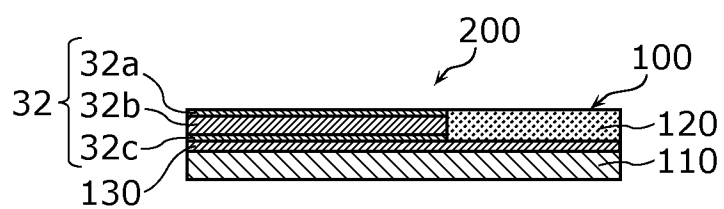
[図6B]



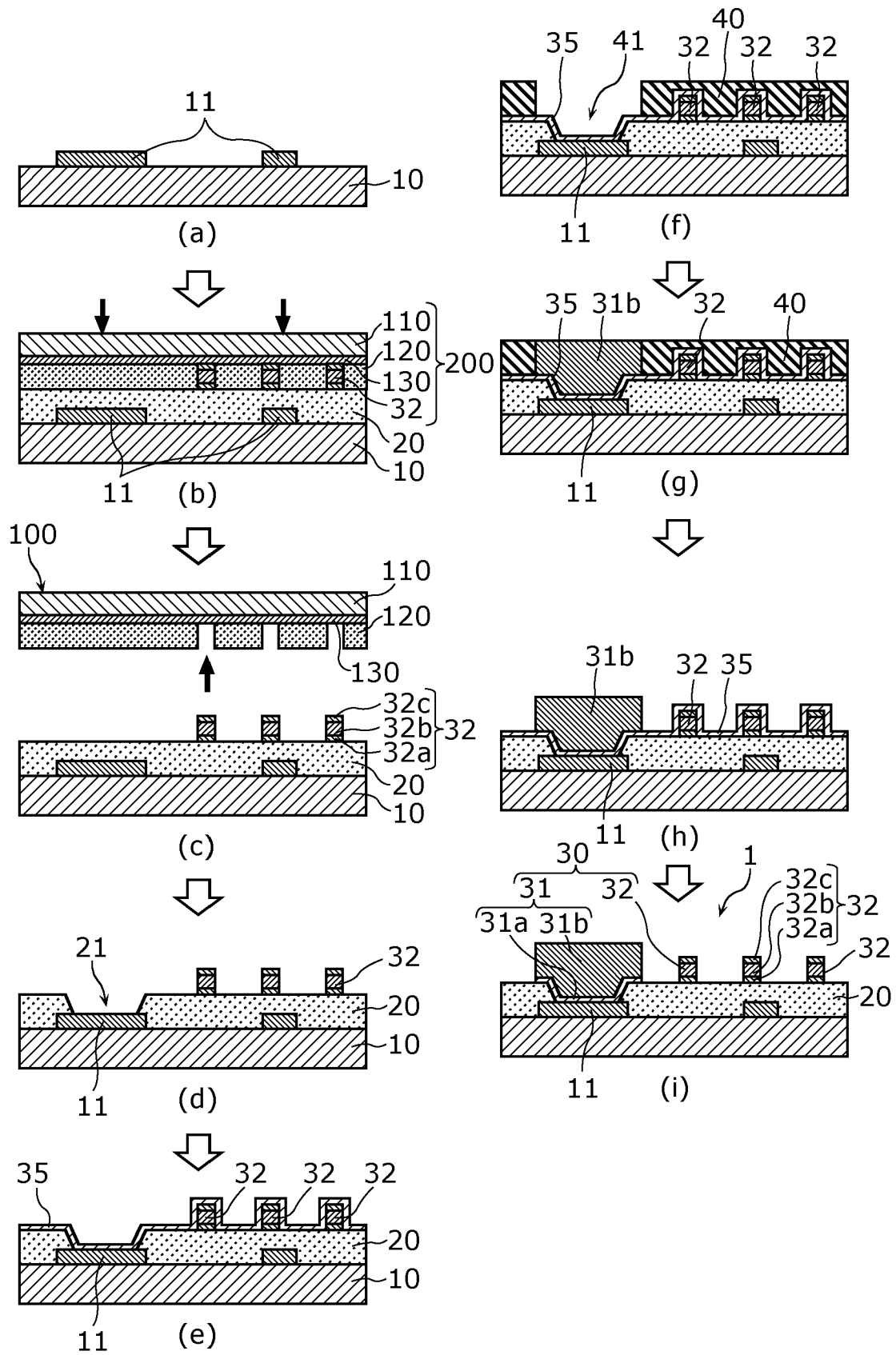
[図6C]



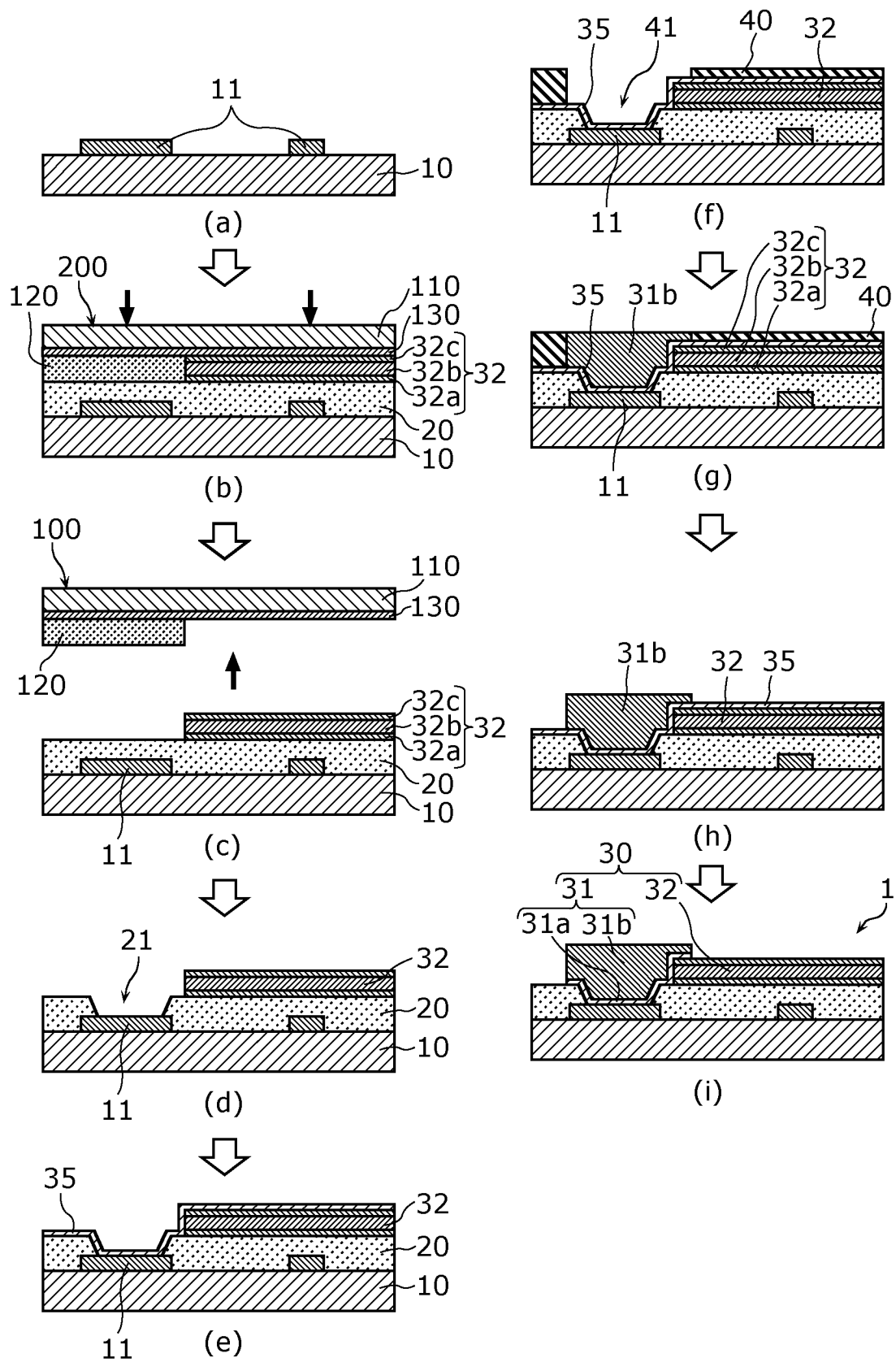
[図7]



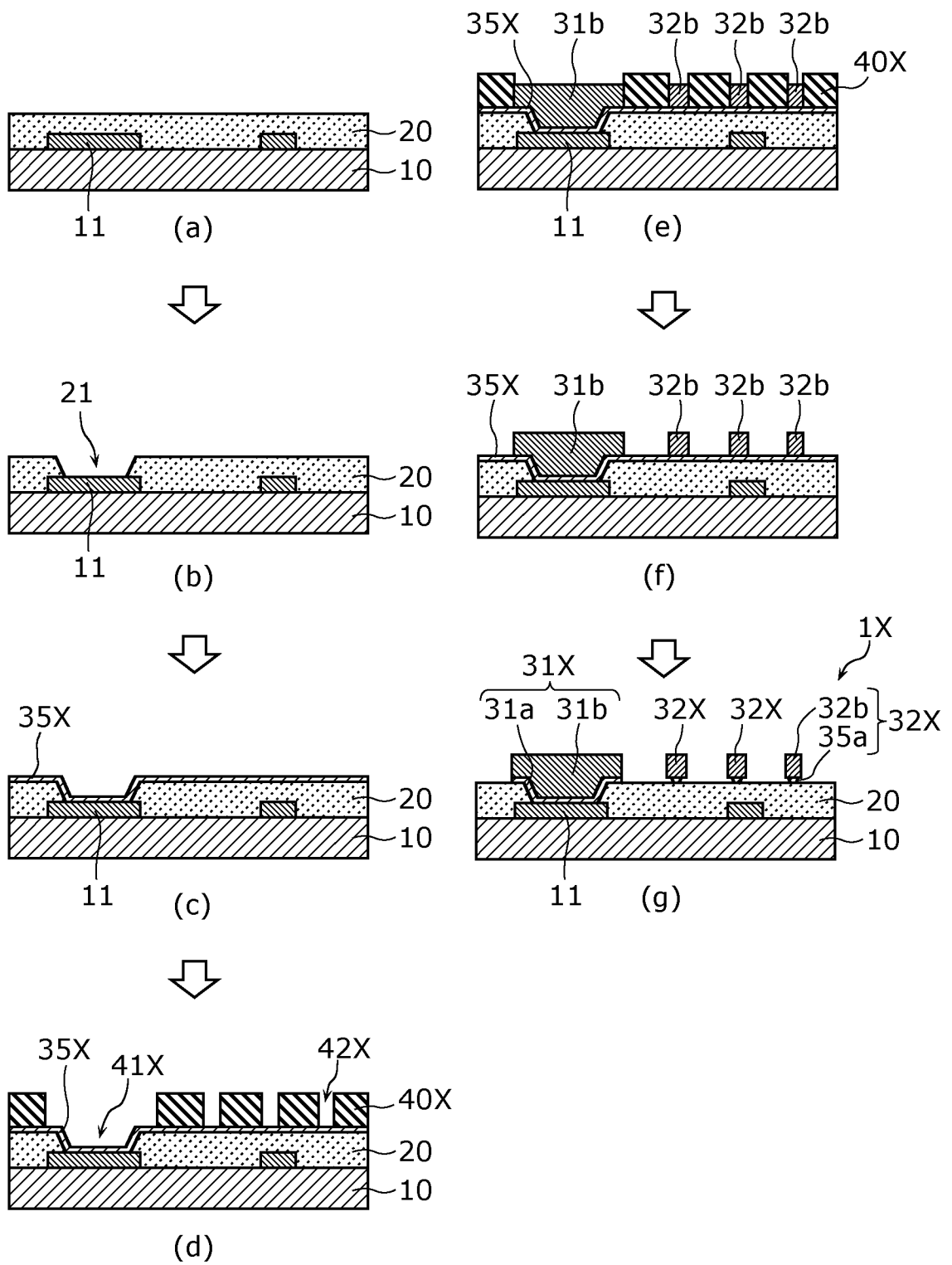
[図8]



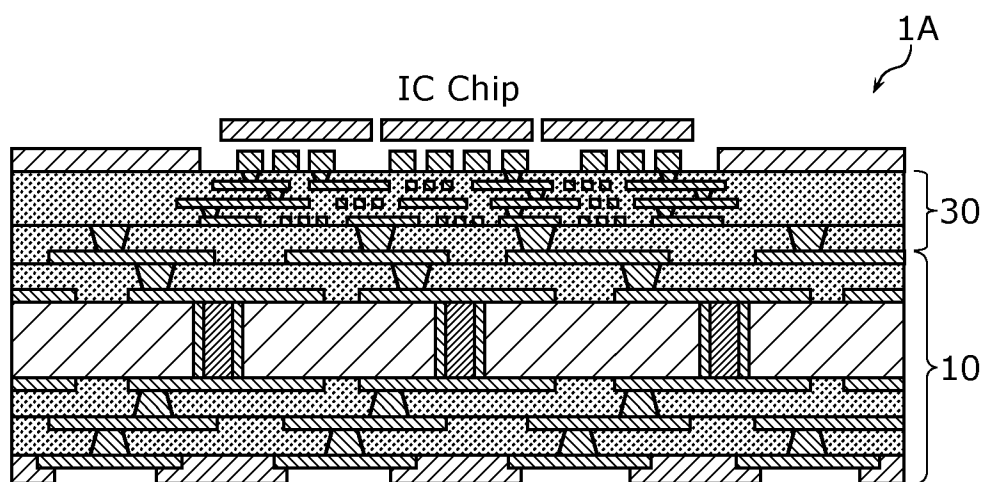
[図9]



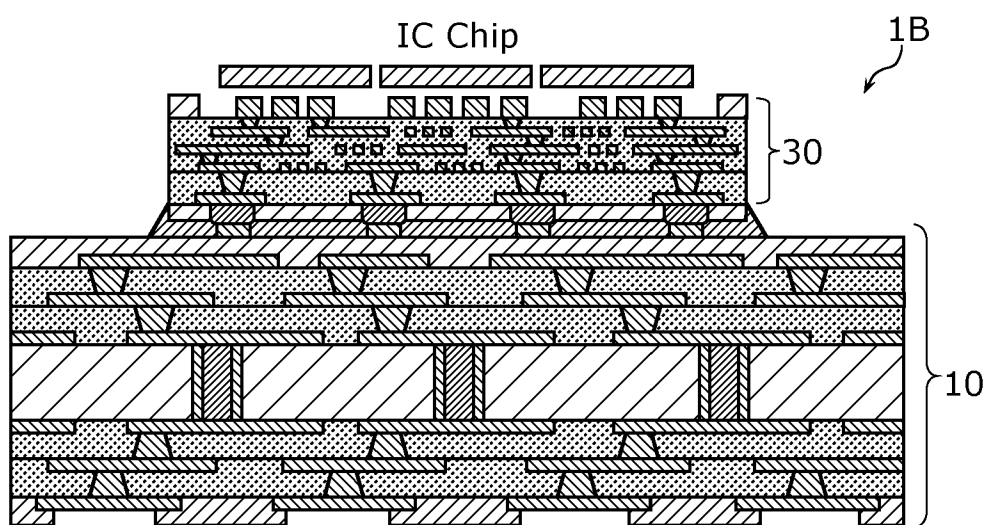
[図10]



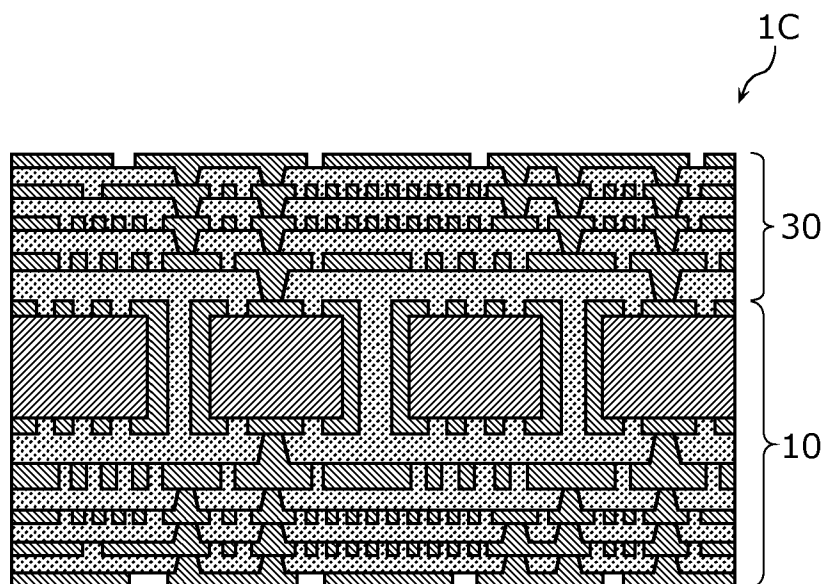
[図11]



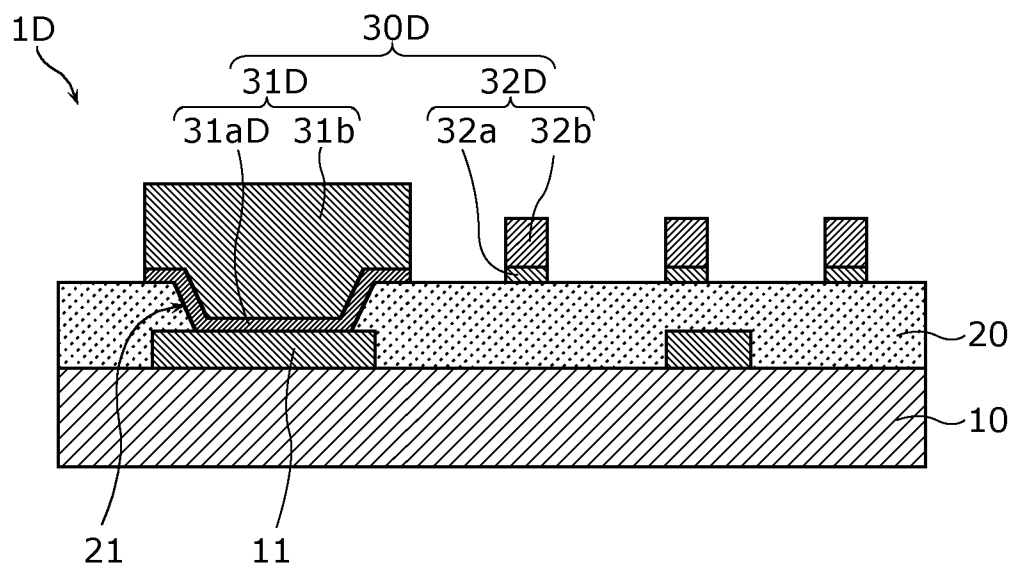
[図12]



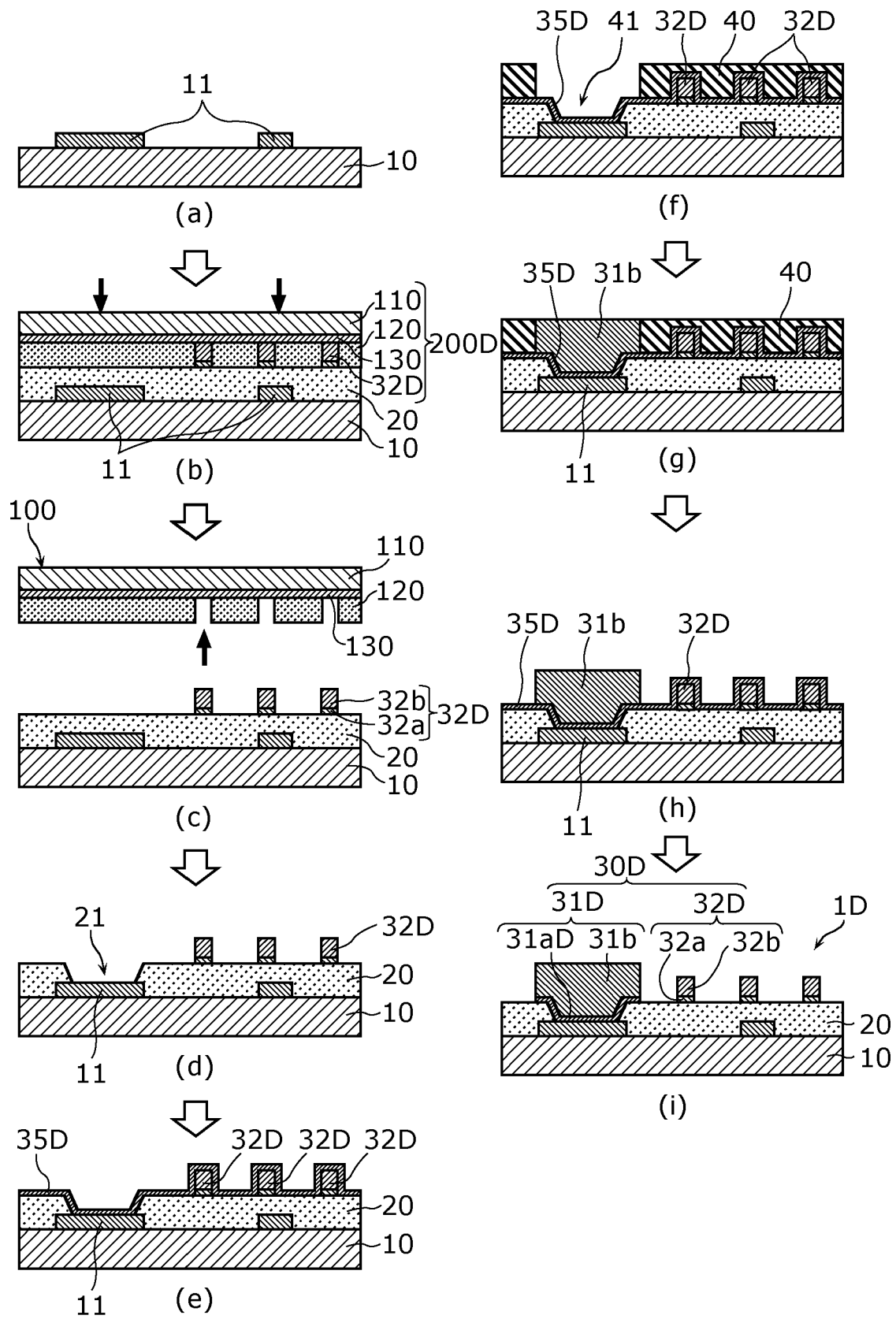
[図13]



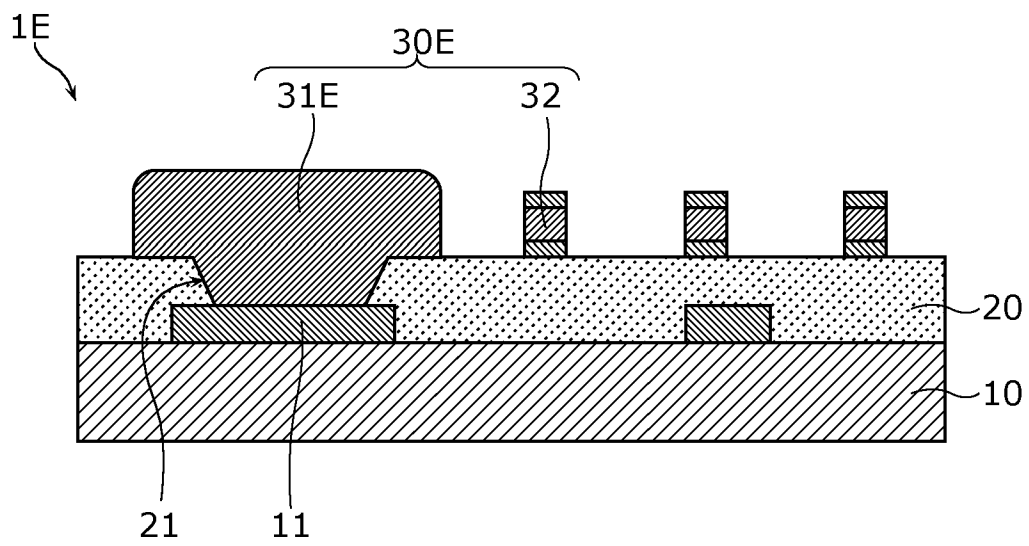
[図14]



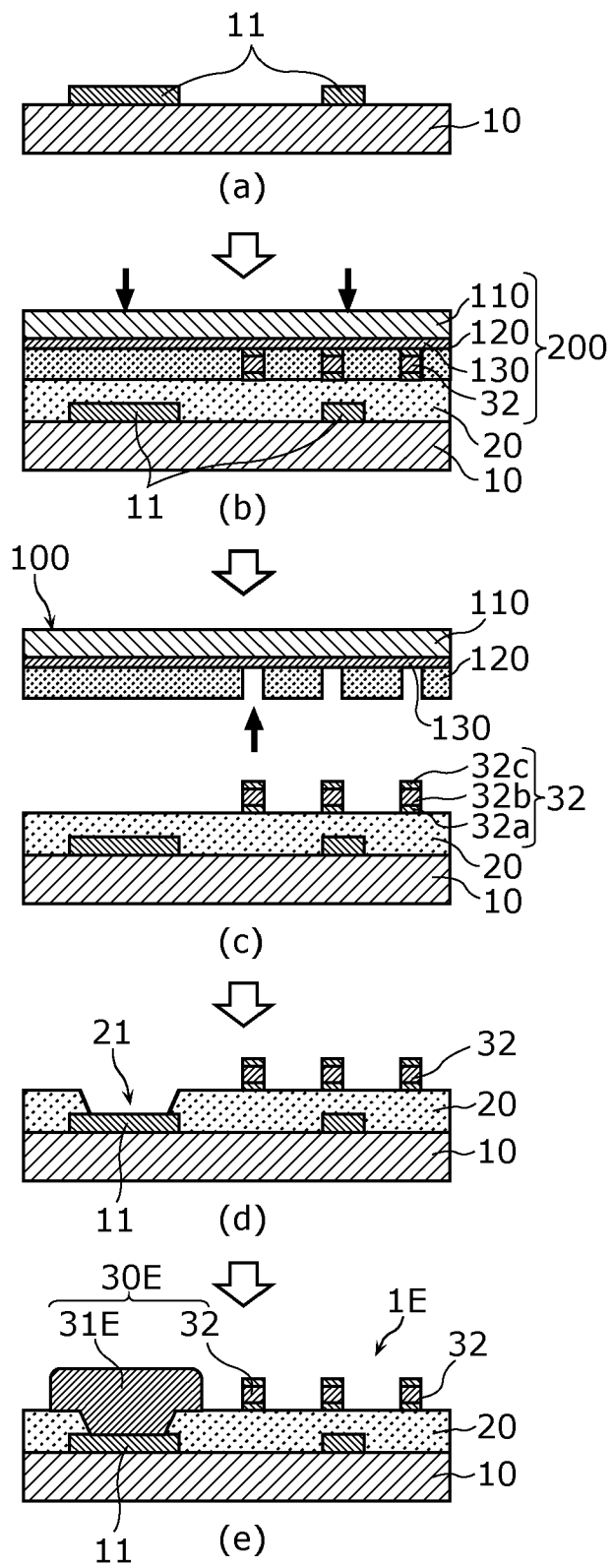
[図15]



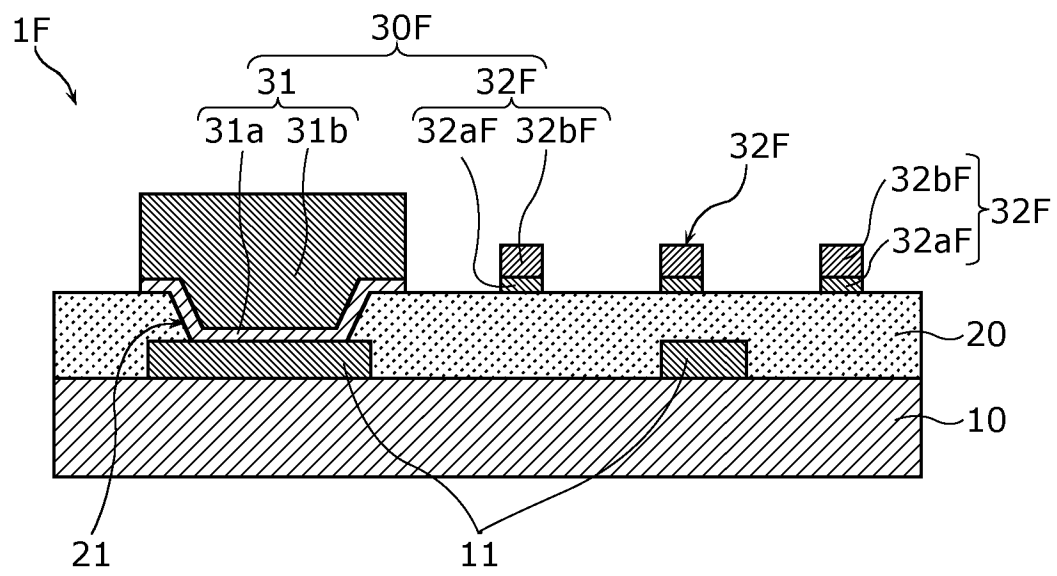
[図16]



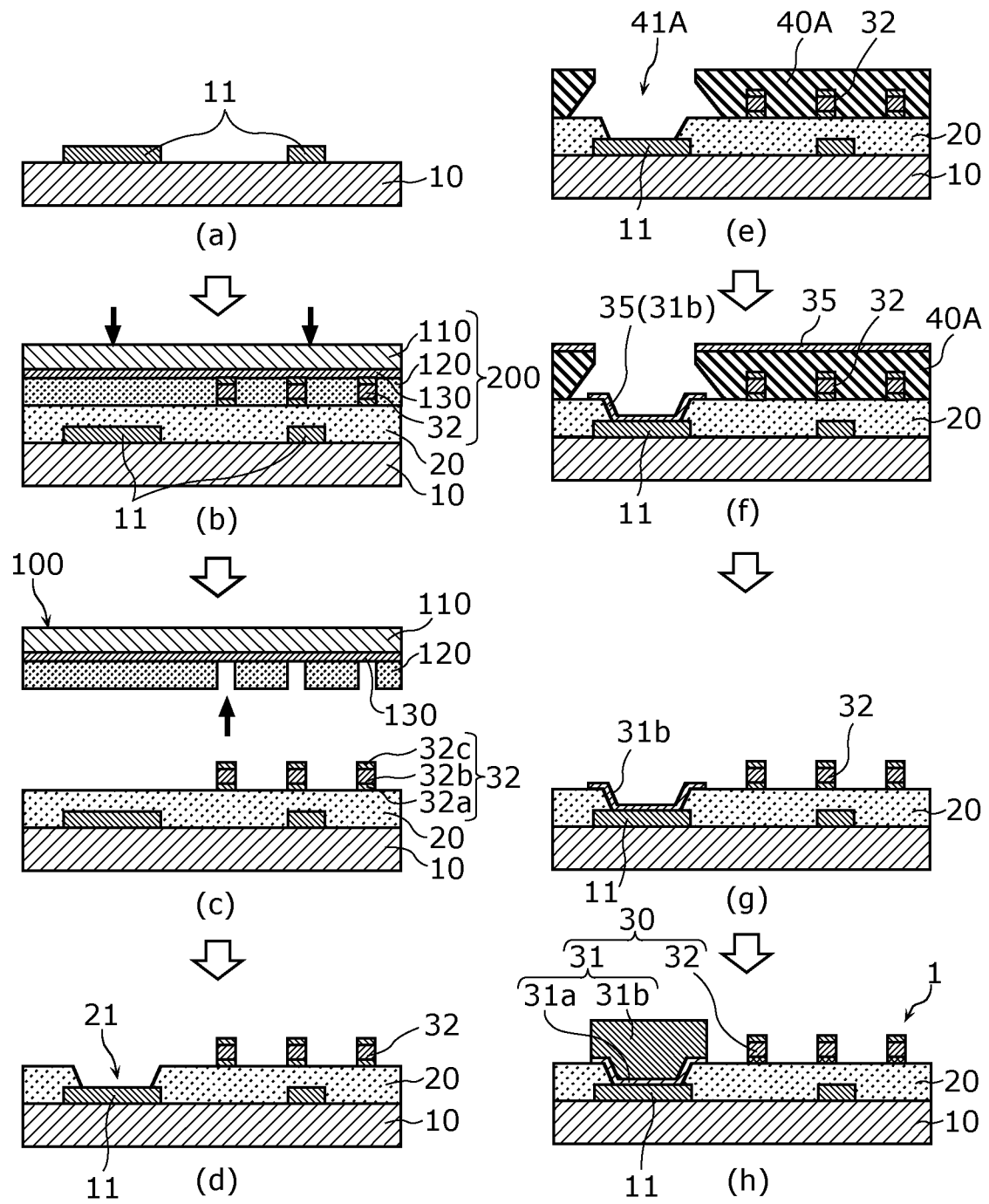
[図17]



[図18]

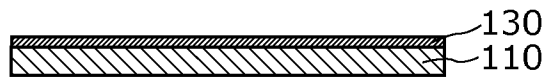


[図19]



[図20]

[触媒母材付き基材の受け入れ]



(a)

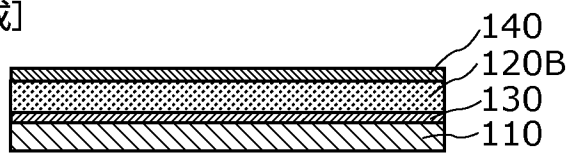
[絶縁層形成]



(b)



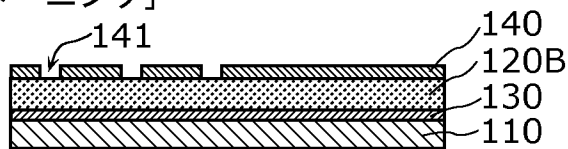
[レジスト形成]



(c)



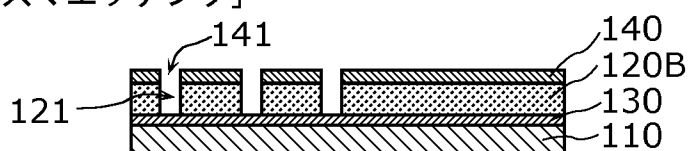
[レジストパターニング]



(d)



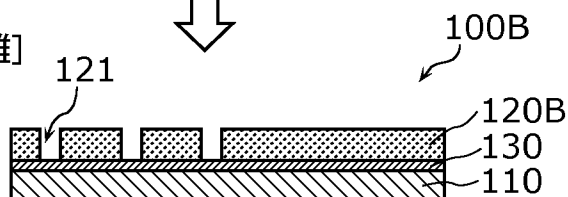
[プラズマエッチング]



(e)



[レジスト剥離]



(f)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/011943

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/12(2006.01)i; **H01L 21/768**(2006.01)i; **H01L 23/522**(2006.01)i; **H05K 1/09**(2006.01)i; **H05K 3/18**(2006.01)i; **H05K 3/20**(2006.01)i; **H05K 3/46**(2006.01)i

FI: H05K1/09 C; H05K3/46 S; H05K3/46 N; H05K3/20 A; H05K3/18 E; H01L21/90 B; H01L23/12 Q; H01L23/12 501P; H05K1/09 Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12; H01L21/768; H01L23/522; H05K1/09; H05K3/18; H05K3/20; H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2014-67941 A (SHINKO ELECTRIC IND. CO., LTD.) 17 April 2014 (2014-04-17) paragraphs [0030]-[0083], fig. 3-7	1, 2, 8, 9
A		3-7, 10-14
X	US 2008/0052905 A1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 06 March 2008 (2008-03-06) paragraphs [0083]-[0094], fig. 15-23	10, 11, 14
Y		1-9, 12, 13
Y	JP 2-113591 A (MATSUSHITA ELECTRIC WORKS LTD.) 25 April 1990 (1990-04-25) page 3, lower left column, line 1 to page 4, upper left column, line 16, fig. 1	1-9, 12, 13
A	JP 2013-62546 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 04 April 2013 (2013-04-04)	1-14
A	JP 2006-245213 A (SHINKO ELECTRIC IND. CO., LTD.) 14 September 2006 (2006-09-14)	1-14

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

06 June 2022

Date of mailing of the international search report

14 June 2022

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/011943**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2010/038559 A1 (IBIDEN CO., LTD.) 08 April 2010 (2010-04-08)	1-14

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/011943

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2014-67941	A	17 April 2014	US 2014/0083745 A1 paragraphs [0041]-[0094], fig. 3-7	
US	2008/0052905	A1	06 March 2008	KR 10-0761706	B1
JP	2-113591	A	25 April 1990	(Family: none)	
JP	2013-62546	A	04 April 2013	US 2008/0264684	A1
				US 2012/0073865	A1
				KR 10-2008-0096985	A
				TW 200843578	A
JP	2006-245213	A	14 September 2006	(Family: none)	
WO	2010/038559	A1	08 April 2010	US 2010/0078213	A1
				US 2012/0199389	A1
				CN 102124826	A
				KR 10-1199807	B1
				TW 201018344	A

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/12(2006.01)i; H01L 21/768(2006.01)i; H01L 23/522(2006.01)i; H05K 1/09(2006.01)i; H05K 3/18(2006.01)i; H05K 3/20(2006.01)i; H05K 3/46(2006.01)i FI: H05K1/09 C; H05K3/46 S; H05K3/46 N; H05K3/20 A; H05K3/18 E; H01L21/90 B; H01L23/12 Q; H01L23/12 501P; H05K1/09 Z																													
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L23/12; H01L21/768; H01L23/522; H05K1/09; H05K3/18; H05K3/20; H05K3/46 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年																			
日本国実用新案公報	1922-1996年																												
日本国公開実用新案公報	1971-2022年																												
日本国実用新案登録公報	1996-2022年																												
日本国登録実用新案公報	1994-2022年																												
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2014-67941 A（新光電気工業株式会社）17.04.2014（2014-04-17） 段落[0030]-[0083], 図3-7</td> <td>1, 2, 8, 9</td> </tr> <tr> <td>A</td> <td></td> <td>3-7, 10-14</td> </tr> <tr> <td>X</td> <td>US 2008/0052905 A1（SAMSUNG ELECTRO-MECHANICS CO., LTD.）06.03.2008（2008-03-06） 段落[0083]-[0094], 図15-23</td> <td>10, 11, 14</td> </tr> <tr> <td>Y</td> <td></td> <td>1-9, 12, 13</td> </tr> <tr> <td>Y</td> <td>JP 2-113591 A（松下電工株式会社）25.04.1990（1990-04-25） 第3頁左下欄第1行-第4頁左上欄第16行, 第1図</td> <td>1-9, 12, 13</td> </tr> <tr> <td>A</td> <td>JP 2013-62546 A（サムソン エレクトロメカニクス カンパニーリミテッド, ） 04.04.2013（2013-04-04）</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>JP 2006-245213 A（新光電気工業株式会社）14.09.2006（2006-09-14）</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>WO 2010/038559 A1（イビデン株式会社）08.04.2010（2010-04-08）</td> <td>1-14</td> </tr> </tbody> </table> ☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。 * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2014-67941 A（新光電気工業株式会社）17.04.2014（2014-04-17） 段落[0030]-[0083], 図3-7	1, 2, 8, 9	A		3-7, 10-14	X	US 2008/0052905 A1（SAMSUNG ELECTRO-MECHANICS CO., LTD.）06.03.2008（2008-03-06） 段落[0083]-[0094], 図15-23	10, 11, 14	Y		1-9, 12, 13	Y	JP 2-113591 A（松下電工株式会社）25.04.1990（1990-04-25） 第3頁左下欄第1行-第4頁左上欄第16行, 第1図	1-9, 12, 13	A	JP 2013-62546 A（サムソン エレクトロメカニクス カンパニーリミテッド, ） 04.04.2013（2013-04-04）	1-14	A	JP 2006-245213 A（新光電気工業株式会社）14.09.2006（2006-09-14）	1-14	A	WO 2010/038559 A1（イビデン株式会社）08.04.2010（2010-04-08）	1-14
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																											
X	JP 2014-67941 A（新光電気工業株式会社）17.04.2014（2014-04-17） 段落[0030]-[0083], 図3-7	1, 2, 8, 9																											
A		3-7, 10-14																											
X	US 2008/0052905 A1（SAMSUNG ELECTRO-MECHANICS CO., LTD.）06.03.2008（2008-03-06） 段落[0083]-[0094], 図15-23	10, 11, 14																											
Y		1-9, 12, 13																											
Y	JP 2-113591 A（松下電工株式会社）25.04.1990（1990-04-25） 第3頁左下欄第1行-第4頁左上欄第16行, 第1図	1-9, 12, 13																											
A	JP 2013-62546 A（サムソン エレクトロメカニクス カンパニーリミテッド, ） 04.04.2013（2013-04-04）	1-14																											
A	JP 2006-245213 A（新光電気工業株式会社）14.09.2006（2006-09-14）	1-14																											
A	WO 2010/038559 A1（イビデン株式会社）08.04.2010（2010-04-08）	1-14																											
国際調査を完了した日	国際調査報告の発送日																												
06.06.2022	14.06.2022																												
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 黒田 久美子 5D 8393 電話番号 03-3581-1101 内線 3551																												

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/011943

引用文献			公表日	パテントファミリー文献			公表日
JP	2014-67941	A	17.04.2014	US	2014/0083745	A1	
				段落[0041]-[0094], 図3-7			
US	2008/0052905	A1	06.03.2008	KR	10-0761706	B1	
JP	2-113591	A	25.04.1990	(ファミリーなし)			
JP	2013-62546	A	04.04.2013	US	2008/0264684	A1	
				US	2012/0073865	A1	
				KR	10-2008-0096985	A	
				TW	200843578	A	
JP	2006-245213	A	14.09.2006	(ファミリーなし)			
WO	2010/038559	A1	08.04.2010	US	2010/0078213	A1	
				US	2012/0199389	A1	
				CN	102124826	A	
				KR	10-1199807	B1	
				TW	201018344	A	