

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5562422号
(P5562422)

(45) 発行日 平成26年7月30日 (2014. 7. 30)

(24) 登録日 平成26年6月20日 (2014. 6. 20)

(51) Int. Cl.

H04B 3/54 (2006.01)

F I

H04B 3/54

請求項の数 12 (全 11 頁)

(21) 出願番号 特願2012-527017 (P2012-527017)
 (86) (22) 出願日 平成22年8月27日 (2010. 8. 27)
 (65) 公表番号 特表2013-503574 (P2013-503574A)
 (43) 公表日 平成25年1月31日 (2013. 1. 31)
 (86) 国際出願番号 PCT/US2010/046942
 (87) 国際公開番号 W02011/025934
 (87) 国際公開日 平成23年3月3日 (2011. 3. 3)
 審査請求日 平成25年3月27日 (2013. 3. 27)
 (31) 優先権主張番号 61/275, 350
 (32) 優先日 平成21年8月28日 (2009. 8. 28)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 507094706
 エンフェイズ エナジー インコーポレイ
 テッド
 アメリカ合衆国, カリフォルニア州,
 ペタルマ, ノース マクダウェル ブル
 バード 1420
 (74) 代理人 100107456
 弁理士 池田 成人
 (74) 代理人 100148596
 弁理士 山口 和弘
 (74) 代理人 100123995
 弁理士 野田 雅一

最終頁に続く

(54) 【発明の名称】 電力線通信装置

(57) 【特許請求の範囲】

【請求項 1】

電力線を通して通信するための装置において、

入力データから生成された第1のデジタル信号に基づいて第2のデジタル信号を生成するための変調器を含む、送信するための送信手段と、

第3のデジタル信号を生成するために前記第2のデジタル信号を増幅するためのデジタル手段と、

アナログ出力波形を生成するために前記第3のデジタル信号をフィルタリングするためのフィルタリング手段と、

前記アナログ出力波形を前記電力線へ結合するための結合手段とを備える装置。

【請求項 2】

前記変調器は、前記入力データに基づいて前記第1のデジタル信号を生成するためのデジタル直接合成器と、前記第1のデジタル信号に基づいて前記第2のデジタル信号を生成するためのデルタシグマ変調器とを備える、請求項1に記載の装置。

【請求項 3】

前記第1のデジタル信号は、デジタル周波数シフトキーイング (FSK) 信号であり、前記第2のデジタル信号は、パルス密度変調 (PDM) 信号である、請求項2に記載の装置。

【請求項 4】

10

20

前記デジタル手段は、送信モードをイネーブルするための制御信号を受信する、請求項 1 に記載の装置。

【請求項 5】

前記デジタル手段は、前記送信モード中、最小インピーダンスを与える、請求項 4 に記載の装置。

【請求項 6】

前記結合手段を介して前記電力線からアナログ入力波形を受信し、前記アナログ入力波形に基づいてデジタル出力信号を生成するための受信手段を更に備える、請求項 1 に記載の装置。

【請求項 7】

前記受信手段は、前記送信手段の送信モードがディスエーブルされる時、前記アナログ入力波形を受信することができる、請求項 6 に記載の装置。

【請求項 8】

前記デジタル手段は、前記送信モードがイネーブルされている時よりも、前記送信モードがディスエーブルされている時の方が、より高いインピーダンスを与える、請求項 7 に記載の装置。

【請求項 9】

前記結合手段は、変成器と、抵抗と、第 1 のキャパシタと、第 2 のキャパシタとを備えており、前記変成器の一次巻線は、前記送信器の出力端に結合されており、前記変成器の二次巻線は、前記抵抗、前記第 1 のキャパシタ及び第 2 のキャパシタの直列接続端に結合されており、前記結合手段の出力は、前記第 2 のキャパシタ端に結合されている、請求項 1 に記載の装置。

【請求項 10】

前記受信手段は、アナログデジタル (A/D) 変換器と、第 1 のキャパシタと、第 2 のキャパシタと、第 3 のキャパシタと、第 4 のキャパシタと、第 1 の抵抗と、第 2 の抵抗と、インダクタとを備えており、前記 A/D 変換器は、前記第 1 のキャパシタ端に結合されており、前記第 1 の抵抗の第 1 の端子は、前記第 1 のキャパシタの第 1 の端子に結合されており、前記第 1 の抵抗の第 2 の端子は、前記第 2 の抵抗の第 1 の端子、前記第 2 のキャパシタの第 1 の端子及び前記第 3 のキャパシタの第 1 の端子に結合されており、前記第 3 のキャパシタの第 2 の端子は、前記第 4 のキャパシタの第 1 の端子及び前記インダクタの第 1 の端子に結合されており、前記インダクタの第 2 の端子は、前記第 2 のキャパシタの第 2 の端子、前記第 2 の抵抗の第 2 の端子及び前記第 1 のキャパシタの第 2 の端子に結合されており、前記受信手段への入力は、前記第 4 のキャパシタの第 2 の端子及び前記インダクタの第 2 の端子端に結合されている、請求項 6 に記載の装置。

【請求項 11】

入力データを生成するインバータを更に備える、請求項 1 ~ 10 のいずれか一項に記載の装置。

【請求項 12】

前記送信手段と、前記デジタル手段と、前記フィルタリング手段と、前記結合手段とがインバータ内に内蔵される、請求項 1 ~ 10 のいずれか一項に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

[0001] 本発明の実施形態は電力線通信に関し、より詳細には、電力線を通して通信を行うための装置に関する。

【背景技術】

【0002】

[0002] 電力線通信 (PLC) は、電力線に結合ないしは接続された装置間でデータを通信するため、既存の商用交流電力網インフラストラクチャの如き電力線を利用する技術である。PLC は、典型的に、一度に 1 つの送信器が電力線を通して送信を行い、一方、そ

10

20

30

40

50

の電力線に結合された他の装置がその送信された信号を受信するようなポイント対マルチポイント形式にて動作する。

【 0 0 0 3 】

[0003] P L C 送信の場合、送信器は、一般的には、分離変成器を通して電力線に結合され、B S E N 5 0 0 6 5 - 1 : 2 0 0 1「周波数範囲 3 k H z から 1 4 8 . 5 k H z での低電圧電気設備におけるシグナリングのための仕様書」の如き P L C のための適切な標準に従って電圧スティミュラス（即ち、電圧ベースの信号）を送り出す。これらの適切な標準は、最大電圧レベルの如き P L C 動作のための仕様を記載している。電力線は、P L C のための問題の周波数帯域内でインピーダンスが定まっておらず変化するものである結果として、送信器モジュールは、P L C 電圧必要条件を満たすため、例えば、数百ミリアンペアのオーダーの大量の電流を発生することが必要とされる。

10

【 0 0 0 4 】

[0004]一般的に、P L C 送信器は、P L C 送信のための必要とされる増幅及び信号処理を達成するため直線増幅器を使用する。しかしながら、このような装置は、電力線において大電流を流すように動作する時、高レベルの電力を消散してしまい、従って、P L C 送信器の効率を減少させてしまう。その上、P L C 送信器は、一般的には、その適切な標準に記載されたスペクトル純度必要条件を満足するため、電力増幅の前にフィルタリングを行い、従って、費用の掛かる多くの構成部分を必要としている。

【 0 0 0 5 】

[0005]電力線を通して送信されたデータを受信するため、P L C 受信器も又、典型的には、分離変成器を通して電力線に結合されている。この P L C 受信器は、増幅前にその電力線からその受信器へのノイズを制限するため大きな入力インピーダンスを与えることが必要とされ、従って、このような機能を果たすため費用の掛かる数の構成部分を必要としている。

20

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

[0006]従って、当業分野においては、効率の良い電力線通信のための装置が必要とされている。

【 課題を解決するための手段 】

30

【 0 0 0 7 】

[0007]本発明の実施形態は、一般的に言えば、電力線を通してデータを通信するための装置及びシステムに関する。本装置は、入力データに基づいて第 2 のデジタル信号を生成するための変調器を含む送信器と、第 3 のデジタル信号を生成するため前記第 2 のデジタル信号を増幅するデジタルバッファと、アナログ出力波形を生成するため前記第 3 のデジタル信号をフィルタリングするフィルタと、前記アナログ出力波形を前記電力線へ結合する結合器と、を備える。

【 0 0 0 8 】

[0008]本発明の前述したような特徴について詳細に理解することができるよう、ここまでに簡潔に要約した本発明について、そのうちの幾つかが添付図面に例示されている実施形態に関して、より特定して以下に説明する。しかしながら、添付図面は、本発明の単に典型的な実施形態を例示しているだけのものであり、従って、本発明の範囲を限定しようとしているものでなく、本発明には、等しい効果を発揮する他の実施形態がありうるものである。

40

【 図面の簡単な説明 】

【 0 0 0 9 】

【 図 1 】本発明の 1 つ以上の実施形態による交流電力線を通してデータを通信するためのシステムのブロック図である。

【 図 2 】本発明の 1 つ以上の実施形態による送信器のブロック図である。

【 図 3 】本発明の 1 つ以上の実施形態による受信器のブロック図である。

50

【図４】本発明の１つ以上の実施形態による結合器のブロック図である。

【図５】本発明の１つ以上の実施形態を使用する太陽光発電された直流電力を交流電力へと変換するためのシステムのブロック図である。

【発明を実施するための形態】

【００１０】

[0014]図１は、本発明の１つ以上の実施形態による交流電力線を通してデータを通信するためのシステム１００のブロック図である。このシステム１００は、電力線通信トランシーバ（ＰＬＣＴ）１０４に結合された装置１０２を備えており、この電力線通信トランシーバ１０４は、更に、中継ボックス１１４を介して交流電力線１２０（「電力線１２０」）に結合される。又、このシステム１００は、ＰＬＣＴ１０４Ａに結合に結合された装置１０２Ａを備える。このＰＬＣＴ１０４Ａは、更に、中継ボックス１１４Ａを介して電力線１２０に結合される。これら装置１０２及び１０２Ａは、ホームコンピュータ、周辺装置等の如き、データを送信及び／又は受信するための通信帯域を必要とする装置であり、それぞれ、ＰＬＣＴ１０４及び１０４Ａを介して電力線１２０を通して互いに通信することができるものである。ある幾つかの実施形態では、ＰＬＣＴ１０４及び／又はＰＬＣＴ１０４Ａは、中継ボックス１１４／１１４Ａを使用せずに電力線１２０に直接に結合することもできる。本発明のシステムを使用する１つの特定の実施形態については、以下に、図５に関して説明する。

【００１１】

[0015]ＰＬＣＴ１０４は、各々装置１０２に結合された送信器１０６及び受信器１０８と、それら送信器１０６及び受信器１０８の両者の中継ボックス１１４に結合する結合器１１０と、を備える。ＰＬＣＴ１０４が「送信モード」にて動作している時、送信器１０６は、電力線１２０を介してデータを装置１０２Ａへ送信することができる。受信器１０８は、電力線１２０を介して装置１０２Ａからデータを受信することができる。ＰＬＣＴ１０４は、同時にデータを受信し送信することができるが、送信機１０６は、一般的には、アクティブである間は、受信器１０８を不感とする。ある幾つかの実施形態では、制御器１１６は、送信器１０６へ結合され、送信モードをイネーブル及びディスエーブルするための制御信号を与える。制御器１１６は、図１に示されているように、ＰＬＣＴ１０４から分離されていてもよいし、又は、別の仕方として、制御器１１６は、ＰＬＣＴ１０４の構成部分であってもよい。

【００１２】

[0016]ＰＬＣＴ１０４と同様に、ＰＬＣＴ１０４Ａは、送信器１０６Ａと、受信器１０８Ａと、結合器１１０Ａと、を備える。送信器１０６Ａ及び受信器１０８Ａは、装置１０２Ａ並びに結合器１１０Ａに結合され、結合器１１０Ａは、更に、中継ボックス１１４Ａに結合される。ＰＬＣＴ１０４Ａが送信モードにて動作している時、送信器１０６Ａは、電力線１２０を介してデータを装置１０２へ送信することができる。受信器１０８Ａは、電力線１２０を介して装置１０２からデータを受信することができる。ＰＬＣＴ１０４Ａは、同時にデータを受信及び送信することができるが、送信器１０６Ａは、一般的には、アクティブである間、受信器１０８Ａを不感とする。ある幾つかの実施形態では、制御器１１６Ａは、送信器１０６Ａに結合され、送信モードをイネーブル及びディスエーブルするための制御信号を与える。制御器１１６Ａは、図１に示されているように、ＰＬＣＴ１０４Ａから分離されていてもよいし、又は、別の仕方として、制御器１１６Ａは、ＰＬＣＴ１０４Ａの構成部分であってもよい。

【００１３】

[0017]本発明の１つ以上の実施形態によれば、送信モードにて動作する時、送信器１０６は、装置１０２からデジタル入力データを受信し、電圧増幅ステージを通じてその受信されたデータをデジタル的に処理し、デジタル処理データを生成する。電圧増幅ステージに続いて、送信器１０６は、電力線１２０を通してそのデジタル処理データを送信するためのアナログ電圧波形を生成し、そのアナログ電圧波形特性（例えば、周波数、大きさ、スペクトル純度等）がＰＬＣのための適切な標準に合うようにする。ある幾つかの実施形

態では、そのアナログ電圧波形は、帯域 50 - 500 KHz (例えば、95 - 148 KHz 帯域における) 内のある周波数及び 1 ボルト実効値 (RMS)、即ち、120 デシベル / マイクロボルト (dBμV) のオーダーの最大電圧を有するように生成される。結合器 110 は、その生成されたアナログ電圧波形を電力線 120 に結合する。

【0014】

[0018] 送信モード中、送信器 106 は、最小インピーダンス (例えば、1 - 5 オームの範囲内) を電力線 120 へ与える。電力線 120 に対するインピーダンスの変動性を与える必要とされる出力電圧レベルに合うようにするため、送信器 106 は、例えば、数百ミリアンペアのオーダーの大きな電流を電力線 120 に流すことができる。このような大きな電流を流すため、送信器 106 は、デジタルドメインにおいて電圧増幅を行い、必要な電流レベルとするため、以下に更に説明するように、高電流定格の相補型金属酸化物半導体 (CMOS) バッファを使用することができる。

【0015】

[0019] PLCT104 が受信している時、結合器 110 は、電力線 120 からのアナログ信号を受信器 108 へと結合する。受信器 108 は、その受信したアナログ電圧波形をデジタル出力データへと変換し、そのデジタル出力データを装置 102 へ与える。ある幾つかの実施形態では、そのデジタル出力データは、変調された信号のデジタル表示であり、例えば、そのデジタル出力データは、FSK 信号のデジタル表示 (デジタル FSK 信号) であり、FSK 復調器が、装置 102 内に内蔵されているか、又は、受信器 108 と装置 102 との間に結合されている。受信器 108 は、以下に更に説明するように、電力線 120 に固有のノイズを除去するため、受信された波形をフィルタリングするための帯域フィルタを備えることができる。送信モードがディスエーブルされる時、PLCT104 は、電力線 120 に対して大きな入力インピーダンス (例えば、キロオームのオーダーの) を与える。このような大きな入力インピーダンスにより、非常に多くのノードが電力線 120 に存在している時に、送信器 106 が「スワンプアウト」してしまうのが防止される。

【0016】

[0020] ある幾つかの代替的实施形態では、PLCT104 は、電力線 120 を介して情報を送信するため送信器 106 及び結合器 110 のみを備えるか、更に又は別の仕方として、PLCT104A は、電力線 120 を介して情報を送信するため送信器 106A 及び結合器 110A のみを備える。このような実施形態では、受信器 108 及び / 又は 108A は使用されない。このように受信器は任意的に含まれるものであることを示すため、受信器 108 及び 108A は、ダッシュ線のブロックで示されている。

【0017】

[0021] 図 2 は、本発明の 1 つ以上の実施形態による送信器 106 のブロック図である。送信器 106 は、デジタル直接合成器 (DDS) 204 に結合された周波数制御生成器 202 を備えており、このデジタル直接合成器 204 は、更に、デルタシグマ () 変調器 206 に結合されている。変調器 206 は、CMOS バッファ 208 に結合されており、CMOS バッファ 208 からの出力は、低域フィルタ 210 に結合される。CMOS バッファ 208 は、更に、送信モードをイネーブル / ディスエーブルするための入力を受信するため制御器 116 に結合されている。送信モードがイネーブルされる時、CMOS バッファ 208 は、低送信インピーダンス (例えば、1 - 5 オームのオーダーにある) を与え、送信モードがディスエーブルされる時、CMOS バッファ 208 は、大入力インピーダンス (例えば、キロオームのオーダーにある) を与える。

【0018】

[0022] 周波数制御生成器 202 は、電力線 120 を通して送信するためのデジタル入力データ信号を受信するため装置 102 に結合されている。この周波数制御生成器 202 は、受信されたデータ信号に基づいて、デジタル周波数制御信号 (例えば、16 - 24 ビット信号) を生成し、そのデジタル周波数制御信号を DDS 204 に結合する。その DDS 204 は、高周波数で動作し、周波数制御信号に従って、デジタル周波数シフトキーイング

(F S K) 信号 (即ち、F S K 信号のデジタル表示) を生成する。ある幾つかの実施形態では、デジタル F S K 信号は、25 M H z の周波数で 8 - 10 ビットワイドのオーダーにあり、別の仕方として、そのデジタル F S K 信号は、より少ない又はより多いビットを含むことができ、及び / 又は異なる周波数であることができる。ある幾つかの代替的实施形態では、最小 F S K 変調が使用され、ある幾つかの他の代替的实施形態では、M 項直角振幅変調 (Q A M)、直角位相シフトキーイング (Q P S K)、位相シフトキーイング (P S K)、直交周波数分割マルチプレキシング (O F D M)、パルス振幅変調 (P A M) 等の如き F S K 変調以外の変調技術を使用することができる。

【0019】

[0023] D D S 204 出力信号は、単一ステージ 変調器又はマルチステージ 変調器であってよい 変調器 206 へ結合される。 変調器 206 は、パルス密度変調 (P D M) を使用して、その受信されたデジタル F S K 信号をエンコードし、その受信されたデジタル F S K 信号を表すデジタル 1 ビット出力信号を与える。ある幾つかの実施形態では、 変調器 206 は、25 M H z の周波数で動作し、別の実施形態では、 変調器 206 は、異なる周波数で動作することができる。

10

【0020】

[0024] 周波数制御生成器 202、D D S 204 及び 変調器 206 は、装置 102 からのデジタル入力データ信号に基づいてデジタル信号を生成する変調器 212 を構成する。変調器 212 からのデジタル信号 (即ち、 変調器 206 の出力) は、電圧を増幅するため C M O S バッファ 208 に結合される。C M O S バッファ 208 は、電力線インピーダンスが非常に低い時、必要とされる出力電圧レベルを維持するために十分な電流 (例えば、数百ミリアンペア) を与えることができる高電流定格 C M O S バッファであるとしてよく、ある幾つかの実施形態では、この C M O S バッファ 208 は、0.15 から 0.25 ミクロンのオーダーの技術によるものである。ある幾つかの実施形態では、C M O S バッファ 208 は、各々が 50 m A のオーダーの電流を発生することができる複数のバッファ (例えば、16 個のバッファ) を並列に結合したものとすることができる。並列に結合されるバッファの数により、流される電流の量が決定されるのであり、その数は、そのシステムのための設計において選択されるものと考えられる。

20

【0021】

[0025] 電圧増幅に続いて、C M O S バッファ 208 は、低域フィルタ 210 へ結合されアナログ出力を生成するようにフィルタリングされるデジタル出力信号を生成する。変調器 206 が高周波数、例えば、25 M H z で動作する結果として、低域フィルタリングがその M H z 周波数帯域にて行われ、 変調により生ずるアーチファクトを十分に除去することができる。低域フィルタ 210 の出力は、図 4 に関して以下に更に説明するように、結合器 110 を通して電力線 120 へ結合される。

30

【0022】

[0026] 図 3 は、本発明の 1 つ以上の実施形態による受信器 108 のブロック図である。この受信器 108 は、以下に更に説明するように、結合器 110 を通して電力線 120 からのアナログ電圧波形を受信し、装置 102 に結合されるデジタル出力データ信号を生成する。

40

【0023】

[0027] この受信器 108 は、キャパシタ 302、304、306 及び 314 と、インダクタ 308 と、抵抗 312 及び 310 と、アナログデジタル (A / D) 変換器 316 と、を備える。ある幾つかの実施形態では、1 つ以上のキャパシタ / インダクタ / 抵抗は、寄生的構成部分とすることができる。キャパシタ 302、304 及び 306 は、直列に結合され、キャパシタ 302 がキャパシタ 304 に結合され、キャパシタ 304 が更にキャパシタ 306 に結合されており、受信されたアナログ波形は、結合器 110 からキャパシタ 302、304 及び 306 の直列接続端に結合される。インダクタ 308 は、キャパシタ 304 及び 306 の直列接続端に結合される。キャパシタ 302、304 及び 306、及びインダクタ 308 は、電力線 120 に固有に存在するノイズを減少させるように (即ち

50

、位相／振幅の歪みを最少として問題の信号を通過させるように)、受信されたアナログ電圧波形の帯域フィルタリングを行う。

【0024】

[0028]抵抗310は、キャパシタ306端に結合されている。抵抗312は、抵抗310の第1の端子とキャパシタ314の第1の端子との間に結合されており、抵抗310の第2の端子は、キャパシタ314の第2の端子に結合されている。A/D変換器316は、キャパシタ314端に結合され、更に、装置102に結合される。抵抗310及び312は、高インピーダンス抵抗性負荷を構成し、A/D変換器316は、この負荷端の電圧をサンプリングして、装置102に対するFSK変調デジタル出力信号(即ち、FSK信号のデジタル表示)を生成する。ある幾つかの実施形態では、装置102は、そのデジタル出力信号を復調するためのFSK復調器を備え、別の仕方として、FSK復調器は、受信器108と装置102との間に結合することができる。ある幾つかの代替的实施形態では、そのデジタル出力データ信号は、最小FSK変調信号のデジタル表示、QAM変調信号、QPSK変調信号、PSK変調信号、OFDM変調信号、PAM変調信号等であることができる。

10

【0025】

[0029]ある幾つかの実施形態では、抵抗310及び312は、各々、数百オームのオーダーにあり、キャパシタ304、306及び314は、各々、数ナノファラドのオーダーにあり、キャパシタ302は、5、6百ピコファラドのオーダーにあり、インダクタ308は、数百マイクロヘンリーのオーダーにある。

20

【0026】

[0030]図4は、本発明の1つ以上の実施形態による結合器110のブロック図である。この結合器110は、変成器402と、この変成器402の漏れインダクタンスを表しているインダクタ404と、抵抗406と、キャパシタ408及び410と、を備える。ある幾つかの実施形態では、この結合器110は、簡単化することができる。一般的には、送信信号は、アクティブでない間出力インピーダンスを増大せず且つ受信器を負荷せずに、低域フィルタリングされねばならず、受信信号は、問題の帯域において高インピーダンスを維持しながら、問題の信号を通過させ且つ帯域外のノイズを減衰させるため帯域フィルタリングされねばならない。

【0027】

30

[0031]変成器402は、高結合係数を有する分離変成器であり、例えば、その結合係数は、0.95以上である。一般的には、変成器402は、1:1の巻数比を有するが、他の巻数比を使用することもできる。変成器402の一次巻線は、送信器106及び受信器106の各々端に結合されている。変成器402の二次巻線の第1の端子は、インダクタ404の第1の端子に結合されているように示されている。抵抗406は、インダクタ404の第2の端子とキャパシタ408の第1の端子との間に結合され、電力線120への結合のための安全機能を与えている。抵抗406は、この抵抗406、インダクタ404及びキャパシタ408により構成されたRLCタンクを制動する作用をする。

【0028】

[0032]キャパシタ410は、キャパシタ408の第2の端子と変成器402の二次巻線の第2の端子との間に結合されており、更に、中継ボックス114を介して電力線120に結合するため結合器110の2つの出力端子端に結合されている。キャパシタ410は、任意的な低域フィルタリング機能を与え、ある幾つかの代替的实施形態では、キャパシタ410は、この結合器110から除去することができる。

40

【0029】

[0033]結合器110は、送信器106からの出発アナログ電圧波形を電力線120へ結合し、且つ電力線120からの到着アナログ電圧波形を受信器108へと結合する。

【0030】

[0034]ある幾つかの実施形態では、変成器402の一次巻線及び二次巻線は、各々、数百マイクロヘンリーのオーダーのインダクタンスを有し、インダクタ404(即ち、変成

50

器 4 0 2 の漏れインダクタンス) は、数マイクロヘンリーのオーダーであり、抵抗 4 0 6 は、数オームのオーダーにあり、キャパシタ 4 0 8 は、数百ナノファラドのオーダーにあり、キャパシタ 4 1 0 は、数ナノファラドのオーダーにある。

【 0 0 3 1 】

[0035] 図 5 は、本発明の 1 つ以上の実施形態を使用して太陽光発電された直流電力を交流電力へ変換するためのシステム 5 0 0 のブロック図である。この図は、本発明を利用できる無数に可能なシステム構成及び装置の 1 つの変形例を示すだけのものである。本発明は、電力線通信のための任意の装置によって利用できるものであり、電力線を通しての通信を必要とする種々な配電環境及びシステムにおいて機能できるものである。

【 0 0 3 2 】

[0036] このシステム 5 0 0 は、インバータ 5 0 2 と集約的に称される複数のインバータ 5 0 2₁、5 0 2₂・・・5 0 2_n と、P V モジュール 5 0 4 と集約的に称される複数の P V モジュール 5 0 4₁、5 0 4₂、・・・5 0 4_n と、P L C T 5 1 2 と集約的に称される複数の P L C T 5 1 2₁、5 1 2₂、・・・5 1 2_n、5 1 2_{n+1} と、交流電力線 5 0 6 と、インバータ制御器 5 1 0 と、負荷センター 5 0 8 と、を備える。

【 0 0 3 3 】

[0037] 各インバータ 5 0 2₁、5 0 2₂・・・5 0 2_n は、それぞれ、P L C T 5 1 2₁、5 1 2₂、・・・5 1 2_n に結合されており、ある幾つかの代替的实施形態では、P L C T 5 1 2₁、5 1 2₂、・・・5 1 2_n の各々は、対応するインバータ 5 0 2₁、5 0 2₂・・・5 0 2_n 内に内蔵することができる。各インバータ 5 0 2₁、5 0 2₂、・・・5 0 2_n の各々は、更に、それぞれ P V モジュール 5 0 2₁、5 0 2₂、・・・5 0 2_n に結合される。インバータ制御器 5 1 0 は、P L C T 5 1 2_{n+1} に結合される。

【 0 0 3 4 】

[0038] P L C T 5 1 2 は、交流電力線 5 0 6 に結合され、前述した P L C T 1 0 4 及び 1 0 4 A と同様に動作する。ある幾つかの実施形態では、P L C T 5 1 2 の各々は、P L C T 5 1 2 の送信モードをイネーブル/ディスエーブルするため制御器 1 1 6 の如き制御器(即ち、P L C T 5 1 2 当たり 1 つの制御器)に結合される。交流電力線 5 0 6 は、更に、商用交流電力網配電システムからの入来商用交流電力線と交流電力線 5 0 6 との間の接続線を内蔵する負荷センター 5 0 8 に結合される。インバータ 5 0 2 は、P V モジュール 5 0 4 により発生された直流電力を交流電力へと変換し、商用交流電力網電圧と同相である交流電流を計量出力する。このシステム 5 0 0 は、発生された交流電力を負荷センター 5 0 8 を介して商用交流電力網へ結合する。

【 0 0 3 5 】

[0039] インバータ制御器 5 1 0 は、インバータ 5 0 2 からのデータを受信することができ、且つインバータ 5 0 2 の機能を制御するためインバータ 5 0 2 へ命令及び制御信号を発することができる。本発明の 1 つ以上の実施形態によれば、P L C T 5 1 2 は、交流電力線 5 0 6 を通してインバータ 5 0 2 とインバータ制御器 5 1 0 との間のこのような通信をイネーブルする。前述したように、P L C T 5 1 2 は、電圧増幅ステージを通じてインバータ 5 0 2 及び/又はインバータ制御器 5 1 0 からのデジタル入力データをデジタル的に処理し、受信されたデジタル入力データを送信するため交流電力線 5 0 6 に結合される対応するアナログ電圧波形を生成する。又、前述したように、P L C T 5 1 2 は、交流電力線 5 0 6 からのアナログ電圧波形を受信し、その受信された波形を処理して、インバータ 5 0 2 及び/又はインバータ制御器 5 1 0 に結合されるデジタル出力データを生成し、それにより、インバータ 5 0 2 及びインバータ制御器 5 1 0 が交流電力線 5 0 6 を通して通信できるようにする。

【 0 0 3 6 】

[0040] 本発明の実施形態について前述してきたのであるが、本発明の基本的な範囲から逸脱せずに、本発明の他の更なる別の実施形態を考えることができるのであり、従って、本発明の範囲は、特許請求の範囲の記載により決定されるものである。

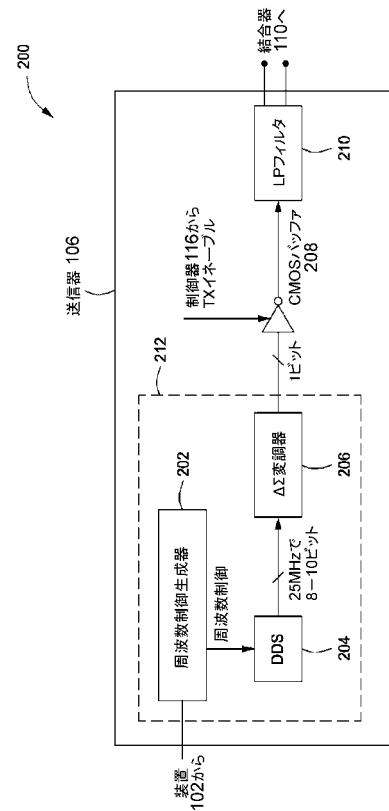
10

20

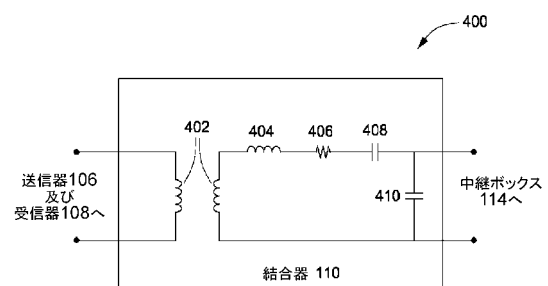
30

40

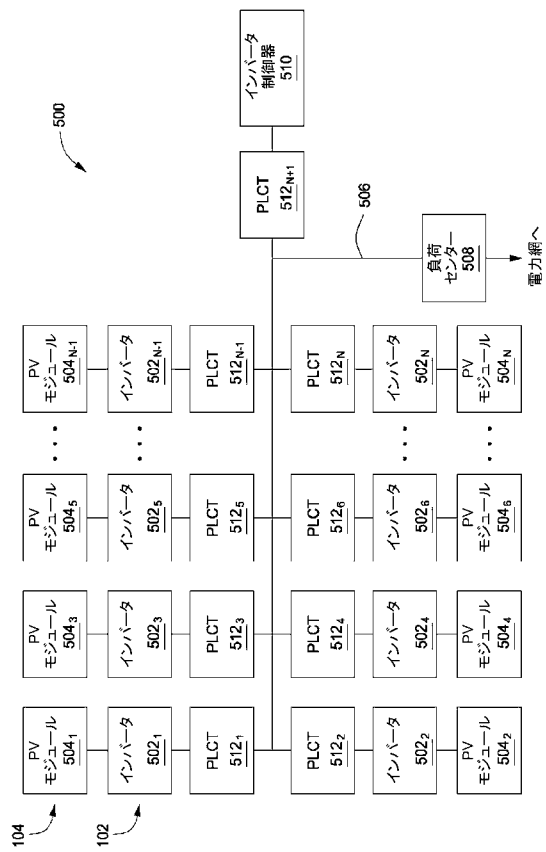
【 図 2 】



【圖 4】



【図 5】



フロントページの続き

(72)発明者 フォーネイジ, マーティン
アメリカ合衆国, カリフォルニア州, ペトルーマ, ホールジー アヴェニュー 25

審査官 川口 貴裕

(56)参考文献 特開平11-266536(JP,A)
特開2007-174226(JP,A)
米国特許第05589830(US,A)
特開2006-148340(JP,A)
国際公開第2008/144548(WO,A1)
国際公開第2008/144540(WO,A1)
特表2010-527571(JP,A)
特表2010-527570(JP,A)
特開2006-054761(JP,A)
特開2002-290287(JP,A)
特開平07-123033(JP,A)
米国特許第06005505(US,A)
米国特許出願公開第2006/0020649(US,A1)
米国特許出願公開第2002/0008588(US,A1)
56800 Hybrid Controller Power Line Modem Reference Design Designer Reference Manual, M
OTOROLA.COM/SEMICONDUCTORS, 2003年, Rev 0, p.83-92, URL, [http://www.freescale.c
om/files/microcontrollers/doc/ref_manual/DRM035.pdf](http://www.freescale.com/files/microcontrollers/doc/ref_manual/DRM035.pdf)

(58)調査した分野(Int.Cl., DB名)
H04B 3/54 - 3/58