



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0056401  
(43) 공개일자 2011년05월27일

- |  |  |
|--|--|
| <p>(51) Int. Cl.<br/>H01L 23/48 (2006.01) G11C 5/02 (2006.01)<br/>H01L 23/12 (2006.01)</p> <p>(21) 출원번호 10-2011-7007777</p> <p>(22) 출원일자(국제출원일자) 2009년09월10일<br/>심사청구일자 없음</p> <p>(85) 번역문제출일자 2011년04월04일</p> <p>(86) 국제출원번호 PCT/US2009/056544</p> <p>(87) 국제공개번호 WO 2010/030804<br/>국제공개일자 2010년03월18일</p> <p>(30) 우선권주장<br/>12/209,052 2008년09월11일 미국(US)</p> | <p>(71) 출원인<br/>마이크론 테크놀로지, 인크.<br/>미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000</p> <p>(72) 발명자<br/>키이쓰, 브렌트<br/>미국 83713 아이다호주 보이세 노쓰 파이어셔 피엘 5077<br/>히아트, 마크<br/>미국 83616 아이다호주 이글 웨스트 스탠포드 디알. 1137<br/>(뒷면에 계속)</p> <p>(74) 대리인<br/>양영준, 백만기</p> |
|--|--|

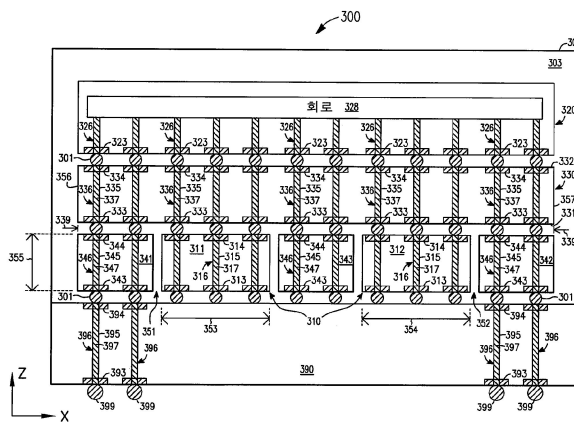
전체 청구항 수 : 총 43 항

(54) 적층된 디바이스에서의 신호 전달

(57) 요약

일부 실시예들은 베이스, 제 1 다이, 제 1 다이 및 베이스와 함께 스택으로 배열된 제 2 다이, 및 스택으로 및 제 1 및 제 2 다이들 중 적어도 하나의 외부에 배치되고, 제 1 및 제 2 다이들 중 적어도 하나와 베이스 사이에서 신호들을 전송하도록 구성되는 구조를 구비한 장치, 시스템들 및 방법들을 포함한다.

대표도 - 도3



(72) 발명자

**리, 테리 알.**

미국 83706 아이다호주 보이즈 박스 3110 에이치씨  
33

**터틀, 마크**

미국 83712 아이다호주 메리디안 웨스트 래틀스네  
이크 디알. 1946

**애드바니, 라홀**

미국 83716 아이다호주 보이즈 이스트 게이트웨이  
씨티. 6339

**슈렉 존 에프.**

미국 75002 텍사스주 루카스 화이트 록 트레일 29

---

## 특허청구의 범위

### 청구항 1

장치에 있어서:

신호들을 수신하도록 구성된 베이스;

제 1 다이(die)로서, 상기 제 1 다이를 적어도 부분적으로 통하는 도전 경로들을 포함하는 상기 제 1 다이;

상기 제 1 다이 및 상기 베이스와 함께 스택으로 배열되는 제 2 다이; 및

상기 제 1 다이 및 상기 제 2 다이의 상기 스택에 및 이들 중 적어도 하나의 외부에 배치되고, 상기 제 1 다이 및 상기 제 2 다이 중 적어도 하나와 상기 베이스 사이에서 신호들의 적어도 하나의 서브세트를 전송하도록 구성되는 구조를 포함하는, 장치.

### 청구항 2

청구항 1에 있어서,

상기 제 1 다이는 상기 베이스와 상기 제 2 다이 사이에 배치되고, 상기 구조는 제 1 구조 부분 및 제 2 구조 부분을 포함하고, 상기 제 1 구조 부분은 상기 제 1 다이의 제 1 측면에 및 상기 베이스와 상기 제 2 다이 사이에 배치되고, 상기 제 2 구조 부분은 상기 제 1 다이의 제 2 측면에 및 상기 베이스와 상기 제 2 다이 사이에 배치되는, 장치.

### 청구항 3

청구항 1에 있어서,

상기 구조는 상기 제 1 다이와 상기 제 2 다이 사이에 배치되는 인터포저(interposer)를 포함하고, 상기 인터포저는 상기 제 1 다이 및 상기 제 2 다이에 결합되는 도전 경로들을 포함하는, 장치.

### 청구항 4

청구항 1에 있어서,

상기 구조는 상기 제 2 다이에 결합된 도전 경로들을 구비한 부분을 포함하고, 상기 제 1 다이 및 상기 제 2 다이는 상기 베이스와 상기 부분 사이에 배치되는, 장치.

### 청구항 5

청구항 1에 있어서,

상기 베이스는 유기 재료를 갖는 기판, 및 상기 유기 재료를 통하는 도전 경로들을 포함하는, 장치.

### 청구항 6

청구항 1에 있어서,

상기 베이스는 신호 필터링을 수행하기 위한 회로 구성요소들을 포함하는, 장치.

### 청구항 7

장치에 있어서:

신호들을 수신하도록 구성된 베이스;

제 1 디바이스로서, 상기 제 1 디바이스를 적어도 부분적으로 통하는 제 1 도전 경로들을 포함하는 상기 제 1 디바이스;

제 2 디바이스; 및

상기 베이스, 상기 제 1 디바이스 및 상기 제 2 디바이스와 함께 스택으로 배열되는 인터포저를 포함하고, 상기

인터포저는 상기 제 1 및 제 2 디바이스들 사이에 배치되고 상기 신호들의 적어도 하나의 서브세트를 상기 제 1 및 제 2 디바이스들 중 하나에 전송하도록 구성되고, 상기 인터포저는 제 1 표면, 상기 제 1 표면과 대향하는 제 2 표면, 상기 제 1 표면에 배치되고 상기 제 1 디바이스에 결합된 제 1 도전 접촉들, 상기 제 2 표면에 배치되고 상기 제 2 디바이스에 결합된 제 2 도전 접촉들, 및 상기 제 1 도전 접촉들을 상기 제 2 도전 접촉들에 결합하는 제 2 도전 경로들을 포함하는, 장치.

**청구항 8**

청구항 7에 있어서,

제 1 구조 부분 및 제 2 구조 부분을 더 포함하고, 상기 제 1 구조 부분은 상기 제 1 디바이스의 제 1 측면에 배치되고 상기 베이스 및 상기 인터포저에 결합된 도전 경로들을 포함하고, 상기 제 2 구조 부분은 상기 제 1 디바이스의 제 2 측면에 배치되고 상기 베이스 및 상기 인터포저에 결합된 도전 경로들을 포함하는, 장치.

**청구항 9**

청구항 8에 있어서,

상기 제 1 디바이스는 서로 한 측면씩 배열된 다이들의 제 1 스택 및 다이들의 제 2 스택을 포함하는, 장치.

**청구항 10**

청구항 9에 있어서,

상기 다이들의 제 1 스택과 상기 다이들의 제 2 스택 사이에 배치된 제 3 구조 부분을 더 포함하고, 상기 제 3 구조 부분은 상기 베이스 및 상기 인터포저에 결합된 도전 경로들을 포함하는, 장치.

**청구항 11**

청구항 8에 있어서,

상기 제 1, 제 2 및 제 3 구조 부분들 중 적어도 하나는 상기 다이들의 제 1 및 제 2 스택 중 적어도 하나의 다이에 통합되는, 장치.

**청구항 12**

청구항 7에 있어서,

상기 인터포저는 상기 인터포저의 에지들 사이에서 측정된 길이를 포함하고, 상기 인터포저의 길이는 상기 제 1 디바이스의 길이보다 긴, 장치.

**청구항 13**

청구항 7에 있어서,

상기 인터포저는 상기 제 1 표면에서 상기 제 2 표면으로 연장하는 비아(via)를 포함하고, 상기 제 2 도전 경로들 중 하나의 적어도 일부가 상기 비아를 통과하는, 장치.

**청구항 14**

청구항 7에 있어서,

상기 인터포저는 다중층들을 포함하고, 상기 다중층들의 각각은 제 2 도전 경로들 중 적어도 하나에 결합되어, 상기 신호들의 상이한 서브세트를 전송하기 위한 적어도 하나의 도전 부분들을 포함하는, 장치.

**청구항 15**

청구항 7에 있어서,

상기 인터포저는, 상기 제 2 도전 경로들 중 제 1 선택된 도전 경로에 결합되어, 양의 값을 갖는 제 1 전력 신호를 전송하기 위한 제 1 도전 부분, 및 상기 제 2 도전 경로들 중 제 2 선택된 도전 경로에 결합되어, 접지 전위를 갖는 제 2 전력 신호를 전송하기 위한 제 2 도전 부분, 상기 제 1 및 제 2 선택된 도전 경로들에 수직인

차원으로 연장하는 상기 제 1 및 제 2 도전 부분들 중 적어도 하나를 포함하는, 장치.

**청구항 16**

청구항 15에 있어서,

상기 제 1 선택된 도전 경로는, 상기 인터포저를 통해 부분적으로만 연장하는 비아를 통과하는, 장치.

**청구항 17**

청구항 16에 있어서,

상기 제 2 선택된 도전 경로는, 상기 인터포저를 통해 부분적으로만 연장하는 부가의 비아를 통과하는, 장치.

**청구항 18**

청구항 17에 있어서,

상기 제 1 디바이스는 상기 제 1 도전 경로들 중 선택된 도전 경로에 결합되어, 데이터 신호를 전송하기 위한 도전 세그먼트를 포함하고, 상기 도전 세그먼트는 상기 선택된 도전 경로에 수직인 차원으로 연장하는, 장치.

**청구항 19**

장치에 있어서:

신호들을 수신하도록 구성된 베이스;

제 1 디바이스로서, 상기 제 1 디바이스를 적어도 부분적으로 통하는 제 1 도전 경로들을 포함하는 상기 제 1 디바이스;

상기 베이스 및 상기 제 1 디바이스와 함께 스택으로 배열된 제 2 디바이스로서, 상기 제 1 디바이스는 상기 베이스와 상기 제 2 디바이스 사이에 배치되고, 상기 제 1 디바이스는 상기 제 2 디바이스의 길이보다 적은 길이를 가지는, 상기 제 2 디바이스; 및

상기 신호들의 적어도 하나의 서브세트를 상기 제 2 디바이스에 전송하도록 구성된 구조를 포함하고, 상기 구조는 상기 제 1 디바이스의 제 1 측면에 배치된 제 1 구조 부분 및 상기 제 1 디바이스의 제 2 측면에 배치된 제 2 구조 부분을 포함하고, 상기 제 1 및 제 2 구조 부분들의 각각은 제 1 표면, 상기 제 1 표면과 대향하는 제 2 표면, 상기 제 1 표면에 배치되고 상기 베이스에 결합된 제 1 도전 접촉들, 상기 제 2 표면에 배치되고 상기 제 2 디바이스에 결합된 제 2 도전 접촉들, 및 상기 제 1 도전 접촉들을 상기 제 2 도전 접촉들에 결합하는 제 2 도전 경로들을 포함하는, 장치.

**청구항 20**

청구항 19에 있어서,

상기 제 1 구조 부분은 상기 제 1 구조 부분의 상기 제 1 표면에서 상기 제 2 표면으로 연장하는 제 1 비아를 포함하고, 상기 제 2 도전 경로들 중 하나의 적어도 일부는 상기 제 1 비아를 통과하고, 상기 제 2 구조 부분은 상기 제 2 구조 부분의 상기 제 1 표면에서 상기 제 2 표면으로 연장하는 제 2 비아를 포함하고, 상기 제 2 도전 경로들 중 하나의 적어도 일부는 상기 제 2 비아를 통과하는, 장치.

**청구항 21**

청구항 19에 있어서,

상기 구조의 높이는 상기 제 1 디바이스의 높이와 동일한, 장치.

**청구항 22**

청구항 19에 있어서,

상기 제 1 디바이스는 서로 한 측면씩 배열된 다이들의 제 1 스택 및 다이들의 제 2 스택을 포함하는, 장치.

**청구항 23**

청구항 22에 있어서,

상기 구조는 상기 다이들의 제 1 스택과 상기 다이들의 제 2 스택 사이에 배치된 제 3 구조 부분을 더 포함하고, 상기 제 3 구조 부분은 상기 베이스 및 상기 제 2 디바이스에 결합된 도전 경로들을 포함하는, 장치.

**청구항 24**

장치에 있어서:

신호들을 수신하도록 구성된 베이스;

제 1 디바이스로서, 상기 제 1 디바이스를 적어도 부분적으로 통하는 도전 경로들을 포함하는 상기 제 1 디바이스;

제 1 표면, 상기 제 1 표면과 대향하는 제 2 표면, 상기 제 1 표면에 배치되고 상기 제 1 디바이스에 결합된 제 1 도전 접촉들, 상기 제 2 표면에 배치된 제 2 도전 접촉들을 포함하는 제 2 디바이스; 및

상기 신호들의 적어도 하나의 서브세트를 상기 제 2 디바이스에 전송하도록 구성된 도전 경로들을 포함하고, 상기 구조는 상기 베이스, 상기 제 1 디바이스 및 상기 제 2 디바이스와 함께 스택으로 배열되는 제 1 구조 부분을 포함하고, 상기 제 1 및 제 2 디바이스들은 상기 베이스와 상기 제 1 구조 부분 사이에 있는, 장치.

**청구항 25**

청구항 24에 있어서,

상기 구조는 제 2 구조 부분 및 제 3 구조 부분을 더 포함하고, 상기 제 2 구조 부분은 상기 제 1 디바이스의 제 1 측면에 배치되고 상기 베이스 및 상기 제 1 구조 부분에 결합된 도전 경로들을 포함하고, 상기 제 3 구조 부분은 상기 제 1 디바이스의 제 2 측면에 배치되고 상기 베이스 및 상기 제 1 구조 부분에 결합된 도전 경로들을 포함하는, 장치.

**청구항 26**

청구항 25에 있어서,

상기 제 2 및 제 3 구조 부분들의 각각은 제 1 표면, 상기 제 1 표면과 대향하는 제 2 표면, 상기 제 1 표면에 배치되고 상기 제 1 베이스에 결합된 제 3 도전 접촉들, 상기 제 2 표면에 배치되고 상기 제 1 구조 부분에 결합된 제 4 도전 접촉들, 및 상기 제 1 도전 접촉들을 상기 제 2 도전 접촉에 결합하는 제 2 도전 경로들을 포함하는 장치.

**청구항 27**

청구항 25에 있어서,

상기 제 1 디바이스는 서로 한 측면씩 배열된 다이들의 제 1 스택 및 다이들의 제 2 스택을 포함하는, 장치.

**청구항 28**

청구항 27에 있어서,

상기 다이들의 제 1 스택과 상기 다이들의 제 2 스택 사이에 배치된 제 4 구조 부분을 더 포함하고, 상기 제 4 구조 부분은 상기 베이스 및 상기 제 2 디바이스에 결합된 도전 경로들을 포함하는, 장치.

**청구항 29**

청구항 24에 있어서,

상기 제 1 구조 부분은 상기 제 2 디바이스의 길이보다 긴 길이를 가지는, 장치.

**청구항 30**

시스템에 있어서:

처리기;

상기 처리기와 함께 집적 회로 패키지에 동봉되고, 다이를 적어도 부분적으로 통하는 도전 경로들을 가진 상기 다이를 포함하는 메모리 디바이스;

상기 메모리 디바이스 및 상기 처리기와 함께 스택으로 배열되고 신호들을 수신하도록 구성된 베이스; 및

상기 처리기 및 상기 메모리 디바이스의 상기 스택에 및 이들 중 적어도 하나의 외부에 배치되고, 상기 처리기 및 상기 메모리 디바이스 중 적어도 하나와 상기 베이스 사이에서 상기 신호들의 적어도 하나의 서브세트를 전송하도록 구성되는 구조를 포함하는, 시스템.

### 청구항 31

청구항 30에 있어서,

상기 메모리 디바이스는 다이들의 스택을 포함하는, 시스템.

### 청구항 32

청구항 30에 있어서,

상기 집적 회로 패키지는 안테나에 결합되는, 시스템.

### 청구항 33

방법에 있어서:

집적 회로 패키지의 베이스에서 신호들을 수신하는 단계로서, 상기 집적 회로 패키지는 제 1 디바이스 및 제 2 디바이스를 포함하고, 상기 제 2 디바이스는 상기 제 1 디바이스 및 상기 베이스와 함께 스택으로 배열되고, 상기 제 1 디바이스는 상기 제 1 디바이스를 적어도 부분적으로 통하는 적어도 하나의 도전 경로를 포함하는, 상기 수신 단계;

상기 제 1 디바이스 및 상기 제 2 디바이스의 상기 스택의 내부 및 이들 중 적어도 하나의 외부의 구조의 도전 경로들을 이용하여 상기 베이스로부터 상기 제 2 디바이스로 상기 신호들의 적어도 하나의 서브세트를 전송하는 단계로서, 상기 도전 경로들 중 적어도 일부는 상기 구조의 비아들을 통과하는, 상기 전송 단계를 포함하는, 방법.

### 청구항 34

청구항 33에 있어서,

상기 신호들의 적어도 하나의 서브세트를 전송하는 단계는, 상기 베이스로부터 상기 제 2 디바이스로 상기 신호들 중 적어도 하나의 데이터 신호를 전송하고 상기 베이스로부터 상기 제 2 디바이스로 상기 신호들 중 적어도 하나의 전력 신호를 전송하는 단계를 포함하는, 방법.

### 청구항 35

청구항 33에 있어서,

상기 신호들의 적어도 하나의 서브세트를 전송하는 단계는, 상기 베이스로부터 상기 제 2 디바이스로 전력 신호들만 전송하는 단계를 포함하는, 방법.

### 청구항 36

청구항 33에 있어서,

상기 베이스로부터 상기 제 1 디바이스로 상기 신호들의 부가의 서브세트를 전송하는 단계; 및

상기 제 1 디바이스로부터 상기 제 2 디바이스로 상기 신호들의 부가의 서브세트를 전송하는 단계를 더 포함하는, 방법.

### 청구항 37

청구항 36에 있어서,

상기 신호들의 부가의 서브세트는 전력 신호들을 배제하는, 방법.

**청구항 38**

청구항 36에 있어서,

상기 제 1 디바이스로부터 상기 제 2 디바이스로 상기 신호들의 부가의 서브세트를 전송하는 단계는, 상기 제 1 디바이스로부터 상기 구조의 일부로 상기 신호들의 부가의 서브세트를 전송하고 상기 구조의 일부로부터 상기 제 2 디바이스로 상기 신호들의 부가의 서브세트를 전송하는 단계를 포함하는, 방법.

**청구항 39**

청구항 36에 있어서,

상기 제 1 디바이스로부터 상기 제 2 디바이스로 상기 신호들의 부가의 서브세트를 전송하는 단계는, 상기 제 1 디바이스의 다이들의 적어도 하나의 스택의 적어도 하나의 비아들을 통해 상기 신호들의 부가의 서브세트를 전송하는 단계를 포함하는, 방법.

**청구항 40**

방법에 있어서:

제 1 디바이스를 제 2 디바이스와 함께 스택으로 배열하는 단계로서, 상기 제 1 디바이스는 상기 제 1 디바이스를 적어도 부분적으로 통하는 적어도 하나의 도전 경로를 포함하는, 상기 배열 단계; 및

상기 제 1 및 제 2 디바이스들 중 적어도 하나와 베이스 사이에서 신호들의 적어도 하나의 서브세트를 전송하기 위해 상기 스택으로 구조를 배열하는 단계로서, 상기 구조는 상기 신호들을 전송하기 위한 도전 경로들을 포함하고, 상기 도전 경로들 중 적어도 일부는 상기 구조의 바이들을 통과하는, 상기 구조 배열 단계를 포함하는, 방법.

**청구항 41**

청구항 40에 있어서,

상기 구조 배열 단계는 상기 제 1 및 제 2 디바이스들 사이에 상기 구조의 일부를 배치하는 단계를 포함하는, 방법.

**청구항 42**

청구항 40에 있어서,

상기 구조 배열 단계는 상기 제 1 디바이스의 제 1 측면에서 상기 구조의 제 1 부분을 배치하고 상기 제 1 디바이스의 제 2 측면에서 상기 구조의 제 2 부분을 배치하는 단계를 포함하는, 방법.

**청구항 43**

청구항 40에 있어서,

상기 구조 배열 단계는 상기 구조의 일부와 상기 베이스 사이에 상기 제 1 및 제 2 디바이스들을 배치하는 단계를 포함하는, 방법.

**명세서**

**기술분야**

**관련 출원**

본 특허 출원은 2008년 9월 11일 출원된 미국 출원 번호 제12/209,052호로 를 기초로 우선권을 주장하며, 이것은 본 명세서에 참조문헌으로 포함되어 있다.

**배경기술**

[0001]

[0002]



[0003] 컴퓨터들 및 전자 제품들, 예를 들면 텔레비전들, 디지털 카메라들 및 셀룰러 폰들은 흔히 전기적 기능들을 수행하기 위해 하나 이상의 디바이스들을 이용한다. 예를 들면, 컴퓨터 또는 셀룰러 폰은 논리 기능을 수행하기 위한 처리기와 같은 논리 디바이스, 및 정보를 저장하기 위한 메모리 디바이스를 이용할 수 있다. 디바이스들은 이들 사이에서 전달되는 전기 신호들의 형태로 서로 통신할 수 있다. 이들 제품들 중 일부에서 디바이스들의 수가 증가함에 따라, 이들 디바이스들 사이에서 신호들을 전달하는 것은 도전 과제를 제기할 수 있다.

**도면의 간단한 설명**

- [0004] 도 1은 본 발명의 다양한 실시예들에 따른 집적 회로 패키지(IC)를 포함하는 장치의 블록도.
- 도 2는 본 발명의 다양한 실시예들에 따른 IC 패키지의 일부 구성요소들의 분해도.
- 도 3은 본 발명의 다양한 실시예들에 따른 디바이스들 및 인터포저( interposer)를 구비한 IC 패키지의 부분 단면도.
- 도 4는 본 발명의 다양한 실시예들에 따른, 디바이스들 및 인터포저를 구비하고, 디바이스들 중 하나가 다이들의 스택을 포함하는, IC 패키지의 부분 단면도.
- 도 5는 본 발명의 다양한 실시예들에 따른, 디바이스들을 구비하고, 인터포저를 구비하지 않은, IC 패키지의 부분 단면도.
- 도 6은 본 발명의 다양한 실시예들에 따른, 디바이스들을 구비하고, 인터포저를 구비하지 않고, 디바이스들 중 하나가 다이들의 스택을 포함하는, IC 패키지의 부분 단면도.
- 도 7은 본 발명의 다양한 실시예들에 따른, 디바이스들 및 디바이스들 중 하나의 상단면에 신호들을 전송하기 위한 구조를 구비한 IC 패키지의 부분 단면도.
- 도 8은 본 발명의 다양한 실시예들에 따른, 디바이스들을 구비하고, 디바이스들 중 하나가 다이들의 스택을 포함하는, IC 패키지의 부분 단면도.
- 도 9는 본 발명의 다양한 실시예들에 따른, 디바이스들 및 다중층들을 가진 인터포저를 구비한 IC 패키지의 부분 단면도.
- 도 10은 본 발명의 다양한 실시예들에 따른 IC 패키지에서 신호들을 전송하는 방법을 도시한 흐름도.
- 도 11은 본 발명의 다양한 실시예들에 따른 다이들을 포함하는 구성요소들을 스택으로 배열하는 방법을 도시한 흐름도.
- 도 12는 본 발명의 다양한 실시예들에 따른 IC 패키지를 포함하는 시스템을 도시한 도면.

**발명을 실시하기 위한 구체적인 내용**

- [0005] 도 1은 본 발명의 다양한 실시예들에 따른 IC 패키지(101)를 포함하는 장치(100)의 블록도이다. 장치(100)는 메모리 디바이스, 처리기, 컴퓨터, 텔레비전, 디지털 카메라, 셀룰러 폰, 또는 다른 전자 디바이스나 시스템을 포함할 수 있거나, 이들 내에 포함될 수 있다.
- [0006] 장치(100)는 디바이스들(110, 120 및 123)을 포함할 수 있으며, 하나 이상의 디바이스들, 예를 들면 디바이스들(110 및 120)은 IC 패키지(101)와 같은 동일한 IC 패키지 내에 포함될 수 있다. 각각의 디바이스들(110, 120 및 123)은 저장 기능(예를 들면, 메모리 디바이스의 기능) 및 논리 기능(예를 들면, 처리기의 기능)과 같은 하나 이상의 기능들을 수행하기 위한 회로를 포함할 수 있다. IC 패키지(101)는, 디바이스(110)가 메모리 디바이스를 포함할 수 있고 디바이스(120)가 논리 디바이스(예를 들면, 범용 처리기, 주문형 반도체(ASIC) 또는 마이크로프로세서)를 포함할 수 있으므로, 저장 및 논리 기능들 둘다를 포함할 수 있다.
- [0007] 장치(100)는 또한, 배터리와 같은 소스 또는 교류-직류(AC-DC) 전원으로로부터 전력(예를 들면, 전력 신호들 Vcc 및 Vss)을 수신하기 위한 전력 유닛(114)을 포함할 수 있다. 전력 유닛(114)은 라인들(115)을 통해 IC 패키지(101)와 디바이스(123)에 전력을 제공할 수 있다.
- [0008] IC 패키지(101)는 라인들(116)을 통해 디바이스(123)와 정보를 교환할 수 있다. 따라서, IC 패키지(101)에 및 IC 패키지(101)로부터 전송된 정보는 라인들(115) 상의 전력 신호들 및 라인들(116) 상의 데이터, 어드레스, 클럭 및 제어와 같은 다른 신호들을 포함할 수 있다.

- [0009] IC 패키지(101)는 도 2 내지 도 10을 참조하여 하기에 기술된 IC 패키지를 포함할 수 있다.
- [0010] 도 2는 본 발명의 다양한 실시예들에 따른 IC 패키지(200)의 일부 구성요소들의 분해도를 도시한다. IC 패키지(200)는 개별 다이들(211, 212, 213 및 214)을 구비한 디바이스(210), 디바이스(220) 및 베이스(290)를 포함할 수 있다. IC 패키지(200)는 인터포저(230) 및 구조 부분들(241, 242, 243, 244, 245 및 246)을 포함하는 구조를 포함할 수 있다. 디바이스들(210 및 220)과 같은 IC 패키지(200)의 일부 구성요소들은 도 1의 IC 패키지(101)의 디바이스들(110 및 120)의 블록도와 유사하거나 동일한 개략적 블록도로 표현될 수 있다.
- [0011] 베이스(290), 디바이스들(210 및 220), 인터포저(230), 및 구조 부분들(241 내지 246)을 포함하는 IC 패키지(200)의 구성요소들은 이들이 서로 부착된 후에 z-차원의 스택으로 배열될 수 있다. IC 패키지(200)의 구성요소들을 서로 부착하기 위하여 납땜 또는 다른 부착 기술들이 이용될 수 있다.
- [0012] 디바이스(210)의 각각의 다이들(211, 212, 213 및 214)은 전기 회로 구성요소들이 배치되는 반도체-기반 재료(예를 들면, 실리콘)를 포함할 수 있다. 다이들(211, 212, 213 및 214)은 실리콘 웨이퍼로부터 형성될 수 있다. 디바이스(220)는 또한 디바이스(220)의 전기 회로 구성요소들이 배치되는 하나 이상의 다이들을 포함할 수 있다. 디바이스의 다이(또는 다이들)의 재료는 디바이스(210)의 다이들의 재료와 유사할 수 있다.
- [0013] 인터포저(230) 및 구조 부분들(241 내지 246)은 다이들(211, 212, 213 및 214)의 재료와 동일하거나 상이한 재료를 포함할 수 있다. 베이스(290)는 x-차원 및 y-차원으로 격자 패턴으로 배열된 도전 소자들(예를 들면, 납땜 볼들), 및 IC 패키지(200)에 및 IC 패키지(200)로부터 정보를 전송하기 위해 베이스(290)를 통과하는 도전 경로를 포함할 수 있다. 베이스(290)는 무기(예를 들면, 세라믹) 기판 또는 유기 기판을 포함할 수 있다. 유기 기판의 예는 다중층 비스말레이미드 트리아진(BT: bismaleimide triazine) 기판을 포함한다. 도 2는 볼 형상을 갖는 도전 소자들(299)을 예로서 도시한다. 그러나, 도전 소자들(299)은 핀 형상, 직사각 형상 등과 같은 다른 형상들을 포함할 수 있다.
- [0014] IC 패키지(200)는 베이스(290)의 도전 소자들(299)에 및 도전 소자들(299)로부터 전송된 신호들을 이용하여 다른 디바이스들과 통신할 수 있다. 도 2에 도시된 바와 같이, 신호들은 전력 신호들 Vcc 및 Vss, 데이터 신호들 D1, D2, D3, D4 및 D5, 어드레스 신호들 A1, A2 및 A3, 클록 신호들 CK1 및 CK2, 및 제어 신호들 CTL1 및 CTL2를 포함할 수 있다. Vcc 신호들은 양의 전압값을 갖는 전력 신호들을 포함한다. Vss는 영 전압 값 또는 접지 전위 값을 갖는 신호들을 포함한다. 도 2는 신호들의 일부(예를 들면 D1 내지 D5, 및 CTL1 및 CTL2)와 2 방향 화살표들을 연관시켜, 이들 신호들이 IC 패키지(200)로부터 또는 IC 패키지(200)에 전송될 수 있음을 표시한다.
- [0015] IC 패키지(200)는 베이스(290)와 디바이스들(210 및 220) 중 하나 또는 둘다 사이에서 신호들의 적어도 하나의 서브세트를 전송하기 위해 인터포저(230) 및 구조 부분들(241 내지 246)을 이용할 수 있다. 신호들의 서브세트는 신호들 중에서 하나의 신호 또는 신호들의 그룹만을 포함한다. 신호들의 적어도 하나의 서브세트는 본 명세서에 기술된 바와 같이, 신호들 중에서 하나, 또는 일부, 또는 전부만을 의미한다. 도 2에서, 신호들의 서브세트는 하나 이상의 전력 신호들, 하나 이상의 데이터 신호들, 하나 이상의 어드레스 신호들, 하나 이상의 클록 신호들, 하나 이상의 제어 신호들, 또는 이들 신호들의 조합을 포함한다. 신호들의 서브세트는 또한 하나 이상의 전력 신호들만, 하나 이상의 데이터 신호들만, 하나 이상의 어드레스 신호들만, 하나 이상의 클록 신호들만, 또는 하나 이상의 제어 신호들만을 포함할 수 있다. 예를 들면, IC 패키지(200)는 베이스(290)에서 디바이스(220)로 하나 이상의 전력 신호들만(예를 들면, Vcc 및 Vss 신호들만)을 전송하기 위해 인터포저(230) 및 구조 부분들(241 내지 246)을 이용할 수 있다. 다른 예에서, IC 패키지(200)는 베이스(290)에서 디바이스(210)로 및 디바이스(210)에서 디바이스(220)로 신호들의 적어도 하나의 서브세트를 전송할 수 있다. 다른 예에서, IC 패키지(200)는 베이스(290)에서 디바이스(210)로 및 디바이스(210)에서 인터포저(230)로, 그 후에 인터포저에서 디바이스(220)로 신호들(예를 들면, 데이터 신호들)의 적어도 하나의 서브세트를 전송할 수 있다.
- [0016] 도 3은 본 발명의 다양한 실시예들에 따른, 디바이스들(310 및 320) 및 인터포저(330)를 구비한 IC 패키지(300)의 부분 단면도를 도시한다. IC 패키지(300)는 또한 IC 패키지(300)에 및 IC 패키지(300)로부터 정보를 전송하기 위해 도전 소자들(399)을 구비한 베이스(390)를 포함할 수 있다. IC 패키지(300)는 베이스(390) 및 디바이스들(310 및 320) 중 하나 또는 둘다 사이에서 신호들을 전송하기 위해 인터포저(330) 및 구조 부분들(341, 342 및 343)을 포함하는 구조를 이용할 수 있다. 도 3에 도시된 바와 같이, 베이스(390), 디바이스들(310 및 320) 및 인터포저(330)는 z-방향으로의 스택으로 배열되고, 도전 접합부들(301)(예를 들면, 납땜, 구리 또는 다른 재료들)에 의해 서로 부착된다. IC 패키지(300)는 인클로저(302) 및 내부(303)를 포함할 수 있고, 내부에는 예폭 시계 성형 화합물과 같은 절연 재료로 충전될 수 있다. 디바이스들(310 및 320), 인터포저(330) 및 구조 부분들

(341, 342 및 343)과 같은 IC 패키지(300)의 구성요소들은 인클로저(302) 내부에 동봉될 수 있다.

- [0017] 베이스(390)는 도 2의 베이스(290)와 유사하거나 동일한 기능들 및 재료를 포함할 수 있다. 도 3에 도시된 바와 같이, 베이스(390)는 도전 접촉들(393 및 394), 및 베이스(390)를 통해 연장하고 도전 접촉들(393 및 394)을 결합하는 비아들(때때로 쓰루-홀이라고도 불림)(395)을 포함할 수 있다. 베이스(390)는 또한 이를 통과하는 도전 경로들(396)을 포함할 수 있다. 도전 경로들(396)은 도전 접촉들(393 및 394) 사이에 전기 접속들을 제공하기 위해 비아들(395) 내부에 배치된 도전 재료(397)를 포함할 수 있다. 도 3은 간략화를 위해 베이스(390) 내에 4개의 도전 경로들(396)을 도시한다. 그러나, 베이스(390)는 도전 경로들(396)과 유사하거나 동일한 수많은 도전 경로들을 포함할 수 있다. 베이스(390)는 전력 신호 필터링과 같은 기능을 수행하기 위해 저항기들, 인덕터들 및 커패시터들과 같은 패시브 구성요소들을 포함할 수 있으며, 이들 구성요소들은 본 명세서에 기술된 실시예들에 초점을 맞추도록 돕기 위하여 도 3에서 생략된다.
- [0018] 디바이스(310)는 도 1의 디바이스(110) 또는 도 2의 디바이스(210)와 유사하거나 동일한 기능들 및 재료를 포함할 수 있다. 도 3에 도시된 바와 같이, 디바이스(310)는 x-차원에서 서로 한 면씩, x-차원에 수직인 z-차원에서 동일한 스택 레벨 상에 배치되는 다이들(311 및 312)과 같은 다중 다이들을 포함할 수 있다. 다이들(311 및 312)의 각각은 다이의 대향 표면들에 배치된 도전 접촉들(313 및 314)과, 다이를 통해 연장하고 도전 접촉들(313 및 314)에 결합된 비아들(315)을 포함할 수 있다. 다이들(311 및 312)의 각각은 또한 다이를 통과하는 도전 경로들(316)을 포함할 수 있다. 도전 경로들(316)은 비아들(315) 내부에 도전 재료(317)를 포함할 수 있다. 다이들(311 및 312)의 각각은 또한 베이스(390)와 디바이스(320) 사이에서 신호들을 전송하기 위한 부가의 도전 경로들(도 3에 도시되지 않음)을 포함할 수 있다. 부가의 도전 경로들은 다이를 통해 연장하는 비아들을 통과하지 않을 수 있다. 디바이스(310)는 다이들(311 및 312)의 각각이 메모리 셀들 및 관련 회로와 같은 다른 구성요소들을 포함할 수 있는 메모리 디바이스를 포함할 수 있고, 다른 구성요소들은 본 명세서에 기술된 실시예들에 초점을 맞추도록 돕기 위하여 도 3에서 생략된다.
- [0019] 도 3에 도시된 바와 같이, 구조 부분(341)은 디바이스(310)의 측면(351)에 배치될 수 있고, 구조 부분(342)은 디바이스(310)의 측면(352)에 배치될 수 있고, 구조 부분(343)은 디바이스(310)의 다이들(311 및 312) 사이에 배치될 수 있다. 구조 부분들(341, 342 및 343)은 구조 부분의 대향 표면들에 배치된 도전 접촉들(343 및 344)과, 구조 부분을 통해 연장하고 도전 접촉들(343 및 344)에 결합된 비아들(345)을 포함할 수 있다. 구조 부분들(341, 342 및 343)의 각각은 구조 부분을 통과하는 도전 경로들(346)을 포함할 수 있다. 도전 경로들(346)은 비아들(345) 내부에 도전 재료(347)를 포함할 수 있다. 도 3에 도시된 바와 같이, 디바이스(310) 및 구조 부분들(341, 342 및 343)은 z-차원으로 동일한 높이(355)를 가진다. 도 3은 간략화를 위해 구조 부분들(341, 342 및 343)의 각각에 2개의 도전 경로들을 도시한다. 그러나, 구조 부분들(341, 342 및 343)의 각각은 도전 경로들(346)과 유사하거나 동일한 수많은 도전 경로들을 포함할 수 있다.
- [0020] 디바이스(320)는 도 1의 디바이스(120) 또는 도 2의 디바이스(220)와 유사하거나 동일한 기능들 및 재료를 포함할 수 있다. 도 3에서, 디바이스(320)는 블록도로서 도시된 회로(328)에 대한 전기 접속을 제공하기 위해, 도전 접촉들(323) 및 도전 접촉들(323)에 결합된 도전 경로들(326)을 포함할 수 있다. 회로(328)는 기능들, 예를 들면 도 1의 디바이스(120)와 유사하거나 동일한 기능들을 수행하도록 구성된 구성요소들을 포함할 수 있다.
- [0021] 도 3의 인터포저(330)는 대향 표면들(331 및 332), 표면(331)에 배치된 도전 접촉들(333), 표면(332)에 배치된 도전 접촉들(334) 및 표면(331)에서 표면(332)으로 연장하고 도전 접촉들(333 및 334)에 결합된 비아들(335)을 포함한다. 인터포저(330)는 또한 이를 통과하는 도전 경로들(336)을 포함할 수 있다. 도전 경로들(336)은 비아들(335) 내부에 도전 재료(337)를 포함할 수 있다. 인터포저(330)는 또한 베이스(390)와 디바이스(320) 사이 또는 디바이스(310)와 디바이스(320) 사이에서 신호들을 전송하기 위한 부가의 도전 경로들(도 3에 도시되지 않음)을 포함할 수 있다. 인터포저(320)의 부가의 도전 경로들은 인터포저(330)의 표면(331)에서 표면(332)으로 연장하는 비아들을 통과하지 않을 수 있다. 인터포저(330)는 서로로부터 전기적으로 분리되는 z-차원으로 다중 층들을 포함할 수 있다. 다중층들의 각각은 상이한 타입의 신호를 전송하기 위해 도전 재료를 포함할 수 있다. 예를 들면, 인터포저(330)는 3개의 층들을 포함할 수 있으며, 제 1 층이 양의 전압 값(예를 들면, Vcc)을 가진 전력 신호들을 전송할 수 있고, 제 2 층이 접지 전위 값(예를 들면, Vss)을 가진 전력 신호들을 전송할 수 있고, 제 3 층이 데이터 또는 다른 타입의 신호들을 전송할 수 있다.
- [0022] 인터포저(330)는 예지들(356 및 357) 사이에서 측정된 길이(339)를 가진다. 길이(339)는 다이(311)의 길이(353)보다 길고, 다이(312)의 길이(354)보다 길고, 길이들(353 및 354)의 합보다 클 수 있다. 도 3에 도시된 바와 같이, 디바이스(310)보다 긴 길이를 갖는 인터포저(330)는 디바이스(310) 및 구조 부분(343)을 통할 뿐만 아니라

라, 구조 부분들(341 및 342)을 통해 베이스(390)에 결합하도록 허용한다. 인터포저(330) 및 구조 부분들(341, 342 및 343)을 포함하는 IC 패키지(300)의 신호 전달 구조는 IC 패키지(300)의 신호 전달을 개선시킬 수 있다. 예를 들면, 베이스(390)에서 수신된 전력 신호들은 베이스(390)로부터 디바이스(320)로 더욱 균일하게 분배될 수 있다. IC 패키지(300)는 인터포저(330) 및 구조 부분들(341, 342 및 343)을 포함하고, 베이스(390)로부터 디바이스(310)로 그 후에 디바이스(310)에서 디바이스(320)로 전력 신호들의 일부 또는 전부를 전달하는 구조를 생략할 수 있다. 그러나, 일부 경우들에서, 인터포저(330)를 생략하면 베이스(390)로부터 디바이스(320)로의 균일한 신호 분배(예를 들면, 전력 신호들의 분배)를 감소시킬 수 있다.

[0023] 도 3은 디바이스들(310 및 320), 인터포저(330) 및 구조 부분들(341, 342 및 343)이 서로 물리적으로 분리되는 예를 도시한다. 그러나, 구조 부분들(341 및 343) 중 하나 또는 둘다는 다이(311)와 같은 동일한 다이에 통합될 수 있거나, 또는 구조 부분들(342 및 343) 중 하나 또는 둘다는 다이(312)와 같은 동일한 다이에 통합될 수 있다. 도 3은 또한, 디바이스(310)가 x-차원으로 서로로부터 물리적으로 분리되는 다이들(311 및 312)을 포함하는 예를 도시한다. 그러나, 디바이스(320)는 x-차원으로 단일 다이를 포함할 수 있다. 단일 다이를 이용하여, 하나 이상의 구조 부분들(341, 342 및 343)은 단일 다이에 통합될 수 있거나, IC 패키지(300)로부터 생략될 수 있다. 예를 들면, 단일 다이를 이용하여, 구조 부분(341)은 단일 다이에 통합될 수 있거나, IC 패키지(300)로부터 생략될 수 있고, 구조 부분들(341 및 342)은 단일 다이로부터 분리된 상태로 있을 수 있거나, 단일 다이에 통합될 수 있다. 간단히 말하면, 인터포저(330) 및 구조 부분들(341, 342 및 343) 중 적어도 하나가 IC 패키지(300)의 인클로저(302) 내부를 제외하고 디바이스(310), 디바이스(320), 또는 둘다의 외부에 배치될 수 있음으로써, 인터포저(330) 및 구조 부분들(341, 342 및 343) 중 적어도 하나는 디바이스(310)의 다이 또는 다이들로부터 물리적으로 분리될 수 있다.

[0024] 도 3은, z-차원으로 하나의 스택 레벨 상에 배치되는 다이들(311 및 312)과 같은 다이들을 갖는 디바이스(310)를 구비한 IC 패키지(300)의 예를 도시한다. 그러나, 디바이스(320)는 z-차원으로 다이들의 스택을 포함할 수 있다.

[0025] 도 4는 본 발명의 다양한 실시예들에 따른, 디바이스들(410 및 420) 및 인터포저(430)를 구비하고, 디바이스(410)가 다이들의 스택을 포함하는, IC 패키지(400)의 부분 단면도를 도시한다. IC 패키지(400)는 도 4의 디바이스(410) 및 구조 부분들(401, 402 및 403)의 스택들을 제외하고, IC 패키지(300)의 구성요소들과 유사한 구성요소들을 포함할 수 있다. 따라서, 간략화를 위해, 도 3 및 도 4 사이의 유사한 특징들은 동일한 참조 라벨들을 가지고 도 4의 기술로부터 생략된다. 도 4에 도시된 바와 같이, 디바이스(410)는, x-차원으로 서로 한 측면씩 배열된 다이들(461)의 스택 및 다이들(462)의 스택을 포함할 수 있으며, x-차원은 베이스(390) 및 제 2 디바이스(420) 사이의 z-차원에 수직이다. 디바이스(410)는, 다이들(461)의 스택 및 다이들(462)의 스택에 및 이들로부터 정보를 전송하기 위하여 다이들(461)의 스택 및 다이들(462)의 스택을 통과하는 도전 경로들(416)을 포함할 수 있다. 구조 부분들(401, 402 및 403)의 스택들의 각각은 도 4에 도시된 바와 같은 스택으로 배열된 다중 구조들 및 베이스(490)와 인터포저(430) 사이의 전기 통신을 제공하기 위해 스택을 통과하는 도전 경로들(446)을 포함할 수 있다. 도 4에 도시된 바와 같이, 디바이스(410) 및 구조 부분들(401, 402 및 403)의 스택들은 동일한 높이(435)를 가진다.

[0026] 도 5는 본 발명의 다양한 실시예들에 따른, 디바이스들(510 및 520)을 구비하고 인터포저를 구비하지 않은, IC 패키지(500)의 부분 단면도를 도시한다. IC 패키지(500)는 도 3의 인터포저(430)와 같은 인터포저를 구비하지 않는 것을 제외하면, 도 3의 IC 패키지(300)의 구성요소들과 유사한 구성요소들을 포함할 수 있다. 간략화를 위해, 도 3 및 도 5 사이의 유사한 특징들은 동일한 참조 라벨들을 가지고 도 5의 기술로부터 생략된다. IC 패키지(500)가 인터포저를 구비하지 않기 때문에, 디바이스(510) 및 구조 부분들(541, 542 및 543)은 베이스(590) 및 디바이스(520)에 직접 접속될 수 있다. 디바이스(520)는 길이(529)를 가지고, 다이(511)는 다이(511)의 길이(553)를 가지고, 다이(512)는 길이(554)를 가진다. 도 5에 도시된 바와 같이, 길이(529)는 길이(553)보다 길고, 길이(554)보다 길고, 길이들(553 및 554)의 합보다 길 수 있어서, 구조 부분들(541 및 542)은 베이스(590) 및 디바이스(520)(디바이스(510) 주위에 결합된)에 직접 결합될 수 있다. IC 패키지(500)는 베이스(590)의 도전 소자들(599)에서 수신된 신호들의 적어도 하나의 서브세트를 디바이스(520)에 전송하기 위하여, 구조 부분들(541, 542 및 543)을 이용할 수 있다.

[0027] 도 6은 본 발명의 다양한 실시예들에 따른, 디바이스들(610 및 620)을 구비하고, 인터포저를 구비하지 않고, 디바이스(610)가 다이들의 스택을 포함하는, IC 패키지(600)의 부분 단면도를 도시한다. IC 패키지(600)는 도 6의 디바이스(610) 및 구조 부분들(601, 602 및 603)을 제외하면, IC 패키지(500)의 구성요소들과 유사한 구성요소들을 포함할 수 있다. 따라서, 간략화를 위해, 도 5 및 도 6 사이의 유사한 특징들은 동일한 참조 라벨들을 가

지고 도 6의 기술로부터 생략된다. 도 6에 도시된 바와 같이, 디바이스(610)는 x-차원에서 서로 한 측면씩 배열된 다이들(661)의 스택 및 다이들(662)의 스택을 포함할 수 있다. 디바이스(620)는 다이들(661)의 스택 및 다이들(662)의 스택에 및 이들로부터 정보를 전송하기 위해 다이들(661)의 스택 및 다이들(662)의 스택을 통과하는 도전 경로들(616)을 포함할 수 있다. 구조 부분들(601, 602 및 603)의 스택들의 각각은 도 6에 도시된 바와 같은 스택으로 배열된 다중 구조들 및 베이스(690)와 디바이스(620) 사이의 전기 통신을 제공하기 위해 스택을 통과하는 도전 경로들(646)을 포함할 수 있다. 도 6에 도시된 바와 같이, 디바이스(610) 및 구조 부분들(601, 602 및 603)은 동일한 높이(635)를 가진다.

[0028] 도 7은 본 발명의 다양한 실시예들에 따른, 디바이스들(710 및 720), 및 디바이스(720)의 상단면으로부터 디바이스(720)로 신호들을 전송하기 위한 구조를 구비한 IC 패키지(700)의 부분 단면도를 도시한다. IC 패키지(700)는 베이스(790)의 도전 소자들(799)에서 수신된 신호들의 적어도 하나의 서브세트를 디바이스(720)에 전송하는 구조를 형성하는 구조 부분들(740, 741, 742 및 743)을 포함할 수 있다. 베이스(790)는 도 2 내지 도 6의 베이스들(290, 390, 490, 590 및 690)의 구성요소들과 유사하거나 동일한 구성요소들을 포함할 수 있다. 일부 변형들에서, 구조 부분(743)은 IC 패키지(700)로부터 생략될 수 있다. 디바이스(710)는 도전 접촉들(713 및 714), 비아들(715), 도전 경로들(716), 및 도전 재료(717)와 같은 구성요소들을 포함할 수 있으며, 이들은 도 3의 디바이스(310)의 각각의 도전 접촉들(313 및 314), 비아들(315), 도전 경로들(316), 및 도전 재료(317)와 유사하거나 동일하거나, 또한, 도 5의 디바이스(510)의 각각의 도전 접촉들(513 및 514), 비아들(515), 도전 경로들(516), 및 도전 재료(517)와 유사하거나 동일하다.

[0029] 도 7에서, 디바이스(720)는 도 2, 도 3, 도 4, 도 5 및 도 6의 디바이스(220, 320, 420, 520 및 620)와 각각 동일하거나 유사한 기능을 포함할 수 있다. 그러나, 도 7에 도시된 바와 같이, 디바이스(720)는 구조 부분(740)으로부터 신호들을 수신하기 위해 표면(722)(디바이스(720)의 상단면에서)에 배치된 도전 접촉들(724)을 포함할 수 있다. 디바이스(720)는 또한, 표면(722)과 대향되는 표면(721)(예를 들면, 디바이스(720)의 하단면에서의 표면)에 배치된 도전 접촉들(723)과, 표면(721)에서 표면(722)으로 연장하고 도전 접촉들(723 및 724)에 결합된 비아들(725)을 포함할 수 있다. 디바이스(720)는 또한, 이를 통과하는 도전 경로들(726)을 포함할 수 있다. 도전 경로들(726)은 비아들(725) 내부에 도전 재료(727)를 포함할 수 있다.

[0030] 구조 부분들(741, 742 및 743)은 도전 접촉들(743 및 744), 비아들(745), 도전 경로들(746) 및 도전 재료(747)와 같은 구성요소들을 포함할 수 있으며, 이것은 도전 접촉들(743 및 744), 비아들(745), 도전 경로들(746) 및 도전 재료(747)와 유사하거나 동일하다. 구조 부분들(741 및 742)은 베이스(790)로부터 구조 부분(740)의 도전 접촉들(743)에 신호들의 적어도 일부를 전송할 수 있다. 구조 부분(740)은 분산형 네트워크(747)를 포함할 수 있으며, 분산형 네트워크(747)는 도전 접촉들(743)로부터 도전 접촉들(748)로, 그 후에 도전 접촉들(748)로부터 디바이스(720)로 신호들을 전송하도록 허용하기 위하여, 도전 접촉들(743 및 748) 사이에 결합된 하나 이상의 도전 라인층들을 포함할 수 있다.

[0031] 구조 부분(740)은 길이(749)를 갖고 디바이스(720)는 길이(729)를 가진다. 도 7에 도시된 바와 같이, 길이(749)는 길이(729)보다 더 클 수 있어서, 구조 부분들(741 및 742)은 베이스(790) 및 구조 부분(740)(디바이스들(710 및 720) 주위에 결합된)에 직접 결합될 수 있다. 다이(711)는 길이(753)를 가지고, 다이(712)는 길이(754)를 가진다. 도 7에 도시된 바와 같이, 디바이스(720)의 길이(729)는 길이(753)보다 길고, 길이(754)보다 길고, 길이들(753 및 754)의 합보다 길 수 있어서, 구조 부분(743)은 베이스(790) 및 디바이스(720)(디바이스(710) 주위에 결합된)에 직접 결합될 수 있다.

[0032] 도 8은 본 발명의 다양한 실시예들에 따른, 디바이스들(810 및 820)을 구비하고, 디바이스(820)가 다이들의 스택을 포함하는, IC 패키지(800)의 부분 단면도를 도시한다. IC 패키지(800)는 도 8의 디바이스(810) 및 구조 부분들(801, 802 및 803)을 제외하면, IC 패키지(700)의 구성요소들과 유사한 구성요소들을 포함할 수 있다. 따라서, 간략화를 위해, 도 7 및 도 8 사이의 유사한 특징들은 동일한 참조 라벨들을 가지고 도 8의 기술로부터 생략된다. 도 8에 도시된 바와 같이, 디바이스(810)는 x-차원에서 서로 한 측면씩 배열된 다이들(861)의 스택 및 다이들(862)의 스택을 포함할 수 있다. 디바이스(810)는 다이들(861)의 스택 및 다이들(862)의 스택에 및 이들로부터 정보를 전송하기 위해 다이들(861)의 스택 및 다이들(862)의 스택을 통과하는 도전 경로들(816)을 포함할 수 있다. 구조 부분들(801, 802 및 803)의 스택들의 각각은 베이스(890)와 디바이스(820) 사이의 전기 통신을 제공하기 위해 스택을 통과하는 도전 경로들(846)을 포함할 수 있다. 일부 변형들에서, 스택(803)은 IC 패키지(800)에서 생략될 수 있다.

[0033] 도 9는 본 발명의 다양한 실시예들에 따른, 디바이스들(910 및 920) 및 다중층들(971 및 972)을 가진 인터포저

(930)를 구비한 IC 패키지(900)의 부분 단면도를 도시한다. IC 패키지(900)는 도 3의 IC 패키지(300)의 구성요소들과 유사한 일부 구성요소들을 포함할 수 있다. 따라서, 도 3과 도 9 사이의 유사한 특징들은 도 9의 기술에서 생략된다. 예를 들면, 도 9의 도전 경로들(926 및 936)은 도 3의 도전 경로들(326 및 336)과 각각 유사할 수 있다.

[0034] 도 9에서, IC 패키지(900)는 베이스(990) 및 디바이스들(910 및 920) 중 하나 또는 둘다 사이에서 신호들을 전송하기 위해 인터포저(930) 및 구조 부분들(941 및 942)을 포함하는 구조를 이용할 수 있다. 도 9에 도시된 바와 같이, 구조 부분(941)은 디바이스(910)의 한 측면에 배치될 수 있고, 구조 부분(942)은 디바이스(910)의 다른 측면에 배치될 수 있다. IC 패키지(900)는 베이스(990)로부터 인터포저(930)로 전력 신호들을 전송하기 위해 구조 부분들(941 및 942)의 도전 경로들(946)을 이용할 수 있다. 베이스(990)는 디바이스들(910 및 920)에 전력 신호를 전송하기 위한 도전 경로들(996)과 디바이스들(910 및 920)에 그리고 이들로부터 데이터 및 다른 정보와 같은 신호들을 전송하기 위한 도전 경로들(998)을 포함할 수 있다.

[0035] 디바이스(920)는 도 1의 디바이스(120), 도 2의 디바이스(220) 및 도 3의 디바이스(300)와 유사하거나 동일한 기능들 및 재료를 포함할 수 있다. 예를 들면, 디바이스(920)는 회로(928)를 포함할 수 있고, 회로(928)는 기능들, 예를 들면 도 1의 디바이스(120)와 유사하거나 동일한 논리 기능들을 수행하도록 구성된 구성요소들을 포함할 수 있다.

[0036] 디바이스(910)는 도 1의 디바이스(110) 또는 도 2의 디바이스(210)와 유사하거나 동일한 기능들 및 재료를 포함할 수 있다. 도 9의 디바이스(910)는 베이스(990)의 도전 경로들(996)에 결합되어, 전력 신호를 수신하기 위한 도전 경로들(916)과, 베이스(990)의 도전 경로들(998)에 결합되어, 데이터, 어드레스 및/또는 제어 신호들과 같은 다른 신호들을 전송하기 위한 도전 경로들(918)을 포함할 수 있다. 도전 경로들(916 및 918)의 각각은비아들(915) 내부에 도전 재료(917)를 포함할 수 있다.

[0037] 디바이스(910)는 베이스(990)의 도전 경로들(998) 중 하나에 결합되어, 데이터 신호와 같은 신호를 전송하기 위한 도전 경로(912)를 포함할 수 있다. 도전 경로(912)는 회로(961)의 적어도 일부와 비아들(913 및 914)을 포함할 수 있다. 도 9에 도시된 바와 같이, 비아들(913 및 914)의 각각은 디바이스(910)의 다이(911)를 통해 부분적으로만 연장할 수 있다. 회로(961)는 도전 경로(912)상으로 전송하는 신호를 처리 또는 조작할 수 있다.

[0038] 디바이스(910)는 또한, 베이스(990)의 도전 경로들(998) 중 하나에 결합되어, 데이터 신호와 같은 신호를 전송하기 위한 도전 경로(953)를 포함할 수 있다. 도전 경로(953)는 비아들(954 및 955), 도전 세그먼트(956), 및 회로(962)의 적어도 일부를 포함할 수 있다. 도 9에 도시된 바와 같이, 비아들(954 및 955)의 각각은 디바이스(910)의 다이(911)를 통해 부분적으로만 연장할 수 있다. 도전 세그먼트(956)는 x-차원을 따라 측면으로 및 비아들(954 및 955)에 수직으로 연장할 수 있다. 회로(962)는 도전 경로(953)상으로 전송하는 신호를 처리 또는 조작할 수 있다.

[0039] 도 9는 예로서 베이스(990)와 디바이스(920) 사이에 배치된 하나의 다이(911)만을 가진 디바이스(910)를 가진 구비한 IC 패키지(900)를 도시한다. 그러나, 디바이스(910)는 도 3의 디바이스(310)와 유사한 x-차원으로 배열되는 다수의 다이들을 포함할 수 있다. 디바이스(910)는 또한 도 4의 디바이스(410)와 유사한 z-차원으로 배열되는 다수의 다이들을 포함할 수 있다. 도 9는 예로서 IC 패키지(900)의 구성요소들 내의 특정 수의 도전 경로들을 도시한다. IC(900) 내의 도전 경로들의 수는 변할 수 있다.

[0040] 도 9의 인터포저(930)는 상이한 신호들을 전송하기 위해 상이한 도전 경로들(936, 998 및 399)을 포함할 수 있다. 예를 들면, 도전 경로들(936)은 양의 전압값(예를 들면, Vcc)을 갖는 전력신호들을 디바이스(920)에 전송할 수 있고, 도전 경로들(939)은 접지 전위 값(예를 들면, Vss)을 갖는 전력신호들을 디바이스(920)에 전송할 수 있다. 도전 경로들(938)은 디바이스(910 및 920) 사이에서 데이터 또는 다른 타입의 신호들을 전송할 수 있다. 도 9에서, 도전 경로들(938)은 도전 부분들(988 및 989)로부터 물리적으로 및 전기적으로 분리된다. 비아들(986) 및 도전 경로들(936)의 도전 부분들(987)은 함께 접촉된다. 비아들(989) 및 도전 경로들(939)의 도전 부분들(989)은 함께 접촉되지만 비아들(986) 및 도전 경로들(936)의 도전 부분들(987)로부터 물리적으로 및 전기적으로 분리된다.

[0041] 도 9에 도시된 바와 같이, 인터포저(930)의 도전 경로들(936 및 939)의 일부는 인터포저(930)의 표면(951)에서 표면(952)까지 연장하는 비아들을 통과하지 않을 수 있다. 예를 들면, 도전 경로들(936)의 일부는 비아들(986)의 인터포저(930)를 부분적으로 통과하여 도전 부분들(987)에 결합될 수 있다. 비아들(986)은 표면(951)에서 도전 부분(987)까지 인터포저(930)를 통해 부분적으로만 연장할 수 있으며, 인터포저(930)의 층(971)에서 x-차원

으로 측면으로 연장한다. 다른 예에서, 도전 경로들(939)의 일부는 비아들(989)의 인터포저(930)를 부분적으로 통과하여 도전 부분들(988)에 결합될 수 있다. 비아들(989)은 표면(952)에서 도전 부분(988)까지 인터포저(930)를 통해 부분적으로만 연장할 수 있으며, 인터포저(930)의 층(972)에서 x-차원으로 측면으로 연장한다.

- [0042] 도 1 내지 도 9를 참조하여 상술된 장치에서, 상이한 비아들은 상이한 타입들의 신호들을 전송하기 위해, 상이한 크기, 예를 들면, x-차원으로 취해진 상이한 단면적들을 가질 수 있다. 예를 들면, 전력 신호들을 전송하는 비아들은 데이터 신호들을 전송하는 비아들보다 큰 크기를 가질 수 있다.
- [0043] 도 10은 본 발명의 다양한 실시예들에 따른 IC 패키지에서 신호들을 전송하는 방법(1000)을 도시한 흐름도이다. 방법(1000)은 도 1 내지 도 9를 참조하여 상술된 장치(100) 및 IC 패키지들(101, 200, 300, 400, 500, 600, 700, 800 및 900)과 유사하거나 동일한 장치 및 IC 패키지에서 이용될 수 있다. 따라서, 방법(1000)에 이용된 장치 및 디바이스들의 구성요소들은 도 1 내지 도 9를 참조하여 상술된 장치(100) 및 IC 패키지들(101, 200, 300, 400, 500, 600, 700, 800 및 900)의 구성요소들을 포함할 수 있다.
- [0044] 방법(1000)의 활동(1010)은 IC 패키지의 베이스에서 신호들을 수신하는 것을 포함할 수 있다. IC 패키지는 제 1 디바이스, 및 제 1 디바이스 및 베이스와 함께 스택으로 배열된 제 2 디바이스를 포함할 수 있다. 제 1 디바이스는 이를 통한 적어도 하나의 도전 경로를 포함할 수 있다. 활동(1020)은 스택 구조의 도전 경로들을 이용하여 베이스에서 제 2 디바이스로 신호들의 적어도 하나의 서브세트를 전송하는 것을 포함할 수 있다. 구조의 적어도 일부는 제 1 디바이스 및 제 2 디바이스의 외부에 배치될 수 있다. 구조의 도전 경로들의 적어도 일부는 구조의 비아들을 통과한다. 신호들의 서브세트는 전력 신호들, 데이터 신호들, 어드레스 신호들, 클럭 신호들, 또는 제어 신호들, 또는 이들 신호들의 조합을 포함할 수 있다. 대안적으로, 신호들의 서브세트는 전력 신호들만, 예를 들면 Vcc 및 Vss 신호들만 포함할 수 있다. 방법(1000)은 도 1 내지 도 9를 참조하여 상술된 신호들을 전송하는 활동들과 유사하거나 동일한 다른 활동들을 포함할 수 있다.
- [0045] 도 11은 본 발명의 다양한 실시예들에 따른 다이들을 포함하는 구성요소들을 스택으로 배열하는 방법(1100)을 도시한 흐름도이다. 방법(1100)은 도 1 내지 도 9를 참조하여 상술된 장치(100) 및 IC 패키지들(101, 200, 300, 400, 500, 600, 700, 800 및 900)과 유사하거나 동일한 장치 및 IC 패키지의 구성요소들을 배열하기 위해 이용될 수 있다. 따라서, 방법(1100)에 이용된 장치 및 디바이스들의 구성요소들은 도 1 내지 도 9를 참조하여 상술된 장치(100) 및 IC 패키지들(101, 200, 300, 400, 500, 600, 700, 800 및 900)의 구성요소들을 포함할 수 있다.
- [0046] 방법(1100)의 활동(1110)은 제 1 디바이스를 제 2 디바이스와 함께 스택으로 배열하는 것을 포함할 수 있다. 제 1 디바이스는 제 1 디바이스를 통한 적어도 하나의 도전 경로를 포함할 수 있다. 활동(1120)은 베이스와 제 1 디바이스 다이 및 제 2 디바이스 다이 중 적어도 하나 사이에서 신호들의 적어도 하나의 서브세트를 전송하기 위해 스택으로 구조를 배열하는 것을 포함할 수 있다. 구조는 신호들을 전송하기 위한 도전 경로들을 포함할 수 있고, 도전 경로들의 적어도 일부는 구조의 비아들을 통과할 수 있다. 방법(1100)은, 도 1 내지 도 9를 참조하여 상술된 장치(110) 및 IC 패키지들(101, 200, 300, 400, 500, 600, 700, 800 및 900)의 구성요소들의 배열과 유사하거나 동일한 방식들로 다른 구성요소들을 배열할 수 있다.
- [0047] 도 12는 본 발명의 다양한 실시예들에 따른 시스템(1200)을 도시한다. 시스템(1200)은 메모리 디바이스(1210) 및 처리기(1220), 메모리 디바이스(1224), 이미지 센서 디바이스(1226), 메모리 제어기(1230), 그래픽 제어기(1240), 입력 및 출력(I/O) 제어기(1250), 디스플레이(1252), 키보드(1254), 인쇄 디바이스(1256), 주변 디바이스(1258), 송수신기(1259), 전력 유닛(1260), 또는 그 조합을 구비한 IC 패키지(1201)를 포함할 수 있다. 시스템(1200)은 또한 시스템(1200)의 구성요소들 사이에서 정보를 전송하고 이들 구성요소들 중 적어도 일부에 전력을 제공하기 위한 버스(1261)를 포함할 수 있다. 시스템(1200)은 시스템의 구성요소들 중 일부가 부착될 수 있는 회로 보드(1202)와, 시스템(1200)에 및 시스템(1200)으로부터 정보를 무선으로 전송 및 수신하기 위한 안테나(1270)를 더 포함할 수 있다. 송수신기(1259)는 시스템(1200)의 하나 이상의 구성요소들(예를 들면, IC 패키지(1201) 및 메모리 디바이스(1224) 중 적어도 하나)과 안테나(1270) 사이에서 정보를 전송하도록 동작할 수 있다.
- [0048] 이미지 센서 디바이스(1220)는 CMOS 픽셀 어레이를 구비한 상보성 금속 산화물 반도체(CMOS) 이미지 센서 또는 CCD 픽셀 어레이를 갖는 전하-결합 디바이스(CCD) 이미지 센서를 포함할 수 있다.
- [0049] 디스플레이(1252)는 아날로그 디스플레이 또는 디지털 디스플레이를 포함할 수 있다. 디스플레이(1252)는 다른 구성요소들로부터 정보를 수신할 수 있다. 예를 들면, 디스플레이(1252)는 텍스트 또는 이미지들과 같은 정보를

디스플레이하기 위해, IC 패키지(1201), 메모리 디바이스(1224), 이미지 센서 디바이스(1226) 및 그래픽 제어기(1240) 중 하나 이상에 의해 처리되는 정보를 수신할 수 있다.

- [0050] 처리기(1220)는 범용 처리기 또는 ASIC를 포함할 수 있다. 처리기(1220)는 단일 코어 처리기 또는 다중-코어 처리기를 포함할 수 있다. 처리기(1220)는 정보를 처리하기 위해 하나 이상의 프로그래밍 명령들을 실행할 수 있다. 정보는 시스템(1200), 메모리 디바이스(1210) 또는 이미지 센서 디바이스(1226)의 다른 구성요소들에 의해 제공되는 정보를 포함할 수 있다.
- [0051] 처리기(1220)는, 도 1 내지 도 9를 참조하여 상술된 디바이스(120, 220, 320, 420, 520, 620, 720, 820 또는 920)와 같이, 본 명세서에 기술된 하나 이상의 다양한 디바이스들의 실시예를 포함할 수 있다.
- [0052] 메모리 디바이스들(1210 및 1224)의 각각은 휘발성 메모리 디바이스, 비휘발성 메모리 디바이스, 또는 둘의 조합을 포함할 수 있다. 예를 들면, 메모리 디바이스들(1210 및 1224)의 각각은 동적 랜덤 액세스 메모리(DRAM) 디바이스, 정적 랜덤 액세스 메모리(SRAM) 디바이스, 플래시 메모리 디바이스, 상 변화 메모리 디바이스, 또는 이들 메모리 디바이스들의 조합을 포함할 수 있다.
- [0053] 메모리 디바이스(1210)는 도 1 내지 도 9를 참조하여 상술된 디바이스(110, 210, 310, 410, 510, 610, 710, 810 또는 910)와 같이, 본 명세서에 기술된 하나 이상의 다양한 디바이스들의 실시예를 포함할 수 있다. 도 12는 메모리 디바이스들(1220 및 1224)이 서로 물리적으로 분리되는 것을 도시한다. 그러나, 메모리 디바이스들(1220 및 1224)은 IC 패키지(1201)에 포함될 수 있는 단일 메모리 디바이스일 수 있다.
- [0054] 장치(예를 들면, 장치(100) 및 IC 패키지들(101, 200, 300, 400, 500, 600, 700, 800 및 900)) 및 시스템들(예를 들면 시스템(1200))의 예시는 다양한 실시예들의 구조의 일반적인 이해를 제공하기 위한 것이며, 본 명세서에 기술된 구조들을 이용할 수 있는 장치 및 시스템들의 모든 구성요소들 및 특징들의 완전한 기술을 제공하기 위한 것이 아니다.
- [0055] 상술된 구성요소들 중 어느 하나는 소프트웨어를 통한 시뮬레이션을 포함하여 다수의 방법들로 구현될 수 있다. 따라서, 상술된 장치(예를 들면, 장치(100) 및 IC 패키지들(101, 200, 300, 400, 500, 600, 700, 800 및 900)) 및 시스템들(예를 들면 시스템(1200))은 본 명세서에서 "모듈들"(또는 "모듈")로서 모두 특징지어질 수 있다. 이러한 모듈들은, 장치(예를 들면, 장치(100) 및 IC 패키지들(101, 200, 300, 400, 500, 600, 700, 800 및 900)) 및 시스템들(예를 들면 시스템(1200))의 아키텍처에 의해 바람직하게, 그리고 다양한 실시예들의 특정 구현들을 위해 적절하게, 하드웨어 회로, 단일 및/또는 다중-처리기 회로들, 메모리 회로들, 소프트웨어 프로그램 모듈들 및 오브젝트 및/또는 펌웨어, 및 그 조합들을 포함할 수 있다. 예를 들면, 이러한 모듈들은, 소프트웨어 전기 신호 시뮬레이션 패키지, 전력 사용 및 분배 시뮬레이션 패키지, 커패시턴스-인덕턴스 시뮬레이션 패키지, 전력/열 손실 시뮬레이션 패키지, 신호 전송-수신 시뮬레이션 패키지, 및/또는 다양한 잠재적 실시예들의 동작을 작동시키거나 시뮬레이팅하기 위해 이용되는 소프트웨어 및 하드웨어의 조합과 같이, 시스템 동작 시뮬레이션 패키지에 포함될 수 있다.
- [0056] 다양한 실시예들의 장치 및 시스템들은, 고속 컴퓨터들, 통신 및 신호 처리 회로, 단일 또는 다중-처리기 모듈들, 단일 또는 다중 임베딩된 처리기들, 다중-코어 처리기들, 데이터 스위치들, 및 다중층, 다중-칩 모듈들을 포함하는 특수-용도 모듈들에 이용되는 전자 회로를 포함하거나 이에 포함될 수 있다. 이러한 장치 및 시스템들은 또한, 텔레비전들, 셀룰러 전화들, 개인용 컴퓨터들(예를 들면, 랩탑 컴퓨터들, 데스크탑 컴퓨터들, 핸드헬드 컴퓨터들, 테블릿 컴퓨터들 등), 워크스테이션들, 라디오들, 비디오 플레이어들, 오디오 플레이어들(예를 들면, MP3(Motion Picture Experts Group, Audio Layer 3) 플레이어들), 차량용, 의료용 디바이스들(예를 들면, 심장 모니터, 혈압 모니터 등), 셋톱 박스들 등과 같은 다양한 전자 시스템들 내에서 부-구성요소들로서 포함될 수 있다.
- [0057] 본 명세서에 기술된 하나 이상의 실시예들은, 베이스, 제 1 다이, 상기 제 1 다이와 상기 베이스와 함께 적층되도록 구성된 제 2 다이, 및 제 1 및 제 2 다이들이 스택으로 및 이들 중 적어도 하나의 외부에 배치되고 제 1 및 제 2 다이들 중 적어도 하나와 베이스 사이에서 신호들을 전송하도록 구성된 구조를 구비한 장치, 시스템들 및 방법들을 포함한다. 부가의 장치 및 방법들을 포함하는 다른 실시예들은 도 1 내지 도 11을 참조하여 상술된다.
- [0058] 상기의 기술 및 도면들은 본 기술분야의 통상의 기술자들이 본 발명의 실시예들을 실시할 수 있게 하기 위해 본 발명의 일부 실시예들을 도시한다. 다른 실시예들은 구조적, 논리적, 전기적 처리 및 다른 변경들을 통합할 수 있다. 도면들에서, 동일한 특징들 또는 동일한 참조번호들은 여러 도면들 전반에 걸쳐 실질적으로 유사한 특징



들을 기술한다. 예들은 단지 가능한 변형들을 전형화할 뿐이다. 일부 실시예들의 부분들 및 특징들은 다른 실시예들의 부분들 및 특징들 내에 포함될 수 있거나 대체될 수 있다. 많은 다른 실시예들은 상기의 기술을 관독하여 이해할 때 본 기술분야의 통상의 기술자에게 명백할 것이다.

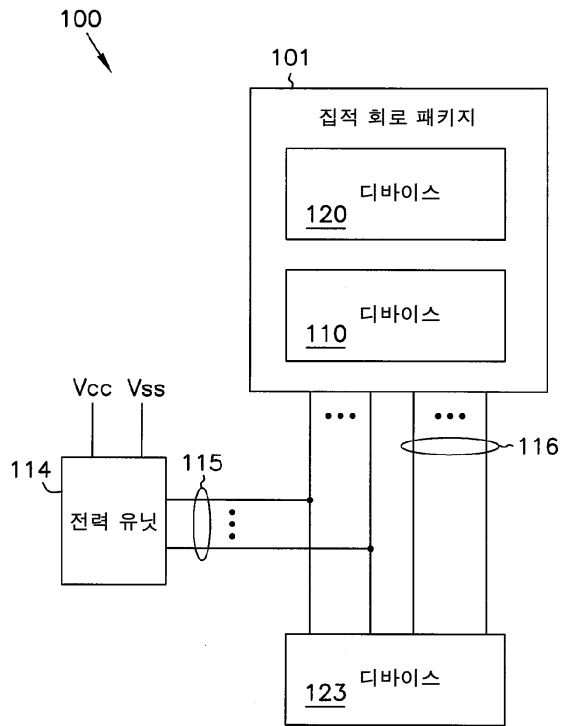
[0059] 관독자가 기술적 개시내용의 본질 및 요지를 신속하게 확인하도록 허용하는 요약을 요구하는 37 C.F.R. § 1.72(b)에 따른 요약이 제공된다. 요약은 특허청구범위를 해석하거나 제한하도록 이용되지 않을 것이라는 이해와 함께 제시된다.

**부호의 설명**

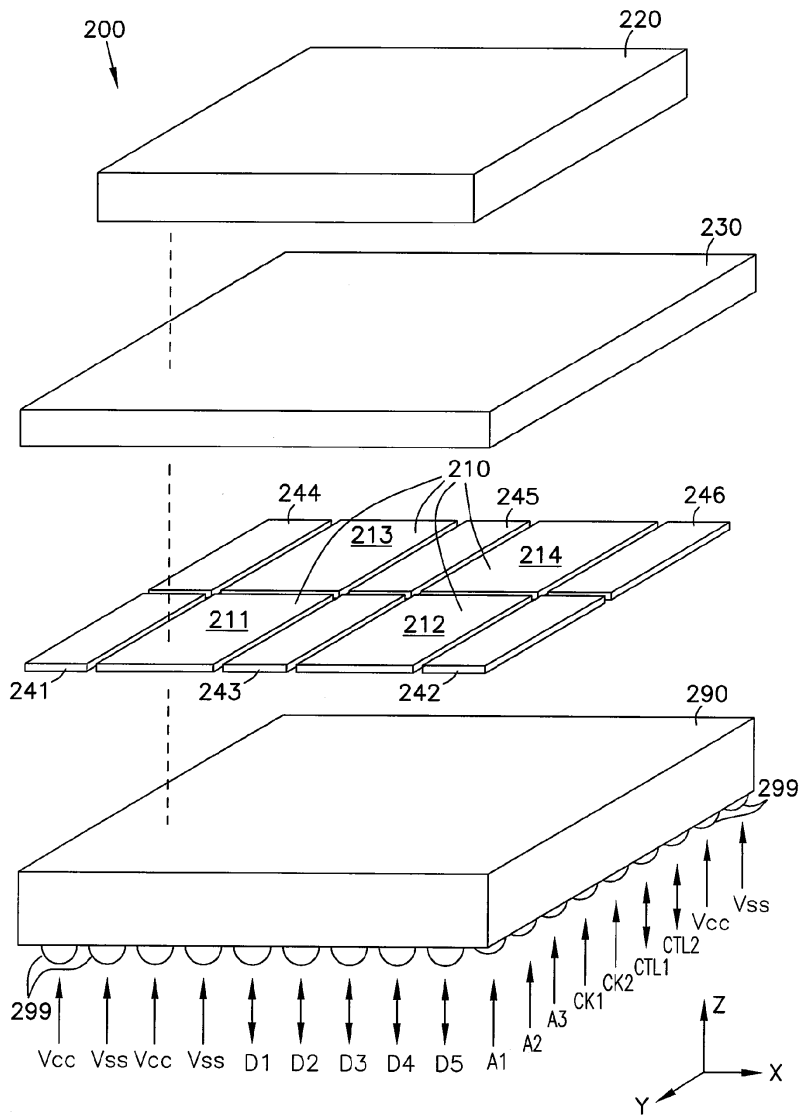
- [0060]
- 1260; 전력 유닛
  - 1201; IC 패키지
  - 1220; 처리기
  - 1210; 메모리 디바이스
  - 1224; 메모리 디바이스
  - 1226; 이미지 센서 디바이스
  - 1230; 메모리 제어기
  - 1240; 그래픽 제어기
  - 1259; 송수신기
  - 1250; I/O 제어기
  - 1258; 주변 디바이스
  - 1254; 키보드
  - 1256; 포인팅 디바이스
  - 1252; 디스플레이

도면

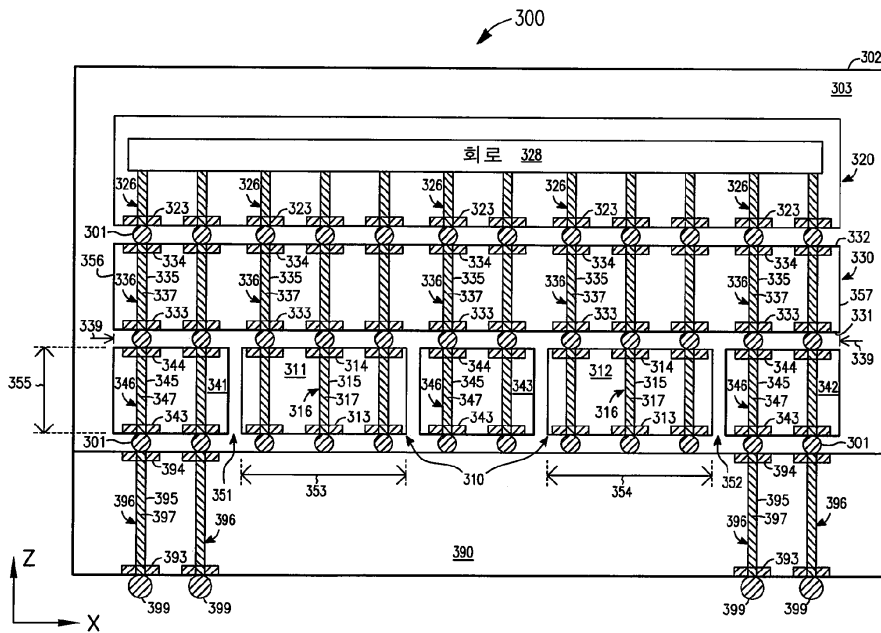
도면1



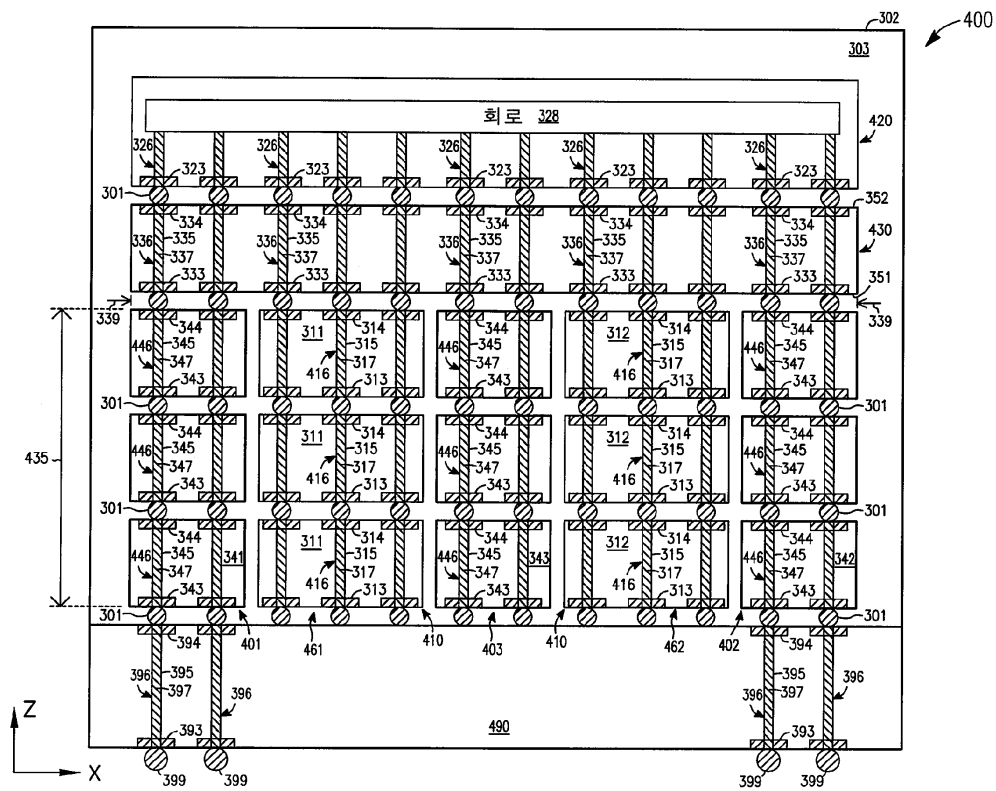
도면2



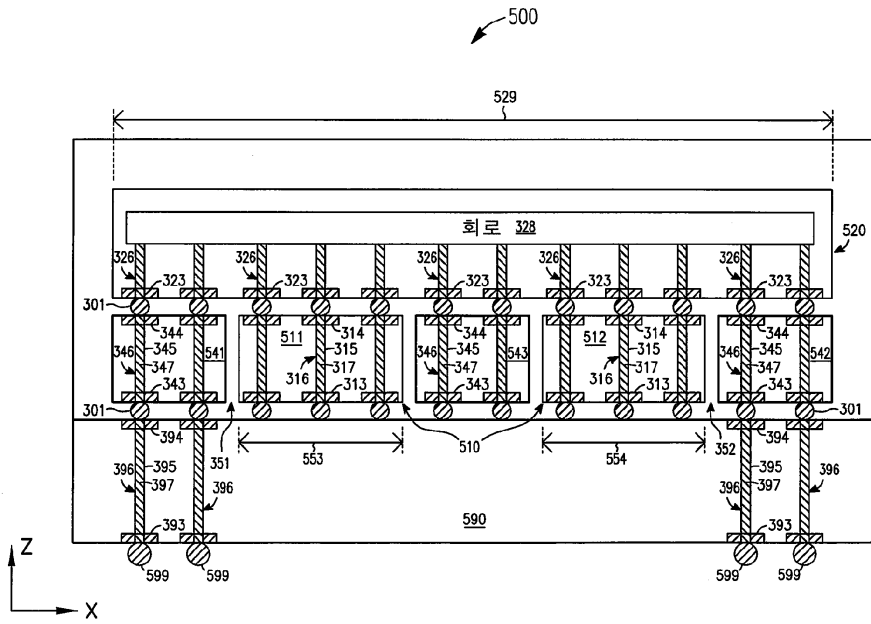
도면3



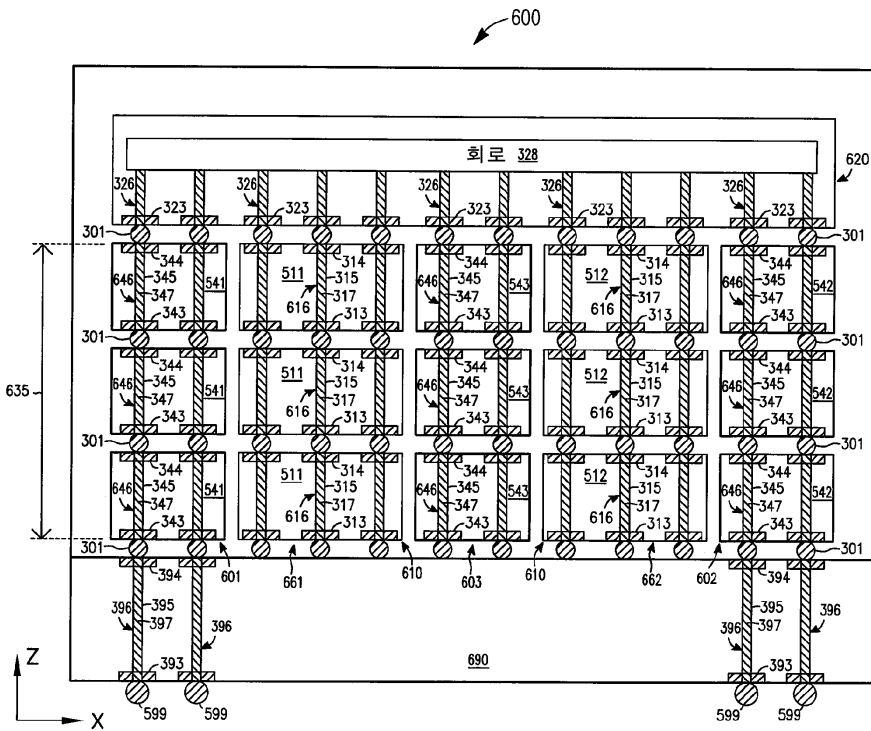
도면4



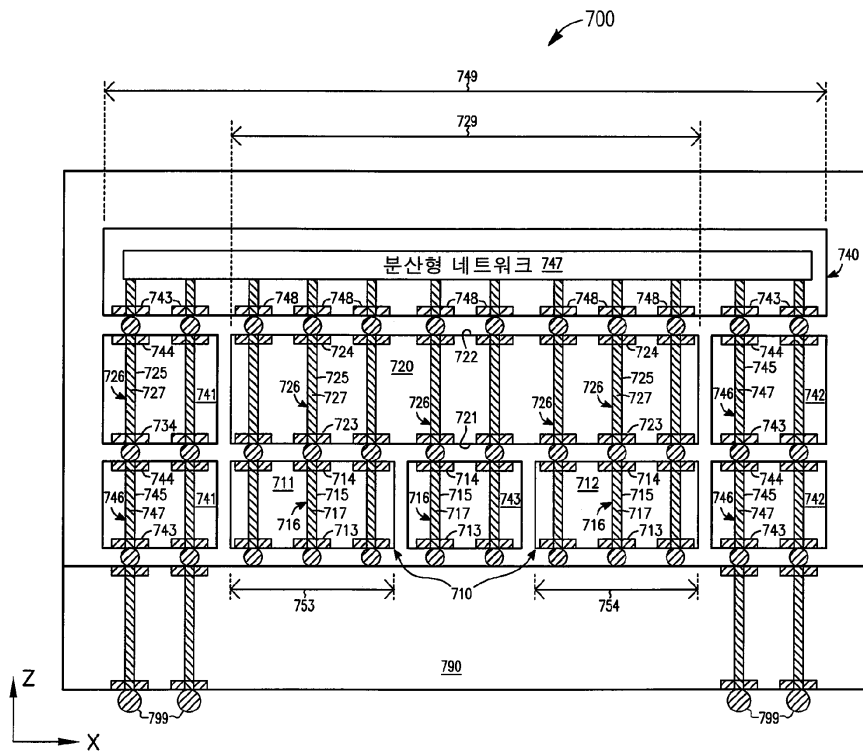
도면5



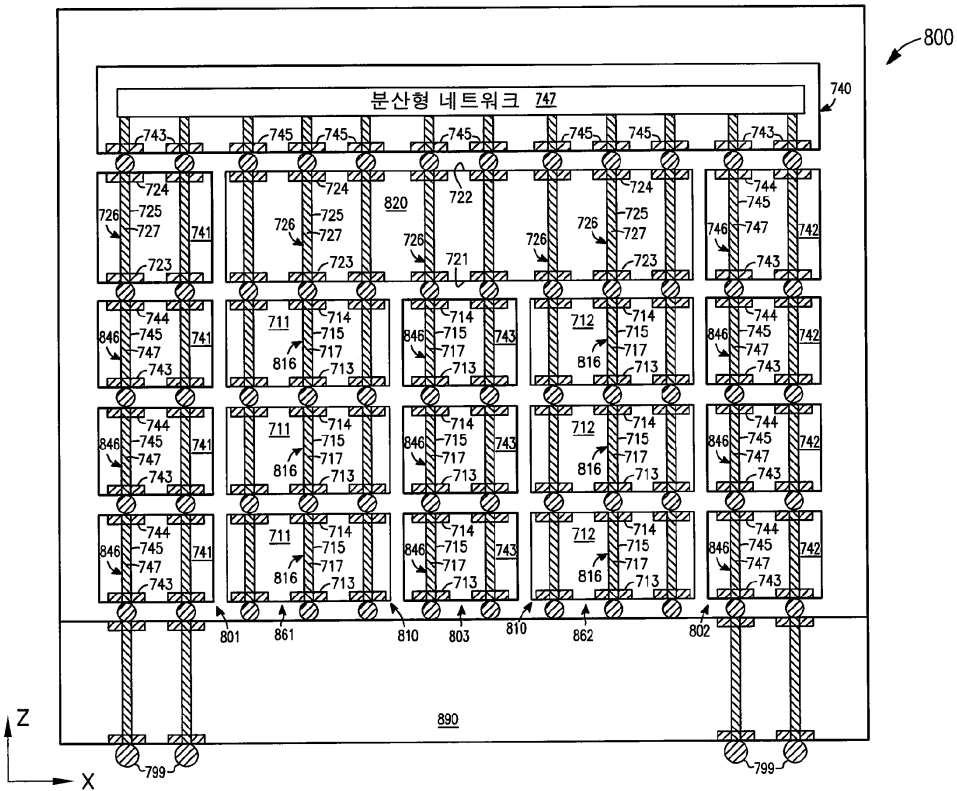
도면6



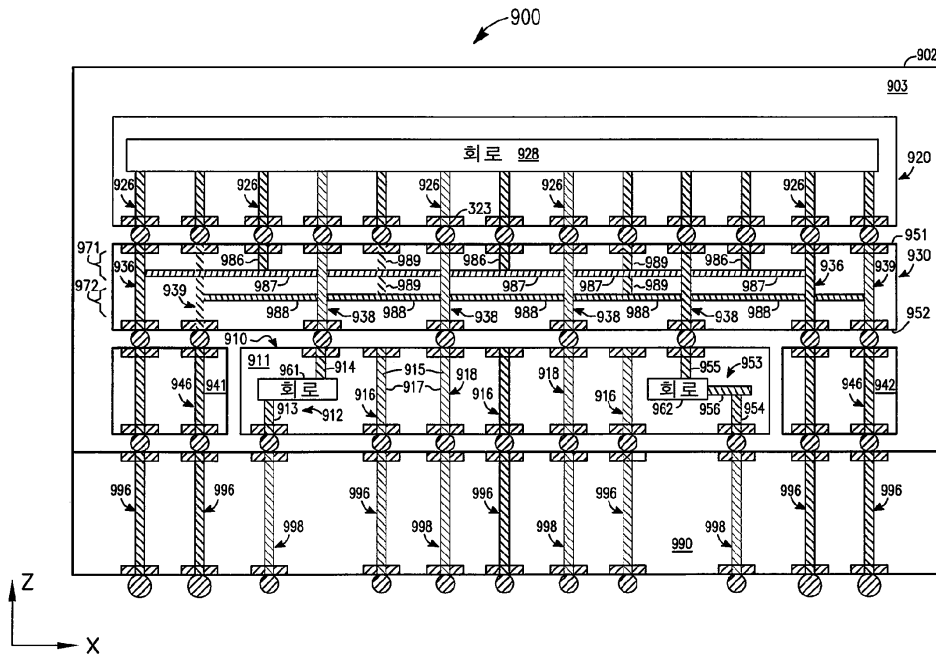
도면7



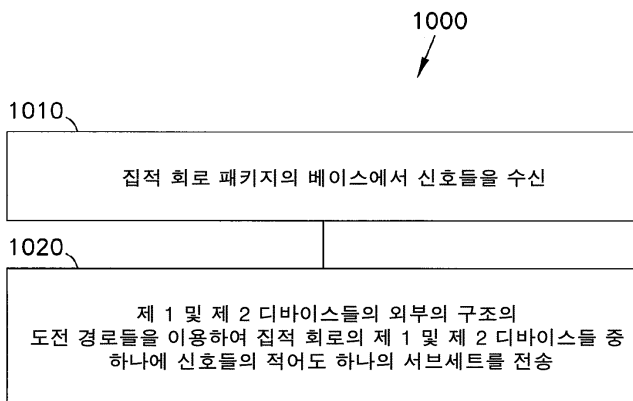
도면8



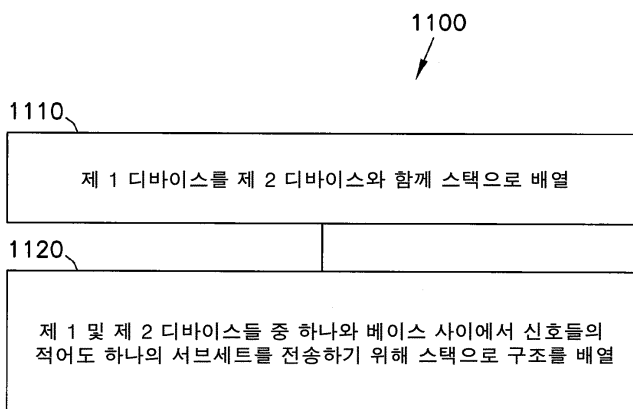
도면9



도면10



도면11



도면12

