(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3584830号
(P3584830)
(45)発行日　平成16年11月4日(2004.11.4)　(24)登録日　平成16年8月13日(2004.8.13)

(51)Int.Cl.[7]	F I		
G09G 3/36	G09G	3/36	
G02F 1/133	G02F	1/133	520
G09G 3/20	G09G	3/20	612A
	G09G	3/20	670C

請求項の数 9　(全 23 頁)

(21)出願番号　特願2000-6416(P2000-6416)
(22)出願日　平成12年1月14日(2000.1.14)
(65)公開番号　特開2000-347614(P2000-347614A)
(43)公開日　平成12年12月15日(2000.12.15)
審査請求日　平成14年10月29日(2002.10.29)
(31)優先権主張番号　特願平11-89667
(32)優先日　平成11年3月30日(1999.3.30)
(33)優先権主張国　日本国(JP)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100090479
弁理士　井上　一
(74)代理人　100090387
弁理士　布施　行夫
(74)代理人　100090398
弁理士　大渕　美千栄
(72)発明者　小泉　徳夫
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

審査官　西島　篤宏

最終頁に続く

(54)【発明の名称】半導体装置並びにそれを用いた液晶装置及び電子機器

(57)【特許請求の範囲】
【請求項１】
駆動回路と、前記駆動回路を制御する駆動制御回路と、前記駆動回路及び前記駆動制御回路に電位を供給する電源回路とを有する半導体装置において、
前記電源回路は、
外部電源から接地電位である第１の電源電位と、接地電位以外の第２の電源電位とが供給され、前記第２の電源電位の絶対値を昇圧して容量にチャージする昇圧回路と、
前記昇圧回路の出力電位に基づいて、前記駆動回路及び前記駆動制御回路に供給される電位を生成するバイアス発生回路と、
を含み、
前記駆動制御回路は、
前記第１,第２の電源電位が供給され、各種論理レベルを出力するロジック回路と、
前記電源回路からの電位と前記第１の電源電位とが供給され、前記ロジック回路からの論理レベルをシフトさせる複数のレベルシフタから成るレベルシフタ群と、
前記レベルシフタ群の出力に基づいて、前記駆動回路に供給される電位選択信号を出力する電位選択回路と、
を含み、
前記駆動回路は、前記第１の電源電位と前記バイアス発生回路からの電位とが供給され、前記駆動制御回路からの前記電位選択信号に従って、供給された電位の中から選択された電位を出力し、

前記レベルシフタ群は、前記第１，第２の電源電位間の絶対値が所定値を下回った電源異常時にアクティブとなる信号に基づいて、前記複数のレベルシフタへの入力を、前記ロジック回路の出力に拘わらず所定値に固定する入力レベル固定手段を有し、
前記電位選択回路は、前記電源異常時での前記レベルシフタ群の出力に基づいて、前記駆動回路から出力される電位の全てを前記第１の電源電位とする前記電位選択信号を出力することを特徴とする半導体装置。

【請求項２】
請求項１において、
前記第１，第２の電源電位間の絶対値よりも小さい絶対値を有する基準電位と、前記第２の電源電位とを比較する比較器を有し、その比較結果に基づいて前記電源異常時にアクティブとなる信号が出力されることを特徴とする半導体装置。

【請求項３】
請求項１において、
前記電源異常時にアクティブとなる信号は、半導体装置外部から供給されるパワーオンリセット信号であることを特徴とする半導体装置。

【請求項４】
駆動回路と、前記駆動回路を制御する駆動制御回路と、前記駆動回路及び前記駆動制御回路に電位を供給する電源回路とを有する半導体装置において、
前記電源回路は、
外部電源から接地電位である第１の電源電位と、接地電位以外の第２の電源電位とが供給され、前記第２の電源電位の絶対値を昇圧して容量にチャージする昇圧回路と、
前記昇圧回路の出力電位に基づいて、前記駆動回路及び前記駆動制御回路に供給される電位を生成するバイアス発生回路と、
を含み、
前記駆動回路は、前記第１の電源電位と前記バイアス発生回路からの電位とが供給され、電源正常時には前記駆動制御回路の制御に従って、供給された電位の中から選択された電位を出力し、
前記駆動制御回路は、
前記第１，第２の電源電位が供給され、第１の論理レベルと第２の論理レベルとを出力するロジック回路と、
前記電源回路からの電位と前記第１の電源電位とが供給され、前記ロジック回路からの出力レベルをシフトさせるレベルシフタ群と、
前記レベルシフタ群の出力に基づいて、前記駆動回路に供給される電位選択信号を出力する電位選択回路と、
を含み、
前記レベルシフタ群を構成する各々のレベルシフタは、
前記第１の電源電位の供給ラインと前記電源回路から供給される電位の供給ラインとの間に第１，第２の回路が並列接続され、
前記第１の回路には、第１の第１導電型ＭＯＳトランジスタと、第１の第２導電型ＭＯＳトランジスタと、第２の第２導電型ＭＯＳトランジスタとが直列接続され、前記第１の第１導電型ＭＯＳトランジスタ及び前記第１の第２導電型ＭＯＳトランジスタのゲートには、前記ロジック回路からの前記第１の論理レベルが供給され、前記第１の第１導電型ＭＯＳトランジスタと前記第１の第２導電型ＭＯＳトランジスタとの間の電位が、前記レベルシフタの第１の出力電位とされ、
前記第２の回路には、第２の第１導電型ＭＯＳトランジスタと、第３の第２導電型ＭＯＳトランジスタと、第４の第２導電型ＭＯＳトランジスタとが直列接続され、前記第２の第１導電型ＭＯＳトランジスタ及び前記第３の第２導電型ＭＯＳトランジスタのゲートには、前記ロジック回路からの前記第２の論理レベルが供給され、前記第２の第１導電型ＭＯＳトランジスタと前記第３の第２導電型ＭＯＳトランジスタとの間の電位が、前記レベルシフタの第２の出力電位とされ、

前記第１の回路の前記第２の第２導電型ＭＯＳトランジスタのゲートには、前記第２の出力電位が供給され、前記第２の回路の前記第４の第２導電型ＭＯＳトランジスタのゲートには前記第１の出力電位が供給され、
前記第１，第２の電源電位間の絶対値が所定値を下回った電源異常時には、その電源異常前の前記レベルシフタの前記第１，第２の出力電位の状態を維持する出力電位維持手段を有することを特徴とする半導体装置。
【請求項５】
請求項４において、
前記レベルシフタ群を構成する各々の前記レベルシフタに設けられた電位維持手段は、
前記第１の第１導電型ＭＯＳトランジスタと並列に接続された第３の第１導電型ＭＯＳトランジスタと、
前記第２の第１導電型ＭＯＳトランジスタと並列に接続された第４の第１導電型ＭＯＳトランジスタと、
を有し、
前記第３の第１導電型ＭＯＳトランジスタのゲートには前記第２の出力電位が供給され、
前記第４の第１導電型ＭＯＳトランジスタのゲートには前記第１の出力電位が供給されることを特徴とする半導体装置。
【請求項６】
請求項４において、
前記レベルシフタ群を構成する各々の前記レベルシフタの少なくとも一つに設けられた電位維持手段は、前記第１の第１導電型ＭＯＳトランジスタと並列に接続された第３の第１導電型ＭＯＳトランジスタを有し、前記電源異常の前後で前記第１の第１導電型ＭＯＳトランジスタのオン／オフ状態が変化するときに、前記第３の第１導電型ＭＯＳトランジスタのオン／オフ状態を、前記電源異常前の前記第１の第１導電型ＭＯＳトランジスタのオン／オフ状態と同一の状態に設定することを特徴とする半導体装置。
【請求項７】
請求項４において、
前記レベルシフタ群を構成する各々の前記レベルシフタの少なくとも一つに設けられた電位維持手段は、前記第２の第１導電型ＭＯＳトランジスタと並列に接続された第４の第１導電型ＭＯＳトランジスタを有し、前記電源異常の前後で前記第２の第１導電型ＭＯＳトランジスタのオン／オフ状態が変化するときに、前記電源異常後の前記第４の第１導電型ＭＯＳトランジスタのオン／オフ状態を、前記電源異常前の前記第２の第１導電型ＭＯＳトランジスタのオン／オフ状態と同一の状態に設定することを特徴とする半導体装置。
【請求項８】
請求項１乃至７のいずれかに記載の半導体装置と、
前記半導体装置から供給される電圧に基づいて駆動される液晶パネルと、
を有することを特徴とする液晶装置。
【請求項９】
請求項８に記載の液晶装置を有することを特徴とする電子機器。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、電源回路を搭載した半導体装置並びにそれを用いた液晶装置及び電子機器に関し、特に電池を引き抜いた場合などの電源異常時の誤動作の防止に関する。
【０００２】
【背景技術及び発明が解決しようとする課題】
液晶装置例えば液晶表示装置では、電極が形成された基板間に封入された液晶に電圧を印加して表示動作が行われる。この種の液晶表示装置は、パーソナルコンピータ、ワードプロセッサ、携帯電話、電子手帳など種々の電子機器に近年多用されている。
【０００３】

ここで、この液晶表示装置を有する電子機器を、定められたシーケンスで電源ＯＦＦした時には画面は一瞬にして消えるように対策されている。しかし、表示駆動中に電池を不意に引き抜いたり、電子機器を強制終了したときのように上記のシーケンス以外で表示を終了した時には、瞬時点灯という現象が生ずる。この現象は、例えば表示駆動中に電池を引き抜いた一瞬は一旦画面が消え、その後に、画面内に横線などの点灯像がしばらくの間表示されるというものである。

【０００４】

本発明者等は、この瞬時点灯現象の原因を鋭意解析し、本発明に至った。

【０００５】

本発明の目的は、電源異常時に生ずるこの瞬時点灯などの誤動作を防止することができる電源回路を搭載した半導体装置並びにそれを用いた液晶装置及び電子機器に関する。

【０００６】

【課題を解決するための手段】

本発明の一態様は、駆動回路と、前記駆動回路を制御する駆動制御回路と、前記駆動回路及び前記駆動制御回路に電位を供給する電源回路とを有する半導体装置において、

前記電源回路は、

外部電源から接地電位である第１の電源電位と、接地電位以外の第２の電源電位とが供給され、前記第２の電源電位の絶対値を昇圧して容量にチャージする昇圧回路と、

前記昇圧回路の出力電位に基づいて、前記駆動回路及び前記駆動制御回路に供給される電位を生成するバイアス発生回路と、

を含み、

前記駆動制御回路は、

前記第１,第２の電源電位が供給され、各種論理レベルを出力するロジック回路と、

前記電源回路からの電位と前記第１の電源電位とが供給され、前記ロジック回路からの論理レベルをシフトさせる複数のレベルシフタから成るレベルシフタ群と、

前記レベルシフタ群の出力に基づいて、前記駆動回路に供給される電位選択信号を出力する電位選択回路と、

を含み、

前記駆動回路は、前記第１の電源電位と前記バイアス発生回路からの電位とが供給され、前記駆動制御回路からの前記電位選択信号に従って、供給された電位の中から選択された電位を出力し、

前記レベルシフタ群は、前記第１，第２の電源電位間の絶対値が所定値を下回った電源異常時にアクティブとなる信号に基づいて、前記複数のレベルシフタへの入力を、前記ロジック回路の出力に拘わらず所定値に固定する入力レベル固定手段を有し、

前記電位選択回路は、前記電源異常時での前記レベルシフタ群の出力に基づいて、前記駆動回路から出力される電位の全てを前記第１の電源電位とする前記電位選択信号を出力することを特徴とする。

【０００７】

例えば電池を引き抜いた後の電源の強制切断時には、外部電源から供給される第１，第２の電源電位は、ある時間経過後に等しくなって例えばグランド電位となる。

【０００８】

瞬時点灯等の誤動作は、電源の強制切断後に昇圧回路内の容量にチャージされていた電荷がディスチャージされるのに要する放電時間が、第１，第２の電源電位が等しくなるまでの時間よりも長いことに起因して生ずる。

【０００９】

この場合、この昇圧回路を含む電源回路から電位供給をうける駆動回路及び駆動制御回路には、電源オフ後にディスチャージされた電位が供給され、それに基づいて誤動作が生ずる。

【００１０】

そこで駆動制御回路では、第１，第２の電源電位間の絶対値が所定値を下回った電源異常

時には、この電源異常時にアクティブとなる信号に基づいて、駆動回路から出力される電位の全てを第１の電源電位（接地電位）に変更している。これにより、この半導体装置からの電位を受けて動作する装置は完全に停止され、誤動作することなく停止させることができる。

【００１４】

例えば電池が引き抜かれた後のロジック回路からの第１，第２の論理レベルはともに等しい接地電位となる。このとき、レベルシフタ群の出力が不定となる場合があるが、電源異常時にはレベルシフタ群への入力を所定値に固定する結果レベルシフタ群の出力が不定とならなくなり、レベルシフタ群への所定値の入力に基づいて制御することで誤動作が防止される。

【００１９】

ここで、電源異常時にアクティブとなる信号は、半導体装置内部に設けられた比較器の出力であってもよいし、あるいは半導体装置外部から供給されるパワーオンリセット信号であってもよい。

【００２０】

本発明の他の態様は、駆動回路と、前記駆動回路を制御する駆動制御回路と、前記駆動回路及び前記駆動制御回路に電位を供給する電源回路とを有する半導体装置において、

前記電源回路は、

外部電源から接地電位である第１の電源電位と、接地電位以外の第２の電源電位とが供給され、前記第２の電源電位の絶対値を昇圧して容量にチャージする昇圧回路と、

前記昇圧回路の出力電位に基づいて、前記駆動回路及び前記駆動制御回路に供給される電位を生成するバイアス発生回路と、

を含み、

前記駆動回路は、前記第１の電源電位と前記バイアス発生回路からの電位とが供給され、電源正常時には前記駆動制御回路の制御に従って、供給された電位の中から選択された電位を出力し、

前記駆動制御回路は、

前記第１，第２の電源電位が供給され、第１の論理レベルと第２の論理レベルとを出力するロジック回路と、

前記電源回路からの電位と前記第１の電源電位とが供給され、前記ロジック回路からの出力レベルをシフトさせるレベルシフタ群と、

前記レベルシフタ群の出力に基づいて、前記駆動回路に供給される電位選択信号を出力する電位選択回路と、

を含み、

前記レベルシフタ群を構成する各々のレベルシフタは、

前記第１の電源電位の供給ラインと前記電源回路から供給される電位の供給ラインとの間に第１，第２の回路が並列接続され、

前記第１の回路には、第１の第１導電型ＭＯＳトランジスタと、第１の第２導電型ＭＯＳトランジスタと、第２の第２導電型ＭＯＳトランジスタとが直列接続され、前記第１の第１導電型ＭＯＳトランジスタ及び前記第１の第２導電型ＭＯＳトランジスタのゲートには、前記ロジック回路からの前記第１の論理レベルが供給され、前記第１の第１導電型ＭＯＳトランジスタと前記第１の第２導電型ＭＯＳトランジスタとの間の電位が、前記レベルシフタの第１の出力電位とされ、

前記第２の回路には、第２の第１導電型ＭＯＳトランジスタと、第３の第２導電型ＭＯＳトランジスタと、第４の第２導電型ＭＯＳトランジスタとが直列接続され、前記第２の第１導電型ＭＯＳトランジスタ及び前記第３の第２導電型ＭＯＳトランジスタのゲートには、前記ロジック回路からの前記第２の論理レベルが供給され、前記第２の第１導電型ＭＯＳトランジスタと前記第３の第２導電型ＭＯＳトランジスタとの間の電位が、前記レベルシフタの第２の出力電位とされ、

前記第１の回路の前記第２の第２導電型ＭＯＳトランジスタのゲートには、前記第２の出

力電位が供給され、前記第２の回路の前記第４の第２導電型ＭＯＳトランジスタのゲートには前記第１の出力電位が供給され、
前記第１，第２の電源電位間の絶対値が所定値を下回った電源異常時には、その電源異常前の前記レベルシフタの前記第１，第２の出力電位の状態を維持する出力電位維持手段を有することを特徴とする。

【００２１】

瞬時点灯等の誤動作の他の一つの原因は、シフトレベル群を構成するレベルシフタが、電源異常時の入力に従って、その出力が不定となることである。

【００２２】

本発明の他の態様によれば、各々のレベルシフタに設けられた出力電位維持手段が、電源異常時には、その電源異常前のレベルシフタの第１，第２の出力電位の状態を維持している。この結果、レベルシフタ群の出力が電源異常時に不定とならないので、電源異常に基づく誤動作を防止できる。

【００２３】

本発明の他の態様において、
前記レベルシフタ群を構成する各々の前記レベルシフタに設けられた電位維持手段は、
前記第１の第１導電型ＭＯＳトランジスタと並列に接続された第３の第１導電型ＭＯＳトランジスタと、
前記第２の第１導電型ＭＯＳトランジスタと並列に接続された第４の第１導電型ＭＯＳトランジスタと、
を有し、
前記第３の第１導電型ＭＯＳトランジスタのゲートには前記第２の出力電位が供給され、
前記第４の第１導電型ＭＯＳトランジスタのゲートには前記第１の出力電位が供給されることを特徴とする。

【００２４】

例えば電池を引き抜いた時にはロジック回路からの第１，第２の論理レベルはともに等しい接地電位となる。このとき、レベルシフタの第１，第２の第１導電型ＭＯＳトランジスタはオンまたはオフの同一状態となる。

【００２５】

上述の構成によれば、電位維持手段は、電源異常時に第３，第４の第１導電型ＭＯＳトランジスタは一方がオン、他方がオフとなるようにする。すなわち、第１の第１導電型ＭＯＳトランジスタの状態が電源異常の前後で変化した場合には、これと並列接続された第３の第１の導電型ＭＯＳトランジスタが第１の出力電位によって、電源異常前の第１の第１導電型ＭＯＳトランジスタと同一の状態に設定される。また、第２の第１導電型ＭＯＳトランジスタの状態が電源異常の前後で変化した場合には、これと並列接続された第４の第１の導電型ＭＯＳトランジスタが第２の出力電位によって、電源異常前の第２の第１導電型ＭＯＳトランジスタと同一の状態に設定される。この動作により、レベルシフタからの第１，第２の出力電位は、電源異常前後で同一に維持される。これにより、ロジック回路からの第１，第２の論理レベルが共に等しい論理条件になっても、その前の出力状態を維持することができる。従って、電源オフ後もレベルシフタからの第１，第２の出力電位を確定でき、それに基づいて駆動回路は出力電位の全てを例えば第１の電源電位として誤動作を防止することができる。

【００２６】

本発明の他の態様において、
前記レベルシフタ群を構成する各々の前記レベルシフタの少なくとも一つに設けられた電位維持手段は、前記第１の第１導電型ＭＯＳトランジスタと並列に接続された第３の第１導電型ＭＯＳトランジスタを有し、前記電源異常の前後で前記第１の第１導電型ＭＯＳトランジスタのオン／オフ状態が変化するときに、前記第３の第１導電型ＭＯＳトランジスタのオン／オフ状態を、前記電源異常前の前記第１の第１導電型ＭＯＳトランジスタのオン／オフ状態と同一の状態に設定することを特徴とする。

【００２７】
上記にて定義された少なくとも一つのレベルシフタは、電源異常の前後で第１の第１導電型ＭＯＳトランジスタのオン／オフ状態が変化するものである。この場合には、これと並列に接続した第３の第１導電型トランジスタの状態を、電源異常前の前記第１の第１導電型ＭＯＳトランジスタの状態と同一の状態に設定すれば、誤動作を防止できる。
【００２８】
本発明の他の態様において、
前記レベルシフタ群を構成する各々の前記レベルシフタの少なくとも一つに設けられた電位維持手段は、前記第２の第１導電型ＭＯＳトランジスタと並列に接続された第４の第１導電型ＭＯＳトランジスタを有し、前記電源異常の前後で前記第２の第１導電型ＭＯＳトランジスタのオン／オフ状態が変化するときに、前記電源異常後の前記第４の第１導電型ＭＯＳトランジスタのオン／オフ状態を、前記電源異常前の前記第２の第１導電型ＭＯＳトランジスタのオン／オフ状態と同一の状態に設定する。
【００２９】
上記にて定義された少なくとも一つのレベルシフタは、電源異常の前後で第２の第１導電型ＭＯＳトランジスタのオン／オフ状態が変化するものである。この場合には、これと並列に接続した第３の第１導電型トランジスタの状態を、電源異常前の第２の第１導電型ＭＯＳトランジスタの状態と同一の状態に設定すれば、誤動作を防止できる。
【００３０】
また、本発明は、上述の半導体装置を用いた液晶装置または電子機器にも適用でき、電池を引き抜いた場合などの電源異常時に瞬時点灯などの誤動作を確実に防止できる。
【００３１】
【発明の実施の形態】
以下、本発明の実施の形態について、図面を参照して説明する。
【００３２】
＜液晶装置の説明＞
図１は液晶装置の主要部の構成を示し、図２は図１の液晶パネルを駆動するための駆動波形の一例を示している。
【００３３】
図１において、液晶パネル例えば単純マトリックス型液晶パネル１０は、コモン電極Ｃ０～Ｃｍが形成された第１の基板と、セグメント電極Ｓ０～Ｓｎが形成された第２の基板との間に、液晶を封止することで形成されている。コモン電極の一本とセグメント電極の一本とが交差する交点が表示画素となり、液晶パネル１０には（ｍ＋１）×（ｎ＋１）の表示画素が存在する。
【００３４】
なお、本実施の形態に係る液晶パネルは、単純マトリックス型液晶パネル１０に代えて、アクティブマトリックス型液晶表示パネルなど、他の液晶パネルを用いることもできる。
【００３５】
この液晶パネル１０を駆動する駆動回路２０として、コモン電極Ｃ０～Ｃｍにに接続されたコモンドライバ２２と、セグメント電極Ｓ０～Ｓｎに接続されたセグメントドライバ２４とが設けられている。これらコモンドライバ２２，セグメントドライバ２４は、電源回路３０から所定の電圧が供給されると共に、駆動制御回路４０からの信号に基づいて、その所定の電圧をコモン電極Ｃ０～Ｃｍまたはセグメント電極Ｓ０～Ｓｎに選択的に供給するものである。
【００３６】
ここで、図１に示す液晶パネル１０のコモン電極Ｃ３を選択するフレーム期間の駆動波形の一例を図２に示す。
【００３７】
図２において、太線はコモンドライバ２２より各コモン電極Ｃ０～Ｃｍに供給される駆動波形であり、細線はセグメントドライバ２４より各セグメント電極Ｓ０～Ｓｎに供給され

る駆動波形を示している。

【００３８】

図２において、液晶に印加される電圧の極性は、極性反転化信号ＦＲに基づいて正、負に反転される。このため、駆動電位としてはＶ０～Ｖ５の６レベルが用いられる。

【００３９】

図２に示すように、コモンドライバ２２から供給される駆動波形は、電位Ｖ０，Ｖ１，Ｖ４，Ｖ５の間で変化する。一方、セグメントドライバ２４から供給される駆動波形は、電位Ｖ０，Ｖ２，Ｖ３，Ｖ５の間で変化する。

【００４０】

＜半導体装置の構成＞

図３は図１の駆動回路２０、電源回路３０及び駆動制御回路４０を含む１チップ半導体装置の詳細を示している。なお本発明は、駆動回路２０、電源回路３０及び駆動制御回路４０を複数チップに分けて搭載するものにも適用可能である。

【００４１】

ここで、本実施の形態では第１の電源電位ＶＤＤを、ＶＤＤ＝Ｖ０としている。電源回路３０は、第１の電源電位ＶＤＤと第２の電源電位ＶＳＳとに基づいて、Ｖ１～Ｖ５を生成している。

【００４２】

電源回路３０は、第１のロジック回路３１と、第１～第３のレベルシフタ３２～３４と、昇圧回路３５と、定電流回路３６と、レギュレータ３７と、ボルテージフォロア回路３８とを有する。なお、定電流回路３６と、レギュレータ３７と、ボルテージフォロア回路３８とが、バイアス発生回路として機能する。

【００４３】

一方、駆動制御回路４０は、第２のロジック回路４１と、第４のレベルシフタ群４２と、電位選択回路４３とを有する。

【００４４】

第１～第３のレベルシフタ３２～３４は、第１のロジック回路３１の論理出力Ｉとその反転出力ＸＩとをそれぞれレベルシフトさせるものであり、第４のレベルシフタ群４２は、第２のロジック回路４１の論理出力Ｉとその反転出力ＸＩとをレベルシフトさせるものである。

【００４５】

駆動制御回路４０内の電位選択回路４３は、第４のレベルシフタ群４２からの出力に従って、電位Ｖ０～Ｖ５の中のいずれの電位をコモン電極とセグメント電極とに供給するかを選択する信号を、駆動回路２０に出力するものである。

【００４６】

ここで、本実施の形態では、｜ＶＤＤ－ＶＳＳ｜＝３Ｖとし、例えばＶＤＤ＝０Ｖ，ＶＳＳ＝－３Ｖする。一方、液晶に印加される電圧は、駆動デューティにより異なり、例えばデューティが１／３２では５～７Ｖが必要となり、デューティが１／６４では８～１２Ｖが必要であり、いずれも｜ＶＤＤ－ＶＳＳ｜＝３Ｖでは電圧不足である。

【００４７】

そこで、駆動回路３０には昇圧回路３５と定電流回路３６とが設けられ、｜ＶＤＤ－ＶＳＳ｜＝３Ｖを昇圧して、ＶＯＵＴを生成している。本実施の形態では、ＶＯＵＴ＝－９Ｖとする。レギュレータ３７は、図４に示すように、ＶＯＵＴに基づいて安定した一定電位Ｖ５を生成する。さらに、ボルテージフォロア回路３８では、第１の電源電位ＶＤＤ＝Ｖ０と、レギュレータ３７からの電位Ｖ５とに基づいて、例えばそれを分圧して電位Ｖ１～Ｖ４を生成する。以上の動作を図６に模式的に示す。

【００４８】

電圧Ｖ１～Ｖ４を生成するために、ボルテージフォロア回路３８は、例えば図５に示すように、抵抗分割回路３８Ａと、第１～第４の作動増幅装置３８Ｂ～３８Ｅを有する。また、電圧Ｖ０の供給ラインと、各電圧Ｖ１～Ｖ５，ＶＯＯＴの各々の供給ラインとの間には

、図５に示すように電圧安定化のための容量が接続され、これらの容量は例えばＩＣの外付け容量とされる。

【００４９】

＜瞬時点灯の発生原因＞

（第４のレベルシフタ群及び電位選択回路の従来構成）

図３に示す第４のレベルシフタ群４２及び電位選択回路４３の従来例について、図７及び図８を参照して説明する。図７は表示部１０のセグメント電極Ｓ０～Ｓｍに電圧を供給する構成を示し、図８は表示部１０のコモン電極Ｃ０～Ｃｎに電圧を供給する構成を示している。

【００５０】

図７において、一個のセグメント電極に電圧を供給する供給系として、レベルシフタ４２Ａと、電位選択ブロック４３Ａと、スイッチＳＷ１，ＳＷ４～ＳＷ６が設けられている。また、図７には、全てのセグメント電極の供給系に共用されるレベルシフタ４２Ｂが設けられている。電位選択ブロック４３Ａには、第１～第４の論理ゲート４４Ａ～４４Ｄが設けられ、レベルシフタ４２Ａ，４２Ｂの出力に基づいて、スイッチＳＷ１，ＳＷ４～ＳＷ６をオン／オフ制御する。

【００５１】

ここで、レベルシフタ４２Ａの正転入力端子Ｉに入力される信号をＩＡとし、レベルシフタ４２Ｂの正転入力端子Ｉに入力される信号をＩＢとすると、入力信号ＩＡ，ＩＢの論理と、セグメント電極に供給される電圧との関係を、下記の表１に示す。

【００５２】

【表１】

ＩＡ	Ｈ	Ｈ	Ｌ	Ｌ
ＩＢ	Ｌ	Ｈ	Ｌ	Ｈ
ＳＥＧ	Ｖ５	Ｖ０	Ｖ３	Ｖ２

【００５３】

一方、図８において、１個のコモン電極に電圧を供給する供給系として、レベルシフタ４２Ｃと、電位選択ブロック４３Ｂと、スイッチＳＷ１～ＳＷ４が設けられている。また、図８には、全てのコモン電極の供給系に共用されるレベルシフタ４２Ｄが設けられている。電位選択ブロック４３Ｂには、第１～第４の論理ゲート４５Ａ～４５Ｄが設けられ、レベルシフタ４２Ｃ，４２Ｄの出力に基づいて、スイッチＳＷ１～ＳＷ４をオン／オフ制御する。

【００５４】

ここで、レベルシフタ４２Ｃの正転入力端子Ｉに入力される信号をＩＣとし、レベルシフタ４２Ｄの正転入力端子Ｉに入力される信号をＩＤとすると、入力信号ＩＣ，ＩＤの論理と、コモン電極に供給される電圧との関係を、下記の表２に示す。

【００５５】

【表２】

ＩＣ	Ｈ	Ｈ	Ｌ	Ｌ
ＩＤ	Ｌ	Ｈ	Ｌ	Ｈ
ＣＯＭ	Ｖ０	Ｖ５	Ｖ４	Ｖ１

【００５６】

（第４のレベルシフタ群の各レベルシフタの構成）
図３に示す第４のレベルシフタ群４２を構成する各レベルシフタ４２Ａ～４２Ｄなどについて、図９を参照して説明する。図９に示すように、この第４のレベルシフタ群を構成する各レベルシフタは、互いに並列接続された第１，第２の回路５５，６５を有する。第１の電源電位ＶＤＤ（＝Ｖ０）の供給線と電位Ｖ５の供給線との間に、第１のＰ型ＭＯＳトランジスタ５０、第１のＮ型ＭＯＳトランジスタ５１及び第２のＮ型ＭＯＳトランジスタ５２が直列に接続されて、第１の回路５５が構成される。第１のＰ型ＭＯＳトランジスタ５０及び第１のＮ型ＭＯＳトランジスタ５１のゲートには、図２に示す第２のロジック回路４２からの出力Ｉがそれぞれ供給される。

【００５７】
これら各トランジスタ５０～５１と並列に、第２のＰ型ＭＯＳトランジスタ６０、第３のＮ型ＭＯＳトランジスタ６１及び第４のＮ型ＭＯＳトランジスタ６２が直列接続され、第２の回路６５が構成される。第２のＰ型ＭＯＳトランジスタ６０及び第３のＮ型ＭＯＳトランジスタ６１のゲートには、図２に示す第２のロジック回路４２からの反転出力ＸＩがそれぞれ供給される。

【００５８】
ここで、第１のＰ型ＭＯＳトランジスタ５０及び第１のＮ型ＭＯＳトランジスタ５１の間の電位を、このレベルシフタ４２の反転出力ＸＯとし、第２のＰ型ＭＯＳトランジスタ６０及び第３のＮ型ＭＯＳトランジスタ６１の間の電位を、このレベルシフタ４２の出力Ｏとする。反転出力ＸＯは第４のＮ型ＭＯＳトランジスタ６２のゲートに供給され、出力Ｏは第２のＮ型ＭＯＳトランジスタ５２のゲートに供給される。

【００５９】
（第４のレベルシフタ群の動作）
次に、図９に示すレベルシフタの動作について説明する。

【００６０】
図９に示すレベルシフタの入出力特性は、下記の表３の通りである。

【００６１】
【表３】

入　力　Ｉ	入　力　ＸＩ	出　力　Ｏ
Ｈ（ＶＤＤ）	Ｌ（ＶＳＳ）	Ｈ（ＶＤＤ）
Ｌ（ＶＳＳ）	Ｈ（ＶＤＤ）	Ｌ（Ｖ５）
Ｈ（ＶＤＤ）	Ｈ（ＶＤＤ）	不　定
Ｌ（ＶＳＳ）	Ｌ（ＶＳＳ）	不　定

【００６２】
ここで、上記の表３中のＩ＝ＸＩ＝Ｈ（ＶＤＤ）あるいはＩ＝ＸＩ＝Ｌ（ＶＳＳ）の各状態が、電池を引き抜いた場合等の電源の強制切断時の状態である。ＶＤＤ＝ＯＶ，ＶＳＳ＝－３Ｖである場合には、電源の強制切断時にはＩ＝ＸＩ＝ＶＤＤ＝ＯＶとなる。

【００６３】
このとき、電源の強制切断前の状態において、図９に示すレベルシフタにてＩ＝Ｈ（ＶＤＤ），ＸＩ＝Ｌ（ＶＳＳ）とし、この状態の後に電源が強制切断された場合について説明する。

【００６４】
この場合、電源が強制切断されると第２のロジック回路４１からの入力Ｉ＝ＸＩ＝Ｈ（ＶＤＤ）となり、第２のＰ型ＭＯＳトランジスタ６０がオンからオフに変化し、第３のＮ型ＭＯＳトランジスタ６１はオフからオンに変化する。このとき、図２に示すＶＯＵＴから

生成されるＶ５もＶＤＤに変化するが、このＶ５→ＶＤＤの変化はＶＳＳ→ＶＤＤの変化より遅い。

【００６５】

この理由を図１０に詳細を示す従来の３倍昇圧回路３５を用いて説明する。

【００６６】

図１０では、第１，第３のＮ型ＭＯＳトランジスタ８１，８３のゲートに、第３のレベルシフタ３４のＯ出力が供給され、第２のＮ型ＭＯＳトランジスタ８２のゲートに、第３のレベルシフタ３４のＸＯ出力が供給される。

【００６７】

この昇圧回路３５は、第３のレベルシフタ３４のＯ出力、ＸＯ出力によりオン／オフ制御されるＮ型ＭＯＳトランジスタ８１～８３によって電荷がチャージされる容量Ｃ１～Ｃ３を有する。出力電位ＶＯＵＴは容量Ｃ３にチャージされた電荷によって決定される。

【００６８】

ここで、電源が強制切断されると、容量Ｃ３の電荷がディスチャージされるが、この速度は遅く、第１，第２の電源電位ＶＤＤ，ＶＳＳが等しくなった後にもディスチャージは完了しない。電位Ｖ５は電位ＶＯＵＴから生成されるため、この電位Ｖ５も容量Ｃ３の電荷の影響によりすぐには電位ＶＤＤ（＝０Ｖ）にはならないからである。

【００６９】

ここで、電源の強制切断前に、図７に示すレベルシフタ４２Ａ，４２Ｂの入力を、ＩＡ＝ＩＢ＝Ｈとし、図８に示すレベルシフタ４２Ｃ，４２Ｄの入力を、ＩＣ＝Ｈ，ＩＤ＝Ｌとして、図１８に示すようにセグメント電極及びコモン電極にＶ０＝ＶＤＤの電位にしたとする。

【００７０】

その後、電源がオフされると、図３に示す第２のロジック回路４１のロジック電源がなくなるため、レベルシフタ４２Ａ～４２Ｄの入力Ｉ，ＸＩは共にＨＩＧＨとなる。こうすると、表３に示す通り、各レベルシフタ４２Ａ～４２Ｄの出力Ｏが不定となる。このため、セグメント電極及びコモン電極に供給される電位Ｖ０を選択していたものが、他の電位を出力するようになり（図１８参照）、これに起因して図１に示す液晶パネル１０にて瞬時点灯の現象が生ずる。

【００７１】

ここで、電源がオフされると、各シフトレジスタの出力データＶ０は、容量にデータを残して保持するＤＲＡＭでのダイナミックなデータ保持動作と同じく、容量から電荷が抜けるに従いリフレッシュされ、データをダイナミックホールドしていることと同じとなる。

【００７２】

すなわち、図９に示す第２のＰ型ＭＯＳトランジスタ６０及び第３のＮ型ＭＯＳトランジスタ６１のオン／オフ状態の変化により、出力Ｏの電位は中間レベルに向け下降し、ついには第２のＮ型ＭＯＳトランジスタ５２がオンからオフに変化し、出力ＸＯの電位が上がることになる。

【００７３】

こうすると、図３に示す電位選択回路４３を介して、図７及び図８に示す駆動回路２０の第１～第６のスイッチ（ＭＯＳトランジスタ）ＳＷ１～ＳＷ６のゲート電位が変わり、しかも電位Ｖ１～Ｖ５は容量Ｃ２の影響により完全にディスチャージされていないので、これらに起因して上述した瞬時点灯が生ずることになる。

【００７４】

＜瞬時点灯対策＞

（第４のレベルシフタ群での瞬時点灯対策）

図１１及び図１２は、図７及び図８に示す従来のレベルシフタを改良した本発明の実施の形態に係るセグメント及びコモン電極駆動系を示している。

【００７５】

図１１及び図１２おいて、セグメント電極駆動系とコモン電極駆動系に例えば共用される

構成として、コンパレータ１００、基準電位生成回路１０１及びバッファ１０２Ａが設けられている。

【００７６】

また、図１１に示すレベルシフタ４２Ａの入力端子Ｉに接続された入力線と、第１の電源電位ＶＤＤの供給線との間にＰ型ＭＯＳトランジスタ１０３が設けられている。同様に、図１１に示すレベルシフタ４２Ｂの入力端子Ｉに接続された入力線と、第１の電源電位ＶＤＤの供給線との間にＰ型ＭＯＳトランジスタ１０４が設けられている。

【００７７】

一方、図１２に示すレベルシフタ４２Ｃの入力端子Ｉに接続された入力線と、第１の電源電位ＶＤＤの供給線との間にＰ型ＭＯＳトランジスタ１０５が設けられている。同様に、図１２に示すレベルシフタ４２Ｄの入力端子Ｉに接続された入力線と、電位Ｖ５の供給線との間にＰ型ＭＯＳトランジスタ１０６が設けられている。

【００７８】

コンパレータ１００の正転入力端子には基準電位ＶＲＥＧが入力され、反転入力端子に第２の電源電位ＶＳＳが入力される。この基準電位ＶＲＥＧは、第１の電源電位ＶＤＤ（＝ＯＶ）に基づいて基準電位生成回路１０１にて生成され、基準電位ＶＲＥＧは例えば－１．８Ｖである。基準電位生成回路１０１は例えば１または直列接続された複数のＮ型ＭＯＳトランジスタにて構成され、第１の電源電位ＶＤＤを各トランジスタにてしきい値電圧Ｖｔｈ分だけ電圧降下することで、基準電位ＶＲＥＧを生成することができる。

【００７９】

このコンパレータ１００の出力は、図１３に示すように、第２の電源電位ＶＳＳが基準電位ＶＲＥＧよりも低い通常時にはＨＩＧＨ（ＶＤＤ）が出力され、第２の電源電位ＶＳＳが基準電位ＶＲＥＧよりも高い電源の強制切断時等にはＬＯＷ（Ｖ５）が出力される。バッファ１０２Ａの出力も、電源電位の正常時にはＨＩＧＨ（ＶＤＤ）となり、電源電位の異常時にはＬＯＷ（Ｖ５）となる。

【００８０】

なお、コンパレータ１００，基準電位生成回路１０１及びバッファ１０２Ａを、この電源回路３０などを搭載した半導体装置内に設けるものに限らず、バッファ１０２Ａの出力の代わりに、半導体装置外部から入力されるパワーオンリセット信号を、第４のＰ型ＭＯＳトランジスタ６３のゲートに供給しても良い。パワーオンリセット信号は、外部電源の電位を常時検出するディテクタの出力であり、電源電位が所定値以下になるとアクティブとなる信号である。従って、パワーオンリセット信号がＬＯＷアクティブであれば、バッファ１０２Ａの出力と等価となる。

【００８１】

ここで、電源電位の異常時には、上述した通りバッファ１０２Ａの出力がＬＯＷ（Ｖ５）となり、４つのＰ型ＭＯＳトランジスタ１０３～１０６が全てオンする。従って、信号ＩＡ～ＩＤの論理に拘わらず、レベルシフタ４２Ａ～４２Ｃの入力端子ＩにはＨＩＧＨ（ＶＤＤ）が入力され、入力端子ＸＩにはＬＯＷ（Ｖ５）が入力される。また、レベルシフタ４２Ｄの入力端子ＩにはＬＯＷ（Ｖ５）が入力され、入力端子ＸＩにはＨＩＧＨ（ＶＤＤ）が入力される。

【００８２】

従って、電源電位の異常時には、図１１の第４の論理ゲート４４Ｄのみがオンすることで、図１１のスイッチＳＷ１のみをオンとし、他のスイッチＳＷ５～ＳＷ６が全てオフとなるように設定される。従って、本実施の形態によれば、電源電位の異常時にはレベルシフタ４２Ａ，４２Ｂを入力（Ｉ，ＸＩ）＝（Ｈ，Ｌ）に強制設定することで、表３の通りに駆動回路２０にて電位Ｖ０（＝ＶＤＤ）を全てのセグメント電極に供給できる。

【００８３】

同様に、電源電位の異常時には、図１２の論理ゲート４５Ａのみがオンすることで、図１２のスイッチＳＷ１のみをオンとし、他のスイッチＳＷ２～ＳＷ４が全てオフとなるように設定される。従って、本実施の形態によれば、電源電位の異常時にはレベルシフタ４２

Ｃを入力（Ｉ，ＸＩ）＝（Ｈ，Ｌ）とし、レベルシフタ４２Ｄを入力（Ｉ，ＸＩ）＝（Ｌ，Ｈ）に強制設定することで、表３の通りに駆動回路２０にて電位Ｖ０（＝ＶＤＤ）をコモン電極群に供給できる。

【００８４】

このように、電源電位の異常の時には、図２０に示すようにセグメント電極群及びコモン電極群全てに電位Ｖ０（＝ＶＤＤ＝０Ｖ）を供給することで、液晶パネル１０にて瞬時点灯などの誤動作が生ずることを防止できる。

【００８５】

ただし、各Ｐ型ＭＯＳトランジスタ１０３～１０６は、オン抵抗が低い（すなわち能力が高い）ものであることが好ましい。

【００８６】

なお、セグメント電極駆動系にてスイッチＳＷ１，ＳＷ４～ＳＷ６の２つが同時にオンし、あるいはコモン電極駆動系にてスイッチＳＷ１～ＳＷ４の２つが同時にオンすることを防止するため、スイッチ切換時に一旦全てのスイッチＳＷ１～ＳＷ６がオフする期間を設けることが好ましい。

【００８７】

（電位選択回路４３での瞬時点灯対策）

図１４及び図１５は、瞬時点灯対策が成された電位選択回路４３のセグメント電極駆動系、コモン電極駆動系をそれぞれ示している。

【００８８】

この電位選択回路４３は、電源が強制切断された時には、図１４、図１５に示す駆動回路２０内のスイッチＳＷ１～ＳＷ６のうち、電位Ｖ０（＝ＶＤＤ）を選択するスイッチＳＷ１のみをオンさせ、他のスイッチＳＷ２～ＳＷ６を全てオフさせる信号を出力するように構成されている。

【００８９】

図１４に示すセグメント電極駆動系には、レベルシフタ４２Ａ，４２Ｂ、コンパレータ１００及び反転素子１０２Ｂの出力により、スイッチＳＷ１，ＳＷ４～ＳＷ６をオン／オフ制御する第１～第５の論理ゲート４６Ａ～４６Ｅが設けられている。

【００９０】

同様に、図１５に示すコモン電極駆動系には、レベルシフタ４２Ａ，４２Ｂ、コンパレータ１００及び反転素子１０２Ｂの出力により、スイッチＳＷ１～ＳＷ４をオン／オフ制御する第１～第５の論理ゲート４７Ａ～４７Ｅが設けられている。

【００９１】

ここで、電源電位の正常時には、コンパレータ１００の出力はＨＩＧＨ、反転素子１０２Ｂの出力はＬＯＷとなる。このことから、レベルシフタ４２Ａ，４２への入力信号ＩＡ，ＩＢの論理状態によって、各セグメント電極に供給される電位は、上述した表１の通りに変化する。

【００９２】

一方、電源電位の異常が生ずると、コンパレータ１００の出力はＬＯＷ、反転素子１０２Ｂの出力はＨＩＧＨとなる。このため、コンパレータ１００の出力（ＬＯＷ）が入力される第５の論理ゲート（アンドゲート）４６Ｅの出力は、レベルシフタ４２Ａ，４２Ｂへの入力信号ＩＡ，ＩＢの論理状態に拘わらずＬＯＷとなり、スイッチＳＷ１がオンする。スイッチＳＷ５～ＳＷ６は、レベルシフタ４２Ａ，４２への入力信号ＩＡ，ＩＢの論理状態に拘わらずオフする。これにより、駆動回路２０にて電位Ｖ０（＝ＶＤＤ）を全てのセグメント電極に供給できる。

【００９３】

コモン電極側についても、電源電位の正常時には、コンパレータ１００の出力はＨＩＧＨ、反転素子１０２Ｂの出力はＬＯＷとなることから、レベルシフタ４２Ｃ，４２Ｄへの入力信号ＩＣ，ＩＤの論理状態によって、各セグメント電極に供給される電位は、上述した表２の通りに変化する。

【００９４】
一方、電源電位の異常が生ずると、コンパレータ１００の出力はＬＯＷ、反転素子１０２Ｂの出力はＨＩＧＨとなるため、コンパレータ１００の出力（ＬＯＷ）が入力される第５の論理ゲート４７Ｅの出力は、レベルシフタ４２Ａ，４２Ｂへの入力信号ＩＡ，ＩＢの論理状態に拘わらずＬＯＷとなり、スイッチＳＷ１がオンする。スイッチＳＷ２～ＳＷ４は、レベルシフタ４２Ｃ，４２Ｄへの入力信号ＩＣ，ＩＤの論理状態に拘わらずオフする。これにより、駆動回路２０にて電位Ｖ０（＝ＶＤＤ）を全てのコモン電極に供給できる。
【００９５】
このように、電源電位の異常の時には、図２０に示すようにセグメント電極群及びコモン電極群全てに電位Ｖ０（＝ＶＤＤ＝０Ｖ）を供給することで、液晶パネル１０にて瞬時点灯などの誤動作が生ずることを防止できる。
【００９６】
（駆動回路２０での瞬時点灯対策）
図１６及び図１７は、図３に示す駆動回路２０の最終出力段を改良した構成を示している。図１６及び図１７に示すように、全てのコモン電極Ｃ０～Ｃｎ，全てのセグメント電極Ｓ０～Ｓｍには、Ｐ型ＭＯＳトランジスタ３００がそれぞれ接続されている。さらに、図１６及び図１７に示すように、例えばセグメント電極駆動系及びコモン電極駆動系に共用されるコンパレータ１００、基準電位生成回路１０１及びバッファ１０２Ａが設けられている。
【００９７】
電源電位の異常時には、バッファ１０２Ａの出力がＬＯＷとなることから、この各Ｐ型ＭＯＳトランジスタ３００がオンする。これにより、図９のレベルシフタ４２の出力が不定となっても、図２０に示すように全てのコモン電極Ｃ０～Ｃｎ及び全てのセグメント電極Ｓ０～Ｓｍに第１の電源電位ＶＤＤ（＝０Ｖ）を強制的に供給することができる。これにより、瞬時点灯の誤動作を防止することができる。
【００９８】
この場合には、各Ｐ型ＭＯＳトランジスタ３００は、スイッチＳＷ１～ＳＷ６を構成するＭＯＳトランジスタよりもオン抵抗が低い（すなわち能力が高い）ものであることが要件となる。例えばスイッチＳＷ１～ＳＷ６のオン抵抗値を１～２ＫΩとしたとき、各Ｐ型ＭＯＳトランジスタ１０３～１０６のオン抵抗値は数十Ωであることが好ましい。
【００９９】
＜第４のレベルシフタ群での他の瞬時点灯対策＞
（第４のレベルシフタ群の各レベルシフタの構成）
図３に示す第４のレベルシフタ群４２を構成する各レベルシフタ４２Ａ～４２Ｄなどについて、図１９を参照して説明する。図１９に示すように、この第４のレベルシフタ群４２を構成する各レベルシフタは、互いに並列接続された第１，第２の回路５５，６５を有する。第１の電源電位ＶＤＤ（＝Ｖ０）の供給線と電位Ｖ５の供給線との間に、第１のＰ型ＭＯＳトランジスタ５０、第１のＮ型ＭＯＳトランジスタ５１及び第２のＮ型ＭＯＳトランジスタ５２が直列に接続されて、第１の回路５５が構成される。第１のＰ型ＭＯＳトランジスタ５０及び第１のＮ型ＭＯＳトランジスタ５１のゲートには、図２に示す第２のロジック回路４２からの出力Ｉがそれぞれ供給される。
【０１００】
これら各トランジスタ５０～５１と並列に、第２のＰ型ＭＯＳトランジスタ６０、第３のＮ型ＭＯＳトランジスタ６１及び第４のＮ型ＭＯＳトランジスタ６２が直列接続され、第２の回路６５が構成される。第２のＰ型ＭＯＳトランジスタ６０及び第３のＮ型ＭＯＳトランジスタ６１のゲートには、図２に示す第２のロジック回路４２からの反転出力ＸＩがそれぞれ供給される。
【０１０１】
ここで、第１のＰ型ＭＯＳトランジスタ５０及び第１のＮ型ＭＯＳトランジスタ５１の間の電位を、このレベルシフタ４２の反転出力ＸＯとし、第２のＰ型ＭＯＳトランジスタ６

０及び第３のＮ型ＭＯＳトランジスタ６１の間の電位を、このレベルシフタ４２の出力Ｏとする。反転出力ＸＯは第４のＮ型ＭＯＳトランジスタ６２のゲートに供給され、出力Ｏは第２のＮ型ＭＯＳトランジスタ５２のゲートに供給される。

【０１０２】

本実施の形態ではさらに、第１のＰ型ＭＯＳトランジスタ５０と並列に第３のＰ型ＭＯＳトランジスタ５３が設けられ、第２のＰ型ＭＯＳトランジスタ６０と並列に第４のＰ型ＭＯＳトランジスタ６３が設けられている。そして、反転出力ＸＯは第４のＰ型ＭＯＳトランジスタ６３のゲートに供給され、出力Ｏは第３のＰ型ＭＯＳトランジスタ５３のゲートに供給されている。

【０１０３】

（第４のレベルシフタ群の動作＞

次に、第３，第４のＰ型ＭＯＳトランジスタ５３，６３を有しない、図９に示す従来のレベルシフタの動作と比較しながら、図１９に示す本実施の形態のレベルシフタの動作について説明する。

【０１０４】

図９に示す従来のレベルシフタでは、電源オフにより入力Ｉ＝ＸＩ＝ＯＶ＝ＨＩＧＨとなると、第２のＰ型ＭＯＳトランジスタ６０及び第３のＮ型ＭＯＳトランジスタ６１のオン／オフ状態の変化により、出力Ｏの電位は中間レベルに向け下降し、ついには第２のＮ型ＭＯＳトランジスタ５２がオンからオフに変化し、出力ＸＯの電位が上がって、その出力が不定となり、これが瞬時点灯の原因となっていた。

【０１０５】

これに対して、図１９に示す本実施の形態に係るレベルシフタを、図７、図８の第１～第３のレベルシフタ４２Ａ～４２Ｃに適用すると、電源切断前のパワーセーブコマンド及びリセットにより、ＩＡ＝ＩＢ＝ＩＣ＝ＨＩＧＨとなっているので、図１９のレベルシフタの入力Ｉ＝ＨＩＧＨ，ＸＩ＝ＬＯＷとなっている。またこのときのレベルシフタの出力は、Ｏ＝ＶＤＤ＝ＨＩＧＨ，ＸＯ＝Ｖ５＝ＬＯＷである。

【０１０６】

この後に電源が切断されて、Ｉ＝ＸＩ＝ＨＩＧＨとなると、第２のＰ型ＭＯＳトランジスタ６０がオンからオフに変化する。しかし、第２のＰ型ＭＯＳトランジスタ６０と並列接続された第４のＰ型ＭＯＳトランジスタ６３は、出力ＸＯ＝Ｖ５の電位がゲートに印加されているのでオンし続け、出力Ｏ＝ＶＤＤを維持することができる。また、出力Ｏ＝ＶＤＤが保持されれば、入力Ｉ＝Ｈ（ＶＤＤ）であることから、第１，第３のＰ型ＭＯＳトランジスタ５０，５３は共にオフされ、第１，第２のＮ型ＭＯＳトランジスタ５１，５２がオンする。よって、反転出力ＸＯ＝Ｖ５を維持できる。

【０１０７】

このように、電源の強制切断時に第２のロジック回路４１からの入力が、Ｉ＝ＸＩ＝Ｈ（ＶＤＤ）となっても、図１９に示す本実施の形態の第４のレベルシフタ群４２の各レベルシフタ４２Ａ～４２Ｃの出力（Ｏ，ＸＯ）を、図９に示す従来のレベルシフタの出力のように不定とはならず、電源切断前の出力状態（ＶＤＤ，Ｖ５）に設定できる。

【０１０８】

従って、図７及び図８のレベルシフタ４２Ａ～４２Ｃでは、入力Ｉ＝ＸＩ＝ＨＩＧＨで、上記の通り、出力Ｏ＝ＶＤＤ＝ＨＩＧＨ，ＸＯ＝Ｖ５＝ＬＯＷとなり、電源オフ前の状態を維持できる。

【０１０９】

一方、図８に示すレベルシフタ４２Ｄでは、電源オフ前は図１９に示すレベルシフタの入力Ｉ＝ＬＯＷ，ＸＩ＝ＨＩＧＨであり、出力Ｏ＝Ｖ５＝ＬＯＷ，ＸＯ＝ＶＤＤ＝ＨＩＧＨである。この後電源が切断されると、図１９の第１のＰ型ＭＯＳトランジスタ５０がオンからオフに変化しても、これと並列接続された第３のＰ型ＭＯＳトランジスタ５３は、出力Ｏ＝Ｖ５の電位がゲートに印加されているのでオンし続け、出力ＸＯ＝ＶＤＤを維持することができる。また、出力ＸＯ＝ＶＤＤが保持されれば、入力ＸＩ＝Ｈ（ＶＤＤ）であ

ることから、第２，第４のＰ型ＭＯＳトランジスタ５０，５３は共にオフし続け、第３，第４のＮ型ＭＯＳトランジスタ６１，６２がオンし続ける。よって、出力ＸＯ＝Ｖ５を維持できる。

【０１１０】

このように、電源オフ後も図８の第３，第４のレベルシフタ４２Ｃ，４２Ｄは、電源オフ前の出力状態を維持できる。従って、図７，図８の各レベルシフタ４２Ａ～４２Ｄを正常に動作させることができ、図２０に示すようにコモン、セグメント電極の全てに電位Ｖ０を供給し続けることができる。よって、瞬時点灯を防止できる。

【０１１１】

（レベルシフタの変形例）

図２１及び図２２は、瞬時点灯等の誤動作防止対策を施したレベルシフタの変形例を示している。

【０１１２】

図２１では、第２のＰ型ＭＯＳトランジスタ６０と並列接続された第４のＰ型ＭＯＳトランジスタ６３が設けられ、第３のＰ型ＭＯＳトランジスタ５３は設けられていない。一方図２２では、第１のＰ型ＭＯＳトランジスタ５０と並列接続された第３のＰ型ＭＯＳトランジスタ５３が設けられ、第４のＰ型ＭＯＳトランジスタ６３は設けられていない。

【０１１３】

そして、図２１の第４のＰ型ＭＯＳトランジスタ６３のゲートと、図２２の第３のＰ型ＭＯＳトランジスタ５３のゲートには、上述の実施の形態にて説明したコンパレータ１００の出力が供給される。ここで、コンパレータ１００の出力は図１３に示す通りであるから、電源異常時に、図２１の第４のＰ型ＭＯＳトランジスタ６３と、図２２の第３のＰ型ＭＯＳトランジスタ５３とがオン駆動されることになる。

【０１１４】

ところで、図２１に示す本実施の形態に係るレベルシフタは、図７、図８の第１～第３のレベルシフタ４２Ａ～４２Ｃに適用できる。これらのレベルシフタ４２Ａ～４２Ｃでは、電源切断前にＩＡ＝ＩＢ＝ＩＣ＝ＨＩＧＨであったので、図２１のレベルシフタの入力Ｉ＝ＨＩＧＨ，ＸＩ＝ＬＯＷとなっている。またこのときのレベルシフタの出力は、Ｏ＝ＶＤＤ＝ＨＩＧＨ，ＸＯ＝Ｖ５＝ＬＯＷである。

【０１１５】

この後に電源が切断されて、Ｉ＝ＸＩ＝ＨＩＧＨとなると、第２のＰ型ＭＯＳトランジスタ６０がオンからオフに変化してしまう。しかし、この第２のＰ型ＭＯＳトランジスタ６０と並列接続された第４のＰ型ＭＯＳトランジスタ６３は、電源異常時にコンパレータ１００からのＬＯＷ信号によってオンされる。これにより、出力Ｏ＝ＶＤＤを維持することができる。また、出力Ｏ＝ＶＤＤが保持されれば、入力Ｉ＝Ｈ（ＶＤＤ）であることから、第１，第３のＰ型ＭＯＳトランジスタ５０，５３は共にオフされ、第１，第２のＮ型ＭＯＳトランジスタ５１，５２がオンする。よって、反転出力ＸＯ＝Ｖ５を維持できる。

【０１１６】

従って、図２１のレベルシフタを図７、図８の第１～第３のレベルシフタ４２Ａ～４２Ｃに適用しても、図１９に示すレベルシフタを用いた場合と同一結果を得られる。

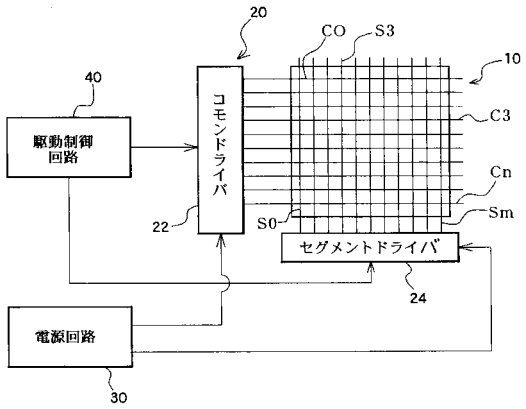
【０１１７】

一方、図２２に示すレベルシフタを図８に示すレベルシフタ４２Ｄに適用すると、電源オフ前は図２２に示すレベルシフタの入力Ｉ＝ＬＯＷ，ＸＩ＝ＨＩＧＨであり、出力Ｏ＝Ｖ５＝ＬＯＷ，ＸＯ＝ＶＤＤ＝ＨＩＧＨである。この後電源が切断されると、図２２の第１のＰ型ＭＯＳトランジスタ５０がオンからオフに変化しても、これと並列接続された第３のＰ型ＭＯＳトランジスタ５３は、コンパレータ１００の出力に基づいて電源異常時にオンし、出力ＸＯ＝ＶＤＤを維持することができる。また、出力ＸＯ＝ＶＤＤが保持されれば、入力ＸＩ＝Ｈ（ＶＤＤ）であることから、第２，第４のＰ型ＭＯＳトランジスタ５０，５３は共にオフし続け、第３，第４のＮ型ＭＯＳトランジスタ６１，６２がオンし続ける。よって、出力ＸＯ＝Ｖ５を維持できる。

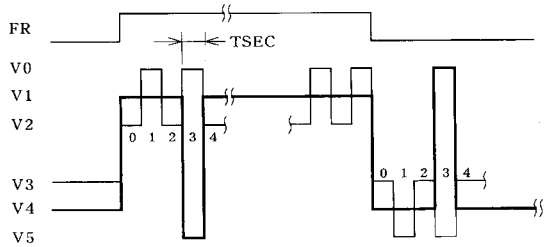
【０１１８】
従って、図２２のレベルシフタを図図８の第４のレベルシフタ４２Ｄに適用しても、図１９に示すレベルシフタを用いた場合と同一結果を得られる。
【０１１９】
なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。
【０１２０】
例えば上記の各実施の形態では、第２の電源電位がマイナス電位であったが、プラス電位であっても良いことは言うまでもない。
【０１２１】
さらに本発明は、図１に示す液晶パネル１０が搭載された携帯電話、ゲーム機器、電子手帳、パーソナルコンピータ、ワードプロセッサ、ナビゲーション装置など各種の電子機器に適用することができる。
【図面の簡単な説明】
【図１】本発明が適用される液晶装置を示す概略説明図である。
【図２】図１に示す液晶パネルに供給される駆動波形の一例を示す波形図である。
【図３】図１に示す駆動回路、駆動制御回路及び電源回路を搭載した１チップの半導体装置のブロック図である。
【図４】図３に示すレギュレータの出力特性を示す特性図である。
【図５】図３に示すボルテージフォロア回路を示す回路図である。
【図６】図３に示す昇圧回路、レギュレータ及びボルテージフォロア回路の動作を示す動作説明図である。
【図７】従来のセグメント電極駆動系の回路図である。
【図８】従来のコモン電極駆動系の回路図である。
【図９】図３に示すレベルシフタ群を構成するレベルシフタの回路図である。
【図１０】図３に示す昇圧回路の一例を示す回路図である。
【図１１】本発明の実施の形態に係るセグメント電極駆動系の回路図である。
【図１２】本発明の実施の形態に係るコモン電極駆動系の回路図である。
【図１３】図１１，図１２に示すコンパレータの出力を説明するための波形図である。
【図１４】本発明の他の実施の形態に係るセグメント電極駆動系の回路図である。
【図１５】本発明の他の実施の形態に係るコモン電極駆動系の回路図である。
【図１６】本発明のさらに他の実施の形態に係るセグメント電極駆動系の回路図である。
【図１７】本発明のさらに他の実施の形態に係るコモン電極駆動系の回路図である。
【図１８】瞬時点灯の誤動作を説明するためタイミングチャートである。
【図１９】図９に示すレベルシフタの改良であって、本発明の実施の形態に係るシフトレジスタを示す回路図である。
【図２０】瞬時点灯が生じない動作を説明するためタイミングチャートである。
【図２１】図１９に示すレベルシフタの変形例を示す回路図である。
【図２２】図１９に示すレベルシフタの他の変形例を示す回路図である。
【符号の説明】
１０　液晶パネル
２０　駆動回路
３０　電源回路
３１　第１のロジック回路
３２～３４　第１～第３のレベルシフタ
３５　昇圧回路
３６　定電流回路
３７　レギュレータ
３８　ボルテージフォロア回路
３８Ａ　抵抗分割回路

４０　駆動制御回路
４１　第２のロジック回路
４２　第４のレベルシフタ群
４２Ａ～４２Ｄ　レベルシフタ
４３　電位選択回路
４４Ａ～４４Ｄ　論理ゲート
４５Ａ～４５Ｄ　論理ゲート
４６Ａ～４６Ｅ　論理ゲート
４７Ａ～４７Ｅ　論理ゲート
５０　第１のＰ型ＭＯＳトランジスタ
５１　第１のＮ型ＭＯＳトランジスタ
５２　第２のＮ型ＭＯＳトランジスタ
５３　第３のＰ型ＭＯＳトランジスタ
５５　第１の回路
６０　第２のＰ型ＭＯＳトランジスタ
６１　第３のＮ型ＭＯＳトランジスタ
６２　第４のＮ型ＭＯＳトランジスタ
６３　第４のＰ型ＭＯＳトランジスタ
６５　第２の回路
８１～８３　Ｎ型ＭＯＳトランジスタ
Ｃ１～Ｃ３　昇圧回路の容量
１００　コンパレータ
１０１　基準電位生成回路
１０２Ａ　バッファ
１０２Ｂ　反転素子
１０３～１０６　Ｐ型ＭＯＳトランジスタ
３００　Ｐ型ＭＯＳトランジスタ

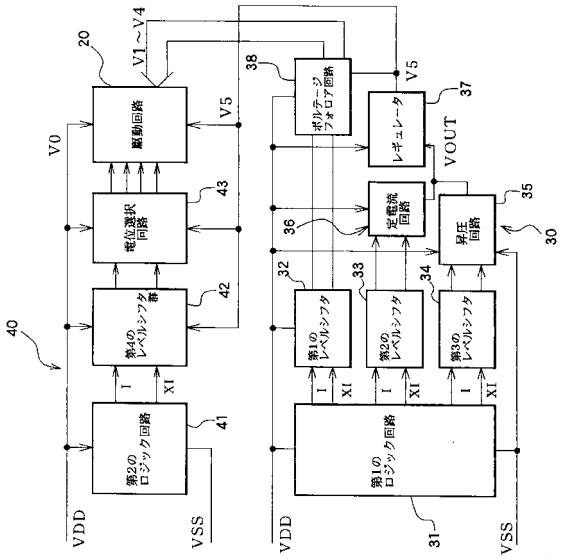
【図１】



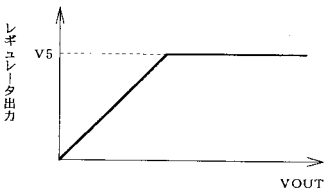
【図２】



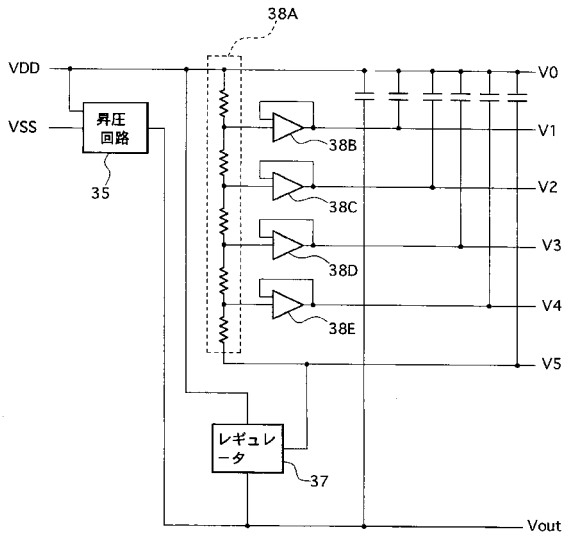
【図３】



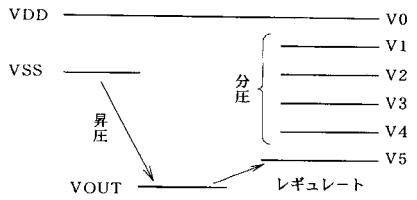
【図４】



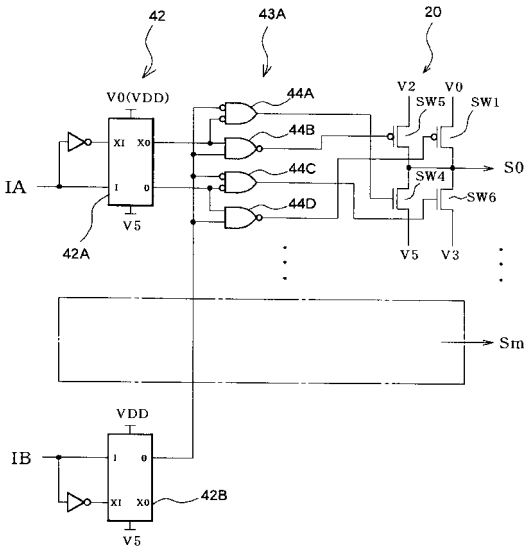
【図５】



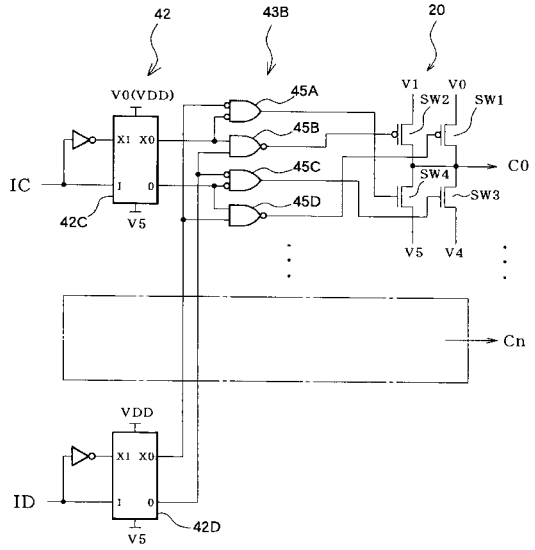
【図６】



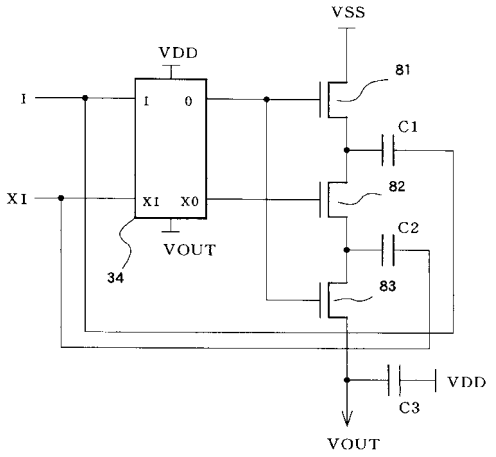
【図７】



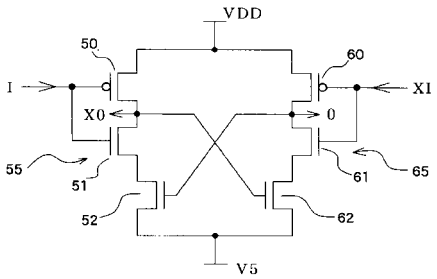
【図８】



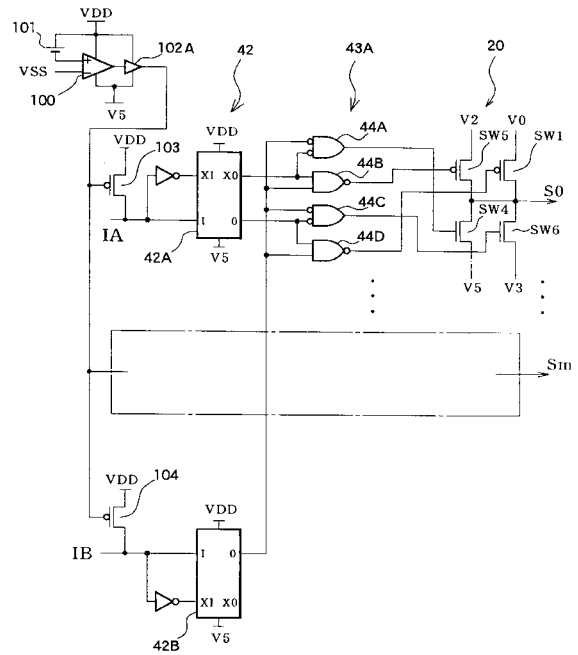
【図１０】



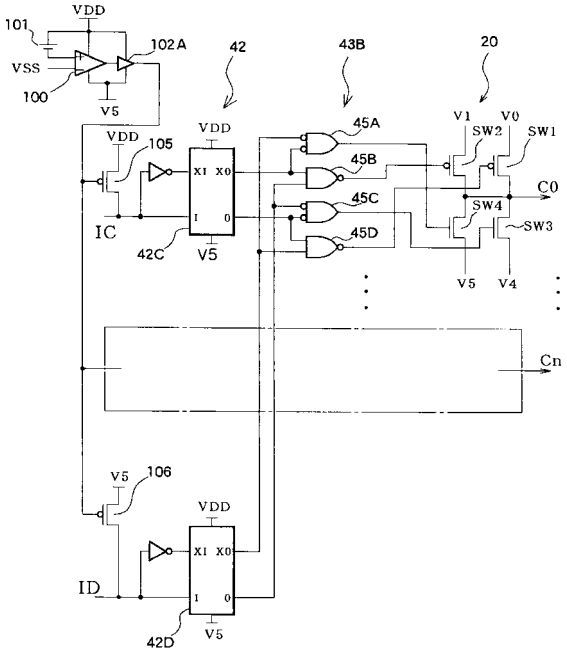
【図９】



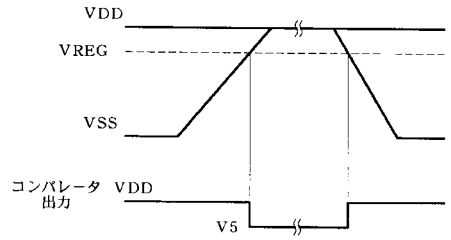
【図１１】



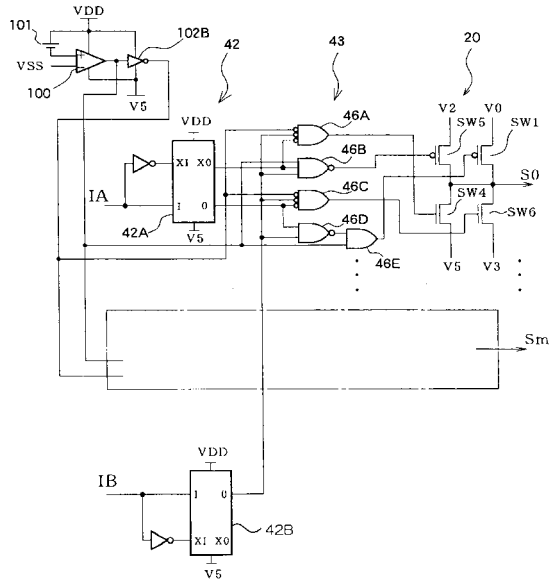
【図１２】



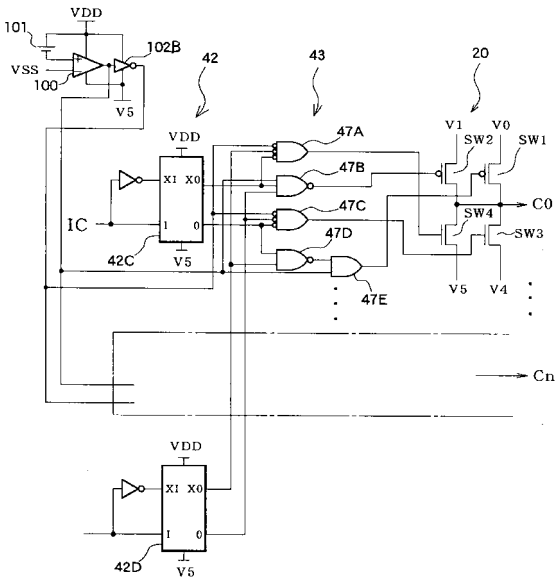
【図１３】



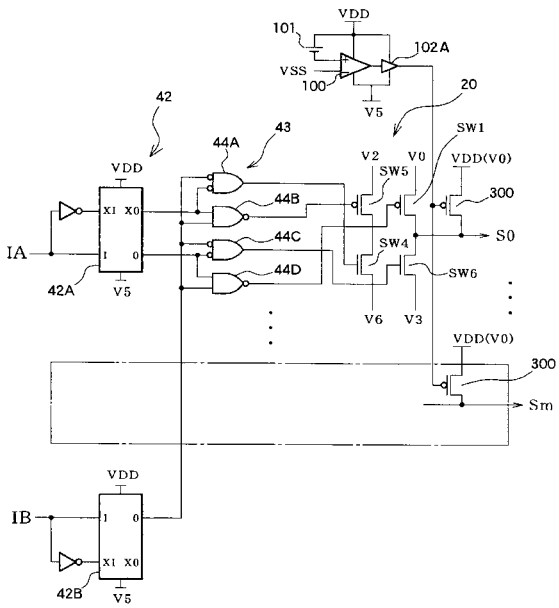
【図１４】



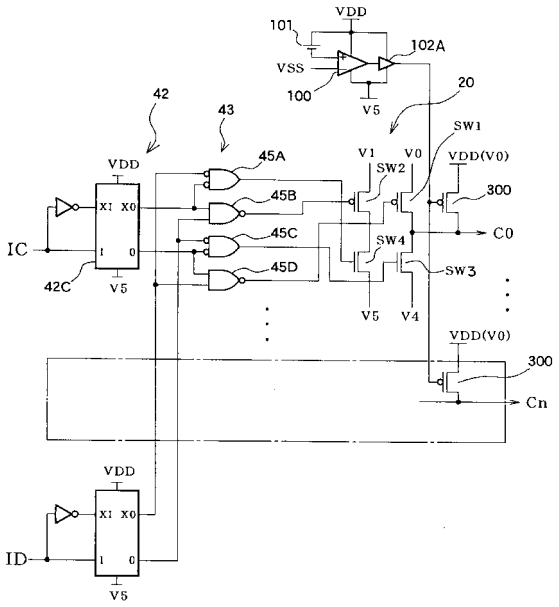
【図１５】



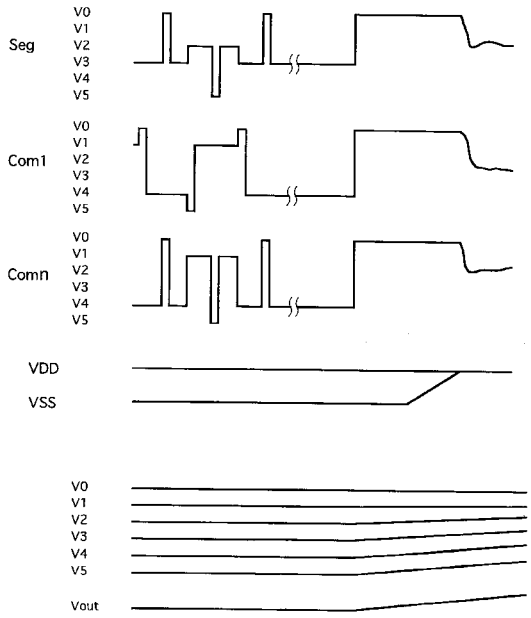
【図１６】



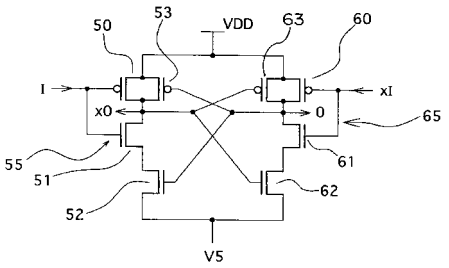
【図１７】



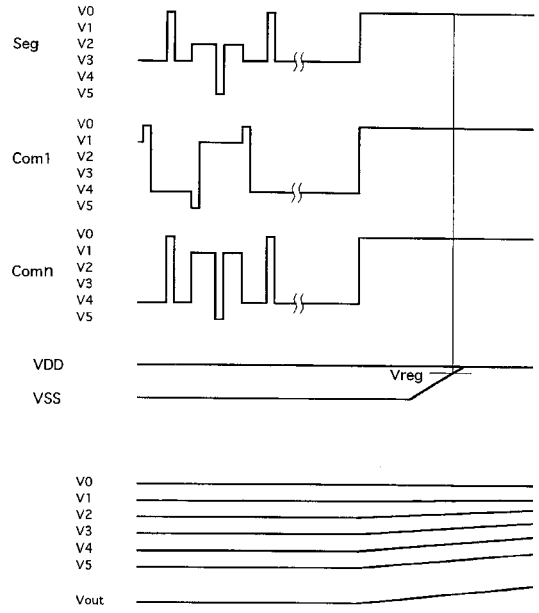
【図１８】



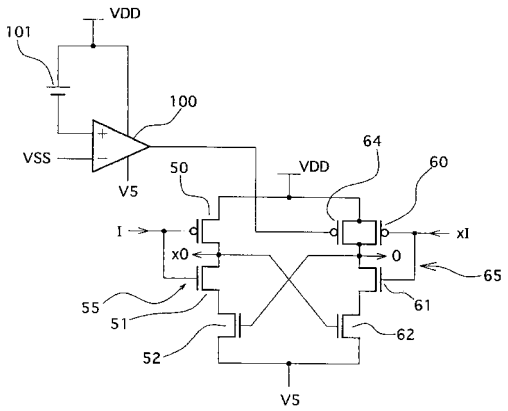
【図１９】



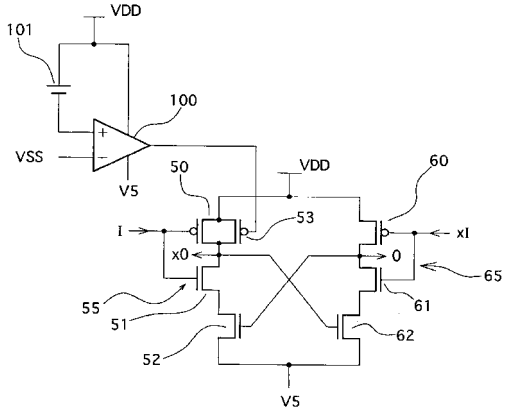
【図２０】



【図２１】



【図２２】



フロントページの続き

(56)参考文献 特開平０８－１４６３７９（ＪＰ，Ａ）
特開平１０－２１４０６３（ＪＰ，Ａ）
特開平０３－１４１３２１（ＪＰ，Ａ）
特開平０７－３１９４１８（ＪＰ，Ａ）
特開昭６３－３１６８９６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G09G 3/00-3/38
G02F 1/133 505-580