



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월06일
(11) 등록번호 10-0810829
(24) 등록일자 2008년02월28일

(51) Int. Cl.
G11B 15/02 (2006.01)

(21) 출원번호 10-2001-7006612
(22) 출원일자 2001년05월26일
심사청구일자 2005년09월21일
번역문제출일자 2001년05월26일

(65) 공개번호 10-2001-0087400
(43) 공개일자 2001년09월15일
(86) 국제출원번호 PCT/EP2000/009224
국제출원일자 2000년09월21일
(87) 국제공개번호 WO 2001/24178
국제공개일자 2001년04월05일

(30) 우선권주장
09/407,775 1999년09월28일 미국(US)

(56) 선행기술조사문헌
US5416646 B
JP06-104669 A
US5768320 B
EP0822554 A

(73) 특허권자
코닌클리즈케 필립스 일렉트로닉스 엔.브이.
네덜란드 엔엘-5621 베에이 아인드호펜 그로네보
드세베그 1

(72) 발명자
반다리산제이엠
네덜란드엔엘-5656에이에이아인드호펜홀스트란6
알로우치데이비드
네덜란드엔엘-5656에이에이아인드호펜홀스트란6
푸데니스
네덜란드엔엘-5656에이에이아인드호펜홀스트란6

(74) 대리인
김원준, 김창세

전체 청구항 수 : 총 13 항

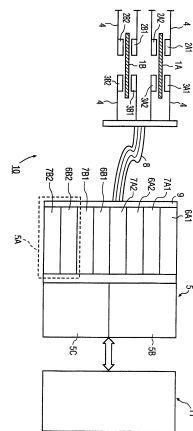
심사관 : 신상길

(54) 자기 정보 저장 장치 및 집적 회로

(57) 요약

자기 저장 장치는 기록 모드에서 판독 모드로의 전이시 장치의 판독 채널(7A1,7A2;7B1,7B2)에서 발생하는 외란을 효과적으로 감소시키는 제 1 및 제 2 제어 장치를 포함한다. 제 1 제어 장치(5B)는 제 1 이득단 내에서 판독 센서에 접속된다. 제 2 제어 장치는 후단 회로(5C)로서 기록-판독 외란의 지속 기간을 감소시키는 것 외에도 장치의 오프셋을 크게 감소시킨다. 직렬 인터페이스 형태의 사용자 인터페이스는 사용자로 하여금 제 1 및 제 2 제어 장치를 프로그램가능하게 한다. 직렬 인터페이스 및 제 1 및 제 2 제어 장치를 갖는 판독 채널은 전치 증폭기 집적 회로 내에 구현된다. 프로그램가능성은 IC 제조자뿐만 아니라 자기 저장 장치의 제조자가 기록-판독 외란의 모델간 및 장치간 변동의 원인이 되는 판독 채널을 최적화할 수 있게 하는 유연성을 제공한다.

대표도



(81) 지정국

국내특허 : 일본, 대한민국

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 사이프러스, 독일, 덴마크, 스페인, 핀란드, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴

특허청구의 범위

청구항 1

정보를 자기 매체에 기록하기 위한 기록 채널과 정보를 상기 자기 매체로부터 판독하기 위한 판독 채널을 포함하는 자기 정보 저장 장치에 있어서,

상기 판독 채널은,

상기 자기 매체 상에 저장된 정보에 응답하여 정보 신호를 발생하는 센서와,

출력과,

상기 출력과 상기 센서 사이에 접속되어 상기 정보 신호를 증폭하고, 상기 증폭된 정보 신호를 상기 출력에 제공하기 위한 신호 경로를 포함하며,

상기 신호 경로는 시간 의존 방식으로 상기 신호 경로 내의 제로를 제어하는 적어도 하나의 제어 장치를 포함하되, 상기 제어 장치는 상기 제로의 시간 의존 응답을 제어하도록 프로그램되는

자기 정보 저장 장치.

청구항 2

제 1 항에 있어서,

상기 자기 정보 저장 장치는 상기 제어 장치를 프로그램하기 위한 사용자 인터페이스를 포함하는

자기 정보 저장 장치.

청구항 3

제 2 항에 있어서,

상기 제어 장치는 상기 기록 채널이 활성화되는 기록 모드로부터 상기 판독 채널이 활성화되는 활성 모드의 전이에 의해 상기 판독 채널에서 발생하는 기록-판독 외란의 시간 지속 기간과 관련한 시간 의존 방식으로 제 1 주파수로부터 보다 낮은 제 2 주파수로 변화할 수 있는 제로를 갖는 필터를 포함하는

자기 정보 저장 장치.

청구항 4

제 3 항에 있어서,

상기 사용자 인터페이스는 (a) 제로가 상기 제 1 주파수에 존재하는 시간의 지속 기간, (b) 상기 제 1 주파수로부터 상기 제 2 주파수로의 제로의 변화율, (c) 상기 제어 장치의 이득 중의 적어도 하나의 프로그래밍을 가능하게 하는

자기 정보 저장 장치.

청구항 5

제 4 항에 있어서,

상기 신호 경로는 입력과 출력을 갖는 필터링 이득단을 갖는 순방향 신호 경로와, 상기 출력을 상기 필터링 이득단의 상기 입력에 접속시키는 피드백 신호 경로를 포함하며, 상기 피드백 신호 경로는 시간 의존 방식으로 변화하는 극을 갖는 저역 통과 필터를 포함하여 상기 순방향 신호 경로 내에 상기 시간 의존 제로를 발생시키는

자기 정보 저장 장치.

청구항 6

제 5 항에 있어서,

상기 저역 통과 필터는 가변 캐패시턴스를 포함하되, 상기 캐패시턴스의 변화는 상기 저역 통과 필터의 극을 이 동시키는

자기 정보 저장 장치.

청구항 7

제 5 항에 있어서,

상기 신호 경로는 상기 센서에 접속된 제 1 이득단과, 출력 버퍼와, 상기 제 1 이득단과 상기 출력 버퍼 사이에 서 캐스캐이드된 다수의 이득단을 포함하며, 상기 필터링 이득단은 상기 다수의 이득단들 중의 하나로 구성되는

자기 정보 저장 장치.

청구항 8

제 7 항에 있어서,

상기 제 1 이득단은 상기 제 1 이득단의 저 코너 주파수를 변화시키도록 프로그램될 수 있는 피드백 경로를 포 함하는

자기 정보 저장 장치.

청구항 9

제 8 항에 있어서,

상기 피드백 경로는 가변 이득을 갖는 트랜스콘덕턴스 단을 포함하며, 상기 자기 정보 저장 장치는 그 이득을 변화시키기 위해 상기 트랜스콘덕턴스 단을 바이어싱하는 전류 바이어스 회로와, 상기 전류 바이어스 회로에 접 속되어 상기 바이어스 회로에 의해 상기 트랜스콘덕턴스 단에 공급되는 바이어스 전류를 제어하는 펄스를 발생 시키는 제어가능한 펄스 발생 회로를 더 포함하는

자기 정보 저장 장치.

청구항 10

제 9 항에 있어서,

상기 펄스는 (a) 최초의 높은 주파수에 존재하는 낮은 코너 주파수의 지속 기간, (b) 상기 트랜스콘덕턴스 단에 대한 상기 바이어스 전류의 크기, 및 (c) 고주파수로부터 저주파수로의 제로의 전이 중의 적어도 하나를 제어하 도록 프로그램될 수 있는

자기 정보 저장 장치.

청구항 11

제 9 항에 있어서,

각각의 펄스는 상기 트랜스콘덕턴스 단의 이득의 크기를 제어하는 펄스 크기와, 상기 이득이 상기 크기에 존재 하는 이득의 지속 기간을 제어하는 펄스폭과, 상이한 크기의 이득으로의 전이를 제어하는 하강 시간을 가지며, 상기 사용자 인터페이스는 상기 펄스 크기, 펄스폭 및 하강 시간의 각각을 제어하도록 프로그램될 수 있는 각각 의 비트를 갖는 레지스터를 포함하는

자기 정보 저장 장치.

청구항 12

자기 매체와, 상기 자기 매체에 정보를 기록하기 위한 기록 헤드와, 상기 자기 매체로부터 정보를 판독하여 정 보 신호를 생성하기 위한 판독 센서를 구비한 자기 정보 저장 장치에 사용하기 위한 집적 회로에 있어서,

상기 정보 신호를 수신하여 증폭하기 위해 사용되며, 신호 경로 내의 기록-판독 외란을 제어하는 프로그램가능 한 제어 장치를 구비한 신호 경로와,

상기 제어 장치에 접속되어, 상기 제어 장치를 프로그램하도록 적어도 하나의 사용자 입력을 수신하는 사용자 인터페이스 회로를 포함하는

집적 회로.

청구항 13

집적 회로에 있어서,

결정가능한 개시 포인트와 감쇄를 갖는 과도적인 외란이 반복되기 용이한 신호를 송신하기 위한 신호 경로와, 제어가능한 감쇄를 갖는 신호를 필터링하기 위한 필터 수단과,

상기 필터 수단에 접속되어, 반복적으로 (1) 상기 과도적인 외란의 개시 포인트에서 상기 필터 수단의 감쇄를 상기 외란이 실질적으로 필터링될 정도의 제 1 레벨로 세팅하고, (2) 상기 제 1 레벨로부터 보다 낮은 레벨의 제 2 레벨로 상기 외란의 감쇄와 관련한 시간 의존 방식으로 상기 필터 수단의 감쇄를 감소시키는 제어 수단과,

상기 필터 수단에 접속되어 사용자로 하여금 상기 제어 수단을 프로그램하도록 하는 인터페이스 수단을 포함하는

집적 회로.

명세서

기술분야

<1> 본 발명은 전반적으로 자기 매체로부터 정보를 판독하는 장치에 관한 것으로, 특히 그러한 장치의 기록-판독 안정화 시간(write-to-read settling time)을 최적화하기 위한 사용자 프로그램가능한 제어 회로 및 사용자 인터페이스에 관한 것이다.

배경기술

- <2> 자기 기록 장치는 정보를 자기 매체에 아날로그 혹은 디지털 형태로 기록하는데 사용된다. 자기 매체는 전형적으로 널리 공지된 소형 카세트에 사용되는 테이프이거나 백업용으로 사용되는 컴퓨터용 고밀도 드라이브이다. 다른 일반적인 형태는 컴퓨터에 프로그램 및 데이터를 저장하기 위한 플로피디스크 혹은 하드디스크와 같은 디스크이다.
- <3> 자기 기록 장치용 판독 채널은 자기 매체에 근접하게 위치한 자기-저항 헤드의 형태의 센서를 포함한다. 자기 물질이 센서와 관련하여 이동될 때, 센서에는 자기 매체의 국소 방위에 무관하게 플럭스(flux)가 도입되며, 그에 따라 증폭되어 디코딩될 수 있는 정보 신호가 생성될 수 있다.
- <4> 컴퓨터 데이터 저장이나 음악의 디지털 기록을 위한 정보가 디지털 형태로 기록될 때, 기록 채널에 의해 전류가 발생되어 이진수 "0"을 기록하는 하나의 방향과 이진수 "1"을 기록하는 대향 방향의 박막 헤드에 이송된다. 그 매체가 센서 혹은 판독 헤드에 의해 판독될 때, 이진수 "0"이 기록된 부분은 일 방향의 헤드로 전류를 유도하게 되며, 이진수 "1"이 기록된 부분은 대향 방향으로 전류를 유도하게 되는데, 이러한 전류는 그 후 비트 검출기에 의해 디코딩된다.
- <5> 하드디스크 드라이브는 전형적으로 다수의 자기 디스크 혹은 플래터를 포함하는데, 그의 각각의 면은 정보를 판독하고 기록하는데 사용된다. 판독 헤드 및 기록 헤드는 디스크의 각각의 면에 위치한 암(arm) 상에 장착되며, 현재의 시스템에서 서보 패턴은 디스크 상의 방사상 패턴으로 매립된다. 판독 및 기록은 서보 패턴에 따라 상호 변경된다.
- <6> 기록-판독 안정화 시간은 드라이브 용량에 직접적인 영향을 미치기 때문에 중요한 규정 사항이 된다. 기록-판독 안정화 시간은 판독 채널이 안정화되는데 필요한 시간으로서 기록 채널이 기록을 중단한 이후에 바로 서보 필드를 판독할 수 있는 시간으로 정의된다. 기록 섹터의 종료와 서보 필드의 시작 사이의 자기 디스크 상의 갭은 낭비되는 영역으로서 최소화되어야 한다.
- <7> 기록-판독 전이 동안의 판독 채널에 대한 외란은 주로 세가지의 소스로부터 발생한다. 그 첫번째 소스는 판독

및 기록 채널 회로를 구현하는 집적 회로와 기록 헤드 및 판독 센서를 전기적으로 접속시키는데 종래 사용되는 플렉시블 케이블이다. 이 케이블은 근접한 위치에서 다중 도체들을 갖는데, 이는 간섭의 소스가 되고 있다.

기록 채널 및 판독 채널을 위한 회로는 전형적으로 본 기술분야에서 "전치 증폭기 IC"로 지칭되는 단일 집적 회로 상에 구현된다. 이 전치 증폭기 IC는 장치에서 각각의 판독/기록 조합을 위한 판독/기록 쌍으로 그룹화되어 있는 수개의 판독 및 기록 채널을 가질 것이다. 집적 회로상의 판독 채널 회로와 기록 채널 회로의 물리적인 근접성은 기록 채널과 판독 채널 사이에서 원하지 않는 용량성 결합의 소스가 되고 있다. 세번째의 간섭의 소스는 집적 회로상의 접속 핀, 본드 와이어 및 본드 패드로부터 발생되는데, 이도 또한 원하지 않는 결합의 소스가 될 수 있다. 판독 채널의 출력으로 전파하는 이러한 각각의 소스들로부터의 외란은 디스크로부터 판독되는 정보를 디코딩할 시의 에러를 방지하도록 억제될 필요가 있다. 한편, 과도한 억제는 또한 실제 데이터의 적절한 판독에 간섭을 일으킬 수 있다.

<8> 기록-판독 외란의 정확한 지속 기간과 특성은 다소 예측불가능하다. 그것은 헤드, 센서, 및 플렉시블 케이블 뿐만 아니라 전술한 것 외의 다른 소스들의 조합에 의존하며, 따라서, 그러한 장치들의 제조사에 의해 조립된 하드디스크 드라이브의 모델에 따라 달라진다. 전치 증폭기 IC를 설계할 때, 설계자는 판독 채널에 대한 간섭 억제를 위한 적당한 필터를 설계하기 위해서는 디스크 드라이브 제조사에 의해 제공된 설계 데이터 뿐만 아니라, 그 제조사의 다른 모델에서의 과거 경험에 기초하여 간섭 소스들을 모델링해야만 한다. 전치 증폭기 IC를 제조한 후, 그 IC는 그 제조사의 소정의 하드디스크 내에서 테스트된다. 만약 억제가 너무 적거나 너무 많다면, 억울할 수 없는 판독 에러가 발생할 것이고, 설계자는 IC에 대한 마스크 세트의 변경 뿐만 아니라 개정된 필터를 갖는 전치 증폭기 IC의 재제조를 필요로 하는, IC 내의 필터의 재설계를 행해야만 할 것이다. 그러한 반복적인 공정은 설계 사이클을 원하지 않게 연장시켜, IC 제조사 및 하드디스크 드라이브 혹은 다른 자기 저장 장치의 제조사에 대해 코스트를 증가시키게 된다.

<9> 전치 증폭기 IC에 대한 적당한 설계에 도달한 이후라도, 하드디스크 드라이브 제조사는 여전히 전치 증폭기 IC에서의 칩간 변동(chip-to-chip variation)뿐만 아니라 판독 센서, 기록 헤드, 플렉시블 케이블 및 전치 증폭기 IC와의 상호 접속체의 조합체에서 드라이브간 변동(drive-to-drive variation)의 문제에 직면하게 될 것이다.

<10> 모든 엘리먼트들이 규격 내에 있을 지라도, 그 외부 허용 한계치 근처의 수개의 엘리먼트들의 조합은 종종 허용 한계치를 벗어나는 판독 에러를 갖는 하드디스크 드라이브를 생성할 것이다.

<11> 현재의 기술에서, 설계 사이클에서 전술한 반복을 피하기 위한 적당한 툴이 IC 제조사에게는 이용될 수 없을 뿐만 아니라, 정상적인 칩간 변동과 헤드/센서/케이블 상호 접속의 변동에서 발생하는 판독 에러를 용이하게 수정하기 위한 툴이 드라이브 제조사에게 이용될 수 없다.

발명의 상세한 설명

<12> 따라서, 제조사 혹은 사용자가 조립 이전, 동안, 혹은 그 후에 판독 채널의 성능을 최적화할 수 있는 자기 저장 장치가 존재할 필요가 있다. 또한, 기록-판독 안정화 시간을 효율적으로 감소시키기 위해 사용자에게 의해 프로그램가능한 판독 채널내의 제어 장치를 갖는 자기 저장 장치가 존재할 필요가 있다. 또한, 기록-판독 안정화 시간을 최적화하기 위해 집적 회로의 제조사 혹은 제조사의 고객에 의해 프로그램가능한 판독 채널을 갖는 집적 회로가 존재할 필요가 있다.

<13> 이러한 본 발명의 목적들은 본 발명의 제 1 측면의 자기 정보 저장 장치에 따라 충족되는데, 이 자기 정보 저장 장치는 자기 매체에 정보를 기록하기 위한 기록 채널과, 자기 매체로부터 정보를 판독하기 위한 판독 채널을 포함하고 있다. 판독 채널은 자기 매체 상에 저장된 정보에 응답하여 정보 신호를 생성하는 센서와, 센서로부터의 정보 신호를 증폭하여 증폭된 정보 신호를 제공하는 신호 경로를 포함한다. 신호 경로는 시간 의존 방식으로 신호 경로의 제로를 제어하는 적어도 하나의 제어 장치를 가지며, 이 제어 장치는 제로의 시간 의존 응답을 제어하도록 프로그램할 수 있다.

<14> 기록 채널이 활성 상태에 있는 기록 모드에서 판독 채널이 활성 상태에 있는 판독 모드로 전이할 때, 이 전이는 통상적으로 판독 채널에서 기록-판독 외란을 일으킨다. 판독 채널에 외부에서 프로그램할 수 있는 제어 장치를 배치함으로써, 판독 채널은 특정 제조사의 자기 저장 장치의 모델간에서 발생하는 변동에 적응될 수 있다. 대안적으로, 판독 채널은 상이한 제조사의 자기 저장 장치들 간의 차이점에 적응될 수 있으며, 그에 따라 전치 증폭기 IC의 공급자는 오직 하나의 집적 회로 설계를 갖는 다수의 고객들의 필요를 충족시킬 수 있다. 마침내, 이제는 자기 저장 장치의 제조사는 모델 타입내의 장치간의 변동의 원인이 되는 동작을 최적화할 수 있게 되었다.

- <15> 바람직하게도, 프로그램 기능은 사용자가 제어 장치를 제어하는 하나 이상의 변수들에 대한 값을 입력가능하게 하는 시리얼 인터페이스(serial interface)와 같은 사용자 인터페이스를 통해 달성된다.
- <16> 본 발명의 제 2 측면에 의하면, 제어 장치는 제로(zero)를 갖는 필터를 포함하는데, 이 필터는 제 1 주파수에서 보다 낮은 주파수의 제 2 주파수로 기록-판독 외란의 지속시간과 관련되는 시간 의존 방식으로 제로를 변화시킨다. 본 발명자는 고속 애플리케이션용 자기 저장 장치에서 기록-판독 외란은 그 외란이 피크치에서 최소치로 감소하는 최초의 고평크치(high peak)와 비교적 긴 테일(tail)을 갖는다는 것을 특징으로 하고 있음을 알게 되었다. 전술한 방식에서의 제로의 주파수(즉, 낮은 코너 주파수)를 변화시킴으로써, 외란의 크기와 관련한 방식으로 필터의 감쇄량이 변화되고, 그 결과 외란의 크기가 높을 때는 높은 필터링이 발생하며, 신호의 크기가 낮을 때는 낮은 필터링이 발생한다. 이러한 것은 안정화 시간의 감소를 최적화하며, 필터링이 높은 레벨로 고정되었을 경우에 발생할 수도 있는 판독 에러를 방지한다.
- <17> 본 발명의 다른 측면에 의하면, 판독 채널에서의 제로가 판독 채널의 피드백 경로에 저역 통과 필터에 의해 제공된다. 이 저역 통과 필터는 순방향 경로 내의 제로의 위치를 변화시키는 가변 캐패시터에 의해 가변되는 극(pole)을 갖는다. 저역 통과 필터는 판독 채널내에 포함된 필터링 이득단의 피드백 경로 내에 포함될 수 있다. 다수의 이득단을 갖는 판독 채널에서, 시간 의존 제로는 신호 경로의 "후단(back end)", 즉 제 1 이득단보다 신호 경로의 출력에 더 인접한 곳에 위치하는 것이 바람직하다. 이러한 것은 판독 채널의 DC 오프셋을 감소시키는데 도움이 된다. 오프셋은 입력에서의 차동 DC 성분이 제로일 때 출력에서의 차동 DC 성분의 차이를 나타내는 것으로, 증폭기 단들의 성분과, 분기 전류와, 와이어의 기생 저항의 오정합에 의해 야기된다.
- <18> 본 발명의 또다른 측면에 의하면, 사용자 인터페이스는 (a) 제로가 제 1 주파수에 존재하는 시간의 지속 기간, (b) 제 1 주파수에서 제 2 주파수로의 제로의 변화율, (c) 제어 장치의 이득 중의 적어도 하나의 프로그래밍을 가능하게 한다.
- <19> 본 발명의 또다른 측면에 의하면, 신호 경로는 제어 장치를 형성하는 센서에 접속된 제 1 이득단을 포함한다. 판독 채널의 제로는 제 1 이득단의 피드백 경로에서 가변 극(variable pole)을 갖는 트랜스컨덕턴스 단에 의해 제어되며, 이는 다시 피드백 경로의 피드백 증폭기의 dc 이득을 변화시킴으로써 변화된다. 일실시예에서, 트랜스컨덕턴스 단에 접속된 전류 바이어스 회로는 그의 이득을 변화시키며, 전류 바이어스 회로에 접속된 제어 가능한 펄스 발생 회로는 바이어스 회로에 의해 트랜스컨덕턴스 단에 제공되는 바이어스 전류를 제어하는 펄스를 발생시킨다.
- <20> 본 발명의 또다른 측면에 의하면, 펄스의 특성은 (a) 최초의 높은 주파수에서의 낮은 코너 주파수의 지속 기간, (b) 이득과 피드백 증폭기의 극을 제어하는, 피드백 트랜스컨덕턴스 단에 대한 바이어스 전류의 크기, 및 (c) 고주파수에서 저주파수로의 제로의 전이 중의 적어도 하나를 제어하기 위해 프로그램될 수 있다.
- <21> 바람직하게도, 제 1 이득단에서 뿐만 아니라, 전술한 "후단" 단에서 제어 엘리먼트를 갖는 자기 저장 장치에 판독 채널의 안정화 시간의 최적 제어가 제공된다.
- <22> 본 발명의 또다른 측면에 의하면 자기 저장 장치에 사용되는 집적 회로가 전술한 특징들 중의 하나 이상을 갖는 판독 채널을 포함한다.
- <23> 본 발명의 이들 및 다른 목적, 측면 및 이점은 아래의 상세한 설명과 도면으로부터 명백하게 이해될 수 있을 것이다.

실시예

- <39> I. 시간 의존 필터를 사용한 기록-판독 안정화 시간 감소
- <40> 도 1은 본 발명에 따른 한 타입의 자기 저장 장치(10)로서, 본 명세서의 경우 대용량의 데이터 저장 장치용 하드디스크 드라이브의 블럭도이다. 이 장치(10)는 다수의 자기 디스크(본 실시예의 경우에는 단순화할 목적으로 단지 두개의 디스크(1A, 1B)만이 도시됨)와, 회전하는 디스크(1)의 대응하는 측면에 대해 헤드 및 센서를 방사상으로 위치시키는 각각의 서보 제어형 암(4)상에 장착되는 다수의 쌍의 기록 헤드(2A1,2A2; 2B1,2B2) 및 판독 센서(3A1,3A2; 3B1,3B2)를 포함한다. 암의 서보 제어와 회전하는 디스크의 속도 서보 제어는 본 기술분야에서 널리 알려져 있고, 본 발명에 포함되는 것이 아니며, 다양한 서보 모터, 센서 및 제어 회로를 포함하는 것으로 이해될 것이다.
- <41> 전치 증폭기 IC(5)는 다수의 기록 채널(6A1,6A2; 6B1,6B2)과, 다수의 판독 채널(7A1,7A2; 7B1,7B2)을

포함하며, 각각의 기록 채널은 디스크(1A, 1B)의 각각의 면에 정보를 기록하도록 기록 헤드를 구동시키며, 각각의 판독 채널은 디스크의 각각의 면으로부터 정보를 판독하도록 판독 센서를 구동시킨다. 종래에 쌍의 형태의 구성으로 그룹화되어 있던 이러한 기록 및 판독 채널은 전치 증폭기 IC(5)의 파트퍼 헤드(part-per-head)(혹은 헤드 인터페이스) 부분(5A)을 형성한다. 이 IC(5)는 플렉시블 케이블 상호 접속체(8)를 통해 판독 센서 및 기록 헤드에 접속되며, 이 접속체는 기록 헤드 및 판독 센서를 전치 증폭기 IC(5)의 접속 핀/범프(9)를 통해 판독 및 기록 채널에 전기적으로 접속시킨다. IC(5)는 또한 후단 판독부(5C)와 전단 기록부(5B)를 포함하고 있다.

전단 판독부는 각각의 판독 센서에 대한 제 1 이득단을 포함하고 있지만, 후단 판독부는 모든 전단 판독부에 대해 공통되는 다수의 이득단과 제어 회로를 포함하며 전단 판독 채널(7A1, 7A2, 7B1, 7B2)에 선택적으로 접속되며, 이에 따라 판독 센서는 디스크(1A, 1B)로부터 정보를 판독하기 위해 선택된다.

<42> 하드디스크 드라이브 내의 전치 증폭기 IC(5)는 정보 판독을 위해 적어도 하나의 등화기와 비트 검출기를 포함하고 있는 다른 IC(11)에 접속된다.

<43> 전술한 바와 같이, 디스크 드라이브 장치가 디스크에 정보를 기록하는 것으로부터 디스크로부터 정보를 판독하는 것으로 전이할 때, 이 기록-판독 전이는 상호 접속체(8)과, 접속 핀 및 본드 와이어(9)와, IC(5)상의 판독 및 기록 채널 전단 회로의 물리적 근접성에 의해, 판독 채널 내로 유사 외란을 도입한다. 도 2a는 기록-판독 전이에 의해 야기되는 전형적인 외란의 전압 파형을 도시하는 그래프이다. 시간 "I"에서, 기록-판독 전이가 발생하며, 외란은 시간 기간 A 동안 피크치 P에 급속하게 도달하게 된다. 이 외란은 시간 B에서의 제로 볼트를 경유하여 시간 C에서 네가티브 피크치("P")로 급속하게 감소하게 된다. 수 마이크로초 정도의 시간 간격(예를 들면, 간격 C-F, ...n) 동안, 외란은 긴 테일을 가지게 되며, 네가티브 피크치에서 제로 볼트로 감소하게 된다. 도 2a의 파형은 단지 예시용이며, 판독 센서, 기록 헤드, 플렉시블 상호 접속체 및 전치 증폭기 IC의 각각의 조합은 비례적으로 상이한 파형을 발생시킬 것이다. 그러나, 본 발명자는 고속 하드디스크 드라이브의 기록-판독 외란에 대한 파형이 전형적으로 높은 초기 피크치와, 네가티브 피크치와, 시간 경과에 따라 감소하는 긴 테일을 가지며, 구성 요소 테스트를 통해 측정가능하며 특성화할 수 있다는 것을 알게 되었다.

<44> 도 3a는 판독 센서(3)로부터 신호를 증폭하기 위한 다수의 이득단, 예를 들면 3-5개의 단을 갖는 본 발명에 따른 판독 채널(100)의 블럭도로서, 상기 신호는 판독/기록 채널 IC 내의 디코딩 회로에 의해 디코딩될 수 있다. MR 판독 센서(3)는 판독 채널(100)의 순방향 신호 경로(160) 내의 다수의 이득단(G_{m1} , G_{m2} , G_{m3} , G_{m4})을 통해 출력 버퍼(130)에 접속된다. 이득단(110, 115, 120, 125)은 함께 증폭된 정보 신호를 출력 버퍼(130)를 통해 등화기(145) 및 비트 검출기(150)에 제공하며, 이들 등화기 및 비트 검출기는 함께 디코더 회로의 일부를 형성하며, 아날로그 정보 신호를 연속하는 디지털 비트의 트레인으로 변환한다. 연속하는 디지털 비트의 트레인은 다음에 정보가 자기 매체에 기록될 때의 인코딩되는 방법에 따라, 알고리즘에 의해 디코딩된다.

<45> 판독 채널(예를 들면, 단(110))의 전단에 유입된 과도 현상을 억제하여 버퍼(130)의 출력에 도달되지 않도록 하기 위해, 시간 의존 이득 특성을 갖는 필터(155)가 판독 채널(100)의 순방향 신호 경로(60)에 도입된다. 도 2b는 필터(155)의 기능을 도시하고 있다. 기록-판독 전이의 피크 간격에 해당하는 도 2a의 최초 시간 간격 A에서, 필터는 라인 A로 예시되는 비교적 높은 LCF_A (낮은 이득)를 갖는다. 시간이 경과함에 따라, 필터(155)의 LCF 는 시간 방식의 전이(도 2b에서 우측에서 좌측으로의 전이)에 의해 도시되는 바와 같이 기록-판독 외란의 감쇄 특성에 일반적으로 대응하는 방식으로 감소한다. 따라서, 그 외란의 크기가 일반적으로 도 2a에 도시된 바와 같은 시간 A에서보다 적은 것으로 예상되는 시간 C에서, 시간 의존 필터는 소정의 주파수에서 비례적으로 증가하는 이득(감소된 감쇄)을 갖는다. 외란의 크기(주파수)가 최소가 되는 시간 "n"에서, 필터(155)는 판독 센서에 의해 자기 매체로부터 데이터를 적절히 판독하는데 악영향을 끼치지 않도록 선택되는 $LCF(LCF_n)$ 과 이득 "n"을 가질 것이다. 시간 "n"으로부터 그 이후의 시간은 판독 모드에 있을 때 판독 채널의 "안정화" 상태로 간주된다. 필터의 이득에서의 스텝의 수는 예시용이며, 애플리케이션의 필요에 따라 변화될 수 있다.

<46> 이득단(110)은 IC(5)의 전단부에 있으며, 그러한 하나의 이득단(110)은 각각의 판독 채널에 대해 제공된다. 이득단(115, 120, 125, 155)과 출력 버퍼(130)는 IC(5)의 후단부에 있으며, 모든 판독 채널에 대해 공통으로 된다. 등화기(145) 및 비트 검출기(150)는 통상적으로 개별의 IC(11)상에 존재한다.

<47> 바람직하게도, 제로는 오프셋을 보다 효율적으로 감소시키기 위해 판독 채널의 후단의 회로에 도입된다. "후단부" 회로에 의해 이득단들은 초기 이득단(110)보다도 버퍼(130)에 더 근접하게 위치하는 것으로 간주된다. 제로를 출력에 근접하게 위치시킴으로써, 오프셋을 도입하는 후속 단들은 존재하지 않거나 거의 존재하지 않음

며, 대조적으로 제로는 모든 이전의 호로의 오프셋을 감소시킨다. 도 3a에서, 출력 버퍼(130)에 접속된 필터가 도시된다.

<48> 본 명세서에 도시되는 바와 같이, "극(pole)"은 전달 함수 $A(s)$ =(무한대)인 복소 변수 $s=j\omega=j2\pi f$ 의 값으로서 정의된다. "제로"는 $A(s)=0$ 인 s 의 값으로서 정의된다. 대안적으로, 그 문맥이 필요한 경우, 극 혹은 제로는 또한 전달 함수가 각각 무한대 혹은 제로가 되는 주파수의 단위로 참조된다.

<49> 바람직한 실시예(도 3b)에서, 순방향 경로내의 필터(155)는 순방향 경로 내의 단위 이득단(120) 근처의 피드백 경로(165) 내의 저역 통과 필터(135)에 의해 구현되며, 상기 단위 이득단은 에미터 팔로워로서 구현된다. 저역 통과 필터(135)는 초고주파수 F1에서 보다 낮은 주파수 F2로 변화될 수 있는 단일 극을 갖는다. 이 회로는 페루프 구성으로 될 때, 순방향 경로에 제로를 도입한다. 이러한 제로의 위치는 피드백 경로 내의 극의 주파수가 고주파수 F1에서 저주파수 F2로 변화함에 따라 고주파수 F_A 에서 저주파수 F_n 으로 변화된다. 저역 통과 필터(155)의 극의 위치가 변화되면, 도 2b에 도시되는 방식으로 순방향 경로(160)내에서 생성된 제로의 LCF가 변화된다.

<50> 도 2a에서 도시된 바와 같이 상이한 방식으로 설명하면, 기록-판독 과도 현상은 판독중에 있는 신호 주파수보다 낮은 주파수에서 발생한다. 시간 도메인에서, 제 1 피크치 부분(포인트 I에서 B)은 포인트 B에서 포인트 n까지의 테일 부분보다도 높은 주파수에 있다. 기록-판독 외란 주파수의 특성에 관한 정보는 본 발명의 신호 경로의 LCF를 변화시키는데 사용된다. 피크치 부분 동안의 시간 간격동안, LCF는 펄스(1-P-B)의 주파수보다 높아야만 한다. 포인트 B 이후, 테일 부분을 억제하기 위해 LCF는 보다 더 작아야 한다.

<51> 판독 신호가 판독 채널(100)을 활성화시키기 위해 ON으로 스위칭된 이후, 판독 전단부로부터의 과도 현상이 매우 클 때(예를 들면, 도 2a의 시간 간격 A)의 초기의 작은 시간 간격(100ns 정도) 동안, 순방향 경로 내의 유효한 제로는 고주파수 F_A 에 유지된다. 이러한 것은 대부분의 기록-판독 외란이 출력 버퍼(130)에 도달하지 않도록 여과하여 제거하는데, 그 이유는 고주파수 F_A 가 기록-판독 외란의 주파수들보다 높아서 초기의 피크치 P의 감쇄량이 최대가 되기 때문이다. 초기의 간격 A 이후, 순방향 경로내의 유효 LCF는 도 2a의 시간 B, C, D에 전반적으로 대응하는 보다 낮은 주파수 F_B, F_C, F_D 를 통해 이동된다. 궁극적으로, LCF는 주파수 F_n 에 도달되어, 판독 채널이 판독 모드에 있는 동안 유지된다. F_A 에서 F_n 까지의 전이는 기록-판독 외란의 긴 테일을 수정한다.

따라서, 순방향 경로내의 유효한 필터(155)의 LCF는 외란의 크기 및 주파수가 높을 때 최대의 감쇄량이 되고, 외란의 크기 및 주파수가 낮을 때 감쇄량이 보다 낮게 되는 방식으로 이동된다. LCF의 종료 포인트는 데이터의 정상적인 판독에 간섭을 일으키지 않는 범위에 존재한다. 즉 LCF의 주파수는 데이터 주파수보다 훨씬 더 낮다.

<52> 이러한 것은 전체 판독 채널의 오프셋을 동시에 크게 감소시킬 것이다. 단(120)의 이득이 1이기 때문에, 오프셋의 감소는 피드백 경로(165)의 이득의 역에 거의 비례한다. 보다 상세하게, 전달 함수는 $(A_{120}/(1+(A_{120})(A_{165})))$ 와 동일하며, A_{120} 은 단(120)의 이득이며, A_{165} 는 저역 통과 필터(135)와 G_m 단(140)의 조합 이득이다. 본 실시예에서, 단(135)과 (140)의 조합 이득은 LCF에서 대략 20이며, 오프셋은 21의 팩터만큼 감소된다.

<53> 저역 통과 필터(135)의 출력은 전압 신호이다. 차동 G_m 피드백단(140)은 피드백 경로(165) 내에 포함되어, 저역 통과 필터(135)의 전압 출력을 이전 이득단(이 경우 단(115)의 출력에서 순방향 경로로 피드백을 위한 전류로 변환시킨다. 여기서, 피드백 루프(165)는 이득단(125) 근처 대신에 이득단(120) 근처에 도시되고 있다.

<54> 도 4a는 상부 전압 공급 레일 VP와 하부 전압 공급 레일 VN 사이에서 동작하는 이득단(115)과 단위 이득단(120)의 회로도를 도시하고 있다. 이득단(115)은 부하 저항 RL1, RL2와 트랜스컨덕턴스 트랜지스터 T1n, T1p 사이에서 각각 접속된 캐스코드 트랜지스터 Tc1, Tc2를 포함하고 있다. 이 단의 이득은 비 $R11/R12$ ($R11=R12$; $Re1=Re2$)와 동일하다. G_m 단(140)으로부터의 출력 신호 전류는 캐스코드 트랜지스터 Tc1, Tc2 아래로 피드백되어, G_m 단(140)은 순방향 신호 경로에 용량성으로 부하를 가하지 않는다. 단(115)이 (부하 저항 R11/R12를 고려하지 않은) 트랜스컨덕턴스 단이므로, 트랜지스터 T1n, T1p에서 공급되는, 이전의 이득단으로부터의 입력 신호 전압 V_{ip}, V_{in} 은 이러한 장치들에 의해 전류 i_{gp}, i_{gn} 으로 변환된다. G_m 단으로부터의 전류 G_{pcp}, G_{pcn} 은 그들로부터 감소되어 부하 저항 R11, R12 양단에 인가되어 단(120)에 대해 신호 전압 g_{op}, g_{on} 을 제공하게 된다.

- <55> 단(120)의 회로 브랜치(120a)는 제 1 바이폴라 트랜지스터 T2n과, 이 트랜지스터 T2n의 에미터를 바이어싱하는 전류 소스 I3와, 제 2 바이폴라 트랜지스터 T2n의 에미터를 바이어싱하는 전류 소스 I4를 갖는 회로 브랜치(120b)를 포함하고 있다. 차동 전압 gop , gon 은 트랜지스터 T2p, T2n의 베이스에 인가된다. 출력은 차동 전압 $folp$, $foln$ 이며, 이들은 저역 통과 필터(135) 뿐 아니라 다음 이득단(125)에 피드백된다. 이 단(120)이 에미터 팔로워이며 단위 이득 버퍼로서 기능하기 때문에, 차동 출력 전압은 이 단의 차동 입력 전압과 거의 동일한 크기를 갖는다.
- <56> 도 4b는 시간 변화 저역 통과 필터(135)와 gm 단(140)에 대한 회로도이다. 저역 통과 필터(적분기로 지칭됨)는 저역 통과 필터(135)의 극의 위치를 변화시키기 위한 다수의 MOS 스위치와 캐패시터를 포함한다. 저역 통과 필터의 입력은 단 ($G_{m_{n+1}}$)(120)으로부터의 차동 출력이 되는 전압 신호 $foln$, $folp$ 이다. 이 신호 $foln$, $folp$ 는 바이폴라 트랜지스터 T3p, T3n의 베이스에 접속된다. 이 각각의 바이폴라 트랜지스터 T3p, T3n의 에미터는 각각의 저항 R6, R7을 통해 전류 소스 I5에 접속되는데, 이 전류 소스 I5의 출력은 하부 전압 공급 레일 VN에 접속된다. 트랜지스터 T3n의 컬렉터는 라인 L1을 통해 전류 소스 I6의 출력에 접속되며, 전류 소스 I6은 부하 저항 R4와 병렬로 접속된다. 마찬가지로, 트랜지스터 T3p의 컬렉터는 라인 L2를 통해 전류 소스 I7에 접속되며, 또한 작은 부하 저항 R5와 병렬로 접속된다. 전류 소스 I6, I7의 목적은 노드 Ipf_n, Ipf_p의 동작점을 효과적으로 선택하기 위한 것이다(만약 그러하지 않다고 하면, 그 동작점은 $I5/2*RL$)이 될 것이다). 라인 L1과 L2사이에는, 캐패시터 C0이 고정되며 나머지 캐패시터는 제어가능한 다수의 캐패시터 C0, C1, C2, C3, Cn이 접속된다. 캐패시터 C0, C1, C2, C3, Cn은 각각 MOS 장치 M1A, M1B; M2A, M2B; M3A, M3B 및 MnA, MnB를 통해 라인 L1 및 L2에 각각 접속된다. 장치 M1A, M1B의 게이트는 제어 전압 V1을 수신하며, 장치 M2A, M2B는 제어 전압 V2를 수신하며, 장치 M3A, M3B의 게이트는 제어 전압 V3을 수신하며, 마찬가지로 장치 MnA, MnB의 게이트는 제어 전압 Vn을 수신한다. 제어 전압들은 저역 통과 필터(135)의 극의 위치를 변화시키기 위해, 라인 L1과 L2 사이에서 캐패시터 C1-Cn을 선택적으로 접속시키기 위해 제공된다. 저역 통과 필터(135)의 출력은 차동 전압 Lpf_n, Lpf_p이다.
- <57> 이들 차동 출력은 각각의 바이폴라 트랜지스터 T4p, T4n을 바이어싱하는 전류 소스 I8, I9를 포함하는 다른 에미터 팔로워 버퍼단에 제공된다. 이 단의 차동 출력은 신호 전압 Lpfb_n, Lpfb_p이다.
- <58> 피드백 gm 단(140)은 제 1 브랜치(140a)와 제 2 브랜치(140b)를 포함한다. 제 1 브랜치(140a)는 컬렉터, 상기 제 1 차동 입력 전압 Ipfb_n을 수신하도록 접속된 베이스, 및 전류 소스 I10에 의해 바이어싱되는 에미터를 갖는 바이폴라 트랜지스터 T5p를 포함한다. 마찬가지로, 제 2 브랜치(140b)는 컬렉터, 상기 제 1 차동 입력 전압 Ipfb_p를 수신하도록 접속된 베이스, 및 전류 소스 I10에 의해 바이어싱되는 에미터를 갖는 바이폴라 트랜지스터 T5n을 포함한다. 트랜지스터 T5p, T5n의 에미터는 각각의 저항 R15, R16을 거쳐 전류 소스 I10에 접속된다. 또한, 전류 소스 I11 및 전류 소스 I12는 트랜지스터 T2n, T2p의 컬렉터와 상부 공급 레일 VP 사이의 브랜치 140a, 140b에 각각 접속된다.
- <59> gm 단(140)의 출력은 (도 4a에 도시된 바와 같이) 순방향 경로의 이전 증폭기단(115)(G_{m_1})에 접속된 출력(43, 44)에 제공된 전류 Gpc_p, Gpc_n이다. 전류 소스 I10은 트랜지스터 T5n, T5p의 에미터에 바이어스 전류를 제공한다. 트랜스컨덕턴스 단일 경우, 트랜지스터 T5n, T5p는 작은 차동 신호 전압 Lpfb_p, Lpfb_n를 신호 전압 Lpfb_p, Lpfb_n에 비례하는 전류 Gfc_p, Gfc_n으로 변환시킨다. 전류 소스 I11, I12는 트랜지스터 T5n, T5p의 컬렉터에 의해 유도되는 전류를 대체하며, 그 결과, 출력 Gfc_p, Gfc_n에서의 DC 전류는 거의 제로로 되며, 따라서, 이전 이득단(115)의 동작에 부하를 가하지 않고 영향을 끼치지 않는다. 이상적으로, 전류는 $I11=I12=(I10/2)$ 로 되고, 그 결과, 관독 채널의 동작시, 순방향 신호 경로의 부하 저항 RL에는 DC 전류가 흐르지 않는다.
- <60> 저역 통과 필터(135)의 MOS 스위치는 과도 현상을 최소화하기 위해 매우 천천히 스위칭되어야 한다. 도 5는 초기의 비교적 높은 고주파수 F1에서 보다 낮은 주파수 F2로의 저역 통과 필터(135)의 극의 시간 의존 이동을 위해, 저역 통과 필터(135) 내의 MOS 스위치의 게이트를 구동시키는 제어 전압 VC1-VCn을 발생시키는 회로(170)의 하나의 구현예를 도시하고 있다. 이 일례에서, R-C 래더 구조(R-C ladder structure)는 입력 RdDEL에서 수신된 관독 제어 신호에 응답하여 제어 전압을 발생시키는데 사용된다. 회로(170)의 출력은 저역 통과 필터(135)의 가변 캐패시터의 MOS 스위치를 제어하는 제어 전압 VC1, VC2, VC3, 및 VCn이다.
- <61> 입력 RdDEL에서 수신된 관독 제어 신호는 공급 레일들 VP, VN 사이에서 저항 T651을 통해 스위치가 가능한 전류 경로(679)를 규정하는 PMOS 스위치 T672 및 NMOS 스위치 T673의 게이트들을 구동시킨다. 전류 경로(679)는 저항 R652를 통해 PMOS, NMOS 트랜지스터 T674, T675의 제 2 쌍의 게이트를 구동시키기 위해 접속된다. 캐패시터 C660과 저항 R651, 캐패시터 C662와 저항 R652는 제 1 RC 시정수를 규정한다. 트랜지스터 T674, T675는 레일

VP, VN 사이에서 직렬 접속된 저항 R653, R654를 통해 제 2 스위치가 가능한 전류 경로(680)를 규정하는 메인 전류 경로를 갖는다. 전류 경로(680)는 마찬가지로 저항 R655를 통해 제 3 스위치가 가능한 전류 경로(681)를 규정하는 PMOS, NMOS 트랜지스터 T676, T677의 제 3 쌍의 게이트를 구동시키기 위해 접속된다. 트랜지스터 T678은 저항 R653 주위에 접속된다. 제어 신호 VC2DEL이 트랜지스터 T678을 비전도성이 되도록 그의 게이트에 인가될 때, 제 2 RC 시정수는 두개의 저항 R653, R654와 두개의 캐패시터 C664, C665의 조합에 의해 규정된다. 제어 신호 VC2DEL이 트랜지스터 T678을 전도성이 되도록 공급될 때, 저항 R653은 셉트로 되며, 제 4 시정수는 저항 R654와 두개의 캐패시터 C663, C664의 조합에 의해 규정되며, 이는 제 3 시정수보다 짧게 된다. 제 3 및 제 4 시정수는 스위치 T674, T675가 턴온될 때와, 스위치 T676, T677이 턴온될 때의 사이의 시간 간격을 규정한다. 저항 R655와 캐패시터 C666의 RC 쌍에 의해 규정되는 제 5 시정수와, 저항 R656과 캐패시터 C668의 RC 쌍에 의해 규정되는 제 6 시정수의 조합은 스위치 T676, T677의 턴온 시점과 제어 전압 VC3의 발생 시점 사이의 시간 간격을 제어한다. 제어 신호 VC4, VC3의 발생 시점과 VCn, VC4의 발생 시점 간의 시간 지연을 규정하는 후속하는 시정수는 다른 RC 쌍 R657, C669; R658, C670; 및 R659, C671에 의해 규정된다.

<62> 회로(170)의 동작은 다음과 같다. 도 6에 도시된 바와 같이, (기록-판독 전이에 대응하게) 논리 로우에서 논리 하이로 입력 RdDEL이 전이할 때, 스위치 T672는 턴오프되며, 스위치 T673은 RdDEL이 스위치 T673의 임계 전압, 즉 대략 0.7볼트에 도달될 때 턴온하기 시작한다. 이러한 것은 저항 R651, R652와 캐패시터 C660, C662의 RC 시정수에 의해 제어되는 제어 신호 VC2를 발생시키기 위해 하부 공급 레일 VN을 접속시킨다. 도 6에 도시된 바와 같이, 신호 VC1은 신호 RdDEL의 이전 상태가 논리 로우인 이유로 인해 처음에는 하이로 된다. 이 신호 VC가 감소함에 따라, NMOS 스위치 T675는 턴오프되며, PMOS 스위치 T674는 턴온된다. 이는 다른 스위치 T676, T677을 공급 레일 VP에 접속시켜, 스위치 T677을 턴온시키며, 스위치 T676을 턴오프시킨다. 스위치 T677이 턴온될 때, 출력 VC2, VC3, 내지 VCn은 레일 VN에 접속되어, 각각의 지연소자와 스위치 T677간의 시정수에 기초하여 시간 지연을 갖는 제어 전압 VC2, VC3을 출력에 발생시킨다. 스위치 T676은 제어 신호 VC2del을 통해 저항 R653 주위의 셉트를 발생시키는 것을 스위칭함으로써, 제어 신호 VC1, VC2 간의 시정수를 선택적으로 변경시키는 조정 스위치로서 기능한다.

<63> 회로(170)에 의해 생성되며 저역 통과 필터(35)내의 MOS를 구동시키는 제어 입력 신호 INTPULSE, Rddel1, Rddel2과 제어 전압 VC1 내지 VC4는 전형적으로 도 6에 도시된 바와 같이 나타날 것이다. 도 4b의 가변 캐패시터의 MOS 스위치에 대한 저속 스위칭 신호는 여러 다른 방식으로 발생할 수 있으며, 이는 본 기술분야의 당업자라면 도 5의 실시예와 도 6의 과형에 비추어 용이하게 구현될 수 있다.

<64> 도 7은 저역 통과 필터(135)내의 가변 캐패시터 회로의 대안의 실시예이다. 정상 판독 상태로 들어가는 것과 관련한 전치 증폭기의 핵심 요건은 20 mV 이상의 DC 과도 전압이 없어야 한다는 것이다. 달리 말하면, 정상 판독 모드는 20 mV 이상의 차동 DC 과도 전압의 최종 발생시 시작되는 것으로 규정된다. 따라서, LPF에서의 캐패시터의 스위칭이 차동 DC 과도 전압을 유도하지 않는 것이 중요하다. 이것은, LPF에서의 캐패시터(C2-Cn)의 각 노드 상에서의 전압이 이 캐패시터가 회로로 스위칭될 때 다르다면, 이 다른 전압(a different voltage)이 캐패시터가 방전하도록 하게 할 것이며, 급격하게 과도 전류를 생성하기 때문에, 발생할 수 있다는 것을 본 발명자는 인식했다. 또한, 판독 모드의 개시에 앞서서, 필터(135)의 극이 캐패시터(C1-Cn)가 회로로 스위칭되기 전의 높은 주파수에서 시작하도록, 캐패시터가 노드(Lpfn, Lpfp)에 반영되지 않는 것이 중요하다.

<65> 도 7은 캐패시터(C0-Cn)와 PMOS 스위치(M1A-M1n, M1B-M1n)(도 4b에 대응함)을 도시한다. 추가적으로, 도 7은 캐패시터가 회로로 스위칭되기 이전에 캐패시터(C1-Cn)의 어느 한 측 상에서의 노드 상의 전압을 등화시키는 회로도도 도시한다. 트랜지스터(T81A)는 브랜치(L3)에서 접속되고 다이오드 접속 트랜지스터(T82A)의 컬렉터에 접속되는 에미터를 가진다. 트랜지스터(T81A)의 베이스는 브랜치(L1)에 접속되고, 노드(Lpfn)와 동일한 전위에 있다. 그러므로, 트랜지스터(T82A)의 베이스는 노드(Lpfn) 아래의 하나의 다이오드 강하(diode drop)에 있다. 트랜지스터(T83A)의 베이스는 트랜지스터(T82A)의 베이스에 접속되고, 에미터는 전류 소스(I13)를 경유하여 레일(VP)에 접속된다. 전류 소스(I13)와 트랜지스터(T83A)의 에미터 간의 노드(Lpfn)는 트랜지스터(T82A)의 베이스 위의 하나의 다이오드 강하에 있고, 노드(Lpfn)와 같은 전압이다. 트랜지스터들에 있어서의 상이한 전류들과 오정합들 인한 베이스-에미터 전압에서의 차는, 노드(Lpfn)와 노드(Lpfn)간의 전압이 같도록 트랜지스터(T82A, T83A)의 적당한 크기 조절을 통해서 해결될 수 있다. 트랜지스터(T81B, T82B, T83B)는 대응되는 방식으로 회로 브랜치(L2, L4, L6)에 접속되어, 노드(Lpfn)는 브랜치(L2)에서 노드(Lpfp)와 동일한 전위를 갖는다. PMOS 등화 트랜지스터(M1C, M1D)의 제어 게이트는 입력(RdDel)에 접속되고, PMOS 트랜지스터(M1A, M1B)의 제어 게이트는 도 5의 제어 전압(VC1)을 수신하도록 접속된다. 마찬가지로, PMOS 등화 트랜지스터(M2C, M2D; M3C, M3D; MnC, Mnd)의 제어 게이트는 신호(Rddel2)를 수신하도록 접속되고, PMOS 트랜지스터

(M2A, M2B; M3A, M3B; MnA, MnB)의 게이트는 제어 전압(VC2, VC3, VCn)을 수신하도록 접속된다.

- <66> 도 6을 참조하면, 신호(VC1)는 처음에 높고, 신호(RdDel, Rdde12)는 처음에 낮다. 그러므로, 등화 스위치(M1C-MnC, M1D-MnD)는 처음에 전도성이고, 각 캐패시터(C1-Cn)를 노드(LPFmA, LpfmB)에 접속한다. 이로 인해, 양 노드는 동일한 DC 전위에 접속된다. 또한, 노드(LPFmA, LpfmB)는 두 에미터 팔로워(트랜지스터(T81A, T82A; T82A, T82B)에 의해 형성됨)를 통해 노드(Lpfn, Lpfp)에 접속되기 때문에, 캐패시터(C1-Cn)의 캐패시턴스는 2의 팩터만큼 감소하고, 실질적으로 노드(Lpfn, Lpfp)에 반영되지 않아서, 필터(135)의 컷오프 주파수는 기본적으로 장치(C0)의 캐패시턴스에 의해 결정된다. Rdde1이 하이로 갈 때, 스위치 M1C, M1D는 턴온되어 캐패시터 C1을 회로로 유도하고, 신호 VC1이 로우로 갈 때, 스위치 M1A, M1B는 캐패시터 C1을 회로로 유도한다. 신호(VC1)가 스위치(M1A, M1B)를 턴온시킬 때, 캐패시터(C1)의 양 측은 같은 전위에 있게 되고, DC 스위칭 과도 전압은 최소가 된다. 주목할 것은, 디바이스(C2-Cn)는 등화 스위치(M2C-MnC; M2D-MnD)와 이들의 대응 에미터 팔로워에 의해서 AC 센스에서의 필터로부터 분리되어, 이들 캐패시턴스가 캐패시터(C1)에 의해 결정된 상대적으로 높은 극에 영향을 주지 않도록 한다는 것이다. 그리고 나서, 신호(Rdde12)는 논리 하이가 되어 등화 스위치(MnC)를 오프시키고, 신호(VC2-VCn)는 논리 로우로 되어 LPF의 극 주파수를 더 감소시킨다.
- <67> 스위치 (M1C-MnC; M1D-MnD)는 게이트-소스와 게이트-드레인 캐패시턴스를 LPF(135)로 도입하고, 스위칭 때에 그들 자신의 전류 과도를 유도할 수 있다. 이문제를 해결하기 위해서, 다수의 보상 PMOS 트랜지스터(M2An-MnAa; M1Cn-MnCn; M2Bn-MnBn; M1Dn-MnDn)가 PMOS 스위치(M2A-MnA; M1C-MnC; M2B-MnB; M1D-MnD)에 각기 대응하여 제공된다. 보상 PMOS 트랜지스터의 드레인은 소스에 접속되어, 용량성 효과를 효과적으로 배가시켜 이 보상 트랜지스터의 크기가 실질적으로 감소하도록 하게 한다. 소스와 드레인이 상호 접속되기 때문에, 이 PMOS 트랜지스터는 스위치로는 작동하지 않고 캐패시터로만 작동한다. 보상 PMOS 트랜지스터의 게이트에 충전 신호가 제공되고, 동시에 개개의 등화 PMOS 스위치가 구동되며, 충전 신호는 PMOS 스위치가 스위칭되었을 때 각 등화 스위치 내에서 유도되는 전하와 반대되는 센스의 전하가 각 등화 스위치 내에 유도되도록 선택된다. 이런 방식으로, 충전 신호는 등화 스위치에 의한 IC 내에 유도된 실제적 과도 전류에 기초하여 과도 전류를 감소시키기 위해 선택되지만, 고정된 보상 캐패시터는 그렇지 않다. 그러므로, 보상 CMOS 디바이스는 과도 전류를 최소화하고, 등화 회로는 기록-판독간 외란의 안정화 시간을 줄이는 것과 관련하여 자신의 성능을 저하시키지 않는다는 것을 보장한다.
- <68> MOSFET 스위치(T85, T86)는 LPF가 온 또는 오프가 되도록 제어하는 신호(INTON)를 수신한다. 스위치(T4)는 제어 신호(INTGAIN)를 수신하고, 저항(R2)를 스위칭하여 저항(R1)을 가진 회로에 들어가거나 나오도록 한다. 저항(R1, R2)는 LPF(135)의 DC 이득을 결정하고 신호(INTGAIN)는 LPF(135)을 고 이득 모드와 저 이득 모드 사이로 스위칭하는데 사용된다. 이것은 LPF의 극을 변화시키는 가변 캐패시턴스 회로와는 다른 이득 제어 메카니즘을 제공한다.
- <69> II. 직렬 인터페이스 레지스터를 통한 기록-판독간 안정화 시간의 최적화.
- <70> 판독 채널에서의 기록-판독간 안정화 시간이 프로그램 가능하다면 이것은 바람직한 것이다. 이것은 전치 증폭기 IC의 사용자가, 각 하드 디스크 드라이브에서의 기록-판독간 외란의 변동을 미세 동조하도록 각 전치 증폭기에서의 억제 특성을 프로그램할 수 있게 하며, 이를 통해 성능을 최적화한다. 일실시예에서, 프로그램가능성은 전치 증폭기 IC와 접속하는 직렬 인터페이스를 통해 성취된다. 직렬 인터페이스에서의 레지스터는 기록-판독간 억제를 제어하는 판독 채널에서의 다양한 제어 엘리먼트의 "노브(knobs)"를 전환하도록 지정된다.
- <71> 도 8은 사용자 인터페이스를 통해 전치 증폭기 IC의 프로그래밍을 도시하는 실시예의 블록도이다. 이전 도면에 대응하는 엘리먼트는 같은 참조 부호를 쓴다. 이 실시예에서, 판독 채널은 기록-판독간 억제를 제어하는 두 개의 프로그램가능한 제어 엘리먼트를 포함한다. 제 1 제어 엘리먼트는 판독 센서(3)에 접속된 제 1 이득단(110)이다. 제 2 제어 엘리먼트는 도 5의 제어 회로(170)와 조합하는 Gm 단(140)과 LPF(135)에 대응하는 "후단" 제어 회로(W2RINT)(180)이다. 이들 제어 회로 모두는 직렬 인터페이스(200)의 직렬 인터페이스 레지스터(205)의 콘텐츠에 의해 제어된다. 이 직렬 인터페이스 레지스터는 다음 변수(최대 유효 비트(most-significant-bit)(MSB)에서 최소 유효 비트(least-significant-bit)(LSB)의 차순으로)(BCPW, IBFALL, IBPA, IBPW, W2RINTDEL2, W2RINTDEL1, W2RINTG, W2RINTON)를 저장하는 8 비트 레지스터이다.
- <72> 여기에서 도시된 바처럼, 제 1 이득단(110)은 교차 접속된 캐패시터(C115, C116)와, 이 교차 접속된 캐패시터와 차동 출력(110c, 110d)간의 피드백 증폭기(FBA)를 갖는다. 교차 접속된 캐패시터를 구비한 이 제 1 이득단

(110)은, 예를 들면, 미국 특허 5,559,646(부어맨(Voorman) 등에 의해 발명됨)로부터 알려져 있고, 본 명세서에서 참조로 인용된다. 이 이득단(110)은 또한 공통 모드 DC 전압을 제어하는 통상적인 공통 모드 제어 회로를 포함한다.

<73> 피드백 증폭기(110e)의 이득을 변화시킴으로 제 1 단(110)의 낮은 코너 주파수, 달리 말하면 제로를 제어한다. 피드백 증폭기(110e)는 이득이 디지털 대 아날로그 변환기(112)(DAC)로부터 그것에 공급된 바이어싱 전류(Ib)에 의해 제어되는 트랜스컨덕턴스(Gm) 단이다. 전류(Ib)는 펄스 발생 회로(210)에 의해 (DAC)(112)에 공급되는 제어 펄스(IBPULSE)에 의해 제어된다. 두 주파수 사이에서 제 1 단의 코너 주파수를 변화시키고, 제어된 펄스 신호에 대한 스위치오버의 타이밍을 제어하기 위해서 전류(Ib)를 바꾸는 것은 본 기술에 알려져 있다는 것은 주목된다. 이러한 기능은 필립스 반도체의 TDA 5630 전치 증폭기 회로에 제공되고 있다. 그러나, 변환은 내부적으로 제어되고, 유저 인터페이스를 통해서는 프로그램이 불가능하다.

<74> 기록-판독간 회로는 기록-판독간 전이(WRT) 모멘트의 온셋(도 9의 차트 9a에 그래픽으로 도시됨)을 감지한다. 기록-판독간 전이는 장치가 기록 모드에서 판독 모드로 스위치할 때를 제어하는 자기 저장 장치에서 제어 신호로부터 알려져 있다. 제어 펄스(IBPULSE)(차트 9b에서 도시됨)는 펄스 발생 회로(210)에 의해 공급된다. 8 레지스터 비트 중의 3개의 비트는 그 바이어싱 전류를 제어한다. 레지스터 비트(IBPW)는 펄스폭(PW)을 제어하는데 사용된다. 펄스폭은 피드백 증폭기(110e)의 기록-판독간 역체의 기간을 결정한다. 레지스터 비트(IBPA)는 제어 펄스의 크기(PA)—기록-판독간 전이 동안 이득단(110)의 LCF의 위치를 차례로 제어하는 바이어싱 전류(Ib)의 크기를 결정함—를 제어한다. 레지스터 비트(IBFALL)는, 판독 채널에서의 잉여 외란이 생성되지 않도록 완만한 전이(a smooth transtion)를 보장하기 위해, 하강 시간(fall time)(FT)을 제어한다. IBPW의 레지스터 세팅에 의존하여, 그것은 대략 150ns 내지 300ns의 펄스폭을 발생한다. 레지스터 비트(BCPW)는 기록-판독간 전이에서 DC 과도 현상을 더 줄이기 위해서 단(110)내의 공통 모드 제어 회로를 제어한다.

<75> 정상 동작하에서, 제 1 단(110)의 최대 저 코너 주파수(LCF)는 2MHz 내지 5MHz가 되도록 프로그램된다. 전치 증폭기 IC의 LCF는 제 1 단에서 피드백 트랜스컨덕턴스의 이득에 의해 결정된다. 기록-판독간 전이 동안, LCF는 기록-판독간 과도 외란을 필터링하기 위해 더 높은 주파수로 이동된다. (IBPA)의 레지스터 세팅에 의존하여, 제 1 단의 LCF의 더 높은 주파수는 6MHz 내지 10MHz가 될 수 있다. 기록-판독간 과도 외란이 사라진 후, LCF는 더 낮게 프로그램된 값으로 이동하고 그래서 그것은 데이터 신호의 판독에 역효과를 주지 않는다.

<76> 후단 제어 회로(180)는 레지스터 비트(W2RINTDEL1, W2RINTON, W2RING, W2RINTDEL2)에 의해서 제어된다. 펄스 생성 회로(210)는 (W2RINT)(180)에 공급되는 제 2 펄스(INTPULSE)(도 9c)를 생성한다. 레지스터 비트(W2RINTDEL1)는 회로(180)의 LCF가 제 1의 비교적 높은 주파수가 되는 기간을 제어한다. 레지스터 비트(W2RINTDEL1)는 INTPULSE의 지연 시간(판독 신호에서부터 INTPULSE 상의 논리 임계값에 도달하기까지의 시간)을 직접적으로 제어한다. (INTPULSE)는 제어 회로(170)(도 5)에 입력되어 기록-판독간 전이와 스위치(T672, T673)의 활성화 간의 지연을 제어한다. 레지스터 비트(W2RINTON)는 스위치(T85, T86)를 통해 회로(180)를 턴 온/턴 오프시킨다(도 7). 레지스터 비트(W2RINTG)는 LPF의 이득을 제어하고 스위치(T4)를 경유한다. 레지스터 비트(W2RINTDEL2)는 입력(VC2DEL)에 제공되며, 제 1 상대적으로 높은 주파수에서 제 2 상대적으로 낮은 주파수로의 LCF의 변화의 기간을 제어한다. 일례를 통해, 제 1 상대적으로 높은 주파수는 15MHz가 될 수 있고, 제 2 낮은 주파수는 150KHz가 될 수 있다. 그러므로, 기록-판독간 과도 외란을 억제하기 위해서, LCF는 초기에 15MHz가 되어, 도 2a에서의 높은 초기 피크를 억제한다. LCF는 재필터링이 없이 긴 테일을 억제하기 위해서 150KHz로 점점 이동한다. 이 매우 낮은 LCF는 피드백 회로(180)의 존재가 판독 채널의 전반적인 주파수 응답에 상당한 영향을 주지 않는다는 것을 보장한다.

<77> 도 10은 기록-판독간 전이를 줄이는 데 있어서 제 1 단(110)의 효과를 도시하는 그래프이다. 라인(A)은 수정되지 않은 기록-판독간 외란이다. 라인(B)는 외란을 줄이기 위해 활성화된 오직 FBA(110e)만을 구비한 기록-판독간 외란이다. 라인(C)는 제 1 단에서 DC 과도 현상을 줄이기 위해 단(110) 내의 공통 모드 제어 회로의 이득 상승에 의해 제공되는 추가적인 감소를 도시한다.

<78> 도 11은 다른 이득 모드에서 피드백 적분기(단(135, 140))를 구비한 전체 판독 채널(100)의 주파수 응답을 도시한다. 라인(HG)은 비트(W2RINTG)가 하이(high)로 세트되면 발생하는 피드백 적분기의 높은 이득 모드를 나타낸다. 높은 이득 모드에서의 시스템(LCF_{HC})의 LCF는 피드백 적분기에 의해 지배되고, 기록-판독간 외란의 피크 부분을 필터링하기 위해 높은 주파수에 있게 된다. 라인(LG)은, 비트(W2RINTG)가 논리 하이로 세트될 때, 더 낮은 이득 모드에서의 적분기를 나타낸다. 라인(R)은 판독 모드 동안 판독 경로 주파수 응답의 정상 상태를 나타낸다. 라인(O)은, 피드백 적분기가 오프가 될 때, 판독 채널의 주파수 응답이다. 정상 판독 모드 동안,

적분기는 판독 채널의 주파수 응답에 거의 영향을 주지 않는다는 것은 아주 자명하다. 그 이유는 판독 채널이 명목상 동작하고 있을 때에 (W2RINT)(180)에 의해 도입된 제로가 전치 증폭기의 제 1 단(110)의 제로보다 충분히 더 낮아서(대략 10 배 정도 더 낮음), 전체적인 판독 채널의 제로(즉 저 코너 주파수)는 W2RINT(180)에서의 제로에 의해 영향을 받지 않기 때문이다. 그러나, 일찌기 설명된 바처럼, 그럼에도 불구하고 적분기는 전치 증폭기 IC의 오프셋을 상당히 감소시킨다.

- <79> 도 12는 제 1, 제 2 제어 엘리먼트를 구비한 전치 증폭기 IC를 통한 필터링 후의 실제적인 기록-판독간 외란을 도시한다. 기록-판독간 전이는 도면에서 모멘트(I)에서이다. 외란은 네가티브 피크치(-)의 높은 초기 피크치를 가진다. 이전에 언급된 바처럼, 안정화된 판독 모드의 개시는 외란이 20mV의 강도를 가질 때의 최종 발생시에 개시되는 것으로서 규정된다. 본 발명의 필터링 엘리먼트가 없는 회로에서, 안정화 시간은 통상적으로 4 내지 10 마이크로초 정도로 된다. 그러므로, 본 발명은 50의 팩터의 정도만큼 평균 안정화 시간의 향상을 꾀할 수 있다.
- <80> 기록-판독간 레지스터로 인해, 디스크 드라이브 제작자는 직렬 레지스터를 통해 프로그래밍함으로써 쉽게 기록-판독간 수행을 최적화할 수 있다. 이것은 또한, 다른 매개변수가 판독 채널의 설계를 변화시킬 필요없이 테스트될 수 있기 때문에, 설계 주기를 감소시킨다.
- <81> 본 발명이 형성되는 프로세스 또는 기술은 중요하지 않고, 어떠한 표준 바이폴라, CMOS 또는 BiCMOS 프로세스도 사용될 수 있다.
- <82> 본 발명의 바람직한 실시예가 도시 및 기술되었지만, 청구 범위에서 규정된 범위인, 본 발명의 원리와 정신으로부터 벗어나지 않고 이들 실시예에서 변화가 형성될 수 있다는 것은 본 기술의 당업자에게 이해될 것이다.
- <83> 본 발명의 많은 특징과 장점은 상술된 명세서로부터 자명하고, 본 발명의 진정한 정신과 범주 내에 있는 모든 장점과 특징이 첨부된 청구범위에 포함되는 것으로 간주된다. 수많은 수정과 변경이 본 기술의 당업자에게 쉽게 일어날 것이기 때문에, 본 발명을 예시되고 도시된 바로 그 구조와 동작으로 제한하는 것은 바람직하지 않고, 따라서, 모든 적합한 변경과 등가물은 본 발명의 범주 내에 속한다.

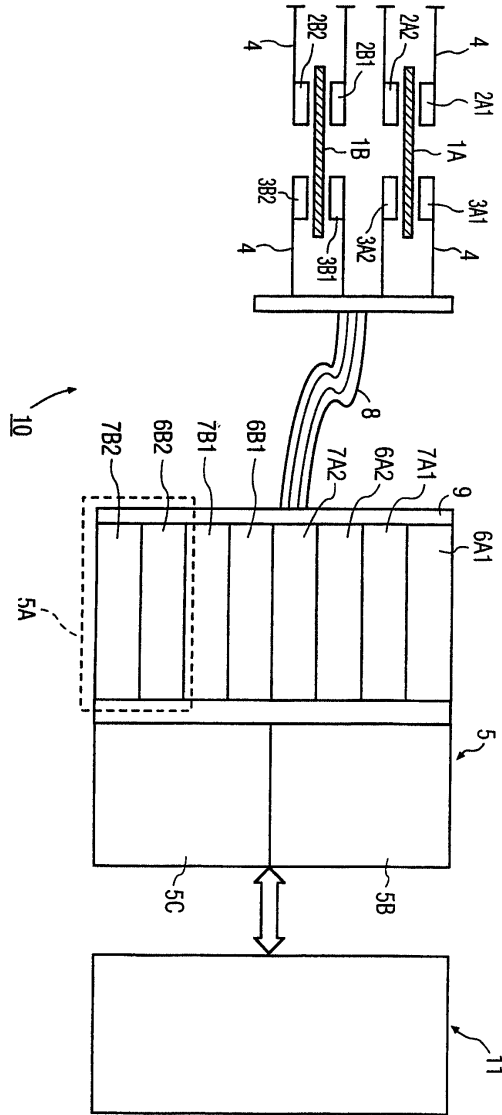
도면의 간단한 설명

- <24> 도 1은 본 발명에 따른 자기 기록 장치 및 전치 증폭기 IC의 개략도이며,
- <25> 도 2a는 도 1의 장치의 기록-판독 상태에서의 전이의 결과로서 판독 채널의 전단(front end)에서 발생하는 순간적 외란을 도시하는 도면이며,
- <26> 도 2b는 시간 의존 주파수 특성을 갖는 필터의 이득 그래프도이며,
- <27> 도 3a는 순방향 신호 경로에서 도 2b에서와 같은 필터를 갖는 본 발명의 전치 증폭기 집적 회로의 단순화된 블럭도이며,
- <28> 도 3b는 순방향 신호 경로의 필터가 시간 의존 낮은 코너 주파수를 갖는 피드백 경로의 저역 통과 필터에 의해 구현되는 전치 증폭기 집적 회로의 단순화된 블럭도이며,
- <29> 도 4a는 도 3b의 이득단(115, 120)에 대한 일예의 회로를 도시한 회로도이며,
- <30> 도 4b는 도 3b의 LPF(135) 및 차동 Gmf(140)에 대한 일예의 회로를 도시한 회로도이며,
- <31> 도 5는 LPF(135)에 대한 제어 전압을 발생시키는 일예의 회로(170)의 회로도이며,
- <32> 도 6은 LPF(135)에 대한 제어 신호의 시간 의존 품질을 나타내는 그래프도이며,
- <33> 도 7은 LPF(135)의 낮은 스위칭 과도 현상을 갖는 가변 캐패시터를 제공하기 위한 제 2 실시예를 도시한 회로도이며,
- <34> 도 8은 기록-판독 제어 회로를 프로그래밍하기 위한 시리얼 인터페이스를 갖는 자기 기록/재생 장치의 판독 채널의 블럭도이며,
- <35> 도 9는 레지스터(205)의 상이한 IbpA, IbpW, W2RINTDEL1의 설정치에 의해 제 1 이득단의 피드백 트랜스컨덕터를 제어하는 펄스들의 상이한 크기, 폭 및 기울기를 도시한 도면이며,
- <36> 도 10은 기록-판독 외란에 대한 제 1 이득단 FBA의 영향을 도시한 도면이며,

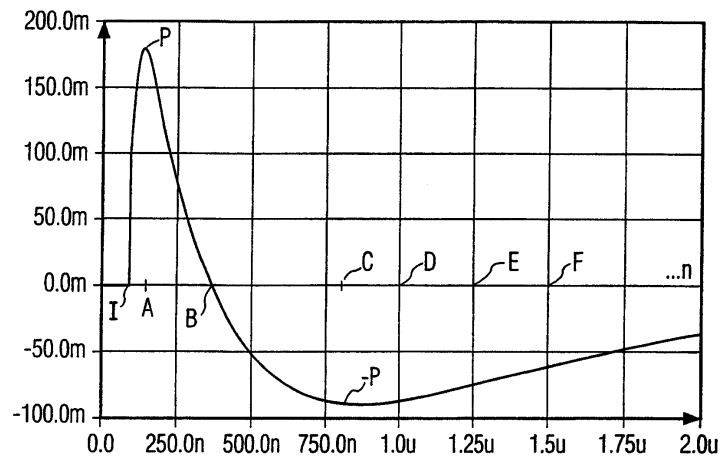
- <37> 도 11은 LPF(135) 및 Gm 단(140)의 피드백 루프를 갖는 관독 채널의 주파수 응답을 도시한 것으로서, 스위칭 외란을 필터링하기 위한 고주파에서 안정화된 관독 모드용 저주파수로의 LCF의 시프팅을 도시한 도면이다.
- <38> 도 12는 본 발명에 따른 전치 증폭기 IC를 통해 기록-관독 안정화 시간을 크게 감소시키는 것을 도시한 도면이다.

도면

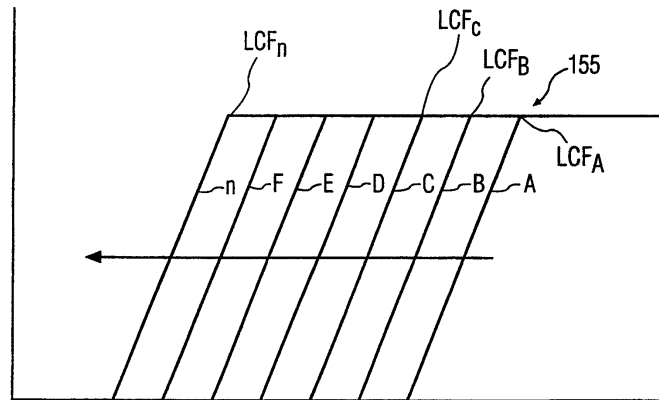
도면1



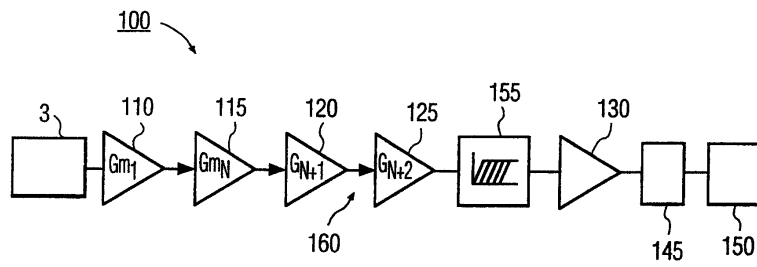
도면2a



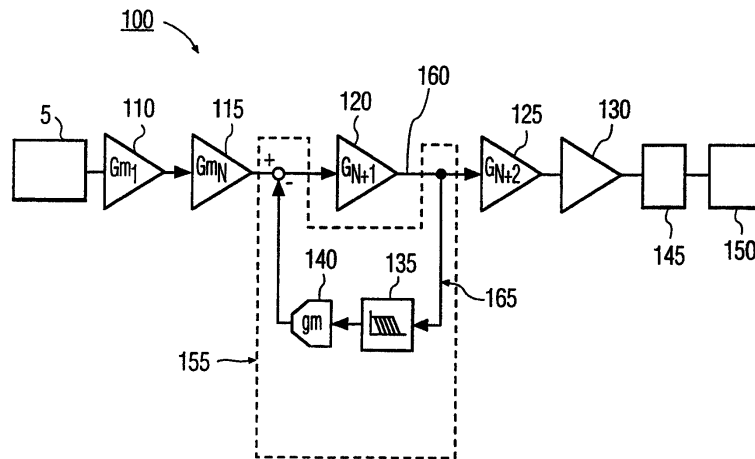
도면2b



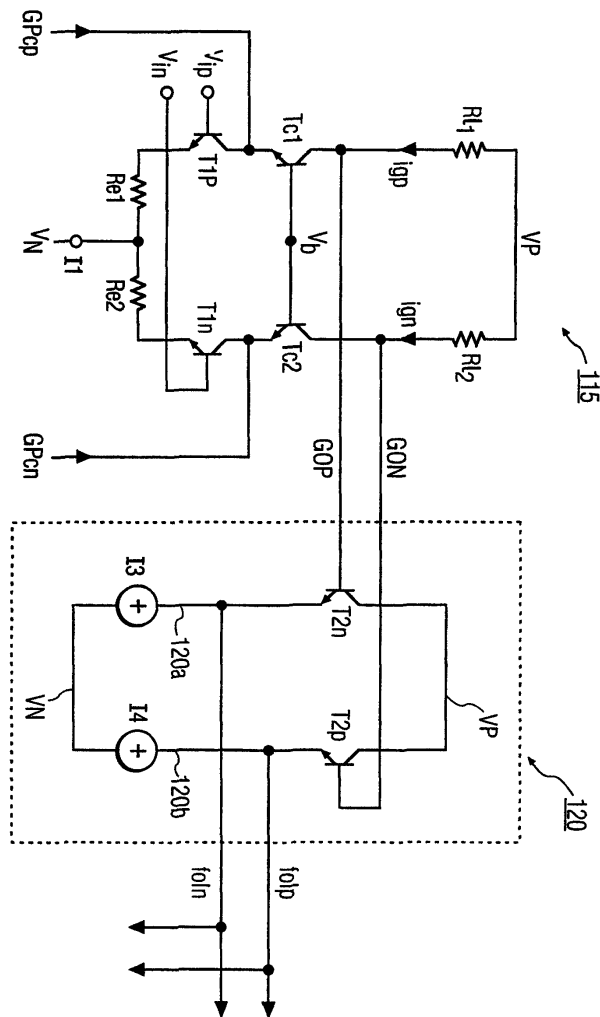
도면3a



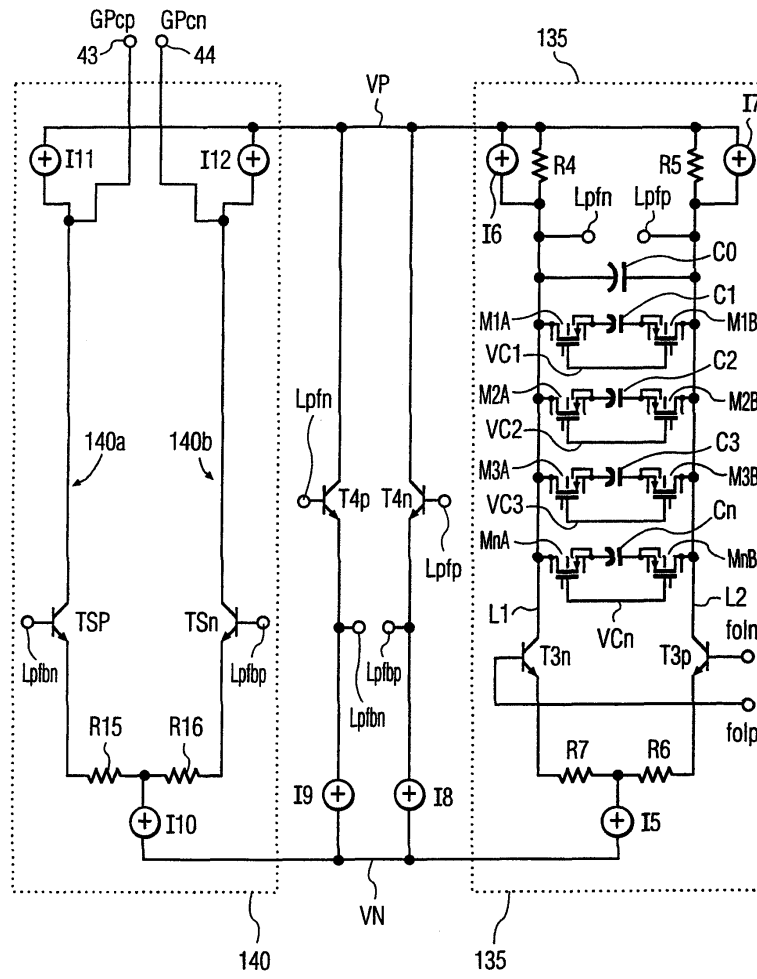
도면3b



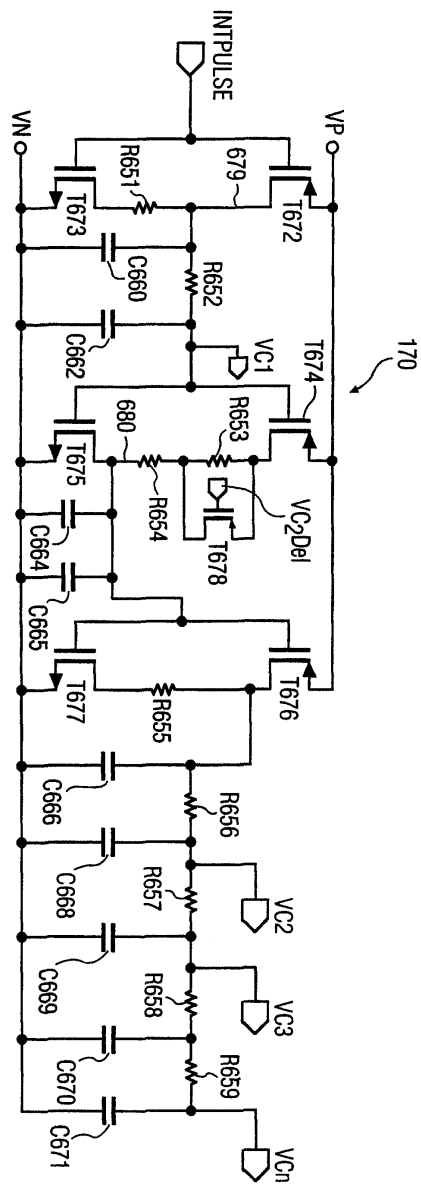
도면4a



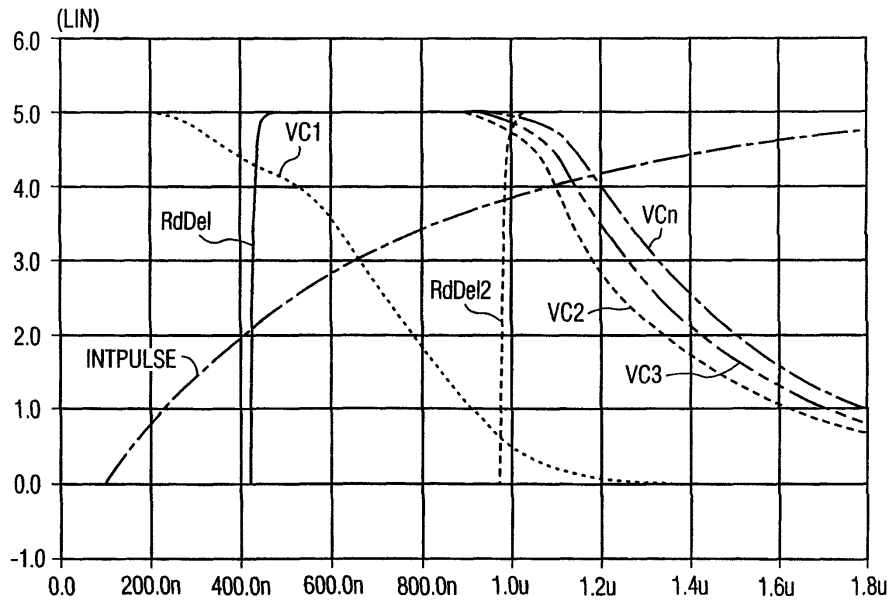
도면4b



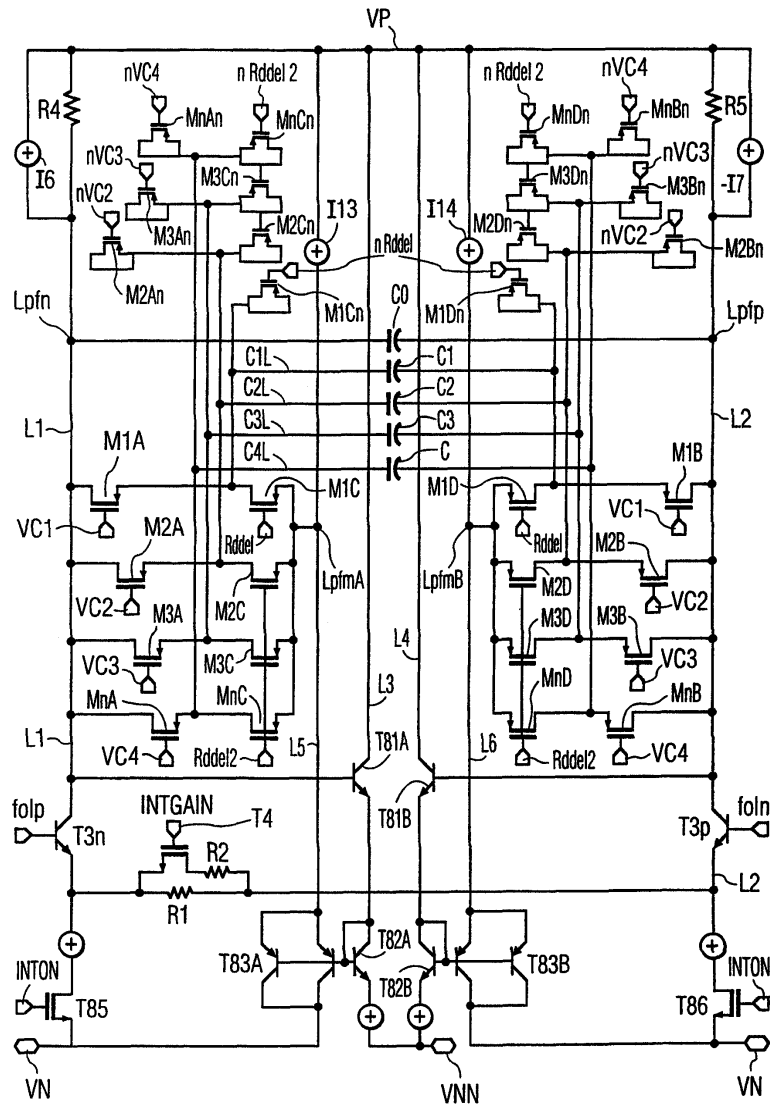
도면5



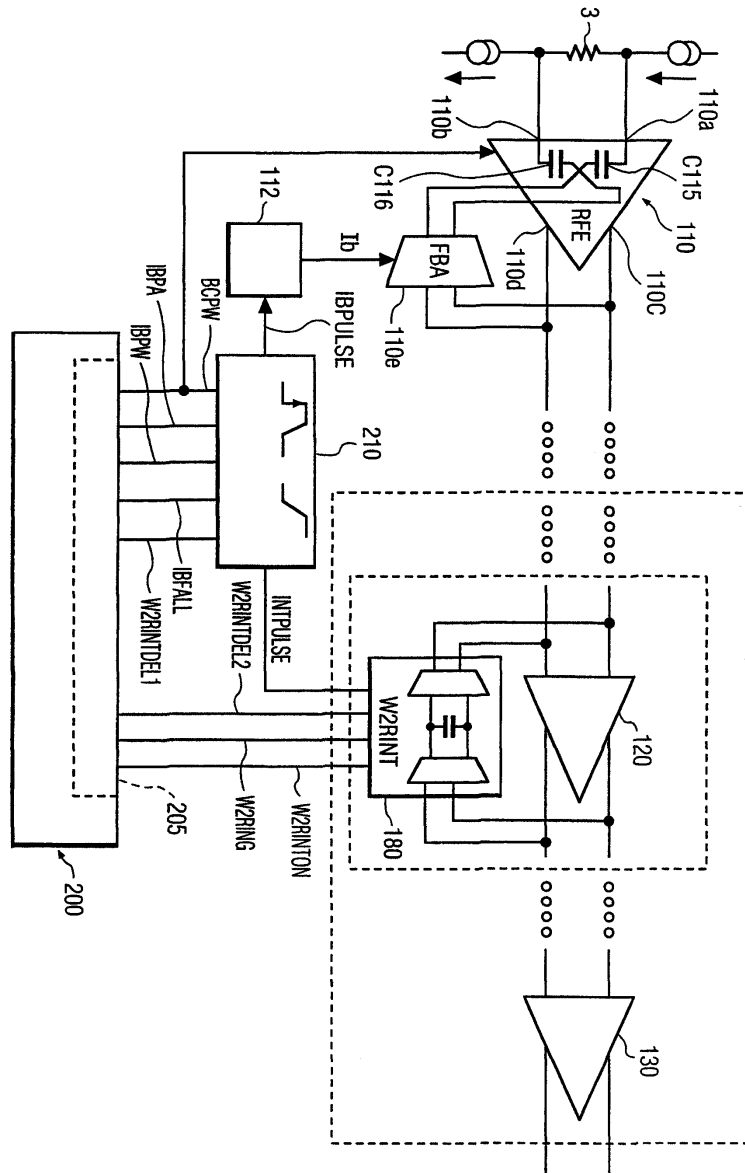
도면6



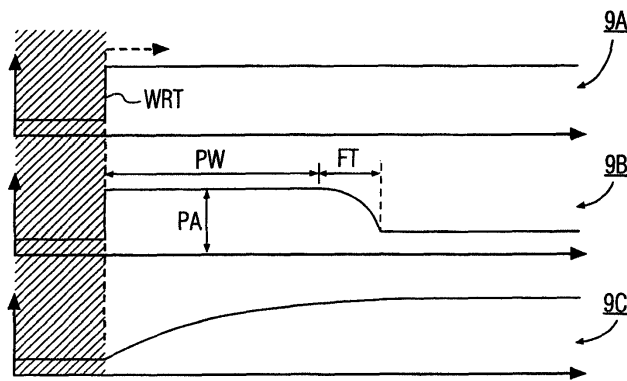
도면7



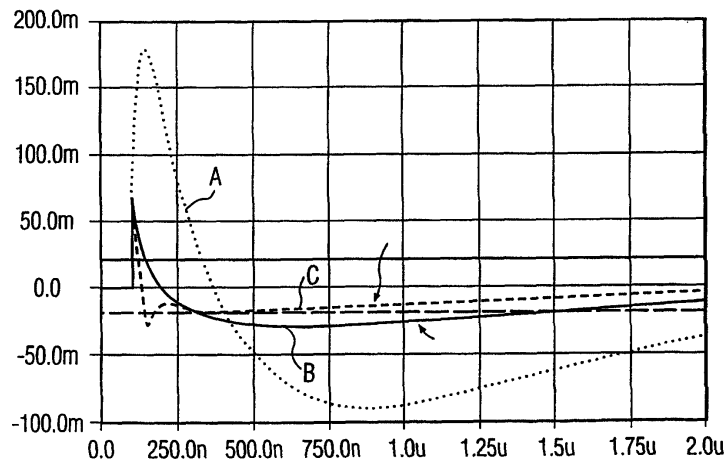
도면8



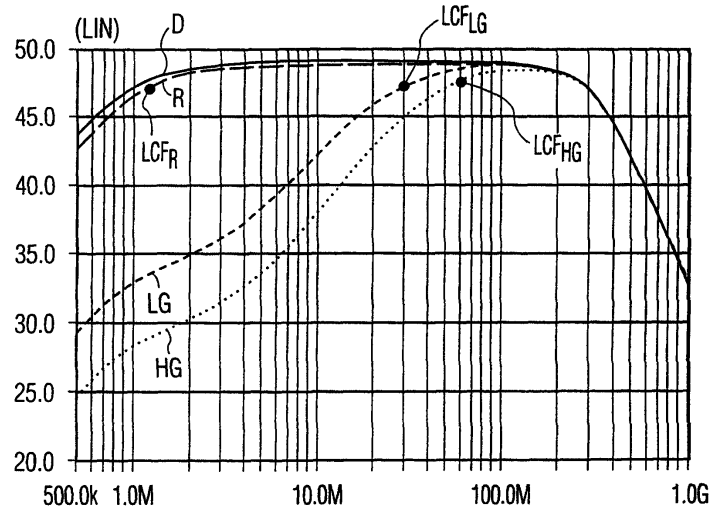
도면9



도면10



도면11



도면12

