

公告本

申請日期: 2. 2

案號: 90102304

類別: H01L 21/60

(以上各欄由本局填註)

# 發明專利說明書

497184

一、 發明名稱	中文	半導體裝置及使用此半導體裝置之半導體模組
	英文	SEMICONDUCTOR DEVICE AND SEMICONDUCTOR MODULE USING THE SAME
二、 發明人	姓名 (中文)	1. 市瀨 理彥 2. 滝澤 朋子
	姓名 (英文)	1. Michihiko ICHINOSE 2. Tomoko TAKIZAWA
	國籍	1. 日本 2. 日本
	住、居所	1. 日本國東京都港區芝五丁目7番1號 日本電氣股份有限公司內 2. 日本國東京都港區芝五丁目7番1號 日本電氣股份有限公司內
三、 申請人	姓名 (名稱) (中文)	1. 日本電氣股份有限公司
	姓名 (名稱) (英文)	1. NEC Corporation
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都港區芝五丁目7番1號(7-1, Shiba 5-chome, Minato-ku, Tokyo, Japan)
	代表人 姓名 (中文)	1. 西垣 浩司
代表人 姓名 (英文)	1. Koji NISHIGAKI	



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

日本 JP

2000/02/02 特願2000-025611

有

有關微生物已寄存於

寄存日期

寄存號碼

無



## 五、發明說明 (1)

## 【發明領域】

本發明係關於一種半導體裝置，包括一附著於一半導體晶片周圍的配線膠帶，且該半導體裝置的封裝尺寸與一裸露的半導體晶片相似，與一種半導體模組，包括以二維或三維方式密集設置的複數個該半導體裝置。

## 【發明背景】

習知技術之描述

目前正在發展一種由密集設置的複數個半導體裝置所構成的多晶片模組，已提出各式各樣的封裝配置與固定方法以供一多晶片模組使用。以密集設置半導體裝置的方式而實現的習知結構，可以分類成數種形式，如下所述。

在一種結構之中，半導體裝置是在垂直方向以一維方式堆疊在一電路板之上。例如，日本專利公開案號 9-275183 教示一種半導體裝置，具有設置於其頂面與底面的外連接部。這種半導體裝置可以堆疊成一維方式的配置。

在另一種結構之中，半導體裝置不僅堆疊在垂直方向，而且以邊靠邊的方式配置在水平方向，意即平行於一電路板。更明確地說，複數堆半導體裝置是以邊靠邊的方式，配置在平行於一電路板的一個方向上，或配置在平行於一電路板但相互垂直的兩個方向上。將上述之前一結構與後一結構各別地稱為「二維結構」與「三維結構」。

美國專利案號 5,790,380 揭露一種半導體裝置，具有

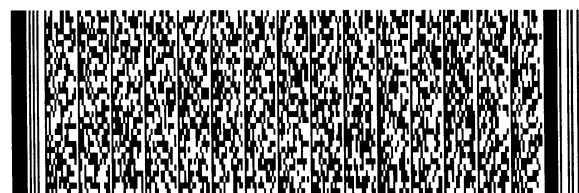


## 五、發明說明 (2)

二維結構且包括單一之可撓性配線板。該可撓性配線板被彎折而附著於一半導體晶片的頂面、底面與一側面，而外連接部是設置在該晶片的一側面。該專利亦揭露一種半導體模組，具有附著於一該半導體裝置所形成的堆之一第二可撓性配線板，以及一種半導體模組，具有附著於複數個該模組之一第三可撓性配線板。

日本專利公開案號10-335570教示一種半導體模組，具有以三維結構配置的複數個半導體裝置。明確地說，每個半導體裝置包括一多邊形的絕緣封裝，以將一半導體晶片收容於其中的空間內。插腳(pin)型式的外連接部係設置於該封裝的每個平面之上，而該晶片與外連接部則以導線與焊接線達成彼此間的電連接。該半導體裝置是以三維方式配置。

然而，前述之日本專利公開案號9-275183所教示的半導體裝置，具有僅設置於該半導體晶片之頂面與底面的外連接部，所以僅可以構成一維的結構，而如此結構所能達到的密集配置是有限的。再者，將複數個該半導體裝置所形成的堆以邊靠邊的方式設置之時，在水平方向彼此相鄰的半導體裝置無法形成電連接。例如，在水平方向彼此相鄰兩模組各自最上端的半導體裝置，必須藉由位於該半導體裝置底下的媒介與一電路板，否則無法達成彼此間的電連接。如此聚合了許多電特性，且因為增加的元件固定密度致使更密集地配置大量配線。密集配置的配線意即縮小了每個配線的寬度，且縮小相鄰配線之間的距離，如此卻



## 五、發明說明 (3)

妨礙了配線的設計與生產，因而提高成本。

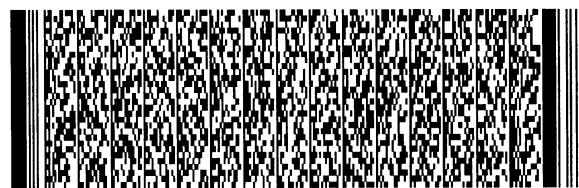
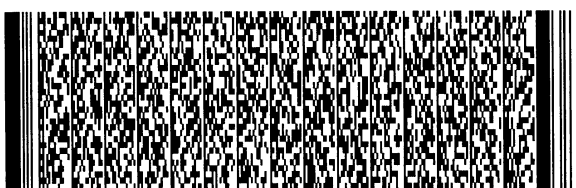
美國專利案號5,790,380所揭露的二維結構，除了第一可撓性配線板之外，還需要第二與第三可撓性配線板，因為外連接部僅設置於該晶片之一側，如此降低了元件固定密度。再者，必須藉由第二與第三可撓性配線板為媒介以及一電路板，否則半導體裝置無法達成彼此間的連接。如此導致和前述之日本專利公開案號9-275183相同的問題。

日本專利公開案號10-335570所提出的三維結構則存有一問題，即該多邊形的絕緣封裝實質上具有一厚度，而以焊接線連接的方式以將一半導體晶片收容於其中。其結果是該絕緣封裝的體積遠大於該晶片的尺寸，因而決定性地妨礙了密集的固定。再者，兩個彼此相鄰的半導體裝置若不藉由一中間半導體裝置所包括的一半導體晶片為媒介，則無法經由該中間半導體裝置而達成電連接。如此增加了彼此連接之該半導體裝置間的信號傳輸路徑長度，且增加了該半導體晶片線路設計的負荷。

## 【發明概述】

本發明之一目的係提供一種低成本的二維或三維的半導體模組，以展現所要的電特性而不聚合配線的密度，且一半導體裝置封裝後的體積與一裸露的半導體晶片相似，以構成該半導體模組。

根據本發明之一半導體裝置包括一半導體晶片與單一



## 五、發明說明 (4)

之配線膠帶(wiring tape)，該配線膠帶包括一具有預定圖案之配線層。一外連接部係設置於該配線膠帶之上，而一內連接部係設置於在該配線膠帶之中，且連接到該半導體晶片所包括的電極。該配線膠帶係在該半導體晶片的邊緣處彎曲，且附著於該半導體晶片的至少三個平面，該外連接部係設置在該至少三個平面之上。

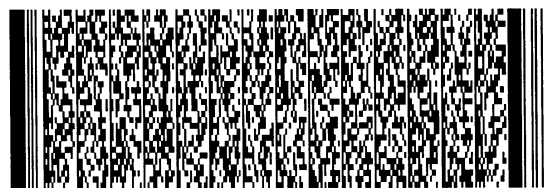
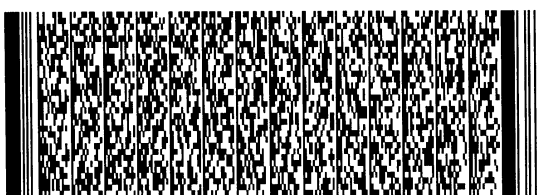
同時亦揭露一種半導體模組，包括複數個半導體裝置，而每個該半導體裝置係具有上述的配置。

## 【實施例之詳細說明】

本發明的種種優點可由下列的詳細敘述而得到更好的理解，並參考隨附的圖式，以實施例的方式說明本發明的主旨。

第一實施例

參考圖1A至圖1D，係顯示依本發明而實施的一半導體裝置與一半導體模組。如圖1A至圖1C所示，半導體裝置71是由半導體晶片1與類似於輸送用膠片之單一配線膠帶2所構成。半導體晶片1是從一半導體晶元(未標示)製造而得，一般具有一長方形的外觀。明確地說，晶片1具有一頂面、一底面與形成長方形的四個側面。實質上晶片1每兩個彼此接觸的面是相互垂直的，而實質上每兩個彼此相向的面是相互平行的。更明確地說，晶片1之該頂面與該底面是相互平行的，而一正面與一後面和一右側面與一左



## 五、發明說明 (5)

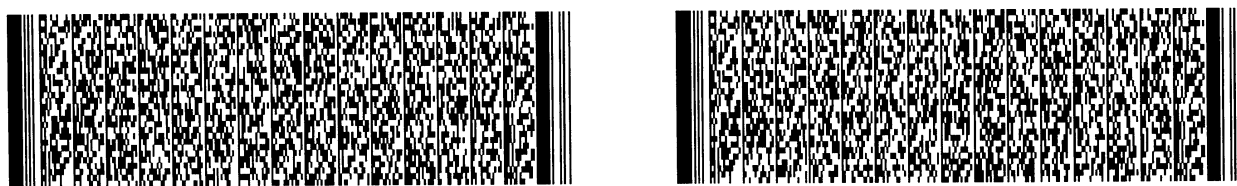
側面也是相互平行的，如圖1A至圖1D所示。

一未標示的配線層是形成於配線膠帶2之中，且具有一預定的圖案。而該配線層之預定部位則暴露於配線膠帶2的表面之上，以形成外連接部36。用以說明的實施例係採用一BGA (Ball Grid Array, 球柵陣列) 型式的晶片，因此，外連接部36是作為用以承載焊球3的區域。配線膠帶2是一非常薄且為可撓性的板狀物，具有一輪廓以相對應於一長方形，該長方形是依照晶片1的該頂面、該底面與一該側面而形成。

在此說明組裝半導體裝置71的特定程序。如圖1A所示，首先，焊球3被焊到配線膠帶2一部份的外連接部36之上，而配線膠帶2則是將要附著於晶片1的該頂面與一該側面。意即，配線膠帶2的其它部份沒有焊球3，而配線膠帶2的其它部份是將要附著於晶片1的該底面。同時，也將僅部份具有焊球3的配線膠帶2準備好，以用來附著於晶片1的該頂面。

如圖1B所示，具有焊球3的配線膠帶2被附著於晶片1的該頂面。然後配線膠帶2在晶片1的邊緣處彎曲，且緊密地附著於晶片1的一側面與底面，如圖1C所示。在此用以說明的實施例中，接著劑是事先塗佈於配線膠帶2的背面，藉以使配線膠帶2附著於晶片1。

如圖1C所示，以上述程序組裝的半導體裝置71，是由半導體晶片1與一具有一配線層的配線膠帶所構成。除了外連接部36之外，配線膠帶2還具有一內連接部。參考圖



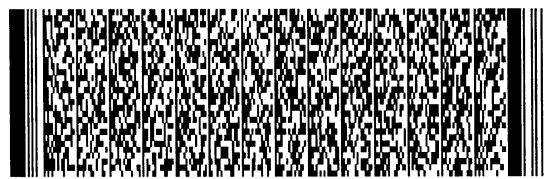
## 五、發明說明 (6)

5，該內連接部是以金屬層34連接到電極5而實現之，而電極5是設置在晶片1之上。該內連接部是設置在配線膠帶2之將要附著於晶片1的部份。

配線膠帶2是在晶片1的邊緣處彎曲，藉以附著於晶片1的該頂面、該底面與一該側面。外連接部36是設置於晶片1之上述所有三平面，所以，外連接部36是配置在晶片1的該頂面、該底面與一該側面，即是配線膠帶2所黏住的該三平面，實質上該頂面與該底面(一對彼此相向的平面)是彼此相互平行的。

圖1D顯示一包括以二維設置的複數個半導體裝置71之半導體模組，而每個半導體裝置71具有圖1C所示的配置。如圖示，複數個半導體裝置71不僅堆疊在電路板4之上，同時以邊靠邊的方式從右到左的方向來設置。焊球3實際上電連接到半導體裝置71，而半導體裝置71在垂直與水平方向係為彼此相鄰的。而且，焊球3實際上將置於堆疊最底部的半導體裝置71電連接到電路板4。在此情形下，彼此相鄰的半導體裝置71是藉由配線膠帶2之外連接部36達成電連接。此外，半導體裝置71是藉由焊球3在垂直方向(垂直於電路板4)與水平方向(平行於電路板4)達成電連接。

因為外連接部36是配置在晶片1的該頂面、該底面與一該側面，即是配線膠帶2所黏住的該三平面，且實質上該頂面與該底面(一對彼此相向的平面)是彼此相互平行的，所以半導體裝置71可以堆疊。如圖1D所示，半導體裝



## 五、發明說明 (7)

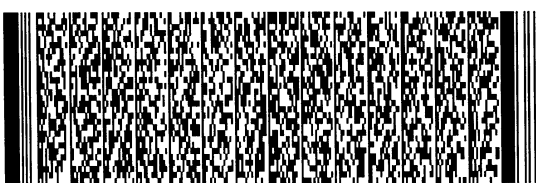
置71是堆疊三層，然而半導體裝置71可依其需要而堆疊四層或更多層。

再者，因為外連接部36是配置在晶片1的一該側面，即是配線膠帶2所黏住的該側面，所以兩個半導體裝置71可以邊靠邊的方式，從右到左的方向來設置。

如圖1A所示，配線膠帶2可設置一延伸部60(虛線部位)，以附著於晶片1的一側面，即是相向於上述的該側面。如此即允許更多的半導體裝置71以邊靠邊的方式從右到左的方向來配置，而藉由一外連接部與焊球3來達成彼此間的實際連接與電連接，且該外連接部亦設置於延伸部60之上。

再如圖1A所示，配線膠帶2可額外地設置延伸部61a與61b(虛線部位)，以附著於晶片1的一對彼此相向的側面，例如正面與後面。如此即允許數個半導體裝置71以邊靠邊的方式，且以垂直於圖1D的紙面方向來設置於電路板4之上，而藉由一外連接部與焊球3達成彼此間的實際連接與電連接，而該外連接部亦設置於延伸部61a與61b之上。圖8顯示一三維半導體模組的特定配置。更多的半導體裝置71可依其需要而設置於垂直與水平方向。

如上述，在此用以說明的實施例中，外連接部36與焊球3係實際上電連接到鄰近的半導體裝置71。意即，每個半導體裝置71可以電連接到其它的半導體裝置71，而不需要電路板4作為媒介，因此該電連接是經由最短的可能路徑。



## 五、發明說明 (8)

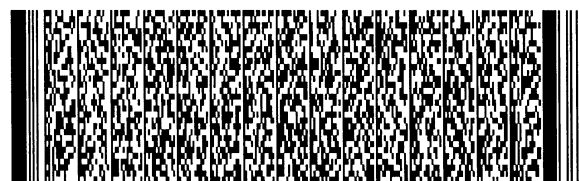
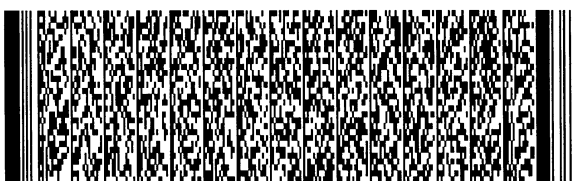
再者，如圖1D所示，焊球3連同配線膠帶2共同形成圖1D中的一配線路徑51。配線路徑51經由附著於半導體晶片1c的一配線膠帶2c，得以電連接兩個半導體裝置71a與71b，且晶片1c是包括在半導體裝置71c之中，而半導體裝置71c則是介於半導體裝置71a與71b之間。意即，半導體裝置71a與71b彼此間的電連接，並不需用被包括在半導體裝置71c之中的半導體晶片1c作為媒介。

第二實施例

參考圖2A至圖2D以說明本發明的另一實施例。該實施例類似於第一實施例，除了下列的配置之外。如各別相向應於圖1C與圖1D之圖2C與圖2D所示，每個半導體裝置72具有兩個半導體晶片10與11，這兩個晶片是以背對背相向彼此附著於一起的形式。因此，每個配線膠帶20具有一輪廓以相對應於一長方形，該長方形是依照晶片10與11之疊合的一頂面、一底面與一側面而形成。配線膠帶20與前述實施例之配線膠帶2的不同之處，在於配線膠帶20蓋住了晶片10與11疊合的該側面。

在此說明組裝半導體裝置72與一半導體模組的特定程序。如圖2B所示，首先，類似於輸送用膠片之單一之配線膠帶20附著於兩個晶片10與11的平面。如圖2C所示，實質上配線膠帶20是在晶片10與11的邊緣處彎曲，且附著於晶片10與11的該側面。而晶片10與11是附著於彼此的背面。

如圖2D所示，複數個半導體裝置72可以二維方式來設



### 五、發明說明 (9)

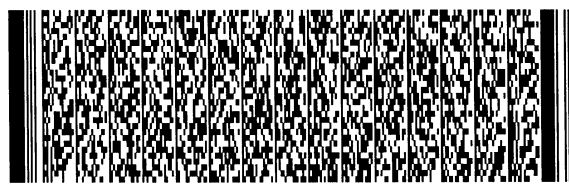
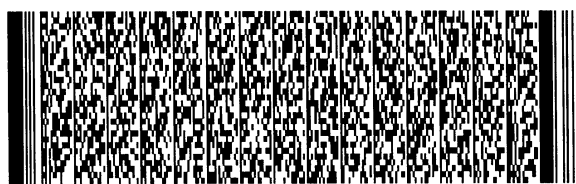
置，且每個半導體裝置72具有圖2C所示之配置，以構成一半導體模組。再者，如圖2A所示，配線膠帶20可設置延伸部62、63a與63b(虛線部份)，所以半導體裝置72可以類似於圖8的配置，以任何其它二維或三維方式來設置。

在此用以說明的實施例之中，焊球3連同配線膠帶20共同形成圖2D中的一配線路徑53。配線路徑53經由附著於半導體晶片11c的配線膠帶20c，得以電連接兩個半導體晶片10a與10c，且晶片11c是介於半導體晶片10a與10c之間。意即，半導體晶片10a與10c彼此間的電連接，並不需要半導體晶片11c作為媒介。

### 第三實施例

參考圖3A至圖3F以說明本發明的另一實施例。如圖所示，一半導體裝置73是由六個半導體晶片12至17、與一類似於輸送用膠片之單一配線膠帶21所構成。每個晶片12至17之配置，係與第一實施例的晶片1相同。在此用以說明的實施例之中，配線膠帶21的長度係為每個晶片12至17之尺寸的四倍。

在此說明組裝半導體裝置73的特定程序。首先，焊球3被焊到形成於配線膠帶21之上的外連接部36，而圖3A係以實線表示配線膠帶21。更明確地說，焊球3是被焊到配線膠帶21的一部份，而該部份是要附著於晶片12的一頂面與晶片12至17的側面。同時，準備好僅部份具有焊球3的配線膠帶21，以用來附著於晶片12的該頂面。



## 五、發明說明 (10)

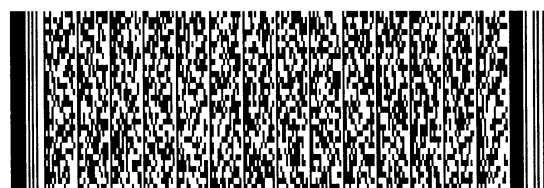
如圖3B所示，晶片12與晶片17的該頂面各別地附著於配線膠帶21背面相對兩端之一位置，該位置即為外連接部形成之處。然後晶片13、14、15與16的頂面，再附著於配線膠帶21的中間部份之相對兩面。如圖3C所示，實質上配線膠帶21是在晶片12與13的邊緣處彎曲，且附著於晶片12與13的該側面。而且晶片12與13是附著於彼此的背面。

如圖3D所示，然後配線膠帶21在晶片14與15的邊緣處彎曲，且附著於晶片14與15的該側面。同時，晶片14與15是附著於彼此的背面。如圖3E所示，進一步地，配線膠帶21在晶片16與17的邊緣處彎曲，且附著於晶片16與17的該側面。同時，晶片16與17是附著於彼此的背面。

如圖3E所示，半導體裝置73具有三對半導體晶片；而每對晶片係附著於彼此的背面。明確地說，係組合晶片12與13、晶片14與15以及晶片16與17，以各別構成三個對晶片81、82與83。

在此用以說明的實施例中，除了外連接部36之外，配線膠帶21包括具有一預定圖案之內連接部。該內連接部是以金屬部44a、44b與44c(參考圖6)，各別地連接到設置在一晶片之電極5a、5b與5c(參考圖6)而實現之。該內連接部係設置在一將要附著於該晶片的配線膠帶21之部份。

各以一平面彼此相對的兩個對晶片81與82(或82與83)，係藉由配線膠帶21作為媒介以連接彼此。部份配線膠帶21接觸著介於該晶片之間的配線膠帶21，是在該晶片的邊緣處彎曲，且附著於該晶片的其它平面。該其它平面



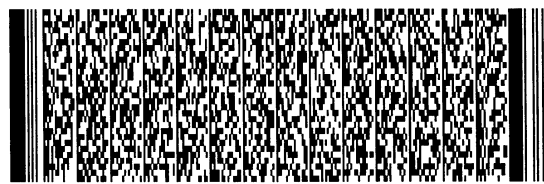
## 五、發明說明 (11)

是指對晶片81的底面與左側面，對晶片82的右側面，以及對晶片83的頂面與左側面。外連接部36是設置於每個上述的平面之上，意即是以配線膠帶21所黏住的平面之中且實質上平行的兩對平面之上。實質上平行的該兩對平面即是半導體裝置73的頂面與底面，及其左側面與右側面。

圖3F顯示一半導體模組，是由複數個以二維方式設置的半導體裝置73所構成，且每個半導體裝置73具有如圖3E所示之配置。如圖示，半導體裝置73是堆疊在一電路板4之上，且以邊靠邊的方式設置於從右到左的方向。於垂直方向與水平方向相鄰的半導體裝置73，實際上是藉由焊球3達成電連接。而且，實際上置於堆疊最下端、靠著電路板4的半導體裝置73，實際上是藉由焊球3達成電連接。在此情況下，係藉由配線膠帶21的外連接部36，以達成彼此相鄰的半導體裝置73之電連接。此外，半導體裝置73是藉由焊球3，在垂直方向(垂直於電路板4)與水平方向(平行於電路板4)連接在一起。

因為外連接部36是設置於半導體裝置73之頂面與底面，而這兩平面實質上是彼此平行的，所以可以堆疊半導體裝置73。圖3F顯示兩個半導體裝置73堆疊在一起，亦可依所要而堆疊三個或更多個。

進一步地，數個半導體裝置73可以邊靠邊的方式設置於從右到左的方向，因為外連接部36是設置於半導體裝置73的左側面與右側面，這兩平面實質上是彼此平行的。如圖3所示，以邊靠邊的方式設置了三堆半導體裝置73，亦



## 五、發明說明 (12)

可以邊靠邊的方式設置四堆或更多的半導體裝置73。

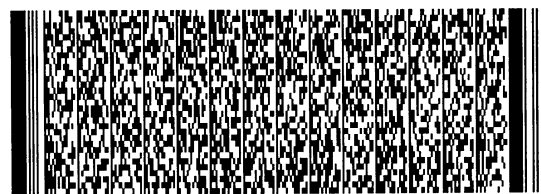
如圖3A所示，配線膠帶21可設置部份或所有的延伸部64a、64b、65a、65b、66a與66b(虛線部份)，這些延伸部係可附著於彼此相對的對晶片81至83之側面，意即其正面與後面。如此允許數個半導體裝置73設置於垂直紙面的方向，如圖3F所示，且藉由亦設置於延伸部64a至66b的外連接部與焊球3，以達成實際上的電連接。所形成的半導體模組即具有一三維方式的配置，如圖8所示。

如上述，在此用以說明的實施例之中，外連接部36與焊球3實際上電連接相臨的半導體裝置73。意即，每個半導體裝置73可以電連接到另一個半導體裝置73，而不需要電路板4作為媒介，所以可經由一最短的可能路徑。

進一步地，如圖3E所示，焊球3連同配線膠帶21共同形成一配線路徑54。配線路徑54係經由附著於半導體晶片13與14之配線膠帶21，以電連接兩個半導體晶片12與15，而晶片13與14是介於晶片12與15之間。意即，半導體晶片12與15彼此間的電連接，並不需要晶片13與14作為媒介。

再者，如圖3F所示，焊球3連同配線膠帶21共同形成一配線路徑55。配線路徑55係經由包括於半導體裝置73c之配線膠帶21，以電連接兩個半導體裝置73a與73b，而半導體裝置73c是介於半導體裝置73a與73b之間。意即，半導體裝置73a與73b彼此間的電連接，並不需要半導體裝置73c的晶片作為媒介。

每個對晶片81、82與83皆可以一單獨晶片取代之，在



## 五、發明說明 (13)

此情況下，半導體裝置73將不設置這三個晶片13、14(或15)與16，且亦以上述方法組合。

第四實施例

參考圖4A與圖4B以說明本發明的另一實施例。如圖示，一半導體裝置74是由一半導體晶片18與一類似於輸送用膠片之配線膠帶22所構成。晶片18的配置與第一實施例之晶片1相同。在此用以說明的實施例之中，配線膠帶22具有一長方形的配置，其尺寸稍為大於晶片18於垂直方向與水平方向的對角線長度。

在此說明組裝半導體裝置74的特定程序。首先，焊球3被焊到配線膠帶22的正面。實質上，晶片18的正面係附著於配線膠帶22背面的中央位置。如圖4A所示，此時晶片18是設置以使晶片18的四側面與配線膠帶22的側面呈45度斜交。此後，配線膠帶22係在晶片18的邊緣處彎曲折疊，藉以蓋住整個晶片18的周圍，意即晶片18的四個側面與後面，再附著於晶片18。如圖4B所示，配線膠帶22的四個角落集合在配線膠帶22後面的中央位置。

在此用以說明的實施例之中，配線膠帶22是附著於晶片18的所有六個平面，而外連接部36是設置於晶片18之六個平面中的三個或更多。如此允許複數個半導體裝置74以二維或三維方式，而以第一實施例的方法設置。

配線膠帶22係附著於晶片18的所有六個平面，且具有一長方形的外型，因此所需的材料最少。此外，如此的外



## 五、發明說明 (14)

型助長有效的配線設計。若需要的話，晶片18可以背面附著於一起的兩個晶片取代之。

參考圖5以說明第一、第二與第三實施例之中，每個半導體裝置71、72與74之特定結構。如圖示，配線膠帶2、配線膠帶20與配線膠帶22是一膠合薄膜，係由一絕緣膜31、一配線層32、一接合層33、一掩埋金屬34與一外層35所構成的。配線層32是在絕緣膜31的一表面上，藉由平版印刷而形成一預定圖案。外層或絕緣層35覆蓋絕緣膜31的上述表面，外層35在配線層32的每個焊盤部(land portion)是開放的，以設置外連接部36。焊球3則是焊到外連接部36之上。而接合層33是形成於絕緣膜31的另一表面。

配線膠帶2、20與22是藉由接合層33附著於半導體晶片1、10、11或18。金屬34扮演著內連接部的角色，係埋入一形成於部份絕緣膜31與接合層33之中的對齊開孔，而該對齊開孔則面對著一被包括於晶片之中的電極5。金屬34的一端連接到配線層32，另一端則連接到電極5。外層35形成於金屬34之上，且具有一開孔37。一焊接工具30壓住以開孔37覆蓋金屬34的配線層32部份，藉以將金屬34焊到電極5，以連接電極5與金屬34。

圖6顯示第三實施例的半導體裝置73之一特定結構。如圖示，配線膠帶21是一膠合薄膜，係由兩個絕緣膜41a與41b、一配線層42、兩個接合層43a與43b、及掩埋金屬44a、44b與44c所構成的。配線層42是介於兩個絕緣膜41a



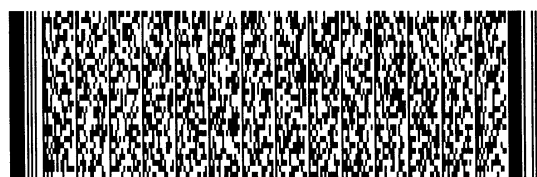
## 五、發明說明 (15)

與41b之間，且具有一預定的配線圖案。配線層42是藉由平版印刷而形成於絕緣膜41b的一表面上，實質上，絕緣膜41a是形成於絕緣膜41b的上述表面之上。一晶片是固定於配線膠帶21之B部位的一表面上，而形成於絕緣膜41a之B部位的焊盤部具有一開孔，是利用蝕刻、沖壓、雷射鑽孔或類似的技術所形成，以形成外連接部36。而焊球3則焊到外連接部36。

晶片是固定於配線膠帶21之A部位的兩個表面上，接合層43a是形成於絕緣膜41a之一表面上，且是和形成配線層42之該表面對立的另一面。晶片14或15是藉由接合層43a附著於配線膠帶21。金屬44a係埋入一形成於部份絕緣膜41a與接合層43a之中的對齊開孔，其位置係面對著一被包括於晶片14或15之中的電極5a。金屬44a的一端連接到配線層42，另一端則連接到電極5a。

同樣地，在A部位之接合層43b是形成於絕緣膜41b之一表面上，且是和形成配線層42之該表面對立的另一面。晶片13或16是藉由接合層43b以附著於配線膠帶21。金屬44b係埋入一形成於部份絕緣膜41b與接合層43b之中的對齊開孔，其位置係面對著一被包括於晶片13或16之中的電極5b。金屬44b的一端連接到配線層42，另一端則連接到電極5b。

為了各別地將電極5a與5b連接到金屬44a與金屬44b，依序地壓住晶片14或15的後面與晶片13或16的後面，以將配線膠帶21壓在它們之間。其結果就是，金屬44a與金屬



## 五、發明說明 (16)

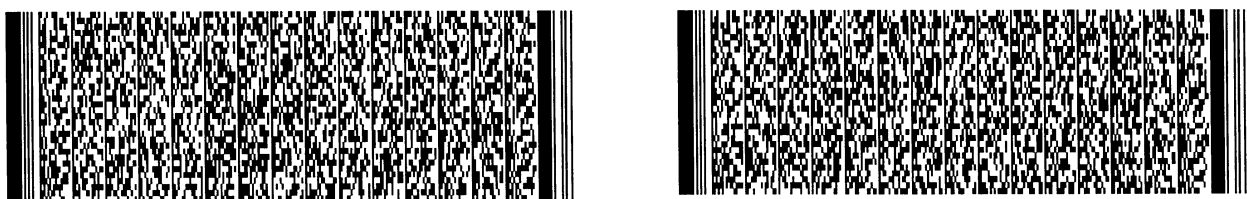
44b 各別地焊到電極5a與5b。

在B部位之接合層43b是形成於絕緣膜41b之一表面上，且是和形成配線層42之該表面對立的另一面。配線膠帶21與晶片12或17是藉由接合層43b而附著於一起。金屬44c係埋入一形成於部份絕緣膜41b與接合層43b之中的對齊開孔，其位置係面對著一被包括於晶片12或17之中的電極5c。金屬44c的一端連接到配線層42，另一端則連接到電極5c。在絕緣膜41a形成一開孔47，係在金屬44c的上方。一焊接工具30壓住覆蓋金屬44c的配線層42部份，以連接電極5c與金屬44c，而金屬44c則經由開孔47暴露於外。

在圖6所示的配置之中，絕緣膜41a與41b是以例如「聚醯亞胺」(polyimide)材料所構成，而配線層42是以例如「銅箔」(copper foil)材料所構成。然而這些材料是僅供說明，且可以任何其他適當材料取代之。

圖7顯示形成配線膠帶2、20與22的任何一個之特定程序。如圖7(a)所示，銅箔的配線層32是形成於聚醯亞胺的絕緣膜31之一平面。接著劑是塗佈於絕緣膜31之另一平面，以形成接合層33。絕緣膜31的厚度約為12 mm，配線層32的厚度約為8 mm，而接合層33的厚度約為10 mm。

如圖7(b)所示，實質上配線層32是經選擇地蝕刻，以形成一配線圖案(即為電路圖案、circuit patterning)。如圖7(c)所示，一設置有配線圖案的配線層表面是以外層35所覆蓋(外抗蝕包覆層、cover resist coating)。如圖



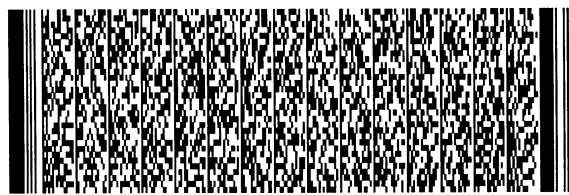
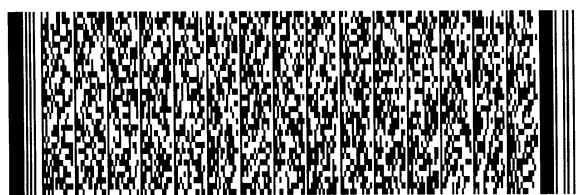
## 五、發明說明 (17)

7(d) 所示，從和配線層32對立的另一面，形成一穿過接合層33與絕緣膜31的開孔91(藉由雷射鑽孔)，所以配線層32經由開孔91暴露於外。

如圖7(e)所示，一銅材(Cu)92埋入開孔91之中，以此方法而輕微地凸出於接合層33的表面(藉由準分子雷射鍍上內部銅材、inner Cu plating using an excimer laser)。如圖7(f)所示，一金材(Au)是鍍在銅材92凸出於接合層33的表面(鍍內部金材、inner Cu plating)，藉以覆蓋銅材92。如圖7(g)所示，以蝕刻(外部雷射鑽孔)移除蓋住一焊盤部94的部份外層35，而焊盤部94是包括在配線層32之中，如此使得焊盤部94暴露於外。最後，如圖7(h)所示，一金材95鍍在焊盤部94以將之覆蓋住(鍍外部金材、outer Au plating)。

藉由圖7所示的程序以形成配線膠帶2、20或22。至於配線膠帶21，圖7(c)的外保護層鑄造步驟是以其它步驟取代，包括一步驟以形成絕緣膜41a，與另一步驟以形成接合層43。

在此描述之用以說明的實施例之中，一配線層是經由一焊盤部而部份暴露於外，而該焊盤部扮演的角色是配線膠帶的外連接部。一焊球被焊到該焊盤部，以將半導體裝置相互連接。該焊球可依所需而被任何其它適當的金屬凸塊，或接觸著該配線層的導電凸出部所取代。而且，埋入配線膠帶以供作為內連接部的金屬亦可省略，在此情況下，該配線層係直接焊到一半導體晶片的電極。



## 五、發明說明 (18)

總結而言，當可理解到本發明提供的一半導體裝置與一半導體模組，具有各式各樣前所未有的優點，如下列。

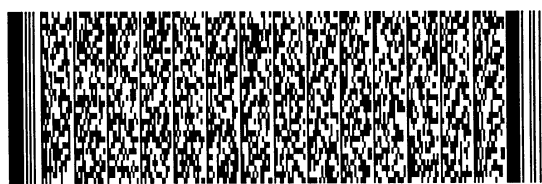
(1) 單一之配線膠帶附著於一半導體晶片的三個或更多的平面，提供一半導體裝置在封裝後的體積相似於一裸露的半導體晶片。如此可成功地避免數個配線的密集配置。

(2) 一外連接部是設置於一半導體晶片的三個或更多的平面，所以，可以二維或三維方式達成一密集的半導體模組。

(3) 該配線膠帶允許該半導體模組的該晶片經由相對的短路徑，來達成彼此的電連接，以避免在該配線膠帶與一電路板上密集地配置數個配線。如此允許增加單一配線的寬度與相鄰配線的距離，藉以減少固定該配線膠帶與該電路板的成本。

(4) 連帶地，二維或三維型式的該半導體模組可達到所要的電特性。額外地，因為如此的半導體模組與半導體裝置的大小和一裸露晶片同樣，所以可以廉價地生產。

顯然，上述之實施例應當作是說明而非限制本發明者，且本發明不應限制於上述之實施例，凡在本發明的申請專利範圍與其精神之內而採用異於上述之特定實施例來更改實施者，亦包含在本發明的範圍內。



## 圖式簡單說明

圖1(a)是一平面圖，以顯示本發明之第一實施例已組裝的半導體裝置；

圖1(b)是一前視圖，以顯示該第一實施例；

圖1(c)是一前視圖，以顯示該第一實施例之組裝狀況；

圖1(d)是一前視圖，以顯示一包括複數個半導體裝置之半導體模組，而每個該半導體裝置具有圖1(c)所示之配置；

圖2(a)是一平面圖，以顯示本發明之第二實施例已組裝的半導體裝置；

圖2(b)是一前視圖，以顯示該第二實施例；

圖2(c)是一前視圖，以顯示該第二實施例之組裝狀況；

圖2(d)是一前視圖，以顯示一包括複數個半導體裝置之半導體模組，而每個該半導體裝置具有圖2(c)所示之配置；

圖3(a)是一平面圖，以顯示一配線膠帶，該配線膠帶係為本發明之第三實施例半導體裝置的典型；

圖3(b)是一前視圖，以顯示組裝的該第三實施例；

圖3(c)至3(d)是前視圖，以各別地顯示該第三實施例之特定的組裝階段；

圖3(e)是一前視圖，以顯示該第三實施例之組裝狀況；

圖3(f)是一前視圖，以顯示一包括複數個半導體裝置之半導體模組，而每個該半導體裝置具有圖3(e)所示之配



## 圖式簡單說明

置；

圖4(a)是一平面圖，以顯示本發明之第四實施例已組裝的半導體裝置；

圖4(b)是一平面圖，以顯示該第四實施例之組裝狀況；

圖5是一局部剖面圖，以顯示包括一半導體晶片與一附著於該晶片之配線膠帶之一特定結構；

圖6是一局部剖面圖，以顯示包括一配線膠帶與一附著於其上之半導體晶片的另一特定結構；

圖7(a)至7(h)是一局部剖面圖，以顯示一特定的程序以生產該配線膠帶；以及

圖8是一等角視圖，以顯示本發明之一特定的三維半導體模組。

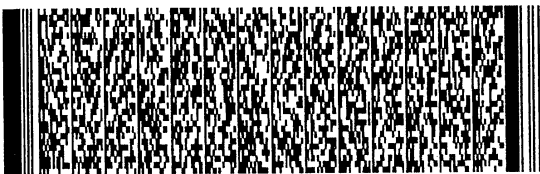
## 【圖式編號】

1、1a、1b、1c、10、10a、10b、10c	半導體晶片
11、11a、11b、11c、12、13、14、15、16、17、18	半導體晶片
2、2c、20、20a、20b、20c、20d、21、21c、22	配線膠帶
3	焊球
30	焊接工具
31	絕緣膜
32	配線層
33	一接合層



## 圖式簡單說明

- 34 金屬層
- 35 外層
- 36 外連接部
- 37 開孔
- 4 電路板
- 41a、41b 絕緣膜
- 42 配線層
- 43a、43b 接合層
- 44a、44b、44c 金屬部
- 47 開孔
- 5、5a、5b、5c 電極
- 51、52、53、54、55 配線路徑
- 60、61a、61b、62、63a、63b、64a、64b、65a、65b、  
66a、66b 延伸部
- 71、71a、71b、71c 半導體裝置
- 72、72a、72b、72c、72d、73、73a、73b、73c、74  
半導體裝置
- 81、82、83 對晶片
- 91 開孔
- 92 銅材
- 94 焊盤部
- 95 金材

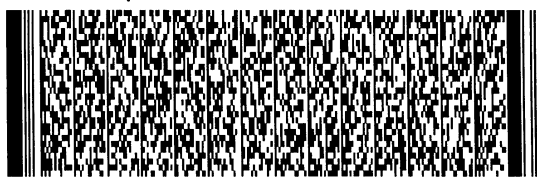
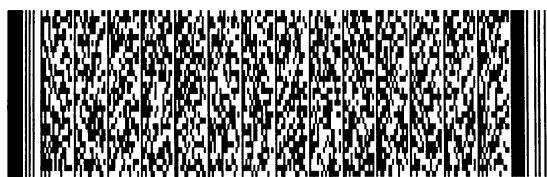


四、中文發明摘要 (發明之名稱：半導體裝置及使用此半導體裝置之半導體模組)

本發明之一種半導體裝置係由一半導體晶片與單一之配線膠帶所組成，該配線膠帶類似一輸送用膠片且包括一具有預定圖案之配線層。該配線膠帶至少要附著於一半導體晶片之頂面、底面與一側面。該半導體裝置具有一設置於該半導體晶片之頂面的外連接部，且該半導體裝置封裝後的體積與一裸露的半導體晶片相似。一種半導體模組具有以二維或三維方式設置的複數個該半導體裝置，以達到所要的電特性且避免密集地設置配線。

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND SEMICONDUCTOR MODULE USING THE SAME)

A semiconductor device of the present invention is made up of a semiconductor chip and a single wiring tape resembling a film carrier and including a wiring layer that has a preselected pattern. The wiring tape is adhered to at least the top, bottom and one side of a semiconductor chip. The semiconductor device has outer connecting portions arranged on the above surfaces of the chip. The semiconductor device is comparable in package size with a bare chip. A



四、中文發明摘要 (發明之名稱：半導體裝置及使用此半導體裝置之半導體模組)

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND SEMICONDUCTOR MODULE USING THE SAME)

semiconductor module having a plurality of such semiconductor devices arranged bidimensionally or tridimensionally achieves desirable electric characteristics while obviating the dense arrangement of a number of wirings.



## 六、申請專利範圍

## 1. 一種半導體裝置，包含：

一半導體晶片；

單一之配線膠帶，包括一具有預定圖案之配線層；

一外連接部，係設置於該配線膠帶之上；以及

一內連接部，係形成於該配線膠帶之中，且連接到該半導體晶片所包括的一電極；

其中，該配線膠帶係在該半導體晶片的邊緣處彎曲，且附著於該半導體晶片的至少三個平面，該外連接部係設置在該至少三個平面之上。

2. 如申請專利範圍第1項之半導體裝置，其中該外連接部係設置在該至少三個平面中的對相向的平面之上。

3. 如申請專利範圍第1項之半導體裝置，其中該外連接部係設置在該至少三個平面中之兩對相向的平面上。

4. 如申請專利範圍第1項之半導體裝置，其中該外連接部係設置在該至少三個平面中之三對相向的平面上。

5. 如申請專利範圍第1項之半導體裝置，其中該半導體晶片包括以背面相黏接的兩個半導體晶片。

6. 一種半導體模組，包括複數個半導體裝置，該複數個半導體裝置之每個包含：

一半導體晶片；以及

單一之配線膠帶，包括一具有預定圖案之配線層，一設置於該配線膠帶之上的外連接部，與一形成於該配線膠帶中的內連接部，且該內連接部係連接到該半導體晶片所包括的一電極；



## 六、申請專利範圍

該配線膠帶係在該半導體晶片的邊緣處彎曲，且附著於該半導體晶片的至少三個平面，而該外連接部係設置在該至少三個平面之上；以及

該複數個半導體裝置不僅以堆疊的方式設置，並以邊靠邊的方式配置，且利用該外連接部達成彼此間的電連接。

7. 如申請專利範圍第6項之半導體模組，其中每兩個半導體裝置係以該配線膠帶達成電連接，而該配線膠帶係屬於介於該兩個半導體裝置之間的另一半導體裝置。

8. 如申請專利範圍第6項之半導體模組，其中每兩個半導體晶片係以該配線膠帶達成電連接，而該配線膠帶係附著於介於該兩個半導體晶片之間的另一半導體晶片之上。

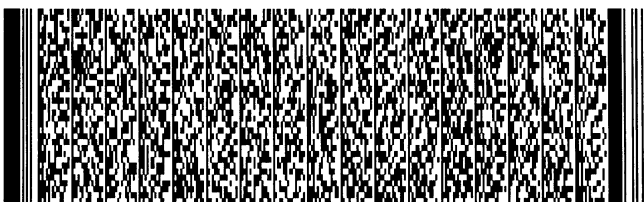
9. 一種半導體模組，包括以二維方式設置的複數個半導體裝置，該複數個半導體裝置之每個包含：

一半導體晶片；以及

單一之配線膠帶，包括一具有預定圖案之配線層，一設置於該配線膠帶之上的外連接部，與一形成於該配線膠帶之中的內連接部，且該內連接部係連接到該半導體晶片所包括的一電極；

其中，該配線膠帶係在該半導體晶片的邊緣處彎曲，且附著於該半導體晶片的至少三個平面，而該外連接部係設置在該至少三個平面之上。

10. 如申請專利範圍第9項之半導體模組，其中每兩個半導體裝置係以該配線膠帶達成電連接，而該配線膠帶係屬



## 六、申請專利範圍

於介於該兩個半導體裝置之間的另一半導體裝置。

11. 如申請專利範圍第9項之半導體模組，其中每兩個半導體晶片係以該配線膠帶達成電連接，而該配線膠帶係附著於介於該兩個半導體晶片之間的另一半導體晶片之上。

12. 一種半導體模組，包括以三維方式設置的複數個半導體裝置，該複數個半導體裝置之每個包含：

一半導體晶片；以及

單一之配線膠帶，包括一具有預定圖案之配線層，一設置於該配線膠帶之上的外連接部，與一形成於該配線膠帶之中的內連接部，且該內連接部係連接到該半導體晶片所包括的一電極，

其中，該配線膠帶係在該半導體晶片的邊緣處彎曲，且附著於該半導體晶片的至少三個平面，而該外連接部係設置在該至少三個平面之上。

13. 如申請專利範圍第12項之半導體模組，其中每兩個半導體裝置係以該配線膠帶達成電連接，而該配線膠帶係屬於介於該兩個半導體裝置之間的另一半導體裝置。

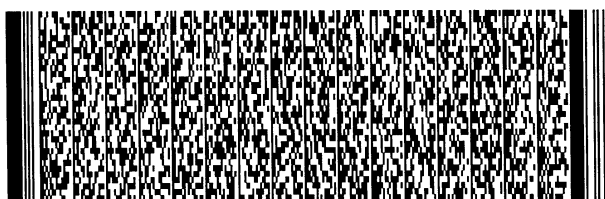
14. 如申請專利範圍第12項之半導體模組，其中每兩個半導體晶片係以該配線膠帶達成電連接，而該配線膠帶係附著於介於該兩個半導體晶片之間的另一半導體晶片之上。

15. 一種半導體裝置，包含：

至少兩個半導體晶片；

單一之配線膠帶，包括一具有預定圖案之配線層；

一外連接部，係設置於該配線膠帶之上；以及



## 六、申請專利範圍

一內連接部，係形成於該配線膠帶之中，且連接到該至少兩個半導體晶片之每個所包括的一電極，

其中，係以該配線膠帶連接各以一平面向向之兩個半導體晶片，且其中該配線膠帶介於該兩個半導體晶片之間的接觸部份，係在該兩個半導體晶片之邊緣處彎曲，且附著於該兩個半導體晶片的其它平面。

16. 如申請專利範圍第15項之半導體裝置，其中該外連接部係設置在一對相向的平面之上，該對相向的平面係為該至少三個平面之中者。

17. 如申請專利範圍第15項之半導體裝置，其中該外連接部係設置在兩對相向的平面之上，該兩對相向的平面係為該至少三個平面之中者。

18. 如申請專利範圍第15項之半導體裝置，其中該外連接部係設置在三對相向的平面之上，該三對相向的平面係為該至少三個平面之中者。

19. 如申請專利範圍第15項之半導體裝置，其中該半導體晶片包括以背面向向地黏住的兩個半導體晶片。

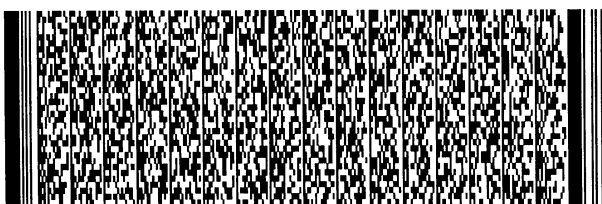
20. 一種半導體模組，包括複數個半導體裝置，該複數個半導體裝置之每個包含：

至少兩個半導體晶片；

單一之配線膠帶，包括一具有預定圖案之配線層；

一外連接部，係設置於該配線膠帶之上；以及

一內連接部，係形成於該配線膠帶之中，且連接到該至少兩個半導體晶片之每個所包括的一電極，



## 六、申請專利範圍

兩個半導體晶片，各以一平面相向地設置且以該配線膠帶連接彼此；

該配線膠帶介於該兩個半導體晶片之間的接觸部份，係在該兩個半導體晶片之邊緣處彎曲，且附著於該兩個半導體晶片的其它平面；以及

該複數個半導體裝置不僅以堆疊的方式設置，並以邊靠邊的方式配置，且利用該外連接部達成彼此間的電連接。

21. 如申請專利範圍第20項之半導體模組，其中每兩個半導體裝置係以該配線膠帶達成電連接，而該配線膠帶係屬於介於該兩個半導體裝置之間的另一半導體裝置。

22. 如申請專利範圍第20項之半導體模組，其中每兩個半導體晶片係以該配線膠帶達成電連接，而該配線膠帶係附著於介於該兩個半導體晶片之間的另一半導體晶片之上。

23. 一種半導體模組，包括以二維方式設置的複數個半導體裝置，該複數個半導體裝置之每個包含：

至少兩個半導體晶片；

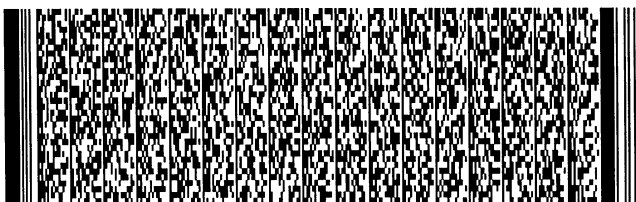
單一之配線膠帶，包括一具有預定圖案之配線層；

一外連接部，係設置於該配線膠帶之上；以及

一內連接部，係形成於該配線膠帶之中，且連接到該至少兩個半導體晶片之每個所包括的一電極，

兩個半導體晶片，各以一平面相向地設置且以該配線膠帶連接彼此；以及

該配線膠帶介於該兩個半導體晶片之間的接觸部份，



## 六、申請專利範圍

係在該兩個半導體晶片之邊緣處彎曲，且附著於該兩個半導體晶片的其它平面。

24. 如申請專利範圍第23項之半導體模組，其中每兩個半導體裝置係以該配線膠帶達成電連接，而該配線膠帶係屬於介於該兩個半導體裝置之間的另一半導體裝置。

25. 如申請專利範圍第23項之半導體模組，其中每兩個半導體晶片係以該配線膠帶達成電連接，而該配線膠帶係附著於介於該兩個半導體晶片之間的另一半導體晶片之上。

26. 一種半導體模組，包括以三維方式設置的複數個半導體裝置，該複數個半導體裝置之每個包含：

至少兩個半導體晶片；

單一之配線膠帶，包括一具有預定圖案之配線層；

一外連接部，係設置於該配線膠帶之上；以及

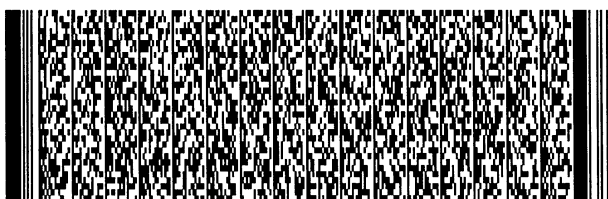
一內連接部，係形成於該配線膠帶之中，且連接到該至少兩個半導體晶片之每個所包括的一電極，

兩個半導體晶片，各以一平面相向地設置且以該配線膠帶連接彼此；以及

該配線膠帶介於該兩個半導體晶片之間的接觸部份，係在該兩個半導體晶片之邊緣處彎曲，且附著於該兩個半導體晶片的其它平面。

27. 如申請專利範圍第26項之半導體模組，其中每兩個半導體裝置係以該配線膠帶達成電連接，而該配線膠帶係屬於介於該兩個半導體裝置之間的另一半導體裝置。

28. 如申請專利範圍第26項之半導體模組，其中每兩個半



## 六、申請專利範圍

導體晶片係以該配線膠帶達成電連接，而該配線膠帶係附著於介於該兩個半導體晶片之間的另一半導體晶片之上。

29. 一種半導體裝置，包含：

至少兩個半導體晶片；

單一之配線膠帶，包括一具有預定圖案之配線層；

一外連接部，係設置於該配線膠帶之上；以及

一內連接部，係形成於該配線膠帶之中，且連接到該至少兩個半導體晶片之每個所包括的一電極，

其中，該至少兩個半導體晶片係各別地附著於該配線膠帶相向的兩平面，且其中該配線膠帶之其它部份係在該半導體晶片之邊緣處彎曲，且附著於該半導體晶片的其它平面。

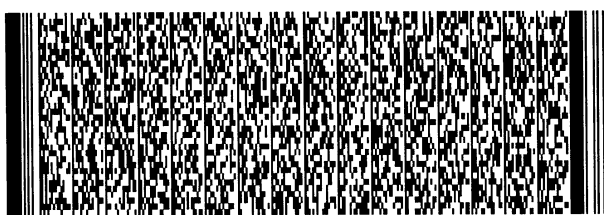
30. 如申請專利範圍第29項之半導體裝置，其中該外連接部係設置在一對相向的平面之上，該對相向的平面係為該至少三個平面之中者。

31. 如申請專利範圍第29項之半導體裝置，其中該外連接部係設置在兩對相向的平面之上，該兩對相向的平面係為該至少三個平面之中者。

32. 如申請專利範圍第29項之半導體裝置，其中該外連接部係設置在三對相向的平面之上，該三對相向的平面係為該至少三個平面之中者。

33. 如申請專利範圍第29項之半導體裝置，其中該半導體晶片包括以背面相向地黏住的兩個半導體晶片。

34. 一種半導體模組，包括複數個半導體裝置，該複數個



## 六、申請專利範圍

半導體裝置之每個包含：

至少兩個半導體晶片；

單一之配線膠帶，包括一具有預定圖案之配線層；

一外連接部，係設置於該配線膠帶之上；以及

一內連接部，係形成於該配線膠帶之中，且連接到該至少兩個半導體晶片之每個所包括的一電極，

該至少兩個半導體晶片係各別地附著於該配線膠帶相向的兩平面；以及

該配線膠帶之其它部份係在該半導體晶片之邊緣處彎曲，且附著於該半導體晶片的其它平面。

35. 如申請專利範圍第34項之半導體模組，其中每兩個半導體裝置係以該配線膠帶達成電連接，而該配線膠帶係屬於介於該兩個半導體裝置之間的另一半導體裝置。

36. 如申請專利範圍第34項之半導體模組，其中每兩個半導體晶片係以該配線膠帶達成電連接，而該配線膠帶係附著於介於該兩個半導體晶片之間的另一半導體晶片之上。

37. 一種半導體模組，包括以二維方式設置的複數個半導體裝置，該複數個半導體裝置之每個包含：

至少兩個半導體晶片；

單一之配線膠帶，包括一具有預定圖案之配線層；

一外連接部，係設置於該配線膠帶之上；以及

一內連接部，係形成於該配線膠帶之中，且連接到該至少兩個半導體晶片之每個所包括的一電極，

該至少兩個半導體晶片係各別地附著於該配線膠帶相



## 六、申請專利範圍

向的兩平面；以及

該配線膠帶之其它部份係在該半導體晶片之邊緣處彎曲，且附著於該半導體晶片的其它平面。

38. 如申請專利範圍第37項之半導體模組，其中每兩個半導體裝置係以該配線膠帶達成電連接，而該配線膠帶係屬於介於該兩個半導體裝置之間的另一半導體裝置。

39. 如申請專利範圍第37項之半導體模組，其中每兩個半導體晶片係以該配線膠帶達成電連接，而該配線膠帶係附著於介於該兩個半導體晶片之間的另一半導體晶片之上。

40. 一種半導體模組，包括以三維方式設置的複數個半導體裝置，該複數個半導體裝置之每個包含：

至少兩個半導體晶片；

單一之配線膠帶，包括一具有預定圖案之配線層；

一外連接部，係設置於該配線膠帶之上；以及

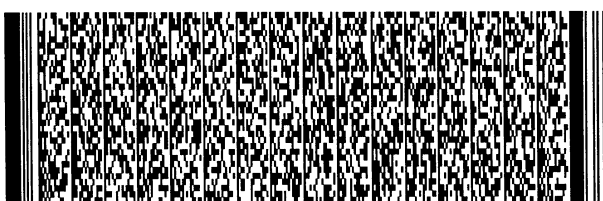
一內連接部，係形成於該配線膠帶之中，且連接到該至少兩個半導體晶片之每個所包括的一電極，

該至少兩個半導體晶片係各別地附著於該配線膠帶相向的兩平面；以及

該配線膠帶之其它部份係在該半導體晶片之邊緣處彎曲，且附著於該半導體晶片的其它平面。

41. 如申請專利範圍第40項之半導體模組，其中每兩個半導體裝置係以該配線膠帶達成電連接，而該配線膠帶係屬於介於該兩個半導體裝置之間的另一半導體裝置。

42. 如申請專利範圍第40項之半導體模組，其中每兩個半



六、申請專利範圍

導體晶片係以該配線膠帶達成電連接，而該配線膠帶係附著於介於該兩個半導體晶片之間的另一半導體晶片之上。



圖式

修正  
補充  
91年5月1日

圖 1(a)

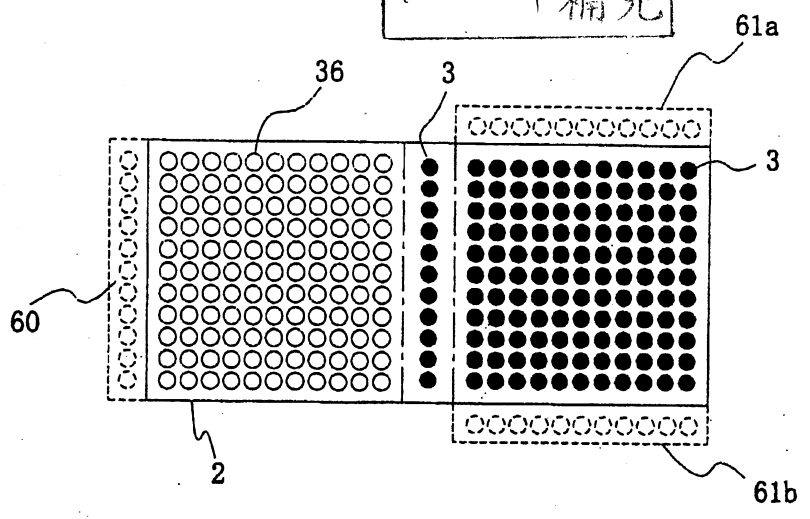


圖 1(b)

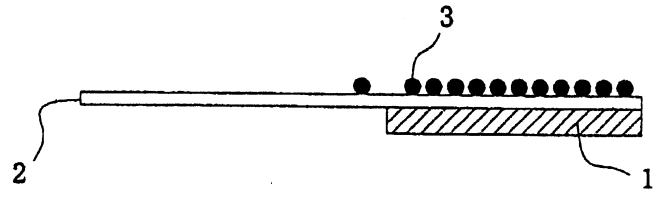


圖 1(c)

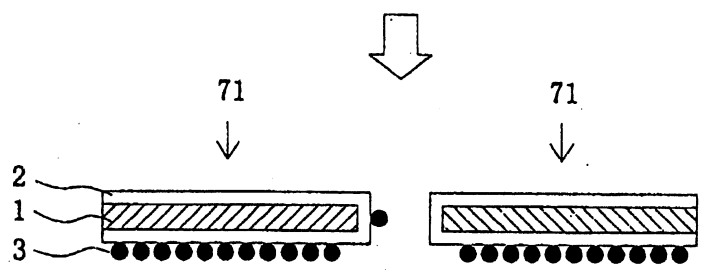
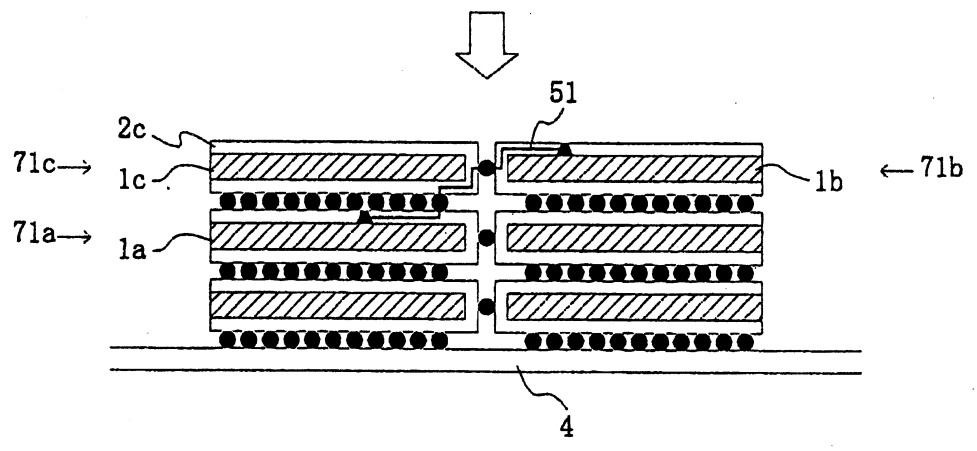


圖 1(d)



圖式

圖 2(a)

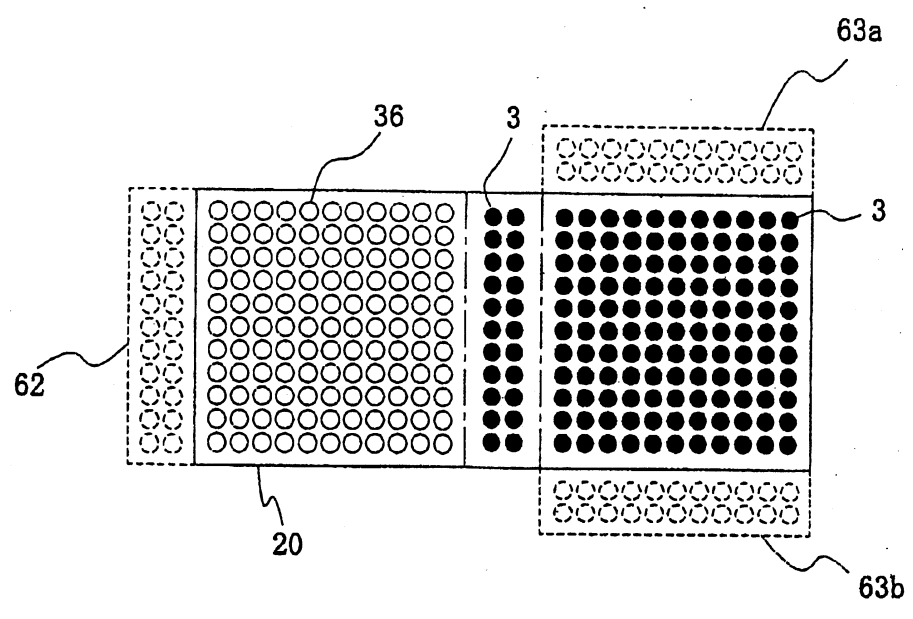


圖 2(b)

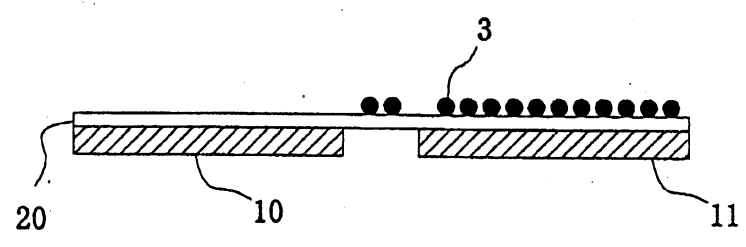


圖 2(c)

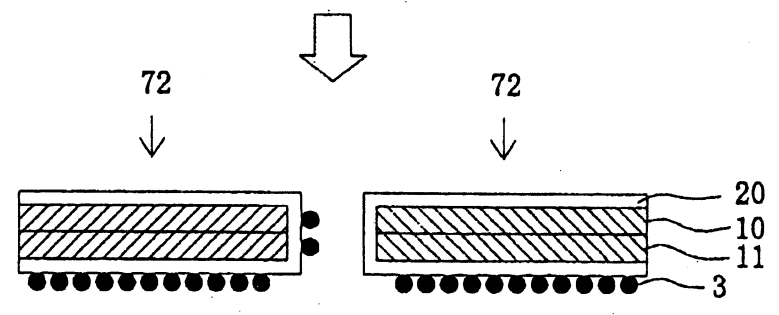
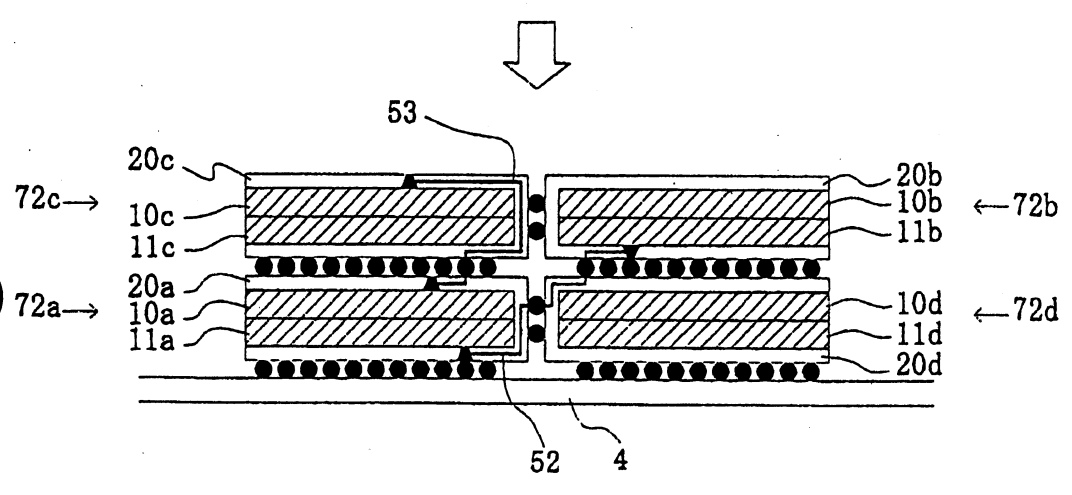


圖 2(d)



圖式

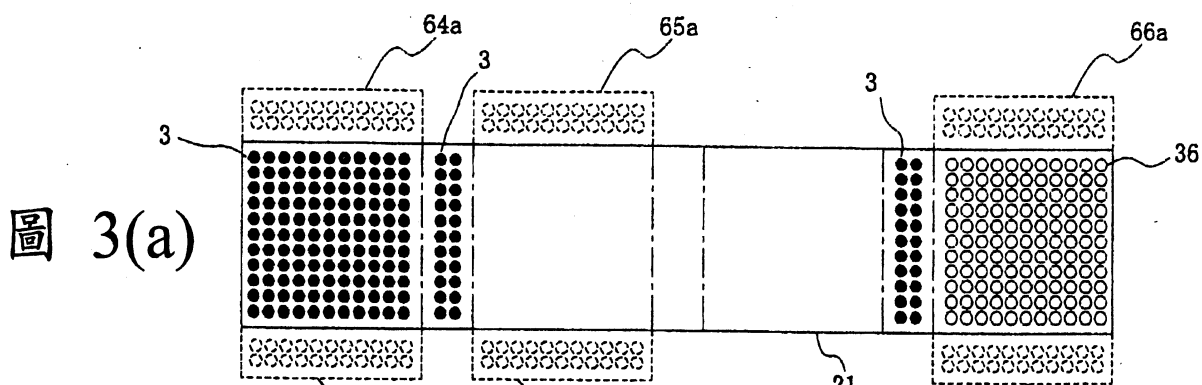


圖 3(a)

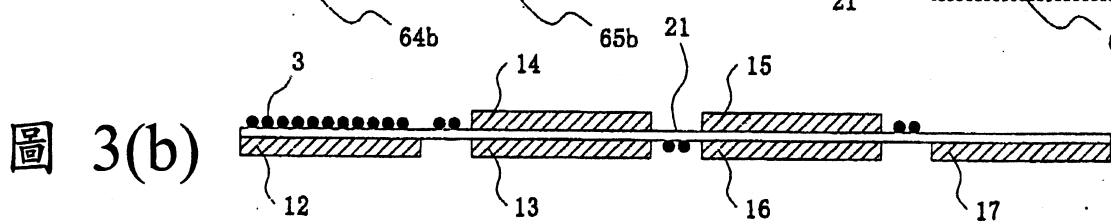


圖 3(b)

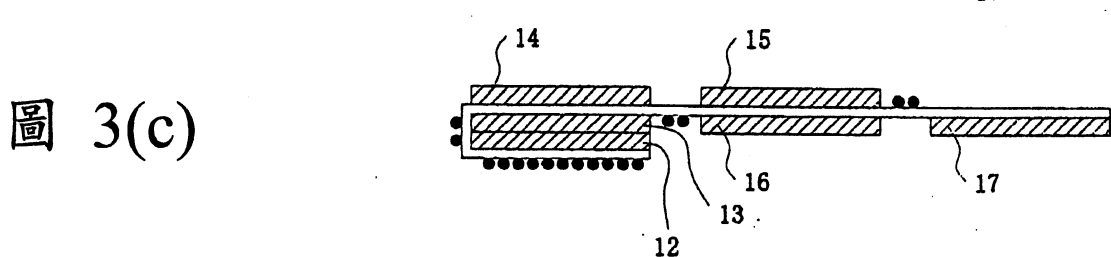


圖 3(c)

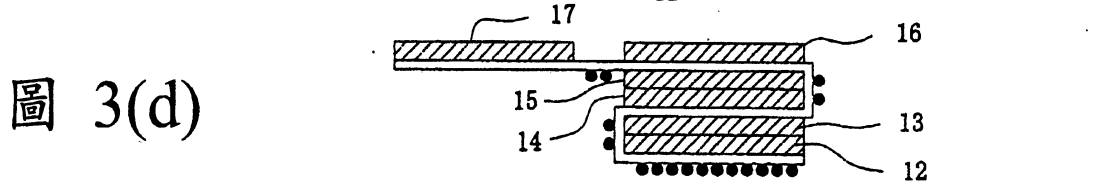


圖 3(d)

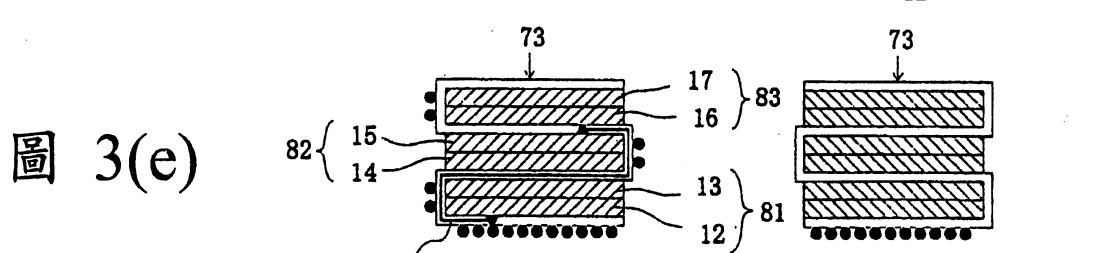


圖 3(e)

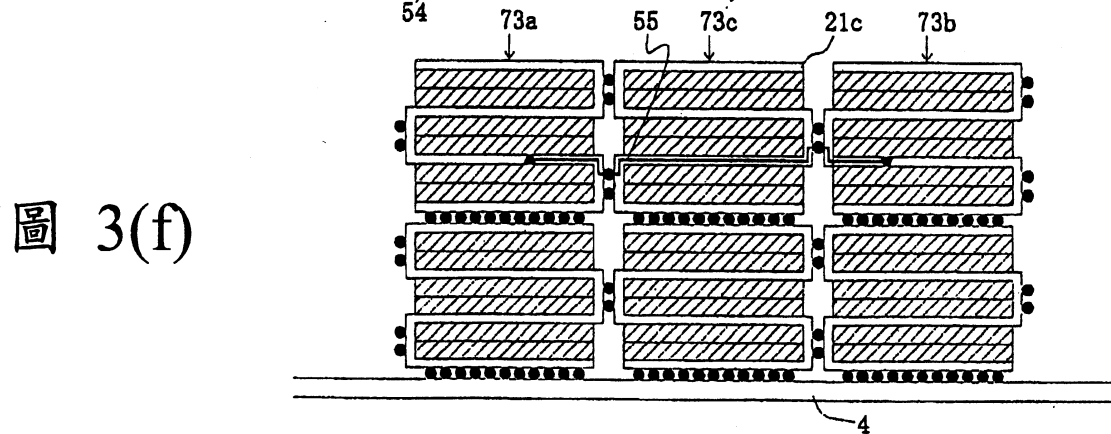


圖 3(f)

圖式

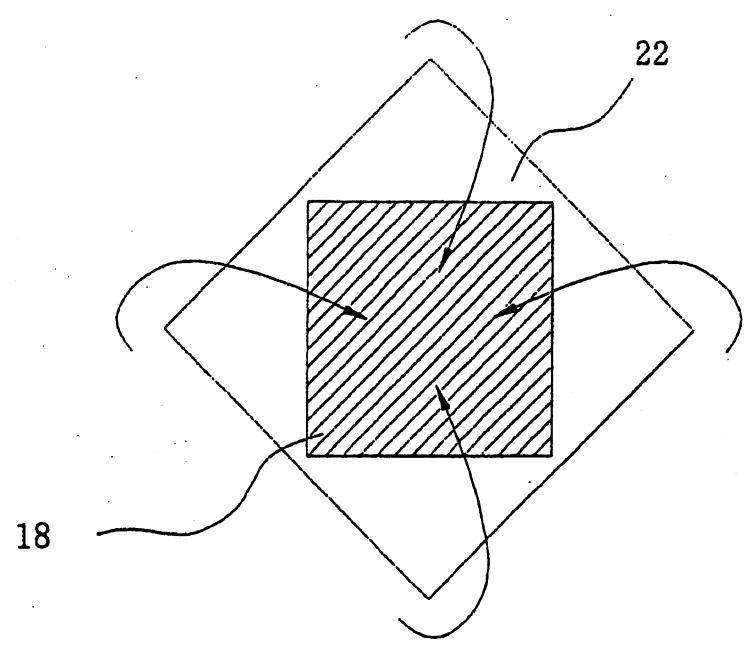
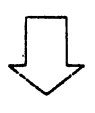


圖 4(a)



74 →

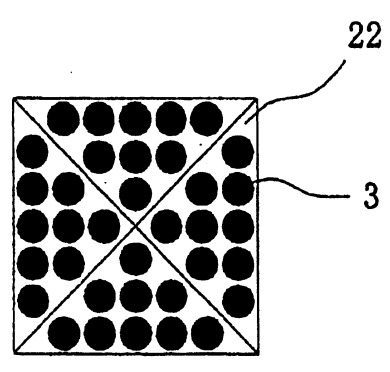


圖 4(b)

圖式

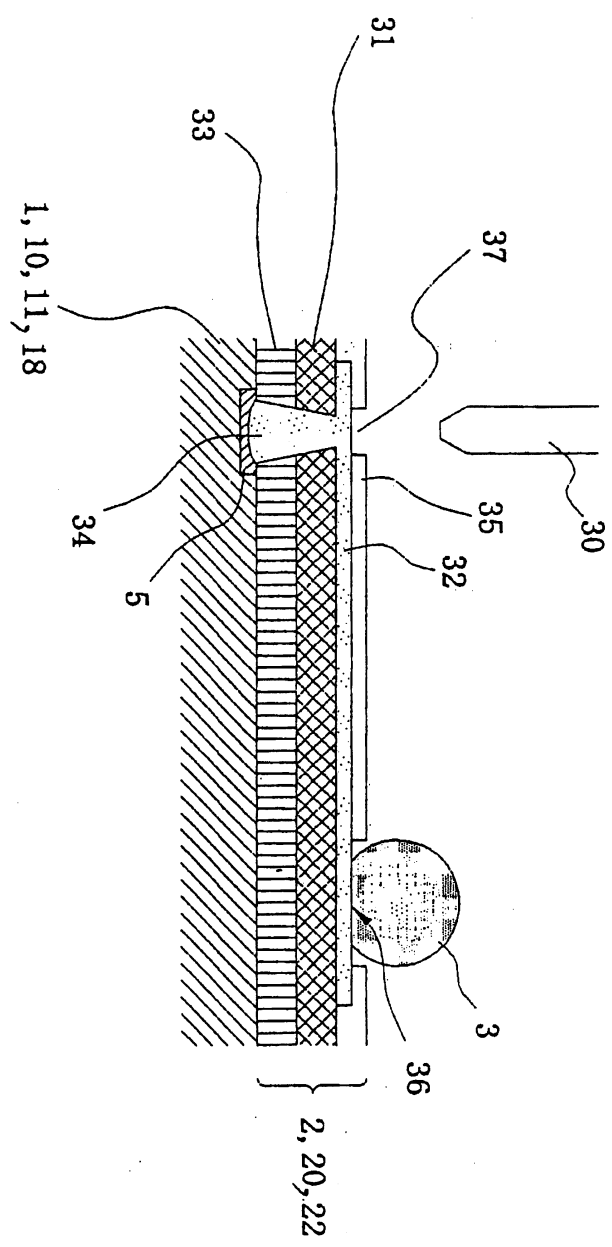


圖 5

圖式

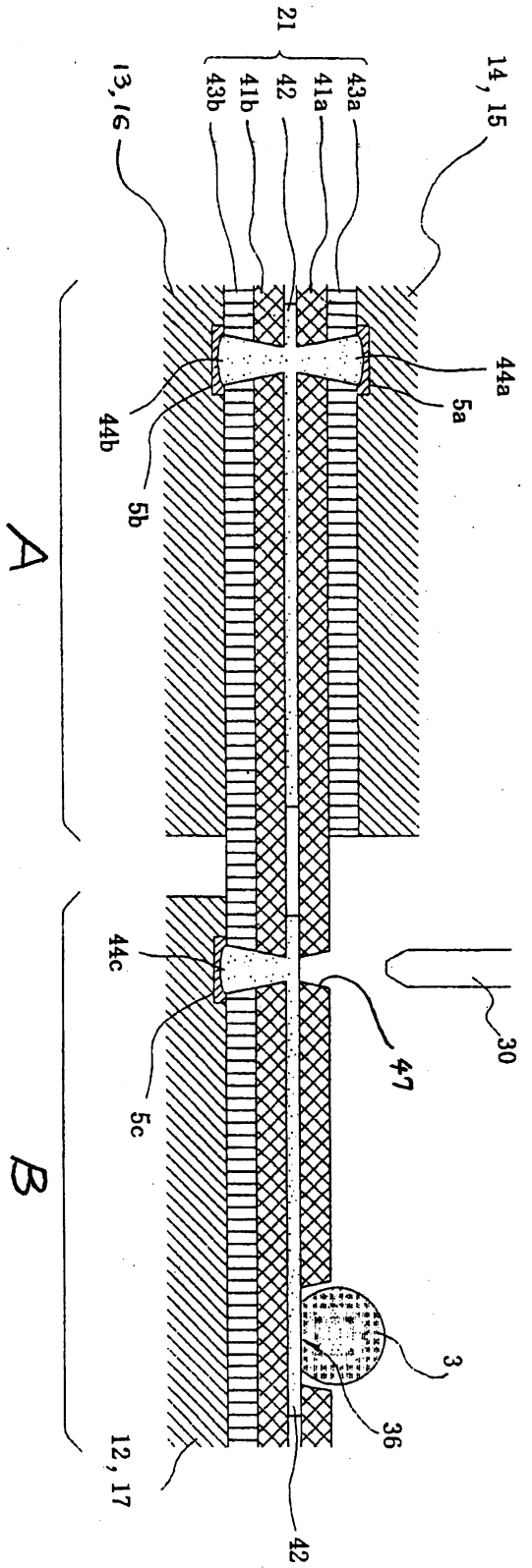


圖 6

圖式

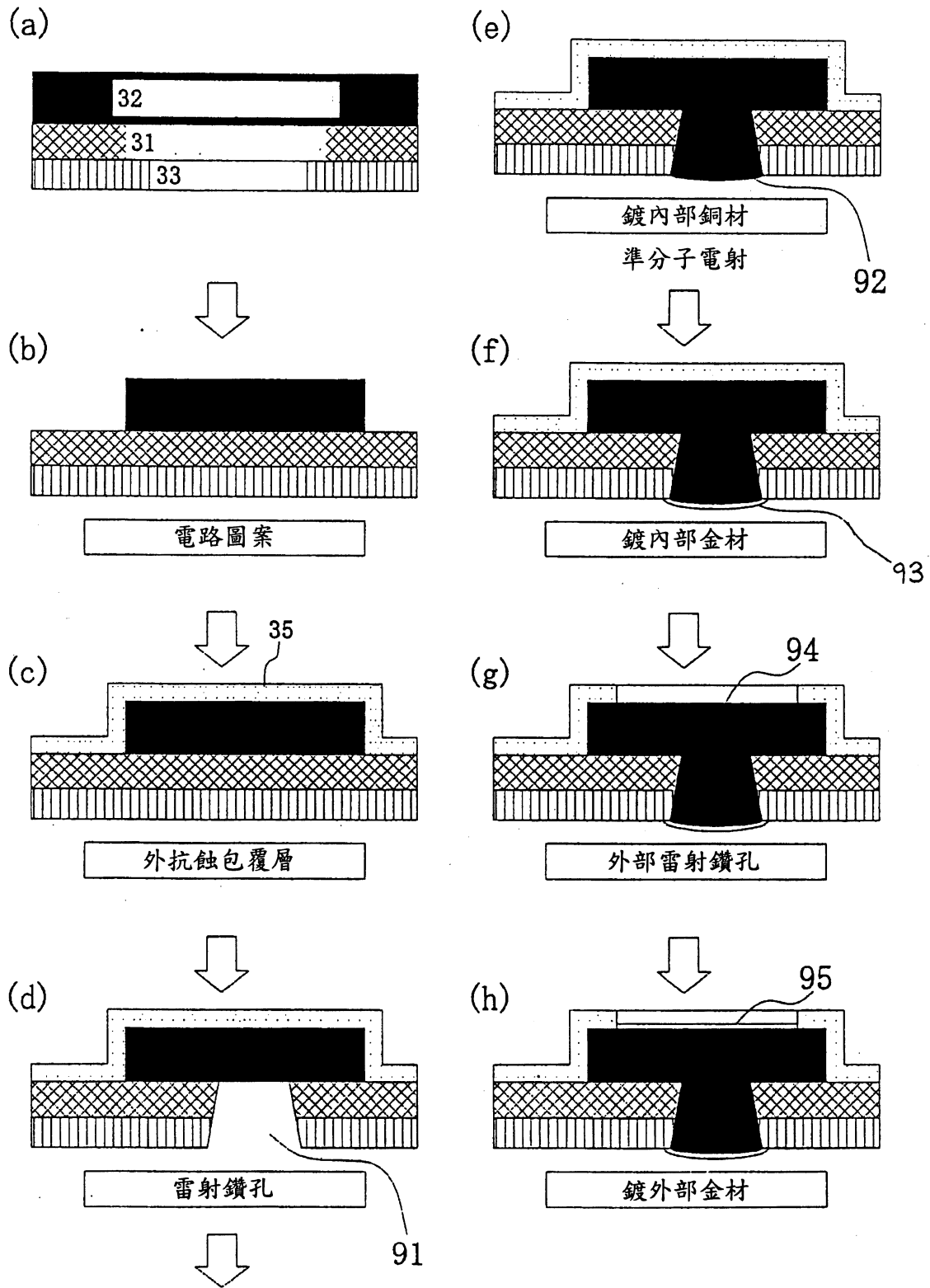


圖 7

圖式

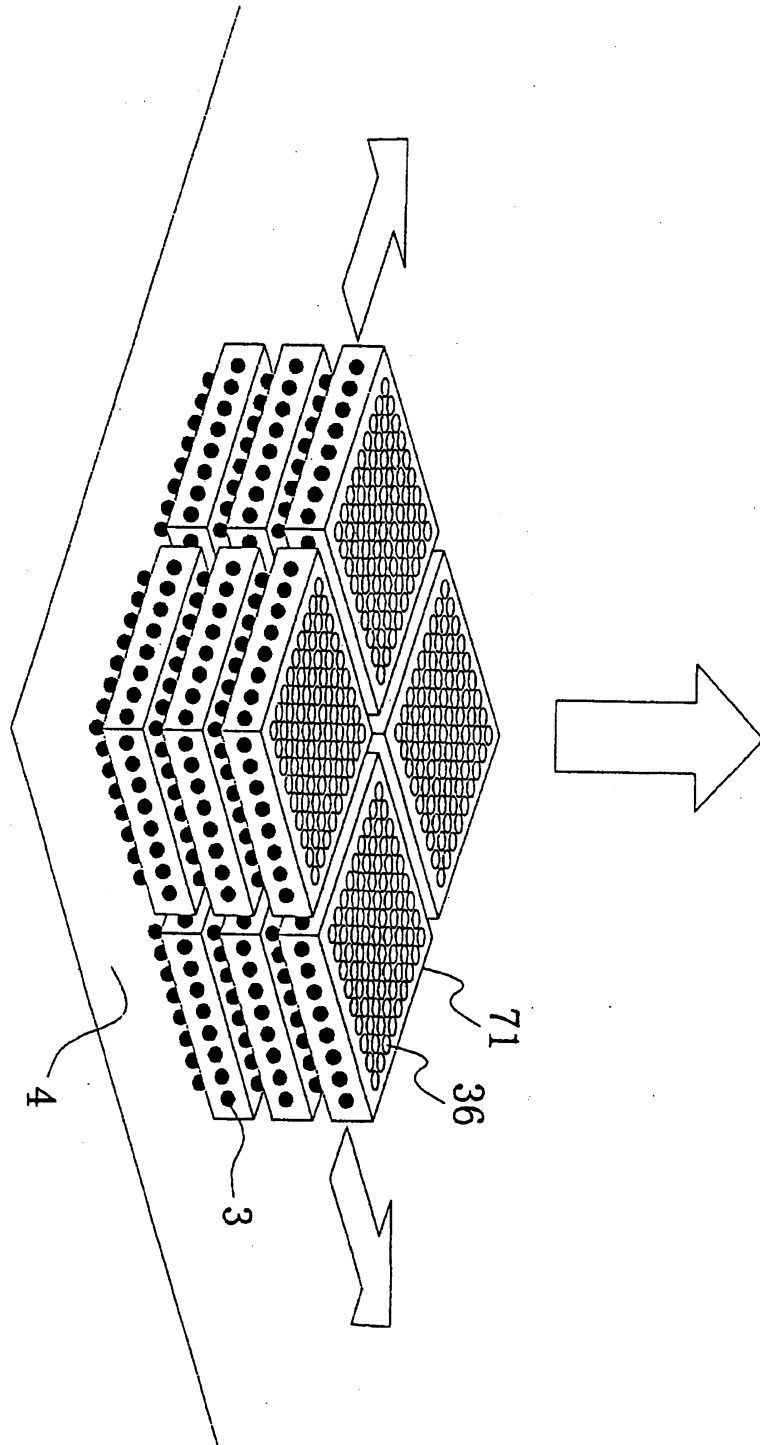


圖 8