



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/108 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월14일 10-0695026 2007년03월08일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2000-0001148 2000년01월11일 2005년01월11일	(65) 공개번호 (43) 공개일자	10-2000-0053454 2000년08월25일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장	60/115526 60/115529 60/115531 09/388682	1999년01월12일 1999년01월12일 1999년01월12일 1999년09월02일	미국(US) 미국(US) 미국(US) 미국(US)
------------	--	--	--------------------------------------

(73) 특허권자      루센트 테크놀로지스 인크  
                          미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)

(72) 발명자            엘러스글렌비  
                          미국캘리포니아산타크루즈레드우드드라이브1771(우편번호95060)

최성무  
미국플로리다올랜드질레스플레이스스트리트7927(우편번호32835)

머천트세일레시맨신  
미국플로리다올랜드바인랜드옥스불바르8214(우편번호32835)

로이프라딕쿠마르  
미국플로리다올랜드히든아이비코트7706(우편번호32819)

(74) 대리인            이병호  
                          장훈  
                          신현문  
                          이범래

심사관 : 조지은

전체 청구항 수 : 총 10 항

(54) 이중 다마스크 캐패시터를 갖는 집적 회로 디바이스 및 관련 제조 방법

(57) 요약

집적 회로 디바이스는 내부에 개구를 갖는 유전체층과, 상기 개구를 라이닝(lining)하는 하부 전극과 상기 하부 전극에 인접한 캐패시터 유전체층과 상기 캐패시터 유전체층에 인접한 상부 전극을 적층한 캐패시터를 포함한다. 상기 캐패시터는 상기 유전체층의 인접 상부 표면 부분들과 거의 동일 높이의 실질적으로 평면인 상부 표면을 갖는다. 또한, 상기 하부 전극

과 상기 캐패시터 유전체층의 에지들은 바람직하게는, 상기 캐패시터의 상부 표면에서 종결(terminate)한다. 또한, 상기 캐패시터 유전체는 높은 k, 고품질 및 낮은 누설 유전체를 포함할 수 있으며, 상부 및 하부 금속 전극들의 금속에 의해 캐패시터 유전체의 화학 반응을 방지한다.

**대표도**

도 1

**특허청구의 범위**

**청구항 1.**

집적 회로 디바이스로서,

반도체 기판;

상기 반도체 기판에 인접하고, 내부에 개구를 갖는 유전체층으로서, 상기 유전체층은 상기 반도체 기판에 인접한 하부 유전체층 부분과, 상기 하부 유전체층 부분상의 에칭 스톱층(etch stop layer)과, 상기 에칭 스톱층상의 상부 유전체층 부분을 포함하고, 상기 개구는 상기 에칭 스톱층 및 상기 상부 유전체층 부분내에 상부와, 상기 하부 유전체층 부분내에 하부를 구비하는, 상기 유전체층; 및

상기 개구를 라이닝(lining)하는 하부 전극과, 상기 하부 전극에 인접한 캐패시터 유전체층과, 상기 캐패시터 유전체층에 인접한 상부 전극을 적층된 관계로 구비하는 캐패시터로서, 상기 캐패시터는 상기 유전체층의 인접한 상부 표면부들과 실질적으로 동일 높이의 실질적으로 평면의 상부 표면을 갖는, 상기 캐패시터를 포함하는, 집적 회로 디바이스.

**청구항 2.**

제 1 항에 있어서, 상기 하부 전극과 캐패시터 유전체층의 에지들은 상기 캐패시터의 상부 표면에서 종결(terminate)하는, 집적 회로 디바이스.

**청구항 3.**

삭제

**청구항 4.**

삭제

**청구항 5.**

삭제

**청구항 6.**

삭제

**청구항 7.**

제 1 항에 있어서, 상기 상부의 폭은 상기 하부의 폭보다 더 큰, 집적 회로 디바이스.

**청구항 8.**

제 1 항에 있어서, 상기 상부 금속 전극은 상기 캐패시터 유전체층에 인접한 배리어 금속층과 상기 배리어 금속층에 인접한 구리층을 포함하는, 집적 회로 디바이스.

**청구항 9.**

제 8 항에 있어서, 상기 배리어 금속층은 탄탈 질화물(tantalum nitride)을 포함하는, 집적 회로 디바이스.

**청구항 10.**

제 1 항에 있어서, 상기 상부 및 하부 금속 전극들 각각은 탄탈 질화물을 포함하는, 집적 회로 디바이스.

**청구항 11.**

제 1 항에 있어서, 상기 캐패시터 유전체층은 약 25 보다 큰 유전 상수를 갖는, 집적 회로 디바이스.

**청구항 12.**

제 1 항에 있어서, 상기 캐패시터 유전체는 제 1 금속 산화물층, 상기 제 1 금속 산화물층 상의 탄탈 산화물층, 상기 제 1 금속 산화물층 반대쪽의 상기 탄탈 산화물층 상의 제 2 금속 산화물층을 포함하고, 상기 상부 및 하부 금속 전극들 각각은 금속 질화물을 포함하는, 집적 회로 디바이스.

**청구항 13.**

제 12 항에 있어서, 제 1 및 제 2 금속 산화물층들 각각은 티타늄 산화물을 포함하는, 집적 회로 디바이스.

**청구항 14.**

제 12 항에 있어서, 상기 상부 및 하부 금속 전극층들 각각은 티타늄 질화물을 포함하는, 집적 회로 디바이스.

**청구항 15.**

삭제

**청구항 16.**

삭제

**청구항 17.**

삭제

**청구항 18.**

삭제

**청구항 19.**

삭제

청구항 20.

삭제

청구항 21.

삭제

청구항 22.

삭제

청구항 23.

삭제

청구항 24.

삭제

청구항 25.

삭제

청구항 26.

삭제

청구항 27.

삭제

청구항 28.

삭제

청구항 29.

삭제

청구항 30.

삭제

청구항 31.

삭제

청구항 32.

삭제

청구항 33.

삭제

청구항 34.

삭제

청구항 35.

삭제

청구항 36.

삭제

**청구항 37.**

삭제

**청구항 38.**

삭제

**청구항 39.**

삭제

**청구항 40.**

삭제

**청구항 41.**

삭제

**청구항 42.**

삭제

**명세서****발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본원은 1999년 1월 12일에 출원되었으며 현재 계류중인 가출원 제 60/115,526, 60/115,529, 60/115,531호에 기초하고 있다.

본 발명은 집적 회로들에 관한 것으로, 특히, 캐패시터들을 갖는 집적 회로 디바이스에 관한 것이다.

캐패시터들은 집적 회로들(IC들)과 같은 반도체 디바이스들에서 전하를 저장하기 위해 사용된다. 다이내믹 랜덤 액세스 메모리(DRAM)와 같은 IC들에서, 캐패시터는 메모리 셀 내에서 기억에 사용된다. 통상적으로, IC들에 형성된 캐패시터들은 예를 들어, 다결정의 실리콘(폴리실리콘)으로 이루어진 하부 전극과, 예를 들어 탄탈 펜톡사이드(tantalum pentoxide) 및/또는 바륨 스트론튬 티탄테이트(barium strontium titanate)로 이루어진 유전체층과, 예를 들어 티타늄 질화물, 티타늄, 텅스텐, 플라티늄 또는 폴리실리콘으로 이루어진 상부 전극을 포함한다.

최근, 반도체 메모리 디바이스의 개발은 높은 패키징 밀도를 요구하고 있어, DRAM 기억 셀의 캐패시터가 차지하는 영역이 축소되고, 이에 따라 표면적이 작아져서 캐패시터의 정전용량이 감소된다. 그러나, 메모리 셀을 판독하는데 큰 신호대 잡음비를 얻기 위해서는 비교적 큰 정전용량이 요구된다. 따라서, 셀의 크기를 축소하고 높은 정전용량을 얻는 것이 바람직하다. 이것은 예를 들면, 금속 전극 캐패시터로 달성할 수 있다. 또한 DRAM과 같은 고집적 메모리 디바이스는 데이터 기억 캐패시터에 대해 아주 얇은 유전체막을 요구한다. 이 조건을 만족하기 위하여, 상기 캐패시터 유전체 막의 두께는 2.5nm 이하로 한다. 종래의 SiO<sub>2</sub> 또는 Si<sub>3</sub>N<sub>4</sub> 층 대신에 더 높은 유전율을 갖는 재료, 예를 들어 Ta<sub>2</sub>O<sub>5</sub>의 얇은 층을 이용하면 원하는 성능을 얻기가 용이해진다.

Ta<sub>2</sub>O<sub>5</sub>의 유전 상수(k)가 종래의 Si<sub>3</sub>N<sub>4</sub> 캐패시터 유전체 층의 약 3배이므로, 화학 기상 증착된(CVD) Ta<sub>2</sub>O<sub>5</sub> 필름이 상기 목적을 위한 유전체 층으로서 사용될 수 있다. 그러나, Ta<sub>2</sub>O<sub>5</sub>의 한가지 단점은 누설 전류 특성이 양호하지 못하다는 것이다. 따라서, Ta<sub>2</sub>O<sub>5</sub> 재료가 본래 높은 유전 성질을 갖고 있다 하더라도, Ta<sub>2</sub>O<sub>5</sub>는 통상적으로 누설 전류로 인해 양호하지 못한 결과를 가져온다. 예를 들면, 파커(Park) 등의 미국 특허 제 5,780,115호는 티타늄 질화물(TiN)로 이루어진 전극 층과

집적 회로 캐패시터를 위한 유전체로서 Ta<sub>2</sub>O<sub>5</sub>를 사용한 것을 개시하고 있다. 그러나, 600°C 보다 높은 온도에서, TiN 층에서 티타늄이 유전체층의 Ta<sub>2</sub>O<sub>5</sub>를 탄탈 원소로 환원시키는 경향이 있기 때문에, 이러한 타입의 층으로 이루어진 구조는 안정성 문제를 갖는다.

통상적으로, 반도체 디바이스의 두 컨덕터 사이의 상호접속은 예를 들면, 제 1 및 제 2 금속 라인들 사이의 접속을 위해 텅스텐 플러그와 같은 플러그 구조로 제공된다. 이러한 구조들은 세계의 공정 단계들을 요구하는데, 그 중 한 단계는 두 개의 컨덕터들 각각의 형성에 대한 것이고, 다른 한 단계는 텅스텐 구조의 형성에 대한 것이다. 또한, 전도성 접촉 및 상호접속과 같은 금속화 패턴들(metallization patterns)에 대해 구리 및 구리 합금들을 이용하는 것이 반도체 디바이스 제조업자들의 관심을 모으고 있다. 알루미늄에 비해서 구리는 양호한 일렉트로마이그레이션 저항과 약 1.7 ohm cm의 비교적 낮은 전기저항률을 갖는다. 그러나, 불행히도 구리는 에칭이 어렵다. 결국, 상기 공정 단계들을 간단히 하고 금속 에칭 단계를 제거하여 구리 상호접속을 형성하기 위해 이중 다마스크 공정이 개발되었다. 이중 다마스크 공정은 또한 알루미늄 상호접속에도 이용된다.

이중 다마스크 구조는 하부 컨덕터와 접촉하고 종래 상호접속 구조에서 플러그 구조의 기능을 대체하는 바닥부 또는 비아를 갖는다. 이중 다마스크 구조는 또한 제 2 컨덕터의 형성에 사용되는 상부(top portion) 또는 트렌치를 갖는다. 이중 다마스크 구조의 바닥부 및 상부는 서로 접촉하고 있기 때문에, 이들은 동일한 전도성 재료, 예를 들면, 구리로 동시에 충전(filled)될 수 있다. 이렇게 하면, 플러그 구조와 개별 공정 단계들에서의 전도층을 형성할 필요가 없게 된다.

통상적으로, 이중 다마스크 공정에서, 캐패시터는 제 1 전도층을 증착하고, 그 사이에 유전체를 형성하고, 제 2 전도층을 형성하고, 상기 층 구조를 패턴 및 에칭하여 개별적인 레벨로 형성된다. 상기 도전층들은 통상적으로 예를 들면, 폴리실리콘 또는 티타늄 질화물로 형성된다. 그 다음에 산화물이 상기 캐패시터 상에 형성되어 상기 캐패시터 상의 표면 토포그래피들을 형성한다. 이것은 그 다음 층이 형성되기 전에 산화물층들을 평탄화하기 위해 기계화학적 폴리싱(CMP)을 필요로 한다.

따라서, 캐패시터를 제조하는 종래의 공정은 CMP 단계와 전도층의 에칭으로 인해 부가적인 시간을 요한다. 또한, 금속 전극을 갖는 캐패시터, 즉, 금속-절연체-금속(MIM) 캐패시터를 형성하면, 상기 필수적인 금속 에칭 단계는 상기 이중 다마스크 공정과 완전히 양립하지 않는다. 즉, 전술한 바와 같이, 이중 다마스크 공정은 금속 에칭을 회피하기 위해 이용되며, 따라서, 이중 다마스크 공정 내에서 금속 에칭 단계를 이용하는 것은 바람직하지 못하다.

### 발명이 이루고자 하는 기술적 과제

이상으로부터 알 수 있듯이, 이중 다마스크 공정(damascene process)과 양립하는 고농도 금속 전극 캐패시터의 집적이 필요하다. 또한, 높은 k, 고품질 및 낮은 누설 유전체를 가지며, 상기 전극의 금속에 의해 상기 유전체의 환원을 방해하는 상기 금속 전극 캐패시터를 위한 캐패시터 유전체가 필요하다.

따라서, 전술한 배경을 감안한 본 발명의 목적은, 금속 전극들을 갖는 고밀도 캐패시터를 포함하며 이중 다마스크 공정과 양립하는 집적 회로 디바이스를 제공하는 것이다.

본 발명의 다른 목적은 금속 전극을 갖는 고밀도 캐패시터를 포함하는 이중 다마스크 공정으로 집적된 회로 디바이스의 제조 방법을 제공하는 것이다.

또한, 본 발명의 다른 목적은 금속 전극에 대해 상기 전극의 금속에 의해 유전체의 환원을 방해하는 높은 k, 고품질 및 낮은 누설 유전체인 캐패시터 유전체를 제공하는 것이다.

### 발명의 구성

본 발명에 따른 상기 및 다른 목적들, 특징들 및 이점들은 반도체 기판에 인접해 있고 그 내부에 개구를 갖는 유전체층과, 상기 개구를 채우는 하부 전극과 상기 하부 전극에 인접한 캐패시터 유전체층과 상기 캐패시터 유전체층에 인접한 상부 전극을 적층한 캐패시터를 포함하는 집적 회로에 의해 제공된다. 상기 캐패시터는 상기 유전체층의 인접한 상부 표면 부분들과 거의 동일 높이의 실질적으로 평면의 상부 표면을 갖는다. 또한, 상기 하부 전극 및 캐패시터 유전체층의 에지들은 상기 캐패시터의 상부 표면으로 그 경계가 한정된다.

또한, 상기 개구는 상기 개구의 최상부로부터 최하부까지 개구의 측벽들 사이에 거의 균일한 폭을 가질 수도 있다. 그리고, 개구는 하부 및 상부를 가지며, 상부의 폭은 하부의 폭보다 크다. 또한, 유전체층은 하부 유전체층 부분과, 에칭 스톱층과, 상부 유전체층 부분을 포함할 수도 있다. 따라서, 상기 개구의 상부는 상부 유전체층 부분과 에칭 스톱층 내에 있고, 상기 개구의 하부는 하부 유전체층 부분 내에 있다.

또한, 상부 금속 전극은 상기 캐패시터 유전체층에 인접한 배리어 금속층과 상기 배리어 금속층에 인접한 구리층을 포함할 수 있다. 상기 배리어 금속층은 탄탈 질화물(tantalum nitride)을 포함할 수도 있고 상기 상부 및 하부 금속 전극은 탄탈 질화물을 포함할 수도 있다.

또한, 캐패시터 유전체층은 양호하게는 약 25 보다 큰 유전 상수를 갖는다. 상기 캐패시터 유전체는 제 1 금속 산화물층과, 탄탈 산화물층과, 제 2 금속 산화물층을 적층 관계로 포함할 수도 있다. 또한, 각각의 상부 및 하부 금속 전극들은 금속 질화물을 포함할 수도 있다.

본 발명에 따른 이점은 또한 반도체 기판에 인접한 유전체층의 개구 내에 집적 회로 캐패시터를 제조하는 방법에 의해 제공된다. 특히, 상기 방법은 상기 유전체층 내의 개구를 라이닝하여 하부 금속 전극을 형성하는 단계와, 상기 하부 금속 전극을 덮어 캐패시터 유전체를 형성하는 단계와, 상기 캐패시터 유전체층을 덮어 상부 금속 전극을 형성하는 단계와, 상기 캐패시터의 상부 표면을 평탄화하여 상기 유전체층의 인접한 상부 표면 부분들과 동일 평면이 되게 하는 단계를 포함한다. 상기 형성 및 평탄화 단계는 양호하게는 하부 전극 및 캐패시터 유전체층을 형성하고 평탄화하여 상기 캐패시터의 상부 표면으로 그 경계를 한정하는 단계를 포함한다.

이하, 본 발명의 양호한 실시예를 나타낸 첨부된 도면들을 참조하여 본 발명을 상세히 설명한다. 그러나, 본 발명은 다양한 형태로 실시될 수 있으며, 본 명세서에 개시된 실시예들에 한정되는 것은 아니다. 오히려, 이들 실시예들은 본 발명의 개시가 완전하도록 제공되며, 또한 상기 개시가 당업자들에게 본 발명의 영역을 완전히 전달할 수 있도록 제공된다. 명세서 전반에 기재된 유사 참조번호는 유사한 부분을 지칭하는 것이다. 층들 및 영역들의 크기는 명확성을 위하여 도면들에서 다소 과장될 수도 있다.

도 1을 참조하여, 본 발명에 따라서 반도체 기판(30)상에 형성된 금속 전극 캐패시터(24)를 포함하는 집적 회로 디바이스(20)를 설명한다. 반도체 기판(30)은 양호하게는 실리콘이며, 실리콘층 또는 폴리실리콘층 또는 기판 상에 형성된 구조일 수도 있다. 트랜지스터들(도시되지 않음)과 같은 복수의 디바이스들이 공지된 기술들을 이용하여 상기 기판(30)에 형성된다. 상기 집적 회로 디바이스(20)는 상기 기판(30)에 인접한 제 1 유전체층(32)을 포함한다. 상기 제 1 유전체층은 임의의 적절한 유전체, 예를 들면, 실리콘 디옥사이드, 실리콘 질화물 또는 원하는 유전 상수를 갖는 임의의 재료 또는 금속 합금으로 형성된다. 본 발명의 캐패시터 및 상호 접속 구조의 형성에 영향을 미치지 않는 한, 다른 적절한 재료들로는 예를 들면, 펜톡사이드와 바륨 스트론튬 티탄테이트를 들 수 있다.

상기 제 1 유전체층(32)은 상호접속부(34)와 함께 도 1에 도시되어 있다. 상기 제 1 유전체층(32) 및 상호접속부(34)는 집적 회로 디바이스의 하부 레벨의 일례를 나타낸다. 당업자라면 복수의 상호접속부 및 접속부가 디바이스 전체에 그리고 디바이스내의 다수의 레벨에 존재한다는 것을 알 수 있을 것이다. 접속부는 하부 금속 라인의 어떤 부분을 노출시켜 전기 접속부가 그 라인에 형성되도록 동일 평면의 유전체층 내에 형성된 개구이다. 일반적으로, 전도성 접속부는 상기 접속부 내에 형성되어 하부 금속 라인을 그 다음에 형성된 상부 금속 라인과 접속한다.

집적 회로 디바이스(20)는 제 2 유전체층(38) 및 제 3 유전체층(42)을 더 포함한다. 제 2 및 제 3 유전체층(38, 42)은 에칭 스톱층(40)에 의해 분리되어 있다. 또한, 제 2 및 제 3 유전체층(38, 42)은 당업자라면 쉽게 알 수 있듯이, 원하는 유전 상수를 갖는 어떠한 적절한 유전체로부터 형성된다. 에칭 스톱층(40)은 통상적으로 실리콘 질화물로부터 형성되고 종래의 기술들에 의해 증착된다.

캐패시터(24)는 하부 전극(44), 유전체(46), 상부 전극(48, 50)을 포함한다. 하부 전극(44)은 예를 들면, 탄탈 질화물, 티타늄 질화물 또는 텅스텐 질화물과 같은 전도성 금속으로 형성된다. 캐패시터 유전체(46)는 예를 들면, 실리콘 옥사이드, 실리콘 질화물, 탄탈 옥사이드 또는 원하는 유전 상수를 갖는 합성 유전체로 형성된다. 상기 캐패시터(24)는 제 3 유전체층(42)의 상부 표면과 거의 동일 높이의 거의 평평한 상부 표면을 갖는다. 또한, 하부 금속(44) 전극의 가장자리와 캐패시터 유전체(46)는 상기 캐패시터의 상부 표면에서 한정된다. 양호하게는, 상기 캐패시터 유전체(46)가 원하는 캐패시터 특성을 얻기 위해 약 25 보다 큰 유전 상수를 갖는다. 상기 상부 전극은 전도성 금속층(48) 및 전도성 금속층(50)을 포함한다.

상기 전도성 금속층(48)은 예를 들면 탄탈 질화물로 형성될 수 있고, 전도성 금속층(50)은 구리로 형성될 수 있다. 전도성 금속층(48)은 또한 배리어층으로 작용하여 금속 전도층(50)으로부터 유전체(46)로 예를 들면, 구리와 같은 금속의 확산을 억제할 수 있다.

전술한 바와 같이, 본 발명의 집적 회로 디바이스(20)는 금속 전극(44, 48, 50)을 가지며 이중 다마스크 구조와 양립하고 이중 다마스크 구조로 집적된 고밀도 캐패시터(24)를 제공한다. 따라서, 캐패시터(24)는 다른 이중 다마스크 구조와 동일한 레벨에 위치할 수도 있다.

도 2에서, 캐패시터(24)는 제 1, 제 2, 제 3 금속 산화물층(64, 66, 68)으로 이루어진 높은 k 합성 유전체 스택(46)을 포함한다. 제 1 및 제 3 금속 산화물층들(64, 68)은  $TiO_2$ ,  $ZrO_2$ ,  $RuO_2$ 와 같은 비교적 높은 유전 상수를 갖는 금속 산화물을 포함한다. 제 2 금속 산화물층(66)은  $Ta_2O_5$ 로 형성될 수 있다.

캐패시터(24)는 TiN과 같은 금속 질화물을 포함하는 금속 전극(44, 48)을 포함하는데, 상기 티타늄은 제 2 금속 산화물층(66)의 금속 산화물을 파괴하거나 예를 들면, 탄탈 원소로 환원시킬 수 있다. 그러나, 높은 k의 제 1 및 제 3 금속 산화물(64, 68)이 전극(44, 48)의 금속에 의해 제 2 금속 산화물층(66)의 금속 산화물의 파괴 또는 화학 반응을 막는다. 따라서, 금속 전극(44, 48)을 갖는 캐패시터는 높은 k를 가지며, 고품질이며 낮은 누설 유전체로서, 상기 전극들(44 및 48)의 금속에 의해 유전체(46)의 화학 반응을 방지하는 캐패시터 유전체(46)를 포함한다.

다음은 도 3 내지 8을 참조하여 본 발명에 따라서 반도체 기판(30) 상에 형성된 캐패시터를 포함하는 집적 회로 디바이스(20) 제조를 위한 이중 다마스크 공정을 설명한다. 도 2에 도시된 바와 같이, 반도체 기판(30)이 제공되고, 제 1 유전체층(32)이 종래 기술에 의해 반도체 기판에 인접하게 형성된다. 전술한 바와 같이, 반도체 기판(30)은 양호하게는 실리콘이다.

트랜지스터와 같은 복수의 디바이스들(도시되지 않음)은 공지된 기술을 이용하여 기판(30)에 형성된다. 반도체 기판(30) 및 다른 관련 층들은 당업자들에게 알려져 있는 반도체 웨이퍼를 형성한다. 제 1 유전체층(32)은 다른 공지된 유전체 및 실리콘 디옥사이드로 형성될 수 있다. 물론, 제 1 유전체층(32)이 증착되거나 성장할 수도 있다. 또한, 제 1 유전체층(32)은 상호접속부(34)를 포함한다. 상호접속부(34)는 제 1 유전체층(32) 내에 에칭된 트렌치에 전도성 금속, 예를 들면, 알루미늄 또는 구리를 증착하여 형성된다. 제 1 유전체층(32) 및 상호접속부(34)는 집적된 회로 디바이스의 하부 레벨의 예를 나타낸다.

제 2 유전체층(38)은 제 1 유전체층(32) 및 상호 접속부(34)에 인접하게 형성된다. 그 다음에 에칭 스톱층(40)이 제 2 산화물층(38) 상에 형성된다. 그 다음에 제 3 유전체층(42)이 에칭 스톱층(40)에 인접하게 형성된다. 그 다음에, 당업자라면 쉽게 이해할 수 있듯이, 상기 제 2 및 제 3 유전체층들(38, 42)이 원하는 유전 상수를 갖는 임의의 적절한 유전체로부터 형성되어 증착되거나 성장한다. 상기 에칭 스톱층(40)은 통상적으로 실리콘 질화물로부터 형성되어 종래의 기술로 증착된다. 상기 비전도성 실리콘질화물 에칭 스톱층(40)은 통상적으로 600 °C 내지 900 °C 사이의 온도들에서 CVD를 이용하여 관련 유전체층, 예를 들면, 제 2 유전체층(38)상에 증착된다.

도 4에 도시된 바와 같이, 제 1 개구(56)는 제 3 유전체층(42) 및 에칭 스톱층(40)을 통하여 선택적으로 형성된다. 여기서는 제 3 유전체층(42)의 에칭 다음에 에칭 스톱층(40)의 에칭에 관해 설명하지만, 당업자라면 쉽게 알 수 있듯이, 제 3 유전체층 및 에칭 스톱층을 에칭하는 다른 에칭 단계들이 이용될 수 있다. 또한, 에칭 스톱층을 사용할 수 있거나 또는 사용할 수 없는 이중 다마스크 공정이 공지되어 있음을 당업자들은 인식하고 있을 것이다. 개구(56)는 하기에 설명하는 바와 같이 캐패시터를 형성하는데 사용된다.

도 5에 도시된 바와 같은 다마스크 공정에서 잘 알려져 있듯이, 적어도 제 2 개구(60)가 제 1 개구(56)에 의해 한정된 경계 내의 제 2 유전체층(38)에서 에칭된다. 점선(58)으로 표시된 포토 레지스트를 이용하여 제 2 개구(60)를 형성한다. 그 다음에 공지된 방법으로 상기 포토 레지스트가 제거된다. 도시된 바와 같이, 개구(60)는 상이한 층들 사이의 접속부를 형성하는 개구로 나타나며, 이는 당업자들에게 공지되어 있다. 그러나, 개구(60)가 일례로서 개구(56)보다 더 좁은 폭을 갖는 것으로 도시되어 있지만, 이 개구(60)는 개구(56)와 동일한 폭을 갖도록 형성될 수도 있다.

도 6에서, 예를 들어 탄탈 질화물, 티타늄 질화물 또는 텅스텐 질화물과 같은 배리어 금속이 증착되어 하부 전극(44)을 형성한다. 그 다음에, 캐패시터 유전체(46)가 증착 또는 에피택셜 성장에 의해 형성된다. 캐패시터 유전체(46)는 적절한 유전체 재료, 예를 들면, 실리콘 옥사이드, 실리콘 질화물, 탄탈 옥사이드 또는 원하는 유전 상수를 갖는 합성 유전체로 형성된다. 양호하게는, 캐패시터 유전체(46)는 원하는 캐패시터 특성을 얻기 위해 약 25 보다 큰 유전 상수를 갖는다. 그 다음에,



예를 들어 탄탈 질화물, 티타늄 질화물 또는 텅스텐 질화물과 같은 배리어 금속층(48)이 증착되어 상부 전극(48/50)의 일부를 형성한다. 도시된 바와 같이, 하부 전극(44), 배리어 금속층(48), 유전체(46)를 형성하는 재료들이 집적 회로 디바이스(20)의 상부 표면 전체를 덮는다.

도 6에서, 전도성 금속층(50), 예를 들면, 전도성 금속층(50)이 개구(56)의 나머지 부분 내에 증착되어, 알루미늄 또는 구리가 상부 전극(48/50)의 일부를 형성하도록 증착된다. 전도성 금속층(50)은 집적 회로 디바이스(20)의 전체 상부 표면 상에 증착될 수도 있다. 전도성 금속층(50)은 당업자에게 잘 알려져 있는 전착, 전기도금 또는 화학 기상 증착 기술에 의해 증착될 수 있다. 물론 전도성 금속층(50)으로서 구리가 사용될 수도 있으며, 구리 시드 층(도시되지 않음)이 상기 금속층(48) 상에 처음에 형성될 수도 있다.

도 7에 도시된 바와 같이, 집적 회로 디바이스의 상부 표면은 예를 들어, CMP를 이용하여 평탄화된다. 캐패시터(24)의 가장자리에서 두 전극(44, 48/50)의 단락을 방지하기 위하여, 캐패시터 유전체(46) 또는 전도성 금속층(50)을 에칭하지 않고 하부 전극(44) 및 배리어 금속층(48) 재료를 각각의 가장자리에서 에칭하는 선택적인 에칭이 행해질 수 있다. 따라서, 하부 전극(44) 및 배리어 금속층(48)의 가장자리에는 전극들(44, 48/50)의 단락을 방지하기 위해 작은 요부(도시되지 않음)가 있을 수도 있다. 도 8을 참조하여 상부 전극(48/50)에 대한 접촉부(90)의 형성을 설명한다. 통상적인 이중 다마스크 금속화 공정은 제 2 에칭 스톱층(70), 제 4 유전체층(72), 제 3 에칭 스톱층(74), 제 5 유전체층(76)의 형성 단계를 수반한다. 에칭 스톱층(40)과 유사한 제 2 에칭 스톱층(70)은 캐패시터(24) 상에 형성되어 상기 캐패시터(24)의 노출된 에지들을 보호한다. 상기 제 2 및 제 3 에칭 스톱층들(70 및 74)은 종래의 기술로 증착되며 일반적으로 실리콘 질화물로 형성되지만, 또한 에칭 스톱층(40)과 상이한 재료일 수도 있다. 제 4 및 제 5 유전체층들(72 및 76)은 원하는 유전 상수를 갖는 임의의 적절한 유전체로 형성되며, 당업자들이 쉽게 알 수 있듯이 증착 또는 성장한다. 개구들(82 및 84)은 층들(70-76)에 선택적으로 형성된다. 개구(82)는 전도성 금속층(50)의 폭보다 더 작은 폭으로 형성된다. 배리어 금속층(78) 및 제 2 전도성 금속층(80)은 증착되어 상부 전극(48/50)을 위한 접촉부(90)를 형성한다.

따라서 캐패시터(24)는 제 3 전극층(42)의 상부 표면부와 거의 동일 평면에 있는 거의 평면인 상부 표면을 갖는다. 또한, 하부 금속(44) 전극 및 캐패시터 유전체(46)의 가장자리는 캐패시터의 상부 표면까지 그 경계가 한정된다. 이상, 금속 전극(44, 48/50)을 가지며 다른 이중 다마스크 구조와 양립하고 합체되는 고밀도 캐패시터(24)를 갖는 본 발명의 집적 회로 디바이스(20)를 제조하기 위한 이중 다마스크 공정을 설명하였다. 본 발명의 공정은 금속 전극들을 갖는 캐패시터를 형성하기 위하여 금속층 에칭 단계 또는 산화물의 CMP를 요구하지 않는다. 또한, 캐패시터 전극들(44 및 48/50)을 위한 접촉부, 예를 들면, 34 및 90의 형성이 또한 이중 다마스크 공정과 양립한다.

또한, 도 9를 참조하여 합성 유전체로서 캐패시터 유전체(46)를 형성하는 공정 단계들을 설명한다.  $TiO_2$ ,  $ZrO_2$ ,  $RuO_2$ 와 같은 비교적 높은 유전 상수를 갖는 금속 산화물을 포함하는 제 1 금속 산화물층(64)이 증착된다. 그러한 금속 산화물은 양호하게는  $TiO_2$ 이다. 그 다음에, 예를 들면 화학 기상 증착 기술을 이용하여  $Ta_2O_5$ 와 같은 제 2 금속 산화물층(66)이 증착된다. 그 다음에 도 9에 도시된 바와 같이 제 3 금속 산화물층(68)이 증착된다. 전술한 바와 같이, 제 3 금속 산화물층(68)은  $TiO_2$ ,  $ZrO_2$ ,  $RuO_2$ 와 같은 비교적 높은 유전 상수를 갖는 금속 산화물을 포함한다. 또한, 이러한 금속 산화물은  $TiO_2$ 가 양호하다.

제 1, 제 2, 제 3 금속 산화물층들(64, 66 및 68)은 높은 k 합성 유전체층(46)을 형성한다. 또한, 도 8에 도시된 바와 같이, 높은 k의 제 1 및 제 3 금속 산화물층(64, 68)은 사전에 연속하여 증착된 금속 전극들(44 및 48)의 금속에 의한 상기 제 2 금속 산화물층(66)의 금속 산화물의 화학 반응을 거의 차단한다.

이들 층들의 두께들은 당업자들이 알고 있듯이 가변할 수도 있다. 예를 들면, 제 1 유전체층(32)이 TEOS 소스 개스로부터 화학 기상 증착(CVD)에 의해 기판 상에 증착될 수 있고 약 400 내지 600 nm 또는 그 이상의 두께를 가질 수 있다. 또한 제 2 및 제 3 유전체층들(38 및 42)이 유사한 두께 범위로 형성될 수 있다. 적절한 실리콘 질화물 에칭 스톱층(40)은 예를 들면, 약 20 내지 150nm의 두께를 가질 수 있다. 물론 이것은 두께의 범위일 뿐이며, 원하는 두께 및 반도체 디바이스의 사용 목적에 따라서 변할 수 있다.

전술한 설명 및 첨부된 도면을 이용하여 본 발명의 수정 및 다른 실시예들이 당업자들에 의해 이루어질 수 있다. 따라서, 본 발명은 개시된 특정 실시예에 한정되는 것이 아니며, 이들 수정 및 실시예들은 첨부된 청구범위에 포함됨을 주지하라.

## 발명의 효과

이상과 같이, 본 발명에 따르면, 금속 전극들을 갖는 고밀도 캐패시터를 포함하며 이중 다마스크 공정과 양립하는 집적 회로 디바이스를 제공할 수 있다.

또한, 본 발명에 따르면, 금속 전극을 갖는 고밀도 캐패시터를 포함하는 이중 다마스크 공정으로 집적된 회로 디바이스의 제조 방법을 제공할 수 있다.

또한, 본 발명에 따르면, 금속 전극에 대해 상기 전극의 금속에 의해 유전체의 환원을 방해하는 높은 k, 고품질 및 낮은 누설 유전체인 캐패시터 유전체를 제공할 수 있다.

### 도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 금속 전극들을 갖는 캐패시터를 포함하는 집적 회로 디바이스의 단면도.

도 2는 본 발명의 다른 실시예에 따른 금속 전극들 및 합성 유전체를 갖는 캐패시터의 단면도.

도 3 내지 8은 본 발명에 따른 캐패시터를 형성하기 위한 이중 다마스크 공정을 예시하는 집적 회로 디바이스의 단면도.

도 9는 도 2의 실시예의 캐패시터 제조 공정을 예시하는 단면도.

\* 도면의 주요 부분에 대한 부호의 설명

20. 기판 24. 캐패시터

30. 기판 32. 제 1 유전층

34. 상호접속부 38. 제 2 유전층

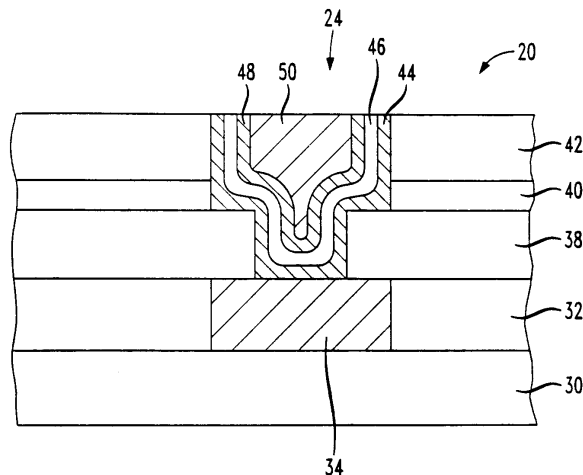
40. 에칭 스톱층 42. 제 3 유전층

44. 하부 금속 46. 캐패시터 유전체

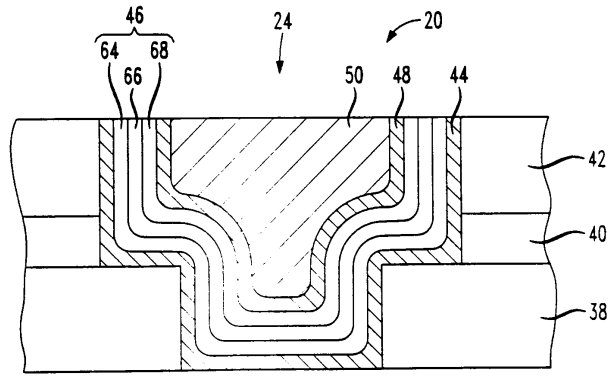
48, 50. 상부 전극

도면

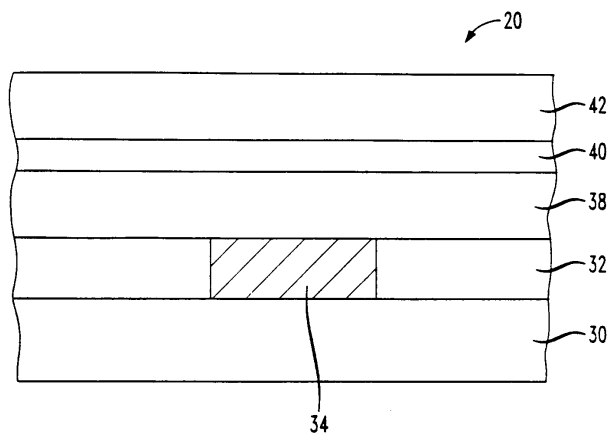
도면1



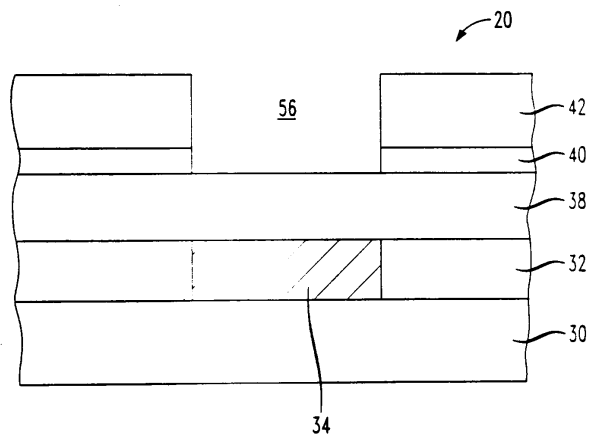
도면2



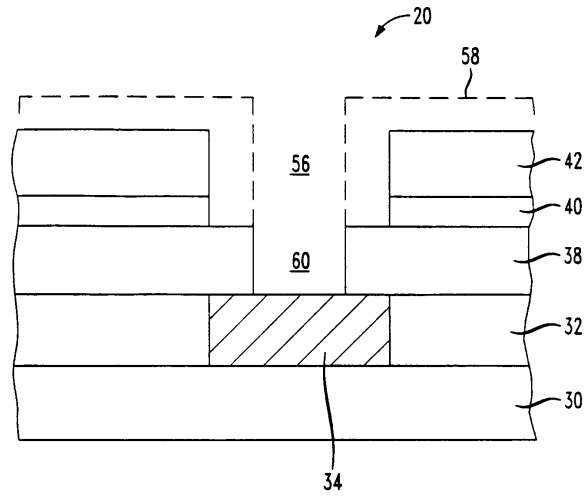
도면3



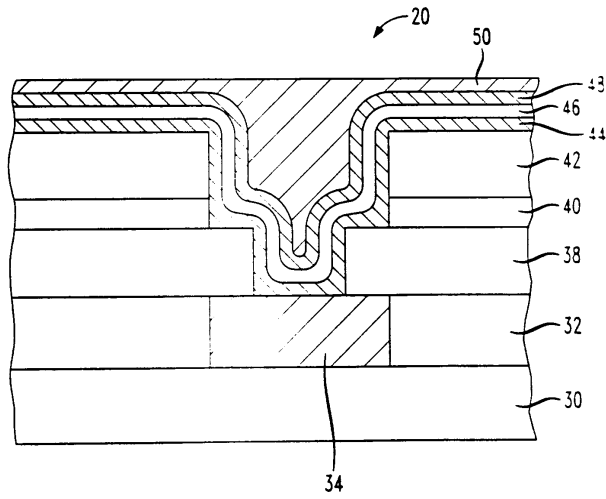
도면4



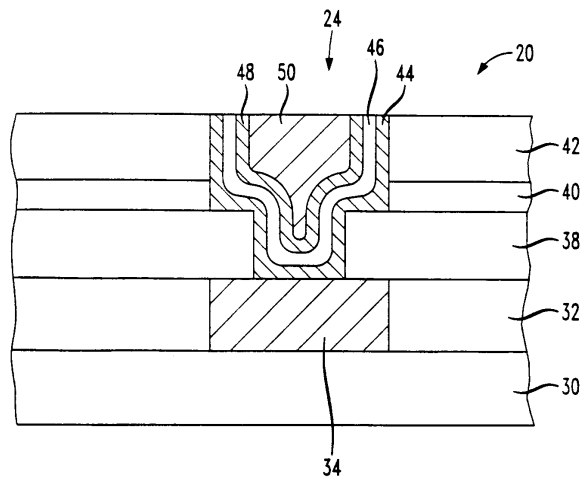
도면5



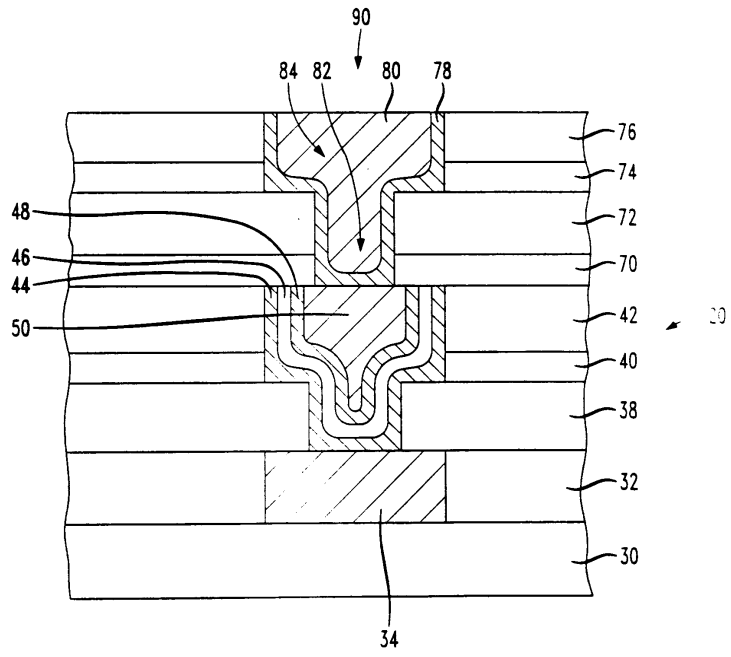
도면6



도면7



도면8



도면9

