# (19) 대한민국특허청(KR)
# (12) 공개특허공보(A)


| | |
|---|---|
| (51) 。Int. Cl. 7<br>H04B 1/06 | (11) 공개번호 특2001-0072299<br>(43) 공개일자 2001년07월31일 |

| | | | |
|---|---|---|---|
| (21) 출원번호 | 10-2001-7001593 | | |
| (22) 출원일자 | 2001년02월06일 | | |
| 번역문 제출일자 | 2001년02월06일 | | |
| (86) 국제출원번호 | PCT/EP1999/05005 | (87) 국제공개번호 | WO 2000/08764 |
| (86) 국제출원출원일자 | 1999년07월15일 | (87) 국제공개일자 | 2000년02월17일 |

(81) 지정국: 국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아-헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 리히텐슈타인, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀랜드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르기즈, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 라이베리아, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크메니스탄, 터어키, 트리니다드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 가나, 감비아, 인도네시아, 시에라리온, 유고슬라비아, 짐바브웨, 크로아티아, 그레나다, 인도, 아랍에미리트, 남아프리카,
AP ARIPO특허: 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 가나, 감비아, 짐바브웨, 시에라리온,
EA 유라시아특허: 아르메니아, 아제르바이잔, 벨라루스, 키르기즈, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크메니스탄,
EP 유럽특허: 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀랜드, 사이프러스,
OA OAPI특허: 부르키나파소, 베넹, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기네, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기네비쏘,

(30) 우선권주장: 09/131,205 1998년08월07일 미국(US)



(71) 출원인: 텔레폰악티에볼라겟엘엠에릭슨(펍)
클라스 노린, 쿨트 헬스트룀
스웨덴왕국 스톡홀름에스-126 25

(72) 발명자: 리프카디트말
독일연방공화국베르그디-92348카스타니엔웨그11

(74) 대리인: 최재철
권동용
박병석
서장찬

심사청구 : 없음

# (54) 무선 주파수 샘플링에 의한 디지털 수신

## 요약

무선 주파수 신호는 시그마-델타 아날로그-디지털 변환기를 사용함으로서 수신되어 샘플링 속도로 무선 주파수 신호를 샘플링하고 이것으로 부터 디지털 중간 주파수 신호를 나타내는 1-비트 디지털 샘플을 발생시킨다. 복조는 중간 주파수 신호를 나타내는 1-비트 디지털 샘플과 코사인 혼합 신호를 나타내는 제 1 시퀀스를 혼합함으로서 제 1 혼합된 신호를 발생시키는 단계; 중간 주파수 신호를 나타내는 1-비트 디지털 샘플과 사인 혼합 신호를 나타내는 제 2 시퀀스를 결합함으로서 제 2 혼합된 신호를 발생시키는 단계; 및, 동위상 및 직교 샘플을 발생시키도록 제 1 및 제 2 혼합된 신호를 부분 제거하는 단계에 의해 수행될 수 있다. 대안 실시예에서, 중간 주파수의 2개의 타임-시프트된 시퀀스를 서브 샘플링하도록 대역 통과 부분 제거 필터링을 사용하므로서, 중간 주파수 신호는 동위상 및 직교 신호로 직접 변환된다. 또 다른 대안 실시예에서, 시그마-델타 아날로그-디지털 변환기는 샘플링을 사용하여 무선 주파수 신호를 제 1 중간 주파수로 변환시키고, 부분 제거 필터가 사용되어 상기 신호를 제 2 중간 주파수로 더 변환시킨다. 그 후, IQ 복조기는 제 2 중간 주파수 신호로 부터 동위상 및 직교 신호를 재구성한다.

## 대표도

도 2

## 색인어

시그마-델타 아날로그-디지털 변환기, 샘플링, 변환기, 복조기

## 명세서

### 기술분야

본 발명은 아날로그-디지털 변환에 관한 것으로서, 특히 무선 주파수 샘플링 속도로 신호를 아날로그-디지털 변환하는 것에 관한 것이다.

### 배경기술

전기 통신의 역할은 오늘날 전세계적으로 계속하여 성장하고 있다. 것은 사업 환경(통신이 매우 필수적인 곳)에서 뿐만 아니라, 개인의 일상 생활에서도 마찬가지다. 이동 통신(예를 들어, 셀룰러 전화 시스템)의 출현으로, 매우 바쁜 사람은 친구 및 가족뿐만 아니라 회사 동료와 연락하기 위해 점점 더 개인 통신 장치에 의존한다는 것을 알게 되었다.

이렇게 증가되는 의존성 때문에, 더욱 융통성 있고 더욱 신뢰성있는 이동 통신 장치를 만드는 드라이브가 꾸준하게 성장하고 있다. 휴대용 통신 장치를 휴대하기에 더욱 편리하고, 재충전 사이의 유효 기간을 증가시키기 위하여, 휴대용 통신 장치의 사이즈 및 전력 소모를 줄이려는 노력은 계속되고 있다.

이러한 목표를 달성하기 위한 노력에서, 디지털 기술이 아날로그 기술을 대신하고 있는 추세이다. 사이즈 및 전력 소비를 줄이려는 목표를 달성하는것 외에, 아날로그 부품이 비선형성, 일그러짐 및 의사 수신과 같은 문제를 상당히 자주 일으키기 때문에, 아날로그 기술을 디지털 기술로 대신하는 것이 서비스의 질을 개선시킨다. 의사 수신은 자신의 더 높은 고조파와 국부 오실레이터의 더 높은 고조파를 혼합함으로서 발생되어, 중간 주파수($f_{IF}$ ) 부근에 신호를 발생시킨다:

$$f_{IF} \approx |m \cdot f_{SP} - n \cdot f_{LO}$$

여기에서, $f_{SP}$ 는 의사 신호의 주파수고, $f_{LO}$ 는 국부 오실레이터 주파수이며, m 및 n 은 각각 신호의 차수 및 국부 오실레이터 고조파이다. $f_{SP}$ 를 풀기 위해서 다음 식이 주어진다:

$$f_{SP} \approx \pm \frac{1}{m} f_{IF} + \frac{n}{m} f_{LO}$$

여기에서, 국부 오실레이터 주파수가 바람직한 신호 주파수 이상이면 정 신호(positive sign)가 유지되고, 바람직한 신호 주파수 이하면 부 신호(negative sign)가 발생된다.

디지털 기술을 가능한 많이 사용하는 것이 바람직함에도 불구하고, 본 기술 분야의 수신기 상태는 신호가 다수의-비트 아날로그-디지털(A/D) 변환기에 의해 샘플링되기 전에 하나 또는 2개의 아날로그 중간 주파수(IF) 단계를 계속하여 포함한다. 이러한 것은 이동 무선 적용 장치에 사용하게 되는 무선 주파수가 1 또는 2 ㎓ 또는 그 이상의 범위에 있기 때문이다. 통상적인 멀티-비트 A/D 변환기는 한계 입력 대역폭이 특징이기 때문에, 무선 주파수(RF) 비율로 샘플링하는 것은 불가능하다. 그리고, A/D 변환이 없다면, 아날로그 기술이 수신된 RF 신호를 처음으로 처리할 수 있는 유일한 수단이다.

S. Yang 등이 " A tunable bandpass sigma-delta A/D conversion for mobile communication receiver"1994 IEEE 44번째 Vehicular Technology Conference, pp. 1346-1350, vol.2(1994) 에는 하나의 아날로그 다운 변환하는 수신기 및 시그마-델타 변조(sigma-delta modulation) 수단으로 이러한 수신기를 동조시키기 위한 기술이 설명된다.

## 발명의 상세한 설명

그러므로, 본 발명의 목적은 무선 주파수 신호를 수신하기 위한 개선된 방법 및 장치를 제공하는 것이다.

본 발명의 일 양태에 따라서, 전술된 및 그 밖의 목적은 무선 수신기에서 달성되어 무선 주파수 신호를 수신하고 시그마-델타 아날로그-디지털 변환 기술을 사용하여 샘플링 속도로 무선 주파수 신호를 샘플링하고 이것으로 부터 중간 주파수 신호를 나타내는 1-비트 디지털 샘플을 발생시킨다. 샘플링 속도가 무선 주파수 신호의 나이키스트 속도(Nyquist rate) 이상이거나 이하거나 상관없이, 바람직하게 샘플링 속도는 신호 대역폭보다 몇 배 더 높다. 복조는 중간 주파수 신호를 발생시킨 후, 중간 주파수 신호로 부터 동위상 및 직교 샘플을 발생시키는데 사용된다. 이러한 기술의 이점은 복조가 단순히 디지털 방법으로 수행될 수 있다는 것이다.

본 발명의 또 다른 양태에서, 중간 주파수는 무선 주파수와 샘플링 속도의 가장 가까운 고조파 사이의 차다.

일부 실시예에서, 복조는 중간 주파수 신호를 나타내는 1-비트 디지털 샘플과 코사인 혼합 신호를 나타내는 제 1 시퀀스를 결합시킴으로서 제 1 혼합된 신호를 발생시키는 단계: 및, 중간 주파수 신호를 나타내는 1-비트 디지털 샘플과 사인 혼합 신호를 나타내는 제 2 시퀀스를 결합시킴으로서 제 2 혼합된 신호를 발생시키는 단계를 포함한다. 그 후, 제 1 및 제 2 혼합된 신호는 부분 제거(decimate)되어 동위상 및 직교 샘플을 발생시킨다. 이러한 실시예에서, 중간 주파수는 샘플링 속도의 1/4이 될 수 있다.

본 발명의 또 다른 양태에서, 배타적-논리합 논리 게이트는 제 1 및 제 2 혼합된 신호를 발생시키는데 사용될 수 있다.

본 발명의 또 다른 양태에서, 대안 방법으로 복조는 중간 주파수 신호를 나타내는 1-비트 디지털 샘플을 수신히고, 이것으로 부터 제 1 및 제 2의 부분 제거된 신호를 발생시킴으로서 수행될 수 있는데; 상기 제 1의 부분 제거된 신호는 1-비트 디지털 샘플에 근거하고; 상기 제 2의 부분 제거된 신호는 1-비트 디지털 샘플의 타임-시프트된 버전에 근거하고; 각각의 제 1 및 제 2의 부분 제거된 신호는 중간 주파수를 나타내는 1-비트 디지털 샘플의 모든 수 N 에 대해 하나의 샘플을 가지고; 1-비트 디지털 샘플의 타임-시프트된 버전은 샘플링 비율의 ∠ n 사이클만큼 지연된 1-비트 디지털 샘플이다. ∠ n 은 중간 주파수의 1/4 주기의 홀수 배를 나타낼 수 있다. 그 후, 제 1 및 제 2의 부분 제거된 신호는 대역 통과 필터링 하여 각각 동위상 및 직교 샘플을 발생시킨다.

본 발명의 또 다른 양태에서, 대안 방법으로 복조는 중간 주파수가 제 1 중간 주파수가 되게 하고, 중간 주파수 신호를 필터링 하고 부분 제거하여 제 2 중간 주파수를 가지는 디지털 신호를 발생시키게 함으로서 수행될 수 있다. 그 후, 복조기는 제 2 중간 주파수를 가지는 디지털 신호로 부터 동위상 및 직교 샘플을 재구성하기 위해 사용된다. 이러한 실시예에서, 대역 통과 필터링은 제 1 중간 주파수 주변의 대역 통과 특성을 가진다.

## 도면의 간단한 설명

본 발명의 목적 및 이점은 다음의 도면과 공동으로 이하의 자세한 설명을 읽음으로서 이해할 수 있다.

도 1a는 시그마-델타-변조기 A/D 변환기의 블록 다이아그램이고, 도 1b는 동일한 변환기의 등가 모델이다.

도 2는 본 발명의 일 양태에 따라서, 시그마-델타 변조기 A/D 변환기로 무선 주파수 샘플링에 근거한 디지털 수신기 구조의 블록 다이아그램이다.

도 3은 샘플링한 후 신호 및 양자화 잡음의 스펙트럼 그래프이다.

도 4a 및 도 4b는 본 발명의 일 양태에 따라서, 대역 통과 부분 제거 필터로 시그마-델타-변조기로 부터 2개의 타임-시프트된 시퀀스를 디지털 방식으로 서브-샘플링(sub-sampling)함으로서 I 및 Q 로 직접 변환하는 디지털 수신기 구조의 대안 실시예를 도시한다.

도 5는 본 발명의 또 다른 양태에 따라서, 디지털 영역에서 2개의 중간 주파수를 가지는 디지털 더블 슈퍼헤테로다인 수신기(superheterodyne receiver) 구조의 블록 다이아그램이다.

도 6은 본 발명의 또 다른 양태에 따라서, 수신기로 사용하기에 적합할 수 있는 고속 시그마-델타-변조기 A/D 변환기의 대표적인 하드웨어 구현을 도시한다.

도 7은 본 발명의 일 양태에 따라서, 시그마-델타-변조기 A/D 변환기로 무선 주파수 샘플링에 근거한 디지털 수신기 구조의 대안 실시예의 블록 다이아그램이다.

## 실시예

본 발명의 다양한 특징은 도면을 고려하여 기술되며, 동일한 부품은 동일한 참조 문자와 일치한다.

㎓ 범위에서 무선 주파수 샘플링은 1-비트 A/D 변환기로 실현 가능하여 상업적으로 가능한 고속의 논리 부품으로 만들어 질 수 있다. 이러한 샘플링은 통상적인 수신기의 아날로그 회로를 디지털 회로로 대체할 수 있게 하여 전술된배경 기술에서 설명된 다양한 이점을 획득할 수 있다. 그러나, 1-비트 A/D 변환기는 매우 높은 양자화 잡음을 나타낸다. 디지털 저역 통과 필터링 및 부분 제거로 이러한 것을 줄이기 위한 하나의 기술은 샘플링 속도에 대한 해상도를 변화시키는 것이다.

대안 방법으로서, 잡음 성능은 RF 신호상에 변조된 신호를 높게 오버샘플링(oversampling)한 후, 잡음 성형(shape)하기 위해 시그마-델타-복조기를 채용해, 디지털화된 신호의 필수 동적 영역을 획득하므로서 상당히 개선될 수 있다. 도 1a는 시그마-델타-변조기 A/D 변환기의 블록 다이아그램을 도시하고, 도 1b는 동일한 변환기의 등가 모델을 도시한다. 우선 도 1a에서 볼 수 있는 바와 같이, A/D 변환기(101)가 제공되어 아날로그 신호 X 를 나타내게 되는 디지털 신호를 발생시킨다. 디지털화 과정과 관련된 신호 스펙트럼의 범위에서 양자화 잡음을 감소시키기 위하여, A/D 변환기(101)의 출력은 피드백 경로에 공급되는데, 우선 D/A 변환기(103)에 의해 아날로그 신호로 다시 변환된다. 결과 아날로그 피드백 신호는 아날로그 신호(107)로 부터 제거되어 A/D 변환기(101)에 제공된다. 결과 차 신호(difference signal)는 필터(105)에 인가되어 그 출력이 입력 아날로그 신호 X 와 결합된다. 이렇게 결합된 신호(107)는 A/D 변환기(101)에 공급되는 아날로그 신호이다.

이러한 과정의 더욱 양호한 이해는 도 1b를 참조로 알 수 있다. 시그마-델타-복조기 A/D 변환기의 이러한 모델에서, A/D 및 D/A 변환기(101 및 103)는 양자화 잡음(Q)을 나타내는 신호를 더하는 합 접합부(109)로 대체되어 양자화 잡음 Q 를 나타내는 신호를 더한다. 아날로그 입력 신호 X , 양자화 잡음 Q , 출력의 아날로그 표기 Y 및 디지털 출력 신호 $\hat{Y}$ 가 주어지면, 시그마-델타 변조기 A/D 변환기의 전달 함수는 다음과 같다:

$$Y = "X" + (1 - H)Q$$

시그마-델타 변조기의 피드백 루프에서 적절한 필터 특성 H 로, 양자화 잡음 스펙트럼이 형성되어 신호 스펙트럼이 점유한 주파수에서 가능한 많이 억압될 수 있다. 필터 특성를 결정하기 위한 기술은 공지되어 있고, 통상적으로 잡음 전달 함수 $1 - H(\omega)$ 를 대역 정지 버터워스(Butterworth), 체비셰프(Chebychev) 또는 카우어(Cauer) 특성과 같은 신호 스펙트럼의 범위의 높은 감쇠량을 가진 일부 공지된 필터 특성으로 설정함으로서 선형 접근법으로 시작한다. 그 후, $H(\omega)$의 0 및 극(pole)은 이러한 것으로 부터 유도될 수 있다. 시그마-델타 변조기는 비선형 장치이기 때문에, 선형 방법으로 유도된 $H(\omega)$는 근사값이고, 시간 영역에서 실험 또는 시뮬레이션으로 더욱 최적화 되어야 한다. 직접적으로 해석하는 접근법이 공지되지 않았기 때문에, 이러한 것이 현재 일반적으로 수행된다. 바람직한 구현이 시그마-델타 변조기의 적절한 필터 특성을 유도하므로, 필수 고조파 동작 때문에 LC 또는 마이크로스트립 필터와 같은 정 필터를 사용해야 한다.

대응하는 동적 영역은 오버-샘플링 비율(즉, 2배의 신호 대역폭에 의해 유도된 샘플링 비율) 및 시그마-델타-변조기로 차수를 증가시켜 필터 차수와 관련된다. 예를 들어, 5번째 차수의 시그마-델타-변조기 및 32의 오번 샘플링 비율은 90 dB 동적 영역이 되어 15 비트에 대응한다. 동적 영역 사이의 관계, 오버-샘플링 비율 및 시그마-델타 변조기는 예를 들어, 1993년 8월에 Richard Schreier, " An empirical study of high-order single-bit delta-sigma modulators" , IEEE TRANSACTIONS ON CIRCUITS AND SYSTEM _II: ANALOG AND DIGITAL SIGNAL PROCESSING, vol. 40, No.8의 p.465 에 설명된다.

도 2는 전술된 바와 같이 시그마-델타 변조기 A/D 변환기로 무선 주파수 샘플링에 근거한 제 1 디지털 수신기 구조의 블록 다이아그램이다. 무선 주파수 신호(예를 들어, 2 GHz 신호)가 수신되어 반-에일리어싱 필터(anti-aliasing filter)(201)에 의해 처리된다. 그 후, 필터링된 신호는 1-비트 시그마-델타 변조기 A/D 변환기(203)에 공급된다. 그 후, 1-비트 시그마-델타 변조기 A/D 변환기(203)로 부터의 디지털 출력은 IQ-복조기(205) 및 고속 저역 통과/부분 제거 필터(207)에 의해 더 처리된다.

동작에서, 1 - 비트 시그마 - 델타 - A/D 변환기(203)는 필터링된 무선 주파수 신호를 서브 - 샘플링하여(즉, 필터링된 무선 주파수 신호는 무선 주파수 신호의 나이키스트 속도 이하에서 샘플링되어 무선 주파수의 2배가 된다), 상기 신호를 무선 주파수 및 그것과 가장 근접한 샘플링 주파수 고조파 사이의 차인 디지털 영역의 중간 주파수로 변환시킨다. 무선 주파수 반송파상에 변조된 신호는 대역이 한정되어, 비록 무선 주파수 신호가 서브 - 샘플링된다 할 지라도 변조 신호는 상당히 높게 오버샘플링된다는 점에 주목할 만 하다. 예를 들어, 2GHz 무선 주파수 반송파상에 변조된 5GHZ 신호가 주어진다면, 무선 주파수 부근의 샘플링 속도는 무선 주파수 반송파가 서브 - 샘플링된다 할지라도 변조 신호를 높게 오버샘플링 할 수 있다. 물론, 무선 주파수 신호의 서브 - 샘플링은 필수 조건은 아니다. 대안 실시예에서, 무선 반송파는 자신의 나이키스트 속도 이상으로 샘플링 될 수 있어 변조 신호의 오버 샘플을 얻는다.

무선 주파수 반송파의 서브 - 샘플링이 사용되는 이러한 실시예로 돌아가서, 서브 - 샘플링된 신호는 0 이 없는 중간 주파수에 있기 때문에, 소위 대역 통과 시그마 - 델타 - 변조기는 양호하게도 1 - 비트 시그마 - 델타 - A/D 변환기(203)의 부분으로서 사용된다. 대역 통과 시그마 - 델타 - 변조기는 본 기술 분야에 잘 공지되어 있어 여기에서 더 자세하게 설명하지 않는다. 반 - 에일리어싱 필터(201) 및 IQ - 복조기(205)는 샘플링 속도 $F_S$가 디지털 중간 주파수 $F_{IF}$ 의 4배(즉, $F_{IF}$ ="$F_S$/ 4)가 되도록 선택될 때 가장 간단해 진다. 이러한 경우, 코사인 및 사인 혼합 신호는 디지털 형태의 시퀀스... 10011001... 및 ...11001100...에 대응하여 시퀀스 ...1_1_111_1_11... 및 ...11_1_111_1_1... 로 각각 나타난다. 알 수 있는 바와 같이, 2 시퀀스가 동일한 형태를 가지더라도(즉, 2개의 " _1" 비트로 인해 수반되는 2개의 " 1" 비트), 코사인 혼합 신호의 시퀀스는 1 비트에 의해 사인 혼합 신호의 시퀀스를 유발한다. 시그마 - 델타 - A/D 변환기(203)로부터 1 - 비트 신호와 공동으로, IQ - 복조기에서 곱셈 연산이 감소되어 전술된 논리적 배타적 논리합(" XOR" ) 연산(209, 211)과 같은 것에 의해 대응 신호 비트를 선택적으로 반전시키거나 반전시키지 않는다.

2가지 경우가 디지털 중간 주파수에 대하여 구별되어야 한다. 첫번째 경우는 무선 주파수 $f_{RF}$ 에 가장 근접한 $f_S$의 m번째 고조파가 $f_{RF}$ 이하인 경우이다. 두번째 경우는 무선 주파수 $f_{RF}$ 에 가장 근접한 $f_S$의 m번째 고조파가 $f_{RF}$ 이상인 경우이다. 경우 1:

$$mf_s<f_{RF}\Rightarrow f_{IF}=\left|\frac{1}{4m+1}f_{RF}\right.$$

및 경우 2:

$$mf_s>f_{RF}\Rightarrow f_{IF}=\left|\frac{1}{4m-1}f_{RF}\right.$$

예를 들어, $f_{RF}$ ="2" GHz 이고, m ="1" 인 첫번째 경우에 중간 주파수는 400 MHz 이고, 샘플링 속도는 $f_S$ ="4$f_{RF}$ =" 1.6" giga - sample/second(Gsps)이다. 상기 샘플링 속도로 20 MHz 광대역 신호는 40의 오버샘플링 비율로 오버샘플링된다.

도 3은 샘플링 한 후 신호 및 양자와 잡음의 스펙트럼을 도시한다. 1 - 비트 시그마 - 델타 A/D 변환기(203) 내의 대역 통과 시그마 - 델타 - 변조기는 신호 주파수에서 양자화 잡음을 억압한다. 이러한 것은 양자화 잡음이 신호에 영향을 주지 않고 저역 통과/부분 제거 필터(207)에 의해 제거될 수 있게 한다. 신호 스펙트럼의 고조파는 멀리 떨어져 있기 때문에, 아날로그 반 - 에일리어싱 필터(201)의 특성(301)은 다소 완만해서, 상대적으로 용이하게 필요 조건을 만족한다.

그 후, 대게 도 3은 주파수가 전단부의 아날로그 반-에일리어싱 필터를 경유하여 통과할 수 있다는 것을 도시한다. 무선 반송파 $f_{RF}$ 상에 변조된 대역폭 B 를 가진 신호는 서브-샘플링 동작에 의해 중간 주파수($f_{IF}$)로 변환된다. 그러나, 무선 반송파의 고조파와 중간 주파수를 더하거나 뺀 $nf_{RF} \pm f_{IF}$ 에 위치한 신호 대역폭 내에서 수신된 모든 주파수도 $f_{IF}$ 에서 바람직한 신호 대역폭으로 변환되고, 여기서 n ="2," 3, ... 이다. 이런 스펙트럼의 모든 위치는 필터링되어야 한다. 결과적으로, 전-단부에서 반-에일리어싱 필터는 교란되지 않은 $f_{RF}$ 에서 신호 스펙트럼을 통과시켜야 하고, 다음 " 에일리어싱 대역" 아래의 상위 극한점 이하(예를 들어, 도 3에 도시된 예 처럼 $f_S - f_{IF} + B/2$ ) 및 다음 " 에일라이싱 대역" 상위의 하위 극한점 이상(예를 들어, 도 3에 도시된 예 처럼 $2f_S - f_{IF} - B/2$)에서 모든 주파수를 멈춰야 한다. 이러한 것은 통상적인 수신기의 아날로그 혼합기 상태에서 발견된 이미지 억압 필터의 등가이다.

본 발명의 일 양태에 따라서, 아날로그 입력 신호의 멀티-비트-표시가 저역 통과/부분 제거 필터(207)로 어느 정도 획득되어 신호에 영향을 미치지 않고 형성된 잡음을 억제한다. 이러한 부분 제거 필터의 문제점은 빠른 속도이다. 이러한 높은 요구 조건으로 인해, 본 발명의 바람직한 실시예는 미합중국 특허 제.호(대리인 Docket 제.027559_012), Diemeter Lipka 의 " Multiplierless Digital Filtering" 에 설명되어 있는 부분 제거 필터 기술을 사용하며, 여기에 참조된다.

대역 통과 부분 제거 필터로 시그마-델타-변조기로 부터 2개의 타임-시프트된 시퀀스를 디지털 방식으로 서브-샘플링함으로서 I 및 Q 를 직접 변환하는 제 2 디지털 수신기 구조는 도 4a 및 도 4b에 도시된다. 디지털 중간 주파수는 $f_{IF}$ ="$f_S/4$ 인 경우에 한정될 필요는 없으므로, 이러한 실시예는 도 2에 도시된 것과 구별된다.

우선 중간 주파수 및 샘플링 속도 사이의 관계를 임의로 다음과 같이 가정해 보자: $f_{IF}$ ="$f_S/x$. I 또는 Q 중 하나로 직접 변환은 $f_D$ ="$f_{IF}/k$ ="$f_S/(kx)$ 로 주어진 $f_{IF}$ 의 약수로 디지털 영역의 신호를 서브-샘플링, 즉 부분 제거함으로서 획득되는데, 여기에서 $f_D$ 는 디지털 영역의 서브-샘플링 속도이고, k ="1," 2, 3, ... 이다. I 및 Q 부품은 2개의 서브-샘플링된 시퀀스를 발생시킴으로서 분리될 수 있고, 중간 주파수 주기의 1/4 의 홀수배($T_{IF}$ ="$1/f_{IF}$ : τ ="(2l" +1) $T_{IF}/4$, l ="0," 1, 2,....)에 의해 서로에 대해 상호간에 타임 시프트된다. 그 후, 2개의 시퀀스는 ∠ n =" $\tau/T_S$ ="(2l" +1)x/4 샘플링 포인트에 의해 시프트되어야 하고, 여기에서 $T_S$ ="$1/f_S$ 이다.∠ n은 정수 값이여야 하기 때문에, x 는 4의 배수가 되도록 한정되어, 여기에서 x ="4μ," μ ="1," 2, 3,.. 으로 표현된다. 이것으로, 1 경우의 가능한 중간 주파수는 아래와 같고:

$$mf_s < f_{RF} \Rightarrow f_{IF} = \left| \frac{1}{4m\mu+1} f_{RF} \right|$$

2 경우에서, 가능한 중간 주파수는 다음과 같다:

$$mf_s > f_{RF} \Rightarrow f_{IF} = \left| \frac{1}{4m\mu-1} f_{RF} \right|$$

중간 주파수가 이러한 식으로 결정된다면, 시그마-델타-변조기의 샘플링 속도는 $f_S$ ="$4\mu f_{IF}$ 로 계산되고, 부분 제거된 I 및 Q 신호 데이터 포인트 사이의 1-비트 샘플링 사이클의 수는 ∠ n ="(2l" + 1)μ 로 계산된다.

결합된 대역 통과 부분 제거 필터링 및 IQ - 복조는 전술된 미합중국 특허 제.호(대리인 Docket 제.027559_012), Diemeter Lipka의 " Multiplierless Digital Filtering" 에 기술된 부분 제거 필터 기술을 사용하여 구현되며, 여기에서 참조된다. 통상적으로, 이러한 필터에서 N 마다 부분 제거하는 것은 시프트 레지스터로 달성되어 시그마 - 델타 - 변조기로 부터 1 - 비트 입력 데이터 샘플을 판독할 수 있다. 다수의 N 1 - 비트 입력 데이터 샘플마다 시프트 레지스터에 (순차적으로) 로딩(loading)되고, 데이터 샘플의 블록은 래치(latch)에서 클록된다. 그 후, 래치된 비트는 필터 구조에 공급되어 부분 제거된 클록 속도에서 동작한다. 예를 들어, 필터 구조는 메모리 또는 출력이 가산되는 메모리의 캐스케이드를 포함하여 필터링된 신호를 발생시킬 수 있다. 상기 메모리는 필터 계수의 부가적 결합을 포함한다. 필터 차수 L 이 필터 구조에 공급된 래치된 비트의 수보다 크면(즉, 현재 수신되어 부분 제거된 데이터 신호의 크기보다 크면), 필터 구조는 더 먼저 수신된 부분 제거된 데이터 신호를 저장하기 위하여 캐스케이드 - 접속된 래치를 하나 이상 포함할 수 있다. 부분 제거 필터 기술의 다수의 대안 실시예는 전술된 " Multiplierless Digital Filtering" 특허 출원에 설명되어, 어떤 것도 상기 기술과 연계하여 사용하는데 용이하게 적응될 수 있다.

이러한 원리를 사용하여, 상호간의 2개의 타임 - 시프트된 시퀀스는 다수의 대안 방법으로 획득될 수 있다. 도 4a에 도시된 바와 같이 하나의 실시예에서, 시그마 - 델타 A/D 변환기(401)는 자신의 1 - 비트 출력을 N - 비트 시프트 레지스터(403)에 공급하여 고속 샘플링 클록 속도 $f_S$ 로 비트를 클록한다. 제 1 및 제 2 래치(405 및 407)는 각각 결합되어 N - 비트 시프트 레지스터(403)로 부터 N - 비트 광대역 데이터를 수신한다. 제 1 및 제 2 래치(405 및 407)는 부분 제거된 클록의 2 개의 위상 중 각각 하나로 클록한다. 부분 제거된 클록의 2개의 위상 사이의 오프셋(offset)은 고속 샘플링 클록 $f_S$ 의∠ n 사이클이다. 대안 실시예에, N - 비트 시프트 레지스터(403)와 제 1 및 제 2 래치(405 및 407)는 부분 제거의 양에 영향을 주지 않고 더 높은 - 차수 필터링하도록 길이 L 만큼 확장될 수 있다.

도 4a에 도시된 실시예로 다시 돌아가면, 제 1 및 제 2 래치(405 및 407)는 제 1 및 제 2 캐스케이드된 대역 통과 필터 구조(409, 411) 중 각각 하나씩 자신을 출력을 공급한다. 제 1 캐스케이드된 대역 통과 필터 구조(409)의 출력은 동 - 위상 신호 I 이고, 제 2 캐스케이드된 대역 통과 필터 구조(411)의 출력은 직교 신호(Q)이다. 각각의 캐스케이드된 대역 통과 필터 구조(409, 411)는 메모리 또는 출력이 결합되는(즉, 가산되는) 메모리의 캐스케이드를 포함하여 필터링된 신호를 발생시킬 수 있다. 상기 메모리는 필터 계수의 부가 결합을 포함한다. 필터 계수 L 에 대해서, 필터에서, 제 1 및 제 2 캐스케이드된 대역 통과 필터 구조(409, 411)는 더 먼저 수신된 비트를 저장하기 위하여 캐스케이드 - 접속된 래치를 포함할 수 있고, 여기에서 L ≥ N 이다. 이러한 경우, 캐스케이드 - 접속된 래치로 부터의 출력은 하나 이상의 메모리를 지정(address)하는데 사용하기 위하여 공급된다.

도 4b에 도시된 바와 같이 대안 실시예에서, 2개의 래치(405, 407) 보다는 하나의 래치(417)가 사용된다. 이러한 경우, 시프트 레지스트(415) 및 래치(417)는 각각 N + ∠ n 광대역 비트이다. 도시된 실시예에서, ∠ n ="2이지만," 물론 이러한 것은 모든 실시예에 대해서 그렇다고 할 수 없다. 제 1 N 비트(즉, 비트 1 ... N)는 제 1 캐스케이드된 대역 통과 필터 구조(409)에 공급되고, 마지막 N 비트(즉, 비트 ∠ n +1... N + ∠ n )은 제 2 캐스케이드된 대역 통과 필터 구조(411)에 공급된다. 이러한 2개의 비트 그룹은 2개의 캐스케이드된 대역 통과 필터 구조(409, 411)에 의해 동시에 처리된다. 래치(417)와 제 1 및 제 2 캐스케이드된 대역 통과 필터 구조(409, 411)는 각각 고속 샘플링 클록 $f_S$ 의 부분 제거된 버전(즉, 부분 제거 비율 1:N)으로 각각 클록된다.

도 4b에 도시된 기술은 필터 계수 L 에 적용될 수 있다. 가능한 것 하나는 시프트 레지스터(415) 및 래치(417)가 각각 L + ∠ n 광대역 비트가 되고 규정된 부분 제거 클록으로 고속 샘플링 클록 속도의 N 마다 한번씩 발생되는 것이다. 다른 가능성은 도시된 N + ∠ n - 비트 광대역 시프트 레지스터(415)와 각각 제 1 및 제 2 필터 구조(409, 411) 내에 위치한 캐스케이트 - 접속된 래치(도시되지 않음)와 연계하여 래치(417)를 사용하는 것을 포함한다. 각각의 캐스케이드 - 접속된 래치는 더 먼저 - 수신된 데이터 비트(부분 제거된 클록 속도로 클록됨)를 저장할 수 있고, 이러한 저장된 비트(부분 제거된 클록 속도로)를 메모리 장치의 지정 입력 포트에 공급할 수 있는데, 이는 전술된 " Multiplierless Digital Filtering" 특허 출원에 더욱 상세히 설명된다.

도 4a 및 도 4b에 설명된 각각의 실시예에서, 필터(409, 411)는 중간 주파수에서 신호에 대한 대역 필터로서 설계되어, 그것의 주변의 양자화 잡음을 제거하여야 한다. 캐스케이드된 대역 필터(409, 411)는 부분 제거된 속도로 각각 I 및 Q 신호를 전달한다. I 및 Q 신호가 서로 다른 시간 순간에 속해있다는 사실을 고려해야 한다. 높은 부분 제거 비율로 인해, 이러한 시간 오차는 무시될 수 있다. 그렇지 않으면, 적절한 시간 배열은 연속 인터폴레이터로 달성될 수 있다.

본 발명의 또 다른 양태에서, 제 3 디지털 수신기 구조는 도 5에 도시된다. 상기 구조는 디지털 영역에서 2개의 중간 주파수를 가지므로, 디지털 더블 슈퍼헤테로다인으로서 간주될 수 있다. 신호는 시그마 - 델타 A/D 변환기(501)에 의해 수행된 샘플링에 의해 제 1 중간 주파수로 변환된다. 제 2 중간 주파수 IF2 는 부분 제거 필터(503)에서 부분 제거 과정에서 발생된다. D 를 디지털 대역 통과 부분제거 필터의 부분 제거 비율이라 하면, 여기에서 D는 정수이고, $f_S/D$ 는 부분 제거된 샘플링 속도이고, $k \cdot f_S/D$ 는 부분 제거된 샘플링 비율의 k번째 고조파이고, k ="1," 2,... 이다. 그 후, IF2는 IF1 및 가장 근접한 고조파 $k \cdot f_S/D$ 사이의 차다. 실제로, $f_{RF}$ 가 주어지고 D 및 $f_S$ 는 적절하게 선택되어야 한다. D 및 $f_S$ 는 IF2 값을 획득하도록 배열되어야, I 및 Q - 신호 복조가 가능하다. 게다가, IF1이 $f_S/4$와 가능한 근접해 있다면, 반 - 에일리어싱 필터에 요구 사항이 줄어든다는 것이 이점이다.(이러한 경우에, 바람직하지 않은 신호가 IF1(의사 수신)으로 변환되는 곳의 에일리어싱 주파수는 주파수 축에 같은 거리만큼 떨어져 있어, 그것은 도 3에 도시된 바와 같이 상호간에 최대 거리이다.) 부분 제거 필터(503)는 IF1 부근에 대역 통과 특성을 가진다. 디지털 IQ - 복조기(507)는 대역 통과 및 부분 제거 필터(503)로 부터의 출력을 수신하고, 제 2 디지털 IF 신호로 부터 I 및 Q 신호를 재구성한다. 통상적으로, 이러한 IQ - 복조기(507)는 완전한 곱셈을 연산하지만, IF2가 부분 제거된 샘플링 주파수의 1/4 이라면 간단해 질 수 있다.

시그마 - 델타 - A/D 변환기의 클록 속도가 전술된 모든 수신기 구조에 대해서 GHz 범위에 있다. 본 발명의 또 다른 양태에 따라서, 도 6은 고속 시그마 - 델타 - 복조기 A/D 변환기의 대표적인 하드웨어 구현을 도시하여 이러한 수신기로 사용하기에 적절할 수 있다. 1 - 비트 A/D 변환기 부분은 결정 장치(601)로 구현되어 플립 - 플롭(603)의 데이터 입력 포트와 결합된 출력부를 가질 수 있다. 플립 - 플롭(603)은 고속 샘플링 속도 $f_S$ 로 클록된다. 플립 플롭(603)으로 부터의 출력은 시그마 - 델타 A/D 변환기로 부터 1 - 비트 디지털 출력 신호를 공급한다.

제 1 피드백 경로에서, 레벨 시프터(605)는 1 - 비트 D/A 변환기로서 사용하도록 제공된다. 레벨 쉬프터(605)는 플립 플롭(603)으로 부터의 1 - 비트 디지털 출력 신호를 수신하도록 결합된다. 레벨 시프터(605)의 상부 및 하부 출력 전압은 시그마 - 델타 - A/D 변환기의 입력 전압 범위를 결정한다. 결과적으로, 레벨 시프터(605)가 조절 가능하다면, 이득 제어부로 사용될 수 있다.

아날로그 부분은 결합기 및 하나 이상의 필터를 포함한다. 제 1 결합기(607)는 레벨 시프터(605)로 부터 아날로그 출력과 아날로그 신호로 유도되는 제 2 아날로그 신호를 결합시켜 결정 장치(601)의 입력부에 공급된다. 전달 함수 G( $\omega$ ) 를 가진 옵션 제 1 필터(615)는 제 2 아날로그 신호가 결합기(607)에 공급되기 전에 처리되도록 포함될 수 있다.

제 1 결합기(607)의 출력부는 제 2 필터(609)에 공급되어 피드백 경로에 있다. 이러한 제 2 필터(609)는 마이크로 - 스트립 필터로 구현될 수 있다. 대안 실시예에서, SAW, 공진기 또는 심지어 LC 필터가 대신 사용될 수 있다.

제 2 결합기(611)는 시그마 - 델타 A/D 변환기의 순방향 경로에 제공된다. 제 2 결합기(611)는 아날로그 RF 입력 신호와 제 2 필터(609)의 출력부에 공급된 아날로그 신호를 결합시킨다. 제 2 결합기(611)의 출력 신호는 결정 장치(601)의 입력 포트에 공급될 수 있다.

대안 실시예에서, 제 3 필터(613)도 제 2 결합기(611)와 결정 장치(601) 사이의 순방향 브랜치에 공급된다. $H_1(\omega)$는 제 2 필터(609)의 필터 특성이고, $H_2(\omega)$는 제 3 필터(613)의 필터 특성이고, G( $\omega$ )는 제 1 필터(615)의 필터 특성인 곳에서, 시그마 - 델타 A/D 변환기의 전달 함수는 다음과 같다:

$$Y=\frac{H_2}{1+H_1 H_2(1-G)}X+\frac{1-H_1 H_2 G}{1+H_1 H_2(1-G)}Q$$

전술된 수신기 구조는 통상적인 설계와 비교해서 필수 아날로그 회로를 상당히 감소시킬 수 있다는 것이 이점이다. 이러한 것은 혼합기 및 중간 주파수 증폭기가 필요 없기 때문에 비선형성 및 일그러짐과 같은 문제가 대부분은 회피된다. 시그마-델타-A/D 변환기의 고유 선형성으로 인해, 의사 수신은 존재하지 않는다. 반-에일리어싱 필터에 최소한의 요구 조건을 필요로 하기 때문에, 빠른 샘플링 속도에는 유리하다. 본래는 디지털 기능으로 인해, 이러한 수신기는 상당히 많이 통합가능하여 최소형, 최저 전압 소비 및 높은 신뢰성을 가질 수 있다. 게다가, 디지털 신호 처리를 간단히 변화시킴으로서 모든 기준에 융통성 있게 적응될 수 있다. 게다가, 피드백 루프의 레벨 시프터(605)는 2개의 전압 레벨 사이에서만 스위치를 필요로 하기 때문에, 자동 이득 제어가 제공되어 간단한 회로만 요구할 수 있다. 또한, 필수 부품이 적기 때문에, 이러한 타입의 수신기는 저렴한 가격이 된다.

여기에 기술되는 다양한 수신기는 각각 광대역 코드 분할 다중화 접근 방식(W-CDMA)과 같으 광대역 수신기로서 각각 사용될 수 있다. 이동 통신에서 모든 협대역 기준에서도 사용될 수 있다.

본 발명은 특정 실시예를 참조로 기술되었다. 그러나, 본 발명의 숙련자는 전술된 바람직한 실시예 외에 특정 형태로 본 발명을 구체화 할 수 있다는 것을 쉽게 알 수 있다. 이러한 것은 본 발명의 정신을 벗어나지 않고 행해질 수 있다.

예를 들어, 도 7은 본 발명의 일 양태에 따른 또 다른 수신기 구조의 다이아그램이다. 도 2에 도시된 수신기를 가지고, 무선 주파수 신호(예를 들어,2GHz 신호)가 수신되어 반-에일리어싱 필터(701)로 처리된다. 그 후, 필터링된 신호는 1-비트 시그마-델타 변조기 A/D 변환기(703)에 공급된다. 그 후, 1-비트 시그마-델타 변조기 A/D 변환기(703)로 부터의 디지털 출력은 IQ-복조기(705)에 의해 더 처리된다. 그러나, 도 2의 디지털 부분 제거 필터를 대신해서, IQ-복조기(705)로 부터의 동위상(I) 및 직교(Q) 출력은 제 1 및 제 2 아날로그 저역 통과 필터(707) 중 하나에 각각 공급된다. IQ-복조기(705)로 부터의 1-비트 데이터 스트림은 디지털 또는 (출력 게이트 파형을 고려한다면)아날로그 중 하나로서 간주될 수 있다. 이러한 신호는 각각 대역 I 및 Q 신호와 양자화 잡음을 포함한다. 그러므로, 디지털 부분 제거 필터의 대안으로, I 및 Q 신호의 양자화 잡음도 각각 제 1 및 제 2 아날로그 필터(707) 중 하나에 의해 억압될 수 있다. 제 1 및 제 2 필터(707)로 부터의 출력 신호는 대역 I 및 Q 신호의 대역폭만 가지며 통상적인 제 1 및 제 2 아날로그-디지털 변환기(709)를 사용하여 느린 속도로 샘플링될 수 있다. 시그마-델타-A/D 변환기와 1-비트 IQ-복조기(705)의 결합은 선형 직접 변환으로 간주될 수 있다. 디지털 부분 제거 필터에 관한 단점은 I 및 Q 신호가 오프셋을 가진다는 것이다. 그러나, 이러한 오프셋은 디지털 신호 처리 수단으로 제거될 수 있다.

그러므로, 바람직한 실시예는 단순히 예가 되는 것이고, 어떤 방식으로 제한하려는 것이 아니다. 본 발명의 정신은 전술된 실시예 보다는 첨부된 청구항에 의해 주어지고, 청구항의 범위 내에 들어가는 모든 변화 및 동등한 것은 청구항에 포함되게 되어있다.

## (57) 청구의 범위

### 청구항 1.

수신기에 있어서,

무선 주파수 신호를 수신하기 위한 수단;

샘플링 비율에서 무선 주파수 신호를 샘플링하고, 거기로 부터 디지털 중간 주파수 신호를 나타내는 1-비트 디지털 샘플을 발생시키는 시그마-델타 아날로그-디지털 변환기; 및

디지털 중간 주파수 신호로부터 동위상 및 직교 샘플을 발생시키기 위한 복조기를 포함하는 것을 특징으로 하는 수신기.

### 청구항 2.

제 1 항에 있어서,

상기 샘플링 속도는 상기 무선 주파수 신호에 존재하는 최대 주파수의 2배인 것을 특징으로 하는 수신기.

청구항 3.

제 1 항에 있어서,

상기 샘플링 속도는 무선 주파수 신호에 존재하는 최대 주파수의 2배 이상인 것을 특징으로 하는 수신기.

청구항 4.

제 1 항에 있어서,

상기 샘플링 속도는 무선 주파수 신호에 존재하는 최대 주파수의 2배 이하인 것을 특징으로 하는 수신기.

청구항 5.

제 1 항에 있어서,

상기 중간 주파수는 상기 무선 주파수와 샘플링 속도의 가장 근접한 고조파 사이의 차인 것을 특징으로 하는 수신기.

청구항 6.

제 1 항에 있어서,

상기 중간 주파수는 상기 무선 주파수와 같은 것을 특징으로 하는 수신기.

청구항 7.

제 1 항에 있어서,

상기 복조기는:

제 1 혼합기로서, 디지털 중간 주파수 신호를 나타내는 1 - 비트 디지털 샘플과 코사인 혼합 신호를 나타내는 제 1 시퀀스를 혼합하므로서 제 1 혼합된 신호를 발생시키는 제 1 혼합기;

제 2 혼합기로서, 디지털 중간 주파수 신호를 나타내는 1 - 비트 디지털 샘플과 사인 혼합 신호를 나타내는 제 2 시퀀스를 혼합하므로서 제 2 혼합된 신호를 발생시키는 제 2 혼합기; 및

동위상 및 직교 샘플을 발생시키도록 제 1 및 제 2 혼합된 신호를 부분 제거하기 위한 수단을 포함하는 것을 특징으로 하는 수신기.

청구항 8.

제 7 항에 있어서,

상기 중간 주파수는 상기 샘플링 속도의 1/4 인 것을 특징으로 하는 수신기.

청구항 9.

제 8 항에 있어서,

상기 제 1 혼합기는 디지털 중간 주파수 신호를 나타내는 1 - 비트 디지털 샘플을 수신하도록 결합된 제 1 입력부 및, 코사인 혼합 신호를 나타내는 제 1 시퀀스를 수신하도록 결합된 제 2 입력부를 포함하는 제 1 배타적 논리합 논리 게이트이고;

상기 제 2 혼합기는 디지털 중간 주파수 신호를 나타내는 1 - 비트 디지털 샘플을 수신하도록 결합된 제 1 입력부 및, 사인 혼합 신호를 나타내는 제 2 시퀀스를 수신하도록 결합된 제 2 입력부를 포함하는 제 2 배타적 논리합 논리 게이트인 것을 특징으로 하는 수신기.

## 청구항 10.

제 7 항에 있어서,

상기 제 1 혼합기는 디지털 중간 주파수 신호를 나타내는 1 - 비트 디지털 샘플을 수신하도록 결합된 제 1 입력부 및, 코사인 혼합 신호를 나타내는 제 1 시퀀스를 수신하도록 결합된 제 2 입력부를 포함하는 제 1 배타적 논리합 논리 게이트이고;

상기 제 2 혼합기는 디지털 중간 주파수 신호를 나타내는 1 - 비트 디지털 샘플을 수신하도록 결합된 제 1 입력부 및, 사인 혼합 신호를 나타내는 제 2 시퀀스를 수신하도록 결합된 제 2 입력부를 포함하는 제 2 배타적 논리합 논리 게이트인 것을 특징으로 하는 수신기.

## 청구항 11.

제 1 항에 있어서, 상기 복조기는:

디지털 중간 주파수 신호를 나타내는 1 - 비트 디지털 샘플을 수신하고, 그것으로 부터 제 1 및 제 2의 부분 제거된 신호를 발생시키기 위한 부분 제거 수단을 포함하고, 여기서

상기 제 1의 부분 제거된 신호는 1 - 비트 디지털 샘플에 근거하고;

상기 제 2의 부분 제거된 신호는 1 - 비트 디지털 샘플의 타임 - 시프트된 버전에 근거하고;

상기 각각의 제 1 및 제 2의 부분 제거된 신호는 중간 주파수를 나타내는 1 - 비트 디지털 샘플의 모든 수 N 에 대해서 하나의 샘플을 가지며;

상기 1 - 비트 디지털 샘플의 타임 - 시프트된 버전은 샘플링 속도의 ∠ n 사이클 만큼 지연된 1 - 비트 디지털 샘플이고;

상기 복조기는:

동위상 샘플을 발생시키도록 제 1의 부분 제거된 신호를 대역 통과 필터링하고, 직교 신호를 발생시키도록 제 2의 부분 제거된 신호를 대역 통과 필터링 하기 위한 수단도 포함하는 것을 특징으로 하는 수신기.

## 청구항 12.

제 11 항에 있어서, 상기 부분 제거 수단은:

시프트 레지스터로서, 상기 샘플링 속도로 1 - 비트 디지털 샘플을 수신하도록 결합된 시프트 레지스터;

상기 샘플링 속도의∠ n 사이클 만큼 서로에 대해 상호간에 타임 시프트되는 제 1 및 제 2의 부분 제거된 클록을 발생시키기 위한 수단;

제 1 래치로서, 시프트 레지스터로 부터의 출력을 수신하도록 결합된 데이터 입력부, 제 1의 부분 제거된 클록을 수신하도록 결합된 클록 입력부 및, 제 1의 부분 제거된 신호를 공급하기 위한 출력 포트를 포함하는 제 1 래치; 및

제 2 래치로서, 시프트 레지스터로 부터 출력을 수신하도록 결합된 데이터 입력부, 제 2의 부분 제거된 클록을 수신하도록 결합된 클록 입력부 및, 제 2의 부분 제거된 신호를 공급하기 위한 출력 포트를 포함하는 제 2 래치를 포함하며,

상기 각각의 제 1 및 제 2의 부분 제거된 클록은 샘플링 속도의 모든 N 사이클에 대해서 하나의 사이클을 발생시키는 것을 특징으로 하는 수신기.

## 청구항 13.

제 12 항에 있어서,

동위상 샘플을 발생시키도록 제 1의 부분 제거된 신호를 대역 통과 필터링하고, 직교 샘플을 발생시키도록 제 2의 부분 제거된 신호를 대역 통과 필터링하기 위한 수단은:

하나 이상의 제 1 및 제 2의 부분 제거된 신호를 수신하도록 결합된 지정 포트를 가지고, L 필터 계수의 부가 결합을 저장하는 하나 이상의 지정 가능한 메모리를 포함하고, L 필터 계수의 각각의 결합은 수신된 1-비트 디지털 샘플 중 하나의 수 L 가능한 값 $2^L$ 중 하나에 대응하는 것을 특징으로 하는 수신기.

## 청구항 14.

제 11 항에 있어서, 상기 부분 제거 수단은:

상기 샘플링 속도로 1-비트 디지털 샘플을 수신하도록 결합된 (P + ∠ n)-비트 시프트 레지스터(P는 정수);

상기 샘플링 속도의 모든 N 사이클에 대해 하나의 클록 사이클을 가지는 부분 제거된 클록을 발생시키기 위한 수단;

상기 (P + ∠ n)-비트 시프트 레지스터로 부터 (P + ∠ n)-비트 광대역 출력을 수신하도록 결합된 데이터 입력부, 상기 부분 제거된 클록을 수신하도록 결합된 클록 입력부 및, (P + ∠ n)-비트 출력 포트를 포함하는 (P + ∠ n)-비트 래치;

상기 제 1의 부분 제거된 신호로서 상기(P + ∠ n)-비트 출력 포트로 부터 최하위 P-비트를 공급하기 위한 수단; 및

상기 제 2의 부분 제거된 신호로서 상기 (P + ∠ n)-비트 출력 포트로 부터 최상위 P-비트를 공급하기 위한 수단을 포함하는 것을 특징으로 하는 수신기.

청구항 15.

제 14 항에 있어서,

동위상 샘플을 발생시키도록 제 1의 부분 제거된 신호를 대역 통과 필터링하고, 직교 샘플을 발생시키도록 제 2의 부분 제거된 신호를 대역 통과 필터링하기 위한 수단은:

지정 가능한 메모리로서, 제 1 및 제 2의 부분 제거된 신호중 하나 이상을 수신하도록 결합된 지정 포트를 가지고, L 필터 계수의 부가 결합을 거기에 저장하는 하나 이상의 지정 가능한 메모리를 포함하며, 상기 L 필터 계수의 각각의 결합은 수신된 1 - 비트 디지털 샘플 중 하나의 수 L 의 가능한 값 $2^{L}$중 하나에 대응하는 것을 특징으로 하는 수신기.

청구항 16.

제 1 항에 있어서,

상기 중간 주파수는 제 1 중간 주파수이고, 상기 복조기는:

제 2 중간 주파수를 가진 디지털 신호를 발생시키도록 디지털 중간 주파수 신호를 대역 통과 필터링하고 부분 제거하기 위한 수단; 및

제 2 중간 주파수를 가지는 디지털 신호로부터 동위상 및 직교 샘플을 재구성하기 위한 복조기를 포함하는 것을 특징으로 하는 수신기.

청구항 17.

제 16 항에 있어서,

상기 디지털 중간 주파수 신호를 대역 통과 필터링하고 부분 제거하기 위한 수단은 제 1 중간 주파수 부근에서 대역 특성을 갖는 것을 특징으로 하는 수신기.

청구항 18.

제 1 항에 있어서, 상기 복조기는:

디지털 중간 주파수 신호를 나타내는 1 - 비트 디지털 샘플과 코사인 혼합 신호를 나타내는 제 1 시퀀스를 결합하므로서 제 1 혼합된 신호를 발생시키는 제 1 혼합기;

디지털 중간 주파수 신호를 나타내는 1 - 비트 디지털 샘플과 사인 혼합 신호를 나타내는 제 2 시퀀스를 결합하므로서 제 2 혼합된 신호를 발생시키는 제 2 혼합기;

동위상 및 직교 신호를 발생시키도록 상기 제 1 및 제 2 혼합된 신호를 필터링 하기 위한 아날로그 필터 수단; 및

상기 동위상 및 직교 신호를 동위상 및 직교 샘플로 변환시키기 위한 아날로그 - 디지털 변환 수단을 포함하는 것을 특징으로 하는 수신기.

청구항 19.

제 18 항에 있어서,

상기 중간 주파수는 상기 샘플링 속도의 1/4 인 것을 특징으로 하는 수신기.

청구항 20.

제 19 항에 있어서,

상기 제 1 혼합기는 디지털 중간 주파수 신호를 나타내는 1 - 비트 디지털 샘플을 수신하도록 결합된 제 1 입력부 및, 코사인 혼합 신호를 나타내는 제 1 시퀀스를 수신하도록 결합된 제 2 입력부를 포함하는 제 1 배타적 논리합 논리 게이트이고;

상기 제 2 혼합기는 디지털 중간 주파수 신호를 나타내는 1 - 비트 디지털 샘플을 수신하도록 결합된 제 1 입력부 및, 사인 혼합 신호를 나타내는 제 2 시퀀스를 수신하도록 결합된 제 2 입력부를 포함하는 제 2 배타적 논리합 논리 게이트인 것을 특징으로 하는 수신기.

청구항 21.

제 18 항에 있어서,

상기 제 1 혼합기는 디지털 중간 주파수 신호를 나타내는 1 - 비트 디지털 샘플을 수신하도록 결합된 제 1 입력부 및, 코사인 혼합 신호를 나타내는 제 1 시퀀스를 수신하도록 결합된 제 2 입력부를 포함하는 제 1 배타적 논리합 논리 게이트이고;

상기 제 2 혼합기는 디지털 중간 주파수 신호를 나타내는 1 - 비트 디지털 샘플을 수신하도록 결합된 제 1 입력부 및, 사인 혼합 신호를 나타내는 제 2 시퀀스를 수신하도록 결합된 제 2 입력부를 포함하는 제 2 배타적 논리합 논리 게이트인 것을 특징으로 하는 수신기.

청구항 22.

신호를 수신하는 방법에 있어서:

무선 주파수 신호를 수신하는 단계;

샘플링 비율에서 무선 주파수 신호를 샘플링하고, 거기로 부터 디지털 중간 주파수 신호를 나타내는 1 - 비트 디지털 샘플을 발생시키는 시그마 - 델타 아날로그 - 디지털 변환기를 사용하는 단계; 및

동위상 및 직교 샘플을 발생시키도록 디지털 중간 주파수 신호를 복조하는 단계를 포함하는 것을 특징으로 하는 신호 수신 방법.

청구항 23.

제 22 항에 있어서,

상기 샘플링 속도는 상기 무선 주파수 신호에 존재하는 최대 주파수의 2배인 것을 특징으로 하는 신호 수신 방법.

청구항 24.

제 22 항에 있어서,

상기 샘플링 속도는 상기 무선 주파수 신호에 존재하는 최대 주파수의 2배 이상인 것을 특징으로 하는 신호 수신 방법.

청구항 25.

제 22 항에 있어서,

상기 샘플링 속도는 상기 무선 주파수 신호에 존재하는 최대 주파수의 2배 이하인 것을 특징으로 하는 신호 수신 방법.

청구항 26.

제 22 항에 있어서,

상기 중간 주파수는 무선 주파수와 샘플링 속도와 가장 근접한 고조파 사이의 차인 것을 특징으로 하는 신호 수신 방법.

청구항 27.

제 22 항에 있어서,

상기 중간 주파수는 상기 무선 주파수와 같은 것을 특징으로 하는 신호 수신 방법.

청구항 28.

제 22 항에 있어서, 상기 복조 단계는:

디지털 중간 주파수 신호를 나타내는 1-비트 디지털 샘플과 코사인 혼합 신호를 나타내는 제 1 시퀀스를 결합하므로서 제 1 혼합된 신호를 발생시키는 단계;

디지털 중간 주파수 신호를 나타내는 1-비트 디지털 샘플과 사인 혼합 신호를 나타내는 제 2 시퀀스를 결합하므로서 제 2 혼합된 신호를 발생시키는 단계; 및

동위상 및 직교 샘플을 발생시키도록 제 1 및 제 2 혼합된 신호를 부분 제거하는 단계를 포함하는 것을 특징으로 하는 신호 수신 방법.

청구항 29.

제 28 항에 있어서,

상기 중간 주파수는 상기 샘플링 속도의 1/4 인 것을 특징으로 하는 신호 수신 방법.

청구항 30.

제 29 항에 있어서,

상기 제 1 혼합된 신호를 발생시키는 단계는 디지털 중간 주파수 신호를 나타내는 1-비트 디지털 샘플 중 대응하는 것과, 코사인 혼합 신호를 나타내는 제 1 시퀀스 사이에 배타적 논리합 연산을 수행하는 단계를 포함하고;

상기 제 2 혼합된 신호를 발생시키는 단계는 디지털 중간 주파수 신호를 나타내는 1-비트 디지털 샘플 중 대응하는 것과, 사인 혼합 신호를 나타내는 제 2 시퀀스 사이에 배타적 논리합 연산을 수행하는 단계를 포함하는 것을 특징으로 하는 신호 수신 방법.

청구항 31.

제 28 항에 있어서,

상기 제 1 혼합된 신호를 발생시키는 단계는 디지털 중간 주파수 신호를 나타내는 1 - 비트 디지털 샘플 중 대응하는 것과, 코사인 혼합 신호를 나타내는 제 1 시퀀스 사이에 배타적 논리합 연산을 수행하는 단계를 포함하고;

상기 제 2 혼합된 신호를 발생시키는 단계는 디지털 중간 주파수 신호를 나타내는 1 - 비트 디지털 샘플 중 대응하는 것과, 사인 혼합 신호를 나타내는 제 2 시퀀스 사이에 배타적 논리합 연산을 수행하는 단계를 포함하는 것을 특징으로 하는 신호 수신 방법.

청구항 32.

제 22 항에 있어서, 상기 복조 단계는:

상기 디지털 중간 주파수 신호를 나타내는 1 - 비트 디지털 샘플을 수신하고, 이것으로 부터 제 1 및 제 2의 부분 제거된 신호를 발생시키는 단계를 포함하고; 여기서,

상기 제 1의 부분 제거된 신호는 1 - 비트 디지털 샘플에 근거하고;

상기 제 2의 부분 제거된 신호는 1 - 비트 디지털 샘플의 타임 - 시프트된 버전에 근거하고;

상기 각각의 제 1 및 제 2의 부분 제거된 신호는 중간 주파수를 나타내는 1 - 비트 디지털 샘플의 모든 수 N 에 대해 하나의 샘플을 가지며;

상기 1 - 비트 디지털 샘플의 타임 - 시프트된 버전은 샘플링 속도의 ∠ n 사이클 만큼 지연된 1 - 비트 디지털 샘플이며;

상기 복조 단계는:

상기 동위상 샘플을 발생시키도록 상기 제 1의 부분 제거된 신호를 대역 통과 필터링하는 단계; 및

상기 직교 샘플을 발생시키도록 상기 제 2의 부분 제거된 신호를 대역 통과 필터링하는 단계도 포함하는 것을 특징으로 하는 신호 수신 방법.

청구항 33.

제 22 항에 있어서,

상기 중간 주파수는 제 1 중간 주파수이고, 상기 복조 단계는:

상기 제 2 중간 주파수를 가진 디지털 신호를 발생시키도록 상기 디지털 중간 주파수를 대역 통과 필터링하고 부분 제거하는 단계; 및

상기 제 2 중간 주파수를 가지는 디지털 신호로부터 동위상 및 직교 샘플을 재구성하는 단계를 포함하는 것을 특징으로 하는 신호 수신 방법.

청구항 34.

제 33 항에 있어서,

상기 디지털 중간 주파수 신호를 대역 통과 필터링하고 부분 제거하는 단계는 제 1 중간 주파수 부근에서 대역 통과 특성을 사용하는 단계를 포함하는 것을 특징으로 하는 신호 수신 방법.

## 청구항 35.

제 22 항에 있어서, 상기 복조 단계는:

상기 디지털 중간 주파수 신호를 나타내는 1-비트 디지털 샘플과 코사인 혼합 신호를 나타내는 제 1 시퀀스를 결합하므로서 제 1 혼합된 신호를 발생시키는 단계;

상기 디지털 중간 주파수 신호를 나타내는 1-비트 디지털 샘플과 사인 혼합 신호를 나타내는 제 2 시퀀스를 결합하므로서 제 2 혼합된 신호를 발생시키는 단계;

상기 제 1 및 제 2 혼합된 신호를 필터링하여 동위상 및 직교 신호를 발생시키도록 상기 아날로그 필터링 단계를 사용하는 단계; 및

상기 동위상 및 직교 신호를 동위상 및 직교 샘플로 변환시키는 단계를 포함하는 것을 특징으로 하는 신호 수신 방법.

## 청구항 36.

제 35 항에 있어서,

상기 중간 주파수는 상기 샘플링 속도의 1/4 인 것을 특징으로 하는 신호 수신 방법.

## 청구항 37.

제 36 항에 있어서,

상기 제 1 혼합된 신호를 발생시키는 단계는 디지털 중간 주파수 신호를 나타내는 1-비트 디지털 샘플 중 대응하는 것과, 코사인 혼합 신호를 나타내는 제 1 시퀀스 사이의 배타적 논리합 연산을 수행하는 단계를 포함하고;

상기 제 2 혼합된 신호를 발생시키는 단계는 디지털 중간 주파수 신호를 나타내는 1-비트 디지털 샘플 중 대응하는 것과, 사인 혼합 신호를 나타내는 제 2 시퀀스 사이의 배타적 논리합 연산은 수행하는 단계를 포함하는 것을 특징으로 하는 신호 수신 방법.

## 청구항 38.

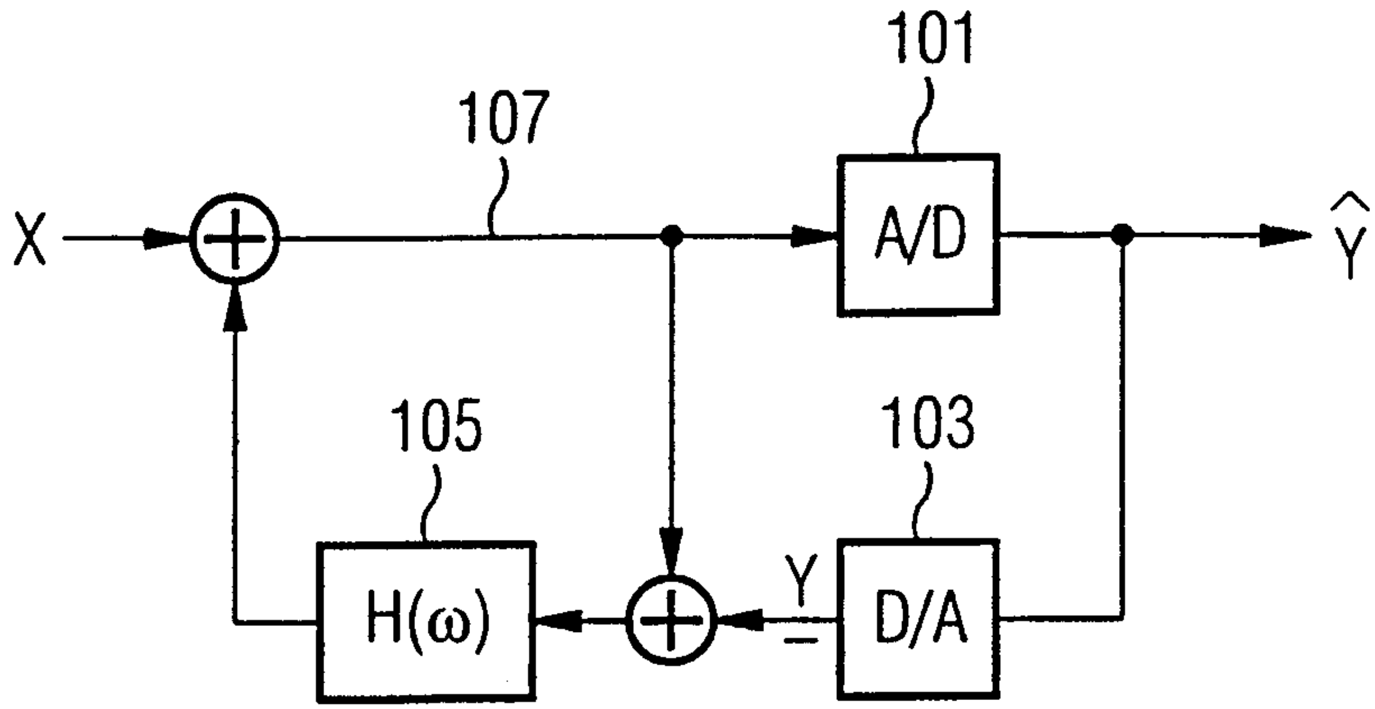
제 35 항에 있어서,

상기 제 1 혼합된 신호를 발생시키는 단계는 디지털 중간 주파수 신호를 나타내는 1-비트 디지털 샘플 중 대응하는 것과, 코사인 혼합 신호를 나타내는 제 1 시퀀스 사이의 배타적 논리합 연산을 수행하는 단계를 포함하고;

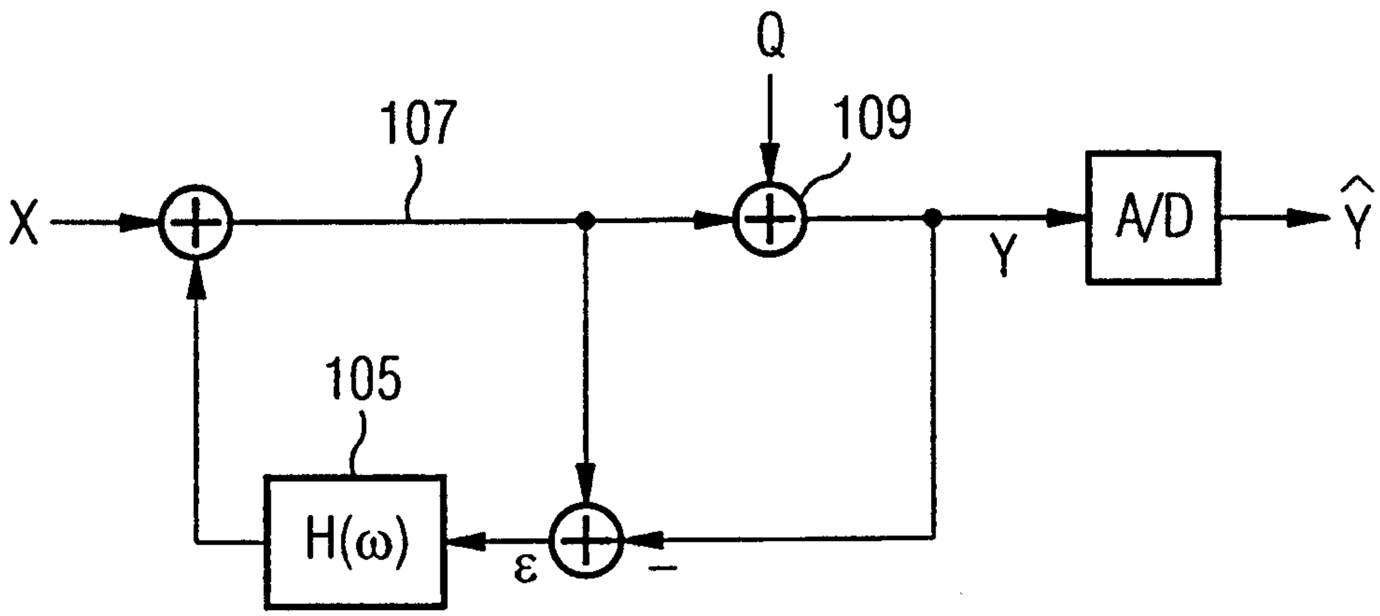
상기 제 2 혼합된 신호를 발생시키는 단계는 디지털 중간 주파수 신호를 나타내는 1-비트 디지털 샘플 중 대응하는 것과, 사인 혼합 신호를 나타내는 제 2 시퀀스 사이의 배타적 논리합 연산은 수행하는 단계를 포함하는 것을 특징으로 하는 신호 수신 방법.

## 도면

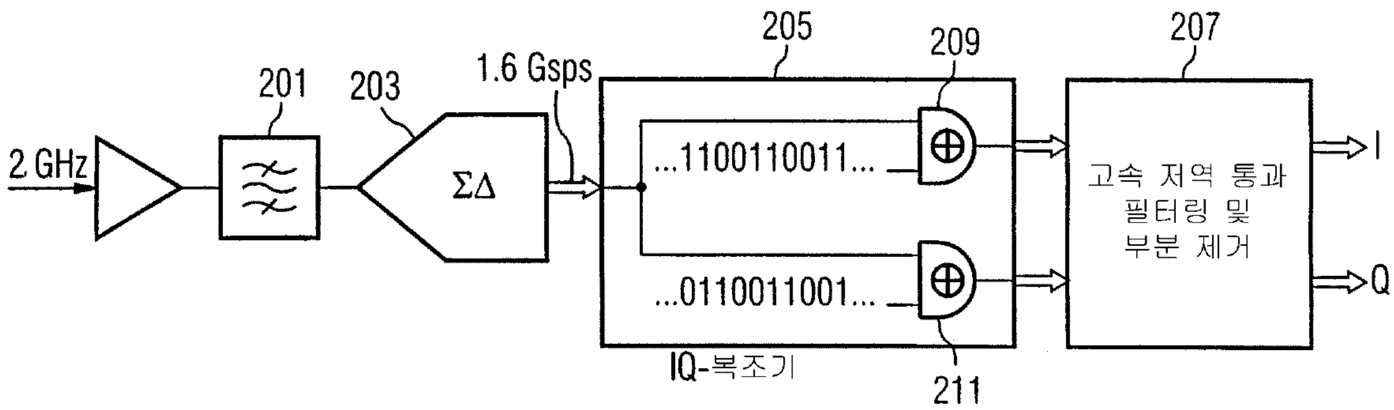
도면 1a



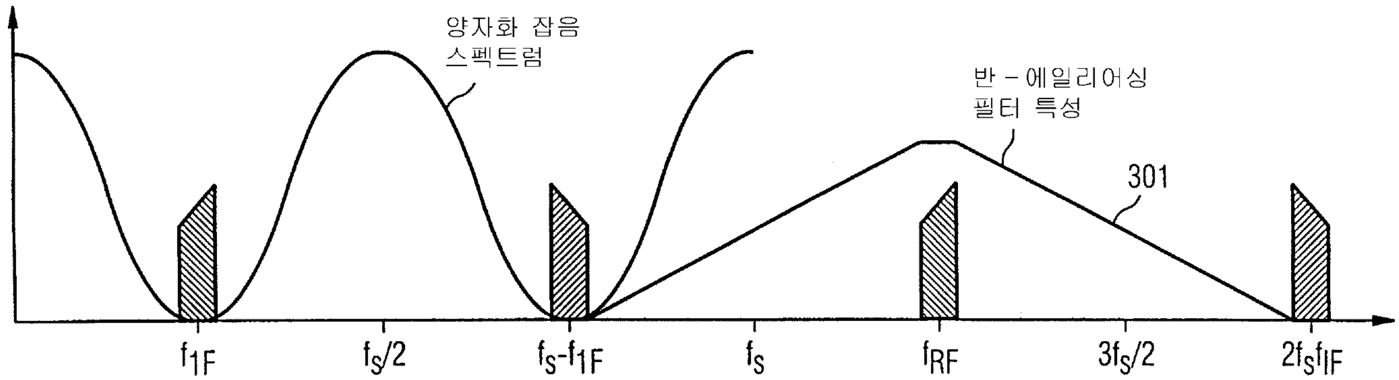

도면 1b



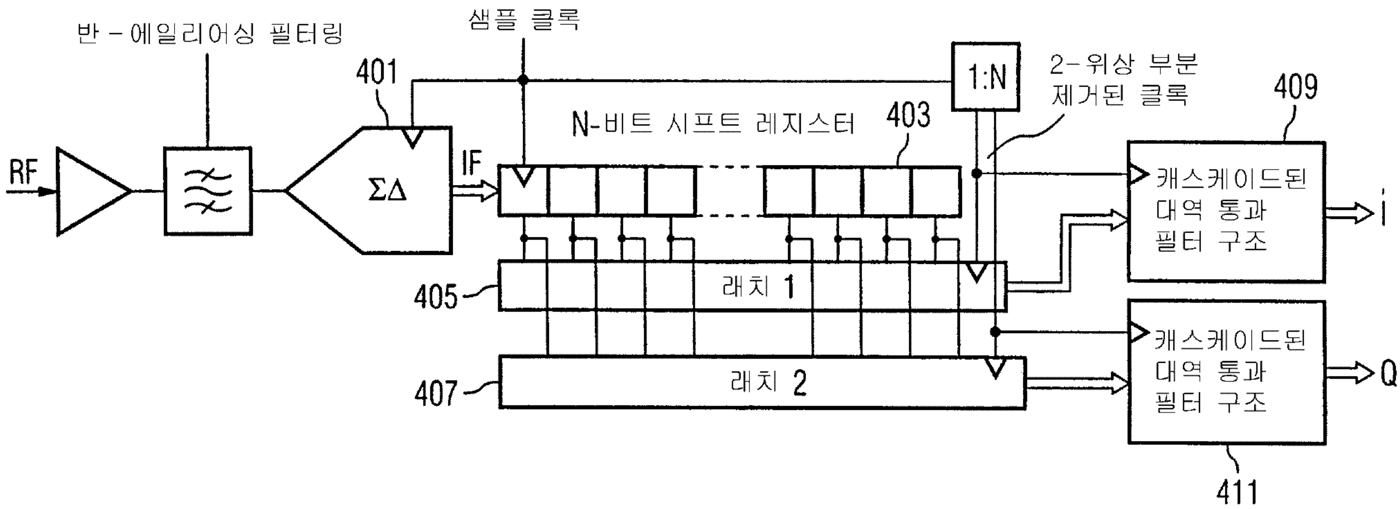
**도면 2**


2 GHz
201
203
1.6 Gsps
205
209
207
ΣΔ
...1100110011...
...0110011001...
고속 저역 통과 필터링 및 부분 제거
I
Q
IQ-복조기
211

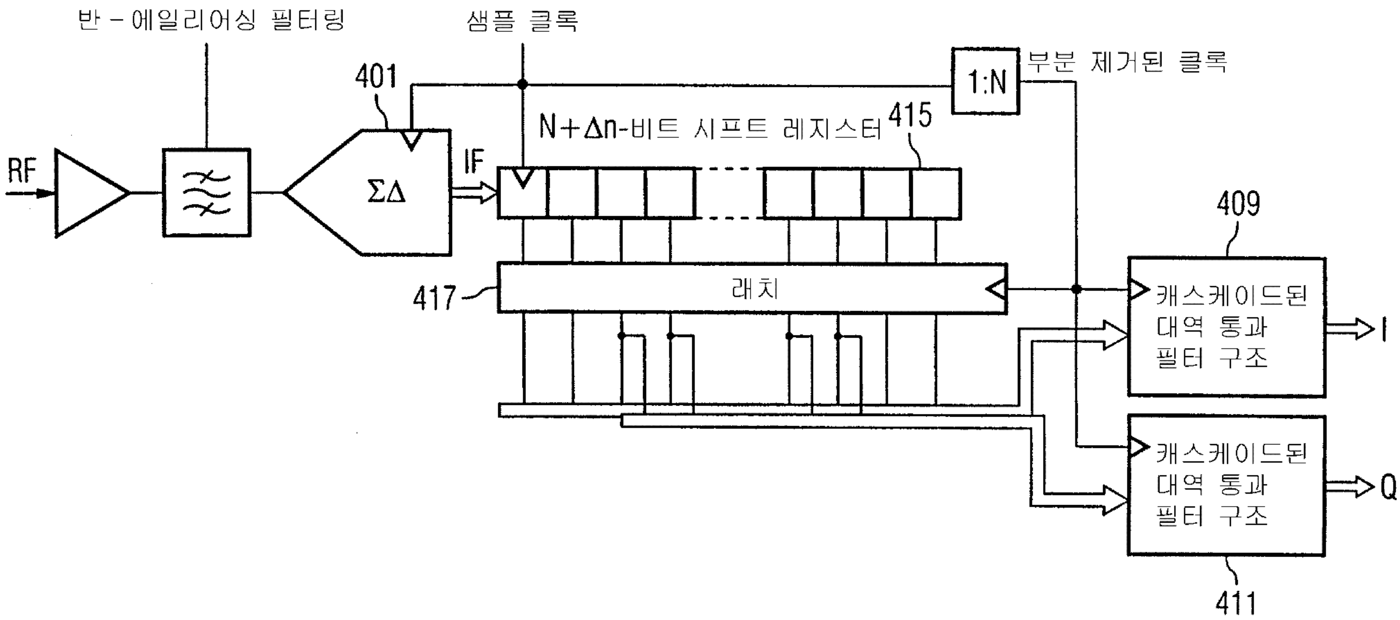
**도면 3**


양자화 잡음 스펙트럼
반 - 에일리어싱 필터 특성
301
f1F
fs/2
fs-f1F
fs
fRF
3fs/2
2fsfIF

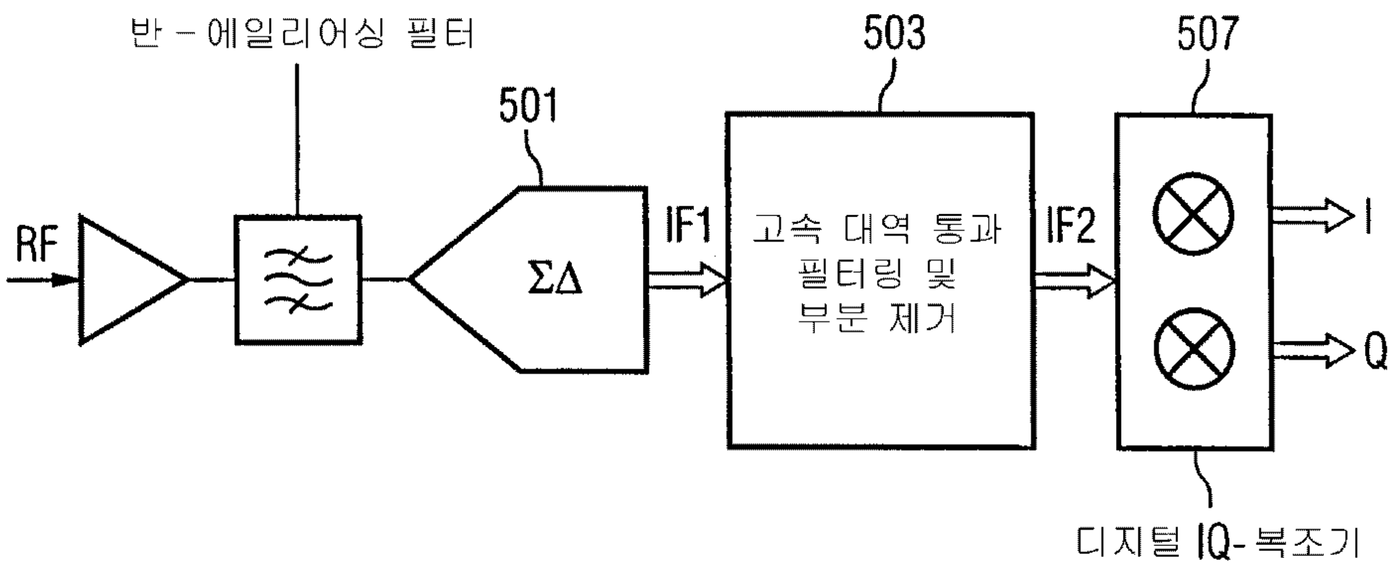
**도면 4a**


반 - 에일리어싱 필터링
샘플 클록
401
1:N
2-위상 부분 제거된 클록
409
RF
ΣΔ
IF
N-비트 시프트 레지스터
403
캐스케이드된 대역 통과 필터 구조
i
래치 1
405
래치 2
407
캐스케이드된 대역 통과 필터 구조
Q
411

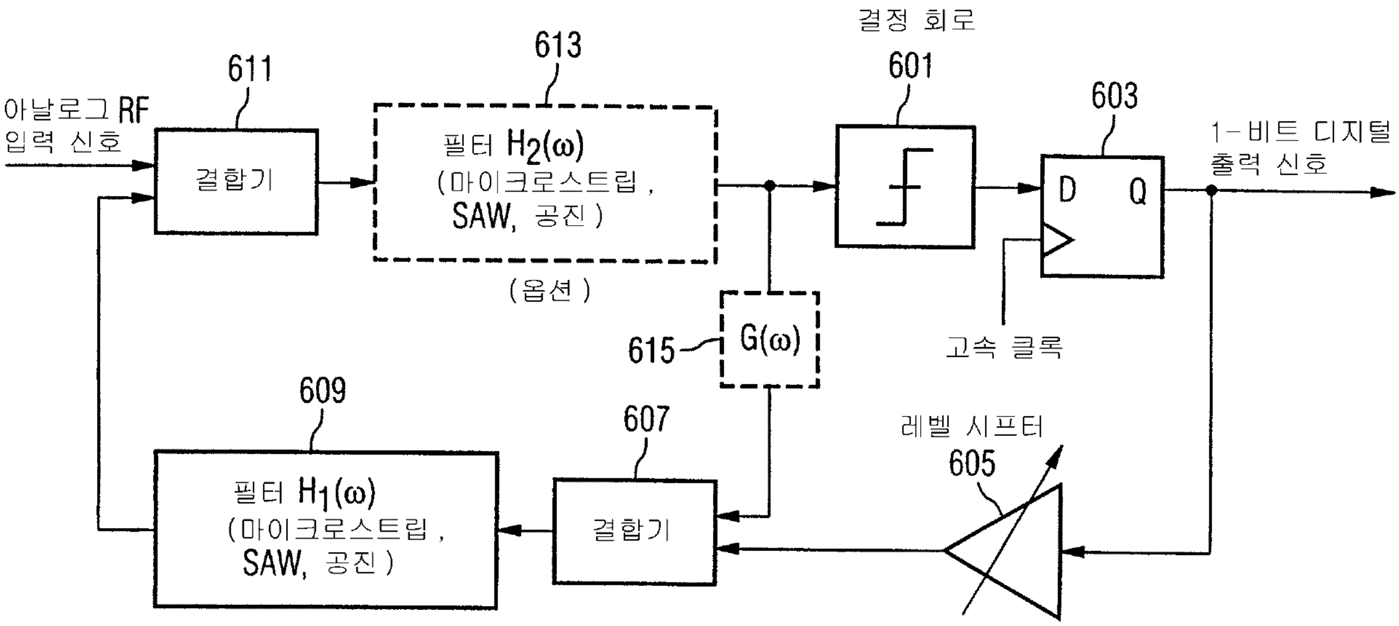
**도면 4b**


반-에일리어싱 필터링
샘플 클록
401
1:N
부분 제거된 클록
N+Δn-비트 시프트 레지스터
415
RF
ΣΔ
IF
409
417
래치
캐스케이드된 대역 통과 필터 구조
I
캐스케이드된 대역 통과 필터 구조
Q
411

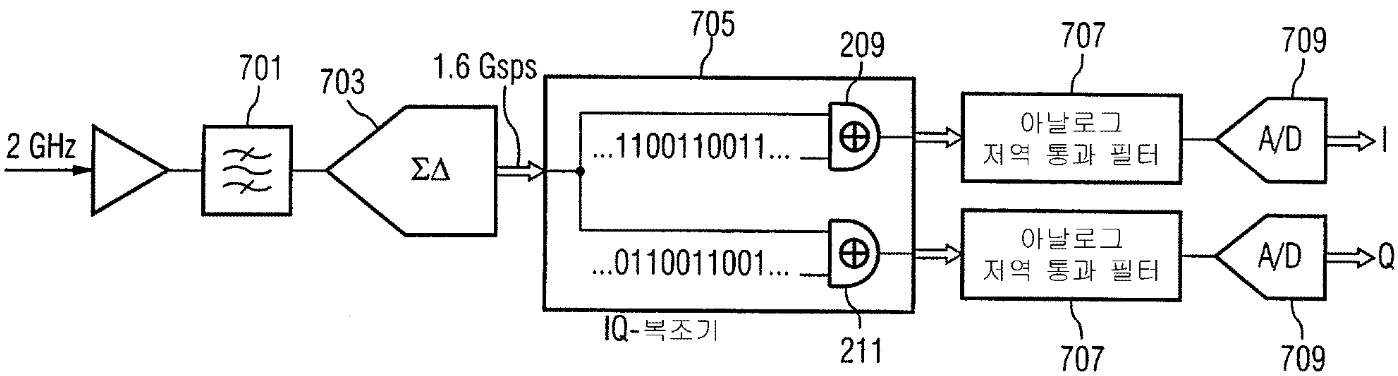
**도면 5**


반-에일리어싱 필터
503
507
501
RF
ΣΔ
IF1
고속 대역 통과 필터링 및 부분 제거
IF2
I
Q
디지털 IQ-복조기

도면 6


아날로그 RF
입력 신호
611
결합기
613
필터 $H_2(\omega)$
(마이크로스트립, SAW, 공진)
(옵션)
결정 회로
601
603
D
Q
1-비트 디지털
출력 신호
615
G(ω)
고속 클록
609
필터 $H_1(\omega)$
(마이크로스트립, SAW, 공진)
607
결합기
레벨 시프터
605

도면 7


2 GHz
701
703
1.6 Gsps
ΣΔ
705
209
...1100110011...
...0110011001...
IQ-복조기
211
707
아날로그
저역 통과 필터
707
709
A/D
I
A/D
Q
709