

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
H01L 21/76

(11) 공개번호 특2002 - 0002640
(43) 공개일자 2002년01월10일

(21) 출원번호 10 - 2000 - 0036866
(22) 출원일자 2000년06월30일

(71) 출원인 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136 - 1
(72) 발명자 이석주
경기도안양시동안구비산2동573번지삼익아파트2동711호
(74) 대리인 이후동
이정훈

심사청구 : 없음

(54) 반도체소자의 소자분리막 형성방법

요약

본 발명은 반도체소자의 소자분리절연막 형성방법에 관한 것으로,

반도체기판 상부에 패드산화막과 패드질화막을 적층하는 공정과, 상기 패드질화막, 패드산화막 및 일정두께의 반도체기판을 식각하여 트렌치를 형성하는 공정과, 상기 트렌치 표면을 포함한 전체표면상부에 산화막을 일정두께 형성하는 공정과, 상기 산화막을 전면식각하여 상기 트렌치 측벽에 산화막 스페이서를 형성하는 공정과, 상기 패드산화막과 패드질화막을 제거하는 공정과, 상기 트렌치 저부의 반도체기판을 선택적인 에피택셜 성장 (SEG) 실리콘층을 형성하는 공정으로 반도체소자의 고집적화에 충분한 크기의 소자분리막을 손상없이 형성하여 반도체소자의 수율 및 생산성을 향상시키고 그에 따른 반도체소자의 특성 및 신뢰성을 향상시키는 기술이다.

대표도
도 1f

명세서

도면의 간단한 설명

도 1a 내지 도 1f 는 본 발명의 실시예에 따른 반도체소자의 소자분리막 형성방법을 도시한 단면도.

< 도면의 주요부분에 대한 부호의 설명 >

1 : 반도체기판 2 : 패드산화막

3 : 패드질화막 4 : 감광막패턴

5 : 산화막 6 : 선택적인 에피택셜 성장 실리콘층

10 : 트렌치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 소자분리막 형성방법에 관한 것으로, 특히 선택적인 에피택셜 성장 (selective epitaxial growth, 이하에서 SEG 라 함) 공정과 어닐링공정을 이용하여 안정된 특성을 갖는 소자분리막을 형성함으로써 반도체소자의 특성 및 신뢰성을 향상시키고 반도체소자의 고집적화를 가능하게 하는 기술에 관한 것이다.

고집적화라는 관점에서 소자의 집적도를 높이기 위해서는 각각의 소자 디멘전 (dimension) 을 축소하는 것과, 소자간에 존재하는 분리영역 (isolation region) 의 폭과 면적을 축소하는 것이 필요하며, 이 축소정도가 셀의 크기를 좌우한다는 점에서 소자분리기술이 메모리 셀 사이즈 (memory cell size) 를 결정하는 기술이라고 할 수 있다.

소자분리막을 제조하는 종래기술로는 절연물 분리방식의 로코스 (LOCOS : LOCal Oxidation of Silicon, 이하에서 LOCOS 라 함) 방법, 실리콘기판상부에 산화막, 다결정실리콘층, 질화막순으로 적층한 구조의 피.비.엘. (Poly - Buffered LOCOS, 이하에서 PBL 이라 함) 방법, 기판에 홈을 형성한 후에 절연물질로 매립하는 트렌치 (trench) 방법 등이 있다.

그러나, 상기 LOCOS 방법으로 소자분리산화막을 미세화할 때 공정상 또는 전기적인 문제가 발생한다. 그중의 하나는, 소자분리막만으로는 전기적으로 소자를 완전히 분리할 수 없다는 것이다.

한편, 상기 PBL 을 사용하는 경우, 필드산화시에 산소의 측면확산에 의하여 버즈빅이 발생한다. 즉, 활성영역이 작아져 활성영역을 효과적으로 활용하지 못하며, 필드산화막의 두께가 두껍기 때문에 단차가 형성되어 후속공정에 어려움을 준다. 그리고, 기판상부의 다결정실리콘층으로 인하여 필드산화시 기판내부로 형성되는 소자분리막이 타기법에 비하여 상대적으로 작기 때문에 타기법에 비해 신뢰성을 약화시킬 수 있다.

그리고, 소자분리영역의 폭이 좁아질수록 실리콘 밑으로 들어간 산화막의 깊이가 얕아지게 되고 이경우 충분한 소자분리 특성을 확보하기 힘들기 때문에 소자분리영역을 미리 건식식각한 상태에서 화학기상증착 (chemical vapor deposition, 이하에서 CVD 라 함) 산화막을 이용하여 트렌치를 매립하는 기술로 소자분리막을 형성하였다.

최근에 반도체소자가 고집적화됨에 따라 화학기계연마 (chemical mechanical polishing, 이하에서 CMP 라 함) 공정을 이용한 트렌치형 소자분리막을 형성하게 되었다.

그러나, CMP 공정시 패드질화막 상부에 산화막이 남아 상기 패드질화막의 제거 공정시 제대로 제거되지 않는 단점이 있어 반도체소자의 수율 및 생산성을 저하시키거나 소자의 특성 및 신뢰성을 저하시키는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 상기한 종래기술의 문제점을 해결하기 위하여, SEG 공정을 이용하여 반도체소자의 고집적화를 가능하게 하는 소자분리막을 형성함으로써 반도체소자의 수율 및 생산성을 향상시킬 수 있는 반도체소자의 소자분리막 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 소자분리막 형성방법은,

반도체기판 상부에 패드산화막과 패드질화막을 적층하는 공정과,

상기 패드질화막, 패드산화막 및 일정두께의 반도체기판을 식각하여 트렌치를 형성하는 공정과,

상기 트렌치 표면을 포함한 전체표면상부에 산화막을 일정두께 형성하는 공정과,

상기 산화막을 전면식각하여 상기 트렌치 측벽에 산화막 스페이서를 형성하는 공정과,

상기 패드산화막과 패드질화막을 제거하는 공정과,

상기 트렌치 저부의 반도체기판을 선택적인 에피택셜 성장 (SEG) 실리콘층을 형성하는 공정을 포함하는 것을 특징으로 한다.

이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.

도 1a 내지 도 1f 는 본 발명의 실시예에 따른 반도체소자의 소자분리막 형성방법을 도시한 단면도이다.

먼저, 반도체기판(1) 상부에 패드산화막(2)과 패드질화막(3)을 형성한다. (도 1a)

그리고, 상기 패드질화막(3) 상부에 감광막패턴(4)을 형성한다.

이때, 상기 감광막패턴(4)은 전체표면상부에 감광막을 도포하고 이를 소자분리마스크를 이용한 노광 및 현상공정으로 패터닝한 것이다. (도 1b)

그 다음, 상기 감광막패턴(4)을 마스크로하여 상기 패드질화막(3), 패드산화막(2) 및 일정두께의 반도체기판(1)을 식각하여 트렌치(10)를 형성한다. (도 1c)

그리고, 상기 트렌치(10)를 포함한 전체표면상부에 산화막(5)을 100 - 1000 Å 두께 형성한다.

이때, 상기 산화막(5)은 고밀도 플라즈마 (high density plasma, 이하에서 HDP 라 함) 산화막이나 플라즈마 유.에 스.지. (plasma enhanced - undoped silicate glass, 이하에서 PE - USG 라 함) 와 같이 절연특성이 우수한 절연 물질로 형성한다. (도 1d)

그리고, 상기 산화막(5)을 마스크없이 전면식각하여 상기 트렌치(10) 측벽에 산화막(5) 스페이서를 형성한다.

그리고, 상기 패드질화막(3)과 패드산화막(2)을 제거한다. (도 1e)

그 다음, 상기 트렌치(10)의 저부의 반도체기판(1)을 SEG 시켜 SEG 실리콘층(6)을 형성한다.

이때, 상기 SEG 실리콘층(6)은 상기 산화막(5) 상부로 오버행 (over hang) 이 형성되지 않도록 형성한다.

그 다음, 상기 SEG 실리콘층(6)과 산화막(5)의 계면 특성을 향상시키기 위하여 표면을 50 - 100 Å 두께 산화시킨다. (도 1f)

후속공정으로 상기 반도체기판(1)에 불순물을 주입하여 웰을 형성한다.

본 발명의 다른 실시예는, 상기 패드산화막(2)과 패드질화막(3)의 적층구조 대신 마스크 산화막을 500 - 2000 Å 두께 형성하는 것이다.

이때, 상기 마스크 산화막은 PSG 와 같이 상기 산화막(5)보다 식각선택비가 우수한, 다시말하면 상기 산화막(5)보다 더 잘 식각되는 산화물질로 형성한다.

그리고, 상기 마스크 산화막의 제거공정은 HF 와 SC - 1 용액을 이용하여 실시한다.

발명의 효과

이상에서 설명한 바와같이 본 발명에 따른 반도체소자의 소자분리막 형성방법은, 트렌치 형성공정후 측벽에만 산화막을 형성하고 SEG 공정을 실시함으로써 소자의 손상없이 소자분리막을 형성하여 반도체소자의 고집적화를 가능하게 하는 효과를 제공한다.

(57) 청구의 범위

청구항 1.

반도체기판 상부에 패드산화막과 패드질화막을 적층하는 공정과,

상기 패드질화막, 패드산화막 및 일정두께의 반도체기판을 식각하여 트렌치를 형성하는 공정과,

상기 트렌치 표면을 포함한 전체표면상부에 산화막을 일정두께 형성하는 공정과,

상기 산화막을 전면식각하여 상기 트렌치 측벽에 산화막 스페이서를 형성하는 공정과,

상기 패드산화막과 패드질화막을 제거하는 공정과,

상기 트렌치 저부의 반도체기판을 선택적인 에피택셜 성장 (SEG) 실리콘층을 형성하는 공정을 포함하는 반도체소자의 소자분리막 형성방법.

청구항 2.

제 1 항에 있어서,

상기 산화막은 100 - 1000 Å 두께로 형성하는 것을 특징으로하는 반도체소자의 소자분리막 형성방법.

청구항 3.

제 1 항에 있어서,

상기 산화막은 HDP 산화막이나 PE - USG 산화막으로 형성하는 것을 특징으로하는 반도체소자의 소자분리막 형성방법.

청구항 4.

제 1 항에 있어서,

상기 SEG 실리콘층 형성후 표면을 50 - 100 Å 산화시키는 것을 특징으로하는 반도체소자의 소자분리막 형성방법.

청구항 5.

제 1 항에 있어서,

상기 패드산화막 및 패드질화막 적층구조는 마스크 산화막으로 대신하는 것을 특징으로하는 반도체소자의 소자분리막 형성방법.

청구항 6.

제 5 항에 있어서,

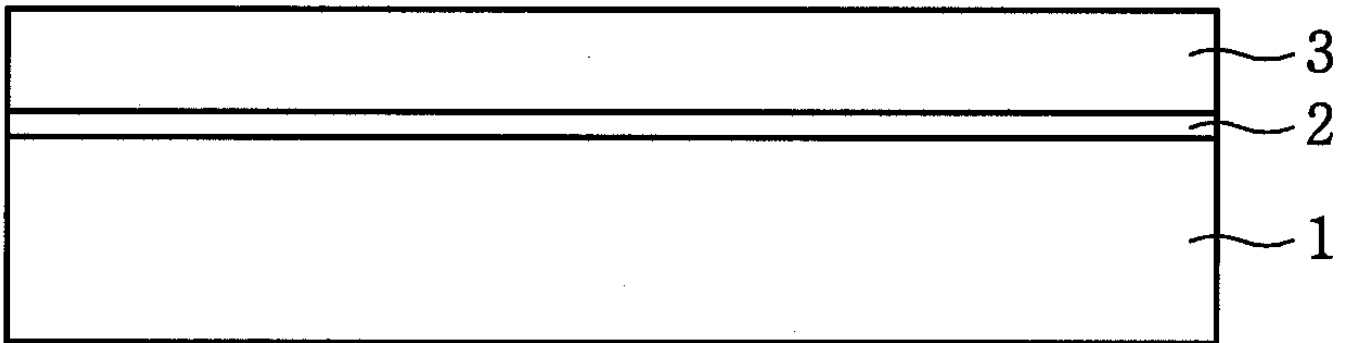
상기 마스크 산화막은 PSG를 500 - 2000 Å 두께로 형성하는 것을 특징으로하는 반도체소자의 소자분리막 형성방법.

청구항 7.

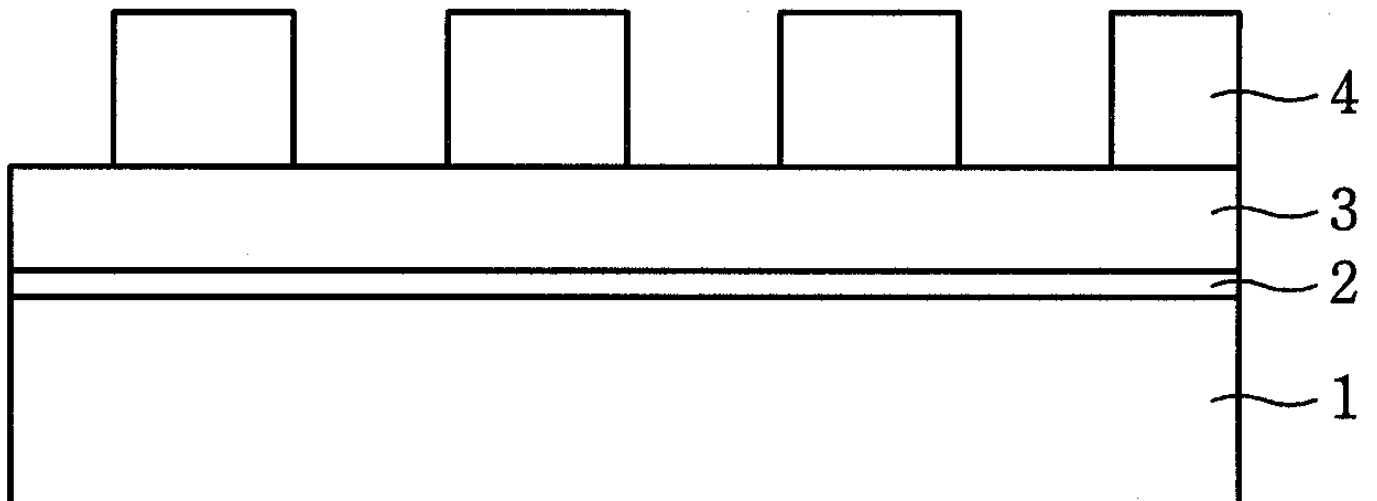
제 5 항에 있어서,

상기 마스크 산화막의 제거공정은 HF 와 SC - 1 용액을 이용하여 실시하는 것을 특징으로하는 반도체소자의 소자분리막 형성방법.

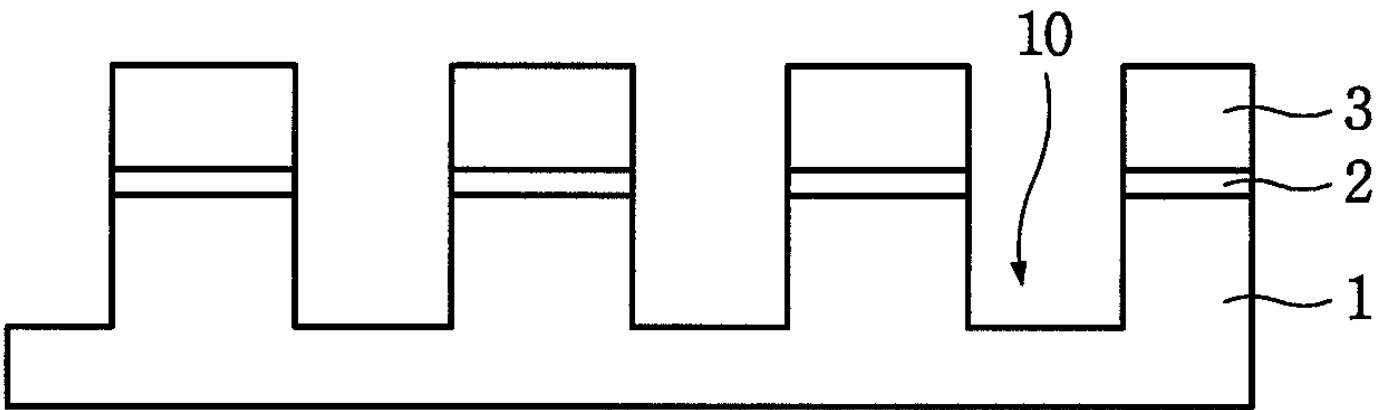
도면 1a



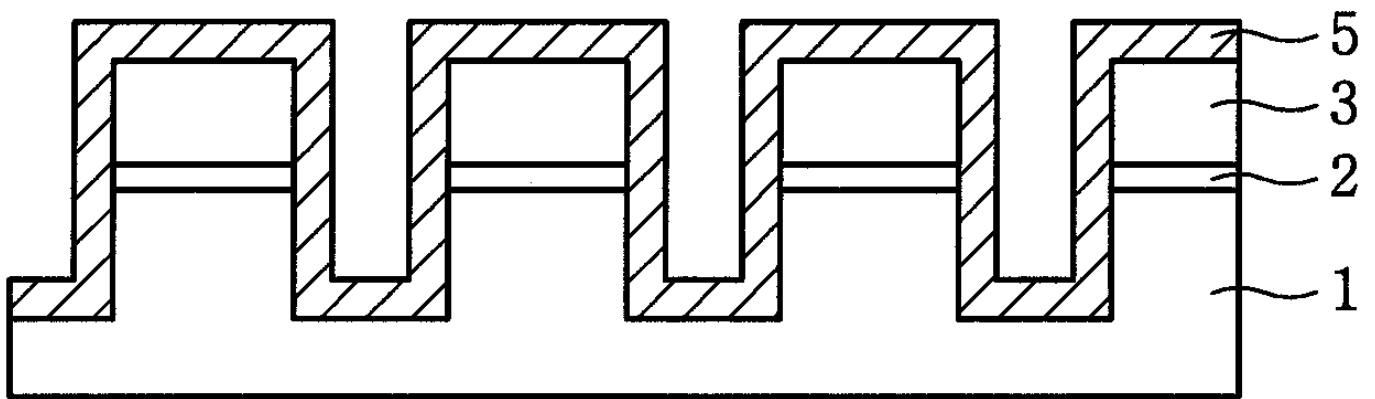
도면 1b



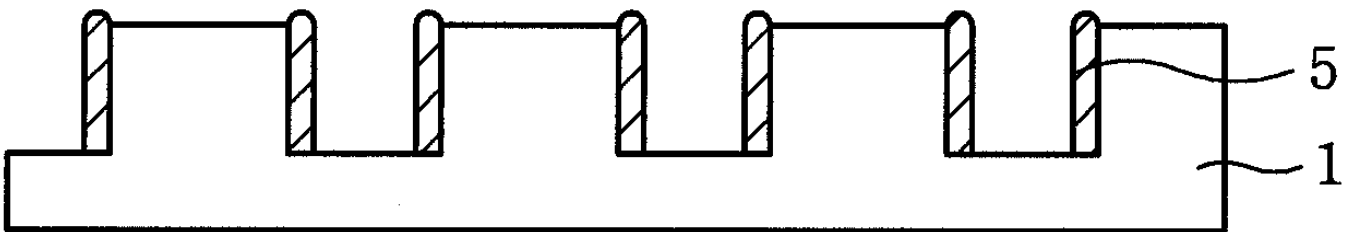
도면 1c



도면 1d



도면 1e



도면 1f

