

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年9月16日(2010.9.16)

【公表番号】特表2010-508654(P2010-508654A)

【公表日】平成22年3月18日(2010.3.18)

【年通号数】公開・登録公報2010-011

【出願番号】特願2009-533792(P2009-533792)

【国際特許分類】

H 0 1 L 21/82 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【F I】

H 0 1 L 21/82 F

H 0 1 L 27/04 T

【手続補正書】

【提出日】平成22年7月22日(2010.7.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

電子ヒューズをプログラムする方法であって、

チップ上の 1 つ又は複数のメモリ・ビット内にストアされたヒューズ・プログラミング条件識別子にアクセスするステップと、

1 つ又は複数の最適ヒューズ・プログラミング条件を前記ヒューズ・プログラミング条件識別子に関連付けるステップと、

前記 1 つ又は複数の最適ヒューズ・プログラミング条件を用いて前記チップ上の 1 つ又は複数のヒューズをプログラムするステップとを含む方法。

【請求項 2】

前記アクセスするステップは、前記チップが前記チップの製造業者から前記チップの購入者に引き渡された後に実行される、請求項 1 に記載の方法。

【請求項 3】

前記 1 つ又は複数のメモリ・ビットは電子チップ識別マクロ内に含まれる、請求項 1 又は請求項 2 に記載の方法。

【請求項 4】

前記 1 つ又は複数のメモリ・ビットは電子ヒューズを含む、請求項 1、請求項 2、又は請求項 3 の何れか 1 項に記載の方法。

【請求項 5】

前記 1 つ又は複数の最適ヒューズ・プログラミング条件は、前記チップの製造テスト中にチップ毎に決定される、前記請求項の何れか 1 項に記載の方法。

【請求項 6】

前記 1 つ又は複数の最適ヒューズ・プログラミング条件を前記決定するステップは、

複数のテスト・チップを 1 つ又は複数の最適チップ・プログラミング条件に対してテストするステップと、

前記複数のテスト・チップからの関連付けパラメータの複数のテスト値であって、各々

が複数のヒューズ・プログラミング条件セットの 1 つに対する前記複数のテスト値を決定するステップと、

前記チップを、前記関連付けパラメータの実際の値に対してテストするステップと、

前記実際の値を前記複数のテスト値と比較して、前記チップに対する前記複数のヒューズ・プログラミング条件セットの内の最適の 1 つを決定するステップと、

前記複数のヒューズ・プログラミング条件セットの内の前記最適の 1 つのインジケータを、前記ヒューズ・プログラミング条件識別子としてストアするステップと

を含む、

請求項 5 に記載の方法。

【請求項 7】

前記関連付けパラメータは前記チップのヒューズ・プログラミング電流である、請求項 6 に記載の方法。

【請求項 8】

前記ヒューズ・プログラミング電流は、

前記チップの電子ヒューズのヒューズ・プログラミング電源ライン上のバックグラウンド電流を計測することと、

前記ヒューズ・プログラミング電源ライン上の「オン」電流を、チップ・プログラミング・パラメータの所定の値において、前記電子ヒューズを前記「オン」電流に晒さずに計測することと、

前記「オン」電流と前記バックグラウンド電流の間の差を決定することと

によって決定される、

請求項 7 に記載の方法。

【請求項 9】

前記 1 つ又は複数の最適ヒューズ・プログラミング条件は、ヒューズ・プログラミング電源電圧、ヒューズ・プログラミング・ゲート電圧、ヒューズ・プログラミング時間、及びそれらの任意の組合せから成る群から選択される条件を含む、前記請求項の何れか 1 項に記載の方法。

【請求項 10】

チップの電子ヒューズをフィールドにおいて、該チップの製造業者の顧客によりプログラミングするための方法であって、

チップの 1 つ又は複数の電子ヒューズに対する 1 つ又は複数の最適ヒューズ・プログラミング条件を決定するステップと、

前記 1 つ又は複数の最適ヒューズ・プログラミング条件のインジケータを、前記チップ上の 1 つ又は複数のメモリ・ビット内にストアするステップと、

前記チップを前記フィールドにおける顧客に供給するステップと、

前記顧客に、前記 1 つ又は複数のメモリ・ビットからの前記 1 つ又は複数の最適ヒューズ・プログラミング条件にアクセスすることを教示して、前記顧客が前記 1 つ又は複数の電子ヒューズの少なくとも 1 つをプログラムすることを可能にするステップとを含む方法。

【請求項 11】

前記 1 つ又は複数のメモリ・ビットは電子チップ識別マクロ内に含まれる、請求項 10 に記載の方法。

【請求項 12】

前記 1 つ又は複数のメモリ・ビットは電子ヒューズを含む、請求項 10 又は請求項 11 に記載の方法。

【請求項 13】

前記 1 つ又は複数の最適ヒューズ・プログラミング条件を前記決定するステップは、前記チップの製造テスト中にチップ毎に実施される、請求項 10、請求項 11 又は請求項 12 の何れか 1 項に記載の方法。

【請求項 14】

前記 1 つ又は複数の最適ヒューズ・プログラミング条件を前記決定するステップは、
複数のテスト・チップを、最適チップ・プログラミング条件に対してテストするステップと、

前記複数のテスト・チップからの関連付けパラメータの複数のテスト値であって、各々が複数のヒューズ・プログラミング条件セットの 1 つに対する前記複数のテスト値を決定するステップと、

前記チップを前記関連付けパラメータの実際の値に対してテストするステップと、

前記実際の値を前記複数のテスト値と比較することにより、前記チップに関する前記複数のヒューズ・プログラミング条件セットのうちの最適の 1 つを決定するステップと、

前記複数のヒューズ・プログラミング条件セットのうちの前記最適の 1 つのインジケータを、前記ヒューズ・プログラミング条件識別子としてストアするステップと
を含む、請求項 1 0 乃至請求項 1 3 の何れか 1 項に記載の方法。

【請求項 1 5】

前記関連付けパラメータは前記チップのヒューズ・プログラミング電流である、請求項 1 4 に記載の方法。

【請求項 1 6】

前記ヒューズ・プログラミング電流は、

前記チップの電子ヒューズのヒューズ・プログラミング電源ライン上のバックグラウンド電流を計測することと、

前記ヒューズ・プログラミング電源ライン上の「オン」電流を、チップ・プログラミング・パラメータの所定の値において、前記電子ヒューズを前記「オン」電流に晒さずに計測することと、

前記「オン」電流と前記バックグラウンド電流の差を決定することと

によって決定される、

請求項 1 5 に記載の方法。

【請求項 1 7】

前記 1 つ又は複数の最適ヒューズ・プログラミング条件は、ヒューズ・プログラミング電源電圧、ヒューズ・プログラミング・ゲート電圧、ヒューズ・プログラミング時間、及びこれらの任意の組合せから成る群から選択される条件を含む、請求項 1 0 に記載の方法。

【請求項 1 8】

チップの電子ヒューズをプログラミングするための設計構造体であって、

チップの 1 つ又は複数の電子ヒューズに対する 1 つ又は複数の最適ヒューズ・プログラミング条件を決定する手段と、

前記 1 つ又は複数の最適ヒューズ・プログラミング条件のインジケータを、前記チップ上の 1 つ又は複数のメモリ・ビット内にストアする手段と、

前記チップをフィールドにおける顧客に提供する手段と、

前記顧客に、前記 1 つ又は複数のメモリ・ビットからの前記 1 つ又は複数の最適ヒューズ・プログラミング条件にアクセスすることを教示して前記顧客が前記 1 つ又は複数の電子ヒューズの少なくとも 1 つをプログラミングすることを可能にする手段と

を含む設計構造体。

【請求項 1 9】

前記 1 つ又は複数のメモリ・ビットは電子チップ識別マクロ内に含まれる、請求項 1 8 に記載の設計構造体。

【請求項 2 0】

前記 1 つ又は複数のメモリ・ビットは電子ヒューズを含む、請求項 1 8 又は請求項 1 9 に記載の設計構造体。