

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4109241号

(P4109241)

(45) 発行日 平成20年7月2日(2008.7.2)

(24) 登録日 平成20年4月11日(2008.4.11)

(51) Int.Cl.	F I	
<b>HO3M 13/19</b> (2006.01)	HO3M 13/19	
<b>GO6F 11/10</b> (2006.01)	GO6F 11/10	320A
<b>HO3M 13/15</b> (2006.01)	GO6F 11/10	330S
<b>HO4L 1/00</b> (2006.01)	HO3M 13/15	
	HO4L 1/00	B
請求項の数 15 外国語出願 (全 27 頁)		

(21) 出願番号	特願2004-312741 (P2004-312741)	(73) 特許権者	504228254
(22) 出願日	平成16年10月27日(2004.10.27)		ザ・ディレクティブ・グループ・イン
(65) 公開番号	特開2005-136990 (P2005-136990A)		コーポレイテッド
(43) 公開日	平成17年5月26日(2005.5.26)		アメリカ合衆国、カリフォルニア州 90
審査請求日	平成16年10月27日(2004.10.27)		245、エル・セグンド、イー・インペ
(31) 優先権主張番号	60/514,680		リアル・ハイウェイ 2230
(32) 優先日	平成15年10月27日(2003.10.27)	(74) 代理人	100058479
(33) 優先権主張国	米国 (US)		弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
最終頁に続く			

(54) 【発明の名称】 減少されたメモリの低密度パリティチェック (LDPC) コードを提供する方法および装置

(57) 【特許請求の範囲】

【請求項1】

エンコーディングするための方法において、  
 情報ビットを受信することと、  
テーブル1

【表 1】

テーブル1

パリティビットアキュムレータのアドレス(レート3/5)							
22407	10271	11614	19944	11218	2914	3149	73
15405	9692	9911	3315	343	22463	11100	12704
22561	17290	22501	6471	6935	8761	13279	8911
11053	22855	25752	14337	5499	19226	8772	2187
7750	7477	6155	7039	15401	20623	11950	16146
25376	5191	15926	21804	17531	11820	21622	12048
16555	14530	7636	10699	17439	11098	5675	14131
10381	22342	15382	7062	17440	13122	14500	24536
1041	15025	25372	14243	24448	21620	23701	7474
18504	22194	20916	8948	5461	15657	6146	21549
24143	2676	23993	24376	22472	10350	1079	12342
23825	9004	25634	16833	5736	18814	11600	5591
21494	24795	6352	17362	7102	13903	3993	16495
11561	15038	23349	503	3497	11202	15418	16076
22528	2432	19064	2934	21660	1911	7499	5616
7283	16543	13866	6723	8888	18245	16962	1743
2727	16421	728	10651	7012	9191	10149	9106
13005	10331	15275	3145	13413	12800	17139	4932
4504	15820	24833	17200	14077	4993	9788	6653
18224	11374	9038	4713	510	9369	7421	8337
23906	18930	7269	12514	4373	20020	6164	21016
4406	8242	22946	25140	10353	5300	14809	5808
15911	16437	15764	17765	17427	9495	8358	4961
2131	12908	5343	14758	14678	7988	20631	4357
24002	10014	11034	3773	24265	8059	19802	854
23920	10497	19268	17515	6333	7787	17171	17614
15810	7467	23718	3651	24578	16552	17557	22433

10

20

20507 4411 24872 11006 17541 15667 15278 4243  
24148 10488 8501 23359 4030 1418 4442 23299  
16584 8067 24762 3645 25884 8712 9585 20358  
10710 6116 24519 7728 19963 24989 23944 13660  
18708 145 3901 22948 16454 17670 15352 18189  
3218 11549 18170 12733 18733 5705 14682 17199  
14921 11190 25097 23569 86 4804 10478 22553  
657 53 15215 15049 13307 2328 19535 21435  
19767 2988 16855 4858 23970 15171 724 23353  
0 19274 20228  
1 13271 1515  
2 10864 476  
3 4787 21317  
4 2609 15664  
5 23875 22477  
6 9537 18270  
7 12039 16705  
8 15180 18317  
9 10133 6682  
10 10203 5671  
11 12482 13992  
12 19116 1725  
13 17558 16333  
14 7932 18883  
15 23346 6770  
16 5049 15145  
17 6960 8821  
18 10686 16411  
19 14276 4043  
20 6988 1073  
21 20504 4318  
22 14806 18855  
23 23408 2829  
24 22876 24662  
25 14159 10002  
26 8898 25354  
27 5936 1007  
28 16162 7228  
29 23710 23342  
30 23745 16423  
31 13336 18903  
32 10697 8815  
33 6198 6723  
34 2880 20781  
35 11857 24611  
36 8005 2292  
37 24679 6248  
38 21841 20646  
39 11296 9870  
40 21935 16106  
41 10983 18735  
42 12821 12188  
43 13941 10895  
44 5712 19077

10

20

30

40

45	6437	11275
46	10827	11446
47	14047	13073
48	1503	19612
49	17944	1338
50	11235	24946
51	19170	7268
52	2913	2560
53	17734	7765
54	9625	22307
55	17651	16905
56	300	3636
57	1526	23116
58	17733	2448
59	14977	13008
60	11946	12026
61	8819	8702
62	11906	4819
63	2629	12075
64	4854	5201
65	13627	18773
66	18658	12753
67	24872	8887
68	3455	8326
69	10772	3134
70	21514	18584
71	15689	18484

10

20

により特定されるパリティビットアドレスにおいてビットを累積することにより、 $3/5$ のコードレートにしたがって、情報ビットに基づき、低密度パリティチェック (LDPC) コードのパリティビットを発生させることを含み、  
パリティビット  $p_i$  は、

30

【数 1】

$$p_i = p_i \oplus p_{i-1}, \quad i = 1, 2, \dots, n_{ldpc} - k_{ldpc} - 1$$

にしたがって決定され、 $k_{ldpc}$  は情報ブロックサイズであり、 $n_{ldpc}$  はコードワードサイズである方法。

【請求項 2】

40

LDPC コード化信号を変調することと、  
変調された信号を送信することとをさらに含む請求項 1 記載の方法。

【請求項 3】

変調された信号は、ブロードバンド衛星アプリケーションのサポートで衛星リンクを通して送信される請求項 2 記載の方法。

【請求項 4】

変調するステップは、8-PSK (位相偏移変調)、16-QAM (直交振幅変調)、QPSK (4位相偏移変調)、16-APSK (振幅位相偏移変調) または 32-APSK のうちの 1 つを含む信号配列にしたがって実行される請求項 2 記載の方法。

【請求項 5】

50

エンコーディングするための命令を記憶しているコンピュータ読み取り可能な媒体において、

前記命令は、実行時に1つ以上のプロセッサに請求項1記載の方法を実行させるように構成されている媒体。

【請求項6】

エンコーダにおいて、  
情報ビットを受信する手段と、  
テーブル1

【表 2】

テーブル1

パリティビットアキュムレータのアドレス(レート3/5)	
22407	10271 11614 19944 11218 2914 3149 73
15405	9692 9911 3315 343 22463 11100 12704
22561	17290 22501 6471 6935 8761 13279 8911
11053	22855 25752 14337 5499 19226 8772 2187
7750	7477 6155 7039 15401 20623 11950 16146
25376	5191 15926 21804 17531 11820 21622 12048
16555	14530 7636 10699 17439 11098 5675 14131
10381	22342 15382 7062 17440 13122 14500 24536
1041	15025 25372 14243 24448 21620 23701 7474
18504	22194 20916 8948 5461 15657 6146 21549
24143	2676 23993 24376 22472 10350 1079 12342
23825	9004 25634 16833 5736 18814 11600 5591
21494	24795 6352 17362 7102 13903 3993 16495
11561	15038 23349 503 3497 11202 15418 16076
22528	2432 19064 2934 21660 1911 7499 5616
7283	16543 13866 6723 8888 18245 16962 1743
2727	16421 728 10651 7012 9191 10149 9106
13005	10331 15275 3145 13413 12800 17139 4932
4504	15820 24833 17200 14077 4993 9788 6653
18224	11374 9038 4713 510 9369 7421 8337
23906	18930 7269 12514 4373 20020 6164 21016
4406	8242 22946 25140 10353 5300 14809 5808
15911	16437 15764 17765 17427 9495 8358 4961
2131	12908 5343 14758 14678 7988 20631 4357
24002	10014 11034 3773 24265 8059 19802 854
23920	10497 19268 17515 6333 7787 17171 17614
15810	7467 23718 3651 24578 16552 17557 22433
20507	4411 24872 11006 17541 15667 15278 4243
24148	10488 8501 23359 4030 1418 4442 23299
16584	8087 24762 3645 25884 8712 9585 20358
10710	6116 24519 7728 19963 24989 23944 13660
18708	145 3901 22948 16454 17670 15352 18189
3218	11549 18170 12733 18733 5705 14682 17199
14921	11190 25097 23569 86 4804 10478 22553
657	53 15215 15049 13307 2328 19535 21435
19767	2988 16855 4858 23970 15171 724 23353
0	19274 20228
1	13271 1515
2	10864 476
3	4787 21317
4	2609 15664
5	23875 22477
6	9537 18270
7	12039 16705
8	15180 18317
9	10133 6682
10	10203 5671
11	12482 13992
12	19116 1725
13	17558 16333
14	7932 18883
15	23346 6770

10

20

30

40

16 5049 15145  
17 6960 8821  
18 10686 16411  
19 14276 4043  
20 6988 1073  
21 20504 4318  
22 14806 18855  
23 23408 2829  
24 22876 24662  
25 14159 10002  
26 8898 25354  
27 5936 1007  
28 16162 7228  
29 23710 23342  
30 23745 16423  
31 13336 18903  
32 10697 8815  
33 6198 6723  
34 2880 20781  
35 11857 24611  
36 8005 2292  
37 24679 6248  
38 21841 20646  
39 11296 9870  
40 21935 16106  
41 10983 18735  
42 12821 12188  
43 13941 10895  
44 5712 19077  
45 6437 11275  
46 10827 11446  
47 14047 13073  
48 1503 19612  
49 17944 1338  
50 11235 24946  
51 19170 7268  
52 2913 2560  
53 17734 7765  
54 9625 22307  
55 17651 16905  
56 300 3636  
57 1526 23116  
58 17733 2448  
59 14977 13008  
60 11946 12026  
61 8819 8702  
62 11908 4819  
63 2629 12075  
64 4854 5201  
65 13627 18773  
66 18658 12753  
67 24872 8887  
68 3455 8326  
69 10772 3134  
70 21514 18584  
71 15689 18484

10

20

30

40

により特定されるパリティビットアドレスにおいてビットを累積することにより、 $3/5$ のコードレートにしたがって、情報ビットに基づき、低密度パリティチェック(LDPC)コードのパリティビットを発生させる手段とを具備し、  
パリティビット $p_i$ は、

50

【数 2】

$$p_i = p_i \oplus p_{i-1}, \quad i = 1, 2, \dots, n_{ldpc} - k_{ldpc} - 1$$

にしたがって決定され、 $k_{ldpc}$  は情報ブロックサイズであり、 $n_{ldpc}$  はコードワードサイズであるエンコーダ。

【請求項 7】

L D P C コードのパリティビットを発生させる手段に結合され、L D P C コードに対するアウトコードを提供するように構成されている Bose Chaudhuri Hocqenghem ( B C H ) エンコーディング手段をさらに具備する請求項 6 記載のエンコーダ。

10

【請求項 8】

L D P C コード化信号が変調されて衛星リンクを通して送信される請求項 6 記載のエンコーダ。

【請求項 9】

変調された信号は、ブロードバンド衛星アプリケーションのサポートで送信される請求項 8 記載のエンコーダ。

【請求項 10】

変調は、8 - P S K ( 位相偏移変調 )、16 - Q A M ( 直交振幅変調 )、Q P S K ( 4 位相偏移変調 )、16 - A P S K ( 振幅位相偏移変調 ) または 32 - A P S K のうちの 1 つを含む信号配列にしたがって実行される請求項 8 記載のエンコーダ。

20

【請求項 11】

エンコーディングするための装置において、受信情報ビットに基づいて、L D P C コードを出力するように構成されている低密度パリティチェック ( L D P C ) エンコーダを具備し、L D P C コードのパリティビットは、  
テーブル 1

【表3】

テーブル1

パリティビットアキュムレータのアドレス(レート3/5)							
22407	10271	11614	19944	11218	2914	3149	73
15405	9692	9911	3315	343	22463	11100	12704
22581	17290	22501	6471	6935	8761	13279	8911
11053	22855	25752	14337	5499	19226	8772	2187
7750	7477	6155	7039	15401	20623	11950	16146
25376	5191	15926	21804	17531	11820	21622	12048
16555	14530	7636	10899	17439	11098	5675	14131
10381	22342	15382	7062	17440	13122	14500	24536
1041	15025	25372	14243	24448	21620	23701	7474
18504	22194	20916	8948	5461	15657	6146	21549
24143	2876	23993	24376	22472	10350	1079	12342
23825	9004	25634	16833	5736	18814	11600	5591
21494	24795	6352	17362	7102	13903	3893	16495
11561	15038	23349	503	3497	11202	15418	16076
22528	2432	19064	2934	21880	1911	7499	5616
7283	16543	13866	6723	8888	18245	16962	1743
2727	16421	728	10651	7012	9191	10149	9106
13005	10331	15275	3145	13413	12800	17139	4932
4504	15820	24833	17200	14077	4993	9788	6653
18224	11374	9038	4713	510	9369	7421	8337
23906	18930	7269	12514	4373	20020	6164	21016
4406	8242	22946	25140	10353	5300	14809	5808
15911	16437	15764	17765	17427	9495	8358	4961
2131	12908	5343	14758	14678	7988	20631	4357
24002	10014	11034	3773	24265	8059	19802	854
23920	10497	19268	17515	6333	7787	17171	17614
15810	7467	23718	3651	24578	16552	17557	22433
20507	4411	24872	11006	17541	15667	15278	4243
24148	10488	8501	23359	4030	1418	4442	23299
16584	8067	24762	3645	25884	8712	9585	20358

10

20

30

10710 6116 24519 7728 19963 24989 23944 13660  
18708 145 3901 22948 16454 17670 15352 18169  
3218 11549 18170 12733 18733 5705 14682 17199  
14921 11190 25097 23569 86 4804 10478 22553  
657 53 15215 15049 13307 2328 19535 21435  
19767 2988 16855 4858 23970 15171 724 23353  
0 19274 20228  
1 13271 1515  
2 10864 476  
3 4787 21317  
4 2809 15664  
5 23875 22477  
6 9537 18270  
7 12039 16705  
8 15180 18317  
9 10133 6682  
10 10203 5671  
11 12482 13992  
12 19116 1725  
13 17558 16333  
14 7932 18883  
15 23346 6770  
16 5049 15145  
17 6960 8821  
18 10686 16411  
19 14276 4043  
20 6988 1073  
21 20504 4318  
22 14806 18855  
23 23408 2829  
24 22876 24662  
25 14159 10002  
26 8898 25354  
27 5936 1007  
28 16162 7228  
29 23710 23342  
30 23745 16423  
31 13336 18903  
32 10697 8815  
33 6198 6723  
34 2880 20781  
35 11857 24611  
36 8005 2292  
37 24679 6248  
38 21841 20646  
39 11296 9870  
40 21935 16106  
41 10983 18735  
42 12821 12188  
43 13941 10895  
44 5712 19077  
45 6437 11275  
46 10827 11446  
47 14047 13073

10

20

30

40

48 1503 19612  
 49 17944 1338  
 50 11235 24946  
 51 19170 7268  
 52 2913 2560  
 53 17734 7765  
 54 9625 22307  
 55 17651 16905  
 56 300 3636  
 57 1526 23116  
 58 17733 2448  
 59 14977 13008  
 60 11946 12026  
 61 8819 8702  
 62 11906 4819  
 63 2629 12075  
 64 4854 5201  
 65 13627 18773  
 66 18658 12753  
 67 24872 8887  
 68 3455 8326  
 69 10772 3134  
 70 21514 18584  
 71 15689 18484

10

20

によって特定されるパリティビットアドレスにおいてビットを累積することにより、 $3/5$ のコードレートにしたがって発生され、

パリティビット  $p_i$  は、

【数 3】

$$p_i = p_i \oplus p_{i-1}, \quad i = 1, 2, \dots, n_{ldpc} - k_{ldpc} - 1$$

30

にしたがって決定され、 $k_{ldpc}$  は情報ブロックサイズであり、 $n_{ldpc}$  はコードワードサイズである装置。

【請求項 1 2】

L D P C エンコーダに結合され、L D P C コードに対するアウトコードを提供するように構成されている Bose Chaudhuri Hocqenghem ( B C H ) エンコーダをさらに具備する請求項 1 1 記載の装置。

【請求項 1 3】

L D P C コード化信号を変調するように構成されている変調器をさらに具備する請求項 1 1 記載の装置。

40

【請求項 1 4】

変調された信号は、ブロードバンド衛星アプリケーションのサポートで、衛星リンクを通して送信される請求項 1 3 記載の装置。

【請求項 1 5】

変調は、8 - P S K ( 位相偏移変調 )、16 - Q A M ( 直交振幅変調 )、Q P S K ( 4 位相偏移変調 )、16 - A P S K ( 振幅位相偏移変調 ) または 32 - A P S K のうちの 1 つを含む信号配列にしたがって実行される請求項 1 3 記載の装置。

【発明の詳細な説明】

50

## 【関連出願】

## 【0001】

本願は2003年10月27日に出願され、“減少されたメモリのレート3/5LDPCコード”と題する米国仮出願第60/514,680号に関係し、35U.S.C.119条(e)のもとで、この米国仮出願の先の出願日の利益を主張する。

## 【発明の分野】

## 【0002】

本発明は通信システムに関し、特に、コード化システムに関する。

## 【発明の背景】

## 【0003】

通信システムはコーディングを使用して雑音のある通信チャネルに渡る信頼性ある通信を確実に行う。例えば、衛星ネットワークのようなワイヤレス(または無線)システムでは、地理的および環境的要因からの雑音源が多い。これらの通信チャネルは固定容量を表し、これはある信号対雑音比(SNR)におけるシンボル当たりのビットに関して表すことができ、(シャノン限界として知られる)理論的上限を規定する。結果として、コーディング設計はこのシャノン限界に近づくレートを達成することを目的としている。この目的は、帯域幅制約衛星システムに対して特に密接な関係がある。シャノン限界に近づくこのようなクラスのコードの1つは低密度パリティチェック(LDPC)コードである。

## 【0004】

従来、LDPCコードは多くの欠点があることから、幅広く採用されていなかった。1つの欠点はLDPCエンコーディング技術が非常に複雑であることである。その生成行列を使用してLDPCコードをエンコードするには、非常に大きな非希薄行列を記憶することが必要である。さらに、LDPCコードは大きなブロックが効率的であることを必要とし、結果的に、LDPCコードのパリティチェック行列が希薄であっても、これらの行列の記憶が問題である。

## 【0005】

実現の将来的な見通しから、多数の難題に直面する。例えば、記憶装置はLDPCコードが実際には広まっていない重要な理由である。したがって、長いLDPCコードはより大きな記憶空間を要求する。また、LDPCコード実現における主な難題はデコード中のいくつかの処理エンジン(ノード)間で接続ネットワークをどのように達成するかである。さらに、デコーディングプロセス、特にチェックノード動作における計算負荷は問題を生じる。

## 【0006】

したがって、簡単なエンコーディングおよびデコーディングプロセスを使用するLDPC通信システムに対する必要性がある。より複雑さを持ち込むことなく、LDPCコードを使用して高データレートを効率的にサポートする必要性がある。LDPCエンコーダおよびデコーダの性能を向上させる必要性もある。LDPCコーディングを実現するための記憶要求を最小にする必要性もある。

## 【発明の開示】

## 【発明の概要】

## 【0007】

これらおよび他の必要性は本発明により取り扱われる。ここで、低密度パリティチェック(LDPC)コードをエンコーディングするアプローチが提供される。エンコーダは、LDPCコード化信号として送信するために、テーブル1にしたがって、アウトBose Chaudhuri Hocqenghem(BCH)コードを有するLDPCコードを発生させる。特に、レート3/5コードに対して、テーブル1は、“未修正”レート3/5コードに対して、性能に大きな影響を与えることなく、エッジ値の記憶に対する減少されたメモリ要求を生み出すデグリープロファイルを提供する。このアプローチはLDPCコードの好都合なエンコーディングとともにデコーディングを有効に提供する一方で、記憶および処理リソースを最小にする。

10

20

30

40

50

## 【0008】

本発明の実施形態の他の観点にしたがうと、LDPCコードは、8-PSK（位相偏移変調）、16-QAM（直交振幅変調）、QPSK（4相位相偏移変調）、16-APSK（振幅位相偏移変調）および32-APSKのうちの1つを含む信号配列にしたがって変調される信号により表される。

## 【0009】

本発明の実施形態のさらに別の観点にしたがうと、変調されたLDPCコード化信号はブロードバンド衛星アプリケーションのサポートで衛星リンクを通して送信される。

## 【0010】

本発明のさらに他の観点、特徴および利点は、本発明を実施するために意図される最良の態様を含む、数多くの特定の実施形態および実施を単に例示することにより、以下の詳細の説明から容易に明らかになる。本発明は他のおよび異なる実施形態を行うこともでき、そのいくつかの詳細はすべて本発明の精神および範囲を逸脱することなく、さまざまな明白な点で修正できる。したがって、図面および説明は本質的に例証であると見なされるべきであり、限定的と見なされてはならない。

10

## 【0011】

本発明は添付図面の図中に制限としてではなく例証として描かれ、図面において同じ参照番号は類似するエレメントに関係する。

## 【好ましい実施形態の説明】

## 【0012】

減少されたメモリ要求を有するレート3/5低密度パリティチェック（LDPC）コードをエンコーディングする装置、方法およびソフトウェアを説明する。以下の説明においては、説明の目的のために、本発明の完全な理解を提供するため、多数の特定の詳細が述べられている。しかしながら、本発明がこれらの特定の詳細なしに、あるいは均等な構成で実現されてもよいことは当業者にとっては明らかである。他の例では、周知の構造およびデバイスは本発明を不必要に曖昧にするのを避けるためにブロック図で示されている。

20

## 【0013】

図1は本発明の実施形態にしたがった、低密度パリティチェック（LDPC）コードを利用するように構成された通信システムの図である。デジタル通信システム100は送信機101を含み、この送信機101は通信チャンネル103を通して受信機105に向かう信号波形を発生させる。このディスクリット通信システム100では、送信機101はディスクリットセットの可能性あるメッセージを生成するメッセージ源を有し、それぞれの可能性あるメッセージは対応する信号波形を持つ。これらの信号波形は通信チャンネル103により、減衰され、そうでなければ変更される。チャンネル103における雑音と戦うためにLDPCコードが利用される。

30

## 【0014】

例として、チャンネル103はブロードバンド衛星アプリケーションのサポートで衛星ターミナル（例えば非常に小型の開口ターミナル（VSAT））の役に立つ衛星リンクである。このようなアプリケーションには衛星ブロードキャストおよびインタラクティブサービス（およびデジタルビデオブロードキャスト（DVB）-S2標準規格に準拠する）が含まれる。衛星を通してのデジタルビデオブロードキャスト（DVB-S）標準規格は世界中で幅広く採用されており、例えばデジタル衛星テレビ番組を提供している。

40

## 【0015】

送信機101により発生されるLDPCコードは何らかの性能損失を生じさせることなく高速な構成を可能にする。送信機101から出力されるこのように構成されたLDPCコードは、変調スキーム（例えば8-位相偏移変調（PSK））によりチャンネルエラーに既に弱いビットノードに対してわずかな数のチェックノードを割り当てることを避ける。

## 【0016】

このようなLDPCコードは（ターボコードと異なり）並列可能なデコーディングアル

50

ゴリズムを持ち、これは加算、比較およびテーブルルックアップのような簡単な動作を伴う効果がある。さらに、慎重に設計されたLDPCコードはエラーフロアの兆候を何ら示さない。

【0017】

本発明の1つの実施形態にしたがうと、送信機101は比較的簡単なエンコーディング技術を使用して、(デコーディング中に効率的なメモリアクセスを促進する)パリティチェック行列に基づいてLDPCコードを発生させ、受信機105と通信する。送信機101はLDPCコードを使用し、ブロック長が十分に長ければ、LDPCコードは連結ターボ+RS(リードソロモン)コードより性能が優れる場合がある。

【0018】

図2Aおよび図2Bは図1の送信機に配置される例示的なLDPCエンコーダの図である。図2Aに見られるように、送信機200にはLDPCエンコーダ203が設けられ、LDPCエンコーダ203は情報源201からの入力を受け入れ、受信機105におけるエラー訂正処理に適切なより高い冗長性のコード化ストリームを出力する。情報源201は、離散アルファベットXからk個の信号を発生させる。LDPCコードはパリティチェック行列で特定される。他方、LDPCコードをエンコーディングするには、一般的には生成行列を特定することが必要になる。ガウス消去法を使用してパリティチェック行列から生成行列を得ることが可能であるが、結果として得られる行列はもはや希薄でなく、大きな生成行列を記憶することは複雑となる可能性がある。

【0019】

エンコーダ203は、簡単なエンコーディング技術を使用して、変調器205に対する信号をアルファベットYから発生させ、この簡単なエンコーディング技術は構造をパリティチェック行列に課すことによりパリティチェック行列のみ使用する。特に、行列のある部分を三角形に制約することによりパリティチェック行列に制限がおかれる。このようなパリティチェック行列の構造は図6で以下にさらに完全に説明する。このような制限は無視しうる性能損失となり、したがって魅力的なトレードオフとなる。

【0020】

変調器205はエンコーダ203からのエンコード化メッセージを信号波形にマッピングし、この信号波形は送信アンテナ207に送られ、送信アンテナ207はこれらの波形を送信チャンネル103を通して放射する。したがって、エンコード化メッセージは変調され、送信アンテナ207に配信される。以下で説明するように、送信アンテナ207からの送信は(図3に示されている)受信機に伝搬する。

【0021】

図2Bは、本発明の1つの実施形態にしたがった、Bose Chaudhuri Hocqenghem(BCH)エンコーダと巡回冗長検査(CRC)エンコーダとともに利用されるLDPCエンコーダを示している。このシナリオのもとでは、CRCエンコーダ209とBCHエンコーダ211とともに、LDPCエンコーダ203により発生されるコードは連結されたアウトバBCHコードおよびインナ低密度パリティチェック(LDPC)コードを有する。さらに、エラー検出は巡回冗長検査(CRC)コードを使用して達成される。例示的な実施形態におけるCRCエンコーダ209は、生成多項式 $(X^5 + X^4 + X^3 + X^2 + 1)(X^2 + X + 1)(X + 1)$ を有する8ビットCRCコードを使用してエンコードする。CRCコードはBCHエンコーダ211に出力される。

【0022】

図2Cは、本発明の実施形態にしたがった、ロングフレーム長LDPCコードを発生させるための図2BのLDPCエンコーダのエンコーディングプロセスのフローチャートである。ステップ211において、情報ビットが受信され、エンコーダ209、211および203のチェーンにおいて処理される。結果的に、ステップ223において、LDPCエンコーダ203は受信情報ビットに基づいてアウトバBCHコードを有するLDPCコードを発生させる。コードはCRCコードも含む。次に、LDPCコードは信号により表され、この信号はチャンネル103を通しての送信のために、ステップ225により変調され

10

20

30

40

50

、チャンネル103は例示的な実施形態では、1つ以上の衛星ターミナルに対する衛星リンクである(ステップ227)。

【0023】

LDPCEncoder203はサイズ $k_{ldpc}$ 、 $i = (i_0, i_1, \dots, i_{K_{ldpc}-1})$ の情報ブロックをサイズ $n_{ldpc}$ 、 $c = (i_0, i_1, \dots, i_{K_{ldpc}-1}, p_0, p_1, \dots, p_{n_{ldpc}-K_{ldpc}-1})$ のコードワードにシステムティックにエンコードする。コードワードの送信は所定の順で $i_0$ から開始し、 $p_{n_{ldpc}-K_{ldpc}-1}$ で終了する。

【0024】

LDPCEncoder203のタスクは $k_{ldpc}$ 情報ビットの各ブロック( $i_0, i_1, \dots, i_{K_{ldpc}-1}$ )に対して、 $n_{ldpc} - k_{ldpc}$ パリティビット( $p_0, p_1, \dots, p_{n_{ldpc}-K_{ldpc}-1}$ )を決定することである。手順は次の通りである。最初に、パリティビットが初期化される。 $p_0 = p_1 = p_2 = \dots = p_{n_{ldpc}-K_{ldpc}-1} = 0$ 。例として、 $k_{ldpc}$ ビットはシステムティックにエンコードされ、 $n_{ldpc}$ ビットが発生される。テーブル1の3/5レートコードに対して、関連パラメータは次の通りである。 $q = 72$ 、 $n_{ldpc} = 64800$ 、 $k_{ldpc} = n_{BCH} = 38880$ 、 $k_{BCH} = 38688$ 。このコード設計はビットノードとチェックノードのデグリープロファイル(すなわち、ビットノード(またはチェックノード)からの送出エッジの数)を提供し、これは“未修正”3/5レートコードの性能を保持しながら、減少されたメモリ要求となる。減少されたメモリのレート3/5コードはデグリー8の12960ビットノード、デグリー3の25920ビットノード、デグリー2の25919ビットノードおよびデグリー1の1ビットノードを有する。このコードはデグリー9の25919チェックノード、およびデグリー8の1チェックノードも有する。

【0025】

第1の情報ビット $i_0$ はテーブル1の第1行で特定されるパリティビットアドレスにおいて累積される。したがって、以下の結果となる。

【0026】

【数1】

$$\begin{aligned} p_{22407} &= p_{22407} \oplus i_0 \\ p_{10271} &= p_{10271} \oplus i_0 \\ p_{19944} &= p_{19944} \oplus i_0 \\ p_{11218} &= p_{11218} \oplus i_0 \\ p_{2914} &= p_{2914} \oplus i_0 \\ p_{3149} &= p_{3149} \oplus i_0 \\ p_{73} &= p_{73} \oplus i_0 \end{aligned}$$

上記の式において、加算はGF(2)におけるものである。

【0027】

その後、次の359情報ビット $i_m$ 、 $m = 1, 2, \dots, 359$ に対して、これらのビットはパリティビットアドレス $\{x + m \bmod 360 \times q\} \bmod (n_{ldpc} - k_{ldpc})$ において累積される。ここで $x$ は第1ビット $i_0$ に対応するパリティビットアキュムレータのアドレスを示し、 $q$ はコードレート依存定数である。レート3/5に対する $q = 72$ で例を続けると、情報ビット $i_1$ に対して、以下の演算が実行される。

【0028】

10

20

30

40

## 【数 2】

$$P_{22479} = P_{22479} \oplus i_1$$

$$P_{10343} = P_{10343} \oplus i_1$$

$$P_{20016} = P_{20016} \oplus i_1$$

$$P_{11290} = P_{11290} \oplus i_1$$

$$P_{2986} = P_{2986} \oplus i_1$$

$$P_{3221} = P_{3221} \oplus i_1$$

$$P_{145} = P_{145} \oplus i_1$$

10

## 【0029】

第361の情報ビット  $i_{360}$  に対して、パリティビットアキュムレータのアドレスはテーブル1の第2行に与えられている。同様な方法で、後続する359情報ビット  $i_m$ 、 $m = 361, 362, \dots, 719$  に対して、パリティビットアキュムレータのアドレスは式  $\{x + m \bmod 360 \times q\} \bmod (n_{ldpc} - k_{ldpc})$  を使用して得られる。ここで  $x$  は情報ビット  $i_{360}$  に対応するパリティビットアキュムレータのアドレス、すなわちテーブル1の第2行におけるエントリを示す。同様に、360の新しい情報ビットの各グループに対して、テーブル1からの新しい行が使用されて、パリティビットアキュムレータのアドレスが発見される。

20

## 【0030】

【表 4】

パリティビットアキュムレータのアドレス(レート3/5)	
22407 10271 11614 19944 11218 2914 3149 73	
15405 9692 9911 3315 343 22463 11100 12704	
22561 17290 22501 6471 6935 8761 13279 8911	
11053 22855 25752 14337 5499 19226 8772 2187	
7750 7477 6155 7039 15401 20623 11950 16146	
25376 5191 15926 21804 17531 11820 21622 12048	
16555 14530 7636 10699 17439 11098 5675 14131	
10381 22342 15382 7062 17440 13122 14500 24536	10
1041 15025 25372 14243 24448 21620 23701 7474	
18504 22194 20916 8948 5461 15657 6146 21549	
24143 2676 23993 24376 22472 10350 1079 12342	
23825 9004 25634 16833 5736 18814 11600 5591	
21494 24795 6352 17362 7102 13903 3993 16495	
11561 15038 23349 503 3497 11202 15418 16076	
22528 2432 19064 2934 21660 1911 7499 5616	
7283 16543 13866 6723 8888 18245 16962 1743	
2727 16421 728 10651 7012 9191 10149 9106	
13005 10331 15275 3145 13413 12800 17139 4932	
4504 15820 24833 17200 14077 4993 9788 6653	20
18224 11374 9038 4713 510 9369 7421 8337	
23906 18930 7269 12514 4373 20020 6164 21016	
4406 8242 22946 25140 10353 5300 14809 5808	
15911 16437 15764 17765 17427 9495 8358 4961	
2131 12908 5343 14758 14678 7988 20631 4357	
24002 10014 11034 3773 24265 8059 19802 854	
23920 10497 19268 17515 6333 7787 17171 17614	
15810 7467 23718 3651 24578 16552 17557 22433	
20507 4411 24872 11006 17541 15667 15278 4243	
24148 10488 8501 23359 4030 1418 4442 23299	
16584 8067 24762 3645 25884 8712 9585 20358	30
10710 6116 24519 7728 19963 24989 23944 13660	
18708 145 3901 22948 16454 17670 15352 18189	
3218 11549 18170 12733 18733 5705 14682 17199	
14921 11190 25097 23569 86 4804 10478 22553	
657 53 15215 15049 13307 2328 19535 21435	
19767 2988 16855 4858 23970 15171 724 23353	
0 19274 20228	
1 13271 1515	
2 10864 476	
3 4787 21317	
4 2609 15664	40
5 23875 22477	
6 9537 18270	

7 12039 16705  
8 15180 18317  
9 10133 6682  
10 10203 5671  
11 12482 13992  
12 19116 1725  
13 17558 16333  
14 7932 18883  
15 23346 6770  
16 5049 15145  
17 6960 8821  
18 10686 16411  
19 14276 4043  
20 6988 1073  
21 20504 4318  
22 14806 18855  
23 23408 2829  
24 22876 24662  
25 14159 10002  
26 8898 25354  
27 5936 1007  
28 16162 7228  
29 23710 23342  
30 23745 16423  
31 13336 18903  
32 10697 8815  
33 6198 6723  
34 2880 20781  
35 11857 24611  
36 8005 2292  
37 24679 6248  
38 21841 20646  
39 11296 9870  
40 21935 16106  
41 10983 18735  
42 12821 12188  
43 13941 10895  
44 5712 19077  
45 6437 11275  
46 10827 11446  
47 14047 13073  
48 1503 19612  
49 17944 1338  
50 11235 24946  
51 19170 7268  
52 2913 2560

10

20

30

40

53	17734	7765
54	9625	22307
55	17651	16905
56	300	3636
57	1526	23116
58	17733	2448
59	14977	13008
60	11946	12026
61	8819	8702
62	11906	4819
63	2629	12075
64	4854	5201
65	13627	18773
66	18658	12753
67	24872	8887
68	3455	8326
69	10772	3134
70	21514	18584
71	15689	18484

10

### テーブル1

20

#### 【 0 0 3 1 】

すべての情報ビットが使い尽くされた後に、最終パリティビットは次の通りに得られる。最初に、 $i = 1$ で開始して、以下の演算が実行される。

#### 【 0 0 3 2 】

#### 【 数 3 】

$$p_i = p_i \oplus p_{i-1}, \quad i = 1, 2, \dots, n_{ldpc} - k_{ldpc} - 1$$

#### 【 0 0 3 3 】

$p_i, i = 0, 1, \dots, n_{ldpc} - k_{ldpc} - 1$ の最終内容はパリティビット $p_i$ に等しい。

30

#### 【 0 0 3 4 】

すべての情報ビットが使い尽くされた後に、最終パリティビットは次の通りに得られる。最初に、 $i = 1$ で開始して、以下の演算が実行される。

#### 【 0 0 3 5 】

#### 【 数 4 】

$$p_i = p_i \oplus p_{i-1}, \quad i = 1, 2, \dots, n_{ldpc} - k_{ldpc} - 1$$

40

#### 【 0 0 3 6 】

$p_i, i = 0, 1, \dots, n_{ldpc} - k_{ldpc} - 1$ の最終内容はパリティビット $p_i$ に等しい。

#### 【 0 0 3 7 】

本発明の1つの実施形態にしたがった、BCHエンコーディングに関して、BCHエンコード211により利用されるBCHコードの生成多項式は次の通りである。

#### 【 0 0 3 8 】

$$g(x) = (1 + x + x^3 + x^5 + x^{14}) \times (1 + x^6 + x^8 + x^{11} + x^{14}) \times (1 + x + x^2 + x^6 + x^9 + x^{10} + x^{14}) \times (1 + x^4 + x^7 + x^8 + x^{10} + x^{12} + x^{14}) \times (1 + x^2$$

50

$$\begin{aligned}
& + x^4 + x^6 + x^8 + x^9 + x^{11} + x^{13} + x^{14}) \times (1 + x^3 + x^7 + x^8 + x^9 + x^{13} + x^{14}) \\
& \times (1 + x^2 + x^5 + x^6 + x^7 + x^{10} + x^{11} + x^{13} + x^{14}) \times (1 + x^5 + x^8 + x^9 + x^{10} \\
& + x^{11} + x^{14}) \times (1 + x + x^2 + x^3 + x^9 + x^{10} + x^{14}) \times (1 + x^3 + x^6 + x^9 + x^{11} \\
& + x^{12} + x^{14}) \times (1 + x^4 + x^{11} + x^{12} + x^{14}) \times (1 + x + x^2 + x^3 + x^5 + x^6 + x^7 \\
& + x^8 + x^{10} + x^{13} + x^{14}).
\end{aligned}$$

【0039】

情報ビット  $m = (m_{kbch-1}, m_{kbch-2}, \dots, m_1, m_0)$  のコードワード  $c = (m_{kbch-1}, m_{kbch-2}, \dots, m_1, m_0, d_{nbch-kbch-1}, d_{nbch-kbch-2}, \dots, d_1, d_0)$  への BCH エンコーディングは以下の通りに達成される。メッセージ多項式  $m(x) = m_{kbch-1}x^{kbch-1} + m_{kbch-2}x^{kbch-2} + \dots + m_1x + m_0$  は  $x^{nbch-kbch}$  により乗算される。次に、 $x^{nbch-kbch}m(x)$  は  $g(x)$  により除算される。剰余としての  $d(x) = d_{nbch-kbch-1}x^{nbch-kbch-1} + \dots + d_1x + d_0$  により、コードワード多項式は以下の通りにセットされる。  $c(x) = x^{nbch-kbch}m(x) + d(x)$ 。

10

【0040】

テーブル 1 に提供されている LDPC コードを設計する先のアプローチは、メモリ（例えばランダムアクセスメモリ（RAM））内の隣接するメモリ位置に常に配置されるべき、ビットノードおよびチェックノードの区分されたグループに関する関連情報の記憶および検索を効果的に可能にする。結果的に、異なるデコーダを使用することなく、複数のコードレートをサポートすることができる。さらに、この設計は単一 RAM バンクの使用を可能にし、それにより集積回路のサイズを最小にする。先に言及したように、例示的な実施形態では、MPEG（モーションピクチャエキスパートグループ）パケット送信のような、さまざまなデジタルビデオアプリケーションに対して、先の LDPC コードを使用することができる。

20

【0041】

図 3 は図 1 のシステムにおける例示的な受信機の図である。受信側では、受信機 300 には復調器 301 が含まれ、復調器 301 は送信機 200 からの受信信号の復調を行う。これらの信号は復調のために受信アンテナ 303 において受信される。復調後、受信信号は LDPC デコーダ 305 に転送され、デコーダ 305 はビットメトリック発生器 307 とともに、メッセージ  $X'$  を発生させることによりオリジナルソースメッセージを再構成しようと試行する。ビットメトリック発生器 307 は、デコーディングプロセス中にデコーダ 305 と行ったり来たり（反復的に）情報を交換してもよい。これらのデコーディングアプローチは 2003 年 7 月 3 日に出願された“低密度パリティチェック（LDPC）デコーダにおけるルーティングのための方法およびシステム”と題する同時継続中の出願（シリアル番号 10/613,824 号）でさらに完全に説明されている。テーブル 1 に関して構成される LDPC コードは共通のデコーディングアーキテクチャを使用して複数のコードレート（結果的に、複数のデータレート）をサポートすることができることに留意すべきである。これに対して、例えば畳み込みコードは中間レートを達成するためにバンクチャ技術を必要とする。

30

【0042】

本発明により提供される利点をさらに理解するために、図 4 で説明されているように、どのようにして LDPC コードが発生されるかを調べることが有効である。

40

【0043】

図 4 は本発明の実施形態にしたがった、希薄パリティチェック行列の図である。LDPC コードは希薄パリティチェック行列  $H_{(n-k) \times n}$  を有する長い線形ブロックコードである。一般的に、ブロック長  $n$  は数千から数万ビットの範囲をとる。説明のために、長さ  $n = 8$  およびレート  $1/2$  の LDPC コードに対するパリティチェック行列が図 4 に示されている。同じコードは図 5 に関して 2 部グラフにより等価的に表すことができる。

【0044】

図 5 は図 4 の行列の LDPC コードに対する 2 部グラフの図である。パリティチェック式は、各チェックノードについて、すべての隣接ビットノードの  $(GF(ガロア域))(2$

50

）に対する）合計が0に等しくなることを意味する。図に見られるように、ビットノードはグラフの左側を占め、予め定められた関係にしたがって、1つ以上のチェックノードと関係している。例えば、チェックノード $m_1$ に対応して、以下の表現 $n_1 + n_4 + n_5 + n_8 = 0$ がビットノードに関して存在する。

【0045】

受信機303に戻ると、LDPCデコーダ305はメッセージ通過デコーダとして考えられ、それによりデコーダ305はビットノードの値を発見することを目的としている。このタスクを達成するために、ビットノードとチェックノードは互いに繰り返し通信する。この通信の性質を以下に説明する。

【0046】

チェックノードからビットノードについては、各チェックノードは隣接ビットノードに対して、他の隣接ビットノードから来る情報に基づいてそのビットノードの値と考えられる推定値（“オピニオン”）を提供する。例えば、先の例において、 $n_4$ 、 $n_5$ および $n_8$ の合計が $m_1$ にとって0の“ように見える”場合には、 $m_1$ は $n_1$ に対して $n_1$ の値は0であると思うことを示し（なぜなら $n_1 + n_4 + n_5 + n_8 = 0$ ）、そうでなければ、 $m_1$ は $n_1$ に対して、 $n_1$ の値は1であると思えることを示す。さらに、軟判定デコーディングに対して、信頼性の尺度が加えられる。

【0047】

ビットノードからチェックノードについては、各ビットノードは隣接チェックノードに対して、その他の隣接チェックノードから来るフィードバックに基づいてそれ自体の値についての推定値を中継する。先の例では、 $n_1$ は2つの隣接チェックノード $m_1$ および $m_3$ のみを有する。 $m_3$ から来る $n_1$ へのフィードバックが、 $n_1$ の値がおそらく0であることを示す場合には、 $n_1$ は $n_1$ 自体の値の推定値は0であることを $m_1$ に通知する。ビットノードが2つより多い隣接チェックノードを持つケースでは、ビットノードは、それと通信しているチェックノードに対して判定を報告する前に、その他の隣接チェックノードから来るフィードバックにおいて多数決（軟判定）を実行する。先のプロセスはすべてのビットノードが正しい（すなわち、すべてのパリティチェック式が満たされる）と考えられるまで、あるいは予め定められた最大数の反復に達して、それによりデコーディングの失敗が宣言されるまで繰り返される。

【0048】

図6は本発明の実施形態にしたがった、希薄パリティチェック行列の部分行列の図である。部分行列は低位三角領域に制限されたパリティチェック値を含む。先に説明したように、（図2Aおよび図2Bの）エンコーダ203は、パリティチェック行列の低位三角領域の値を制限することにより、簡単なエンコーディング技術を使用することができる。本発明の実施形態にしたがうと、パリティチェック行列に課される制限は次の形態をとる。

【0049】

$$H_{(n-k) \times n} = [A_{(n-k) \times k} B_{(n-k) \times (n-k)}]$$

ここで、 $B$ は低位三角行列である。

【0050】

任意の情報ブロック $i = (i_0, i_1, \dots, i_{k-1})$ が $Hc^T = 0$ を使用して、コードワード $c = (i_0, i_1, \dots, i_{k-1}, p_0, p_1, \dots, p_{n-k-1})$ にエンコードされ、パリティビットに対して帰納的に解く。例えば、

$$a_{00}i_0 + a_{01}i_1 + \dots + a_{0,k-1}i_{k-1} + p_0 = 0 \quad p_0 \text{を解き、}$$

$$a_{10}i_0 + a_{11}i_1 + \dots + a_{1,k-1}i_{k-1} + b_{10}p_0 + p_1 = 0 \quad p_1 \text{を解き、}$$

$$p_2, p_3, \dots, p_{n-k-1} \text{に対して同様である。}$$

【0051】

図7は減少されたメモリのレート3/5 LDPCコード対ベースラインレート3/5 LDPCコードの性能を示すグラフである。このグラフはレート3/5のベースラインLDPCコードを減少されたメモリのレート3/5 LDPCコードのものとを比較する。DVB-S2特定レート3/5 LDPCコードをベースラインとして使用する。2つのコード

10

20

30

40

50

間の差はビットノードとチェックノードのデグリープロファイルにある。DVB-S2標準3/5レートコードはデグリー12の12960ビットノード、デグリー3の25920ビットノード、デグリー2の25919ビットノード、デグリー1の1ビットノード、デグリー11の25919チェックノードおよびデグリー10の1チェックノードを有する。性能差は標準3/5レートコードと減少されたメモリの3/5レートコードとの間でわずか0.17dBに過ぎない。多くのアプリケーションに対して、メモリコスト節約の場合、この“性能ペナルティ”は許容可能である。

【0052】

先に詳述したようなLDPCエンコーディングプロセスはさまざまなハードウェアおよび/またはソフトウェア構成を通して実行することができる。実際、このアプローチは単にソフトウェア変更を通して容易に配備することもでき、したがって、コストのかかるハードウェア修正をなくす。

【0053】

図8は本発明にしたがった実施形態を実現することができる例示的なハードウェアを図示している。コンピューティングシステム900は、バス901または情報を通信する他の通信メカニズムと、バス901に結合され、情報を処理するプロセッサ903とを含む。コンピューティングシステム900は、バス901に結合され、情報およびプロセッサ903により実行されるべき命令を記憶する、ランダムアクセスメモリ(RAM)または他の動的記憶デバイスのような、メインメモリ905も含む。メインメモリ905は、プロセッサ903による命令の実行中に、一時的な変数や他の中間的な情報を記憶するのにも使用することができる。コンピューティングシステム900は、バス901に結合され、プロセッサ903のために静的情報および命令を記憶するリードオンリーメモリ(ROM)907や他の静的記憶デバイスをさらに含んでもよい。磁気ディスクや光学ディスクのような記憶デバイス909は、情報および命令を永続的に記憶するためにバス901に結合される。

【0054】

コンピューティングシステム900は、情報をユーザに表示するために、液晶ディスプレイまたはアクティブマトリクスディスプレイのような、ディスプレイ911にバス901を介して結合されてもよい。英数字および他のキーを含むキーボードのような入力デバイス913は情報およびコマンド選択をプロセッサ903に通信するためにバス901に結合されてもよい。入力デバイス913は、方向情報およびコマンド選択をプロセッサ903に通信し、ディスプレイ911上のカーソルの動きを制御するための、マウス、トラックボール、またはカーソル方向キーのようなカーソル制御を含むことができる。

【0055】

本発明の1つの実施形態にしたがうと、図2Cのプロセスはメインメモリ905に含まれている命令の配列を実行するプロセッサ903にตอบสนองして、コンピューティングシステム900により提供することができる。このような命令は、記憶デバイス909のような他のコンピュータ読み取り可能な媒体からメインメモリ905に読み込むことができる。メインメモリ905に含まれている命令の配列の実行はここで説明するプロセスステップをプロセッサ903に実行させる。マルチ処理構成の1つ以上のプロセッサを使用して、メインメモリ905に含まれている命令を実行してもよい。代替実施形態では、ソフトウェア命令の代わりにあるいはソフトウェア命令と組み合わせてハードワイヤード回路を使用して、本発明の実施形態を実現してもよい。他の例では、フィールドプログラム可能なゲートアレイ(FPGA)のような再構成可能なハードウェアを使用することができ、FPGAでは、一般的にメモリルックアップテーブルをプログラムすることにより、実行時にその論理ゲートの機能性および接続トポロジーをカスタマイズすることができる。したがって、本発明の実施形態はハードウェア回路およびソフトウェアの何らかの特定な組み合わせに限定されるものではない。

【0056】

コンピューティングシステム900はバス901に結合された少なくとも1つの通信イン

10

20

30

40

50

ターフェイス 915 も含む。通信インターフェイス 915 は（示されていない）ネットワークリンクに結合している 2 方向データ通信を提供する。通信インターフェイス 915 は、電気、電磁気または光の信号を送受信し、これらの信号はさまざまなタイプの情報を表すデジタルデータストリームを伝える。さらに、通信インターフェイス 915 は、ユニバーサルシリアルバス（USB）インターフェイス、PCMCIA（パーソナルコンピュータメモ리카ード国際協会）インターフェイスなどのような、周辺機器インターフェイスデバイスを含むことができる。

【0057】

プロセッサ 903 は通信インターフェイス 915 を通じて受信されているコードを実行し、および/またはコードを後での実行のために記憶デバイス 909 または他の不揮発性記憶装置に記憶させてもよい。この方法では、コンピューティングシステム 900 は搬送波の形態でアプリケーションコードを得てもよい。

10

【0058】

ここで使用されているような用語“コンピュータ読み取り可能な媒体”は、実行のためにプロセッサ 903 に命令を提供することに関係する任意の媒体に関係する。このような媒体は多くの形態をとることができ、これらに限定されないが、不揮発性媒体、揮発性媒体および送信媒体が含まれる。不揮発性媒体は、例えば記憶デバイス 909 のような光または磁気ディスクが含まれる。揮発性媒体はメインメモリ 905 のような動的メモリが含まれる。送信媒体は、バス 901 を構成するワイヤを含む、同軸ケーブル、銅線および光ファイバを含む。送信媒体は、無線周波数（RF）および赤外線（IR）データ通信中に発生されるもののような、音響、光または電磁気の波の形態もとることができる。コンピュータ読み取り可能な媒体の一般的な形態は、例えばフロッピー（登録商標）ディスク、フレキシブルディスク、ハードディスク、磁気テープ、他の任意の磁気媒体、CD-ROM、CDRW、DVD、他の任意の光媒体、パンチカード、紙テープ、光マークシート、穴や他の光学認識可能な表示のパターンを有する他の任意の物理媒体、RAM、PROM、EPROM、FLASH（登録商標）-EPROM、他の任意のメモリチップまたはカートリッジ、搬送波、あるいはコンピュータが読み取ることができる他の任意の媒体を含む。

20

【0059】

さまざまな形態のコンピュータ読み取り可能な媒体は実行するためにプロセッサに命令を提供することに関係してもよい。例えば、本発明の少なくとも一部を実行する命令は遠隔コンピュータの磁気ディスク上に最初に記憶されてもよい。このようなシナリオでは、遠隔コンピュータは命令をメインメモリにロードして、その命令をモデムを使用して電話回線を通して送信する。ローカルシステムのモデムは電話回線上でデータを受信し、赤外線送信機を使用して、データを赤外線信号に変換し、その赤外線信号を、パーソナルデジタルアシスタント（PDA）およびラップトップのようなポータブルコンピューティングデバイスに送信する。ポータブルコンピューティングデバイス上の赤外線検出器は赤外線信号により運ばれる情報および命令を受信し、データをバス上に置く。バスはそのデータをメインメモリに伝え、このメインメモリからプロセッサは命令を取り出して実行する。メインメモリにより受信される命令は、オプション的に、プロセッサにより実行される前または後に記憶デバイス上に記憶されてもよい。

30

40

【0060】

したがって、本発明のさまざまな実施形態はLDPCエンコーダを提供し、このLDPCエンコーダはテーブル1にしたがって、アウトBose Chaudhuri Hocqenghem（BCH）コードを有するLDPCコードを発生させる。テーブル1は、LDPCコード化信号として送信するために、パリティビットアキュムレータのアドレスを特定する。特に、レート3/5LDPCコードに対して、テーブル1のコード設計は、未修正レート3/5LDPCコードに対して減少されたメモリ要求を提供する。先のアプローチは性能を犠牲にすることなく減少された複雑さを生み出す。

【0061】

50

本発明は多数の実施形態および構成とともに説明したが、本発明はそのように制限されるものではなく、さまざまな変形および均等構成をカバーし、これらも特許請求の範囲の範囲に入る。

【図面の簡単な説明】

【0062】

【図1】図1は本発明の実施形態にしたがった、低密度パリティチェック(LDPC)コードを利用するように構成された通信システムの図である。

【図2A】図2Aは図1の送信機に配置された例示的なLDPCエンコーダの図である。

【図2B】図2Bは図1の送信機に配置された例示的なLDPCエンコーダの図である。

【図2C】図2Cは本発明の実施形態にしたがった、LDPCコードを発生させるための図2BのLDPCエンコーダのエンコーディングプロセスのフローチャートである。

10

【図3】図3は図1のシステムにおける例示的な受信機の図である。

【図4】図4は本発明の実施形態にしたがった、希薄パリティチェック行列の図である。

【図5】図5は図4の行列のLDPCコードの2部グラフの図である。

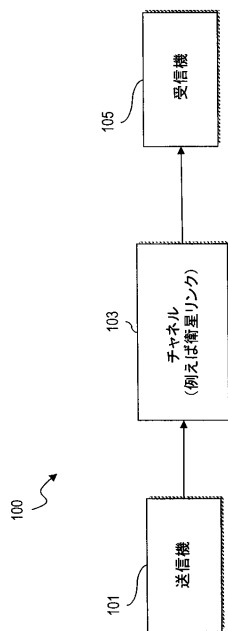
【図6】図6は本発明の実施形態にしたがった、希薄パリティチェック行列の部分行列の図であり、部分行列は低位三角領域に制限されたパリティチェック値を含む。

【図7】図7は減少されたメモリのレート3/5 LDPCコード対ベースラインレート3/5の性能を示すグラフである。

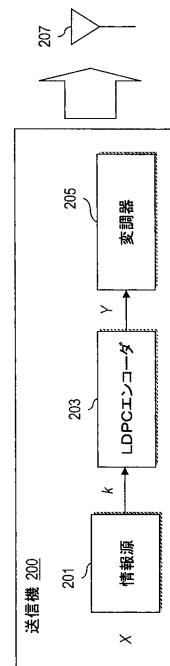
【図8】図8は本発明の実施形態にしたがった、LDPCエンコーディングプロセスを実行することができるコンピューティングシステムの図である。

20

【図1】

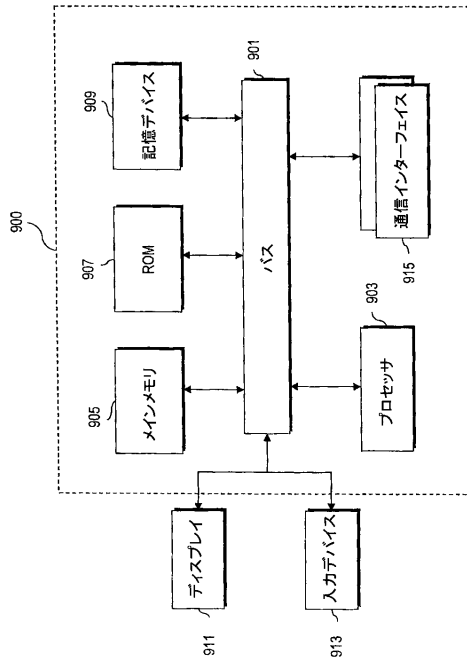


【図2A】





【 図 8 】



## フロントページの続き

- (74)代理人 100075672  
弁理士 峰 隆司
- (74)代理人 100109830  
弁理士 福原 淑弘
- (74)代理人 100084618  
弁理士 村松 貞男
- (74)代理人 100092196  
弁理士 橋本 良郎
- (72)発明者 ムスタファ・エロズ  
アメリカ合衆国、メリーランド州 20874、ジャーマンタウン、インディアン・グラス・ドライブ 17007
- (72)発明者 フェン ウェン・サン  
アメリカ合衆国、メリーランド州 20874、ジャーマンタウン、ウィートリッジ・ドライブ 17904
- (72)発明者 リン ナン・リー  
アメリカ合衆国、メリーランド州 20854、ポトマック、フラワー・ゲイト・テラス 10004

審査官 矢頭 尚之

## (58)調査した分野(Int.Cl., DB名)

H03M 13/19  
G06F 11/10  
H03M 13/15  
H04L 1/00