

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6480761号  
(P6480761)

(45) 発行日 平成31年3月13日(2019.3.13)

(24) 登録日 平成31年2月15日(2019.2.15)

(51) Int.Cl.

F 1

HO1L 21/336	(2006.01)	HO1L 29/78	627F
HO1L 29/786	(2006.01)	HO1L 29/78	618B
HO1L 21/8234	(2006.01)	HO1L 29/78	618C
HO1L 27/088	(2006.01)	HO1L 27/088	E
HO1L 21/8238	(2006.01)	HO1L 27/092	G

請求項の数 1 (全 101 頁) 最終頁に続く

(21) 出願番号 特願2015-44197(P2015-44197)  
 (22) 出願日 平成27年3月6日(2015.3.6)  
 (65) 公開番号 特開2015-181162(P2015-181162A)  
 (43) 公開日 平成27年10月15日(2015.10.15)  
 審査請求日 平成30年2月15日(2018.2.15)  
 (31) 優先権主張番号 特願2014-43577(P2014-43577)  
 (32) 優先日 平成26年3月6日(2014.3.6)  
 (33) 優先権主張国 日本国(JP)  
 (31) 優先権主張番号 特願2014-43574(P2014-43574)  
 (32) 優先日 平成26年3月6日(2014.3.6)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 本堂 英  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 山出 直人  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

審査官 市川 武宜

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

## (57) 【特許請求の範囲】

## 【請求項 1】

トランジスタを有する半導体装置の作製方法であって、  
 略平面を有する基板上に酸化物半導体膜を形成し、  
 前記酸化物半導体膜を選択的にエッティングして、酸化物半導体層を形成し、  
 前記酸化物半導体層に酸素イオンを注入し、  
 前記酸化物半導体層上に絶縁層を形成し、  
 前記酸化物半導体層を加熱処理して、前記酸化物半導体層中に酸素を拡散させる工程を有し、

前記酸素イオンの注入は、前記略平面に対して垂直な角度( )を0°、前記略平面に対して平行な角度( )を90°としたとき、10° < < 85°の角度から、前記トランジスタのチャネル幅方向の略平面に対して垂直な断面における側面と、前記酸化物半導体層の上面とに対して行うことを特徴とする半導体装置の作製方法。

10

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明の一態様は、酸化物半導体を用いた半導体装置およびその作製方法に関する。

## 【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明

20

の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

#### 【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、電子機器は、半導体装置を有する場合がある。

#### 【背景技術】

10

#### 【0004】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（I C）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜として、シリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

#### 【0005】

例えば、酸化物半導体として酸化亜鉛、またはIn-Ga-Zn系酸化物半導体を用いてトランジスタを作製する技術が開示されている（特許文献1および特許文献2参照）。

#### 【先行技術文献】

20

#### 【特許文献】

#### 【0006】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0007】

本発明の一態様は、半導体装置に良好な電気特性を付与することを課題の一つとする。または、オン電流の高い半導体装置を提供することを目的の一つとする。または、高速動作に適した半導体装置を提供することを課題の一つとする。または、集積度の高い半導体装置を提供することを目的の一つとする。または、低消費電力の半導体装置を提供することを目的の一つとする。または、信頼性の高い半導体装置を提供することを目的の一つとする。または、電源が遮断されてもデータが保持される半導体装置を提供することを目的の一つとする。または、新規な半導体装置を提供することを目的の一つとする。または、上記半導体装置の作製方法を提供することを目的の一つとする。

30

#### 【0008】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

40

#### 【課題を解決するための手段】

#### 【0009】

本発明の一態様は、酸化物半導体層をチャネル形成領域に有するトランジスタに関する。

#### 【0010】

本発明の一態様は、略平面を有する基板上に酸化物半導体膜を形成し、酸化物半導体膜を選択的にエッチングすることにより酸化物半導体層を形成し、酸化物半導体層に酸素イオンを注入し、酸化物半導体層上に絶縁層を形成し、酸化物半導体層を加熱処理することにより酸化物半導体層中に酸素を拡散させることを特徴とする半導体装置の作製方法である。

#### 【0011】

50

また、本発明の他の一態様は、略平面を有する基板上に酸化物半導体膜を形成し、酸化物半導体膜を選択的にエッティングすることにより酸化物半導体層を形成し、酸化物半導体層上に絶縁層を形成し、絶縁層を介して酸化物半導体層に酸素イオンを注入し、酸化物半導体層を加熱処理することにより酸化物半導体層中に酸素を拡散させることを特徴とする半導体装置の作製方法である。

#### 【0012】

上記略平面に対して垂直な角度(θ)を0°、略平面に対して平行な角度(φ)を90°としたとき、酸素イオンの注入は、0° < φ < 90°の角度から酸化物半導体層の上面およびチャネル幅方向の略平面に対して垂直な断面における側面に対して行うことが好ましい。

10

#### 【0013】

また、略平面に対して垂直な角度(θ)を0°、略平面に対して平行な角度(φ)を90°としたとき、酸素イオンの注入は、0° < φ < 90°の角度で行い、かつ略平面に垂直な軸を中心に基板を回転させながら行ってもよい。

#### 【0014】

また、略平面に対して垂直な角度(θ)を0°、略平面に対して平行な角度(φ)を90°としたとき、酸素イオンの注入は、略0°および0° < φ < 90°の角度から酸化物半導体層の上面およびチャネル幅方向の略平面に対して垂直な断面における側面に対して複数回行ってもよい。

#### 【0015】

上記酸化物半導体層としては、InとZnと、M(MはAl、Ti、Ga、Y、Zr、La、Ce、NdまたはHf)を有することが好ましい。

20

#### 【0016】

また、酸化物半導体層は、基板側から第1の酸化物半導体層、第2の酸化物半導体層の順で形成された積層であってもよい。第1および第2の酸化物半導体層はInとZnと、M(MはAl、Ti、Ga、Y、Zr、La、Ce、NdまたはHf)とを有し、第1の酸化物半導体層は、Inに対するMの原子数比が第2の酸化物半導体層よりも大きいことが好ましい。

#### 【0017】

なお、本明細書等における「第1」、「第2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

30

#### 【0018】

また、酸化物半導体層は、基板側から第1の酸化物半導体層、第2の酸化物半導体層、第3の酸化物半導体層の順で形成された積層であってもよい。第1乃至第3の酸化物半導体層はInとZnと、M(MはAl、Ti、Ga、Y、Zr、La、Ce、NdまたはHf)とを有し、第1の酸化物半導体層および第3の酸化物半導体層は、Inに対するMの原子数比が第2の酸化物半導体層よりも大きいことが好ましい。

#### 【0019】

酸化物半導体層のチャネル幅方向の略平面に対して垂直な断面は、頂部と側部が曲率をして結合している形状であってもよい。

40

#### 【0020】

また、本発明の他の一態様は、略平面を有する基板上に第1の酸化物半導体膜、第2の酸化物半導体膜を順に形成し、第1の酸化物半導体膜および第2の酸化物半導体膜を選択的にエッティングすることにより第1の酸化物半導体層および第2の酸化物半導体層からなる積層を形成し、積層に酸素イオンを注入し、積層上に第3の酸化物半導体膜を形成し、酸化物半導体層を加熱処理することにより酸化物半導体層中に酸素を拡散させることを特徴とする半導体装置の作製方法である。

#### 【0021】

また、本発明の他の一態様は略平面を有する基板上に第1の酸化物半導体膜、第2の酸化物半導体膜を順に形成し、第1の酸化物半導体膜および第2の酸化物半導体膜を選択的に

50

エッチングすることにより第1の酸化物半導体層および第2の酸化物半導体層からなる積層を形成し、積層上に第3の酸化物半導体膜を形成し、第3の酸化物半導体層を介して積層に酸素イオンを注入し、酸化物半導体層を加熱処理することにより酸化物半導体層中に酸素を拡散させることを特徴とする半導体装置の作製方法である。

#### 【0022】

上記略平面に対して垂直な角度( )を0°、略平面に対して平行な角度( )を90°としたとき、酸素イオンの注入は、0° < < 90°の角度から積層の上面およびチャネル幅方向の略平面に対して垂直な断面における側面に対して行うことが好ましい。

#### 【0023】

また、略平面に対して垂直な角度( )を0°、略平面に対して平行な角度( )を90°としたとき、酸素イオンの注入は、0° < < 90°の角度で行い、かつ略平面に垂直な軸を中心に基板を回転させながら行ってもよい。 10

#### 【0024】

また、略平面に対して垂直な角度( )を0°、略平面に対して平行な角度( )を90°としたとき、酸素イオンの注入は、略0°および0° < < 90°の角度から積層の上面およびチャネル幅方向の略平面に対して垂直な断面における側面に対して複数回行ってもよい。

#### 【0025】

第1乃至第3の酸化物半導体層は、InとZnと、M(MはAl、Ti、Ga、Y、Zr、La、Ce、NdまたはHf)とを有し、第1の酸化物半導体層および第3の酸化物半導体層は、Inに対するMの原子数比が第2の酸化物半導体層よりも大きいことが好ましい。 20

#### 【0026】

また、積層のチャネル幅方向の略平面に対して垂直な断面は、頂部と側部が曲率を有して結合している形状であってもよい。

#### 【発明の効果】

#### 【0027】

本発明の一態様を用いることにより、半導体装置に良好な電気特性を付与することができる。または、オン電流の高い半導体装置を提供することができる。または、高速動作に適した半導体装置を提供することができる。集積度の高い半導体装置を提供することができる。または、低消費電力の半導体装置を提供することができる。または、信頼性の高い半導体装置を提供することができる。または、電源が遮断されてもデータが保持される半導体装置を提供することができる。または、新規な半導体装置を提供することができる。または、上記半導体装置の作製方法を提供することができる。 30

#### 【0028】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

#### 【図面の簡単な説明】

#### 【0029】

【図1】半導体層を説明する上面図および断面図。

【図2】半導体層を説明する断面図。

【図3】トランジスタを説明する上面図および断面図。

【図4】トランジスタを説明する上面図および断面図。

【図5】トランジスタを説明する上面図および断面図。

【図6】トランジスタを説明する上面図および断面図。

【図7】トランジスタを説明する上面図および断面図。

【図8】トランジスタを説明する上面図および断面図。

【図9】トランジスタのチャネル幅方向の断面を説明する図。 40

50

【図 1 0】トランジスタのチャネル長方向の断面を説明する図。

【図 1 1】トランジスタのチャネル長方向の断面を説明する図。

【図 1 2】トランジスタのチャネル幅方向の断面を説明する図。

【図 1 3】半導体層を説明する上面図および断面図。

【図 1 4】半導体層を説明する上面図および断面図。

【図 1 5】トランジスタを説明する上面図および断面図。

【図 1 6】トランジスタを説明する上面図および断面図。

【図 1 7】トランジスタを説明する上面図および断面図。

【図 1 8】トランジスタを説明する上面図および断面図。

【図 1 9】トランジスタを説明する上面図および断面図。

10

【図 2 0】トランジスタを説明する上面図および断面図。

【図 2 1】トランジスタのチャネル幅方向の断面を説明する図。

【図 2 2】トランジスタのチャネル長方向の断面を説明する図。

【図 2 3】トランジスタのチャネル長方向の断面を説明する図。

【図 2 4】トランジスタのチャネル幅方向の断面を説明する図。

【図 2 5】トランジスタの作製方法を説明する図。

【図 2 6】トランジスタの作製方法を説明する図。

【図 2 7】トランジスタの作製方法を説明する図。

【図 2 8】トランジスタの作製方法を説明する図。

【図 2 9】C A A C - O S の断面における C s 補正高分解能 T E M 像、および C A A C - O S の断面模式図。

20

【図 3 0】C A A C - O S の平面における C s 補正高分解能 T E M 像。

【図 3 1】C A A C - O S および単結晶酸化物半導体の X R D による構造解析を説明する図。

【図 3 2】半導体装置の断面図および回路図。

【図 3 3】記憶装置の断面図および回路図。

【図 3 4】R F タグの構成例を説明する図。

【図 3 5】C P U の構成例を説明する図。

【図 3 6】記憶素子の回路図。

【図 3 7】表示装置の構成例を説明する図および画素の回路図。

30

【図 3 8】表示モジュールを説明する図。

【図 3 9】トランジスタの断面図およびバンド構造。

【図 4 0】計算モデルを説明する図。

【図 4 1】初期状態と最終状態を説明する図。

【図 4 2】活性化障壁を説明する図。

【図 4 3】初期状態と最終状態を説明する図。

【図 4 4】活性化障壁を説明する図。

【図 4 5】V 。 H の遷移レベルを説明する図。

【図 4 6】C A A C - O S の成膜モデルを説明する模式図、ペレットおよび C A A C - O S の断面図。

40

【図 4 7】n c - O S の成膜モデルを説明する模式図、およびペレットを示す図。

【図 4 8】ペレットを説明する図。

【図 4 9】被形成面においてペレットに加わる力を説明する図。

【図 5 0】被形成面におけるペレットの動きを説明する図。

【図 5 1】I n G a Z n O<sub>4</sub> の結晶を説明する図。

【図 5 2】原子が衝突する前の I n G a Z n O<sub>4</sub> の構造などを説明する図。

【図 5 3】原子が衝突した後の I n G a Z n O<sub>4</sub> の構造などを説明する図。

【図 5 4】原子が衝突した後の原子の軌跡を説明する図。

【図 5 5】C A A C - O S およびターゲットの断面 H A A D F - S T E M 像。

【図 5 6】電子機器を説明する図。

50

- 【図57】R F タグの使用例を説明する図。
- 【図58】トランジスタを説明する上面図。
- 【図59】In - Ga - Zn 酸化物膜のX線回折スペクトル。
- 【図60】過剰酸素の移動の計算に用いたモデル図。
- 【図61】過剰酸素の移動の計算結果を説明する図。
- 【図62】酸素欠損の移動の計算に用いたモデル図。
- 【図63】酸素欠損の移動の計算結果を説明する図。
- 【図64】In - Ga - Zn 酸化物膜中の<sup>18</sup>O のデプスプロファイル。
- 【図65】In - Ga - Zn 酸化物中の酸素の移動経路を説明する図。
- 【図66】トランジスタを説明する断面図。 10
- 【図67】トランジスタを説明する断面図。
- 【図68】トランジスタを説明する断面図。
- 【図69】半導体層を説明する上面図および断面図。
- 【図70】半導体層を説明する断面図。
- 【図71】トランジスタの作製方法を説明する図。
- 【図72】トランジスタの作製方法を説明する図。
- 【図73】C A A C - O S の電子回折パターンを示す図。
- 【図74】In - Ga - Zn 酸化物の電子照射による結晶部の変化を示す図。
- 【発明を実施するための形態】
- 【0030】 20
- 実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。
- 【0031】
- なお、本明細書等において、XとYとが接続されている、と明示的に記載する場合は、XとYとが電気的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。 30
- 【0032】
- XとYとが電気的に接続されている場合の一例としては、XとYとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。 40
- 【0033】
- XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（D/A変換回路、A/D変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、增幅回路（信号振幅または電流量などを大きくできる回路、オペアンプ、差動增幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能であ 50

る。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

#### 【0034】

なお、XとYとが接続されている、と明示的に記載する場合は、XとYとが電気的に接続されている場合（つまり、XとYとの間に別の素子または別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子または別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電気的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

10

#### 【0035】

なお、回路図上は独立している構成要素同士が電気的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、および電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電気的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

#### 【0036】

なお、例えば、トランジスタのソース（または第1の端子など）が、Z1を介して（または介さず）、Xと電気的に接続され、トランジスタのドレイン（または第2の端子など）が、Z2を介して（または介さず）、Yと電気的に接続されている場合や、トランジスタのソース（または第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（または第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することができる。

20

#### 【0037】

例えば、「XとYとトランジスタのソース（または第1の端子など）とドレイン（または第2の端子など）とは、互いに電気的に接続されており、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yの順序で電気的に接続されている。」と表現することができる。または、「トランジスタのソース（または第1の端子など）は、Xと電気的に接続され、トランジスタのドレイン（または第2の端子など）はYと電気的に接続され、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yは、この順序で電気的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（または第1の端子など）とドレイン（または第2の端子など）とを介して、Yと電気的に接続され、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（または第1の端子など）と、ドレイン（または第2の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

30

#### 【0038】

なお、本明細書等において、様々な基板を用いて、トランジスタを形成することができる。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板（例えば単結晶基板またはシリコン基板）、SOI基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチール基板、ステンレス・スチール・ホイルを有する基板、タンゲステン基板、タンゲステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、または基材フィルムなどがある。ガラス基板の一

40

50

例としては、バリウムホウケイ酸ガラス、アルミニノホウケイ酸ガラス、またはソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート( P E T )、ポリエチレンナフタレート( P E N )、ポリエーテルサルファン( P E S )に代表されるプラスチック、またはアクリル等の可撓性を有する合成樹脂などがある。貼り合わせフィルムの一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、またはポリ塩化ビニルなどがある。基材フィルムの一例としては、ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、または紙類などがある。特に、半導体基板、単結晶基板、またはS O I 基板などを用いてトランジスタを製造することによって、特性、サイズ、または形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、または回路の高集積化を図ることができる。10

#### 【 0 0 3 9 】

また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板より分離し、他の基板に転載するために用いることができる。その際、トランジスタは耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構造の構成や、基板上にポリイミド等の有機樹脂膜が形成された構成等を用いることができる。20

#### 【 0 0 4 0 】

つまり、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板(天然纖維(絹、綿、麻)、合成纖維(ナイロン、ポリウレタン、ポリエステル)若しくは再生纖維(アセテート、キュプラ、レーヨン、再生ポリエステル)などを含む)、皮革基板、またはゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、または薄型化を図ることができる。30

#### 【 0 0 4 1 】

##### ( 実施の形態 1 )

本実施の形態では、本発明の一態様のトランジスタの作製方法について図面を用いて説明する。

#### 【 0 0 4 2 】

本発明の一態様のトランジスタは、シリコン(歪シリコン含む)、ゲルマニウム、シリコングルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、有機半導体、または酸化物半導体などをチャネル形成領域に用いることができる。特に、シリコンよりもバンドギャップの大きい酸化物半導体を含んでチャネル形成領域を形成することが好ましい。

#### 【 0 0 4 3 】

例えば、上記酸化物半導体として、少なくともインジウム( I n )もしくは亜鉛( Z n )を含むことが好ましい。より好ましくはI n - M - Z n 系酸化物( M はA l 、T i 、G a 、G e 、Y 、Z r 、S n 、L a 、C e またはH f 等の金属)で表記される酸化物を含む構成とする。40

#### 【 0 0 4 4 】

以下では、特に断りのない限り、一例として、チャネル形成領域に酸化物半導体を含むトランジスタについて説明する。

#### 【 0 0 4 5 】

酸化物半導体層における酸素欠損は不必要なドナーの形成に寄与するため酸素欠損が極力少ない材料を用いることが好ましい。しかしながら、形成直後の酸化物半導体層において50

酸素欠損が少ない場合でも、トランジスタの作製工程における様々な要因によって酸素欠損は増加しうる。チャネル形成領域における酸化物半導体層中の酸素欠損が増加すると、例えば、トランジスタのノーマリーオン化、リーク電流の増大、ストレス印加によるしきい値電圧のシフトなど、電気特性の不良を引き起こす場合がある。

#### 【0046】

酸化物半導体層の酸素欠損を補填するには、当該酸化物半導体層と接する下地絶縁膜から酸素を供給する方法がある。この場合、下地絶縁膜として用いる酸化物絶縁層を化学量論組成よりも多い酸素を含む組成とすることが好ましい。

#### 【0047】

また、イオン注入法などを用いて酸化物半導体層に直接酸素を注入してもよい。イオン注入法では必要量の酸素を正確に酸化物半導体層に注入することができる。10

#### 【0048】

これらの方針を用いて酸化物半導体層に酸素を供給することでトランジスタの電気特性および信頼性を向上させることができる。

#### 【0049】

また、トランジスタの微細化によってオン電流の低下が課題となるが、活性層をフィン型とすることでオン電流の低下を防止することができる。活性層をフィン型とする場合、酸化物半導体層の膜厚が厚いほど実効的なチャネル幅を拡大させることができ、オン電流は向上しやすい。

#### 【0050】

一方で、酸化物半導体層の膜厚が厚くなると下地絶縁膜から供給される酸素を膜厚方向全体に拡散させることが困難となる。20

#### 【0051】

また、膜厚が厚い酸化物半導体層に酸素イオン注入をする場合においては、膜厚方向全体に酸素を行き渡らせるためには高加速電圧かつ高ドーズ量の条件が必要となる。当該条件下で酸素を注入すると、イオン注入ダメージにより酸化物半導体層に含まれる結晶が破壊され、トランジスタの電気特性が低下してしまう。

#### 【0052】

例えば、この現象はX線回折で確認することができる。図59(A)、(B)、(C)は、c軸に配向したIn-Ga-Zn酸化物膜に対する酸素イオン注入の影響をX線回折で調べた結果である。図59(A)に示すように、初期状態(酸素イオン注入なし)ではInGaZnO<sub>4</sub>結晶の(009)面配向を示す2θ = 31°近傍のピークが見られるが、図59(B)に示すようにイオン種を<sup>16</sup>O<sup>+</sup>、加速電圧を5kV、ドーズ量を1E16 cm<sup>-2</sup>とした条件で注入すると2θ = 31°近傍のピークが消失してしまう。また、図59(C)に示すようにイオン種を<sup>16</sup>O<sup>+</sup>、加速電圧を5kV、ドーズ量を1E15 cm<sup>-2</sup>とした条件で注入した場合も同じである。なお、上記いずれの条件より少ないドーズ量においては結晶状態の維持は確認されているが、膜厚方向全体に酸素を供給することは困難となる。30

#### 【0053】

そこで、本発明の一態様では、酸化物半導体層の側面に対して酸素のイオン注入を行うことにより、結晶を破壊することなく、かつ効率良く酸素を酸化物半導体層に供給する手段を用いる。40

#### 【0054】

図1(A)、(B)は、本発明の一態様のトランジスタに用いられる酸化物半導体層130の上面図および断面図である。図1(A)は上面図であり、図1(A)に示す一点鎖線A3-A4方向の断面が図1(B)に相当する。なお、上記図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線A1-A2方向をチャネル長方向、一点鎖線A3-A4方向をチャネル幅方向と呼称する場合がある。

#### 【0055】

略平面を有する基板115上に絶縁層120が形成され、絶縁層120上に酸化物半導体50

層 130 が形成されている。ここで、絶縁層 120 は上述した酸素供給源となる下地絶縁膜として作用させるため、過剰の酸素を含む絶縁膜であることが好ましい。少なくとも酸化物半導体層 130 の絶縁層 120 と接する領域近傍は絶縁層 120 からの酸素拡散によって酸素欠損を低減することができる。

#### 【 0 0 5 6 】

また、図 69 (A)、(B) は上記とは異なる形態であり、本発明の一態様のトランジスタに用いられる酸化物半導体層 130 およびブロック層 165 の上面図および断面図である。図 69 (A) は上面図であり、図 69 (A) に示す一点鎖線 A3 - A4 方向の断面が図 69 (B) に相当する。

#### 【 0 0 5 7 】

略平面を有する基板 115 上に絶縁層 120 が形成され、絶縁層 120 上に酸化物半導体層 130 が形成され、酸化物半導体層 130 に接してブロック層 165 が形成されている。ここで、絶縁層 120 は上述した酸素供給源となる下地絶縁膜として作用させるため、過剰の酸素を含む絶縁膜であることが好ましい。少なくとも酸化物半導体層 130 の絶縁層 120 と接する領域近傍は絶縁層 120 からの酸素拡散によって酸素欠損を低減することができる。また、ブロック層 165 はイオン注入による酸化物半導体層 130 のダメージを緩和する効果を有する。

#### 【 0 0 5 8 】

なお、略平面とは、大意として故意に凹凸やうねりを形成しない平面を指す。また、微視的な凹凸やうねりを有する平面は略平面に含まれる。したがって、略平面を有する基板 115 上に形成された絶縁層 120 も略平面を有する。

#### 【 0 0 5 9 】

本発明の一態様において、酸化物半導体層 130 はチャネル幅方向の断面において膜厚 (T) がチャネル幅 (W) よりも大きい形状 ( $T > W$ ) とする。また、酸化物半導体層 130 はチャネル幅方向の断面において略台形であり、頂部と側部が曲率を有して結合している形状であることが好ましい。上記形状とすることで、オン電流を向上させることに加え、酸化物半導体層 130 に対するゲート絶縁膜 (絶縁層 160) の被覆性が向上するため、ゲート絶縁膜の薄膜化を容易とすることができます。また、酸化物半導体層 130 に電界が集中するような局部的な凸部または凹部をなくすことができるために、ゲート耐圧の高いトランジスタを形成することができる。

#### 【 0 0 6 0 】

また、本発明の一態様において酸化物半導体層 130 は、基板 115 または絶縁層 120 の略平面に対して垂直方向に c 軸配向した結晶 (C AAC - OS : C Axis Aligned Crystalline Oxide Semiconductor) を有する膜であることが好ましい。CAC - OS 膜を用いることで、トランジスタの電気特性および信頼性を向上させることができる。

#### 【 0 0 6 1 】

そして、基板 115 または絶縁層 120 が有する略平面に対して垂直な角度 ( ) を 0°、当概略平面に対して平行な角度 ( ) を 90° としたとき、酸素イオン 40 の注入を 0° < < 90°、好ましくは 10° < < 85°、さらに好ましくは 20° < < 80° の角度から酸化物半導体層の上面およびチャネル幅方向の略平面に対して垂直な断面における側面に対して行う (図 1 (B) 参照)。また、最も好ましくは、酸化物半導体層のチャネル幅方向の略平面に対して垂直な断面における側面に対して垂直となる角度から行う。また、酸素イオンの注入処理中に角度を変化させてもよい。なお、図 69 (A)、(B) に示す形態においては、上記同様の角度からブロック層 165 を介して酸化物半導体層の上面およびチャネル幅方向の略平面に対して垂直な断面における側面に対して行う。

#### 【 0 0 6 2 】

また、イオン注入の条件としては、例えば、イオン種を  $^{16}\text{O}_2^+$ 、加速電圧を 5 kV、ドーズ量を  $1 \times 10^{-6} \text{ cm}^{-2}$  より少ない条件、またはイオン種を  $^{16}\text{O}^+$ 、加速電圧を 5 kV、ドーズ量を  $1 \times 10^{-5} \text{ cm}^{-2}$  より少ない条件で行えばよい。

10

20

30

40

50

## 【0063】

上記のように酸化物半導体層の側面に酸素イオン40を注入することで、酸化物半導体層130の膜厚が厚い場合においても結晶を破壊させずに、かつ膜厚方向全体に酸素を供給することができる。特に、CAC-O<sub>5</sub>膜を用いた場合は、c軸方向と直交する方向に酸素が拡散しやすいため、酸化物半導体層130の側面に酸素イオン40を注入することで効率良く膜厚方向全体に酸素を供給することができる。

## 【0064】

CAC-O<sub>5</sub>膜におけるc軸方向と直交する方向（横方向）に酸素が拡散しやすい特徴について説明する。

## 【0065】

ここでは、CAC-O<sub>5</sub>膜の一例として、In-Ga-Zn酸化物（以下、IGZOと呼ぶ。）膜における、過剰酸素（化学量論比を越えて存在している酸素原子）および酸素欠損の動きやすさについて、科学計算結果を参照して説明する。

## 【0066】

なお、計算は、原子数比がIn:Ga:Zn=3:1:2となるIGZOのIn-O面に過剰酸素または酸素欠損が一つ存在するモデルを構造最適化によって作成（図60（A）乃至（C）および図62（A）乃至（C）を参照）し、NEB（Nudged Elastic Band）法を用いて最小エネルギー経路に沿った中間構造に対するエネルギーをそれぞれ算出した。

## 【0067】

計算は、密度汎関数理論（DFT）に基づく計算プログラムソフト「OpenMX」を用いて行った。パラメータについて以下に説明する。

## 【0068】

基底関数には、擬原子局在基底関数を用いた。この基底関数は、分極基底系STO（Slater Type Orbital）に分類される。

## 【0069】

汎関数には、GGA/PBE（Generalized-Gradient-Approximation/Perdew-Burke-Ernzerhof）を用いた。

## 【0070】

カットオフエネルギーは200 Ryとした。

## 【0071】

サンプリングk点は、5×5×3とした。

## 【0072】

過剰酸素の動きやすさについての計算では、計算モデル内に存在する原子の数を85個とし、酸素欠損の動きやすさについての計算では、計算モデル内に存在する原子の数を83個とした。

## 【0073】

過剰酸素または酸素欠損の動きやすさは、過剰酸素または酸素欠損が各々のサイトへ移動する際に越えることを要するエネルギーbarrierの高さE<sub>b</sub>を計算することにより評価する。すなわち、移動に際して越えるエネルギーbarrierの高さE<sub>b</sub>が高ければ移動しにくく、エネルギーbarrierの高さE<sub>b</sub>が低ければ移動しやすい。

## 【0074】

まず、過剰酸素の移動について説明する。過剰酸素の移動の計算に用いたモデルを図60に示す。なお、モデルの縦方向が結晶軸のc軸である。計算は、以下の2つの遷移形態について行った。計算結果は、図61に示す。図61では、横軸を（過剰酸素の移動の）経路長とし、縦軸を図60（A）のモデルAの状態のエネルギーに対する（移動に要する）エネルギーとしている。

## 【0075】

過剰酸素の移動について、上記2つの遷移形態のうち、第1の遷移は、モデルAからモデルBへの遷移である。第2の遷移は、モデルAからモデルCへの遷移である。

10

20

30

40

50

## 【0076】

なお、図60(A)乃至(C)中の”1”と表記されている酸素原子をモデルAの第1の酸素原子と呼ぶ。図60(A)乃至(C)中の”2”と表記されている酸素原子をモデルAの第2の酸素原子と呼ぶ。図60(A)乃至(C)中の”3”と表記されている酸素原子をモデルAの第3の酸素原子と呼ぶ。

## 【0077】

図61から明らかなように、第1の遷移のエネルギー・バリアの高さ $E_b$ の最大値( $E_{b_{max}}$ )は、0.53eVであり、第2の遷移のエネルギー・バリアの高さ $E_b$ の最大値( $E_{b_{max}}$ )は、2.38eVである。そのため、第1の遷移では第2の遷移よりもエネルギー・バリアの高さ $E_b$ の最大値( $E_{b_{max}}$ )が低い。そのため、第1の遷移に要するエネルギーは第2の遷移に要するエネルギーよりも小さく、第1の遷移のほうが第2の遷移よりも起こりやすいといえる。10

## 【0078】

すなわち、モデルAの第1の酸素原子の移動は、モデルAの第3の酸素原子を押し出す方向よりも、モデルAの第2の酸素原子を押し出す方向に移動しやすいといえる。したがって、酸素原子はインジウム原子の層を横断して移動するよりもインジウム原子の層に沿って移動しやすいといえる。

## 【0079】

次に、酸素欠損の移動について説明する。酸素欠損の移動の計算に用いたモデルを図62に示す。計算は、以下の2つの遷移形態について行った。計算結果は、図63に示す。図63では、横軸を(酸素欠損の移動の)経路長とし、縦軸を図62(A)のモデルAの状態のエネルギーに対する(移動に要する)エネルギーとしている。20

## 【0080】

酸素欠損の移動について、上記2つの遷移形態のうち、第1の遷移は、モデルAからモデルBへの遷移である。第2の遷移は、モデルAからモデルCへの遷移である。

## 【0081】

なお、図62(A)乃至(C)中の点線で描画している丸は、酸素欠損を表している。

## 【0082】

図63から明らかなように、第1の遷移のエネルギー・バリアの高さ $E_b$ の最大値( $E_{b_{max}}$ )は、1.81eVであり、第2の遷移のエネルギー・バリアの高さ $E_b$ の最大値( $E_{b_{max}}$ )は、4.10eVである。そのため、第1の遷移では第2の遷移よりもエネルギー・バリアの高さ $E_b$ の最大値( $E_{b_{max}}$ )が低い。そのため、第1の遷移に要するエネルギーは第2の遷移に要するエネルギーよりも小さく、第1の遷移のほうが第2の遷移よりも起こりやすいといえる。30

## 【0083】

すなわち、モデルAの酸素欠損はモデルCの酸素欠損の位置よりも、モデルBの酸素欠損の位置のほうが移動しやすいといえる。したがって、酸素欠損もインジウム原子の層を横断して移動するよりもインジウム原子の層に沿って移動しやすいといえる。

## 【0084】

次に、前述した4つの遷移形態の起こりやすさを別の側面から比較するために、これらの遷移の温度依存性について説明する。前述した4つの遷移形態は、(1)過剰酸素の第1の遷移(2)過剰酸素の第2の遷移(3)酸素欠損の第1の遷移(4)酸素欠損の第2の遷移の4つである。40

## 【0085】

これらの遷移の温度依存性は、単位時間あたりの移動頻度により比較する。ここで、ある温度T(K)における移動頻度Z( /秒)は、化学的に安定な位置における酸素原子の振動数 $Z_0$ ( /秒)を用いると、以下の式で表される。

## 【0086】

## 【数1】

$$Z = Z_0 \cdot \exp\left(-\frac{E_{b_{\max}}}{kT}\right)$$

## 【0087】

なお、上記式において、 $E_{b_{\max}}$  は各遷移におけるエネルギー障壁の高さ  $E_b$  の最大値であり、 $k$  はボルツマン定数である。また、 $Z_0 = 1.0 \times 10^{13}$  ( /秒) を計算に用いる。

## 【0088】

過剰酸素または酸素欠損が 1 秒間あたりに 1 度だけエネルギー障壁の高さ  $E_b$  の最大値 ( $E_{b_{\max}}$ ) を越えて移動する場合 ( $Z = 1$  ( /秒) の場合)、 $T$  について式(1)を解くと以下の通りである。

- (1) 過剰酸素の第 1 の遷移  $Z = 1$  において  $T = 206\text{ K}$  (-67)
- (2) 過剰酸素の第 2 の遷移  $Z = 1$  において  $T = 923\text{ K}$  (650)
- (3) 酸素欠損の第 1 の遷移  $Z = 1$  において  $T = 701\text{ K}$  (428)
- (4) 酸素欠損の第 2 の遷移  $Z = 1$  において  $T = 1590\text{ K}$  (1317)

## 【0089】

一方、 $T = 300\text{ K}$  (27) の場合の  $Z$  は、以下の通りである。

- (1) 過剰酸素の第 1 の遷移  $T = 300\text{ K}$  において  $Z = 1.2 \times 10^4$  ( /秒)
- (2) 過剰酸素の第 2 の遷移  $T = 300\text{ K}$  において  $Z = 1.0 \times 10^{-27}$  ( /秒)
- (3) 酸素欠損の第 1 の遷移  $T = 300\text{ K}$  において  $Z = 4.3 \times 10^{-18}$  ( /秒)
- (4) 酸素欠損の第 2 の遷移  $T = 300\text{ K}$  において  $Z = 1.4 \times 10^{-56}$  ( /秒)

## 【0090】

また、 $T = 723\text{ K}$  (450) の場合の  $Z$  は、以下の通りである。

- (1) 過剰酸素の第 1 の遷移  $T = 723\text{ K}$  において  $Z = 2.0 \times 10^9$  ( /秒)
- (2) 過剰酸素の第 2 の遷移  $T = 723\text{ K}$  において  $Z = 2.5 \times 10^{-4}$  ( /秒)
- (3) 酸素欠損の第 1 の遷移  $T = 723\text{ K}$  において  $Z = 2.5$  ( /秒)
- (4) 酸素欠損の第 2 の遷移  $T = 723\text{ K}$  において  $Z = 2.5 \times 10^{-16}$  ( /秒)

## 【0091】

上記計算結果に鑑みると、過剰酸素は、 $T = 300\text{ K}$  においても  $T = 723\text{ K}$  においても、インジウム原子の層を横断して移動するよりもインジウム原子の層に沿って移動しやすいといえる。また、酸素欠損も、 $T = 300\text{ K}$  においても  $T = 723\text{ K}$  においても、インジウム原子の層を横断して移動するよりもインジウム原子の層に沿って移動しやすいといえる。

## 【0092】

また、 $T = 300\text{ K}$  において、インジウム原子の層に沿った過剰酸素の移動は非常に起こりやすいが、他の遷移形態は起こりにくい。 $T = 723\text{ K}$  においては、インジウム原子の層に沿う過剰酸素の移動のみならず、インジウム原子の層に沿う酸素欠損の移動も起こりやすいが、過剰酸素についても酸素欠損についてもインジウム原子の層を横断する移動は困難である。

## 【0093】

したがって、例えば C A A C - O S 膜のように、インジウム原子の層が当該膜の被形成面または表面に平行な面上に存在する場合には、過剰酸素および酸素欠損のいずれも当該膜の被形成面または表面に沿って移動しやすいといえる。

## 【0094】

以上説明したように、C A A C - O S 膜では当該膜の被形成面または表面に沿って過剰酸素は移動しやすい。したがって、酸化物半導体層が C A A C - O S 膜である場合、c 軸方向 (縦方向) よりも c 軸方向と直交する方向 (横方向) に酸素が拡散しやすいといえる。

## 【0095】

10

20

30

40

50

なお、上述した説明では過剰酸素または酸素欠損がインジウム原子の層を横断する場合について説明したが、酸化物半導体膜に含まれるインジウム以外の金属についても同様である。

#### 【0096】

また、本発明に一態様においては、図2(A)に示すように、酸素イオン40の注入の角度を $0^\circ < \theta < 90^\circ$ 、好ましくは $10^\circ < \theta < 85^\circ$ 、さらに好ましくは $20^\circ < \theta < 80^\circ$ 、最も好ましくは酸化物半導体層130のチャネル幅方向の略平面に対して垂直な断面における側面に対して垂直となる角度とし、基板115または絶縁層120が有する略平面に垂直な軸50を中心に基板115を回転させながら行ってもよい。また、酸素イオン40の注入処理中に上記いずれかの範囲で角度を変化させながら基板115を回転させててもよい。なお、図69(A)、(B)に示す形態においては、図70(A)に示すように、ブロック層165を介して酸化物半導体層130に酸素イオン注入を行う。10

#### 【0097】

上記のように基板115を回転させながら酸素イオン40の注入を行うことにより、均一性よく酸化物半導体層130の膜厚方向全体に酸素を供給することができる。

#### 【0098】

また、本発明に一態様においては、図2(B)に示すように、酸素イオン40の注入の角度を略 $0^\circ$ の条件、および $0^\circ < \theta < 90^\circ$ 、好ましくは $10^\circ < \theta < 85^\circ$ 、さらに好ましくは $20^\circ < \theta < 80^\circ$ 、最も好ましくは酸化物半導体層130のチャネル幅方向の略平面に対して垂直な断面における側面に対して垂直となる角度の条件から酸化物半導体層130の上面およびチャネル幅方向の略平面に対して垂直な断面における側面に対して複数回行ってもよい。例えば、 $\alpha = a$ (略 $0^\circ$ )で酸化物半導体層130の上面に対して酸素イオン40の注入を行い、 $\beta = b$ ( $0^\circ < \beta < 90^\circ$ )および $\gamma = c$ ( $0^\circ > \gamma > -90^\circ$ )で酸化物半導体層130の側面に対して酸素イオン40の注入を行う。また、酸素イオン注入を $\alpha = a$ および $\beta = b$ の組み合わせのみで行ってもよい。また、さらに複数の角度で酸素イオン注入を行ってもよい。また、基板115または絶縁層120が有する略平面に垂直な軸を中心に基板115を回転させながら行ってもよい。なお、図69(A)、(B)に示す形態においては、図70(B)に示すように、ブロック層165を介して酸化物半導体層130に酸素イオン注入を行う。20

#### 【0099】

上記のように複数の角度から酸化物半導体層130の上面およびチャネル幅方向の略平面に対して垂直な断面における側面に対して複数回、酸素イオン40の注入を行うことにより、均一性よく酸化物半導体層130の膜厚方向全体に酸素を供給することができる。30

#### 【0100】

なお、酸化物半導体層130に注入した酸素イオン40(酸化物半導体層130中において酸素原子または酸素分子である状態を含む)を酸化物半導体層130の膜厚方向全体に拡散させるには熱処理を行うことが好ましい。ただし、酸素イオン40を注入した直後に熱処理を行うと酸化物半導体層130から酸素の脱離が起こりやすいため、酸素を通しつくい膜を酸化物半導体層130を覆うように設けてから熱処理を行うことが好ましい。なお、熱処理は、炉などで行うほか、RTA(Rapid thermal anneal)法で行ってもよい。図69(A)、(B)に示す形態における酸化物半導体層130に接するブロック層165は、酸素脱離を抑える効果も有する。40

#### 【0101】

ブロック層165としては、酸化シリコン膜や酸化窒化シリコン膜などの酸化膜を用いることができる。この場合、当該酸化膜はゲート絶縁膜として用いることもできる。

#### 【0102】

また、ブロック層165として酸化物半導体層を用いることができる。例えば、チャネルが形成される領域を第1の酸化物半導体層とし、当該第1の酸化物半導体層がInと、Znと、M(MはAl、Ti、Ga、Y、Zr、La、Ce、NdまたはHf)とを有する場合、ブロック層には、Inに対するMの原子数比が第1の酸化物半導体層よりも大きい50

第2の酸化物半導体層を用いることができる。また、第2の酸化物半導体層には、酸化ガリウムなどの酸化物半導体を用いることもできる。

#### 【0103】

具体的には、第1の酸化物半導体層は  $In : Ga : Zn = 1 : 1 : 1$  (原子数比) で形成し、第2の酸化物半導体層は  $In : Ga : Zn = 1 : 3 : 2$  (原子数比) や  $In : Ga : Zn = 1 : 3 : 4$  (原子数比) などで形成すればよい。また、第2の酸化物半導体層は第1の酸化物半導体層の表面に対して垂直方向に c 軸配向している結晶を有することが好ましい。

#### 【0104】

上記第2の酸化物半導体層が酸素をブロックする層として適用可能であることを説明する。

10

#### 【0105】

図64(A)、(B)は酸化シリコン膜上に組成の異なる酸化物半導体膜を形成し、各種熱処理を施した後の酸素のSIMS (Secondary Ion Mass Spectrometry) 分析結果である。なお、当該酸化シリコン膜は酸素の同位体である  $^{18}O_2$  をスペッタガスとして用いたスペッタ法で形成したものであり、酸化物半導体膜中の酸素は  $^{18}O$  を分析することで酸化シリコン膜から酸化物半導体膜に拡散する酸素を定量することができる。また、熱処理は 350、400、450 の各温度において、窒素雰囲気で 1 時間、酸素雰囲気で 1 時間行っている。

#### 【0106】

図64(A)は、上記第1の酸化物半導体層として用いることのできる  $In : Ga : Zn = 1 : 1 : 1$  (原子数比) の酸化物半導体膜の  $^{18}O$  のデプスプロファイルである。また、図64(B)は、上記第2の酸化物半導体層として用いることのできる  $In : Ga : Zn = 1 : 3 : 2$  (原子数比) の酸化物半導体膜の  $^{18}O$  のデプスプロファイルである。両者を比べると  $In : Ga : Zn = 1 : 3 : 2$  (原子数比) の酸化物半導体膜の方が酸素 ( $^{18}O$ ) の拡散量が少ないことがわかる。すなわち、 $In : Ga : Zn = 1 : 3 : 2$  (原子数比) の酸化物半導体膜は相対的に酸素が拡散しにくいといえる。

20

#### 【0107】

また、 $In - Ga - Zn$  酸化物の結晶性と酸素透過性との関係を説明する。

#### 【0108】

$In - Ga - Zn$  酸化物の結晶における、過剰酸素 (酸素) の移動に係るエネルギー障壁について計算により求める。計算には、密度汎関数理論に基づく平面波基底第一原理計算ソフトVASP (Vienna ab initio simulation package) を用いる。なお、汎関数としてはGGA-PBEを用いる。また、平面波のカットオフエネルギーを 400 eV とする。また、PAW (Projector Augmented Wave) 法により内殻電子の効果を取り入れる。

30

#### 【0109】

ここでは、図65に示す $In - Ga - Zn$  酸化物の結晶において、過剰酸素 (酸素) の移動経路1、移動経路2、移動経路3および移動経路4の移動しやすさを計算する。

#### 【0110】

なお、移動経路1は、三つのインジウム原子および一つの亜鉛原子と結合した酸素に結合した過剰酸素 (酸素) が、隣接する三つのインジウム原子および一つの亜鉛原子と結合した酸素に結合する経路である。また、移動経路2は、三つのインジウム原子および一つのガリウム原子と結合した酸素に結合した過剰酸素 (酸素) が、インジウムおよび酸素を含む層を横切って、隣接する三つのインジウム原子および一つの亜鉛原子と結合した酸素に結合する経路である。また、移動経路3は、二つのガリウム原子および一つの亜鉛原子と結合した酸素に結合した過剰酸素 (酸素) が、隣接する二つの亜鉛原子および一つのガリウム原子と結合した酸素に結合する経路である。また、移動経路4は、二つのガリウム原子および一つの亜鉛原子と結合した酸素に結合した過剰酸素 (酸素) が、ガリウム、亜鉛および酸素を含む層を横切って、隣接する三つのインジウム原子および一つのガリウム原

40

50

子と結合した酸素に結合する経路である。

【0111】

単位時間当たりに拡散のエネルギー障壁  $E_a$  を越える頻度を拡散頻度 R とすると、R は下に示す式で表すことができる。

【0112】

$$R = \cdot e \times p [ - E_a / (k_B T) ]$$

【0113】

なお、 $\cdot$  は拡散原子の熱振動の振動数、 $k_B$  はボルツマン定数、T は絶対温度である。  
にデバイ振動数として  $10^{13} [1/\text{sec}]$  を与えた場合の、350 および 450  
における拡散頻度 R は表 1 のようになる。

【0114】

【表 1】

	エネルギー障壁 [eV]	拡散頻度 R [1/sec]	
		350°C	450°C
移動経路1	0.50	$9.0 \times 10^8$	$3.3 \times 10^9$
移動経路2	1.97	$1.2 \times 10^{-3}$	$1.9 \times 10^{-1}$
移動経路3	0.53	$5.2 \times 10^8$	$2.0 \times 10^9$
移動経路4	0.56	$3.0 \times 10^8$	$1.3 \times 10^9$

【0115】

表 1 に示すように、インジウムおよび酸素を含む層を横切る移動経路 2 において、他の移動経路よりも高いエネルギー障壁を有することがわかる。これは、In-Ga-Zn 酸化物の結晶は、c 軸方向における過剰酸素（酸素）の移動が起こりにくいことを示している。即ち、CAAC-OS などのように、c 軸配向性を有し、被形成面または上面に概略垂直な方向を向いている構造を有する場合、被形成面または上面に概略垂直な方向における過剰酸素（酸素）の移動が起こりにくいことを示している。

【0116】

つまり、第 2 の酸化物半導体層として、第 1 の酸化物半導体層の表面に対して垂直方向に c 軸配向している酸化物半導体層を用いることで酸素のブロック性を高めることができる。

【0117】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0118】

（実施の形態 2）

本実施の形態では、実施の形態 1 で説明した酸化物半導体層に酸素を供給する方法を用いて作製することのできるトランジスタについて図面を用いて説明する。

【0119】

図 3 (A)、(B) は、本発明の一態様のトランジスタ 101 の上面図および断面図である。図 3 (A) は上面図であり、図 3 (A) に示す一点鎖線 B1-B2 方向の断面が図 3 (B) に相当する。また、図 3 (A) に示す一点鎖線 B3-B4 方向の断面が図 9 に相当する。なお、上記図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線 B1-B2 方向をチャネル長方向、一点鎖線 B3-B4 方向をチャネル幅方向と呼称する場合がある。

【0120】

トランジスタ 101 は、基板 115 と接する絶縁層 120 と、絶縁層 120 と接する酸化物半導体層 130 と、酸化物半導体層 130 と電気的に接続する導電層 140 および導電層 150 と、酸化物半導体層 130 、導電層 140 および導電層 150 と接する絶縁層 1

10

20

30

40

50

60と、絶縁層160と接する導電層170と、導電層140、導電層150、絶縁層160および導電層170と接する絶縁層175と、絶縁層175と接する絶縁層180と、を有する。また、必要に応じて絶縁層180に接する絶縁層190(平坦化膜)などを有していてもよい。

#### 【0121】

ここで、導電層140はソース電極層、導電層150はドレイン電極層、絶縁層160はゲート絶縁膜、導電層170はゲート電極層としてそれぞれ機能することができる。

#### 【0122】

また、図3(B)に示す領域231はソース領域、領域232はドレイン領域、領域233はチャネル形成領域として機能することができる。領域231および領域232は導電層140および導電層150とそれぞれ接しており、例えば導電層140および導電層150として酸素と結合しやすい導電材料を用いれば領域231および領域232を低抵抗化することができる。  
10

#### 【0123】

具体的には、酸化物半導体層130と導電層140および導電層150とが接することで酸化物半導体層130内に酸素欠損が生じ、当該酸素欠損と酸化物半導体層130内に残留または外部から拡散する水素との相互作用により、領域231および領域232は低抵抗のn型となる。

#### 【0124】

なお、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合には入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。また、「電極層」は、「配線」と言い換えることもできる。  
20

#### 【0125】

また、導電層170は、導電層171および導電層172の二層で形成される例を図示しているが、一層または三層以上の積層であってもよい。当該構成は本実施の形態で説明する他のトランジスタにも適用できる。

#### 【0126】

また、導電層140および導電層150は単層で形成される例を図示しているが、二層以上の積層であってもよい。当該構成は本実施の形態で説明する他のトランジスタにも適用できる。  
30

#### 【0127】

また、本発明の一態様のトランジスタにおける導電層140(ソース電極層)および導電層150(ドレイン電極層)は、図58(A)、(B)に示す上面図(酸化物半導体層130、導電層140および導電層150のみを図示)のように酸化物半導体層の幅( $W_{o_s}$ )よりも導電層140および導電層150の幅( $W_{s_D}$ )が長く形成されていてもよいし、短く形成されていてもよい。 $W_{o_s} > W_{s_D}$ ( $W_{s_D}$ は $W_{o_s}$ 以下)とすることで、ゲート電界が酸化物半導体層130全体にかかりやすくなり、トランジスタの電気特性を向上させることができる。当該構成は本実施の形態で説明する他のトランジスタにも適用できる。  
40

#### 【0128】

また、本発明の一態様のトランジスタは、図4(A)、(B)に示す構成であってもよい。図4(A)はトランジスタ102の上面図であり、図4(A)に示す一点鎖線C1-C2方向の断面が図4(B)に相当する。また、図4(A)に示す一点鎖線C3-C4方向の断面は、図9に相当する。なお、上記図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線C1-C2方向をチャネル長方向、一点鎖線C3-C4方向をチャネル幅方向と呼称する場合がある。

#### 【0129】

トランジスタ102は、ゲート絶縁膜として作用する絶縁層160がゲート電極層として

50

作用する導電層 170 と端部を一致させない点を除き、トランジスタ 101 と同様の構成を有する。トランジスタ 102 の構造は、導電層 140 および導電層 150 が絶縁層 160 で広く覆われているため、導電層 140 および導電層 150 と導電層 170 との間の抵抗が高く、ゲートリーク電流の少ない特徴を有している。

#### 【0130】

トランジスタ 101 およびトランジスタ 102 は、導電層 170 と導電層 140 および導電層 150 が重なる領域を有するトップゲート構造である。当該領域のチャネル長方向の幅は、寄生容量を小さくするために 3 nm 以上 300 nm 未満とすることが好ましい。一方で、酸化物半導体層 130 にオフセット領域が形成されないため、オン電流の高いトランジスタを形成しやすい。

10

#### 【0131】

また、本発明の一態様のトランジスタは、図 5 (A)、(B) に示す構成であってもよい。図 5 (A) はトランジスタ 103 の上面図であり、図 5 (A) に示す一点鎖線 D1 - D2 方向の断面が図 5 (B) に相当する。また、図 5 (A) に示す一点鎖線 D3 - D4 方向の断面は、図 9 に相当する。なお、上記図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線 D1 - D2 方向をチャネル長方向、一点鎖線 D3 - D4 方向をチャネル幅方向と呼称する場合がある。

#### 【0132】

トランジスタ 103 は、基板 115 と接する絶縁層 120 と、絶縁層 120 と接する酸化物半導体層 130 と、酸化物半導体層 130 と接する絶縁層 160 と、絶縁層 160 と接する導電層 170 と、酸化物半導体層 130 、絶縁層 160 および導電層 170 を覆う絶縁層 175 と、絶縁層 175 と接する絶縁層 180 と、絶縁層 175 および絶縁層 180 に設けられた開口部を通じて酸化物半導体層 130 と電気的に接続する導電層 140 および導電層 150 を有する。また、必要に応じて絶縁層 180 、導電層 140 および導電層 150 に接する絶縁層 190 (平坦化膜)などを有していてもよい。

20

#### 【0133】

ここで、導電層 140 はソース電極層、導電層 150 はドレイン電極層、絶縁層 160 はゲート絶縁膜、導電層 170 はゲート電極層としてそれぞれ機能することができる。

#### 【0134】

また、図 5 (B) に示す領域 231 はソース領域、領域 232 はドレイン領域、領域 233 はチャネル形成領域として機能することができる。領域 231 および領域 232 は絶縁層 175 と接しており、例えば絶縁層 175 として水素を含む絶縁材料を用いれば領域 231 および領域 232 を低抵抗化することができる。

30

#### 【0135】

具体的には、絶縁層 175 を形成するまでの工程により領域 231 および領域 232 に生じる酸素欠損と、絶縁層 175 から領域 231 および領域 232 に拡散する水素との相互作用により、領域 231 および領域 232 は低抵抗の n 型となる。なお、水素を含む絶縁材料としては、例えば窒化シリコン膜や窒化アルミニウム膜などを用いることができる。

#### 【0136】

また、本発明の一態様のトランジスタは、図 6 (A)、(B) に示す構成であってもよい。図 6 (A) はトランジスタ 104 の上面図であり、図 6 (A) に示す一点鎖線 E1 - E2 方向の断面が図 6 (B) に相当する。また、図 6 (A) に示す一点鎖線 E3 - E4 方向の断面は、図 9 に相当する。なお、上記図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線 E1 - E2 方向をチャネル長方向、一点鎖線 E3 - E4 方向をチャネル幅方向と呼称する場合がある。

40

#### 【0137】

トランジスタ 104 は、導電層 140 および導電層 150 が酸化物半導体層の端部を覆うように接している点を除き、トランジスタ 103 と同様の構成を有する。

#### 【0138】

また、図 6 (B) に示す領域 331 および領域 334 はソース領域、領域 332 および領

50

域335はドレイン領域、領域333はチャネル形成領域として機能することができる。領域331および領域332はトランジスタ101における領域231および領域232と同様に低抵抗化することができる。また、領域334および領域335はトランジスタ103における領域231および領域232と同様に低抵抗化することができる。なお、チャネル長方向における領域334および領域335の幅が100nm以下、好ましくは50nm以下の場合には、ゲート電界の寄与によりオン電流は大きく低下しないため、上述したような低抵抗化を行わない構成とすることもできる。

#### 【0139】

トランジスタ103およびトランジスタ104は、導電層170と導電層140および導電層150が重なる領域を有さないセルフアライン構造である。10セルフアライン構造のトランジスタはゲート電極層とソース電極層およびドレイン電極層間の寄生容量が極めて小さいため、高速動作用途に適している。

#### 【0140】

また、本発明の一態様のトランジスタは、図7(A)、(B)に示す構成であってもよい。20図7(A)はトランジスタ105の上面図であり、図7(A)に示す一点鎖線F1-F2方向の断面が図7(B)に相当する。また、図7(A)に示す一点鎖線F3-F4方向の断面は、図9に相当。なお、上記図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線F1-F2方向をチャネル長方向、一点鎖線F3-F4方向をチャネル幅方向と呼称する場合がある。

#### 【0141】

トランジスタ105は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130と、酸化物半導体層130と電気的に接続する導電層141および導電層151と、酸化物半導体層130、導電層141、導電層151と接する絶縁層160と、絶縁層160と接する導電層170と、酸化物半導体層130、導電層141、導電層151、絶縁層160および導電層170と接する絶縁層175と、絶縁層175と接する絶縁層180と、絶縁層175および絶縁層180に設けられた開口部を通じて導電層141および導電層151とそれぞれ電気的に接続する導電層142および導電層152を有する。また、必要に応じて絶縁層180、導電層142および導電層152に接する絶縁層190(平坦化膜)などを有していてもよい。

#### 【0142】

ここで、導電層141および導電層151は、酸化物半導体層130の上面と接し、側面には接しない構成となっている。

#### 【0143】

トランジスタ105は、導電層141および導電層151を有する点、および絶縁層175および絶縁層180に設けられた開口部を通じて導電層141および導電層151とそれぞれ電気的に接続する導電層142および導電層152を有する点を除き、トランジスタ101と同様の構成を有する。導電層140(導電層141および導電層142)はソース電極層として作用させることができ、導電層150(導電層151および導電層152)はドレイン電極層として作用させることができる。

#### 【0144】

また、本発明の一態様のトランジスタは、図8(A)、(B)に示す構成であってもよい。40図8(A)はトランジスタ106の上面図であり、図8(A)に示す一点鎖線G1-G2方向の断面が図8(B)に相当する。また、図8(A)に示す一点鎖線G3-G4方向の断面は、図9に相当する。なお、上記図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線G1-G2方向をチャネル長方向、一点鎖線G3-G4方向をチャネル幅方向と呼称する場合がある。

#### 【0145】

トランジスタ106は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130と、酸化物半導体層130と電気的に接続する導電層141および導電層151と、酸化物半導体層130と接する絶縁層160と、絶縁層160と接する導電

10

20

30

40

50

層 170 と、絶縁層 120、酸化物半導体層 130、導電層 141、導電層 151、絶縁層 160、導電層 170 と接する絶縁層 175 と、絶縁層 175 と接する絶縁層 180 と、絶縁層 175 および絶縁層 180 に設けられた開口部を通じて導電層 141 および導電層 151 とそれぞれ電気的に接続する導電層 142 および導電層 152 を有する。また、必要に応じて絶縁層 180、導電層 142 および導電層 152 に接する絶縁層 190（平坦化膜）などを有していてもよい。

#### 【0146】

ここで、導電層 141 および導電層 151 は、酸化物半導体層 130 の上面と接し、側面には接しない構成となっている。

#### 【0147】

トランジスタ 106 は、導電層 141 および導電層 151 を有する点を除き、トランジスタ 103 と同様の構成を有する。導電層 140（導電層 141 および導電層 142）はソース電極層として作用させることができ、導電層 150（導電層 151 および導電層 152）はソース電極層として作用させることができる。

#### 【0148】

トランジスタ 105 およびトランジスタ 106 の構成では、導電層 140 および導電層 150 が絶縁層 120 と接しない構成であるため、絶縁層 120 中の酸素が導電層 140 および導電層 150 に奪われにくくなり、絶縁層 120 から酸化物半導体層 130 中への酸素の供給を容易とすることができます。

#### 【0149】

なお、トランジスタ 103 における領域 231 および領域 232、トランジスタ 104 およびトランジスタ 106 における領域 334 および領域 335 には、酸素欠損を形成し導電率を高めるための不純物を添加してもよい。酸化物半導体層に酸素欠損を形成する不純物としては、例えは、リン、砒素、アンチモン、ホウ素、アルミニウム、シリコン、窒素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、インジウム、フッ素、塩素、チタン、亜鉛、および炭素のいずれかから選択される一つ以上を用いることができる。当該不純物の添加方法としては、プラズマ処理法、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。

#### 【0150】

不純物元素として、上記元素が酸化物半導体層に添加されると、酸化物半導体層中の金属元素および酸素の結合が切断され、酸素欠損が形成される。酸化物半導体膜に含まれる酸素欠損と酸化物半導体層中に残存または後から添加される水素の相互作用により、酸化物半導体層の導電率を高くすることができる。

#### 【0151】

なお、不純物元素の添加により酸素欠損が形成された酸化物半導体に水素を添加すると、酸素欠損サイトに水素が入り伝導帯近傍にドナー準位が形成される。その結果、酸化物導電体を形成することができる。このため、酸化物導電体は透光性を有する。なお、ここでは、導電体化された酸化物半導体を酸化物導電体という。

#### 【0152】

酸化物導電体は、縮退半導体であり、伝導帯端とフェルミ準位とが一致または略一致していると推定される。このため、酸化物導電体層とソース電極層およびドレイン電極層として機能する導電層との接触はオーミック接触であり、酸化物導電体層とソース電極層およびドレイン電極層として機能する導電層との接触抵抗を低減することができる。

#### 【0153】

また、本発明の一態様のトランジスタは、図 10(A)、(B)、(C) および図 11(A)、(B)、(C) に示すチャネル長方向の断面図、ならびに図 12(A)、(B) に示すチャネル幅方向の断面図のように、酸化物半導体層 130 と基板 115 との間に導電層 173 を備えていてもよい。当該導電層を第 2 のゲート電極層（バックゲート）として用いることで、更なるオン電流の増加や、しきい値電圧の制御を行うことができる。なお、図 10(A)、(B)、(C) および図 11(A)、(B)、(C) に示す断面図にお

10

20

30

40

50

いて、導電層 173 の幅を酸化物半導体層 130 よりも短くしてもよい。さらに、導電層 173 の幅を導電層 170 の幅よりも短くしてもよい。

#### 【0154】

オン電流を増加させるには、例えば、導電層 170 と導電層 173 を同電位とし、ダブルゲートトランジスタとして駆動させればよい。また、しきい値電圧の制御を行うには、導電層 170 とは異なる定電位を導電層 173 に供給すればよい。導電層 170 と導電層 173 を同電位とするには、例えば、図 12 (B) に示すように、導電層 170 と導電層 173 とをコンタクトホールを介して電気的に接続すればよい。

#### 【0155】

また、図 3 乃至図 8 におけるトランジスタ 101 乃至トランジスタ 106 では、酸化物半導体層 130 が単層である例を図示したが、酸化物半導体層 130 は積層であってもよい。トランジスタ 101 乃至トランジスタ 106 の酸化物半導体層 130 は、図 13 または図 14 に示す酸化物半導体層 130 に入れ替えることができる。

#### 【0156】

図 13 (A)、(B)、(C) は、二層構造である酸化物半導体層 130 の上面図および断面図である。図 13 (A) は上面図であり、図 13 (A) に示す一点鎖線 A1 - A2 方向の断面が図 13 (B) に相当する。また、図 13 (A) に示す一点鎖線 A3 - A4 方向の断面が図 13 (C) に相当する。なお、上記図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。

#### 【0157】

また、図 14 (A)、(B)、(C) は、三層構造である酸化物半導体層 130 の上面図および断面図である。図 14 (A) は上面図であり、図 14 (A) に示す一点鎖線 A1 - A2 方向の断面が図 14 (B) に相当する。また、図 14 (A) に示す一点鎖線 A3 - A4 方向の断面が図 14 (C) に相当する。なお、上記図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。

#### 【0158】

酸化物半導体層 130a、酸化物半導体層 130b、酸化物半導体層 130c には、それぞれ組成の異なる酸化物半導体層などを用いることができる。

#### 【0159】

また、本発明の一態様のトランジスタは、図 15 (A)、(B) に示す構成であってもよい。図 15 (A) はトランジスタ 107 の上面図であり、図 15 (A) に示す一点鎖線 H1 - H2 方向の断面が図 15 (B) に相当する。また、図 15 (A) に示す一点鎖線 H3 - H4 方向の断面が図 21 に相当する。なお、上記図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線 H1 - H2 方向をチャネル長方向、一点鎖線 H3 - H4 方向をチャネル幅方向と呼称する場合がある。

#### 【0160】

トランジスタ 107 は、基板 115 と接する絶縁層 120 と、絶縁層 120 と接する酸化物半導体層 130a および酸化物半導体層 130b からなる積層と、当該積層と電気的に接続する導電層 140 および導電層 150 と、当該積層、導電層 140 および導電層 150 と接する酸化物半導体層 130c と、酸化物半導体層 130c と接する絶縁層 160 と、絶縁層 160 と接する導電層 170 と、導電層 140、導電層 150、酸化物半導体層 130c、絶縁層 160 および導電層 170 と接する絶縁層 175 と、絶縁層 175 と接する絶縁層 180 と、を有する。また、必要に応じて絶縁層 180 に接する絶縁層 190 (平坦化膜) などを有していてもよい。

#### 【0161】

トランジスタ 107 は、領域 231 および領域 232 において酸化物半導体層 130 が二層 (酸化物半導体層 130a、酸化物半導体層 130b) である点、領域 233 において酸化物半導体層 130 が三層 (酸化物半導体層 130a、酸化物半導体層 130b、酸化物半導体層 130c) である点、および導電層 140 および導電層 150 と絶縁層 160 との間に酸化物半導体層の一部 (酸化物半導体層 130c) が介在している点を除き、ト

10

20

30

40

50

ランジスタ101と同様の構成を有する。

**【0162】**

また、本発明の一態様のトランジスタは、図16(A)、(B)に示す構成であってもよい。図16(A)はトランジスタ108の上面図であり、図16(A)に示す一点鎖線I1-I2方向の断面が図16(B)に相当する。また、図16(A)に示す一点鎖線I3-I4方向の断面が図21に相当する。なお、上記図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線I1-I2方向をチャネル長方向、一点鎖線I3-I4方向をチャネル幅方向と呼称する場合がある。

**【0163】**

トランジスタ108は、領域231および領域232において酸化物半導体層130が二層（酸化物半導体層130a、酸化物半導体層130b）である点、領域233において酸化物半導体層130が三層（酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c）である点、および導電層140および導電層150と絶縁層160との間に酸化物半導体層の一部（酸化物半導体層130c）が介在している点を除き、トランジスタ102と同様の構成を有する。10

**【0164】**

また、本発明の一態様のトランジスタは、図17(A)、(B)に示す構成であってもよい。図17(A)はトランジスタ109の上面図であり、図17(A)に示す一点鎖線J1-J2方向の断面が図17(B)に相当する。また、図17(A)に示す一点鎖線J3-J4方向の断面が図21に相当する。なお、上記図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線J1-J2方向をチャネル長方向、一点鎖線J3-J4方向をチャネル幅方向と呼称する場合がある。20

**【0165】**

トランジスタ109は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130aおよび酸化物半導体層130bからなる積層と、当該積層と接する酸化物半導体層130cと、酸化物半導体層130cと接する絶縁層160と、絶縁層160と接する導電層170と、当該積層、酸化物半導体層130c、絶縁層160および導電層170を覆う絶縁層175と、絶縁層175と接する絶縁層180と、絶縁層175および絶縁層180に設けられた開口部を通じて当該積層と電気的に接続する導電層140および導電層150を有する。また、必要に応じて絶縁層180、導電層140および導電層150に接する絶縁層190（平坦化膜）などを有していてもよい。30

**【0166】**

トランジスタ109は、領域231および領域232において酸化物半導体層130が二層（酸化物半導体層130a、酸化物半導体層130b）である点、領域233において酸化物半導体層130が三層（酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c）である点を除き、トランジスタ103と同様の構成を有する。

**【0167】**

また、本発明の一態様のトランジスタは、図18(A)、(B)に示す構成であってもよい。図18(A)はトランジスタ110の上面図であり、図18(A)に示す一点鎖線K1-K2方向の断面が図18(B)に相当する。また、図18(A)に示す一点鎖線K3-K4方向の断面が図21に相当する。なお、上記図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線K1-K2方向をチャネル長方向、一点鎖線K3-K4方向をチャネル幅方向と呼称する場合がある。40

**【0168】**

トランジスタ110は、領域231および領域232において酸化物半導体層130が二層（酸化物半導体層130a、酸化物半導体層130b）である点、領域233において酸化物半導体層130が三層（酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c）である点を除き、トランジスタ104と同様の構成を有する。

**【0169】**

また、本発明の一態様のトランジスタは、図19(A)、(B)に示す構成であってもよ50

い。図19(A)はトランジスタ111の上面図であり、図19(A)に示す一点鎖線K1-K2方向の断面が図19(B)に相当する。また、図19(A)に示す一点鎖線K3-K4方向の断面が図21に相当する。なお、上記図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線K1-K2方向をチャネル長方向、一点鎖線K3-K4方向をチャネル幅方向と呼称する場合がある。

#### 【0170】

トランジスタ111は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130aおよび酸化物半導体層130bからなる積層と、当該積層と電気的に接続する導電層141および導電層151と、当該積層、導電層141および導電層151と接する酸化物半導体層130cと、酸化物半導体層130cと接する絶縁層160と、絶縁層160と接する導電層170と、当該積層、導電層141、導電層151、酸化物半導体層130c、絶縁層160および導電層170と接する絶縁層175と、絶縁層175と接する絶縁層180と、絶縁層175および絶縁層180に設けられた開口部を通じて導電層141および導電層151とそれぞれ電気的に接続する導電層142および導電層152を有する。また、必要に応じて絶縁層180、導電層142および導電層152に接する絶縁層190(平坦化膜)などを有していてもよい。

10

#### 【0171】

トランジスタ111は、領域231および領域232において酸化物半導体層130が二層(酸化物半導体層130a、酸化物半導体層130b)である点、領域233において酸化物半導体層130が三層(酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c)である点、および導電層141および導電層151と絶縁層160との間に酸化物半導体層の一部(酸化物半導体層130c)が介在している点を除き、トランジスタ105と同様の構成を有する。

20

#### 【0172】

また、本発明の一態様のトランジスタは、図20(A)、(B)に示す構成であってもよい。図20(A)はトランジスタ112の上面図であり、図20(A)に示す一点鎖線M1-M2方向の断面が図20(B)に相当する。また、図20(A)に示す一点鎖線M3-M4方向の断面が図21に相当する。なお、上記図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線M1-M2方向をチャネル長方向、一点鎖線M3-M4方向をチャネル幅方向と呼称する場合がある。

30

#### 【0173】

トランジスタ112は、領域331、領域332、領域334および領域335において酸化物半導体層130が二層(酸化物半導体層130a、酸化物半導体層130b)である点、領域333において酸化物半導体層130が三層(酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c)である点を除き、トランジスタ106と同様の構成を有する。

#### 【0174】

また、本発明の一態様のトランジスタは、図22(A)、(B)、(C)および図23(A)、(B)、(C)に示すチャネル長方向の断面図、ならびに図24(A)、(B)に示すチャネル幅方向の断面図のように、酸化物半導体層130と基板115との間に導電層173を備えていてもよい。当該導電層を第2のゲート電極層(バックゲート)として用いることで、更なるオン電流の増加や、しきい値電圧の制御を行うことができる。なお、図22(A)、(B)、(C)および図23(A)、(B)、(C)に示す断面図において、導電層173の幅を酸化物半導体層130よりも短くしてもよい。さらに、導電層173の幅を導電層170の幅よりも短くしてもよい。

40

#### 【0175】

本発明の一態様のトランジスタ(トランジスタ101乃至トランジスタ109)では、いずれの構成においても、ゲート電極層である導電層170は、ゲート絶縁膜である絶縁層160を介して酸化物半導体層130のチャネル幅方向の略平面に対して垂直な断面を電気的に取り囲み、オン電流が高められる。このようなトランジスタの構造を、surro

50

u n d e d c h a n n e l ( s - c h a n n e l ) 構造とよぶ。

【 0 1 7 6 】

また、酸化物半導体層 130b および酸化物半導体層 130c を有するトランジスタ、ならびに酸化物半導体層 130a、酸化物半導体層 130b および酸化物半導体層 130c を有するトランジスタにおいては、酸化物半導体層 130 を構成する二層または三層の材料を適切に選択することで酸化物半導体層 130b に電流を流すことができる。酸化物半導体層 130b に電流が流れることで、界面散乱の影響を受けにくく、高いオン電流を得ることができる。なお、酸化物半導体層 130b を厚くすると、オン電流を向上させることができる。例えば、酸化物半導体層 130b の膜厚を 100 nm 乃至 200 nm としてもよい。

10

【 0 1 7 7 】

以上の構成のトランジスタを用いることにより、半導体装置に良好な電気特性を付与することができる。

【 0 1 7 8 】

なお、本明細書において、チャネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル長は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

20

【 0 1 7 9 】

また、チャネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル幅は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

30

【 0 1 8 0 】

なお、トランジスタの構造によっては、実際にチャネルの形成される領域におけるチャネル幅（以下、実効的なチャネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャネル幅（以下、見かけ上のチャネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャネル幅が、トランジスタの上面図において示される見かけ上のチャネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の上面に形成されるチャネル領域の割合に対して、半導体の側面に形成されるチャネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャネル幅よりも、実際にチャネルの形成される実効的なチャネル幅の方が大きくなる。

40

【 0 1 8 1 】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャネル幅を見積もるために、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャネル幅を正確に測定することは困難である。

【 0 1 8 2 】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャネル幅を、「囲い込みチャネル幅（SCW：Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャネル幅と記載した場合に

50

は、囲い込みチャネル幅または見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅、囲い込みチャネル幅などは、断面T E M像などを取得して、その画像を解析することなどによって、値を決定することができる。

#### 【0183】

なお、トランジスタの電界効果移動度や、チャネル幅当たりの電流値などを計算して求めの場合、囲い込みチャネル幅を用いて計算する場合がある。その場合には、実効的なチャネル幅を用いて計算する場合とは異なる値をとる場合がある。

#### 【0184】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

#### 【0185】

(実施の形態3)

本実施の形態では、実施の形態2に示したトランジスタの構成要素について詳細を説明する。

#### 【0186】

基板115は、単なる支持材料に限らず、他のトランジスタなどのデバイスが形成された基板であってもよい。この場合、トランジスタのゲート電極層(導電層170)、ソース電極層(導電層140)、およびドレイン電極層(導電層150)の一つ以上は、上記の他のデバイスと電気的に接続されていてもよい。

#### 【0187】

例えば、基板115には、ガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムからなる化合物半導体基板、SOI(Silicon On Insulator)基板などを用いることができる。

#### 【0188】

絶縁層120は、基板115からの不純物の拡散を防止する役割を有するほか、酸化物半導体層130に酸素を供給する役割を担うことができる。したがって、絶縁層120は酸素を含む絶縁膜であることが好ましく、化学量論組成よりも多い酸素を含む絶縁膜であることがより好ましい。例えば、表面温度が100以上700以下、好ましくは100

以上500以下の加熱処理で行われるTDS法にて、酸素原子に換算しての酸素の放出量が $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上である膜とする。また、上述のように基板115が他のデバイスが形成された基板である場合、絶縁層120は、層間絶縁膜としての機能も有する。その場合は、表面が平坦になるようにCMP(Chemical Mechanical Polishing)法等で平坦化処理を行うことが好ましい。

#### 【0189】

例えば、絶縁層120には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニア、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどの酸化物絶縁膜、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁膜、またはこれらの混合材料を用いることができる。また、上記材料の積層であってもよい。

#### 【0190】

なお、本実施の形態では、トランジスタが有する酸化物半導体層130が酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cを絶縁層120側から順に積んだ三層構造である場合を主として詳細を説明する。

#### 【0191】

なお、酸化物半導体層130が单層の場合は、上記酸化物半導体層130bに相当する層を用いればよい。

10

20

30

40

50

## 【0192】

また、酸化物半導体層130が二層の場合は、酸化物半導体層130bに相当する層および酸化物半導体層130cに相当する層を絶縁層120側から順に積んだ積層を用いればよい。この構成の場合、酸化物半導体層130bと酸化物半導体層130cとを入れ替えることもできる。

## 【0193】

また、酸化物半導体層130が四層以上である場合は、例えば、本実施の形態で説明する三層構造の酸化物半導体層130に対して他の酸化物半導体層を積む構成や当該三層構造におけるいずれかの界面に他の酸化物半導体層を挿入する構成とすることができる。

## 【0194】

一例としては、酸化物半導体層130bには、酸化物半導体層130aおよび酸化物半導体層130cよりも電子親和力（真空準位から伝導帯下端までのエネルギー）が大きい酸化物半導体を用いる。電子親和力は、真空準位と価電子帯上端とのエネルギー差（イオン化ポテンシャル）から、伝導帯下端と価電子帯上端とのエネルギー差（エネルギーギャップ）を差し引いた値として求めることができる。

10

## 【0195】

酸化物半導体層130aおよび酸化物半導体層130cは、酸化物半導体層130bを構成する金属元素を一種以上含み、例えば、伝導帯下端のエネルギーが酸化物半導体層130bよりも、0.05eV、0.07eV、0.1eV、0.15eVのいずれか以上であって、2eV、1eV、0.5eV、0.4eVのいずれか以下の範囲で真空準位に近い酸化物半導体で形成することが好ましい。

20

## 【0196】

このような構造において、導電層170に電界を印加すると、酸化物半導体層130のうち、伝導帯下端のエネルギーが最も小さい酸化物半導体層130bにチャネルが形成される。

## 【0197】

また、酸化物半導体層130aは、酸化物半導体層130bを構成する金属元素を一種以上含んで構成されるため、酸化物半導体層130bと絶縁層120が接した場合の界面と比較して、酸化物半導体層130bと酸化物半導体層130aとの界面には界面準位が形成されにくくなる。該界面準位はチャネルを形成することができるため、トランジスタのしきい値電圧が変動することがある。したがって、酸化物半導体層130aを設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきを低減することができる。また、当該トランジスタの信頼性を向上させることができる。

30

## 【0198】

また、酸化物半導体層130cは、酸化物半導体層130bを構成する金属元素を一種以上含んで構成されるため、酸化物半導体層130bとゲート絶縁膜（絶縁層160）が接した場合の界面と比較して、酸化物半導体層130bと酸化物半導体層130cとの界面ではキャリアの散乱が起こりにくくなる。したがって、酸化物半導体層130cを設けることにより、トランジスタの電界効果移動度を高くすることができます。

40

## 【0199】

酸化物半導体層130aおよび酸化物半導体層130cには、例えば、Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHfを酸化物半導体層130bよりも高い原子数比で含む材料を用いることができる。具体的には、当該原子数比を1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。前述の元素は酸素と強く結合するため、酸素欠損が酸化物半導体層に生じることを抑制する機能を有する。すなわち、酸化物半導体層130aおよび酸化物半導体層130cは、酸化物半導体層130bよりも酸素欠損が生じにくいということができる。

## 【0200】

また、酸化物半導体層130a、酸化物半導体層130b、および酸化物半導体層130cとして用いることのできる酸化物半導体は、少なくともインジウム（In）もしくは亜

50

鉛 (Zn) を含むことが好ましい。または、InとZnの双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

#### 【0201】

スタビライザーとしては、ガリウム (Ga)、スズ (Sn)、ハフニウム (Hf)、アルミニウム (Al)、またはジルコニウム (Zr) 等がある。また、他のスタビライザーとしては、ランタノイドである、ラントン (La)、セリウム (Ce)、プラセオジム (Pr)、ネオジム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) 等がある。10

#### 【0202】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化ガリウム、酸化亜鉛、In-Zn酸化物、Sn-Zn酸化物、Al-Zn酸化物、Zn-Mg酸化物、Sn-Mg酸化物、In-Mg酸化物、In-Ga酸化物、In-Ga-Zn酸化物、In-Al-Zn酸化物、In-Sn-Zn酸化物、Sn-Ga-Zn酸化物、Al-Ga-Zn酸化物、Sn-Al-Zn酸化物、In-Hf-Zn酸化物、In-La-Zn酸化物、In-Ce-Zn酸化物、In-Pr-Zn酸化物、In-Nd-Zn酸化物、In-Sm-Zn酸化物、In-Eu-Zn酸化物、In-Gd-Zn酸化物、In-Tb-Zn酸化物、In-Dy-Zn酸化物、In-Ho-Zn酸化物、In-Er-Zn酸化物、In-Tm-Zn酸化物、In-Yb-Zn酸化物、In-Lu-Zn酸化物、In-Sn-Ga-Zn酸化物、In-Hf-Ga-Zn酸化物、In-Al-Ga-Zn酸化物、In-Sn-Al-Zn酸化物、In-Sn-Hf-Zn酸化物、In-Hf-Al-Zn酸化物を用いることができる。20

#### 【0203】

なお、ここで、例えば、In-Ga-Zn酸化物とは、InとGaとZnを主成分として有する酸化物という意味である。また、InとGaとZn以外の金属元素が入っていてもよい。また、本明細書においては、In-Ga-Zn酸化物で構成した膜をIGZO膜とも呼ぶ。

#### 【0204】

また、 $InMO_3(ZnO)_m$  ( $m > 0$ 、且つ、 $m$ は整数でない) で表記される材料を用いてもよい。なお、Mは、Ga、Y、Zr、La、Ce、またはNdから選ばれた一つの金属元素または複数の金属元素を示す。また、 $In_2SnO_5(ZnO)_n$  ( $n > 0$ 、且つ、 $n$ は整数) で表記される材料を用いてもよい。30

#### 【0205】

なお、酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130cが、少なくともインジウム、亜鉛およびM (Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属) を含むIn-M-Zn酸化物であるとき、酸化物半導体層130aを $In : M : Zn = x_1 : y_1 : z_1$  [原子数比]、酸化物半導体層130bを $In : M : Zn = x_2 : y_2 : z_2$  [原子数比]、酸化物半導体層130cを $In : M : Zn = x_3 : y_3 : z_3$  [原子数比] とすると、 $y_1 / x_1$  および  $y_3 / x_3$  が  $y_2 / x_2$  よりも大きくなることが好ましい。 $y_1 / x_1$  および  $y_3 / x_3$  は  $y_2 / x_2$  よりも1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。このとき、酸化物半導体層130bにおいて、 $y_2$  が  $x_2$  以上であるとトランジスタの電気特性を安定させることができる。ただし、 $y_2$  が  $x_2$  の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 $y_2$  は  $x_2$  の3倍未満であることが好ましい。40

#### 【0206】

酸化物半導体層130aおよび酸化物半導体層130cにおけるZnおよびOを除いた場合において、InおよびMの原子数比率は、好ましくはInが50atomic%未満、Mが50atomic%以上、さらに好ましくはInが25atomic%未満、Mが750

5 atomic %以上とする。また、酸化物半導体層130bのZnおよびOを除いてのInおよびMの原子数比率は、好ましくはInが25 atomic %以上、Mが75 atomic %未満、さらに好ましくはInが34 atomic %以上、Mが66 atomic %未満とする。

#### 【0207】

また、酸化物半導体層130bは、酸化物半導体層130aおよび酸化物半導体層130cよりもインジウムの含有量を多くするとよい。酸化物半導体では主として重金属のs軌道がキャリア伝導に寄与しており、Inの含有率を多くすることにより、より多くのs軌道が重なるため、InがMよりも多い組成となる酸化物はInがMと同等または少ない組成となる酸化物と比較して移動度が高くなる。そのため、酸化物半導体層130bにインジウムの含有量が多い酸化物を用いることで、高い電界効果移動度のトランジスタを実現することができる。10

#### 【0208】

酸化物半導体層130aの厚さは、3nm以上100nm以下、好ましくは5nm以上50nm以下、さらに好ましくは5nm以上25nm以下とする。また、酸化物半導体層130bの厚さは、3nm以上200nm以下、好ましくは10nm以上150nm以下、さらに好ましくは15nm以上100nm以下とする。また、酸化物半導体層130cの厚さは、1nm以上50nm以下、好ましくは2nm以上30nm以下、さらに好ましくは3nm以上15nm以下とする。また、酸化物半導体層130bは、酸化物半導体層130aおよび酸化物半導体層130cより厚い方が好ましい。20

#### 【0209】

なお、酸化物半導体層をチャネルとするトランジスタに安定した電気特性を付与するためには、酸化物半導体層中の不純物濃度を低減し、酸化物半導体層を真性または実質的に真性(i型)にすることが有効である。ここで、実質的に真性とは、酸化物半導体層のキャリア密度が、 $1 \times 10^{15} / \text{cm}^3$ 未満であること、好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満であること、さらに好ましくは $8 \times 10^{11} / \text{cm}^3$ 未満であること、さらに好適には $1 \times 10^8 / \text{cm}^3$ 未満 $1 \times 10^{-9} / \text{cm}^3$ 以上であることとする。

#### 【0210】

また、酸化物半導体層において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンは酸化物半導体層中で不純物準位の形成に寄与する。当該不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。したがって、酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cの層中や、それぞれの界面において不純物濃度を低減させることが好ましい。30

#### 【0211】

酸化物半導体層を真性または実質的に真性と/orするためには、SIMS(Secondary Ion Mass Spectrometry)分析において、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。また、水素濃度は、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、窒素濃度は、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。40

#### 【0212】

また、酸化物半導体層が結晶を含む場合、シリコンや炭素が高濃度で含まれると、酸化物

10

20

30

40

50

半導体層の結晶性を低下させことがある。酸化物半導体層の結晶性を低下させないためには、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、シリコン濃度を  $1 \times 10^{19}$  atoms / cm<sup>3</sup> 未満、好ましくは  $5 \times 10^{18}$  atoms / cm<sup>3</sup> 未満、さらに好ましくは  $1 \times 10^{18}$  atoms / cm<sup>3</sup> 未満とする部分を有していればよい。また、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、炭素濃度を  $1 \times 10^{19}$  atoms / cm<sup>3</sup> 未満、好ましくは  $5 \times 10^{18}$  atoms / cm<sup>3</sup> 未満、さらに好ましくは  $1 \times 10^{18}$  atoms / cm<sup>3</sup> 未満とする部分を有していればよい。

#### 【0213】

また、上述のように高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を 0.1V、5V、または、10V 程度とした場合に、トランジスタのチャネル幅で規格化したオフ電流を数 y A / μm 乃至数 z A / μm にまで低減することが可能となる。

#### 【0214】

なお、トランジスタのゲート絶縁膜としては、シリコンを含む絶縁膜が多く用いられるため、上記理由により酸化物半導体層のチャネルとなる領域は、本発明の一態様のトランジスタのようにゲート絶縁膜と接しない構造が好ましいということができる。また、ゲート絶縁膜と酸化物半導体層との界面にチャネルが形成される場合、該界面でキャリアの散乱が起こり、トランジスタの電界効果移動度が低くなることがある。このような観点からも、酸化物半導体層のチャネルとなる領域はゲート絶縁膜から離すことが好ましいといえる。

#### 【0215】

したがって、酸化物半導体層 130 を酸化物半導体層 130a、酸化物半導体層 130b、酸化物半導体層 130c の積層構造とすることで、酸化物半導体層 130b にチャネルを形成することができ、高い電界効果移動度および安定した電気特性を有したトランジスタを形成することができる。

#### 【0216】

酸化物半導体層 130a、酸化物半導体層 130b、酸化物半導体層 130c のバンド構造においては、伝導帯下端のエネルギーが連続的に変化する。これは、酸化物半導体層 130a、酸化物半導体層 130b、酸化物半導体層 130c の組成が近似することにより、酸素が相互に拡散しやすい点からも理解される。したがって、酸化物半導体層 130a、酸化物半導体層 130b、酸化物半導体層 130c は組成が異なる層の積層体ではあるが、物性的に連続であるということもでき、本明細書の図面において、当該積層体のそれぞれの界面は点線で表している。

#### 【0217】

主成分を共通として積層された酸化物半導体層 130 は、各層を単に積層するのではなく連続接合（ここでは特に伝導帯下端のエネルギーが各層の間で連続的に変化する U 字型の井戸構造（U Shape Well））が形成されるように作製する。すなわち、各層の界面にトラップ中心や再結合中心のような欠陥準位を形成するような不純物が存在しないように積層構造を形成する。仮に、積層された酸化物半導体層の層間に不純物が混在していると、エネルギーバンドの連続性が失われ、界面でキャリアがトラップあるいは再結合により消滅してしまう。

#### 【0218】

例えば、酸化物半導体層 130a および酸化物半導体層 130c には In : Ga : Zn = 1 : 3 : 2、1 : 3 : 3、1 : 3 : 4、1 : 3 : 6、1 : 4 : 5、1 : 6 : 4 または 1 : 9 : 6（原子数比）、酸化物半導体層 130b には In : Ga : Zn = 1 : 1 : 1、2 : 1 : 3、5 : 5 : 6、または 3 : 1 : 2（原子数比）などの In - Ga - Zn 酸化物などを用いることができる。なお、酸化物半導体層 130a、酸化物半導体層 130b、および酸化物半導体層 130c の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス 20% の変動を含む。

10

20

30

40

50

## 【0219】

酸化物半導体層130における酸化物半導体層130bはウェル(井戸)となり、酸化物半導体層130を用いたトランジスタにおいて、チャネルは酸化物半導体層130bに形成される。なお、酸化物半導体層130は伝導帯下端のエネルギーが連続的に変化しているため、U字型井戸とも呼ぶことができる。また、このような構成で形成されたチャネルを埋め込みチャネルということもできる。

## 【0220】

また、酸化物半導体層130aおよび酸化物半導体層130cと、酸化シリコン膜などの絶縁層との界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得る。酸化物半導体層130aおよび酸化物半導体層130cがあることにより、酸化物半導体層130bと当該トラップ準位とを遠ざけることができる。10

## 【0221】

ただし、酸化物半導体層130aおよび酸化物半導体層130cの伝導帯下端のエネルギーと、酸化物半導体層130bの伝導帯下端のエネルギーとの差が小さい場合、酸化物半導体層130bの電子が該エネルギー差を越えてトラップ準位に達することができる。電子がトラップ準位に捕獲されることで、絶縁層界面にマイナスの電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

## 【0222】

したがって、トランジスタのしきい値電圧の変動を低減するには、酸化物半導体層130aおよび酸化物半導体層130cの伝導帯下端のエネルギーと、酸化物半導体層130bの伝導帯下端のエネルギーとの間に一定以上の差を設けることが必要となる。それぞれの当該エネルギー差は、0.1eV以上が好ましく、0.15eV以上がより好ましい。20

## 【0223】

酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cには、結晶部が含まれることが好ましい。特にc軸に配向した結晶を用いることでトランジスタに安定した電気特性を付与することができる。また、c軸に配向した結晶は歪曲に強く、フレキシブル基板を用いた半導体装置の信頼性を向上させることができる。

## 【0224】

ソース電極層として作用する導電層140およびドレイン電極層として作用する導電層150には、例えば、Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc、および当該金属材料の合金から選ばれた材料の単層、または積層を用いることができる。代表的には、特に酸素と結合しやすいTiや、後のプロセス温度が比較的高くできることなどから、融点の高いWを用いることがより好ましい。また、低抵抗のCuやCu-Mnなどの合金と上記材料との積層を用いてもよい。なお、トランジスタ105、トランジスタ106、トランジスタ111、トランジスタ112においては、例えば、導電層141および導電層151にW、導電層142および導電層152にTiとAlとの積層膜などを用いることができる。30

## 【0225】

上記材料は酸化物半導体膜から酸素を引き抜く性質を有する。そのため、上記材料と接した酸化物半導体層の一部の領域では酸化物半導体膜中の酸素が脱離し、酸素欠損が形成される。膜中に僅かに含まれる水素と当該酸素欠損が結合することにより当該領域は顕著にn型化する。したがって、n型化した当該領域はトランジスタのソースまたはドレインとして作用させることができる。40

## 【0226】

ゲート絶縁膜として作用する絶縁層160には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニア、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、絶縁層160は上記材料の積層であってもよい。なお、絶縁層160に、ランタン(La)、窒素、ジルコニア(Zr)などを、不純物として含んでいてもよい。なお、絶縁層50

160はブロック層165としても作用させることができる。

#### 【0227】

また、絶縁層160の積層構造の一例について説明する。絶縁層160は、例えば、酸素、窒素、シリコン、ハフニウムなどを有する。具体的には、酸化ハフニウム、および酸化シリコンまたは酸化窒化シリコンを含むと好ましい。

#### 【0228】

酸化ハフニウムおよび酸化アルミニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、等価酸化膜厚に対して物理的な膜厚を大きくできるため、等価酸化膜厚を10nm以下または5nm以下とした場合でも、トンネル電流によるリーク電流を小さくすることができる。即ち、オフ電流の小さいトランジスタを実現することができる。さらに、結晶構造を有する酸化ハフニウムは、非晶質構造を有する酸化ハフニウムと比べて高い比誘電率を備える。したがって、オフ電流の小さいトランジスタとするためには、結晶構造を有する酸化ハフニウムを用いることが好ましい。結晶構造の例としては、単斜晶系や立方晶系などが挙げられる。ただし、本発明の一態様は、これらに限定されない。

10

#### 【0229】

ところで、結晶構造を有する酸化ハフニウムの被形成面は、欠陥に起因した界面準位を有する場合がある。該界面準位はトラップセンターとして機能する場合がある。そのため、酸化ハフニウムがトランジスタのチャネル領域に近接して配置されるとき、該界面準位によってトランジスタの電気特性が劣化する場合がある。そこで、該界面準位の影響を低減するために、トランジスタのチャネル領域と酸化ハフニウムとの間に、別の膜を配置することによって互いに離間させることができることが好ましい場合がある。この膜は、緩衝機能を有する。緩衝機能を有する膜は、絶縁層160に含まれる膜であってもよいし、酸化物半導体膜に含まれる膜であってもよい。即ち、緩衝機能を有する膜としては、酸化シリコン、酸化窒化シリコン、酸化物半導体などを用いることができる。なお、緩衝機能を有する膜には、たとえば、チャネル領域となる半導体よりもエネルギーギャップの大きい半導体または絶縁体を用いる。または、緩衝機能を有する膜には、たとえば、チャネル領域となる半導体よりも電子親和力の小さい半導体または絶縁体を用いる。または、緩衝機能を有する膜には、たとえば、チャネル領域となる半導体よりもイオン化工エネルギーの大きい半導体または絶縁体を用いる。

20

#### 【0230】

一方、上述した結晶構造を有する酸化ハフニウムの被形成面における界面準位（トラップセンター）に電荷をトラップさせることで、トランジスタのしきい値電圧を制御できる場合がある。該電荷を安定して存在させるためには、たとえば、チャネル領域と酸化ハフニウムとの間に、酸化ハフニウムよりもエネルギーギャップの大きい絶縁体を配置すればよい。または、酸化ハフニウムよりも電子親和力の小さい半導体または絶縁体を配置すればよい。または、緩衝機能を有する膜には、酸化ハフニウムよりもイオン化工エネルギーの大きい半導体または絶縁体を配置すればよい。このような絶縁体を用いることで、界面準位にトラップされた電荷の放出が起こりにくくなり、長期間に渡って電荷を保持することができる。

30

#### 【0231】

そのような絶縁体として、例えば、酸化シリコン、酸化窒化シリコンが挙げられる。絶縁層160内の界面準位に電荷を捕獲させるためには、酸化物半導体層130からゲート電極層（導電層170）に向かって電子を移動させればよい。具体的な例としては、高い温度（例えば、125以上450以下、代表的には150以上300以下）の下で、ゲート電極層（導電層170）の電位をソース電極やドレイン電極の電位より高い状態にて1秒以上、代表的には1分以上維持すればよい。

40

#### 【0232】

このように絶縁層160などの界面準位に所望の量の電子を捕獲させたトランジスタは、しきい値電圧がプラス側にシフトする。ゲート電極層（導電層170）の電圧や、電圧を

50

印加する時間を調整することによって、電子を捕獲させる量（しきい値電圧の変動量）を制御することができる。なお、電荷を捕獲させることができれば、絶縁層160内でなくても構わない。同様の構造を有する積層膜を、他の絶縁層に用いても構わない。

### 【0233】

また、酸化物半導体層130と接する絶縁層120および絶縁層160においては、酸化物半導体のエネルギーギャップ内における窒素酸化物の準位密度が低い領域を有していてもよい。窒素酸化物の準位密度が低い酸化物絶縁層として、窒素酸化物の放出量の少ない酸化窒化シリコン膜、または窒素酸化物の放出量の少ない酸化窒化アルミニウム膜等を用いることができる。

### 【0234】

なお、窒素酸化物の放出量の少ない酸化窒化シリコン膜は、昇温脱離ガス分析法（TDS（Thermal Desorption Spectroscopy））において、窒素酸化物の放出量よりアンモニアの放出量が多い膜であり、代表的にはアンモニアの放出量が $1 \times 10^{18}$ 個/cm<sup>3</sup>以上 $5 \times 10^{19}$ 個/cm<sup>3</sup>以下である。なお、アンモニアの放出量は、膜の表面温度が50以上650以下、好ましくは50以上550以下の加熱処理による放出量とする。

### 【0235】

絶縁層120および絶縁層160として、上記酸化物絶縁層を用いることで、トランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気特性の変動を低減することができる。

### 【0236】

ゲート電極層として作用する導電層170には、例えば、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Mn、Nd、Sc、TaおよびWなどの導電膜を用いることができる。また、上記材料の合金や上記材料の導電性窒化物を用いてもよい。また、上記材料、上記材料の合金、および上記材料の導電性窒化物から選ばれた複数の材料の積層であってもよい。代表的には、タンゲステン、タンゲステンと窒化チタンの積層、タンゲステンと窒化タンタルの積層などを用いることができる。また、低抵抗のCuまたはCu-Mnの合金や上記材料とCuまたはCu-Mnの合金との積層を用いてもよい。本実施の形態では、導電層171に窒化タンタル、導電層172にタンゲステンを用いて導電層170を形成する。

### 【0237】

絶縁層175には、水素を含む窒化シリコン膜または窒化アルミニウム膜などを用いることができる。実施の形態2に示したトランジスタ103、トランジスタ104、トランジスタ106、トランジスタ109、トランジスタ110、およびトランジスタ112では、絶縁層175として水素を含む絶縁膜を用いることで酸化物半導体層の一部をn型化することができる。また、窒化絶縁膜は水分などのプロッキング膜としての作用も有し、トランジスタの信頼性を向上させることができる。

### 【0238】

また、絶縁層175としては酸化アルミニウム膜を用いることもできる。特に、実施の形態2に示したトランジスタ101、トランジスタ102、トランジスタ105、トランジスタ107、トランジスタ108、およびトランジスタ111では絶縁層175に酸化アルミニウム膜を用いることが好ましい。酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウム膜は、トランジスタの作製工程中および作製後において、トランジスタの電気特性の変動要因となる水素、水分などの不純物の酸化物半導体層130への混入防止、酸化物半導体層130を構成する主成分材料である酸素の酸化物半導体層からの放出防止、絶縁層120からの酸素の不必要的放出防止の効果を有する保護膜として用いることに適している。また、酸化アルミニウム膜に含まれる酸素を酸化物半導体層中に拡散させることもできる。

### 【0239】

10

20

30

40

50

また、絶縁層 175 上には絶縁層 180 が形成されていることが好ましい。当該絶縁層には、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、当該酸化物絶縁層は上記材料の積層であってもよい。

#### 【0240】

ここで、絶縁層 180 は絶縁層 120 と同様に化学量論組成よりも多くの酸素を有することが好ましい。絶縁層 180 から放出される酸素は絶縁層 160 を経由して酸化物半導体層 130 のチャネル形成領域に拡散させることができることから、チャネル形成領域に形成された酸素欠損に酸素を補填することができる。したがって、安定したトランジスタの電気特性を得ることができる。10

#### 【0241】

半導体装置を高集積化するにはトランジスタの微細化が必須である。一方、トランジスタの微細化によりトランジスタの電気特性が悪化することが知られており、チャネル幅が縮小するとオン電流は低下する。

#### 【0242】

本発明の一態様のトランジスタ 107 乃至トランジスタ 112 では、チャネルが形成される酸化物半導体層 130b を覆うように酸化物半導体層 130c が形成されており、チャネル形成層とゲート絶縁膜が接しない構成となっている。そのため、チャネル形成層とゲート絶縁膜との界面で生じるキャリアの散乱を抑えることができ、トランジスタのオン電流を大きくすることができます。20

#### 【0243】

また、本発明の一態様のトランジスタでは、前述したように酸化物半導体層 130 のチャネル幅方向の略平面に対して垂直な断面を電気的に取り囲むようにゲート電極層（導電層 170）が形成されているため、酸化物半導体層 130 に対しては垂直方向からのゲート電界に加えて、側面方向からのゲート電界が印加される。すなわち、チャネル形成層に対して全体的にゲート電界が印加されることになり実効チャネル幅が拡大するため、さらにオン電流を高められる。

#### 【0244】

また、本発明の一態様における酸化物半導体層 130 が二層または三層のトランジスタでは、チャネルが形成される酸化物半導体層 130b を酸化物半導体層 130a 上に形成することで界面準位を形成しにくくする効果を有する。また、本発明の一態様における酸化物半導体層 130 が三層のトランジスタでは、酸化物半導体層 130b を三層構造の中間に位置する層として上下からの不純物混入の影響を排除できる効果などを併せて有する。そのため、上述したトランジスタのオン電流の向上に加えて、しきい値電圧の安定化や、S 値（サブスレッショルド値）を小さくすることができる。したがって、ゲート電圧 V<sub>G</sub> が 0 V 時の電流を下げることができ、消費電力を低減させることができる。また、トランジスタのしきい値電圧が安定化することから、半導体装置の長期信頼性を向上させることができる。また、本発明の一態様のトランジスタは、微細化にともなう電気特性の劣化が抑えられることから、集積度の高い半導体装置の形成に適しているといえる。3040

#### 【0245】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

#### 【0246】

##### (実施の形態 4)

本実施の形態では、実施の形態 2 で説明したトランジスタ 102、およびトランジスタ 107 の作製方法を説明する。

#### 【0247】

まず、図 25 および図 26 を用いてトランジスタ 102 の作製方法を説明する。なお、図面の左側にはトランジスタのチャネル長方向の断面を示し、右側にはチャネル幅方向の断

面を示す。また、チャネル幅方向の断面の図面は拡大図のため、各要素の見かけ上の膜厚は左右の図面で異なる。

#### 【 0 2 4 8 】

酸化物半導体層 130 は、酸化物半導体層 130 a、酸化物半導体層 130 b および酸化物半導体層 130 c の三層構造である場合を例示する。酸化物半導体層 130 が二層構造の場合は、酸化物半導体層 130 a および酸化物半導体層 130 b の二層とし、酸化物半導体層 130 が単層構造の場合は、酸化物半導体層 130 b の一層とすればよい。

#### 【 0 2 4 9 】

まず、基板 115 上に絶縁層 120 を形成する。基板 115 の種類および絶縁層 120 の材質は実施の形態 3 の説明を参照することができる。なお、絶縁層 120 は、スパッタ法、CVD 法、MBE 法などを用いて形成することができる。10

#### 【 0 2 5 0 】

また、絶縁層 120 にイオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法、プラズマ処理法などを用いて酸素を添加してもよい。酸素を添加することによって、絶縁層 120 から酸化物半導体層 130 への酸素の供給をさらに容易にすることができます。

#### 【 0 2 5 1 】

なお、基板 115 の表面が絶縁体であり、後に設ける酸化物半導体層 130 への不純物拡散の影響が無い場合は、絶縁層 120 を設けない構成とすることができる。

#### 【 0 2 5 2 】

次に、絶縁層 120 上に酸化物半導体層 130 a となる酸化物半導体膜 130 A、酸化物半導体層 130 b となる酸化物半導体膜 130 B、および酸化物半導体層 130 c となる酸化物半導体膜 130 C をスパッタ法、CVD 法、MBE 法などを用いて成膜する（図 25 (A) 参照）。

#### 【 0 2 5 3 】

酸化物半導体層 130 が積層構造である場合、酸化物半導体膜はロードロック室を備えたマルチチャンバー方式の成膜装置（例えばスパッタ装置）を用いて各層を大気に触れさせることなく連続して積層することが好ましい。スパッタ装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべく、クライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ $5 \times 10^{-7}$  Pa 乃至  $1 \times 10^{-4}$  Pa 程度まで）できること、かつ、成膜される基板を 100 以上、好ましくは 500 以上に加熱できることができることが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせて排気系からチャンバー内に炭素成分や水分等を含む気体が逆流しないようにしておくことが好ましい。また、ターボ分子ポンプとクライオポンプを組み合わせた排気系を用いてもよい。

#### 【 0 2 5 4 】

高純度真性酸化物半導体を得るためにには、チャンバー内を高真空排気するのみならずスパッタガスの高純度化も必要である。スパッタガスとして用いる酸素ガスやアルゴンガスは、露点が -40 以下、好ましくは -80 以下、より好ましくは -100 以下にまで高純度化したガスを用いることで酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。30

#### 【 0 2 5 5 】

酸化物半導体膜 130 A、酸化物半導体膜 130 B、および酸化物半導体膜 130 C には、実施の形態 3 で説明した材料を用いることができる。例えば、酸化物半導体膜 130 A に In : Ga : Zn = 1 : 3 : 6、1 : 3 : 4、1 : 3 : 3 または 1 : 3 : 2 [ 原子数比 ] の In - Ga - Zn 酸化物、酸化物半導体膜 130 B に In : Ga : Zn = 1 : 1 : 1、3 : 1 : 2 または 5 : 5 : 6 [ 原子数比 ] の In - Ga - Zn 酸化物、酸化物半導体膜 130 C に In : Ga : Zn = 1 : 3 : 6、1 : 3 : 4、1 : 3 : 3 または 1 : 3 : 2 [ 原子数比 ] の In - Ga - Zn 酸化物を用いることができる。また、酸化物半導体膜 130 A、および酸化物半導体膜 130 C には、酸化ガリウムのような酸化物半導体を用いて4050

もよい。なお、酸化物半導体膜 130A、酸化物半導体膜 130B、および第3の酸化物半導体膜 130C の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス 20% の変動を含む。また、成膜法にスパッタ法を用いる場合は、上記材料をターゲットとして成膜することができる。

#### 【0256】

ただし、実施の形態3に詳細を記したように、酸化物半導体膜 130B には酸化物半導体膜 130A および酸化物半導体膜 130C よりも電子親和力が大きい材料を用いる。

#### 【0257】

なお、酸化物半導体膜の成膜には、スパッタ法を用いることが好ましい。スパッタ法としては、RFスパッタ法、DCスパッタ法、ACスパッタ法等を用いることができる。

#### 【0258】

酸化物半導体膜 130C の形成後に、第1の加熱処理を行ってもよい。第1の加熱処理は、250 以上 650 以下、好ましくは 300 以上 500 以下の温度で、不活性ガス雰囲気、酸化性ガスを 10 ppm 以上含む雰囲気、または減圧状態で行えばよい。また、第1の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを 10 ppm 以上含む雰囲気で行ってもよい。第1の加熱処理によって、酸化物半導体膜 130A、酸化物半導体膜 130B、および酸化物半導体膜 130C の結晶性を高め、さらに絶縁層 120、酸化物半導体膜 130A、酸化物半導体膜 130B、および酸化物半導体膜 130C から水素や水などの不純物を除去することができる。なお、第1の加熱処理は、後述する酸化物半導体層 130a、酸化物半導体層 130b、および酸化物半導体層 130c を形成するエッチングの後に行ってもよい。

#### 【0259】

次に、酸化物半導体膜 130A 上に第1の導電層を形成する。第1の導電層は、例えば、次の方法を用いて形成することができる。

#### 【0260】

まず、酸化物半導体膜 130A 上に第1の導電膜を形成する。第1の導電膜としては、Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc、および当該金属材料の合金から選ばれた材料の単層、または積層を用いることができる。

#### 【0261】

次に、第1の導電膜上にネガ型のレジスト膜を形成し、当該レジスト膜に対して電子ビーム露光、液浸露光、EUV露光などの方法を用いて露光し、現像処理を行うことで第1のレジストマスクを形成する。なお、第1の導電膜とレジスト膜の間には密着剤として有機塗布膜を形成することが好ましい。また、ナノインプリントリソグラフィ法を用いて第1のレジストマスクを形成してもよい。

#### 【0262】

次に、第1のレジストマスクを用いて、第1の導電膜を選択的にエッチングし、第1のレジストマスクをアッシングすることにより導電層を形成する。

#### 【0263】

次に、上記導電層をハードマスクとして用い、酸化物半導体膜 130A、酸化物半導体膜 130B、および酸化物半導体膜 130C を選択的にエッチングし、上記導電層を取り除いて酸化物半導体層 130a、酸化物半導体層 130b、および酸化物半導体層 130c の積層からなる酸化物半導体層 130 を形成する。なお、上記導電層を形成せずに、第1のレジストマスクを用いて酸化物半導体層 130 を形成してもよい。なお、上記導電層を利用してトランジスタ 105 の構造を形成することもできる。

#### 【0264】

次に、基板 115 または絶縁層 120 が有する略平面に対して垂直な角度( )を 0°、当該略平面に対して平行な角度( )を 90° としたとき、例えば 45° の角度から酸化物半導体層の上面およびチャネル幅方向の略平面に対して垂直な断面における側面に対して酸素イオン 40 の注入を行う(図 25(B) 参照)。

#### 【0265】

10

20

30

40

50

酸素イオン注入の条件は、例えば、イオン種を $^{16}\text{O}_2^+$ 、加速電圧を0.2kV乃至5kVとし、ドーザ量を $1\text{E}13\text{cm}^{-2}$ 以上 $1\text{E}16\text{cm}^{-2}$ より少ない条件、またはイオン種を $^{16}\text{O}^+$ 、加速電圧を0.2kV乃至5kVとし、ドーザ量を $1\text{E}13\text{cm}^{-2}$ 以上 $1\text{E}15\text{cm}^{-2}$ より少ない条件で行えばよい。

#### 【0266】

次に、酸化物半導体層130を覆うように第2の導電膜を形成する。第2の導電膜としては、実施の形態3で説明した導電層140および導電層150に用いることのできる材料で形成すればよい。第2の導電膜の形成には、スパッタ法、CVD法、MBE法などを用いることができる。

#### 【0267】

次に、ソース領域およびドレイン領域となる部分の上に第2のレジストマスクを形成する。そして、第2の導電膜の一部をエッチングし、導電層140および導電層150を形成する(図25(C)参照)。

#### 【0268】

次に、酸化物半導体層130、導電層140および導電層150上にゲート絶縁膜となる絶縁膜160Åを形成する。絶縁膜160Åは、実施の形態3で説明した絶縁層160に用いることのできる材料で形成すればよい。絶縁膜160Åの形成には、スパッタ法、CVD法、MBE法などを用いることができる。

#### 【0269】

次に、第2の加熱処理を行ってもよい。第2の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第2の加熱処理により、酸化物半導体層130に注入した酸素を酸化物半導体層130の全体に拡散させることができる。なお、第2の加熱処理を行わずに、第3の加熱処理で上記効果を得てもよい。

#### 【0270】

次に、絶縁膜160Å上に導電層170となる第3の導電膜171Åおよび第4の導電膜172Åを形成する。第3の導電膜171Åおよび第4の導電膜172Åは、実施の形態3で説明した導電層171および導電層172に用いることのできる材料で形成すればよい。第3の導電膜171Åおよび第4の導電膜172Åの形成には、スパッタ法、CVD法、MBE法などを用いることができる。

#### 【0271】

次に、第4の導電膜172Å上に第3のレジストマスク156を形成する(図26(A)参照)。そして、当該レジストマスクを用いて、第3の導電膜171Å、第4の導電膜172Åおよび絶縁膜160Åを選択的にエッチングし、導電層171および導電層172からなる導電層170、および絶縁層160を形成する(図26(B)参照)。なお、絶縁膜160Åをエッチングしない構造とすれば、トランジスタ102を作製することができる。

#### 【0272】

次に、酸化物半導体層130、導電層140、導電層150、絶縁層160および導電層170上に絶縁層175を形成する。絶縁層175の材質は、実施の形態3の説明を参照することができる。トランジスタ101の場合は、酸化アルミニウム膜を用いることが好ましい。絶縁層175は、スパッタ法、CVD法、MBE法などで形成することができる。

#### 【0273】

次に、絶縁層175上に絶縁層180を形成する(図26(C)参照)。絶縁層180の材質は、実施の形態3の説明を参照することができる。また、絶縁層180は、スパッタ法、CVD法、MBE法などで形成することができる。

#### 【0274】

また、絶縁層175および/または絶縁層180にイオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法、プラズマ処理法などを用いて酸素を添加してもよい。酸素を添加することによって、絶縁層175および/または絶縁層1

10

20

30

40

50

80から酸化物半導体層130への酸素の供給をさらに容易にすることができます。

**【0275】**

次に、第3の加熱処理を行ってもよい。第3の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第3の加熱処理により、絶縁層120、絶縁層175、絶縁層180から過剰酸素が放出されやすくなり、酸化物半導体層130の酸素欠損を低減することができる。

**【0276】**

なお、図69(A)、(B)の形態を用いる場合には、ゲート絶縁膜となる絶縁膜160Aを形成した後に絶縁膜160A(ブロック層165)を介して酸化物半導体層の上面およびチャネル幅方向の略平面に対して垂直な断面における側面に対して酸素イオン40の注入を行えばよい(図71参照)。

10

**【0277】**

次に、図15に示すトランジスタ107の作製方法について説明する。なお、上述したトランジスタ102の作製方法と重複する工程の詳細な説明は省略する。

**【0278】**

基板115上に絶縁層120を形成し、当該絶縁層上に酸化物半導体層130aとなる酸化物半導体膜130A、および酸化物半導体層130bとなる酸化物半導体膜130Bをスパッタ法、CVD法、MBE法などを用いて成膜する(図27(A)参照)。

20

**【0279】**

次に、第1の導電膜を酸化物半導体膜130B上に形成し、前述した方法と同様に第1のレジストマスクを用いて導電層を形成する、そして、当該導電層をハードマスクとして酸化物半導体膜130Aおよび酸化物半導体膜130Bを選択的にエッチングし、酸化物半導体層130aおよび酸化物半導体層130bからなる積層を形成する。なお、ハードマスクを形成せずに、第1のレジストマスクを用いて当該積層を形成してもよい。

**【0280】**

次に、上記導電層を取り除き、基板115または絶縁層120が有する略平面に対して垂直な角度( )を0°、当概略平面に対して平行な角度( )を90°としたとき、例えば45°の角度から上記積層の上面およびチャネル幅方向の略平面に対して垂直な断面における側面に対して酸素イオン40の注入を行う(図27(B)参照)。なお、上記導電層を利用してトランジスタ111の構造を形成することもできる。

30

**【0281】**

酸素イオン注入の条件は、前述したトランジスタ107の作製方法と同様の条件を用いることができる。

**【0282】**

次に、上記積層を覆うように第2の導電膜を形成する。そして、ソース領域およびドレン領域となる部分の上に第2のレジストマスクを形成し、当該第2のレジストマスクを用いて第2の導電膜の一部をエッチングし、導電層140および導電層150を形成する(図27(C)参照)。

**【0283】**

次に、酸化物半導体層130aおよび酸化物半導体層130bの積層上、ならびに導電層140および導電層150上に酸化物半導体層130cとなる酸化物半導体膜130Cを形成する。さらに、酸化物半導体膜130C上にゲート絶縁膜となる絶縁膜160A、および導電層170となる第3の導電膜171Aおよび第4の導電膜172Aを形成する。

40

**【0284】**

次に、第4の導電膜172A上に第3のレジストマスク156を形成する(図28(A)参照)。そして、当該レジストマスクを用いて、第3の導電膜171A、第4の導電膜172A、絶縁膜160A、および酸化物半導体膜130Cを選択的にエッチングし、導電層171および導電層172からなる導電層170、絶縁層160、および酸化物半導体層130cを形成する(図28(B)参照)。なお、絶縁膜160Aおよび酸化物半導体膜130Cを第4のレジストマスクを用いてエッチングすることで、トランジスタ108

50

を作製することができる。

**【0285】**

次に、絶縁層120、酸化物半導体層130（酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c）、導電層140、導電層150、絶縁層160および導電層170上に絶縁層175および絶縁層180を形成する（図28（C）参照）。

**【0286】**

なお、図69（A）、（B）の形態を用いる場合には、酸化物半導体膜130Cを形成した後に酸化物半導体膜130C（ブロック層165）を介して積層（酸化物半導体層130aおよび酸化物半導体層130bの）の上面およびチャネル幅方向の略平面に対して垂直な断面における側面に対して酸素イオン40の注入を行えばよい（図72参照）。 10

**【0287】**

以上の工程において、図15に示したトランジスタ107を作製することができる。

**【0288】**

なお、本実施の形態で説明した金属膜、半導体膜、無機絶縁膜など様々な膜は、代表的にはスパッタ法やプラズマCVD法により形成することができるが、他の方法、例えば、熱CVD（Chemical Vapor Deposition）法により形成してもよい。熱CVD法の例としては、MOCVD（Metal Organic Chemical Vapor Deposition）法やALD（Atomic Layer Deposition）法などがある。 20

**【0289】**

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

**【0290】**

また、熱CVD法では、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

**【0291】**

ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後に不活性ガス（アルゴン、或いは窒素など）などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の層を成膜し、後から導入される第2の原料ガスと反応して、第2の層が第1の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。 30

**【0292】**

MOCVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された金属膜、半導体膜、無機絶縁膜など様々な膜を形成することができ、例えば、In-Ga-ZnO<sub>x</sub>（X>0）膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、およびジメチル亜鉛を用いることができる。なお、トリメチルインジウムの化学式は、In(CH<sub>3</sub>)<sub>3</sub>である。また、トリメチルガリウムの化学式は、Ga(CH<sub>3</sub>)<sub>3</sub>である。また、ジメチル亜鉛の化学式は、Zn(CH<sub>3</sub>)<sub>2</sub>である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム（化学式Ga(C<sub>2</sub>H<sub>5</sub>)<sub>3</sub>）を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛（化学式Zn(C<sub>2</sub>H<sub>5</sub>)<sub>2</sub>） 40

$H_5)_2$ )を用いることもできる。

【0293】

例えば、ALDを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体(ハフニウムアルコキシド溶液、代表的にはテトラキスジメチルアミドハフニウム(TDMAH))を気化させた原料ガスと、酸化剤としてオゾン( $O_3$ )の2種類のガスを用いる。なお、テトラキスジメチルアミドハフニウムの化学式は $Hf[N(CH_3)_2]_4$ である。また、他の材料液としては、テトラキス(エチルメチルアミド)ハフニウムなどがある。

【0294】

例えば、ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体(トリメチルアルミニウムTMAなど)を気化させた原料ガスと、酸化剤として $H_2O$ の2種類のガスを用いる。なお、トリメチルアルミニウムの化学式は $Al(CH_3)_3$ である。また、他の材料液としては、トリス(ジメチルアミド)アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス(2,2,6,6-テトラメチル-3,5-ヘプタンジオナート)などがある。

【0295】

例えば、ALDを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、吸着物に含まれる塩素を除去し、酸化性ガス( $O_2$ 、一酸化二窒素)のラジカルを供給して吸着物と反応させる。

【0296】

例えば、ALDを利用する成膜装置によりタンクステン膜を成膜する場合には、 $WF_6$ ガスと $B_2H_6$ ガスを順次繰り返し導入して初期タンクステン膜を形成し、その後、 $WF_6$ ガスと $H_2$ ガス同時に導入してタンクステン膜を形成する。なお、 $B_2H_6$ ガスに代えて $SiH_4$ ガスを用いてもよい。

【0297】

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えば $In-Ga-ZnO_x$ ( $X > 0$ )膜を成膜する場合には、 $In(CH_3)_3$ ガスと $O_3$ ガスを順次繰り返し導入して $In-O$ 層を形成し、その後、 $Ga(CH_3)_3$ ガスと $O_3$ ガスを同時に導入して $GaO$ 層を形成し、更にその後 $Zn(CH_3)_2$ と $O_3$ ガスを同時に導入して $ZnO$ 層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜて $In-Ga-O$ 層や $In-Zn-O$ 層、 $Ga-Zn-O$ 層などの混合化合物層を形成しても良い。なお、 $O_3$ ガスに変えて $Ar$ 等の不活性ガスでバーピングして得られた $H_2O$ ガスを用いても良いが、 $H$ を含まない $O_3$ ガスを用いる方が好ましい。また、 $In(CH_3)_3$ ガスにかえて、 $In(C_2H_5)_3$ ガスを用いても良い。また、 $Ga(CH_3)_3$ ガスにかえて、 $Ga(C_2H_5)_3$ ガスを用いても良い。また、 $Zn(CH_3)_2$ ガスを用いても良い。

【0298】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0299】

(実施の形態5)

本実施の形態では、本発明の一態様であるトランジスタに使用することができる酸化物半導体膜について説明する。

【0300】

なお、本明細書において、「平行」とは、二つの直線が-10°以上10°以下の角度で配置されている状態をいう。したがって、-5°以上5°以下の場合も含まれる。また、「垂直」とは、二つの直線が80°以上100°以下の角度で配置されている状態をいう。したがって、85°以上95°以下の場合も含まれる。

【0301】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す

10

20

30

40

50

。

### 【0302】

<酸化物半導体の構造>

以下では、酸化物半導体の構造について説明する。

### 【0303】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、C AAC - OS ( C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、n c - OS (nanocrystalline Oxide Semiconductor)、擬似非晶質酸化物半導体 (a - like OS : amorphous like Oxide Semiconductor)、非晶質酸化物半導体などがある。  
10

### 【0304】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、C AAC - OS、多結晶酸化物半導体、n c - OSなどがある。

### 【0305】

非晶質構造の定義としては、一般に、準安定状態で固定化していないこと、等方的であつて不均質構造を持たないことなどが知られている。また、結合角度が柔軟であり、短距離秩序性は有するが、長距離秩序性を有さない構造言い換えることもできる。

### 【0306】

逆の見方をすると、本質的に安定な酸化物半導体の場合、完全な非晶質 (completely amorphous) 酸化物半導体と呼ぶことはできない。また、等方的でない(例えば、微小な領域において周期構造を有する)酸化物半導体を、完全な非晶質酸化物半導体と呼ぶことはできない。ただし、a - like OSは、微小な領域において周期構造を有するものの、鬆(ボイドともいう。)を有し、不安定な構造である。そのため、物性的には非晶質酸化物半導体に近いといえる。  
20

### 【0307】

< C AAC - OS >

まずは、C AAC - OSについて説明する。

### 【0308】

C AAC - OSは、c 軸配向した複数の結晶部(ペレットともいう。)を有する酸化物半導体の一つである。  
30

### 【0309】

透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって、C AAC - OSの明視野像と回折パターンとの複合解析像(高分解能TEM像ともいう。)を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を明確に確認することができない。そのため、C AAC - OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

### 【0310】

以下では、TEMによって観察したC AAC - OSについて説明する。図29(A)に、試料面と略平行な方向から観察したC AAC - OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正(Spherical Aberration Corrector)機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM - ARM200Fなどによって行うことができる。  
40

### 【0311】

図29(A)の領域(1)を拡大したCs補正高分解能TEM像を図29(B)に示す。

図29(B)より、ペレットにおいて、金属原子が層状に配列していることを確認できる  
50

。金属原子の各層の配列は、 C A A C - O S の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映しており、 C A A C - O S の被形成面または上面と平行となる。

### 【 0 3 1 2 】

図 2 9 ( B ) に示すように、 C A A C - O S は特徴的な原子配列を有する。図 2 9 ( C ) は、特徴的な原子配列を、補助線で示したものである。図 2 9 ( B ) および図 2 9 ( C ) より、ペレット一つの大きさは 1 nm 以上 3 nm 以下程度であり、ペレットとペレットとの傾きにより生じる隙間の大きさは 0.8 nm 程度であることがわかる。したがって、ペレットを、ナノ結晶 ( n c : n a n o c r y s t a l ) と呼ぶこともできる。また、 C A A C - O S を、 C A N C ( C - A x i s A l i g n e d n a n o c r y s t a l s ) を有する酸化物半導体と呼ぶこともできる。

10

### 【 0 3 1 3 】

ここで、 Cs 補正高分解能 TEM 像をもとに、基板 5120 上の C A A C - O S のペレット 5100 の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる（図 2 9 ( D ) 参照。）。図 2 9 ( C ) で観察されたペレットとペレットとの間で傾きが生じている箇所は、図 2 9 ( D ) に示す領域 5161 に相当する。

### 【 0 3 1 4 】

また、図 3 0 ( A ) に、試料面と略垂直な方向から観察した C A A C - O S の平面の Cs 補正高分解能 TEM 像を示す。図 3 0 ( A ) の領域 ( 1 ) 、領域 ( 2 ) および領域 ( 3 ) を拡大した Cs 補正高分解能 TEM 像を、それぞれ図 3 0 ( B ) 、図 3 0 ( C ) および図 3 0 ( D ) に示す。図 3 0 ( B ) 、図 3 0 ( C ) および図 3 0 ( D ) より、ペレットは、金属原子が三角形状、四角形状または六角形状に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

20

### 【 0 3 1 5 】

次に、 X 線回折 ( X R D : X - R a y D i f f r a c t i o n ) によって解析した C A A C - O S について説明する。例えば、 I n G a Z n O<sub>4</sub> の結晶を有する C A A C - O S に対し、 o u t - o f - p l a n e 法による構造解析を行うと、図 3 1 ( A ) に示すように回折角 ( 2θ ) が 31° 。近傍にピークが現れる場合がある。このピークは、 I n G a Z n O<sub>4</sub> の結晶の ( 009 ) 面に帰属されることから、 C A A C - O S の結晶が c 軸配向性を有し、 c 軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

30

### 【 0 3 1 6 】

なお、 C A A C - O S の o u t - o f - p l a n e 法による構造解析では、 2θ が 31° 。近傍のピークの他に、 2θ が 36° 。近傍にもピークが現れる場合がある。 2θ が 36° 。近傍のピークは、 C A A C - O S 中の一部に、 c 軸配向性を有さない結晶が含まれることを示している。より好ましい C A A C - O S は、 o u t - o f - p l a n e 法による構造解析では、 2θ が 31° 。近傍にピークを示し、 2θ が 36° 。近傍にピークを示さない。

### 【 0 3 1 7 】

一方、 C A A C - O S に対し、 c 軸に略垂直な方向から X 線を入射させる i n - p l a n e 法による構造解析を行うと、 2θ が 56° 。近傍にピークが現れる。このピークは、 I n G a Z n O<sub>4</sub> の結晶の ( 110 ) 面に帰属される。 C A A C - O S の場合は、 2θ を 56° 。近傍に固定し、試料面の法線ベクトルを軸 ( c 軸) として試料を回転させながら分析 ( スキャン ) を行っても、図 3 1 ( B ) に示すように明瞭なピークは現れない。これに対し、 I n G a Z n O<sub>4</sub> の単結晶酸化物半導体であれば、 2θ を 56° 。近傍に固定してスキャンした場合、図 3 1 ( C ) に示すように ( 110 ) 面と等価な結晶面に帰属されるピークが 6 本観察される。したがって、 X R D を用いた構造解析から、 C A A C - O S は、 a 軸および b 軸の配向が不規則であることが確認できる。

40

### 【 0 3 1 8 】

次に、電子回折によって解析した C A A C - O S について説明する。例えば、 I n G a Z n O<sub>4</sub> の結晶を有する C A A C - O S に対し、試料面に平行にプローブ径が 300 nm の電子線を入射させると、図 7 3 ( A ) に示すような回折パターン ( 制限視野透過電子回折パターンともいう。 ) が現れる場合がある。この回折パターンには、 I n G a Z n O<sub>4</sub> の

50

結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によつても、CAAC-OSに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いてることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図73(B)に示す。図73(B)より、リング状の回折パターンが確認される。したがって、電子回折によつても、CAAC-OSに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図73(B)における第1リングは、InGaZnO<sub>4</sub>の結晶の(010)面および(100)面などに起因すると考えられる。また、図73(B)における第2リングは(110)面などに起因すると考えられる。

## 【0319】

10

上述したように、CAAC-OSは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、逆の見方をするとCAAC-OSは不純物や欠陥(酸素欠損など)の少ない酸化物半導体ともいえる。

## 【0320】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

20

## 【0321】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

## 【0322】

不純物および酸素欠損の少ないCAAC-OSは、キャリア密度の低い酸化物半導体である。具体的には、 $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上のキャリア密度の酸化物半導体とすることができます。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-OSは、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

30

## 【0323】

&lt;nc-OS&gt;

次に、nc-OSについて説明する。

## 【0324】

nc-OSは、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-OSに含まれる結晶部は、1nm以上10nm以下、または1nm以上3nm以下の大きさであることが多い。なお、結晶部の大きさが10nmより大きく100nm以下である酸化物半導体を微結晶酸化物半導体と呼ぶことがある。nc-OSは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-OSにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-OSの結晶部をペレットと呼ぶ場合がある。

40

## 【0325】

nc-OSは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OSに対し、ペレットよりも大きい径のX

50

線を用いた場合、out-of-plane法による解析では、結晶面を示すピークは検出されない。また、nc-OSに対し、ペレットよりも大きいプロープ径（例えば50nm以上）の電子線を用いる電子回折を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OSに対し、ペレットの大きさと近いかペレットより小さいプロープ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OSに対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

#### 【0326】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、nc-OSを、RANC（Random Aligned nanocrystals）を有する酸化物半導体、またはNANC（Non-Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。10

#### 【0327】

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、a-like OSや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

#### 【0328】

<a-like OS>20  
a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

#### 【0329】

a-like OSは、高分解能TEM像において鬆が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。

#### 【0330】

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OSおよびnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。30

#### 【0331】

電子照射を行う試料として、a-like OS（試料Aと表記する。）、nc-OS（試料Bと表記する。）およびCAAC-OS（試料Cと表記する。）を準備する。いずれの試料もIn-Ga-Zn酸化物である。

#### 【0332】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有することがわかる。

#### 【0333】

なお、どの部分を一つの結晶部と見なすかの判定は、以下のように行えばよい。例えば、 $InGaZnO_4$ の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、格子縞の間隔が0.28nm以上0.30nm以下の箇所を、 $InGaZnO_4$ の結晶部と見なすことができる。なお、格子縞は、 $InGaZnO_4$ の結晶のa-b面に対応する。40

#### 【0334】

図74は、各試料の結晶部（22箇所から45箇所）の平均の大きさを調査した例である。ただし、上述した格子縞の長さを結晶部の大きさとしている。図74より、a-like OSは、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図74中に（1）で示すように、TEMによる観察初期においては1.2nm程度

の大きさだった結晶部（初期核ともいう。）が、累積照射量が  $4.2 \times 10^8 e^- / nm^2$  においては  $2.6 nm$  程度の大きさまで成長していることがわかる。一方、n c - O S および C A A C - O S は、電子照射開始時から電子の累積照射量が  $4.2 \times 10^8 e^- / nm^2$  までの範囲で、結晶部の大きさに変化が見られないことがわかる。具体的には、図 74 中の（2）および（3）で示すように、電子の累積照射量によらず、n c - O S および C A A C - O S の結晶部の大きさは、それぞれ  $1.4 nm$  程度および  $2.1 nm$  程度であることがわかる。

### 【0335】

このように、a - l i k e O S は、電子照射によって結晶部の成長が見られる場合がある。一方、n c - O S および C A A C - O S は、電子照射による結晶部の成長がほとんど見られないことがわかる。即ち、a - l i k e O S は、n c - O S および C A A C - O S と比べて、不安定な構造であることがわかる。10

### 【0336】

また、鬆を有するため、a - l i k e O S は、n c - O S および C A A C - O S と比べて密度の低い構造である。具体的には、a - l i k e O S の密度は、同じ組成の単結晶の密度の  $78.6\%$  以上  $92.3\%$  未満となる。また、n c - O S の密度および C A A C - O S の密度は、同じ組成の単結晶の密度の  $92.3\%$  以上  $100\%$  未満となる。単結晶の密度の  $78\%$  未満となる酸化物半導体は、成膜すること自体が困難である。

### 【0337】

例えば、In : Ga : Zn = 1 : 1 : 1 [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶 InGaZnO<sub>4</sub> の密度は  $6.357 g / cm^3$  となる。よって、例えば、In : Ga : Zn = 1 : 1 : 1 [原子数比] を満たす酸化物半導体において、a - l i k e O S の密度は  $5.0 g / cm^3$  以上  $5.9 g / cm^3$  未満となる。また、例えば、In : Ga : Zn = 1 : 1 : 1 [原子数比] を満たす酸化物半導体において、n c - O S の密度および C A A C - O S の密度は  $5.9 g / cm^3$  以上  $6.3 g / cm^3$  未満となる。20

### 【0338】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせて見積もることが好ましい。30

### 【0339】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、a - l i k e O S、n c - O S、C A A C - O S のうち、二種以上を有する積層膜であってもよい。

### 【0340】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。40

### 【0341】

#### （実施の形態 6）

本実施の形態では、本発明の一態様のトランジスタを利用した回路の一例について図面を参照して説明する。

### 【0342】

#### [断面構造]

図 32 (A) に本発明の一態様の半導体装置の断面図を示す。図 32 (A) に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 2200 を有し、上部に第 2 の半導体材料を用いたトランジスタ 2100 を有している。図 32 (A) では、第 2 の半導体材料を用いたトランジスタ 2100 として、先の実施の形態で例示したトランジスタを適用した例を示している。なお、一点鎖線より左側がトランジスタのチャネル長方向の断面50

、右側がチャネル幅方向の断面である。

**【0343】**

第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが好ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料（シリコン（歪シリコン含む）、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、有機半導体など）とし、第2の半導体材料を酸化物半導体とすることができます。酸化物半導体以外の材料として単結晶シリコンなどを用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、オフ電流が低い。

**【0344】**

トランジスタ2200は、nチャネル型のトランジスタまたはpチャネル型のトランジスタのいずれであってもよく、回路によって適切なトランジスタを用いればよい。また、酸化物半導体を用いた本発明の一態様のトランジスタを用いるほかは、用いる材料や構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

**【0345】**

図32(A)に示す構成では、トランジスタ2200の上部に、絶縁層2201、絶縁層2207を介してトランジスタ2100が設けられている。また、トランジスタ2200とトランジスタ2100の間には、複数の配線2202が設けられている。また、各種絶縁層に埋め込まれた複数のプラグ2203により、上層と下層にそれぞれ設けられた配線や電極が電気的に接続されている。また、トランジスタ2100を覆う絶縁層2204と、絶縁層2204上に配線2205と、トランジスタ2100の一対の電極と同一の導電層を加工して得られた配線2206と、が設けられている。

**【0346】**

このように、2種類のトランジスタを積層することにより、回路の占有面積が低減され、より高密度に複数の回路を配置することができる。

**【0347】**

ここで、下層に設けられるトランジスタ2200にシリコン系半導体材料を用いた場合、トランジスタ2200の半導体膜の近傍に設けられる絶縁層中の水素はシリコンのダングリングボンドを終端し、トランジスタ2200の信頼性を向上させる効果がある。一方、上層に設けられるトランジスタ2100に酸化物半導体を用いた場合、トランジスタ2100の半導体層の近傍に設けられる絶縁層中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなるため、トランジスタ2100の信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体材料を用いたトランジスタ2200の上層に酸化物半導体を用いたトランジスタ2100を積層して設ける場合、これらの間に水素の拡散を防止する機能を有する絶縁層2207を設けることは特に効果的である。絶縁層2207により、下層に水素を閉じ込めてトランジスタ2200の信頼性が向上することに加え、下層から上層に水素が拡散することが抑制されることでトランジスタ2100の信頼性も同時に向上させることができる。

**【0348】**

絶縁層2207としては、例えば酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア(YSZ)等を用いることができる。

**【0349】**

また、酸化物半導体層を含んで構成されるトランジスタ2100を覆うように、トランジスタ2100上に水素の拡散を防止する機能を有するブロック層2208（トランジスタ101乃至トランジスタ112では絶縁層175に相当）を形成することが好ましい。ブロック層2208としては、絶縁層2207と同様の材料を用いることができ、特に酸化アルミニウムを適用することが好ましい。酸化アルミニウム膜は、水素、水分などの不純物および酸素の双方に対して膜を透過させない遮断（ブロッキング）効果が高い。したがって、トランジスタ2100を覆うブロック層2208として酸化アルミニウム膜を用い

10

20

30

40

50

ることで、トランジスタ 2100 に含まれる酸化物半導体層からの酸素の脱離を防止するとともに、酸化物半導体層への水および水素の混入を防止することができる。

### 【0350】

なお、トランジスタ 2200 は、プレーナ型のトランジスタだけでなく、様々なタイプのトランジスタとすることができる。例えば、F I N ( フィン ) 型、T R I - G A T E ( トライゲート ) 型などのトランジスタなどとすることができます。その場合の断面図の例を、図 32 ( D ) に示す。半導体基板 2211 の上に、絶縁層 2212 が設けられている。半導体基板 2211 は、先端の細い凸部 ( フィンともいう ) を有する。なお、凸部の上には、絶縁層が設けられていてもよい。その絶縁層は、凸部を形成するときに、半導体基板 2211 がエッチングされないようにするためのマスクとして機能するものである。なお、凸部は、先端が細くなくてもよく、例えば、略直方体の凸部であってもよいし、先端が太い凸部であってもよい。半導体基板 2211 の凸部の上には、ゲート絶縁層 2214 が設けられ、その上には、ゲート電極層 2213 が設けられている。半導体基板 2211 には、ソース領域およびドレイン領域 2215 が形成されている。なお、ここでは、半導体基板 2211 が、凸部を有する例を示したが、本発明の一態様に係る半導体装置は、これに限定されない。例えば、S O I 基板を加工して、凸部を有する半導体領域を形成しても構わない。

10

### 【0351】

#### [回路構成例]

上記構成において、トランジスタ 2100 やトランジスタ 2200 の電極の接続構成を異ならすことにより、様々な回路を構成することができる。以下では、本発明の一態様の半導体装置を用いることにより実現できる回路構成の例を説明する。

20

### 【0352】

#### [C M O S 回路]

図 32 ( B ) に示す回路図は、p チャネル型のトランジスタ 2200 と n チャネル型のトランジスタ 2100 を直列に接続し、且つそれぞれのゲートを接続した、いわゆる C M O S 回路の構成を示している。

### 【0353】

#### [アナログスイッチ]

また、図 32 ( C ) に示す回路図は、トランジスタ 2100 とトランジスタ 2200 のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるアナログスイッチとして機能させることができる。

30

### 【0354】

#### [記憶装置の例]

本発明の一態様であるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置 ( 記憶装置 ) の一例を図 33 に示す。

### 【0355】

図 33 ( A ) に示す半導体装置は、第 1 の半導体材料を用いたトランジスタ 3200 と第 2 の半導体材料を用いたトランジスタ 3300 、および容量素子 3400 を有している。なお、トランジスタ 3300 としては、上記実施の形態で説明したトランジスタを用いることができる。

40

### 【0356】

図 33 ( B ) に図 33 ( A ) に示す半導体装置の断面図を示す。当該断面図の半導体装置では、トランジスタ 3300 にバックゲートを設けた構成を示しているが、バックゲートを設けない構成であってもよい。

### 【0357】

トランジスタ 3300 は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ 3300 は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要

50

としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

#### 【0358】

図33(A)において、配線3001はトランジスタ3200のソース電極と電気的に接続され、配線3002はトランジスタ3200のドレイン電極と電気的に接続されている。また、配線3003はトランジスタ3300のソース電極またはドレイン電極の一方と電気的に接続され、配線3004はトランジスタ3300のゲート電極と電気的に接続されている。そして、トランジスタ3200のゲート電極は、トランジスタ3300のソース電極またはドレイン電極の他方、および容量素子3400の電極の一方と電気的に接続され、配線3005は容量素子3400の電極の他方と電気的に接続されている。

10

#### 【0359】

図33(A)に示す半導体装置では、トランジスタ3200のゲート電極の電位が保持可能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

#### 【0360】

情報の書き込みおよび保持について説明する。まず、配線3004の電位を、トランジスタ3300がオン状態となる電位にして、トランジスタ3300をオン状態とする。これにより、配線3003の電位が、トランジスタ3200のゲート電極、および容量素子3400に与えられる。すなわち、トランジスタ3200のゲートには、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、配線3004の電位を、トランジスタ3300がオフ状態となる電位にして、トランジスタ3300をオフ状態とすることにより、トランジスタ3200のゲートに与えられた電荷が保持される(保持)。

20

#### 【0361】

トランジスタ3300のオフ電流は極めて小さいため、トランジスタ3200のゲートの電荷は長時間にわたって保持される。

#### 【0362】

次に情報の読み出しについて説明する。配線3001に所定の電位(定電位)を与えた状態で、配線3005に適切な電位(読み出し電位)を与えると、トランジスタ3200のゲートに保持された電荷量に応じて、配線3002は異なる電位をとる。一般に、トランジスタ3200をnチャネル型とすると、トランジスタ3200のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 $V_{th\_H}$ は、トランジスタ3200のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 $V_{th\_L}$ より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ3200を「オン状態」とするために必要な配線3005の電位をいうものとする。したがって、配線3005の電位を $V_{th\_H}$ と $V_{th\_L}$ の間の電位 $V_0$ とすることにより、トランジスタ3200のゲートに与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、配線3005の電位が $V_0$ ( $> V_{th\_H}$ )となれば、トランジスタ3200は「オン状態」となる。Lowレベル電荷が与えられていた場合には、配線3005の電位が $V_0$ ( $< V_{th\_L}$ )となっても、トランジスタ3200は「オフ状態」のままである。このため、配線3002の電位を判別することで、保持されている情報を読み出すことができる。

30

40

#### 【0363】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲートの状態にかかわらずトランジスタ3200が「オフ状態」となるような電位、つまり、 $V_{th\_H}$ より小さい電位を配線3005に与えればよい。または、ゲートの状態にかかわらずトランジスタ3200が「オン状態」となるような電位、つまり、 $V_{th\_L}$ より大きい電位を配線3005に与えればよい。

50

**【 0 3 6 4 】**

図33(C)に示す半導体装置は、トランジスタ3200を設けていない点で図33(A)と相違している。この場合も上記と同様の動作により情報の書き込みおよび保持動作が可能である。

**【 0 3 6 5 】**

次に、情報の読み出しについて説明する。トランジスタ3300がオン状態となると、浮遊状態である配線3003と容量素子3400とが導通し、配線3003と容量素子3400の間で電荷が再分配される。その結果、配線3003の電位が変化する。配線3003の電位の変化量は、容量素子3400の第1の端子の電位(あるいは容量素子3400に蓄積された電荷)によって、異なる値をとる。

10

**【 0 3 6 6 】**

例えば、容量素子3400の第1の端子の電位をV、容量素子3400の容量をC、配線3003が有する容量成分をCB、電荷が再分配される前の配線3003の電位をVB0とすると、電荷が再分配された後の配線3003の電位は、 $(CB \times VB_0 + C \times V) / (CB + C)$ となる。したがって、メモリセルの状態として、容量素子3400の第1の端子の電位がV1とV0( $V_1 > V_0$ )の2状態をとるとすると、電位V1を保持している場合の配線3003の電位( $= (CB \times VB_0 + C \times V_1) / (CB + C)$ )は、電位V0を保持している場合の配線3003の電位( $= (CB \times VB_0 + C \times V_0) / (CB + C)$ )よりも高くなることがわかる。

**【 0 3 6 7 】**

20

そして、配線3003の電位を所定の電位と比較することで、情報を読み出すことができる。

**【 0 3 6 8 】**

この場合、メモリセルを駆動させるための駆動回路に上記第1の半導体材料が適用されたトランジスタを用い、トランジスタ3300として第2の半導体材料が適用されたトランジスタを駆動回路上に積層して設ける構成とすればよい。

**【 0 3 6 9 】**

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合(ただし、電位は固定されていることが望ましい)であっても、長期にわたって記憶内容を保持することが可能である。

30

**【 0 3 7 0 】**

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が生じにくい。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

40

**【 0 3 7 1 】**

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

**【 0 3 7 2 】**

(実施の形態7)

本実施の形態では、先の実施の形態で説明したトランジスタ、または記憶装置を含むRFタグについて、図34を参照して説明する。

**【 0 3 7 3 】**

本実施の形態におけるRFタグは、内部に記憶回路を有し、記憶回路に必要な情報を記憶

50

し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、RFタグは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。なお、これらの用途に用いるためには極めて高い信頼性が要求される。

#### 【0374】

RFタグの構成について図34を用いて説明する。図34は、RFタグの構成例を示すブロック図である。

#### 【0375】

図34に示すようにRFタグ800は、通信器801（質問器、リーダ／ライタなどともいう）に接続されたアンテナ802から送信される無線信号803を受信するアンテナ804を有する。またRFタグ800は、整流回路805、定電圧回路806、復調回路807、変調回路808、論理回路809、記憶回路810、ROM811を有している。なお、復調回路807に含まれる整流作用を示すトランジスタに逆方向電流を十分に抑制することが可能な材料、例えば、酸化物半導体、が用いられた構成としてもよい。これにより、逆方向電流に起因する整流作用の低下を抑制し、復調回路の出力が飽和することを防止できる。つまり、復調回路の入力に対する復調回路の出力を線形に近づけることができる。なお、データの伝送形式は、一対のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の3つに大別される。本実施の形態に示すRFタグ800は、そのいずれの方式に用いることも可能である。

10

20

#### 【0376】

次に各回路の構成について説明する。アンテナ804は、通信器801に接続されたアンテナ802との間で無線信号803の送受信を行うためのものである。また、整流回路805は、アンテナ804で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波2倍圧整流し、後段に設けられた容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路805の入力側または出力側には、リミッタ回路を設けてもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

30

#### 【0377】

定電圧回路806は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路806は、内部にリセット信号生成回路を有していてもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路809のリセット信号を生成するための回路である。

#### 【0378】

復調回路807は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路808は、アンテナ804より出力するデータに応じて変調を行うための回路である。

#### 【0379】

論理回路809は復調信号を解析し、処理を行うための回路である。記憶回路810は、入力された情報を保持する回路であり、ロウデコーダ、カラムデコーダ、記憶領域などを有する。また、ROM811は、固有番号(ID)などを格納し、処理に応じて出力をを行うための回路である。

40

#### 【0380】

なお、上述の各回路は、必要に応じて、適宜、取捨することができる。

#### 【0381】

ここで、先の実施の形態で説明した記憶回路を、記憶回路810に用いることができる。本発明の一態様の記憶回路は、電源が遮断された状態であっても情報を保持できるため、RFタグに好適に用いることができる。さらに本発明の一態様の記憶回路は、データの書き込みに必要な電力(電圧)が従来の不揮発性メモリに比べて著しく小さいため、データ

50

の読み出し時と書き込み時の最大通信距離の差を生じさせないことも可能である。さらに、データの書き込み時に電力が不足し、誤動作または誤書き込みが生じることを抑制することができる。

#### 【0382】

また、本発明の一態様の記憶回路は、不揮発性のメモリとして用いることが可能であるため、ROM811に適用することもできる。その場合には、生産者がROM811にデータを書き込むためのコマンドを別途用意し、ユーザが自由に書き換えできないようにしておくことが好ましい。生産者が出荷前に固有番号を書き込んだのちに製品を出荷することで、作製したRFタグすべてについて固有番号を付与するのではなく、出荷する良品にのみ固有番号を割り当てることが可能となり、出荷後の製品の固有番号が不連続になることがなく出荷後の製品に対応した顧客管理が容易となる。10

#### 【0383】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。。

#### 【0384】

(実施の形態8)

本実施の形態では、先の実施の形態で説明した記憶装置を含むCPUについて説明する。

#### 【0385】

図35は、先の実施の形態で説明したトランジスタを少なくとも一部に用いたCPUの一例の構成を示すブロック図である。20

#### 【0386】

図35に示すCPUは、基板1190上に、ALU1191(ALU: Arithmetic logic unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198(Bus I/F)、書き換え可能なROM1199、およびROMインターフェース1189(ROM I/F)を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてよい。もちろん、図35に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図35に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができます。30

#### 【0387】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。40

#### 【0388】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行う。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行う。

#### 【0389】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、および50

レジスタコントローラ 1197 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 1195 は、基準クロック信号 CLK1 を元に、内部クロック信号 CLK2 を生成する内部クロック生成部を備えており、内部クロック信号 CLK2 を上記各種回路に供給する。

#### 【0390】

図 35 に示す CPU では、レジスタ 1196 に、メモリセルが設けられている。レジスタ 1196 のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。

#### 【0391】

図 35 に示す CPU において、レジスタコントローラ 1197 は、ALU1191 からの指示に従い、レジスタ 1196 における保持動作の選択を行う。すなわち、レジスタ 1196 が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ 1196 内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1196 内のメモリセルへの電源電圧の供給を停止することができる。

10

#### 【0392】

図 36 は、レジスタ 1196 として用いることのできる記憶素子の回路図の一例である。記憶素子 1200 は、電源遮断で記憶データが揮発する回路 1201 と、電源遮断で記憶データが揮発しない回路 1202 と、スイッチ 1203 と、スイッチ 1204 と、論理素子 1206 と、容量素子 1207 と、選択機能を有する回路 1220 と、を有する。回路 1202 は、容量素子 1208 と、トランジスタ 1209 と、トランジスタ 1210 と、を有する。なお、記憶素子 1200 は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していても良い。

20

#### 【0393】

ここで、回路 1202 には、先の実施の形態で説明した記憶装置を用いることができる。記憶素子 1200 への電源電圧の供給が停止した際、回路 1202 のトランジスタ 1209 のゲートには接地電位 (0V)、またはトランジスタ 1209 がオフする電位が入力され続ける構成とする。例えば、トランジスタ 1209 の第 1 ゲートが抵抗等の負荷を介して接地される構成とする。

30

#### 【0394】

スイッチ 1203 は、一導電型（例えば、n チャネル型）のトランジスタ 1213 を用いて構成され、スイッチ 1204 は、一導電型とは逆の導電型（例えば、p チャネル型）のトランジスタ 1214 を用いて構成した例を示す。ここで、スイッチ 1203 の第 1 の端子はトランジスタ 1213 のソースとドレインの一方に対応し、スイッチ 1203 の第 2 の端子はトランジスタ 1213 のソースとドレインの他方に対応し、スイッチ 1203 はトランジスタ 1213 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 1213 のオン状態またはオフ状態）が選択される。スイッチ 1204 の第 1 の端子はトランジスタ 1214 のソースとドレインの一方に対応し、スイッチ 1204 の第 2 の端子はトランジスタ 1214 のソースとドレインの他方に対応し、スイッチ 1204 はトランジスタ 1214 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 1214 のオン状態またはオフ状態）が選択される。

40

#### 【0395】

トランジスタ 1209 のソースとドレインの一方は、容量素子 1208 の一対の電極のうちの一方、およびトランジスタ 1210 のゲートと電気的に接続される。ここで、接続部分をノード M2 とする。トランジスタ 1210 のソースとドレインの一方は、低電源電位を供給することのできる配線（例えば GND 線）に電気的に接続され、他方は、スイッチ 1203 の第 1 の端子（トランジスタ 1213 のソースとドレインの一方）と電気的に接

50

続される。スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）はスイッチ 1204 の第 1 の端子（トランジスタ 1214 のソースとドレインの一方）と電気的に接続される。スイッチ 1204 の第 2 の端子（トランジスタ 1214 のソースとドレインの他方）は電源電位 VDD を供給することのできる配線と電気的に接続される。スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）と、スイッチ 1204 の第 1 の端子（トランジスタ 1214 のソースとドレインの一方）と、論理素子 1206 の入力端子と、容量素子 1207 の一対の電極のうちの一方と、は電気的に接続される。ここで、接続部分をノード M1 とする。容量素子 1207 の一対の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND 等）または高電源電位（VDD 等）が入力される構成とすることができる。10  
容量素子 1207 の一対の電極のうちの他方は、低電源電位を供給することのできる配線（例えば GND 線）と電気的に接続される。容量素子 1208 の一対の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND 等）または高電源電位（VDD 等）が入力される構成とすることができる。容量素子 1208 の一対の電極のうちの他方は、低電源電位を供給することのできる配線（例えば GND 線）と電気的に接続される。

#### 【0396】

なお、容量素子 1207 および容量素子 1208 は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

#### 【0397】

トランジスタ 1209 の第 1 ゲート（第 1 のゲート電極）には、制御信号 WE が入力される。スイッチ 1203 およびスイッチ 1204 は、制御信号 WE とは異なる制御信号 RD によって第 1 の端子と第 2 の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第 1 の端子と第 2 の端子の間が導通状態のとき他方のスイッチの第 1 の端子と第 2 の端子の間は非導通状態となる。20

#### 【0398】

なお、図 36 におけるトランジスタ 1209 では第 2 ゲート（第 2 のゲート電極：バックゲート）を有する構成を図示している。第 1 ゲートには制御信号 WE を入力し、第 2 ゲートには制御信号 WE2 を入力することができる。制御信号 WE2 は、一定の電位の信号とすればよい。当該一定の電位には、例えば、接地電位 GND やトランジスタ 1209 のソース電位よりも小さい電位などが選ばれる。このとき、制御信号 WE2 は、トランジスタ 1209 のしきい値電圧を制御するための電位信号であり、トランジスタ 1209 のゲート電圧が 0V 時の電流をより低減することができる。また、制御信号 WE2 は、制御信号 WE と同じ電位信号であってもよい。なお、トランジスタ 1209 としては、第 2 ゲートを有さないトランジスタを用いることもできる。30

#### 【0399】

トランジスタ 1209 のソースとドレインの他方には、回路 1201 に保持されたデータに対応する信号が入力される。図 36 では、回路 1201 から出力された信号が、トランジスタ 1209 のソースとドレインの他方に入力される例を示した。スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）から出力される信号は、論理素子 1206 によってその論理値が反転された反転信号となり、回路 1220 を介して回路 1201 に入力される。40

#### 【0400】

なお、図 36 では、スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）から出力される信号は、論理素子 1206 および回路 1220 を介して回路 1201 に入力する例を示したがこれに限定されない。スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路 1201 に入力されてもよい。例えば、回路 1201 内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）50

から出力される信号を当該ノードに入力することができる。

#### 【0401】

また、図36において、記憶素子1200に用いられるトランジスタのうち、トランジスタ1209以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板1190にチャネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャネルが形成されるトランジスタとすることができる。また、記憶素子1200に用いられるトランジスタ全てを、チャネルが酸化物半導体層で形成されるトランジスタとすることもできる。または、記憶素子1200は、トランジスタ1209以外にも、チャネルが酸化物半導体層で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板1190にチャネルが形成されるトランジスタとすることもできる。10

#### 【0402】

図36における回路1201には、例えばフリップフロップ回路を用いることができる。また、論理素子1206としては、例えばインバータやクロックドインバータ等を用いることができる。

#### 【0403】

本発明の一態様のける半導体装置では、記憶素子1200に電源電圧が供給されない間は、回路1201に記憶されていたデータを、回路1202に設けられた容量素子1208によって保持することができる。

#### 【0404】

また、酸化物半導体層にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体層にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ1209として用いることによって、記憶素子1200に電源電圧が供給されない間も容量素子1208に保持された信号は長期間にわたり保たれる。こうして、記憶素子1200は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。20

#### 【0405】

また、スイッチ1203およびスイッチ1204を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路1201が元のデータを保持しなおすまでの時間を短くすることができる。30

#### 【0406】

また、回路1202において、容量素子1208によって保持された信号はトランジスタ1210のゲートに入力される。そのため、記憶素子1200への電源電圧の供給が再開された後、容量素子1208によって保持された信号を、トランジスタ1210の状態（オン状態、またはオフ状態）に変換して、回路1202から読み出すことができる。それ故、容量素子1208に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

#### 【0407】

このような記憶素子1200を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うため、消費電力を抑えることができる。40

#### 【0408】

本実施の形態では、記憶素子1200をCPUに用いる例として説明したが、記憶素子1200は、DSP(Digital Signal Processor)、カスタムLSI、PLD(Programmable Logic Device)等のLSI、RF-ID(Radio Frequency Identification)にも応用50

可能である。

**【0409】**

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

**【0410】**

(実施の形態9)

本実施の形態では、本発明の一態様のトランジスタを利用した表示装置の構成例について説明する。

**【0411】**

[構成例]

図37(A)は、本発明の一態様の表示装置の上面図であり、図37(B)は、本発明の一態様の表示装置の画素に液晶素子を適用する場合に用いることができる画素回路を説明するための回路図である。また、図37(C)は、本発明の一態様の表示装置の画素に有機EL素子を適用する場合に用いることができる画素回路を説明するための回路図である。

**【0412】**

画素部に配置するトランジスタは、上記実施の形態に従って形成することができる。また、当該トランジスタはnチャネル型とすることが容易なので、駆動回路のうち、nチャネル型トランジスタで構成することができる駆動回路の一部を画素部のトランジスタと同一基板上に形成する。このように、画素部や駆動回路に上記実施の形態に示すトランジスタを用いることにより、信頼性の高い表示装置を提供することができる。

**【0413】**

アクティブマトリクス型表示装置の上面図の一例を図37(A)に示す。表示装置の基板700上には、画素部701、走査線駆動回路702、走査線駆動回路703、信号線駆動回路704を有する。画素部701には、複数の信号線が信号線駆動回路704から延伸して配置され、複数の走査線が走査線駆動回路702、および走査線駆動回路703から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に設けられている。また、表示装置の基板700はFPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路(コントローラ、制御ICともいう)に接続されている。

**【0414】**

図37(A)では、走査線駆動回路702、走査線駆動回路703、信号線駆動回路704は、画素部701と同じ基板700上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板700外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板700上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、または歩留まりの向上を図ることができる。

**【0415】**

[液晶表示装置]

また、画素の回路構成の一例を図37(B)に示す。ここでは、一例としてVA型液晶表示装置の画素に適用することができる画素回路を示す。

**【0416】**

この画素回路は、一つの画素に複数の画素電極層を有する構成に適用できる。それぞれの画素電極層は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成されている。これにより、マルチドメイン設計された画素の個々の画素電極層に印加する信号を、独立して制御できる。

**【0417】**

トランジスタ716のゲート配線712と、トランジスタ717のゲート配線713には、異なるゲート信号を与えることができるよう分離されている。一方、データ線714は、トランジスタ716とトランジスタ717で共通に用いられている。トランジスタ7

10

20

30

40

50

16とトランジスタ717は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い液晶表示装置を提供することができる。

【0418】

トランジスタ716と電気的に接続する第1の画素電極層と、トランジスタ717と電気的に接続する第2の画素電極層の形状について説明する。第1の画素電極層と第2の画素電極層の形状は、スリットによって分離されている。第1の画素電極層はV字型に広がる形状を有し、第2の画素電極層は第1の画素電極層の外側を囲むように形成される。

【0419】

トランジスタ716のゲート電極はゲート配線712と接続され、トランジスタ717のゲート電極はゲート配線713と接続されている。ゲート配線712とゲート配線713に異なるゲート信号を与えてトランジスタ716とトランジスタ717の動作タイミングを異ならせ、液晶の配向を制御できる。

【0420】

また、容量配線710と、誘電体として機能するゲート絶縁膜と、第1の画素電極層または第2の画素電極層と電気的に接続する容量電極とで保持容量を形成してもよい。

【0421】

マルチドメイン構造は、一画素に第1の液晶素子718と第2の液晶素子719を備える。第1の液晶素子718は第1の画素電極層と対向電極層とその間の液晶層とで構成され、第2の液晶素子719は第2の画素電極層と対向電極層とその間の液晶層とで構成される。

20

【0422】

なお、図37(B)に示す画素回路は、これに限定されない。例えば、図37(B)に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサ、または論理回路などを追加してもよい。

【0423】

[有機EL表示装置]

画素の回路構成の他の一例を図37(C)に示す。ここでは、有機EL素子を用いた表示装置の画素構造を示す。

【0424】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極の一方から電子が、他方から正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、電子および正孔が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

30

【0425】

図37(C)は、適用可能な画素回路の一例を示す図である。ここではnチャネル型のトランジスタを1つの画素に2つ用いる例を示す。なお、本発明の一態様の金属酸化物膜は、nチャネル型のトランジスタのチャネル形成領域に用いることができる。また、当該画素回路は、デジタル時間階調駆動を適用することができる。

【0426】

適用可能な画素回路の構成およびデジタル時間階調駆動を適用した場合の画素の動作について説明する。

40

【0427】

画素720は、スイッチング用トランジスタ721、駆動用トランジスタ722、発光素子724および容量素子723を有している。スイッチング用トランジスタ721は、ゲート電極層が走査線726に接続され、第1電極(ソース電極層およびドレイン電極層の一方)が信号線725に接続され、第2電極(ソース電極層およびドレイン電極層の他方)が駆動用トランジスタ722のゲート電極層に接続されている。駆動用トランジスタ722は、ゲート電極層が容量素子723を介して電源線727に接続され、第1電極が電源線727に接続され、第2電極が発光素子724の第1電極(画素電極)に接続されて

50

いる。発光素子 724 の第 2 電極は共通電極 728 に相当する。共通電極 728 は、同一基板上に形成される共通電位線と電気的に接続される。

#### 【0428】

スイッチング用トランジスタ 721 および駆動用トランジスタ 722 には他の実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い有機 E L 表示装置を提供することができる。

#### 【0429】

発光素子 724 の第 2 電極（共通電極 728）の電位は低電源電位に設定する。なお、低電源電位とは、電源線 727 に設定される高電源電位より低い電位であり、例えば GND 、 0 V などを低電源電位として設定することができる。発光素子 724 の順方向のしきい値電圧以上となるように高電源電位と低電源電位を設定し、その電位差を発光素子 724 に印加することにより、発光素子 724 に電流を流して発光させる。なお、発光素子 724 の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。

#### 【0430】

なお、容量素子 723 は駆動用トランジスタ 722 のゲート容量を代用することにより省略できる。駆動用トランジスタ 722 のゲート容量については、チャネル形成領域とゲート電極層との間で容量が形成されていてもよい。

#### 【0431】

次に、駆動用トランジスタ 722 に入力する信号について説明する。電圧入力電圧駆動方式の場合、駆動用トランジスタ 722 が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を、駆動用トランジスタ 722 に入力する。なお、駆動用トランジスタ 722 を線形領域で動作させるために、電源線 727 の電圧よりも高い電圧を駆動用トランジスタ 722 のゲート電極層にかける。また、信号線 725 には、電源線電圧に駆動用トランジスタ 722 の閾値電圧  $V_{th}$  を加えた値以上の電圧をかける。

#### 【0432】

アナログ階調駆動を行う場合、駆動用トランジスタ 722 のゲート電極層に発光素子 724 の順方向電圧に駆動用トランジスタ 722 の閾値電圧  $V_{th}$  を加えた値以上の電圧をかける。なお、駆動用トランジスタ 722 が飽和領域で動作するようにビデオ信号を入力し、発光素子 724 に電流を流す。また、駆動用トランジスタ 722 を飽和領域で動作させるために、電源線 727 の電位を、駆動用トランジスタ 722 のゲート電位より高くする。ビデオ信号をアナログとすることで、発光素子 724 にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

#### 【0433】

なお、画素回路の構成は、図 37 (C) に示す画素構成に限定されない。例えば、図 37 (C) に示す画素回路にスイッチ、抵抗素子、容量素子、センサ、トランジスタまたは論理回路などを追加してもよい。

#### 【0434】

図 37 で例示した回路に上記実施の形態で例示したトランジスタを適用する場合、低電位側にソース電極（第 1 の電極）、高電位側にドレイン電極（第 2 の電極）がそれぞれ電気的に接続される構成とする。さらに、制御回路等により第 1 のゲート電極の電位を制御し、第 2 のゲート電極には図示しない配線によりソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。

#### 【0435】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、および発光素子を有する装置である発光装置は、様々な形態を用いること、または様々な素子を有することができる。表示素子、表示装置、発光素子または発光装置の一例としては、E L (エレクトロルミネッセンス) 素子（有機物および無機物を含む E L 素子、有機 E L 素子、無機 E L 素子）、L E D (白色 L E D 、赤色 L E D 、緑色 L E D 、青色 L E D など) 、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶

10

20

30

40

50

素子、電子インク、電気泳動素子、グレーティングライトバルブ( G L V )、プラズマディスプレイ( P D P )、MEMS(マイクロ・エレクトロ・メカニカル・システム)を用いた表示素子、デジタルマイクロミラーデバイス( D M D )、D M S(デジタル・マイクロ・シャッター)、M I R A S O L(登録商標)、I M O D(インターフェアレンス・モジュレーション)素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、エレクトロウェッティング素子、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気的または磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有するものがある。EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッショニングディスプレイ( F E D )またはSED方式平面型ディスプレイ( S E D : S u r f a c e - c o n d u c t i o n E l e c t r o n - e m i t t e r D i s p l a y )などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ(透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ)などがある。電子インク、電子粉流体(登録商標)、または電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、S R A Mなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

10

20

#### 【0436】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

#### 【0437】

##### (実施の形態10)

本実施の形態では、本発明の一態様の半導体装置を適用した表示モジュールについて、図38を用いて説明を行う。

#### 【0438】

図38に示す表示モジュール8000は、上部カバー8001と下部カバー8002との間に、FPC8003に接続されたタッチパネル8004、FPC8005に接続された表示パネル8006、バックライトユニット8007、フレーム8009、プリント基板8010、バッテリー8011を有する。なお、バックライトユニット8007、バッテリー8011、タッチパネル8004などは、設けられない場合もある。

30

#### 【0439】

本発明の一態様の半導体装置は、例えば、表示パネル8006に用いることができる。

#### 【0440】

上部カバー8001および下部カバー8002は、タッチパネル8004および表示パネル8006のサイズに合わせて、形状や寸法を適宜変更することができる。

#### 【0441】

タッチパネル8004は、抵抗膜方式または静電容量方式のタッチパネルを表示パネル8006に重畠して用いることができる。また、表示パネル8006の対向基板(封止基板)に、タッチパネル機能を持たせるようにすることも可能である。または、表示パネル8006の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。または、表示パネル8006の各画素内にタッチセンサ用電極を設け、容量型式のタッチパネルとすることも可能である。

40

#### 【0442】

バックライトユニット8007は、光源8008を有する。光源8008をバックライトユニット8007の端部に設け、光拡散板を用いる構成としてもよい。

#### 【0443】

フレーム8009は、表示パネル8006の保護機能の他、プリント基板8010の動作

50

により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム 8009 は、放熱板としての機能を有していてもよい。

**【 0 4 4 4 】**

プリント基板 8010 は、電源回路、ビデオ信号およびクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー 8011 であってもよい。なお、商用電源を用いる場合には、バッテリー 8011 を省略することができる。

**【 0 4 4 5 】**

また、表示モジュール 8000 には、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

10

**【 0 4 4 6 】**

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

**【 0 4 4 7 】**

( 実施の形態 11 )

以下では、本発明の一態様のトランジスタの任意断面におけるバンド構造について説明する。

**【 0 4 4 8 】**

図 39 ( A ) は、本発明の一態様に係る酸化物半導体層を有するトランジスタの断面図である。

20

**【 0 4 4 9 】**

図 39 ( A ) に示すトランジスタは、基板 400 上の絶縁層 401 と、絶縁層 401 上の導電層 404a と、導電層 404a 上の導電層 404b と、絶縁層 401 上、導電層 404a 上および導電層 404b 上の絶縁層 402a と、絶縁層 402a 上の絶縁層 402b と、絶縁層 402b 上の半導体層 406a と、半導体層 406a 上の半導体層 406b と、半導体層 406 上の絶縁層 412 と、絶縁層 412 上の導電層 414a と、導電層 414a 上の導電層 414b と、絶縁層 402b 上、半導体層 406a 上、半導体層 406b 上、絶縁層 412 上、導電層 414a 上および導電層 414b 上の絶縁層 408 と、絶縁層 408 上の絶縁層 418 と、絶縁層 418 上の導電層 416a1 および導電層 416b1 と、導電層 416a1 および導電層 416b1 それぞれの上の導電層 416a2 および導電層 416b2 と、絶縁層 418 上、導電層 416a2 上および導電層 416b2 上の絶縁層 428 と、を有する。

30

**【 0 4 5 0 】**

絶縁層 401 は、トランジスタのチャネル形成領域へ不純物が混入することを抑制する機能を有する場合がある。例えば、導電層 404b などが銅などの半導体層 406a または半導体層 406b にとっての不純物を有するとき、絶縁層 401 が銅などをブロックする機能を有する場合がある。

**【 0 4 5 1 】**

導電層 404a および導電層 404b の積層を併せて導電層 404 と呼ぶ。導電層 404 は、トランジスタのゲート電極としての機能を有する場合がある。また、導電層 404 は、トランジスタのチャネル形成領域などを遮光する機能を有する場合がある。

40

**【 0 4 5 2 】**

絶縁層 402a および絶縁層 402b を併せて絶縁層 402 と呼ぶ。絶縁層 402 は、トランジスタのゲート絶縁層としての機能を有する場合がある。また、絶縁層 402a は、トランジスタのチャネル形成領域へ不純物が混入することを抑制する機能を有する場合がある。例えば、導電層 404b などが銅などの半導体層 406a または半導体層 406b にとっての不純物を有するとき、絶縁層 402a が銅などをブロックする機能を有する場合がある。

**【 0 4 5 3 】**

半導体層 406a および半導体層 406b を併せて半導体層 406 と呼ぶ。半導体層 406

50

6は、トランジスタのチャネル形成領域としての機能を有する場合がある。例えば、半導体層406aは先の実施の形態に示した酸化物半導体層130b、半導体層406bは先の実施の形態に示した酸化物半導体層130cに相当する。

#### 【0454】

なお、半導体層406aは、絶縁層412、導電層414a、導電層414bなどと重ならない領域407a1および領域407b1を有する。また、半導体層406bは、絶縁層412、導電層414a、導電層414bなどと重ならない領域407a2および領域407b2を有する。領域407a1および領域407b1は、半導体層406aの絶縁層412、導電層414a、導電層414bなどと重なる領域よりも抵抗の低い領域である。また、407a2および領域407b2は、半導体層406bの絶縁層412、導電層414a、導電層414bなどと重なる領域よりも抵抗の低い領域である。なお、抵抗の低い領域を、キャリア密度の高い領域と呼ぶこともできる。10

#### 【0455】

また、領域407a1および領域407a2を併せて領域407aと呼ぶ。また、領域407b1および領域407b2を併せて領域407bと呼ぶ。領域407aおよび領域407bは、トランジスタのソース領域およびドレイン領域としての機能を有する場合がある。

#### 【0456】

導電層414aおよび導電層414bを併せて導電層414と呼ぶ。導電層414は、トランジスタのゲート電極としての機能を有する場合がある。または、導電層414は、トランジスタのチャネル形成領域などを遮光する機能を有する場合がある。20

#### 【0457】

絶縁層412は、トランジスタのゲート絶縁層としての機能を有する場合がある。

#### 【0458】

絶縁層408は、トランジスタのチャネル形成領域へ不純物が混入することを抑制する機能を有する場合がある。例えば、導電層416a2および導電層416b2などが銅などの半導体層406aまたは半導体層406bにとっての不純物を有するとき、絶縁層408aが銅などをブロックする機能を有する場合がある。

#### 【0459】

絶縁層418は、トランジスタの層間絶縁層としての機能を有する場合がある。例えば、絶縁層418を有することで、トランジスタの各配線間の寄生容量を低減できる場合がある。30

#### 【0460】

導電層416a1および導電層416a2を併せて導電層416aと呼ぶ。また、導電層416b1および導電層416b2を併せて導電層416bと呼ぶ。導電層416aおよび導電層416bは、トランジスタのソース電極およびドレイン電極としての機能を有する場合がある。

#### 【0461】

絶縁層428は、トランジスタのチャネル形成領域へ不純物が混入することを抑制する機能を有する場合がある。40

#### 【0462】

ここで、図39(B)に、トランジスタのチャネル形成領域を含むP1-P2断面におけるバンド構造を示す。なお、半導体層406aは半導体層406bよりもエネルギー・ギャップが少し大きいとする。また、絶縁層402a、絶縁層402bおよび絶縁層412は、半導体層406aおよび半導体層406bよりも十分にエネルギー・ギャップが大きいとする。また、半導体層406a、半導体層406b、絶縁層402a、絶縁層402bおよび絶縁層412のフェルミ準位(E<sub>f</sub>と表記する。)は、それぞれの真性フェルミ準位(E<sub>i</sub>と表記する。)の位置とする。また、導電層404および導電層414の仕事関数は、該フェルミ準位と同じ位置とする。

#### 【0463】

10

20

30

40

50

ゲート電圧をトランジスタのしきい値電圧以上としたとき、半導体層 406a と半導体層 406bとの間の伝導帯下端のエネルギーの差により、電子は半導体層 406a を優先的に流れる。即ち、半導体層 406a に電子が埋め込まれると推定することができる。なお、伝導帯下端のエネルギーを  $E_c$  と表記し、価電子帯上端のエネルギーを  $E_v$  と表記する。

#### 【0464】

したがって、本発明の一態様に係るトランジスタは、電子の埋め込みによって界面散乱の影響が低減されている。そのため、本発明の一態様に係るトランジスタは、チャネル抵抗が小さい。

#### 【0465】

次に、図 39 (C) に、トランジスタのソース領域またはドレイン領域を含む Q1 - Q2 断面におけるバンド構造を示す。なお、領域 407a1、領域 407b1、領域 407a2 および領域 407b2 は、縮退状態とする。また、領域 407b1において、半導体層 406a のフェルミ準位は伝導帯下端のエネルギーと同程度とする。また、領域 407b2において、半導体層 406b のフェルミ準位は伝導帯下端のエネルギーと同程度とする。領域 407a1 および領域 407a2 も同様である。

10

#### 【0466】

このとき、ソース電極またはドレイン電極としての機能を有する導電層 416b と、領域 407b2 と、はエネルギー障壁が十分小さいため、オーミック接触となる。また、領域 407b2 と、領域 407b1 と、はオーミック接触となる。同様に、ソース電極またはドレイン電極としての機能を有する導電層 416a と、領域 407a2 と、はエネルギー障壁が十分小さいため、オーミック接触となる。また、領域 407a2 と、領域 407a1 と、はオーミック接触となる。したがって、導電層 416a および導電層 416b と、半導体層 406a および半導体層 406b と、の間で、電子の授受がスムーズに行われる

20

ことがわかる。

#### 【0467】

以上に示したように、本発明の一態様に係るトランジスタは、ソース電極およびドレイン電極と、チャネル形成領域と、の間の電子の授受がスムーズに行われ、かつチャネル抵抗の小さいトランジスタである。即ち、優れたスイッチング特性を有するトランジスタであることがわかる。

30

#### 【0468】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

#### 【0469】

##### (実施の形態 12)

本実施の形態では、酸化物半導体層中の酸素欠損および当該酸素欠損の結合する水素の効果について説明する。

#### 【0470】

##### <(1). $V_H$ の形成しやすさ、および安定性>

酸化物半導体膜(以下、IGZOと示す。)が完全な結晶の場合、室温では、 $H$  は、優先的に  $a$   $b$  面に沿って拡散する。また、450 の加熱処理の際には、 $H$  は、 $a$   $b$  面および  $c$  軸方向それぞれに拡散する。そこで、ここでは、IGZOに酸素欠損  $V_H$  が存在する場合、 $H$  は酸素欠損  $V_H$  中に入りやすいか否かについて説明する。ここで、酸素欠損  $V_H$  中に  $H$  がある状態を  $V_H$  と表記する。

40

#### 【0471】

計算には、図 40 に示す  $InGaZnO_4$  結晶モデルを用いた。ここで、 $V_H$  中の  $H$  が  $V_H$  から出ていき、酸素と結合する反応経路の活性化障壁( $E_a$ )を、NEB(Nudged Elastic Band)法を用いて計算した。計算条件を表 2 に示す。

#### 【0472】

【表2】

ソフトウェア	VASP
計算手法	NEB法
汎関数	GGA-PBE
擬ポテンシャル	PAW
カットオフエネルギー	500 eV
k点	$2 \times 2 \times 3$

10

## 【0473】

また、 $\text{InGaZnO}_4$ 結晶モデルにおいて、酸素が結合する金属元素およびその数の違いから、図40に示すように酸素サイト1乃至酸素サイト4がある。ここでは、酸素欠損 $\text{V}_o$ を形成しやすい酸素サイト1および酸素サイト2について計算を行った。

## 【0474】

はじめに、酸素欠損 $\text{V}_o$ を形成しやすい酸素サイト1として、3個のInと1個のZnと結合した酸素サイトについて計算を行った。

## 【0475】

初期状態のモデルを図41(A)に示し、最終状態のモデルを図41(B)に示す。また、初期状態および最終状態において、算出した活性化障壁( $E_a$ )を図42に示す。なお、ここでの初期状態とは、酸素欠損 $\text{V}_o$ 中にHがある状態( $\text{V}_o\text{H}$ )であり、最終状態とは、酸素欠損 $\text{V}_o$ と、1個のGaおよび2個のZnと結合した酸素とHとが結合した状態(H-O)を有する構造である。

20

## 【0476】

計算の結果、酸素欠損 $\text{V}_o$ 中のHが他のOと結合するには約1.52 eVのエネルギーが必要であるのに対して、Oと結合したHが酸素欠損 $\text{V}_o$ 中に入るには約0.46 eVのエネルギーが必要であった。

## 【0477】

30

ここで、計算により得られた活性化障壁( $E_a$ )と式2より、反応頻度( )を算出した。なお、式2において、 $k_B$ はボルツマン定数であり、Tは絶対温度である。

## 【0478】

## 【数2】

$$\Gamma = v \exp\left(-\frac{E_a}{k_B T}\right)$$

## 【0479】

40

頻度因子 $= 10^{13} [1/\text{sec}]$ と仮定して350における反応頻度を算出した。図41(A)に示すモデルから図41(B)に示すモデルへHが移動する頻度は $5.52 \times 10^0 [1/\text{sec}]$ であった。また、図41(B)に示すモデルから図41(A)に示すモデルへHが移動する頻度は $1.82 \times 10^9 [1/\text{sec}]$ であった。このことから、IGZO中を拡散するHは、近くに酸素欠損 $\text{V}_o$ があると $\text{V}_o\text{H}$ を形成しやすく、一旦 $\text{V}_o\text{H}$ を形成すると酸素欠損 $\text{V}_o$ から放出されにくいといえる。

## 【0480】

次に、酸素欠損 $\text{V}_o$ を形成しやすい酸素サイト2として、1個のGaと2個のZnと結合した酸素サイトについて計算を行った。

## 【0481】

50

初期状態のモデルを図43(A)に示し、最終状態のモデルを図43(B)に示す。また、初期状態および最終状態において、算出した活性化障壁( $E_a$ )を図44に示す。なお、ここでの初期状態とは、酸素欠損V<sub>o</sub>中にHがある状態(V<sub>o</sub>H)であり、最終状態とは、酸素欠損V<sub>o</sub>と、1個のGaおよび2個のZnと結合した酸素とHとが結合した状態(H-O)を有する構造である。

#### 【0482】

計算の結果、酸素欠損V<sub>o</sub>中のHが他のOと結合するには約1.75eVのエネルギーが必要であるのに対して、Oと結合したHが酸素欠損V<sub>o</sub>中に入るには約0.35eVのエネルギーが必要であった。

#### 【0483】

また、計算により得られた活性化障壁( $E_a$ )と上記の式2より、反応頻度( )を算出した。

#### 【0484】

頻度因子 =  $10^{13}$  [1/sec]と仮定して350における反応頻度を算出した。図43(A)に示すモデルから図43(B)に示すモデルへHが移動する頻度は $7.53 \times 10^{-2}$  [1/sec]であった。また、図43(B)に示すモデルから図43(A)に示すモデルへHが移動する頻度は $1.44 \times 10^{10}$  [1/sec]であった。このことから、一旦V<sub>o</sub>Hを形成すると酸素欠損V<sub>o</sub>からHは放出されにくいといえる。

#### 【0485】

以上のことから、アニール時にIGZO中のHは拡散し易く、酸素欠損V<sub>o</sub>がある場合は酸素欠損V<sub>o</sub>の中に入りやすくなることが分かった。

#### 【0486】

##### <(2). V<sub>o</sub>Hの遷移レベル>

IGZO中において酸素欠損V<sub>o</sub>とHが存在する場合、<(1). V<sub>o</sub>Hの形成しやすさ、および安定性>で示した、NEB法を用いた計算より、酸素欠損V<sub>o</sub>とHはV<sub>o</sub>Hを形成しやすく、さらにV<sub>o</sub>Hは安定であるといえる。そこで、V<sub>o</sub>Hがキャリアトラップに関与するかを調べるため、V<sub>o</sub>Hの遷移レベルの算出を行った。

#### 【0487】

計算にはInGaZnO<sub>4</sub>結晶モデル(112原子)を用いた。図40に示す酸素サイト1および酸素サイト2に対してV<sub>o</sub>Hモデルを作成し、遷移レベルの算出を行った。計算条件を表3に示す。

#### 【0488】

##### 【表3】

ソフトウェア	VASP
モデル	InGaZnO4結晶(112原子)
汎関数	HSE06
交換項の混合比	0.25
擬ポテンシャル	GGA-PBE
カットオフエネルギー	800 eV
k点	1×1×1

#### 【0489】

実験値に近いバンドギャップが出るよう、交換項の混合比を調整したことで、欠陥のないInGaZnO<sub>4</sub>結晶モデルのバンドギャップは3.08eVとなり、実験値の3.15eVと近い結果となった。

#### 【0490】

10

20

30

40

50

欠陥Dをもつモデルの遷移レベル（（q/q'））は、以下の式3により算出される。なお、E(D<sup>q</sup>)は欠陥Dの電荷qにおける形成エネルギーであり、式4より算出される。

#### 【0491】

##### 【数3】

$$\varepsilon(q/q') = \frac{\Delta E(D^q) - \Delta E(D^{q'})}{q' - q}$$

10

#### 【0492】

##### 【数4】

$$\Delta E(D^q) = E_{tot}(D^q) - E_{tot}(bulk) + \sum_i \Delta n_i \mu_i + q(\varepsilon_{VBM} + \Delta V_q + E_F)$$

#### 【0493】

式3および式4において、E<sub>tot</sub>(D<sup>q</sup>)は欠陥Dを含むモデルの電荷qにおける全エネルギー、E<sub>tot</sub>(bulk)は欠陥のないモデル（完全結晶）の全エネルギー、n<sub>i</sub>は欠陥に関する原子iの増減数、μ<sub>i</sub>は原子iの化学ポテンシャル、V<sub>VBM</sub>は欠陥のないモデルにおける価電子帯上端のエネルギー、V<sub>q</sub>は静電ポテンシャルに関する補正項、E<sub>F</sub>はフェルミエネルギーである。

20

#### 【0494】

算出したV<sub>H</sub>の遷移レベルを図45に示す。図45中の数値は伝導帯下端からの深さである。図45より、酸素サイト1に対するV<sub>H</sub>の遷移レベルは伝導帯下端の下0.05eVに存在し、酸素サイト2に対するV<sub>H</sub>の遷移レベルは伝導帯下端の下0.11eVに存在するため、それぞれのV<sub>H</sub>は電子トラップに関与すると考えられる。すなわち、V<sub>H</sub>はドナーとして振る舞うことが明らかになった。また、V<sub>H</sub>を有するIGZOは導電性を有することが明らかになった。

#### 【0495】

30

なお、本実施の形態は、本明細書で示す他の実施の形態適宜組み合わせることができる。

#### 【0496】

（実施の形態13）

<成膜モデル>

以下では、CACC-O<sub>S</sub>およびn<sub>c</sub>-O<sub>S</sub>の成膜モデルについて説明する。

#### 【0497】

図46(A)は、スパッタ法によりCACC-O<sub>S</sub>が成膜される様子を示した成膜室内的模式図である。

#### 【0498】

40

ターゲット5130は、バッキングプレート上に接着されている。ターゲット5130およびバッキングプレート下には、複数のマグネットが配置される。該複数のマグネットによって、ターゲット5130上には磁場が生じている。マグネットの磁場を利用して成膜速度を高めるスパッタ法は、マグネットロンスパッタ法と呼ばれる。

#### 【0499】

ターゲット5130は、多結晶構造を有し、いずれかの結晶粒には劈開面が含まれる。なお、劈開面の詳細については後述する。

#### 【0500】

基板5120は、ターゲット5130と向かい合うように配置しており、その距離d（ターゲット-基板間距離（T-S間距離）ともいう。）は0.01m以上1m以下、好みくは0.02m以上0.5m以下とする。成膜室内は、ほとんどが成膜ガス（例えば、酸

50

素、アルゴン、または酸素を50体積%以上の割合で含む混合ガス)で満たされ、0.01Pa以上100Pa以下、好ましくは0.1Pa以上10Pa以下に制御される。ここで、ターゲット5130に一定以上の電圧を印加することで、放電が始まり、プラズマが確認される。なお、ターゲット5130上の磁場によって、高密度プラズマ領域が形成される。高密度プラズマ領域では、成膜ガスがイオン化することで、イオン5101が生じる。イオン5101は、例えば、酸素の陽イオン(O<sup>+</sup>)やアルゴンの陽イオン(Ar<sup>+</sup>)などである。

#### 【0501】

イオン5101は、電界によってターゲット5130側に加速され、やがてターゲット5130と衝突する。このとき、劈開面から平板状またはペレット状のスパッタ粒子であるペレット5100aおよびペレット5100bが剥離し、叩き出される。なお、ペレット5100aおよびペレット5100bは、イオン5101の衝突の衝撃によって、構造に歪みが生じる場合がある。

#### 【0502】

ペレット5100aは、三角形、例えば正三角形の平面を有する平板状またはペレット状のスパッタ粒子である。また、ペレット5100bは、六角形、例えば正六角形の平面を有する平板状またはペレット状のスパッタ粒子である。なお、ペレット5100aおよびペレット5100bなどの平板状またはペレット状のスパッタ粒子を総称してペレット5100と呼ぶ。ペレット5100の平面の形状は、三角形、六角形に限定されない、例えば、三角形が2個以上6個以下合わさった形状となる場合がある。例えば、三角形(正三角形)が2個合わさった四角形(ひし形)となる場合もある。

#### 【0503】

ペレット5100は、成膜ガスの種類などに応じて厚さが決定する。理由は後述するが、ペレット5100の厚さは、均一にすることが好ましい。また、スパッタ粒子は厚みのないペレット状である方が、厚みのあるサイコロ状であるよりも好ましい。

#### 【0504】

ペレット5100は、プラズマを通過する際に電荷を受け取ることで、側面が負または正に帯電する場合がある。ペレット5100は、側面に酸素原子を有し、当該酸素原子が負に帯電する可能性がある。例えば、ペレット5100aが、側面に負に帯電した酸素原子を有する例を図48に示す。このように、側面が同じ極性の電荷を帯びることにより、電荷同士の反発が起こり、平板状の形状を維持することが可能となる。なお、CAC-O-Sが、In-Ga-Zn酸化物である場合、インジウム原子と結合した酸素原子が負に帯電する可能性がある。または、インジウム原子、ガリウム原子または亜鉛原子と結合した酸素原子が負に帯電する可能性がある。

#### 【0505】

図46(A)に示すように、例えば、ペレット5100は、プラズマ中を凧のように飛翔し、ひらひらと基板5120上まで舞い上がっていく。ペレット5100は電荷を帯びているため、ほかのペレット5100が既に堆積している領域が近づくと、斥力が生じる。ここで、基板5120の上面では、基板5120の上面に平行な向きの磁場が生じている。また、基板5120およびターゲット5130間に、電位差が与えられているため、基板5120からターゲット5130に向けて電流が流れている。したがって、ペレット5100は、基板5120の上面において、磁場および電流の作用によって、力(ローレンツ力)を受ける(図49参照。)。このことは、フレミングの左手の法則によって理解できる。なお、ペレット5100に与える力を大きくするためには、基板5120の上面において、基板5120の上面に平行な向きの磁場が10G以上、好ましくは20G以上、さらに好ましくは30G以上、より好ましくは50G以上となる領域を設けるとよい。または、基板5120の上面において、基板5120の上面に平行な向きの磁場が、基板5120の上面に垂直な向きの磁場の1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上、より好ましくは5倍以上となる領域を設けるとよい。

#### 【0506】

10

20

30

40

50

また、基板 5120 は加熱されており、ペレット 5100 と基板 5120との間で摩擦などの抵抗が小さい状態となっている。その結果、図 50 (A) に示すように、ペレット 5100 は、基板 5120 の上面を滑空するように移動する。ペレット 5100 の移動は、平板面を基板 5120 に向けた状態で起こる。その後、図 50 (B) に示すように、既に堆積しているほかのペレット 5100 の側面まで到達すると、側面同士が結合する。このとき、ペレット 5100 の側面にある酸素原子が脱離する。脱離した酸素原子によって、CACOS 中の酸素欠損が埋まる場合があるため、欠陥準位密度の低いCACOS となる。

#### 【0507】

また、ペレット 5100 が基板 5120 上で加熱されることにより、原子が再配列し、イオン 5101 の衝突で生じた構造の歪みが緩和される。歪みの緩和されたペレット 5100 は、ほぼ単結晶となる。ペレット 5100 がほぼ単結晶となることにより、ペレット 5100 同士が結合した後に加熱されたとしても、ペレット 5100 自体の伸縮はほとんど起こり得ない。したがって、ペレット 5100 間の隙間が広がることで結晶粒界などの欠陥を形成し、クレバス化することがない。また、隙間には、伸縮性のある金属原子などが敷き詰められ、向きのずれたペレット 5100 同士の側面を高速道路のように繋いでいると考えられる。

#### 【0508】

以上のようなモデルにより、ペレット 5100 が基板 5120 上に堆積していくと考えられる。したがって、エピタキシャル成長とは異なり、被形成面が結晶構造を有さない場合においても、CACOS の成膜が可能であることがわかる。例えば、基板 5120 の上面（被形成面）の構造が非晶質構造であっても、CACOS を成膜することは可能である。

#### 【0509】

また、CACOS は、平坦面に対してだけでなく、被形成面である基板 5120 の上面に凹凸がある場合でも、その形状に沿ってペレット 5100 が配列することがわかる。例えば、基板 5120 の上面が原子レベルで平坦な場合、ペレット 5100 は ab 面と平行な平面である平板面を下に向けて並置するため、厚さが均一で平坦、かつ高い結晶性を有する層が形成される。そして、当該層が n 段（n は自然数。）積み重なることで、CACOS を得ることができる（図 46 (B) 参照。）。

#### 【0510】

一方、基板 5120 の上面が凹凸を有する場合でも、CACOS は、ペレット 5100 が凸面に沿って並置した層が n 段（n は自然数。）積み重なった構造となる。基板 5120 が凹凸を有するため、CACOS は、ペレット 5100 間に隙間が生じやすい場合がある。ただし、ペレット 5100 間で分子間力が働き、凹凸があってもペレット間の隙間はなるべく小さくなるように配列する。したがって、凹凸があっても高い結晶性を有するCACOS とすることができる（図 46 (C) 参照。）。

#### 【0511】

したがって、CACOS は、レーザ結晶化が不要であり、大面積のガラス基板などであっても均一な成膜が可能である。

#### 【0512】

このようなモデルによって CACOS が成膜されるため、スパッタ粒子が厚みのないペレット状である方が好ましい。なお、スパッタ粒子が厚みのあるサイコロ状である場合、基板 5120 上に向ける面が一定とならず、厚さや結晶の配向を均一にできない場合がある。

#### 【0513】

以上に示した成膜モデルにより、非晶質構造を有する被形成面上であっても、高い結晶性を有するCACOSを得ることができる。

#### 【0514】

また、CACOS は、ペレット 5100 のほかに酸化亜鉛粒子を有する成膜モデルに

10

20

30

40

50

よっても説明することができる。

**【0515】**

酸化亜鉛粒子は、ペレット5100よりも質量が小さいため、先に基板5120に到達する。基板5120の上面において、酸化亜鉛粒子は、水平方向に優先的に結晶成長することで薄い酸化亜鉛層を形成する。該酸化亜鉛層は、c軸配向性を有する。なお、該酸化亜鉛層の結晶のc軸は、基板5120の法線ベクトルに平行な方向を向く。該酸化亜鉛層は、CAC-OSを成長させるためのシード層の役割を果たすため、CAC-OSの結晶性を高める機能を有する。なお、該酸化亜鉛層は、厚さが0.1nm以上5nm以下、ほとんどが1nm以上3nm以下となる。該酸化亜鉛層は十分薄いため、結晶粒界をほとんど確認することができない。

10

**【0516】**

したがって、結晶性の高いCAC-OSを成膜するためには、化学量論的組成よりも高い割合で亜鉛を含むターゲットを用いることが好ましい。

**【0517】**

同様に、nc-OSは、図47に示す成膜モデルによって理解することができる。なお、図47と図46(A)との違いは、基板5120の加熱の有無のみである。

**【0518】**

したがって、基板5120は加熱されておらず、ペレット5100と基板5120との間で摩擦などの抵抗が大きい状態となっている。その結果、ペレット5100は、基板5120の上面を滑空するように移動することができないため、不規則に降り積もっていくことでnc-OSを得ることができる。

20

**【0519】**

<劈開面>

以下では、CAC-OSの成膜モデルにおいて記載のターゲットの劈開面について説明する。

**【0520】**

まずは、ターゲットの劈開面について図51を用いて説明する。図51に、InGaZnO<sub>4</sub>の結晶の構造を示す。なお、図51(A)は、c軸を上向きとし、b軸に平行な方向からInGaZnO<sub>4</sub>の結晶を観察した場合の構造を示す。また、図51(B)は、c軸に平行な方向からInGaZnO<sub>4</sub>の結晶を観察した場合の構造を示す。

30

**【0521】**

InGaZnO<sub>4</sub>の結晶の各結晶面における劈開に必要なエネルギーを、第一原理計算により算出する。なお、計算には、擬ポテンシャルと、平面波基底を用いた密度汎関数プログラム(CASTEP)を用いる。なお、擬ポテンシャルには、ウルトラソフト型の擬ポテンシャルを用いる。また、汎関数には、GGA-PBEを用いる。また、カットオフエネルギーは400eVとする。

**【0522】**

初期状態における構造のエネルギーは、セルサイズを含めた構造最適化を行った後に導出する。また、各面で劈開後の構造のエネルギーは、セルサイズを固定した状態で、原子配置の構造最適化を行った後に導出する。

40

**【0523】**

図51に示したInGaZnO<sub>4</sub>の結晶の構造をもとに、第1の面、第2の面、第3の面、第4の面のいずれかで劈開した構造を作製し、セルサイズを固定した構造最適化計算を行う。ここで、第1の面は、Ga-Zn-O層とIn-O層との間の結晶面であり、(001)面(またはab面)に平行な結晶面である(図51(A)参照。)。第2の面は、Ga-Zn-O層とGa-Zn-O層との間の結晶面であり、(001)面(またはab面)に平行な結晶面である(図51(A)参照。)。第3の面は、(110)面に平行な結晶面である(図51(B)参照。)。第4の面は、(100)面(またはbc面)に平行な結晶面である(図51(B)参照。)。

**【0524】**

50

以上のような条件で、各面で劈開後の構造のエネルギーを算出する。次に、劈開後の構造のエネルギーと初期状態における構造のエネルギーとの差を、劈開面の面積で除すことでの、各面における劈開しやすさの尺度である劈開エネルギーを算出する。なお、構造のエネルギーは、構造に含まれる原子と電子に対して、電子の運動エネルギーと、原子間、原子-電子間、および電子間の相互作用と、を考慮したエネルギーである。

#### 【0525】

計算の結果、第1の面の劈開エネルギーは $2.60\text{ J/m}^2$ 、第2の面の劈開エネルギーは $0.68\text{ J/m}^2$ 、第3の面の劈開エネルギーは $2.18\text{ J/m}^2$ 、第4の面の劈開エネルギーは $2.12\text{ J/m}^2$ であることがわかった（下表参照。）。

#### 【0526】

【表4】

	劈開エネルギー [J/m <sup>2</sup> ]
第1の面	2.60
第2の面	0.68
第3の面	2.18
第4の面	2.12

#### 【0527】

この計算により、図51に示した $\text{InGaZnO}_4$ の結晶の構造において、第2の面における劈開エネルギーが最も低くなる。即ち、 $\text{Ga-Zn-O}$ 層と $\text{Ga-Zn-O}$ 層との間が最も劈開しやすい面（劈開面）であることがわかる。したがって、本明細書において、劈開面と記載する場合、最も劈開しやすい面である第2の面のことを示す。

#### 【0528】

$\text{Ga-Zn-O}$ 層と $\text{Ga-Zn-O}$ 層との間である第2の面に劈開面を有するため、図51(A)に示す $\text{InGaZnO}_4$ の結晶は、二つの第2の面と等価な面で分離することができる。したがって、ターゲットにイオンなどを衝突させる場合、もっとも劈開エネルギーの低い面で劈開したウェハース状のユニット（我々はこれをペレットと呼ぶ。）が最小単位となって飛び出してくると考えられる。その場合、 $\text{InGaZnO}_4$ のペレットは、 $\text{Ga-Zn-O}$ 層、 $\text{In-O}$ 層および $\text{Ga-Zn-O}$ 層の3層となる。

#### 【0529】

また、第1の面（ $\text{Ga-Zn-O}$ 層と $\text{In-O}$ 層との間の結晶面であり、(001)面（またはab面）に平行な結晶面）よりも、第3の面（110）面に平行な結晶面）、第4の面（(100)面（またはbc面）に平行な結晶面）の劈開エネルギーが低いことから、ペレットの平面形状は三角形状または六角形状が多いことが示唆される。

#### 【0530】

次に、古典分子動力学計算により、ターゲットとしてホモロガス構造を有する $\text{InGaZnO}_4$ の結晶を仮定し、当該ターゲットをアルゴン(Ar)または酸素(O)によりスパッタした場合の劈開面について評価する。計算に用いた $\text{InGaZnO}_4$ の結晶(2688原子)の断面構造を図52(A)に、上面構造を図52(B)に示す。なお、図52(A)に示す固定層は、位置が変動しないよう原子の配置を固定した層である。また、図52(A)に示す温度制御層は、常に一定の温度(300K)とした層である。

#### 【0531】

古典分子動力学計算には、富士通株式会社製Materials Explorer 5.0を用いる。なお、初期温度を300K、セルサイズを一定、時間刻み幅を0.01フェムト秒、ステップ数を1000万回とする。計算では、当該条件のもと、原子に300eVのエネルギーを与え、 $\text{InGaZnO}_4$ の結晶のab面に垂直な方向からセルに原子を入射させる。

#### 【0532】

10

20

30

40

50

図53(A)は、図52に示したInGaZnO<sub>4</sub>の結晶を有するセルにアルゴンが入射してから99.9ピコ秒(psec)後の原子配列を示す。また、図53(B)は、セルに酸素が入射してから99.9ピコ秒後の原子配列を示す。なお、図53では、図52(A)に示した固定層の一部を省略して示す。

#### 【0533】

図53(A)より、アルゴンがセルに入射してから99.9ピコ秒までに、図51(A)に示した第2の面に対応する劈開面から亀裂が生じる。したがって、InGaZnO<sub>4</sub>の結晶に、アルゴンが衝突した場合、最上面を第2の面(0番目)とすると、第2の面(2番目)に大きな亀裂が生じることがわかる。

#### 【0534】

一方、図53(B)より、酸素がセルに入射してから99.9ピコ秒までに、図51(A)に示した第2の面に対応する劈開面から亀裂が生じることがわかる。ただし、酸素が衝突した場合は、InGaZnO<sub>4</sub>の結晶の第2の面(1番目)において大きな亀裂が生じることがわかる。

10

#### 【0535】

したがって、ホモロガス構造を有するInGaZnO<sub>4</sub>の結晶を含むターゲットの上面から原子(イオン)が衝突すると、InGaZnO<sub>4</sub>の結晶は第2の面に沿って劈開し、平板状の粒子(ペレット)が剥離することがわかる。また、このとき、ペレットの大きさは、アルゴンを衝突させた場合よりも、酸素を衝突させた場合の方が小さくなることがわかる。

20

#### 【0536】

なお、上述の計算から、剥離したペレットは損傷領域を含むことが示唆される。ペレットに含まれる損傷領域は、損傷によって生じた欠陥に酸素を反応させることで修復できる場合がある。

#### 【0537】

そこで、衝突させる原子の違いによって、ペレットの大きさが異なることについて調査する。

#### 【0538】

図54(A)に、図52に示したInGaZnO<sub>4</sub>の結晶を有するセルにアルゴンが入射した後、0ピコ秒から0.3ピコ秒までにおける各原子の軌跡を示す。したがって、図54(A)は、図52から図53(A)の間の期間に対応する。

30

#### 【0539】

図54(A)より、アルゴンが第1層(Ga-Zn-O層)のガリウム(Ga)と衝突すると、当該ガリウムが第3層(Ga-Zn-O層)の亜鉛(Zn)と衝突した後、当該亜鉛が第6層(Ga-Zn-O層)の近傍まで到達することがわかる。なお、ガリウムと衝突したアルゴンは、外に弾き飛ばされる。したがって、InGaZnO<sub>4</sub>の結晶を含むターゲットにアルゴンを衝突させた場合、図52(A)における第2の面(2番目)に亀裂が入ると考えられる。

#### 【0540】

また、図54(B)に、図52に示したInGaZnO<sub>4</sub>の結晶を有するセルに酸素が入射した後、0ピコ秒から0.3ピコ秒までにおける各原子の軌跡を示す。したがって、図54(B)は、図52から図53(A)の間の期間に対応する。

40

#### 【0541】

一方、図54(B)より、酸素が第1層(Ga-Zn-O層)のガリウム(Ga)と衝突すると、当該ガリウムが第3層(Ga-Zn-O層)の亜鉛(Zn)と衝突した後、当該亜鉛が第5層(In-O層)まで到達しないことがわかる。なお、ガリウムと衝突した酸素は、外に弾き飛ばされる。したがって、InGaZnO<sub>4</sub>の結晶を含むターゲットに酸素を衝突させた場合、図52(A)における第2の面(1番目)に亀裂が入ると考えられる。

#### 【0542】

50

本計算からも、InGaZnO<sub>4</sub>の結晶は、原子（イオン）が衝突した場合、劈開面から剥離することが示唆される。

#### 【0543】

また、亀裂の深さの違いを保存則の観点から検討する。エネルギー保存則および運動量保存則は、数式5および数式6のように示すことができる。ここで、Eは衝突前のアルゴンまたは酸素の持つエネルギー（300eV）、m<sub>A</sub>はアルゴンまたは酸素の質量、v<sub>A</sub>は衝突前のアルゴンまたは酸素の速度、v'<sub>A</sub>は衝突後のアルゴンまたは酸素の速度、m<sub>Ga</sub>はガリウムの質量、v<sub>Ga</sub>は衝突前のガリウムの速度、v'<sub>Ga</sub>は衝突後のガリウムの速度である。

#### 【0544】

#### 【数5】

$$E = \frac{1}{2} m_A v_A^2 + \frac{1}{2} m_{Ga} v_{Ga}^2$$

#### 【0545】

#### 【数6】

$$m_A v_A + m_{Ga} v_{Ga} = m_A v'_A + m_{Ga} v'_{Ga}$$

10

20

#### 【0546】

アルゴンまたは酸素の衝突が弾性衝突であると仮定すると、v<sub>A</sub>、v'<sub>A</sub>、v'<sub>Ga</sub>およびv'<sub>Ga</sub>の関係は数式7のように表すことができる。

#### 【0547】

#### 【数7】

$$v'_A - v'_{Ga} = -(v_A - v_{Ga})$$

#### 【0548】

数式5、数式6および数式7より、v'<sub>Ga</sub>を0とすると、アルゴンまたは酸素が衝突した後ガリウムの速度v'<sub>Ga</sub>は、数式8のように表すことができる。

30

#### 【0549】

#### 【数8】

$$v'_{Ga} = \frac{\sqrt{m_A}}{m_A + m_{Ga}} \cdot 2\sqrt{2E}$$

#### 【0550】

数式8において、m<sub>A</sub>にアルゴンの質量または酸素の質量を代入し、それぞれの原子が衝突した後ガリウムの速度を比較する。アルゴンおよび酸素の衝突前に持つエネルギーが同じである場合、アルゴンが衝突した場合の方が、酸素が衝突した場合よりも1.24倍ガリウムの速度が高いことがわかる。したがって、ガリウムの持つエネルギーもアルゴンが衝突した場合の方が、酸素が衝突した場合よりも速度の二乗分だけ高くなる。

40

#### 【0551】

アルゴンを衝突させた場合の方が、酸素を衝突させた場合よりも、衝突後のガリウムの速度（エネルギー）が高くなることがわかる。したがって、アルゴンを衝突させた場合の方が、酸素を衝突させた場合よりも深い位置に亀裂が生じたと考えられる。

#### 【0552】

以上の計算により、ホモロガス構造を有するInGaZnO<sub>4</sub>の結晶を含むターゲットをスパッタすると、劈開面から剥離し、ペレットが形成されることがわかる。一方、劈開面

50

を有さないターゲットの他の構造の領域をスパッタしてもペレットは形成されず、ペレットよりも微細な原子レベルの大きさのスパッタ粒子が形成される。該スパッタ粒子は、ペレットと比べて小さいため、スパッタ装置に接続されている真空ポンプを介して排気されると考えられる。したがって、ホモロガス構造を有する  $InGaZnO_4$  の結晶を含むターゲットをスパッタした場合、様々な大きさ、形状の粒子が基板まで飛翔し、堆積することで成膜されるモデルは考えにくい。スパッタされたペレットが堆積して CAAc - OS を成膜する図 46 (A) などに記載のモデルが道理に適っている。

#### 【0553】

このようにして成膜された CAAc - OS の密度は、単結晶 OS と同程度の密度を有する。例えは、 $InGaZnO_4$  のホモロガス構造を有する単結晶 OS の密度は  $6.36\text{ g/cm}^3$  であるのに対し、同程度の原子数比である CAAc - OS の密度は  $6.3\text{ g/cm}^3$  程度となる。

10

#### 【0554】

図 55 に、スパッタ法で成膜した CAAc - OS である  $In-Ga-Zn$  酸化物（図 55 (A) 参照。）、およびそのターゲット（図 55 (B) 参照。）の断面における原子配列を示す。原子配列の観察には、高角散乱環状暗視野走査透過電子顕微鏡法 (HAADF-STEM: High-Angle Annular Dark Field Scanning Transmission Electron Microscopy) を用いる。なお、HAADF-STEM では、各原子の像強度は原子番号の二乗に比例する。したがって、原子番号の近い Zn (原子番号 30) と Ga (原子番号 31) とは、ほとんど区別できない。HAADF-STEM には、日立走査透過電子顕微鏡 HD-2700 を用いる。

20

#### 【0555】

図 55 (A) および図 55 (B) を比較すると、CAAc - OS と、ターゲットは、ともにホモロガス構造を有しており、それぞれの原子の配置が対応していることがわかる。したがって、図 46 (A) などの成膜モデルに示したように、ターゲットの結晶構造が転写されることで CAAc - OS が成膜されることがわかる。

#### 【0556】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

30

#### 【0557】

##### (実施の形態 14)

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的には DVD: Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリント複合機、現金自動預け入れ払い機 (ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図 56 に示す。

40

#### 【0558】

図 56 (A) は携帯型ゲーム機であり、筐体 901、筐体 902、表示部 903、表示部 904、マイクロフォン 905、スピーカー 906、操作キー 907、スタイルス 908 等を有する。なお、図 56 (A) に示した携帯型ゲーム機は、2つの表示部 903 と表示部 904 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

#### 【0559】

図 56 (B) は携帯データ端末であり、第 1 筐体 911、第 2 筐体 912、第 1 表示部 9

50

13、第2表示部914、接続部915、操作キー916等を有する。第1表示部913は第1筐体911に設けられており、第2表示部914は第2筐体912に設けられている。そして、第1筐体911と第2筐体912とは、接続部915により接続されており、第1筐体911と第2筐体912の間の角度は、接続部915により変更が可能である。第1表示部913における映像を、接続部915における第1筐体911と第2筐体912との間の角度に従って、切り替える構成としても良い。また、第1表示部913および第2表示部914の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。10

#### 【0560】

図56(C)はノート型パーソナルコンピュータであり、筐体921、表示部922、キーボード923、ポインティングデバイス924等を有する。

#### 【0561】

図56(D)は腕時計型の情報端末であり、筐体931、表示部932、リストバンド933等を有する。表示部932はタッチパネルとなっていてもよい。

#### 【0562】

図56(E)はビデオカメラであり、第1筐体941、第2筐体942、表示部943、操作キー944、レンズ945、接続部946等を有する。操作キー944およびレンズ945は第1筐体941に設けられており、表示部943は第2筐体942に設けられている。そして、第1筐体941と第2筐体942とは、接続部946により接続されており、第1筐体941と第2筐体942の間の角度は、接続部946により変更が可能である。表示部943における映像を、接続部946における第1筐体941と第2筐体942との間の角度に従って切り替える構成としても良い。20

#### 【0563】

図56(F)は普通自動車であり、車体951、車輪952、ダッシュボード953、ライト954等を有する。

#### 【0564】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる30。

#### 【0565】

##### (実施の形態15)

本実施の形態では、本発明の一態様に係るRFタグの使用例について図57を用いながら説明する。RFタグの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類(運転免許証や住民票等、図57(A))、乗り物類(自転車等、図57(B)参照)、包装用容器類(包装紙やボトル等、図57(C)参照)、記録媒体(DVD(図57(D)参照)やビデオテープ等)、身の回り品(鞄や眼鏡等)、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器(液晶表示装置、EL表示装置、テレビジョン装置、または携帯電話)等の物品、若しくは各物品に取り付ける荷札(図57(E)、(F)参照)等に設けて使用することができる。40

#### 【0566】

本発明の一態様に係るRFタグ4000は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係るRFタグ4000は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等に本発明の一態様に係るRFタグ4000を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一50

態様に係る R F タグを取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係る R F タグを取り付けることにより、盗難などに対するセキュリティ性を高めることができる。

#### 【 0 5 6 7 】

以上のように、本発明の一態様に係わる R F タグを本実施の形態に挙げた各用途に用いることにより、情報の書き込みや読み出しを含む動作電力を低減できるため、最大通信距離を長くとることが可能となる。また、電力が遮断された状態であっても情報を極めて長い期間保持可能であるため、書き込みや読み出しの頻度が低い用途にも好適に用いることができる。

#### 【 0 5 6 8 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

#### 【 0 5 6 9 】

##### ( 実施の形態 1 6 )

ここでは、先の実施の形態に示すトランジスタの変形例について、図 6 6 乃至図 6 8 を用いて説明する。図 6 6 に示すトランジスタは、基板 8 2 1 上の絶縁層 8 2 4 上に形成された酸化物半導体層 8 2 8 と、酸化物半導体層 8 2 8 に接する絶縁層 8 3 7 と、絶縁層 8 3 7 と接し且つ酸化物半導体層 8 2 8 と重畠する導電層 8 4 0 と、を有する。なお、絶縁層 8 3 7 は、ゲート絶縁膜としての機能を有する。また、導電層 8 4 0 は、ゲート電極層としての機能を有する。

#### 【 0 5 7 0 】

また、酸化物半導体層 8 2 8 に接する絶縁層 8 4 6 、および絶縁層 8 4 6 に接する絶縁層 8 4 7 が、トランジスタに設けられている。また、絶縁層 8 4 6 および絶縁層 8 4 7 の開口部において、酸化物半導体層 8 2 8 と接する導電層 8 5 6 、 8 5 7 が、トランジスタに設けられている。なお、導電層 8 5 6 、 8 5 7 は、ソース電極層およびドレイン電極層としての機能を有する。

#### 【 0 5 7 1 】

なお、本実施の形態に示すトランジスタの構成、並び該構成に接する導電層および絶縁層は、先の実施の形態に示すトランジスタの構成、並びに該構成に接する導電層および絶縁層を適宜用いることができる。

#### 【 0 5 7 2 】

図 6 6 ( A ) に示すトランジスタにおいて、酸化物半導体層 8 2 8 は、導電層 8 4 0 と重なる領域に形成される領域 8 2 8 a と、領域 8 2 8 a を挟み、且つ不純物元素を含む領域 8 2 8 b 、 8 2 8 c とを有する。また、導電層 8 5 6 、 8 5 7 は、領域 8 2 8 b 、 8 2 8 c と接する。領域 8 2 8 a はチャネル領域として機能する。領域 8 2 8 b 、 8 2 8 c は、領域 8 2 8 a と比較して、抵抗率が低く、低抵抗領域ということができる。また、領域 8 2 8 b 、 8 2 8 c は、ソース領域およびドレイン領域として機能する。

#### 【 0 5 7 3 】

または、図 6 6 ( B ) に示すトランジスタのように、酸化物半導体層 8 2 8 において、導電層 8 5 6 、 8 5 7 と接する領域 8 2 8 d 、 8 2 8 e に、不純物元素が添加されていないともよい。この場合、導電層 8 5 6 、 8 5 7 と接する領域 8 2 8 d 、 8 2 8 e と領域 8 2 8 a との間に、不純物元素を有する領域 8 2 8 b 、 8 2 8 c を有する。なお、領域 8 2 8 d 、 8 2 8 e は、導電層 8 5 6 、 8 5 7 に電圧が印加されると導電性を有するため、ソース領域およびドレイン領域としての機能を有する。

#### 【 0 5 7 4 】

なお、図 6 6 ( B ) に示すトランジスタは、導電層 8 5 6 、 8 5 7 を形成した後、導電層 8 4 0 および導電層 8 5 6 、 8 5 7 をマスクとして、不純物元素を酸化物半導体層に添加することで、形成できる。

#### 【 0 5 7 5 】

導電層 8 4 0 において、導電層 8 4 0 の端部がテーパ形状であってもよい。即ち、絶縁層

10

20

30

40

50

837および導電層840が接する面と、導電層840の側面となす角度<sub>1</sub>が、90°未満、または10°以上85°以下、または15°以上85°以下、または30°以上85°以下、または45°以上85°以下、または60°以上85°以下であってもよい。角度<sub>1</sub>を、90°未満、または10°以上85°以下、または15°以上85°以下、または30°以上85°以下、または45°以上85°以下、または60°以上85°以下とすることで、絶縁層837および導電層840の側面における絶縁層846の被覆性を高めることが可能である。

#### 【0576】

次に、領域828b、828cの変形例について説明する。なお、図66(C)乃至図66(F)は、図66(A)に示す酸化物半導体層828の近傍の拡大図である。ここでは<sub>10</sub>、チャネル長Lは、一対の不純物元素を含む領域の間隔である。

#### 【0577】

図66(C)に示すように、チャネル長方向の断面形状において、領域828aおよび領域828b、828cの境界が、絶縁層837を介して、導電層840の端部と、一致または略一致している。即ち、上面形状において、領域828aおよび領域828b、828cの境界が、導電層840の端部と、一致または概略一致している。

#### 【0578】

または、図66(D)に示すように、チャネル長方向の断面形状において、領域828aが、導電層840の端部と重ならない領域を有する。該領域はオフセット領域としての機能を有する。チャネル長方向におけるオフセット領域の長さをL<sub>off</sub>と示す。なお、オ<sub>20</sub>フセット領域が複数ある場合は、一つのオフセット領域の長さをL<sub>off</sub>という。L<sub>off</sub>は、チャネル長Lに含まれる。また、L<sub>off</sub>は、チャネル長Lの20%未満、または10%未満、または5%未満、または2%未満である。

#### 【0579】

または、図66(E)に示すように、チャネル長方向の断面形状において、領域828b、828cが、絶縁層837を介して、導電層840と重なる領域を有する。該領域はオーバーラップ領域としての機能を有する。チャネル長方向におけるオーバーラップ領域の長さをL<sub>ov</sub>と示す。L<sub>ov</sub>は、チャネル長Lの20%未満、または10%未満、または5%未満、または2%未満である。

#### 【0580】

または、図66(F)に示すように、チャネル長方向の断面形状において、領域828aと領域828bの間に領域828fを有し、領域828aと領域828cの間に領域828gを有する。領域828f、828gは、領域828b、828cより不純物元素の濃度が低く、抵抗率が高い。ここでは、領域828f、828gは、絶縁層837と重なるが、絶縁層837および導電層840と重なってもよい。

#### 【0581】

なお、図66(C)乃至図66(F)においては、図66(A)に示すトランジスタの説明をしたが、図66(B)に示すトランジスタにおいても、図66(C)乃至図66(F)の構造を適宜適用することができる。

#### 【0582】

図67(A)に示すトランジスタは、絶縁層837の端部が、導電層840の端部より外側に位置する。即ち、絶縁層837が、導電層840から迫り出した形状を有する。領域828aから絶縁層846を遠ざけることが可能であるため、絶縁層846に含まれる窒素、水素等が、チャネル領域として機能する領域828aに入り込むのを抑制することができる。

#### 【0583】

図67(B)に示すトランジスタは、絶縁層837および導電層840がテーパ形状であり、且つそれぞれのテーパ部の角度が異なる。即ち、絶縁層837および導電層840が接する面と、導電層840の側面のなす角度<sub>1</sub>と、酸化物半導体層828および絶縁層837が接する面と、導電層840の側面のなす角度<sub>2</sub>との角度が異なる。角度<sub>2</sub>は<sub>40</sub>

、90°未満、または30°以上85°以下、または45°以上70°以下であってもよい。例えば、角度2が角度1より小さいと、絶縁層846の被覆性が高まる。また、角度2が角度1より大きいと、領域828aから絶縁層846を遠ざけることが可能であるため、絶縁層846に含まれる窒素、水素等が、チャネル領域として機能する領域828aに入り込むのを抑制することができる。

#### 【0584】

次に、領域828b、828cの変形例について、図67(C)乃至図67(F)を用いて説明する。なお、図67(C)乃至図67(F)は、図67(A)に示す酸化物半導体層828の近傍の拡大図である。

#### 【0585】

図67(C)に示すように、チャネル長方向の断面形状において、領域828aおよび領域828b、828cの境界が、導電層840の端部と、絶縁層837を介して、一致または概略一致している。即ち、上面形状において、領域828aおよび領域828b、828cの境界が、導電層840の端部と、一致若しくは略一致している。

#### 【0586】

または、図67(D)に示すように、チャネル長方向の断面形状において、領域828aが、導電層840と重ならない領域を有する。該領域はオフセット領域としての機能を有する。即ち、上面形状において、領域828b、828cの端部が、絶縁層837の端部と、一致または略一致しており、導電層840の端部と重ならない。

#### 【0587】

または、図67(E)に示すように、チャネル長方向の断面形状において、領域828b、828cが、絶縁層837を介して、導電層840と重なる領域を有する。該領域をオーバーラップ領域という。即ち、上面形状において、領域828b、828cの端部が、導電層840と重なる。

#### 【0588】

または、図67(F)に示すように、チャネル長方向の断面形状において、領域828aと領域828bの間に領域828fを有し、領域828aと領域828cの間に領域828gを有する。領域828f、828gは、領域828b、828cより不純物元素の濃度が低く、抵抗率が高い。ここでは、領域828f、828gは、絶縁層837と重なるが、絶縁層837および導電層840と重なってもよい。

#### 【0589】

なお、図67(C)乃至図67(F)においては、図67(A)に示すトランジスタの説明をしたが、図67(B)に示すトランジスタにおいても、図67(C)乃至図67(F)の構造を適宜適用することが可能である。

#### 【0590】

図68(A)に示すトランジスタは、導電層840が積層構造であり、絶縁層837と接する導電層840a、および導電層840aに接する導電層840bを有する。また、導電層840aの端部は、導電層840bの端部より外側に位置する。即ち、導電層840aが、導電層840bから迫り出した形状を有する。

#### 【0591】

次に、領域828b、828cの変形例について説明する。なお、図68(B)乃至図68(E)は、図68(A)に示す酸化物半導体層828の近傍の拡大図である。

#### 【0592】

図68(B)に示すように、チャネル長方向の断面形状において、領域828aおよび領域828b、828cの境界が、導電層840に含まれる導電層840aの端部と、絶縁層837を介して、一致または略一致している。即ち、上面形状において、領域828aおよび領域828b、828cの境界が、導電層840の端部と、一致または略一致している。

#### 【0593】

または、図68(C)に示すように、チャネル長方向の断面形状において、領域828a

10

20

30

40

50

が、導電層 840 と重ならない領域を有する。該領域はオフセット領域としての機能を有する。即ち、上面形状において、領域 828b、828c の端部が、絶縁層 837 の端部と、一致または略一致しており、導電層 840 の端部と重ならない。

#### 【0594】

または、図 68 (D) に示すように、チャネル長方向の断面形状において、領域 828b、828c が、導電層 840、ここでは導電層 840a と重なる領域を有する。該領域をオーバーラップ領域という。即ち、上面形状において、領域 828b、828c の端部が、導電層 840a と重なる。

#### 【0595】

または、図 68 (E) に示すように、チャネル長方向の断面形状において、領域 828a 10 と領域 828b の間に領域 828f を有し、領域 828a と領域 828c の間に領域 828g を有する。不純物元素は、導電層 840a を通過して領域 828f、828g に添加されるため、領域 828f、828g は、領域 828b、828c より不純物元素の濃度が低く、抵抗率が高い。なお、ここでは、領域 828f、828g は、導電層 840a と重なるが、導電層 840a および導電層 840b と重なってもよい。

#### 【0596】

なお、絶縁層 837 の端部が、導電層 840a の端部より外側に位置してもよい。

#### 【0597】

または、絶縁層 837 の側面は湾曲してもよい。

#### 【0598】

または、絶縁層 837 がテーパ形状であってもよい。即ち、酸化物半導体層 828 および絶縁層 837 が接する面と、絶縁層 837 の側面のなす角度が 90° 未満、好ましくは 30° 以上 90° 未満であってもよい。

#### 【0599】

図 68 に示すように、酸化物半導体層 828 が、領域 828b、828c より、不純物元素の濃度が低く、抵抗率が高い領域 828f、828g、828h、828i を有することで、ドレイン領域の電界緩和が可能である。そのため、ドレイン領域の電界に起因したトランジスタのしきい値電圧の変動などの劣化を低減することが可能である。

#### 【0600】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、および／または、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、または置き換えなどを行うことができる。

#### 【0601】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、または明細書に記載される文章を用いて述べる内容のことである。

#### 【0602】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、および／または、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることができる。

#### 【0603】

なお、明細書の中の図面や文章において規定されていない内容について、その内容を除くことを規定した発明の一態様を構成することができる。または、ある値について、上限値と下限値などで示される数値範囲が記載されている場合、その範囲を任意に狭めることで、または、その範囲の中の一点を除くことで、その範囲を一部除いた発明の一態様を規定することができる。これらにより、例えば、従来技術が本発明の一態様の技術的範囲内に入らないことを規定することができる。

#### 【0604】

具体例としては、ある回路において、第 1 乃至第 5 のトランジスタを用いている回路図が

10

20

30

40

50

記載されているとする。その場合、その回路が、第6のトランジスタを有していないことを発明として規定することが可能である。または、その回路が、容量素子を有していないことを規定することが可能である。さらに、その回路が、ある特定の接続構造をとっているような第6のトランジスタを有していない、と規定して発明を構成することができる。または、その回路が、ある特定の接続構造をとっている容量素子を有していない、と規定して発明を構成することができる。例えば、ゲートが第3のトランジスタのゲートと接続されている第6のトランジスタを有していない、と発明を規定することが可能である。または、例えば、第1の電極が第3のトランジスタのゲートと接続されている容量素子を有していない、と発明を規定することが可能である。

#### 【0605】

別の具体例としては、ある値について、例えば、「ある電圧が、3V以上10V以下であることが好適である」と記載されているとする。その場合、例えば、ある電圧が、-2V以上1V以下である場合を除く、と発明の一態様を規定することが可能である。または、例えば、ある電圧が、13V以上である場合を除く、と発明の一態様を規定することが可能である。なお、例えば、その電圧が、5V以上8V以下であると発明を規定することも可能である。なお、例えば、その電圧が、概略9Vであると発明を規定することも可能である。なお、例えば、その電圧が、3V以上10V以下であるが、9Vである場合を除くと発明を規定することも可能である。なお、ある値について、「このような範囲であることが好ましい」、「これらを満たすことが好適である」となどと記載されていたとしても、ある値は、それらの記載に限定されない。つまり、「好ましい」、「好適である」などと記載されていたとしても、必ずしも、それらの記載には、限定されない。

#### 【0606】

別の具体例としては、ある値について、例えば、「ある電圧が、10Vであることが好適である」と記載されているとする。その場合、例えば、ある電圧が、-2V以上1V以下である場合を除く、と発明の一態様を規定することが可能である。または、例えば、ある電圧が、13V以上である場合を除く、と発明の一態様を規定することが可能である。

#### 【0607】

別の具体例としては、ある物質の性質について、例えば、「ある膜は、絶縁膜である」と記載されているとする。その場合、例えば、その絶縁膜が、有機絶縁膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その絶縁膜が、無機絶縁膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その膜が、導電膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その膜が、半導体膜である場合を除く、と発明の一態様を規定することが可能である。

#### 【0608】

別の具体例としては、ある積層構造について、例えば、「A膜とB膜との間に、ある膜が設けられている」と記載されているとする。その場合、例えば、その膜が、4層以上の積層膜である場合を除く、と発明を規定することが可能である。または、例えば、A膜との膜との間に、導電膜が設けられている場合を除く、と発明を規定することが可能である。

#### 【0609】

なお、本明細書等において記載されている発明の一態様は、さまざまな人が実施することができる。しかしながら、その実施は、複数の人にまたがって実施される場合がある。例えば、送受信システムの場合において、A社が送信機を製造および販売し、B社が受信機を製造および販売する場合がある。別の例としては、TFTおよび発光素子を有する発光装置の場合において、TFTが形成された半導体装置は、A社が製造および販売する。そして、B社がその半導体装置を購入して、その半導体装置に発光素子を成膜して、発光装置として完成させる、という場合がある。

#### 【0610】

このような場合、A社またはB社のいずれに対しても、特許侵害を主張できるような発明

10

20

30

40

50

の一態様を、構成することができる。つまり、A社のみが実施するような発明の一態様を構成することが可能であり、別の発明の一態様として、B社のみが実施するような発明の一態様を構成することが可能である。また、A社またはB社に対して、特許侵害を主張できるような発明の一態様は、明確であり、本明細書等に記載されていると判断する事ができる。例えば、送受信システムの場合において、送信機のみの場合の記載や、受信機のみの場合の記載が本明細書等になかったとしても、送信機のみで発明の一態様を構成することができ、受信機のみで別の発明の一態様を構成することができ、それらの発明の一態様は、明確であり、本明細書等に記載されていると判断することができる。別の例としては、TFTおよび発光素子を有する発光装置の場合において、TFTが形成された半導体装置のみの場合の記載や、発光素子を有する発光装置のみの場合の記載が本明細書等になかったとしても、TFTが形成された半導体装置のみで発明の一態様を構成することができ、発光素子を有する発光装置のみで発明の一態様を構成することができ、それらの発明の一態様は、明確であり、本明細書等に記載されていると判断することができる。

#### 【0611】

なお、本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくとも、発明の一態様が明確であると言える。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先が複数のケース考えられる場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

#### 【0612】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であると言える。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくとも、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくとも、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

#### 【0613】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そして、その発明の一態様は明確であると言える。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、装置、動作方法、製造方法などが単数もしくは複数記載された図面または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。例えば、N個（Nは整数）の回路素子（トランジスタ、容量素子等）を有して構成される回路図から、M個（Mは整数で、M < N）の回路素子（トランジスタ、容量素子等）を抜き出して、発明の一態様を構成することは可能である。別の例としては、N個（Nは整数）の層を有して構成される断面図から、M個（Mは整数で、M < N）の層を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、N個（Nは整数）の要素を有して構成されるフローチャートから、M個（Mは整数で、M < N）の要素を抜き出して、発明の一態

10

20

30

40

50

様を構成することは可能である。さらに別の例としては、「Aは、B、C、D、E、または、Fを有する」と記載されている文章から、一部の要素を任意に抜き出して、「Aは、BとEとを有する」、「Aは、EとFとを有する」、「Aは、CとEとFとを有する」、または、「Aは、BとCとDとEとを有する」などの発明の一態様を構成することは可能である。

#### 【0614】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念を導き出すことは、当業者であれば容易に理解される。したがって、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発明の一態様は、明確であると言える。10

#### 【0615】

なお、本明細書等においては、少なくとも図に記載した内容（図の中の一部でもよい）は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。したがって、ある内容について、図に記載されていれば、文章を用いて述べていなくても、その内容は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。同様に、図の一部を取り出した図についても、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発明の一態様は明確であると言える。20

#### 【0616】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。。

#### 【符号の説明】

#### 【0617】

4 0	酸素イオン	
1 0 1	トランジスタ	
1 0 2	トランジスタ	
1 0 3	トランジスタ	
1 0 4	トランジスタ	<span style="float: right;">30</span>
1 0 5	トランジスタ	
1 0 6	トランジスタ	
1 0 7	トランジスタ	
1 0 8	トランジスタ	
1 0 9	トランジスタ	
1 1 0	トランジスタ	
1 1 1	トランジスタ	
1 1 2	トランジスタ	
1 1 5	基板	
1 2 0	絶縁層	<span style="float: right;">40</span>
1 3 0	酸化物半導体層	
1 3 0 a	酸化物半導体層	
1 3 0 A	酸化物半導体膜	
1 3 0 b	酸化物半導体層	
1 3 0 B	酸化物半導体膜	
1 3 0 c	酸化物半導体層	
1 3 0 C	酸化物半導体膜	
1 4 0	導電層	
1 4 1	導電層	
1 4 2	導電層	<span style="float: right;">50</span>

1 5 0	導電層	
1 5 1	導電層	
1 5 2	導電層	
1 5 6	レジストマスク	
1 6 0	絶縁層	
1 6 0 A	絶縁膜	10
1 6 5	ブロック層	
1 7 0	導電層	
1 7 1	導電層	
1 7 1 A	導電膜	
1 7 2	導電層	
1 7 2 A	導電膜	
1 7 3	導電層	
1 7 5	絶縁層	
1 8 0	絶縁層	
1 9 0	絶縁層	
2 3 1	領域	
2 3 2	領域	
2 3 3	領域	
3 3 1	領域	20
3 3 2	領域	
3 3 3	領域	
3 3 4	領域	
3 3 5	領域	
4 0 0	基板	
4 0 1	絶縁層	
4 0 2	絶縁層	
4 0 2 a	絶縁層	
4 0 2 b	絶縁層	
4 0 4	導電層	30
4 0 4 a	導電層	
4 0 4 b	導電層	
4 0 6	半導体層	
4 0 6 a	半導体層	
4 0 6 b	半導体層	
4 0 7 a	領域	
4 0 7 a 1	領域	
4 0 7 a 2	領域	
4 0 7 b	領域	
4 0 7 b 1	領域	40
4 0 7 b 2	領域	
4 0 8	絶縁層	
4 0 8 a	絶縁層	
4 1 2	絶縁層	
4 1 4	導電層	
4 1 4 a	導電層	
4 1 4 b	導電層	
4 1 6 a	導電層	
4 1 6 a 1	導電層	
4 1 6 a 2	導電層	50

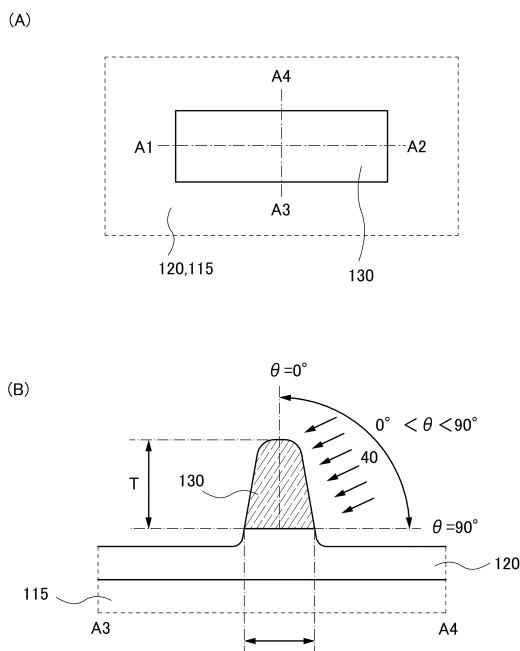
4 1 6 b	導電層	
4 1 6 b 1	導電層	
4 1 6 b 2	導電層	
4 1 8	絶縁層	
4 2 8	絶縁層	
7 0 0	基板	
7 0 1	画素部	
7 0 2	走査線駆動回路	
7 0 3	走査線駆動回路	
7 0 4	信号線駆動回路	10
7 1 0	容量配線	
7 1 2	ゲート配線	
7 1 3	ゲート配線	
7 1 4	データ線	
7 1 6	トランジスタ	
7 1 7	トランジスタ	
7 1 8	液晶素子	
7 1 9	液晶素子	
7 2 0	画素	
7 2 1	スイッチング用トランジスタ	20
7 2 2	駆動用トランジスタ	
7 2 3	容量素子	
7 2 4	発光素子	
7 2 5	信号線	
7 2 6	走査線	
7 2 7	電源線	
7 2 8	共通電極	
8 0 0	R F タグ	
8 0 1	通信器	
8 0 2	アンテナ	30
8 0 3	無線信号	
8 0 4	アンテナ	
8 0 5	整流回路	
8 0 6	定電圧回路	
8 0 7	復調回路	
8 0 8	変調回路	
8 0 9	論理回路	
8 1 0	記憶回路	
8 1 1	R O M	
8 2 1	基板	40
8 2 4	絶縁層	
8 2 8	酸化物半導体層	
8 2 8 a	領域	
8 2 8 b	領域	
8 2 8 c	領域	
8 2 8 d	領域	
8 2 8 e	領域	
8 2 8 f	領域	
8 2 8 g	領域	
8 2 8 h	領域	50

8 2 8 i	領域	
8 3 7	絶縁層	
8 4 0	導電層	
8 4 0 a	導電層	
8 4 0 b	導電層	
8 4 6	絶縁層	
8 4 7	絶縁層	
8 5 6	導電層	
8 5 7	導電層	
9 0 1	筐体	10
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイルス	
9 1 1	筐体	
9 1 2	筐体	
9 1 3	表示部	20
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	表示部	
9 3 3	リストバンド	30
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	
9 5 4	ライト	40
1 1 8 9	R O M インターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L U コントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インターフェースコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	50

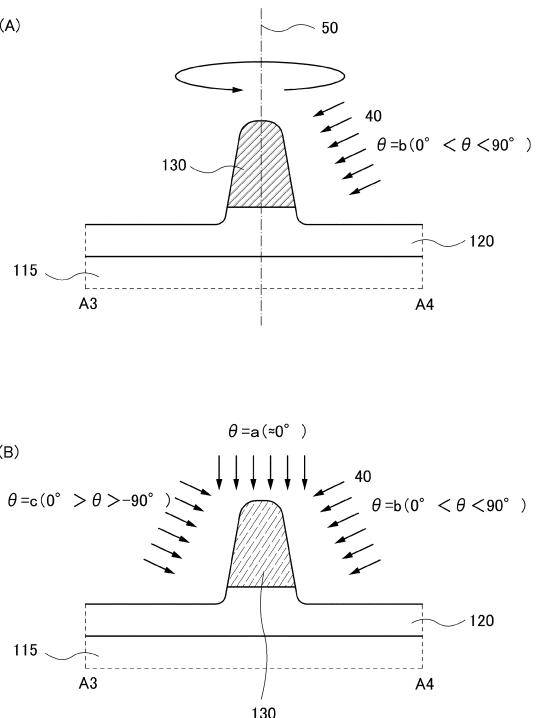
1 1 9 9	R O M	
1 2 0 0	記憶素子	
1 2 0 1	回路	
1 2 0 2	回路	
1 2 0 3	スイッチ	
1 2 0 4	スイッチ	
1 2 0 6	論理素子	
1 2 0 7	容量素子	
1 2 0 8	容量素子	
1 2 0 9	トランジスタ	10
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	
1 2 2 0	回路	
2 1 0 0	トランジスタ	
2 2 0 0	トランジスタ	
2 2 0 1	絶縁層	
2 2 0 2	配線	
2 2 0 3	プラグ	
2 2 0 4	絶縁層	20
2 2 0 5	配線	
2 2 0 6	配線	
2 2 0 7	絶縁層	
2 2 0 8	ブロック層	
2 2 1 1	半導体基板	
2 2 1 2	絶縁層	
2 2 1 3	ゲート電極層	
2 2 1 4	ゲート絶縁層	
2 2 1 5	ソース領域およびドレイン領域	
3 0 0 1	配線	30
3 0 0 2	配線	
3 0 0 3	配線	
3 0 0 4	配線	
3 0 0 5	配線	
3 2 0 0	トランジスタ	
3 3 0 0	トランジスタ	
3 4 0 0	容量素子	
4 0 0 0	R F タグ	
5 1 0 0	ペレット	
5 1 0 0 a	ペレット	40
5 1 0 0 b	ペレット	
5 1 0 1	イオン	
5 1 2 0	基板	
5 1 3 0	ターゲット	
5 1 6 1	領域	
8 0 0 0	表示モジュール	
8 0 0 1	上部カバー	
8 0 0 2	下部カバー	
8 0 0 3	F P C	
8 0 0 4	タッチパネル	50

8 0 0 5	F P C
8 0 0 6	表示パネル
8 0 0 7	バックライトユニット
8 0 0 8	光源
8 0 0 9	フレーム
8 0 1 0	プリント基板
8 0 1 1	バッテリー

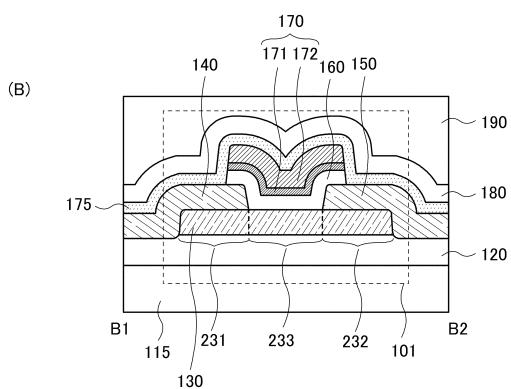
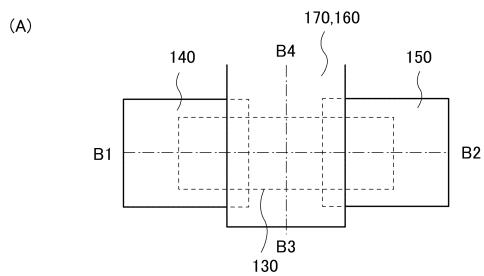
【図1】



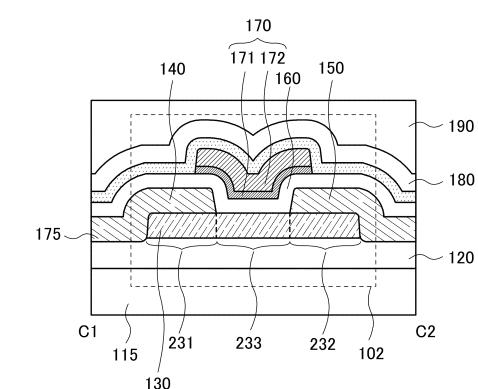
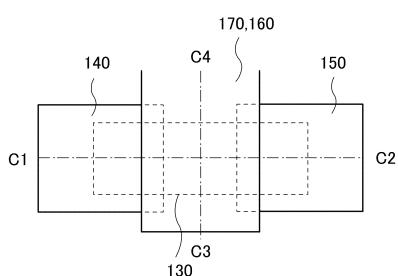
【図2】



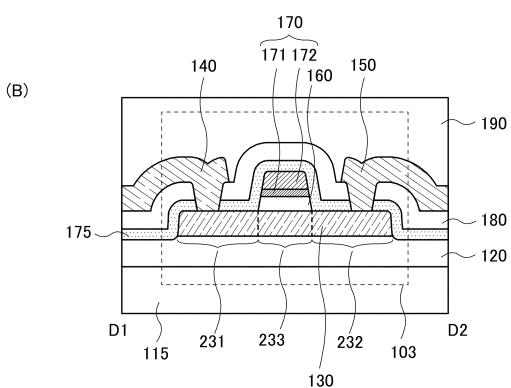
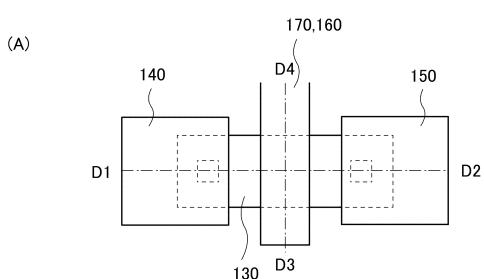
【図3】



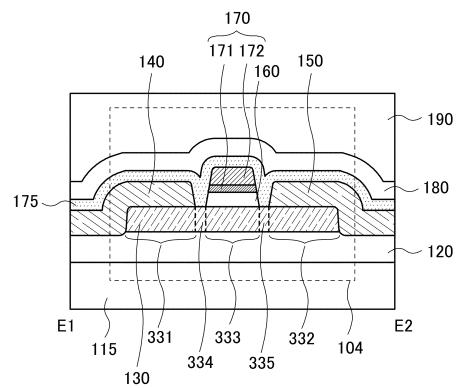
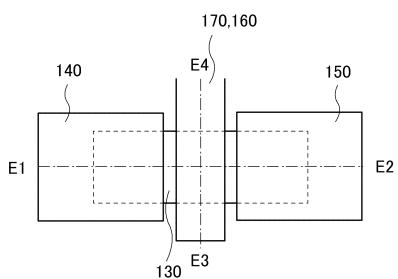
【図4】



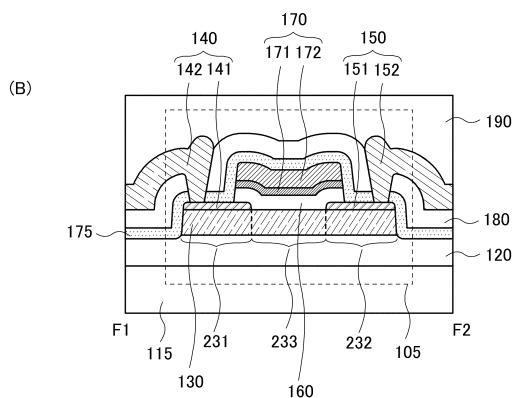
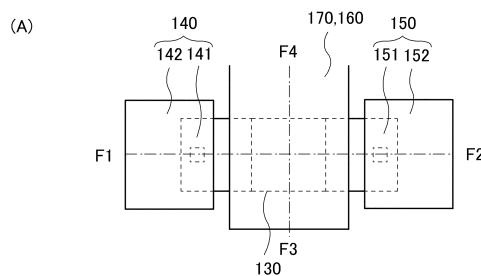
【図5】



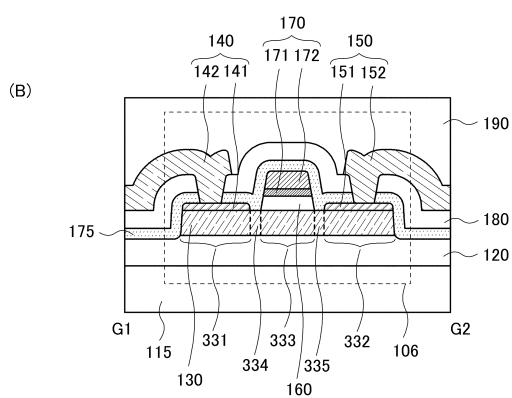
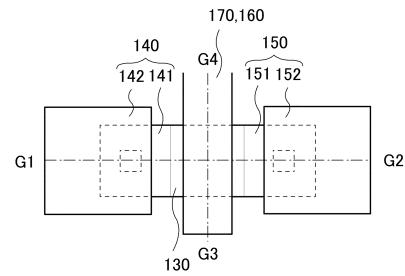
【図6】



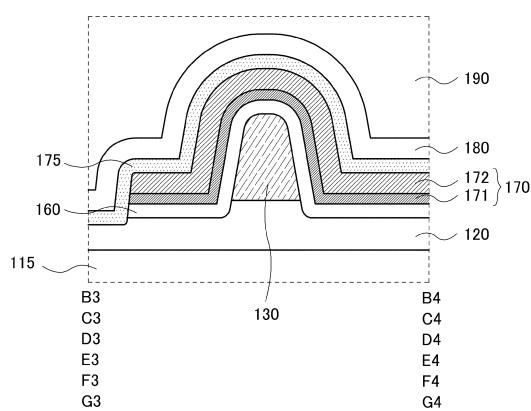
【図7】



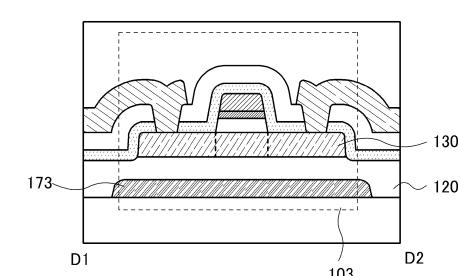
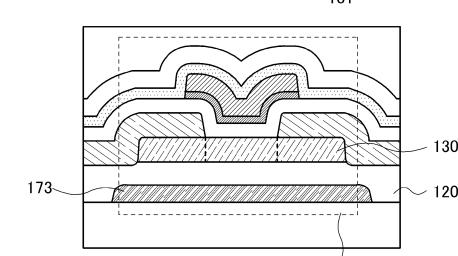
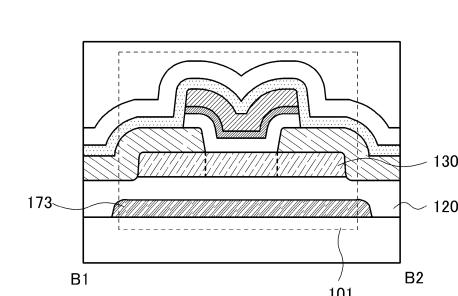
【図8】



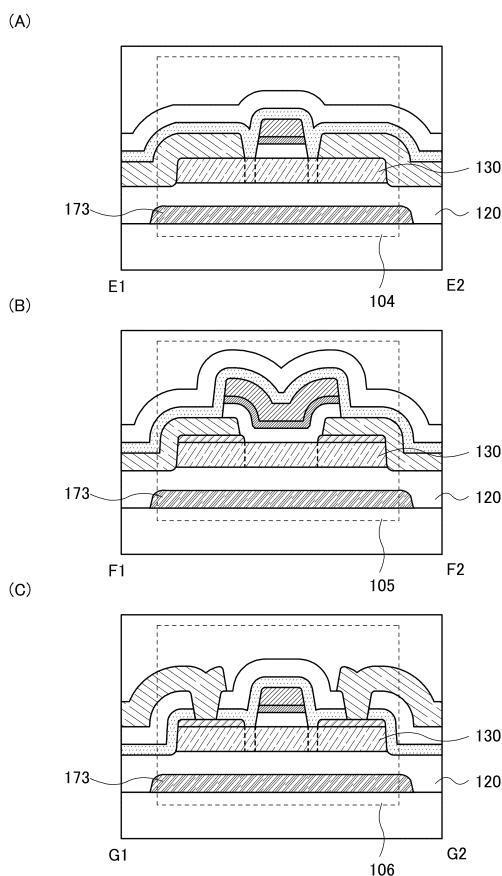
【図9】



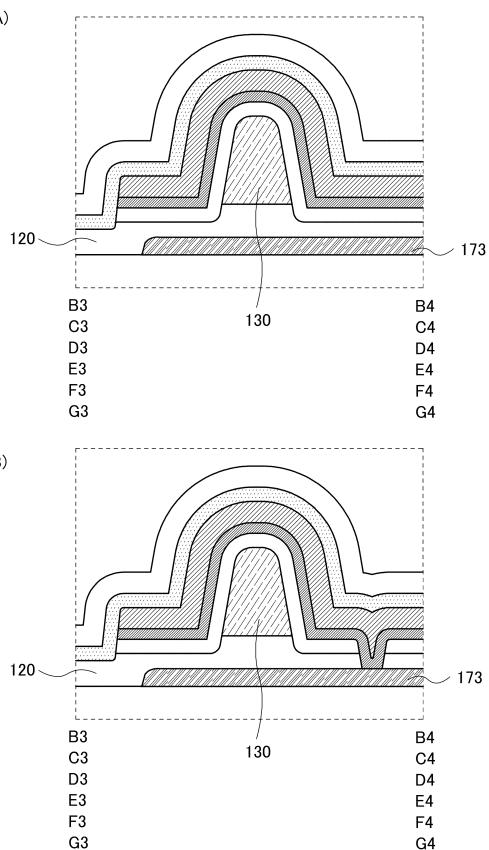
【図10】



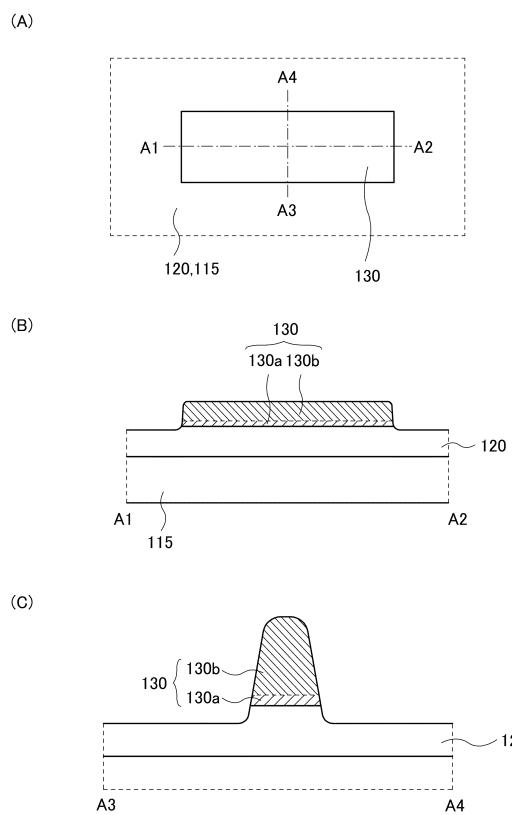
【図11】



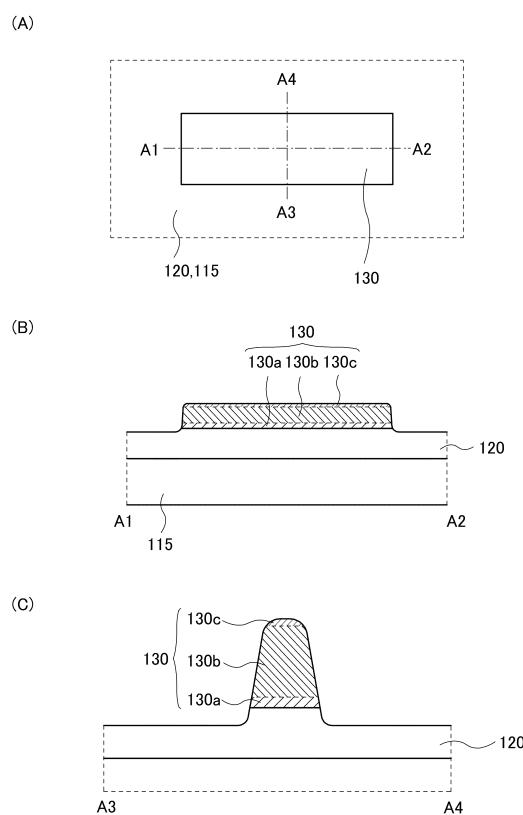
【図12】



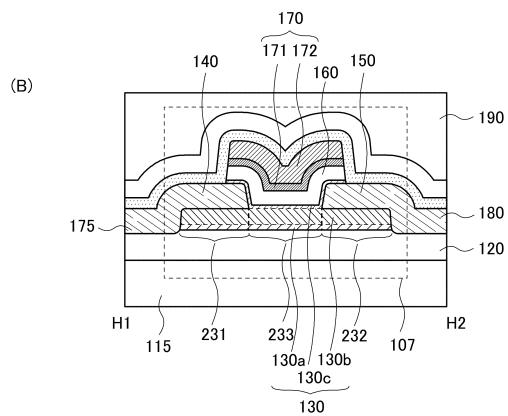
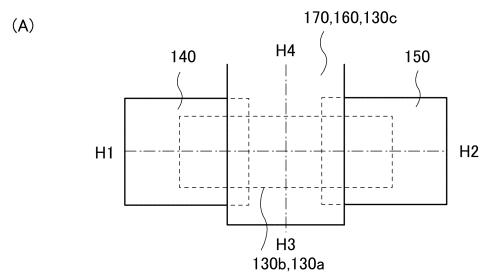
【図13】



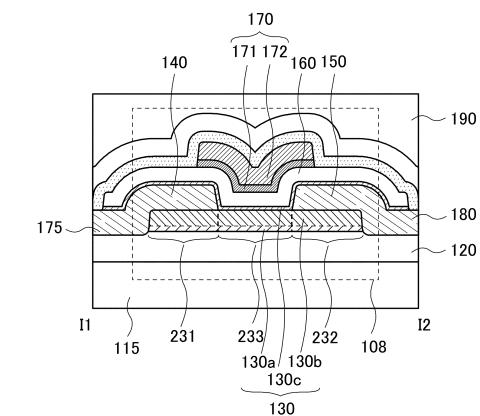
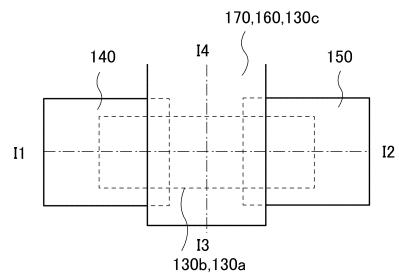
【図14】



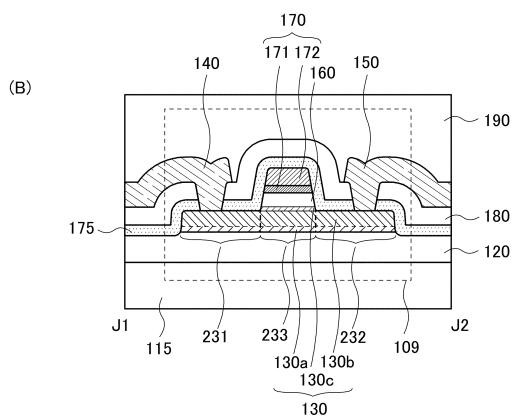
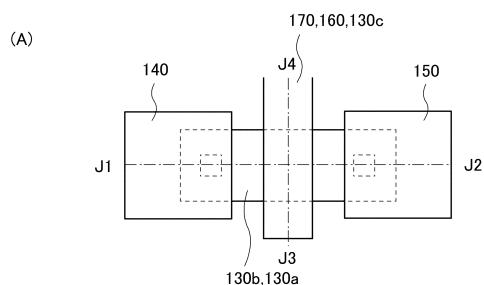
【図15】



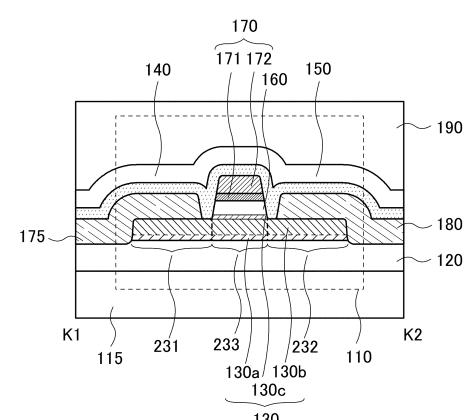
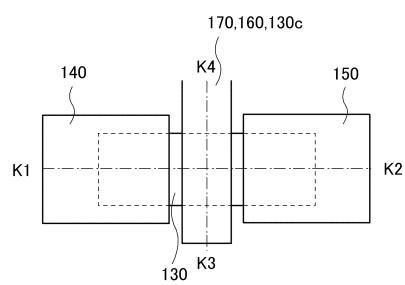
【図16】



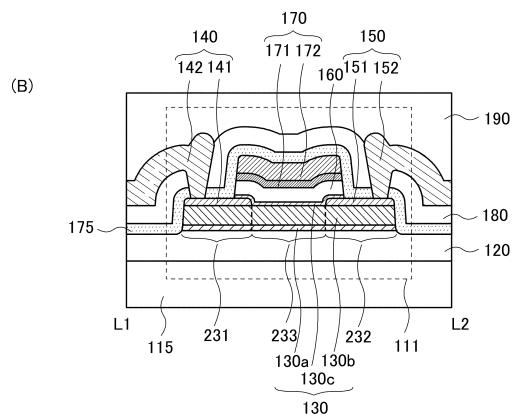
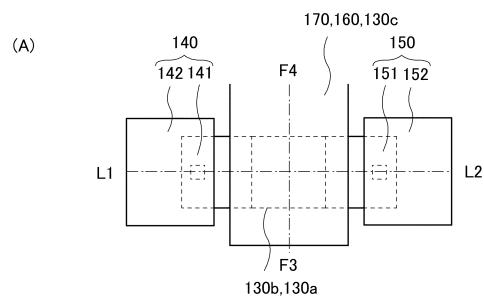
【図17】



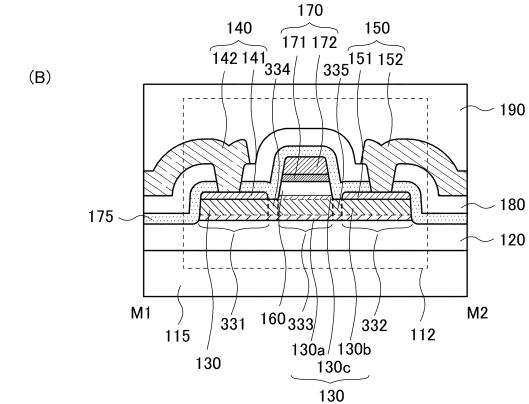
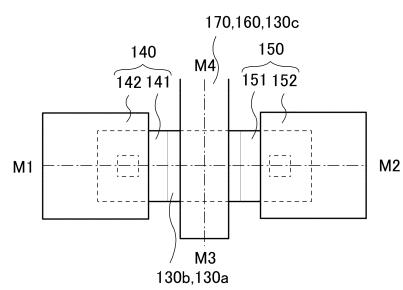
【図18】



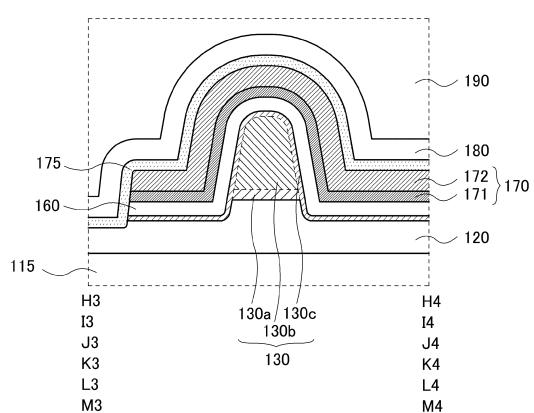
【図19】



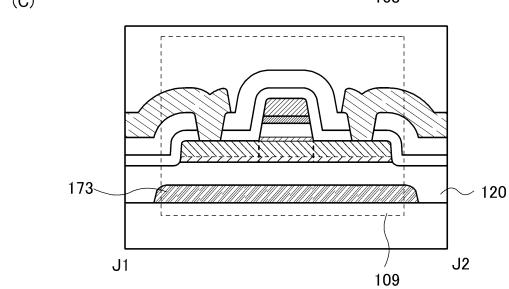
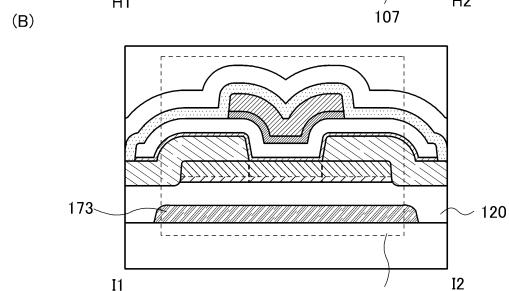
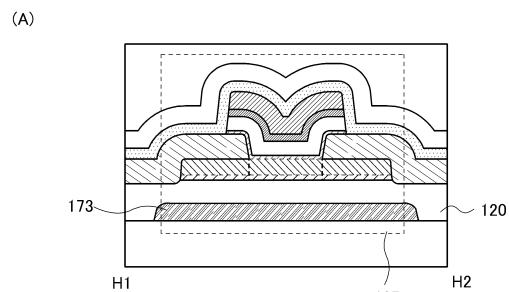
【図20】



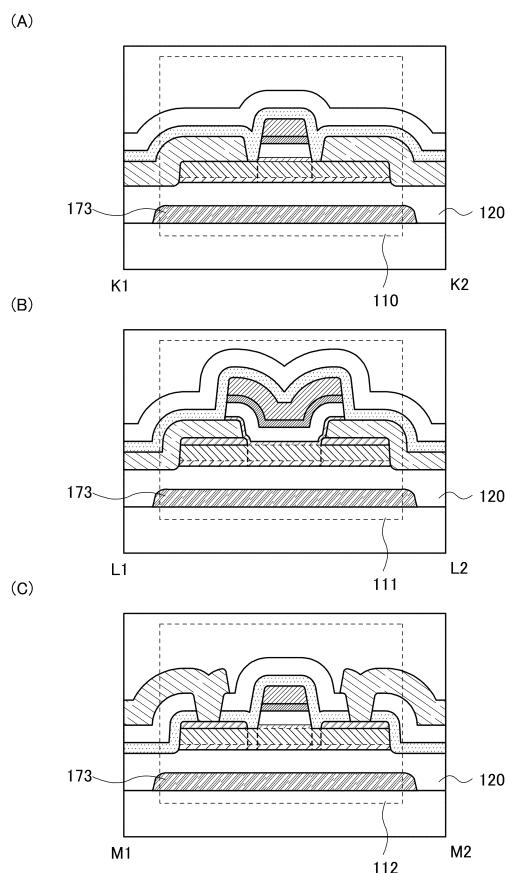
【図21】



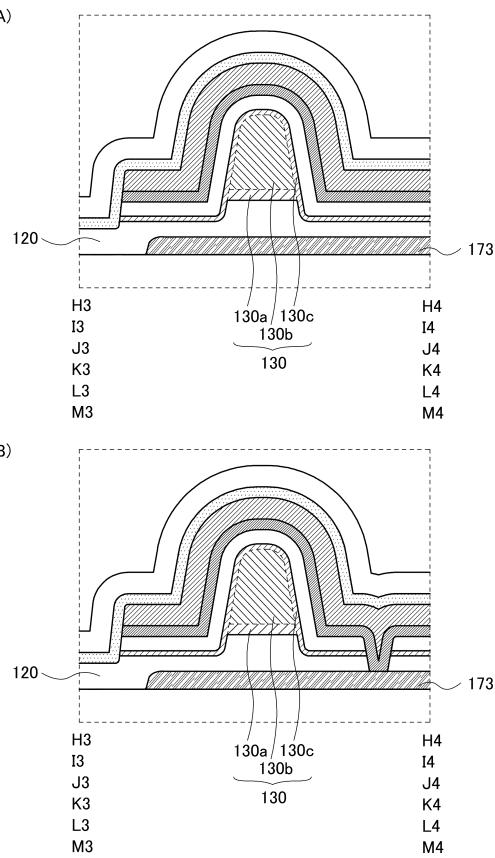
【図22】



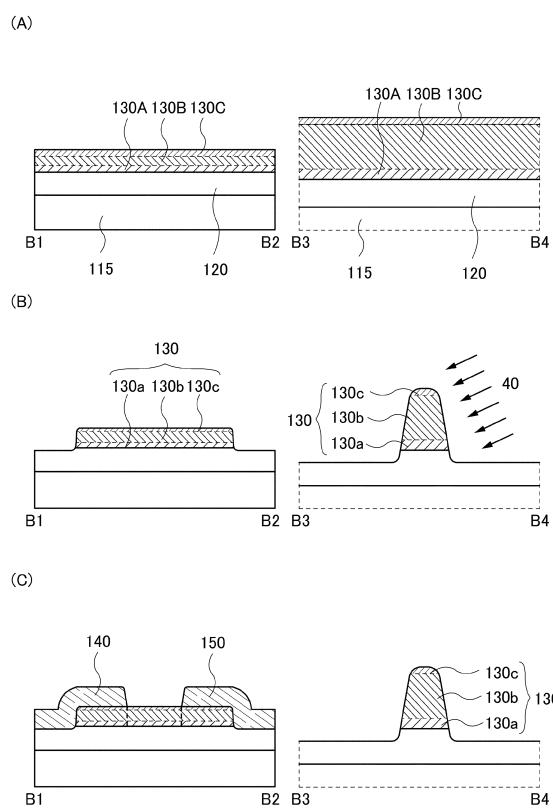
【図23】



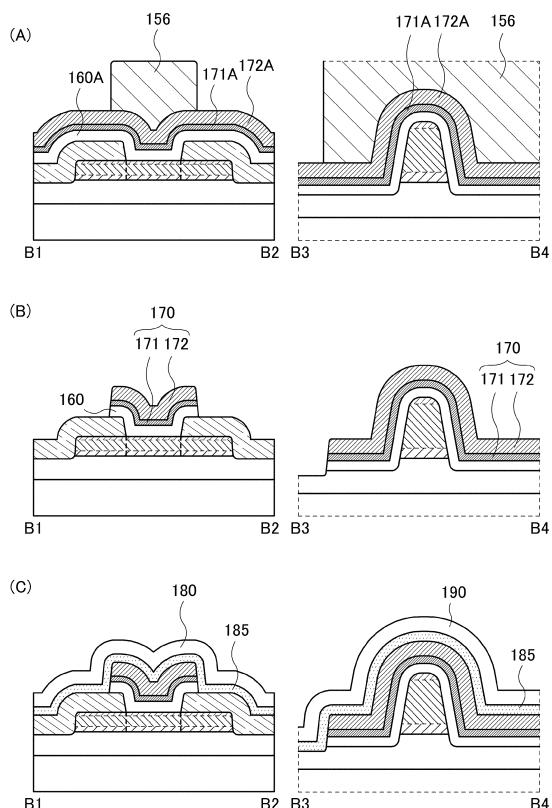
【図24】



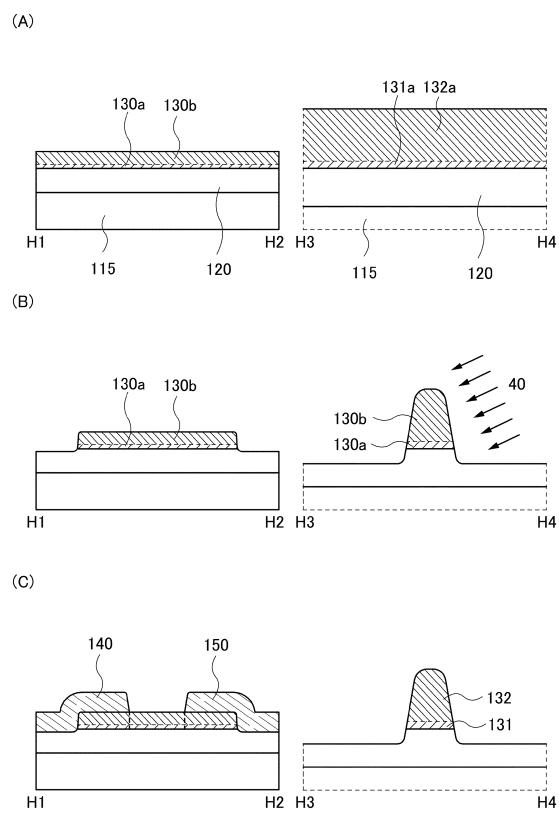
【図25】



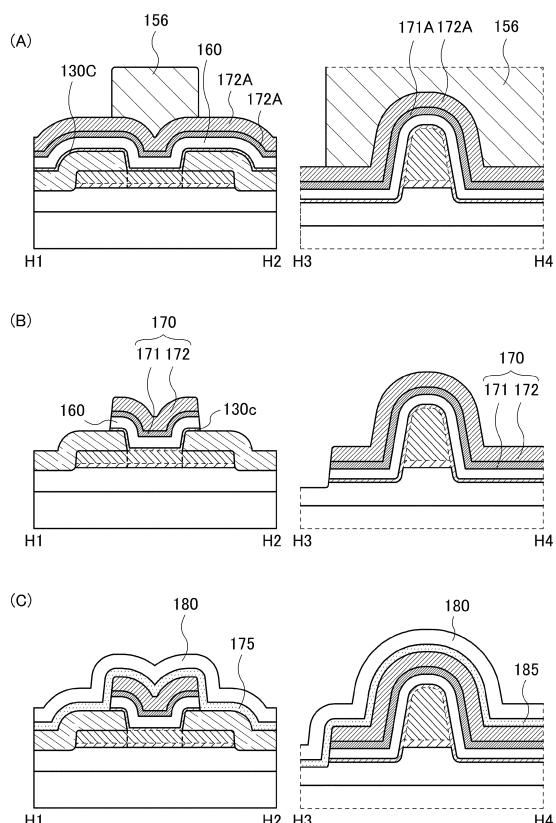
【図26】



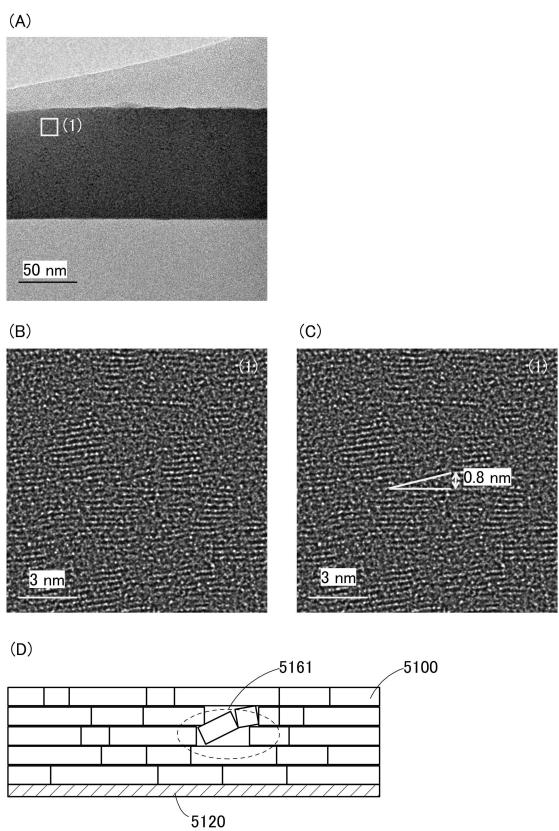
【図27】



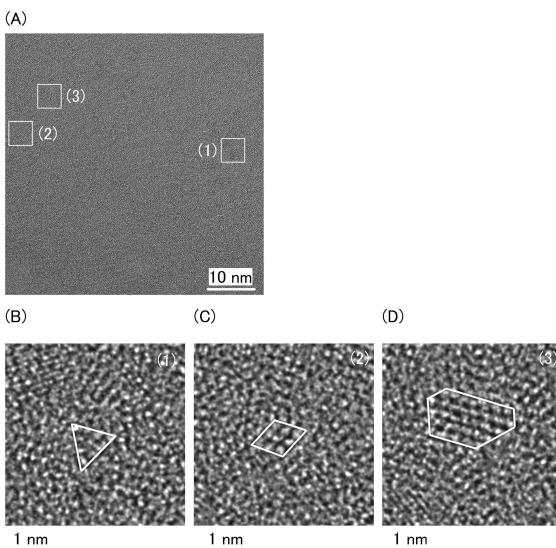
【図28】



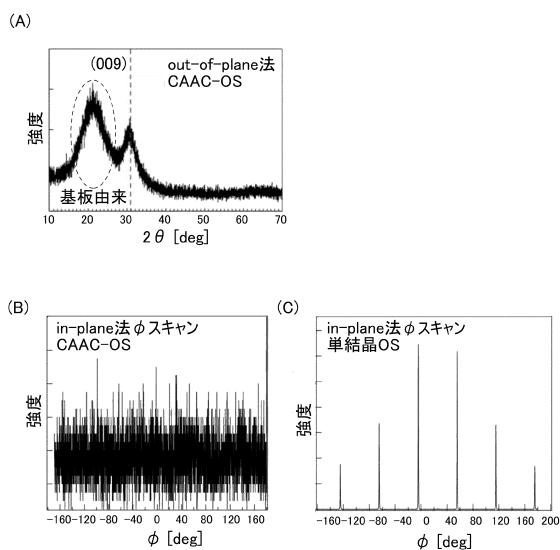
【図29】



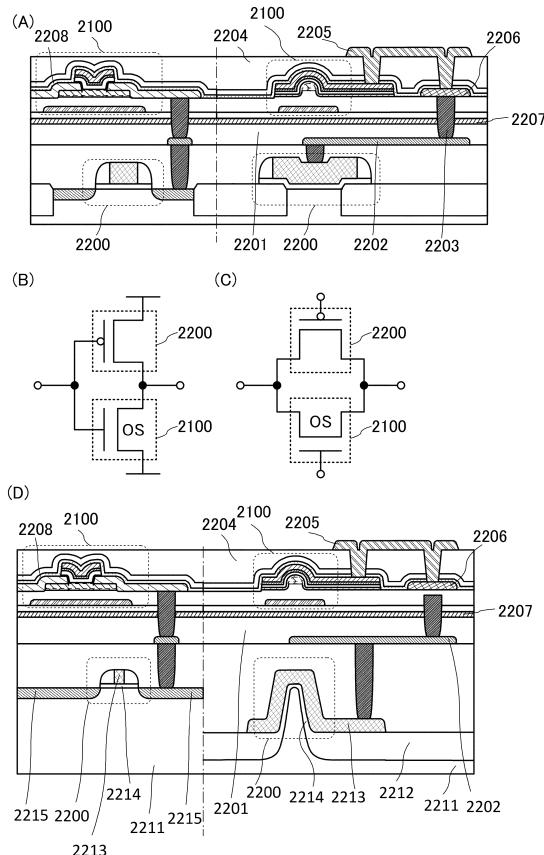
【図30】



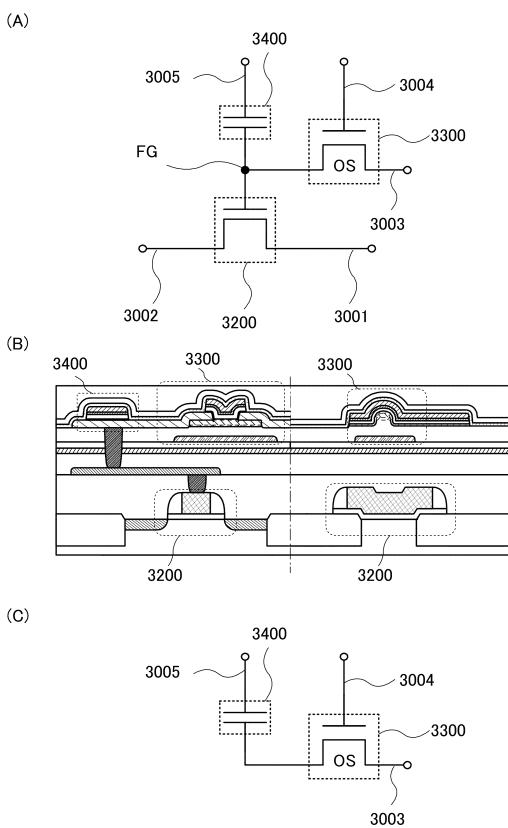
【図31】



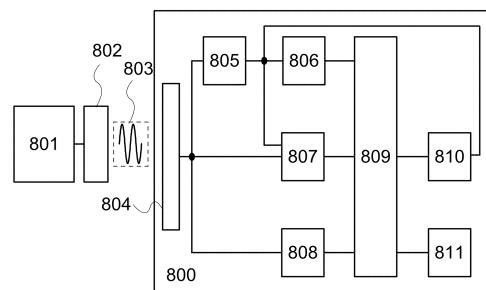
【図32】



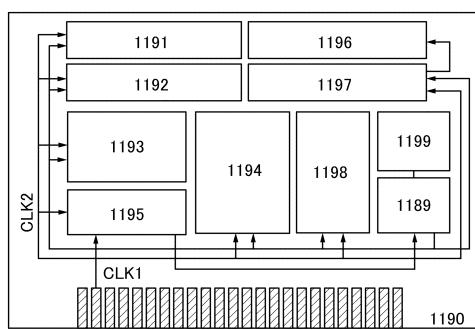
【図33】



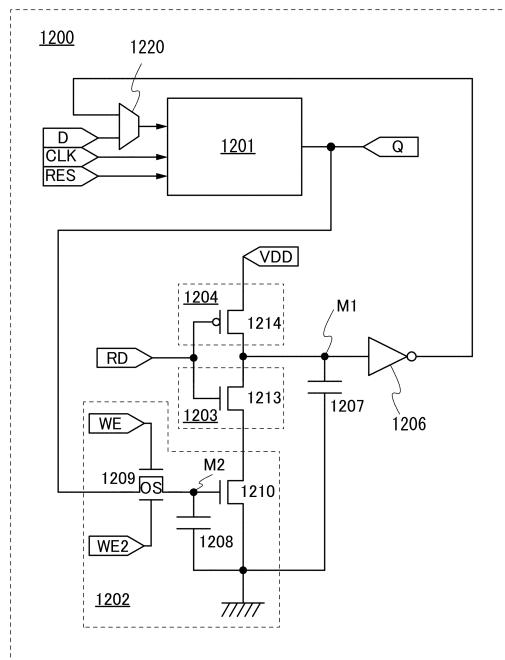
【図34】



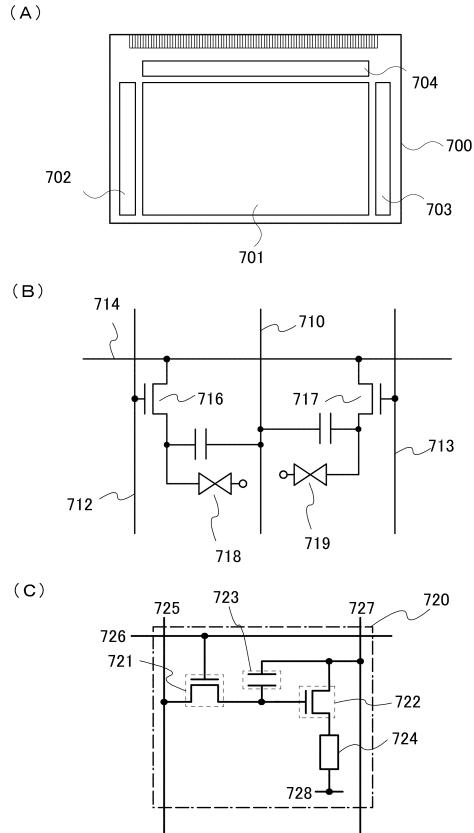
【図35】



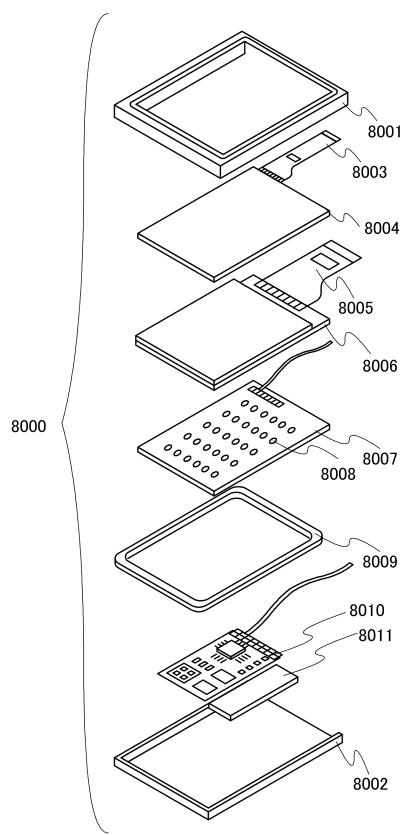
【図36】



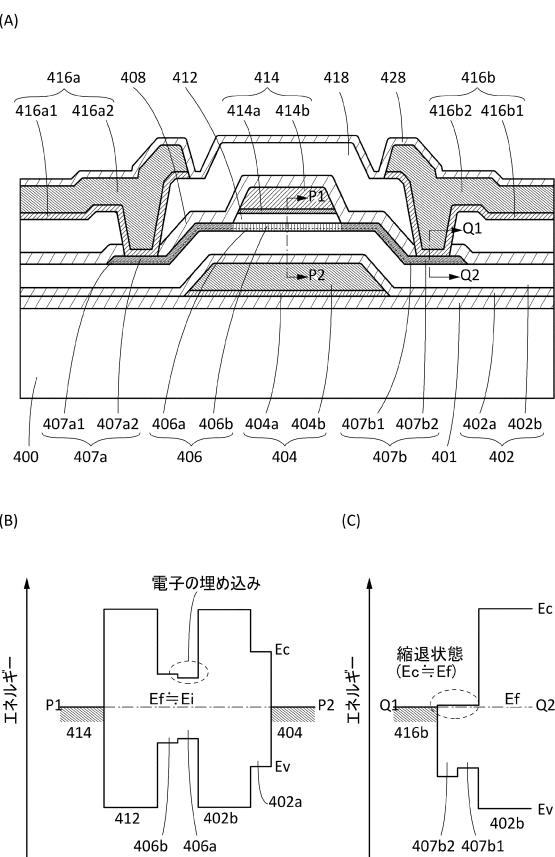
【図37】



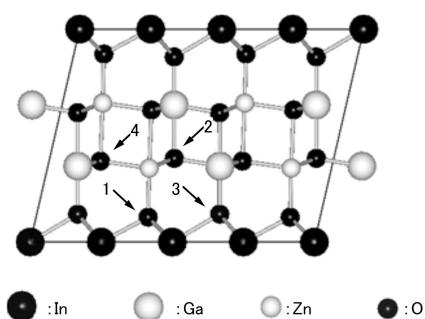
【図38】



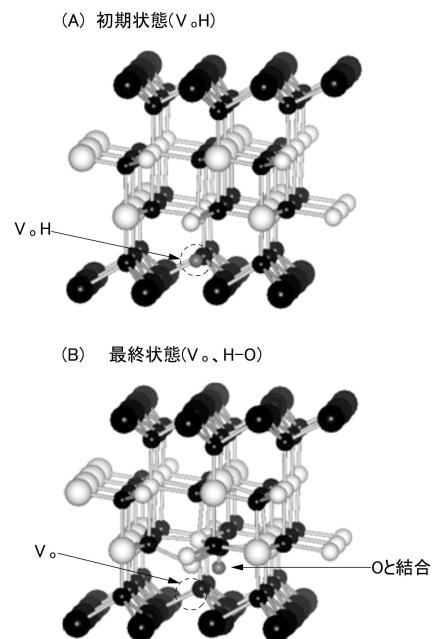
【図39】



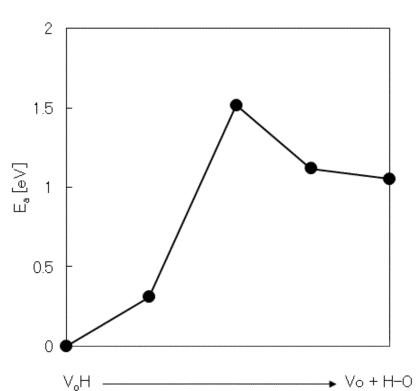
【図 4 0】



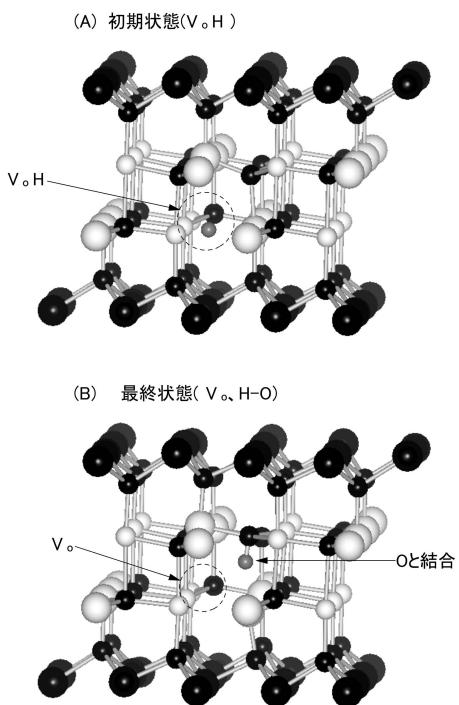
【図 4 1】



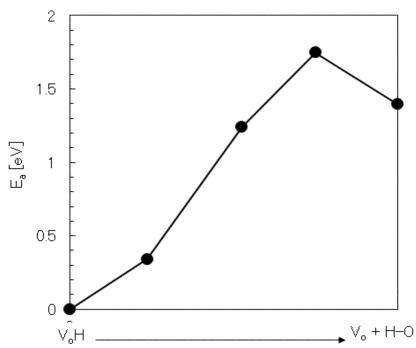
【図 4 2】



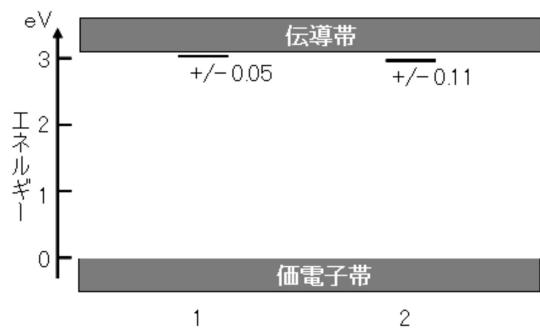
【図 4 3】



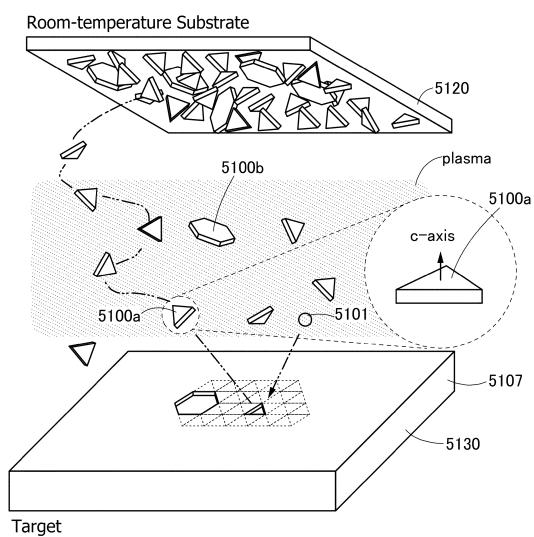
【図44】



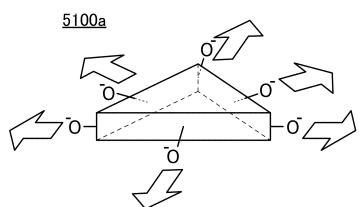
【図45】



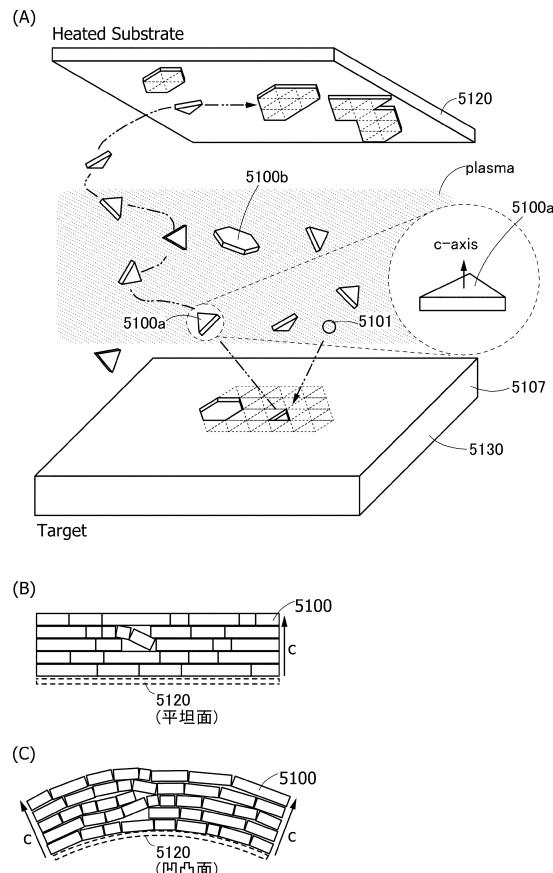
【図47】



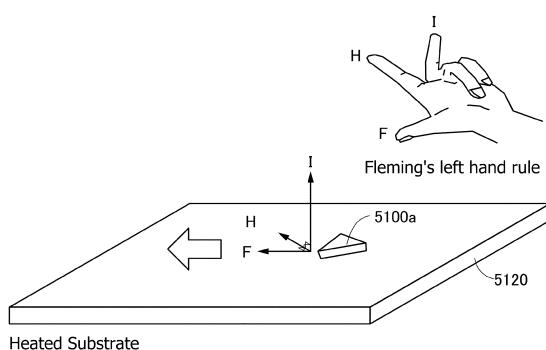
【図48】



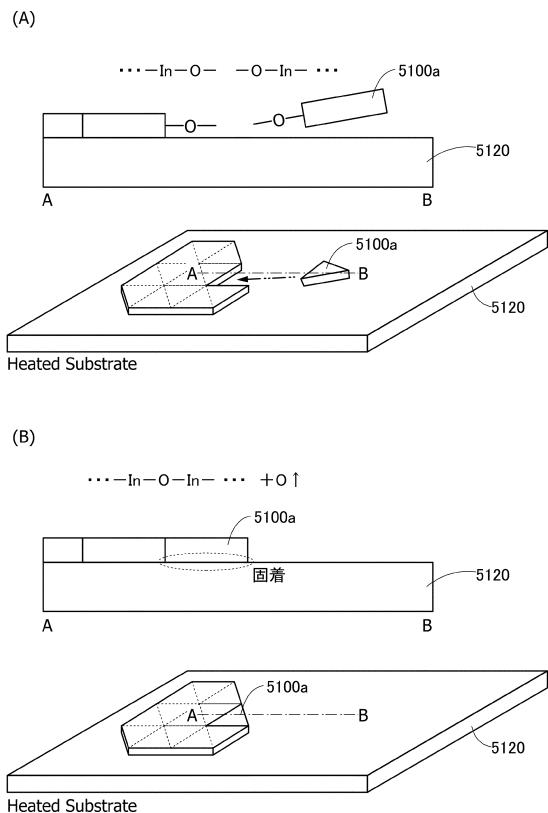
【図46】



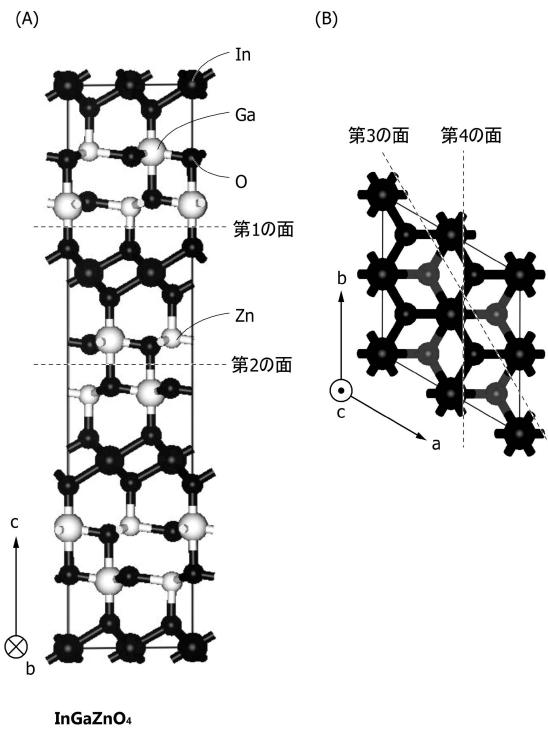
【図49】



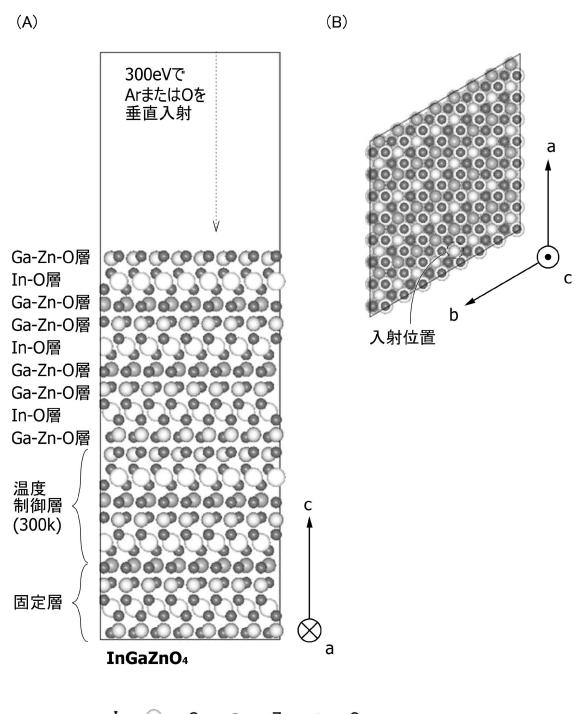
【図50】



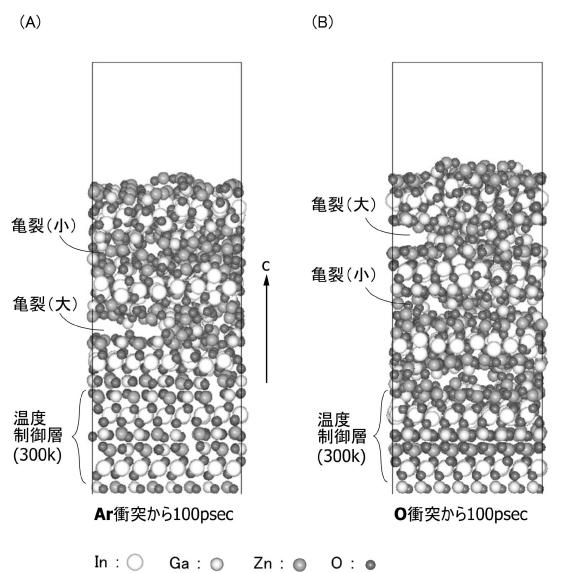
【図51】



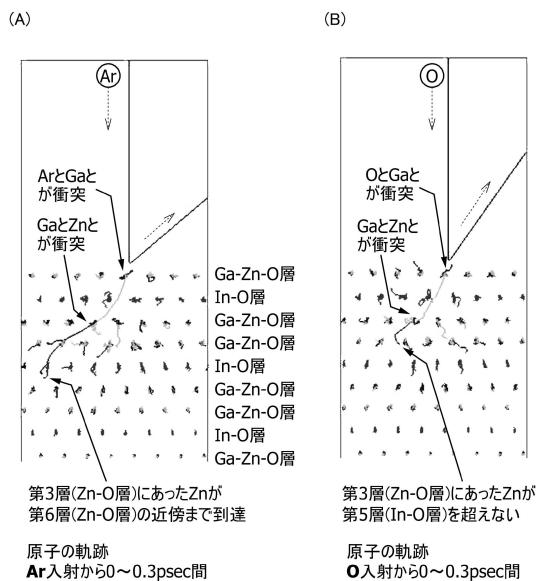
【図52】



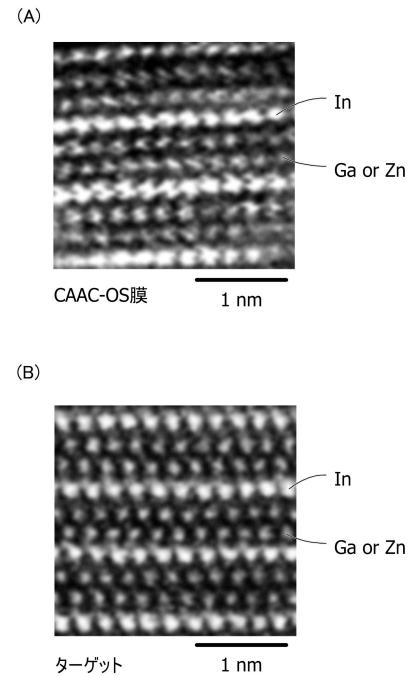
【図53】



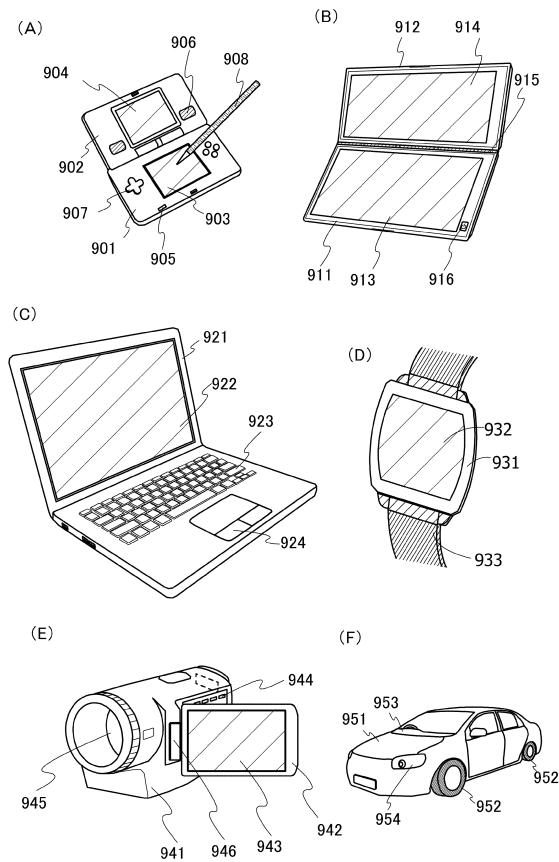
【図54】



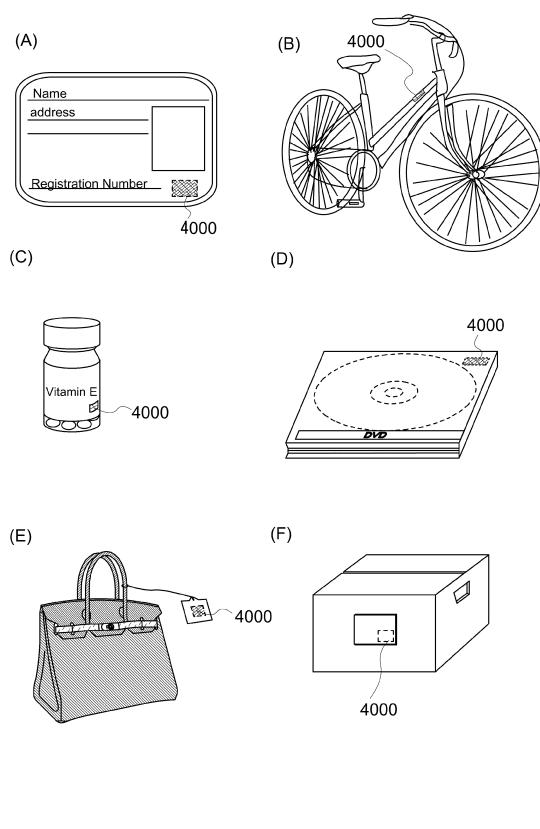
【図55】



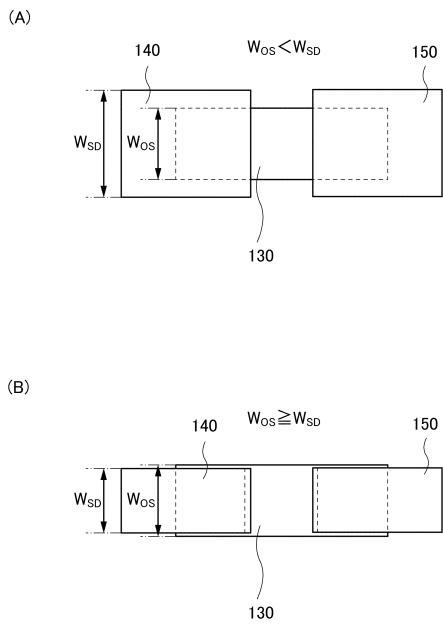
【図56】



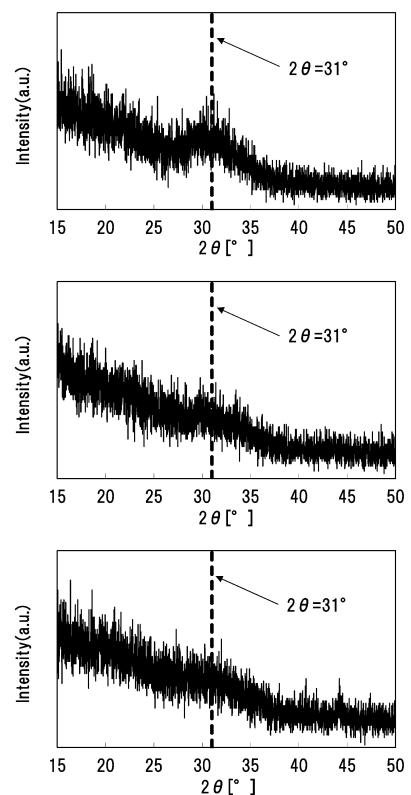
【図57】



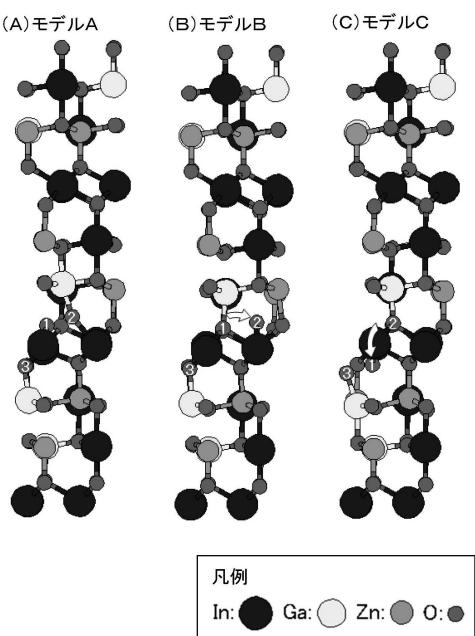
【図 5 8】



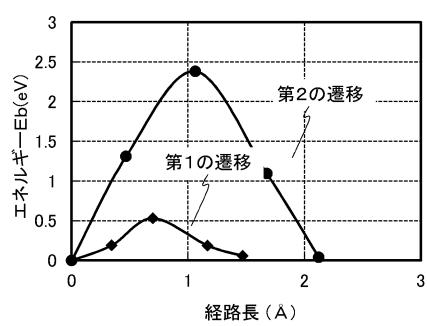
【図59】



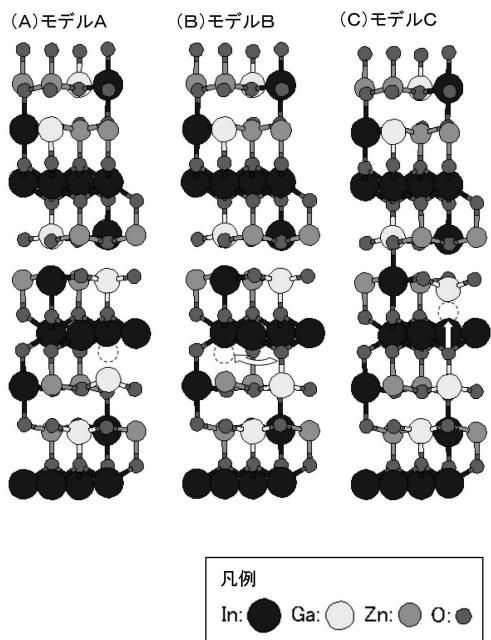
【図60】



【図61】

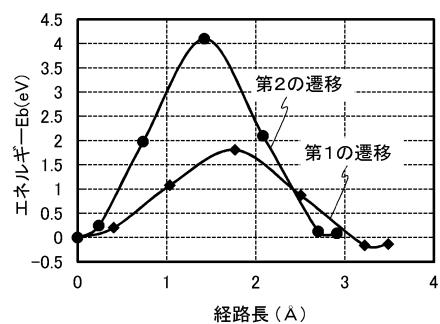


【図62】

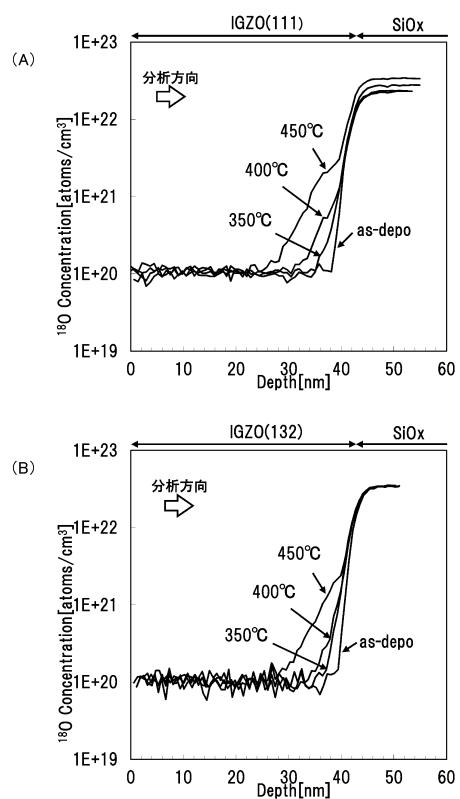


凡例  
In: ● Ga: ○ Zn: □ O: ●

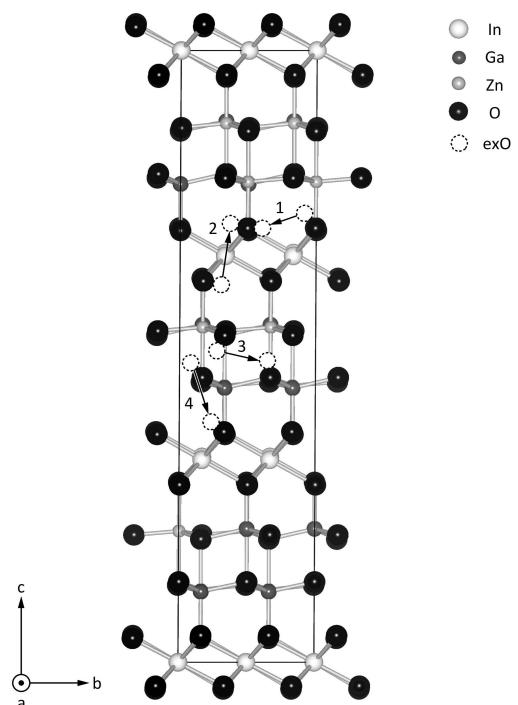
【図63】



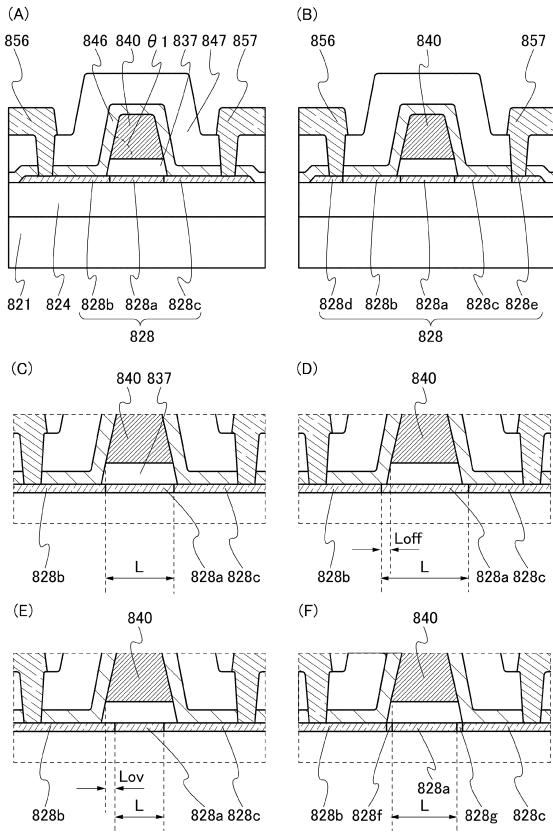
【図64】



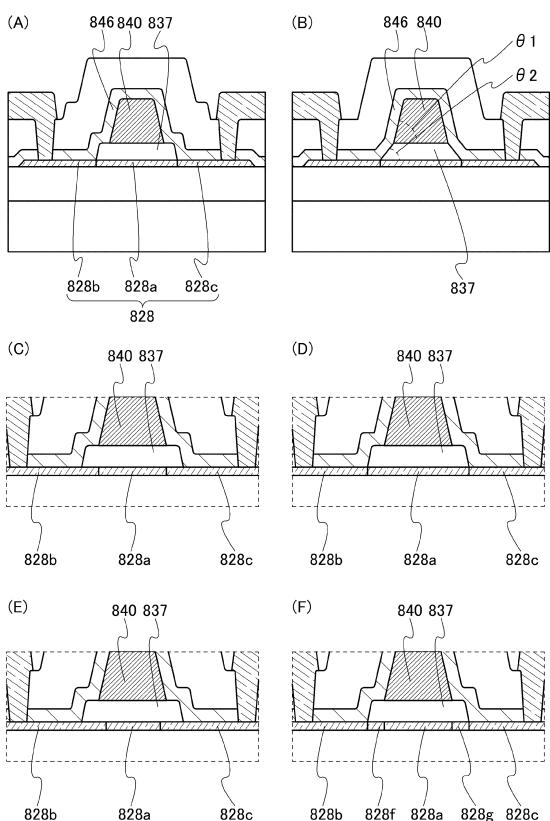
【図65】



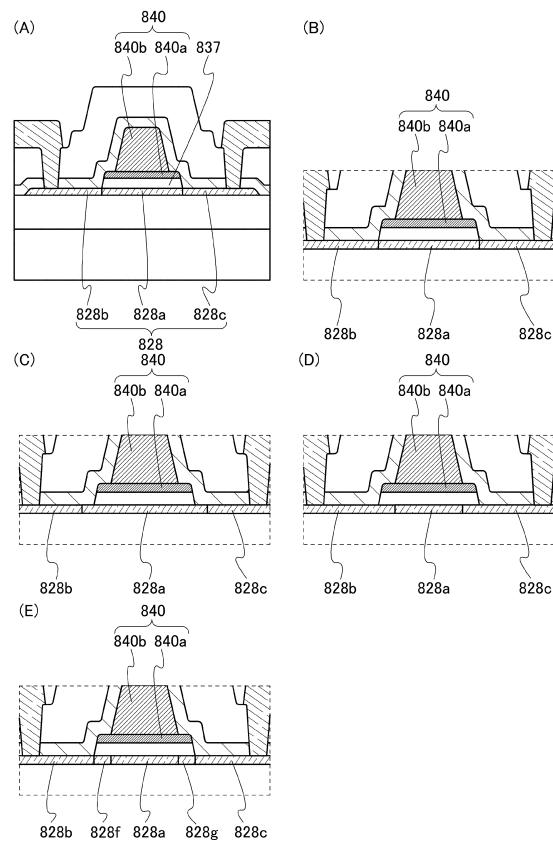
【図66】



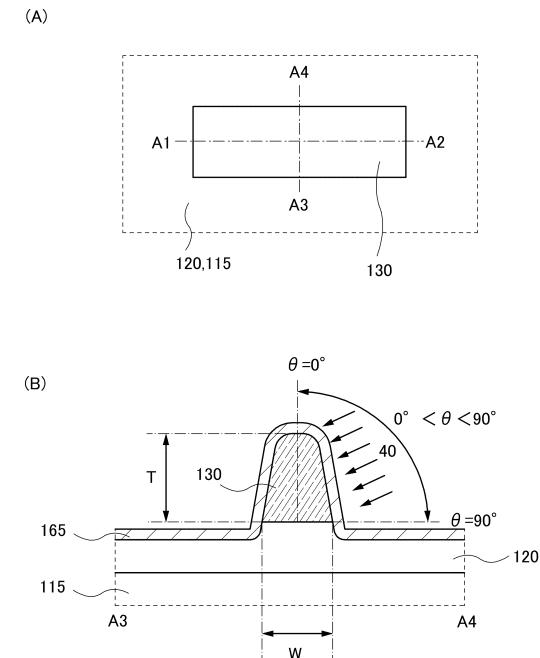
【図67】



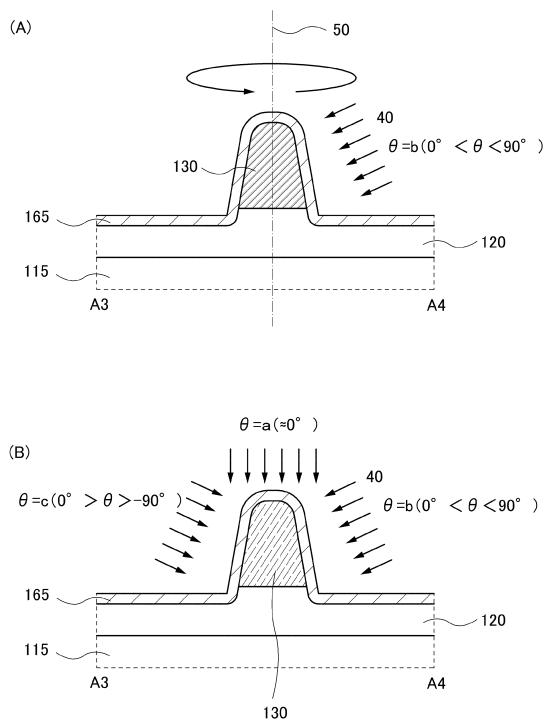
【図68】



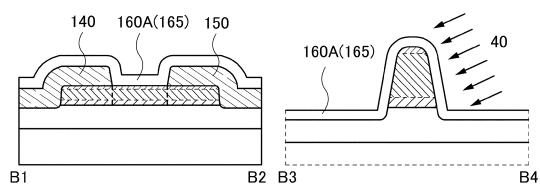
【図69】



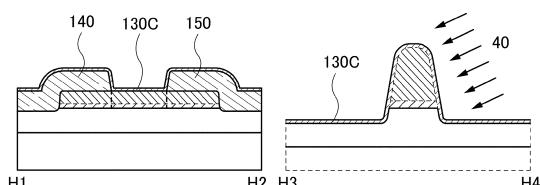
【図70】



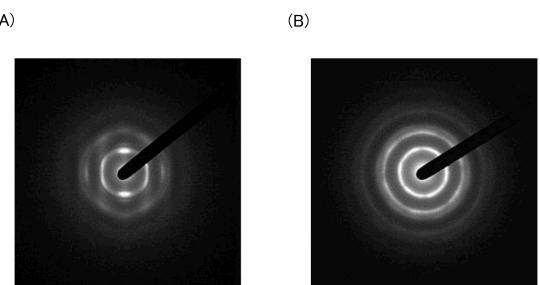
【図71】



【図72】



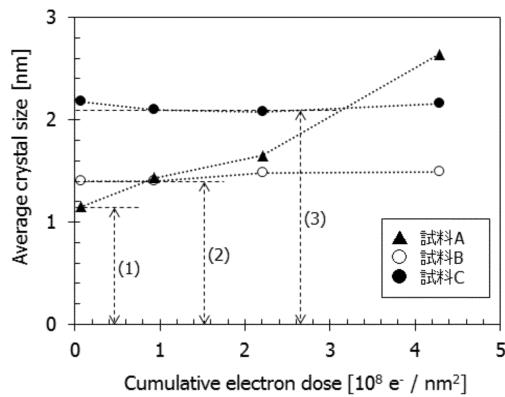
【図73】



試料面に平行な方向  
から電子線を入射

試料面に垂直な方向  
から電子線を入射

【図74】



---

フロントページの続き

(51)Int.Cl.	F I
H 01 L 27/092 (2006.01)	H 01 L 27/108 3 2 1
H 01 L 21/8242 (2006.01)	H 01 L 27/108 6 7 1 Z
H 01 L 27/108 (2006.01)	H 01 L 27/10 4 6 1
H 01 L 27/10 (2006.01)	H 01 L 27/108 6 2 1 Z
H 05 B 33/08 (2006.01)	H 05 B 33/08
H 01 L 51/50 (2006.01)	H 05 B 33/14 A

- (56)参考文献 特開2013-157359(JP,A)  
特開2011-199273(JP,A)  
特開2013-168642(JP,A)  
特開2011-139051(JP,A)  
特開2013-038401(JP,A)  
特開2013-165260(JP,A)  
特開2002-033476(JP,A)  
特開2008-124457(JP,A)

## (58)調査した分野(Int.Cl., DB名)

H 01 L 29 / 786  
H 01 L 21 / 336  
H 01 L 21 / 8234  
H 01 L 21 / 8238  
H 01 L 21 / 8242  
H 01 L 27 / 088  
H 01 L 27 / 092  
H 01 L 27 / 10  
H 01 L 27 / 108  
H 01 L 51 / 50  
H 05 B 33 / 08