

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2020년 9월 3일 (03.09.2020)



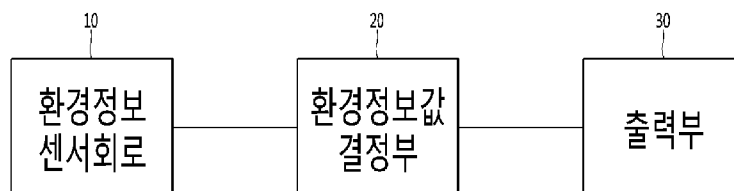
(10) 국제공개번호
WO 2020/175747 A1

- (51) 국제특허분류: *H04N 5/369* (2011.01) *H04N 5/374* (2011.01)
H04N 5/378 (2011.01)
- (21) 국제출원번호: PCT/KR2019/007063
- (22) 국제출원일: 2019년 6월 12일 (12.06.2019)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2019-0023057 2019년 2월 27일 (27.02.2019) KR
- (71) 출원인: 한국과학기술원 (KOREA ADVANCED INSTITUTE OF SCIENCE AND TECHNOLOGY) [KR/KR]; 34141 대전시 유성구 대학로 291, Daejeon (KR).
- (72) 발명자: 조성환 (CHO, Seong Hwan); 34141 대전시 유성구 대학로 291, Daejeon (KR). 박수진 (PARK, Su Jin); 34141 대전시 유성구 대학로 291, Daejeon (KR).
- (74) 대리인: 옥세열 (OAK, Sae Yeol); 13494 경기도 성남시 분당구 대왕판교로 660 유스페이스1 A동 12층, Gyeonggi-do (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: SENSOR CIRCUIT FOR ENERGY-EFFICIENTLY INTEGRATING MULTIPLE STANDARD CMOS SENSORS, AND SENSOR DEVICE INCLUDING SAME

(54) 발명의 명칭: 복수의 표준 CMOS 센서를 에너지 효율적으로 집적하는 센서 회로 및 이를 포함하는 센서 장치

[도1]



10 ... Environmental information sensor circuit
20 ... Environmental information value determination unit
30 ... Output unit

(57) Abstract: Presented are an environment information sensor circuit and an environment information measurement device which can sense various kinds of environment information, such as pressure, humidity, and acceleration, and simply reduce quantization noise by employing a dual quantization capacitance-to-digital converter structure. The presented environment information sensor circuit comprises: a switched capacitor which outputs one among pressure information, humidity information, and acceleration information on the basis of a first clock signal and a second clock signal that do not overlap; a single-bit first order delta-sigma converter that includes an integrator which integrates the output from the switched capacitor and outputs the integrated output as an analog value, and a single-bit quantizer which compares the output from the integrator and a preset threshold voltage and outputs a single-bit digital signal corresponding to the comparison result; and a multi-bit quantizer connected to an output end of the integrator via a sampling switch, and quantizes the output from the integrator at the moment the sampling switch is turned on according to a sampling signal.

(57) 요약서: 이중 양자화 커패시턴스-디지털 변환기 구조를 채택하여 압력, 습도, 가속도 등과 같이 다양한 환경 정보를 센싱하고 양자화 잡음을 간단히 줄일 수 있도록 하는 환경 정보 센서 회로 및 환경 정보 측정 장치를 제시한다. 제시된 환경 정보 센서 회로는 비오버래핑되는 제 1 클럭신호 및 제 2 클럭신호를 근거로 압력 정보와 습도 정보 및 가속도 정보 중 하나를 출력하는 스위치 캐패시터, 스위치 캐패시터의 출력을 적분하여 아날로그 값으로 출력하는 적분기 및 적분기의 출력과 기설정된 임계전압을 비교하여 비교 결과에 상응하는 싱글 비트의 디지털 신호를 출력하는 싱글 비트 양자화기를 포함하는 싱글 비트 1차 델타 시그마 변환기, 및 샘플링 스위치를 매개로 적분기의 출력단에 접속되고 샘플링 신호에 따라 샘플링 스위치가 온되는 시점의 적분기의 출력을 양자화하는 멀티 비트 양자화기를 포함한다.



(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

규칙 4.17에 의한 선언서:

— 신규성을 해치지 아니하는 개시 또는 신규성 상실의 예외에 관한 선언 (규칙 4.17(v))

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 복수의 표준 CMOS 센서를 에너지 효율적으로 집적하는 센서 회로 및 이를 포함하는 센서 장치

기술분야

- [1] 본 발명은 센서 회로 및 이를 포함하는 센서 장치에 관한 것으로, 보다 상세하게는 반도체 메모리 장치 등에 설치되는 회로블록의 환경 정보를 센싱할 수 있는 센서 회로에 있어서, 압력, 습도, 가속도 센서와 같은 복수의 표준 CMOS 센서를 정의하고, 에너지 효율적으로 집적하여 판독하는 센서 회로 및 이를 포함하는 센서 장치에 관한 것이다.

배경기술

- [2] 일반적으로, 개인용 컴퓨터 또는 전자 통신 기기 등과 같은 전자적 시스템의 고성능화에 부응하여, 디램, 휘발성 반도체 메모리 등을 포함하는 각종 반도체 전자 장치들도 나날이 고속화 및 고집적화되고 있다.
- [3] 특히, 반도체 메모리 장치 등에서는 저 전력 소모 특성이 요구되어 동작 전류 및 스태바이 전류 감소 등을 위해 회로블록의 동작 조건을 조절하고 있으며, 이를 위해 환경 정보 측정 장치 등을 이용하여 회로의 환경 정보를 센싱하고, 이에 따라 그 동작 상태 등을 제어하거나, 노멀 동작에서의 주위 환경 정보 등을 모니터링하는 등의 기능을 수행시키고 있다.
- [4] 예를 들어, 디램 셀의 리프래쉬 주기 조절을 리텐션 시간에 따라 조정함에 있어, 결과적으로 환경 정보 변화에 반응하도록 제어하게 되므로, 환경 정보 변화를 정확하게 감지할 수 있는 환경 정보 센서 회로의 설계가 반드시 필요하게 된다.
- [5] 한편, 이와 같은 환경 정보 센서 회로를 위해 씨모스(CMOS:Complementary Metal Oxide Semiconductor) 공정을 이용한 많은 환경 정보 센서 관련 기술들이 제안되고는 있다.
- [6] 그러나, 발표된 대부분의 씨모스 환경 정보 센서는 회로에 사용되는 소자 저항과 캐패시터의 유전율에 대한 오차가 발생하여 부정확한 문제점이 있으며, 디지털 변환 출력에 있어서 양자화 시퀀스에 의해 발생하는 시스템적인 노이즈에 의해, 에너지 효율 대비 시스템이 요구하는 출력 해상도와 정확도를 얻기 어려운 상황이다.
- [7] 나아가, 이러한 문제점은 사물인터넷(IoT, Internet of Things)으로 구현되는 스마트폰이나 스마트밴드 등의 모든 스마트 디바이스에서 사용되는 센서에 대하여도 동일하게 적용되고 있다.
- [8] 스마트폰에는 가속도 센서, 온도 센서, 압력 센서, 이미지 센서 등 10여 종의 센서가 사용되고 있으며, 스마트 자동차의 경우 약 200개에 달하는 센서가 사용되고 있다. 이렇듯 센서가 대부분 기기의 핵심 부품으로 확대 되면서 센서 산업의 경쟁력 확보가 국가 산업경쟁력 강화의 필수 요소로 자리잡고 있는

실정이다.

- [9] 이러한 현재의 산업적 필요성에 의해, 센서의 양산을 위해 다양한 환경 변수 측정을 위한 고성능 저비용의 온 칩 시스템 개발이 요구되고 있으나, 이를 전체적으로 해결하는 집적기술은 아직 명확히 제안되지 못하고 있는 실정이다.

발명의 상세한 설명

기술적 과제

- [10] 본 발명은 상기한 종래의 문제점을 해결하기 위해 제안된 것으로, 이중 양자화 커패시턴스-디지털 변환기 구조를 채택하여 압력, 습도, 가속도 등과 같이 다양한 환경 정보를 보다 정확히 센싱하고 양자화 잡음을 간단히 줄일 수 있도록 하는 센서 회로 및 센서 장치를 제공함에 그 목적이 있다.
- [11] 또한, 본 발명은 표준 CMOS 센서라는 패러다임을 이용하여 다양한 환경변수 측정을 위한 고성능, 저비용의 센서 시스템-온-칩(SoC, System-on-Chip) 개발을 가능하게 하는 복수의 표준 CMOS 센서를 에너지 효율적으로 집적하는 센서 회로 및 이를 포함하는 센서 장치를 제공하는데 그 목적이 있다.

과제 해결 수단

- [12] 상기와 같은 목적을 달성하기 위하여 본 발명의 바람직한 실시양태에 따른 환경 정보 센서 회로는, 압력 정보, 습도 정보, 및 가속도 정보 중 하나 이상을 포함하는 환경 정보 센서 회로로서, 비오버래핑되는 제 1 클럭신호 및 제 2 클럭신호를 근거로 상기 압력 정보와 습도 정보 및 가속도 정보 중 하나를 출력하는 스위치 캐패시터; 상기 스위치 캐패시터의 출력을 적분하여 아날로그 값으로 출력하는 적분기, 및 상기 적분기의 출력과 기설정된 임계전압을 비교하여 비교 결과에 상응하는 싱글 비트의 디지털 신호를 출력하는 싱글 비트 양자화기를 포함하는 싱글 비트 1차 델타 시그마 변환기; 및 샘플링 스위치를 매개로 상기 적분기의 출력단에 접속되고, 샘플링 신호에 따라 상기 샘플링 스위치가 온되는 시점의 상기 적분기의 출력을 양자화하는 멀티 비트 양자화기;를 포함한다.
- [13] 상기 스위치 캐패시터는, 일단이 전원단에 연결되고 상기 제 2 클럭신호에 의해 온/오프되는 제 1 스위치의 타단 및 일단이 접지단에 연결되고 상기 제 1 클럭신호에 의해 온/오프되는 제 2 스위치의 타단에 접속된 센서용 캐패시터; 일단이 전원단에 연결되고 상기 제 2 클럭신호에 의해 온/오프되는 제 3 스위치의 타단 및 일단이 접지단에 연결되고 상기 제 1 클럭신호에 의해 온/오프되는 제 4 스위치의 타단에 접속된 기준전압 제공용 캐패시터; 일단이 전원단에 연결되고 상기 제 2 클럭신호에 의해 온/오프되는 제 5 스위치의 타단 및 일단이 접지단에 연결되고 상기 제 1 클럭신호에 의해 온/오프되는 제 6 스위치의 타단에 접속된 전하 제공용 캐패시터; 및 상기 전하 제공용 캐패시터와 출력단 사이에 설치되며 상기 싱글 비트 1차 델타 시그마 변환기로부터 피드백되는 싱글 비트의 디지털 신호에 근거하여 온/오프되는 제 7 스위치;를

포함한다.

- [14] 상기 전하 제공용 캐패시터 및 상기 제 7 스위치를 포함하는 전하 제공용 캐패시터부가 구비될 수 있으며, 상기 전하 제공용 캐패시터부는 상기 센서용 캐패시터 및 상기 기준전압 제공용 캐패시터와 상호 병렬 구조로 연결될 수 있다. 상기 싱글 비트의 디지털 신호는 아날로그 신호로 변환되어 상기 제 7 스위치에게로 인가될 수 있다.
- [15] 상기 센서용 캐패시터는 특정 유전율을 형성하기 위한 공간을 형성하는 금속 구조체를 포함하는 압력 센서용 캐패시터 또는 습도 센서용 캐패시터로 구성되며, 상기 금속 구조체는, 일 지점으로부터 연속적으로 형성되는 디귿자 형태의 제 1 금속 구조체; 및 상기 제 1 금속 구조체의 일 지점과 다른 일 지점으로부터 연속적으로 형성되어 상기 제 1 금속 구조체와 일정하게 일정 거리가 이격되도록 형성되는 디귿자 형태의 제 2 금속 구조체;를 포함하고, 상기 제 1 금속 구조체 및 상기 제 2 금속 구조체는 각각 상방향으로 돌출된 돌출부를 포함할 수 있다.
- [16] 상기 돌출부의 개수는, $N > b / (2^a \cdot 36.4\text{ppm} \cdot c \cdot \epsilon_0 \cdot (A/d) \cdot 1.3)$
- [17] (여기서, N 은 돌출부의 개수, a 는 이중 양자화 캐패시턴스 디지털 변환기의 유효 비트수, b 는 이중 양자화 캐패시턴스 디지털 변환기의 입력 캐패시턴스 영역, c 는 해상도, ϵ_0 는 진공 유전율, ϵ_r 는 상대 유전율, A 는 면적(height * length), d 는 돌출부간 거리)일 수 있다.
- [18] 상기 센서용 캐패시터가 압력 센서용 캐패시터인 경우, 상기 제 1 금속 구조체 및 상기 제 2 금속 구조체는 공기에 노출된 머리빗 모양의 맞물린 구조를 형성할 수 있다.
- [19] 상기 센서용 캐패시터는 가속도 센서용 캐패시터로 구성되며, 상기 가속도 센서용 캐패시터는 베이스의 상면에 상호 이격되게 설치된 3개의 본드 와이어를 포함하고, 상기 3개의 본드 와이어 중에서 중간 본드 와이어를 제외한 좌측 및 우측의 본드 와이어는 각각의 양측단이 상기 베이스의 상면에 고정되게 접속되고, 중간 본드 와이어의 일단은 상기 베이스의 상면에 고정되게 접속되고 타단은 상기 베이스로부터 이격되게 분리되고, 상기 중간 본드 와이어의 타단의 끝부에는 검중 질량이 부착될 수 있다.
- [20] 상기 적분기는 OP앰프 및 통합 캐패시터를 포함하고, 상기 OP앰프의 반전 입력단자는 상기 스위치 캐패시터의 출력단에 접속되고, 상기 OP앰프의 비반전 입력단자는 제 8 스위치를 매개로 상기 스위치 캐패시터의 출력단에 접속되고 상기 제 8 스위치와 비반전 입력단자 사이가 기준전압단(V_{com})에 접속되고, 상기 통합 캐패시터는 제 9 스위치를 매개로 상기 OP앰프의 반전 입력단자와 출력단자 사이에 삽입되고, 상기 제 8 스위치는 상기 제 1 클럭신호에 의해 제어되고, 상기 제 9 스위치는 상기 제 2 클럭신호에 의해 제어될 수 있다.
- [21] 상기 제 1 클럭신호가 로우이고 상기 제 2 클럭신호가 하이이면 상기 스위치 캐패시터의 출력이 상기 적분기의 통합 캐패시터에게로 이동되어 적분되고,

상기 제 1 클럭신호가 하이이고 상기 제 2 클럭신호가 로우로 되면 상기 적분기는 현재의 적분값을 출력할 수 있다.

[22] 상기 멀티 비트 양자화기는 7비트 동기식 SAR-ADC로 구성될 수 있다.

[23] 한편, 본 발명의 바람직한 실시양태에 따른 환경 정보 측정 장치는, 환경 정보 센서 회로; 상기 환경 정보 센서 회로로부터 출력되는 센싱 신호에 상응하는 환경 정보값을 결정하는 환경 정보값 결정부; 및 상기 환경 정보값 결정부에서 결정된 환경 정보값을 출력하는 출력부;를 포함하고, 상기 환경 정보 센서 회로는 비오버래핑되는 제 1 클럭신호 및 제 2 클럭신호를 근거로 상기 압력 정보와 습도 정보 및 가속도 정보 중 하나를 출력하는 스위치 캐패시터; 상기 스위치 캐패시터의 출력을 적분하여 아날로그 값으로 출력하는 적분기, 및 상기 적분기의 출력과 기설정된 임계전압을 비교하여 비교 결과에 상응하는 싱글 비트의 디지털 신호를 출력하는 싱글 비트 양자화기를 포함하는 싱글 비트 1차 델타 시그마 변환기; 및 샘플링 스위치를 매개로 상기 적분기의 출력단에 접속되고, 샘플링 신호에 따라 상기 샘플링 스위치가 온되는 시점의 상기 적분기의 출력을 양자화하는 멀티 비트 양자화기;를 포함한다.

발명의 효과

[24] 이러한 구성의 본 발명에 따르면, 이중 양자화 커패시턴스-디지털 변환기 구조를 채택하여 압력, 습도, 가속도 등과 같이 다양한 환경 정보를 보다 정확하게 센싱하고, 양자화 잡음을 줄임에 있어서, 낮은 디자인 복잡도와 높은 에너지 효율을 가지면서도 넓은 동작 영역과 높은 해상도에서 동작시킬 수 있다.

[25] 특히, 복잡도가 높은 델타 시그마의 차수만을 높이거나 해상도가 높지 않은 멀티 비트 DAC를 이용하지 않고서도, 양자화 잡음을 효율적으로 줄일 수 있다.

[26] 이와 같은 본 발명의 구성에 따르면, CMOS 반도체를 계산 소자가 아닌 센싱 소자로 바라보는 새로운 패러다임으로서의 표준 CMOS 센서로서 이용할 수 있으며, 이는 외부 환경 변화에 의해 CMOS 반도체의 특성이 변화되는 비이상성을 이용하는 새로운 기술을 도입하는 것으로서, 값비싼 MEMS 기술 또는 후처리 공정(bulk micromaching tech etc.)을 이용하지 않고도 기존의 시스템 반도체와 센싱 소자를 바로 집적시킬 수 있는 효과를 얻을 수 있다.

[27] 따라서, 본 발명의 실시 예에 따르면, 모든 표준 CMOS 센서들이 하나의 CMOS 집적회로(IC, Integrated Chip) 내로 집적될 수 있으므로 양산을 유리하게 하며 혁신적으로 비용을 절감시킬 수 있다. 이는 기존의 센서 시스템에 있어서 서로 다른 MEMS 공정으로 구현된 센서들로 인한 양산의 어려움과, 고 비용 및 저 효율이 소요되는 문제점들을 해결할 수 있게 된다.

도면의 간단한 설명

[28] 도 1은 본 발명의 실시예에 따른 환경 정보 측정 장치의 구성을 나타낸 블록도이다.

[29] 도 2는 본 발명의 실시예에 따른 환경 정보 센서 회로의 기본 구성을 설명하기

위한 회로 개념도이다.

[30] 도 3 내지 도 6은 도 2에 도시된 센서용 캐패시터가 압력 센서용 캐패시터인 경우의 구성을 설명하기 위한 도면이다.

[31] 도 7 및 도 8은 도 2에 도시된 센서용 캐패시터가 습도 센서용 캐패시터인 경우의 구성을 설명하기 위한 도면이다.

[32] 도 9는 도 2에 도시된 센서용 캐패시터가 가속도 센서용 캐패시터인 경우의 구성을 설명하기 위한 도면이다.

[33] 도 10은 도 2에 도시된 환경 정보 센서 회로에서 싱글 비트 1차 델타 시그마 경로 설명에 채용되는 신호 파형도이다.

[34] 도 11은 도 2에 도시된 환경 정보 센서 회로에서 멀티 비트 양자화기 설명에 채용되는 신호 파형도이다.

[35] 도 12는 본 발명의 다른 실시예에 따른 환경 정보 센서 회로의 구성을 설명하기 위한 회로 개념도이다.

발명의 실시를 위한 형태

[36] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 상세하게 설명하고자 한다.

[37] 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[38] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[39] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가진 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[40] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 본 발명을 설명함에 있어 전체적인 이해를 용이하게 하기 위하여 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.

[41]

- [42] 도 1은 본 발명의 실시예에 따른 환경 정보 측정 장치의 구성을 나타낸 블록도이다.
- [43] 본 발명의 실시예에서, 환경 정보는 압력 정보, 습도 정보, 가속도 정보 중에서 하나 이상을 포함할 수 있다. 따라서, 본 발명의 실시예에 따른 환경 정보 측정 장치는 환경 정보(예컨대, 압력 정보, 습도 정보, 가속도 정보 중에서 하나 이상)를 센싱하여 출력할 수 있다.
- [44] 특히, 본 발명의 실시예에서 환경 정보 측정 장치는 환경 변화에 따른 환경 정보 측정용 캐패시터의 유전율 변화에 따라 가변되는 전압 출력값에 기초하여 압력 정보, 습도 정보, 가속도 정보 중에서 하나 이상을 측정하고, 측정된 값을 환경 정보 측정 장치와 연결된 다른 소자 또는 장치 등에게로 출력할 수 있다.
- [45] 본 발명의 실시예에 따른 환경 정보 측정 장치는 환경 정보 센서 회로(10), 환경 정보값 결정부(20), 및 출력부(30)를 포함한다.
- [46] 환경 정보 센서 회로(10)는 외부 환경 정보 변화를 센싱하고 센싱된 값을 출력한다.
- [47] 환경 정보 센서 회로(10)는 넓은 입력 캐패시턴스 범위(예컨대, >10pF) 및 높은 해상도(예컨대, <1fF)를 가지며, 에너지 효율을 높이기 위해서, 싱글 비트 1차 델타 시그마 변환기 및 멀티 비트 양자화기를 포함할 수 있다.
- [48] 예를 들어, 환경 정보 센서 회로(10)는 압력 센서, 습도 센서, 가속도 센서를 포함한다고 볼 수 있다.
- [49] 한편, 온도와 습도에 의한 캐패시턴스의 변화는 압력에 의한 캐패시턴스 변화에 비해 상대적으로 작다. 고해상도의 압력센서를 구현하기 위해서는 온도/습도의 보상이 필요하다. 그에 따라, 압력 센서와 습도 센서 및 가속도 센서 이외로 온칩(On-chip) 온도 센서를 추가로 설치하여 룩업 테이블(look up table)을 이용하여 온도/습도의 보상이 이루어지도록 할 수도 있다.
- [50] 환경 정보값 결정부(20)는 환경 정보 센서 회로(10)로부터 출력되는 센싱 신호에 상응하는 환경 정보값을 결정한다.
- [51] 출력부(30)는 환경 정보값 결정부(20)에서 결정된 환경 정보값을 출력한다. 출력부(30)에서 출력되는 환경 정보값은 미리 결정된 포맷으로 변환되어 환경 정보 제어를 실행하는 다른 모듈로 전송되거나, 비디오 또는 오디오 출력장치로 전송되어 영상 또는 음성 데이터로 변환 및 출력될 수 있다.
- [52]
- [53] 도 2는 본 발명의 실시예에 따른 환경 정보 센서 회로의 기본 구성을 설명하기 위한 회로 개념도이다.
- [54] 환경 정보 센서 회로(10)는, 스위치 캐패시터(70), 싱글 비트 1차 델타 시그마 변환기(71), 멀티 비트 양자화기(73), 및 디지털 필터(74)를 포함할 수 있다. 여기서, 싱글 비트 1차 델타 시그마 변환기(71), 멀티 비트 양자화기(73), 및 디지털 필터(74)를 이중 양자화 캐패시턴스 디지털 변환기(CDC)라고 통칭할 수 있다.

- [55] 스위치 캐패시터(70)는 비-오버래핑(non-overlapping)되는 클럭신호(ϕ_1 , ϕ_2)에 의해 스위칭되어 소정의 충전전하(ΔQ)를 출력한다. 여기서, 클럭신호(ϕ_1)는 제 1 클럭신호라 할 수 있고, 클럭신호(ϕ_2)는 제 2 클럭신호라고 할 수 있다.
- [56] 스위치 캐패시터(70)는, 일단이 전원단(V_{DD})에 연결되고 제2 클럭신호(ϕ_2)에 의해 온/오프되는 제 1 스위치(1)의 타단과, 일단이 접지단에 연결되고 제1 클럭신호(ϕ_1)에 의해 온/오프되는 제 2 스위치(2)의 타단이 접속되는 노드에 일단이 연결된 센서용 캐패시터(C_s), 일단이 전원단(V_{DD})에 연결되고 제2 클럭신호(ϕ_2)에 의해 온/오프되는 제 3 스위치(3)의 타단과, 일단이 접지단에 연결되고 제1 클럭신호(ϕ_1)에 의해 온/오프되는 제 4 스위치(4)의 타단이 접속되는 노드에 일단이 연결된 기준전압 제공용 캐패시터(C_{Ref}), 일단이 전원단(V_{DD})에 연결되고 제2 클럭신호(ϕ_2)에 의해 온/오프되는 제 5 스위치(5)의 타단과, 일단이 접지단에 연결되고 제1 클럭신호(ϕ_1)에 의해 온/오프되는 제 6 스위치(6)의 타단이 접속되는 노드에 일단이 연결된 전하 제공용 캐패시터(C_Q), 및 상기 전하 제공용 캐패시터(C_Q)의 타단과 출력단 사이에 설치되어 싱글 비트 1차 델타 시그마 변환기(71)로부터 피드백되는 싱글 비트의 디지털 신호(b_s)에 근거하여 온/오프되는 제 7 스위치(7)를 포함한다. 이때, 신호(b_s)는 아날로그 신호로 변환되어 제 7 스위치(7)에게로 인가될 것이다.
- [57] 여기서, 센서용 캐패시터(C_s), 기준전압 제공용 캐패시터(C_{Ref}), 및 전하 제공용 캐패시터(C_Q)는 병렬로 접속되며, 전하 제공용 캐패시터(C_Q)는 제 7 스위치(7)를 매개로 센서용 캐패시터(C_s) 및 기준전압 제공용 캐패시터(C_{Ref})와 병렬로 접속된다.
- [58] 즉, 상기 전하 제공용 캐패시터(C_Q) 및 상기 제 7 스위치(7)를 포함하는 전하 제공용 캐패시터부가 구비될 수 있으며, 상기 전하 제공용 캐패시터부는 상기 센서용 캐패시터(C_s) 및 상기 기준전압 제공용 캐패시터(C_{Ref})와 상호 병렬 구조로 연결될 수 있는 것이다.
- [59] 스위치 캐패시터(70)에서의 출력(ΔQ)은 $(C_s - C_{Ref} - b_s \cdot C_Q) \cdot V_{DD}$ 일 것이다. 그리고, 싱글 비트 신호(b_s)의 밀도(μ)는 $(C_s - C_{Ref})/C_Q$ 이다.
- [60] 본 발명의 실시예는 압력 정보, 습도 정보, 가속도 정보 중에서 하나 이상을 측정할 수 있으므로, 센서용 캐패시터(C_s)는, 압력 센서와 습도 센서 및 가속도 센서 중 적어도 하나의 센서용 캐패시터일 수 있다. 따라서, 도 2에서는 센서용 캐패시터(C_s)를 하나만 도시하였으나, 실제적으로는 압력 센서를 의미하는 센서용 캐패시터, 습도 센서를 의미하는 센서용 캐패시터, 및 가속도 센서를 의미하는 센서용 캐패시터 각각을 위한 복수의 센서용 캐패시터들이 포함될 수 있다. 이 경우, 압력 센서와 습도 센서 및 가속도 센서 중에서 선택된 센서의 감지신호가 스위치 캐패시터(70)의 출력에 포함될 것이다.
- [61] 싱글 비트 1차 델타 시그마 변환기(71)는 적분기(75), 및 싱글 비트 양자화기(76)를 포함한다.
- [62] 적분기(75)는 스위치 캐패시터(70)의 출력을 적분하여 아날로그 전압 신호(V

V_{out})를 생성한다.

- [63] 적분기(75)는 OP앰프(75a) 및 통합 캐패시터(C_{int})를 포함한다. OP앰프(75a)의 반전 입력단자(-)가 스위치 캐패시터(70)의 출력단에 접속되고, OP앰프(75a)의 비반전 입력단자(+)가 제 8 스위치(8)를 매개로 스위치 캐패시터(70)의 출력단에 접속되고 제 8 스위치(8)와 비반전 입력단자(+) 사이가 기준전압단(V_{com})에 접속된다. 통합 캐패시터(C_{int})는 제 9 스위치(9)를 매개로 OP앰프(75a)의 반전 입력단자(-)와 출력단자 사이에 삽입된다. 여기서, 제 8 스위치(8)는 제1 클럭신호(ϕ_1)에 의해 제어되고, 제 9 스위치는 제2 클럭신호(ϕ_2)에 의해 제어된다.
- [64] 상술한 구성의 적분기(75)에 의하면, 제1 클럭신호(ϕ_1)가 로우("0")이고 제2 클럭신호(ϕ_2)가 하이("1")인 구간에 스위치 캐패시터(70)의 출력(ΔQ)은 통합 캐패시터(C_{int})에 게로 이동하면서 적분된다. 반대로, 제1 클럭신호(ϕ_1)가 하이("1")이고 제2 클럭신호(ϕ_2)가 로우("0")로 되면 적분기(75)는 현재의 적분값(V_{out})을 출력한다.
- [65] 싱글 비트 양자화기(76)는 적분기(75)의 출력(즉, 아날로그 전압 신호(V_{out}))과 기설정된 임계전압(V_{th})을 비교하고 비교 결과에 상응하는 싱글 비트(즉, 1비트)의 디지털 신호(b_s)를 출력한다. 여기서, 싱글 비트의 디지털 신호(b_s)는 PDM(Pulse Density Modulated) 신호일 수 있으며 앞서 설명한 바와 같이 스위치 캐패시터(70)에 게로 피드백되어 스위치(70a)를 온(ON)시킨다.
- [66] 싱글 비트 양자화기(76)의 반전 입력단자(-)는 적분기(75)의 출력단에 접속되고, 비반전 입력단자(+)는 임계전압단에 접속된다.
- [67] 싱글 비트 양자화기(76)는 싱글 비트 1차 델타 시그마 변환기(71)의 선형성을 보장해 준다.
- [68] 이에 따라, 싱글 비트 양자화기(76)는 가장 중요도가 높은 1비트 신호에 대한 양자화 처리를 수행함으로써, 낮은 디자인 복잡도에서도 높은 해상도의 출력을 얻을 수 있다.
- [69] 그리고 나머지 비트들(예를 들어 8비트 중 나머지 7비트)에 대응하는 양자화는 넓은 동작 영역을 가지면서 에너지 효율이 높은 멀티 비트 양자화기(73)로 처리함으로써, 전체적인 양자화 효율 및 동작 성능을 향상시킬 수 있다.
- [70] 이를 위해, 멀티 비트 양자화기(73)는 샘플링 스위치(11)를 매개로 적분기(75)의 출력단에 접속된다.
- [71] 멀티 비트 양자화기(73)는 샘플링 신호(ϕ_{smp})에 따라 샘플링 스위치(11)가 온(ON)되는 시점의 적분기(75)의 출력(즉, 아날로그 전압 신호(V_{out}))을 양자화한다. 멀티 비트 양자화기(73)는 예를 들어 8비트 양자화 신호 중 델타-시그마 변환기에 의해 추출된 1비트 신호가 차감된 신호로부터 나머지 7비트로 양자화된 값을 출력한다.
- [72] 멀티 비트 양자화기(73)는 예를 들어, 전술한 1차 델타 시그마 변환기 기반의 싱글 비트 양자화기(76)와 스위칭 동기화된 7비트 동기식(synchronous) SAR

방식의 SAR-ADC로 구성될 수 있다. 여기서, SAR 방식은 축차 비교 레지스터(SUCCESSIVE APPROXIMATION REGISTER)를 이용한 방식으로, 아날로그 입력 신호로부터 표본화된 전압과, 축차 비교 레지스터(SAR)에 MSB에만 1을 대입한 DAC 출력전압을 비교하여 MSB를 결정하는 것을 LSB까지 반복하는 축차 비교를 처리하여 디지털 신호 변환을 처리하는 것으로, 높은 분해능과 응답성 및 멀티플렉서 연결이 용이한 장점이 있으며 이에 따라, 전체적 양자화 잡음은 감소될 수 있다.

- [73] 상술한 멀티 비트 양자화기(73)와 싱글 비트 양자화기(76)는 스위칭 동기화에 의해 출력시점이 교번적으로 가변되는 것이 바람직하다.
- [74] 한편, 디지털 필터(74)는 멀티 비트 양자화기(73)의 비트 스트림과 싱글 비트 양자화기(76)의 비트 스트림을 수신하고, 각각 수신한 비트 스트림에 포함되어 있는 양자화 잡음을 각 1비트 및 7비트 스펙트럼에 따라 개별적으로 제거할 수 있다.
- [75]
- [76] 도 3 내지 도 6은 도 2에 도시된 센서용 캐패시터가 압력 센서용 캐패시터인 경우의 구성을 설명하기 위한 도면이다.
- [77] 도 3 내지 도 5에 도시된 압력 센서는, 제 1 금속 구조체(42) 및 제 2 금속 구조체(43)가 베이스(41)의 상면 중앙부에 서로 이격되어 상방향으로 돌출설치되되, 제 1 금속 구조체(42) 및 제 2 금속 구조체(43)는 공기에 노출된 머리빗 모양의 맞물린 구조를 형성한다. 즉, 제 1 금속 구조체(42)는 일 지점으로부터 지면 방향으로 연속적으로 수평 형성되는 'ㄷ'(또는 'U') 문자 형태를 취하고, 제 2 금속 구조체(43)는 제 1 금속 구조체(42)의 일 지점과 다른 일 지점으로부터 지면 방향으로 연속적으로 수평 형성되어 제 1 금속 구조체(42)와 일정하게 일정 거리(d)가 이격되도록 형성되는 'ㄷ'(또는 'U') 문자 형태를 취할 수 있다. 제 1 금속 구조체(42) 및 제 2 금속 구조체(43)의 재질은 알루미늄(Al)일 수 있다. 알루미늄을 이용하면 Al_2O_3 가 생성됨으로 추가적 산화에 의한 부식을 막을 수 있다.
- [78] 단위 면적당 감도(Sensitivity)를 최대화하기 위해서 DRC rule에 부합하는 선에서 금속 구조체(42, 43) 사이의 거리(D)와 금속 구조체(42, 43)의 너비(W)를 가장 작은 길이로 결정하는 것이 바람직하다. 실제로는 금속 구조체(42, 43)에 너비가 존재하기 때문에 도 6에서와 같이 Fringe capacitance(C_{frb} , C_{frt})와 bottom capacitance(C_{bot})가 존재하며, 실제 공기와 접촉하는 부분은 C_{cc} 와 C_{frt} 로 전체 캐패시턴스의 대략 52% 정도를 차지한다. Bottom capacitance의 영향을 최소화하기 위해 floating cap으로서 사용하는 것이 바람직하다.
- [79] 제 1 금속 구조체(42) 및 제 2 금속 구조체(43)의 돌출부의 개수(N)는 이중 양자화 캐패시턴스 디지털 변환기(CDC)의 성능에 따라 정할 수 있다. 제 1 금속 구조체(42) 및 제 2 금속 구조체(43)는 베이스(41)의 상면 중앙부에 서로 이격되어 상기 지면에서 수직 상방향으로 돌출설치되므로, 이러한 돌출된

부분을 돌출부라고 할 수 있다.

- [80] 예를 들어, 이중 양자화 캐패시턴스 디지털 변환기(CDC)의 유효 비트수(Effective number of bits; ENOB)를 a (bits)라고 하고, 이중 양자화 캐패시턴스 디지털 변환기(CDC)의 입력 캐패시턴스 영역을 b (pF)라고 하고, 압력 센서의 필요 사양인 해상도를 c psi라고 가정하면, 본 발명의 실시예의 압력 센서의 돌출부의 개수(N) 범위는 " $\Delta C(\text{for } c \text{ psi}) = \Delta \epsilon_r \cdot N \cdot \epsilon_0 \cdot (A/d) \cdot 1.3 = (36.4 \text{ ppm/psi} \cdot c) \cdot N \cdot \epsilon_0 \cdot (A/d) \cdot 1.3$ " 을 충족하는 것이 바람직하다.
- [81] 여기서, ϵ_r 는 상대 유전율을 나타내고, ϵ_0 는 진공 유전율을 나타내며, A 는 면적(height * length)이며, d 는 돌출부간 거리(cavity width)를 나타낼 수 있다. 본 발명의 실시예의 압력 센서는 이중 양자화 캐패시턴스 디지털 변환기(CDC)의 절대 해상도(absolute resolution) 보다 큰 변화만 감지 가능하다($\Delta C > C_{\text{abs.res}}$). 그에 따라, $N > b/(2^a \cdot 36.4 \text{ ppm} \cdot c \cdot \epsilon_0 \cdot (A/d) \cdot 1.3)$ 이어야 한다. 압력 센서의 전체 캐패시턴스는 이중 양자화 캐패시턴스 디지털 변환기(CDC)의 입력 캐패시턴스 영역 보다 작아야 한다. 만약, 플로팅 캐패시턴스(floating capacitance)로 사용하였을 경우 $N < b/(\epsilon_0 \cdot (A/d) \cdot 1.75)$ 일 것이다.
- [82] 또한, 베이스(41)의 상면에는 패시베이션(passivation)(44)이 제 1 금속 구조체(42) 및 제 2 금속 구조체(43)와 이격되어 제 1 금속 구조체(42) 및 제 2 금속 구조체(43)를 감싸도록 형성된다. 베이스(41)의 상면에는 패시베이션(44)의 외측면을 따라 가드링(46)이 상향돌출되게 설치된다. 가드링(46)을 설치함으로써, 칩내의 노이즈를 줄일 수 있다. 가드링(46)은 접지(gnd)에 연결될 것이다.
- [83] 상술한 구성의 압력 센서의 유전율에 따른 캐패시턴스는 하기의 수학적 식 1과 같이 계산될 수 있다.
- [84] (수학적 식 1)
- [85] $CC = N \cdot \epsilon_0 \cdot \epsilon_r \cdot (A/d)$
- [86] 여기서, CC 는 캐패시턴스(F)를 나타내며, N 은 양측 금속 구조체로부터 돌출되는 돌출부의 개수를 나타낼 수 있고, ϵ_0 는 진공 유전율을 나타내며, ϵ_r 는 상대 유전율을 나타내고, A 는 면적(height * length)이며, d 는 돌출부간 거리(cavity width)를 나타낼 수 있다.
- [87] 이에 따른, 압력센서 주변 공기의 유전율 변화는 압력에 따라 가변될 수 있다.
- [88] 상술한 본 발명의 실시예의 압력 센서는 Pad-open layer(표준공정)를 사용하여 제 1 금속 구조체(42) 및 제 2 금속 구조체(43)가 공기와 접촉이 가능하도록 패시베이션을 제거하였다. 도 3에서, 미설명 부호 45는 Pad-open layer를 의미한다.
- [89] 상술한 본 발명의 실시예의 압력 센서는 대략 34ppm/psi 인 기압으로 인한 유전 상수의 변화를 이용한다. 본 발명의 실시예의 압력 센서는 5기압 이상의 압력 범위를 수용할 수 있다.
- [90] 그리고, 본 발명의 실시예의 압력 센서는 표준 CMOS공정을 사용하기 때문에 기존의 MEMS 등을 이용할 때와 비교하여 보면 양산에 유리하며 혁신적으로

가격을 낮출 수 있다.

[91]

[92] 도 7 및 도 8은 도 2에 도시된 센서용 캐패시터가 습도 센서용 캐패시터인 경우의 구성을 설명하기 위한 도면이다.

[93] 도 7 및 도 8에 도시된 습도 센서는 일 지점으로부터 연속적으로 형성되는 디귿자 형태의 제 1 금속 구조체(52), 제 1 금속 구조체(52)의 일 지점과 다른 일 지점으로부터 연속적으로 형성되어 제 1 금속 구조체(52)와 일정하게 일정 거리(d)가 이격되도록 형성되는 'ㄷ' 문자(또는 'U') 형태의 제 2 금속 구조체(53)를 포함한다. 즉, 제 1 금속 구조체(52) 및 제 2 금속 구조체(53)는 베이스(51)의 상면 중앙에 설치되되 상호 동일한 머리빗 모양으로 형성된다.

[94] 베이스(51)의 상면에는 패시베이션(passivation)(54)이 제 1 금속 구조체(52) 및 제 2 금속 구조체(53)와 이격되어 제 1 금속 구조체(52) 및 제 2 금속 구조체(53)를 감싸도록 형성된다.

[95] 그리고, 제 1 금속 구조체(52) 및 제 2 금속 구조체(53)는 습기로 인한 팽창으로 인해 유전율이 변하는 폴리이미드(55)로 덮여 있다. 폴리이미드층은 일반적인 패시베이션에서 플립 칩 패키징에 널리 사용되는 일반적인 CMOS 공정에서 사용할 수 있다.

[96] 상술한 구성의 습도 센서는 폴리이미드(55)의 상대 유전율 변화를 이용하여 습도를 감지할 수 있다. 폴리이미드(55)의 상대 유전율(e)은 하기의 수학식 2에 의해 계산할 수 있다.

[97] (수학식 2)

[98]

$$e = \left(\gamma \left(\sqrt[3]{e_w} - \sqrt[3]{e_p} \right) - \sqrt[3]{e_p} \right)^3$$

[99] 여기서, r은 폴리이미드 필름의 물의 부분 부피를 나타내고, e_w 는 물의 유전율을 나타내고, e_p 는 폴리이미드의 유전율을 나타낸다.

[100] 따라서, 상술한 구성의 습도 센서의 유전율에 따른 캐패시턴스는 상기의 수학식 1과 같이 계산될 수 있다.

[101] 제 1 금속 구조체(52) 및 제 2 금속 구조체(53)의 돌출부의 개수(N)는 이중 양자화 캐패시턴스 디지털 변환기(CDC)의 성능에 따라 정할 수 있다. 제 1 금속 구조체(52) 및 제 2 금속 구조체(53)는 베이스(51)의 상면 중앙부에 서로 이격되어 상방향으로 돌출설치되므로, 돌출된 부위를 돌출부라고 한다. 예를 들어, 이중 양자화 캐패시턴스 디지털 변환기(CDC)의 유효 비트수(Effective number of bits; ENOB)를 a (bits)라고 하고, 이중 양자화 캐패시턴스 디지털 변환기(CDC)의 입력 캐패시턴스 영역을 b (pF)라고 하고, 습도 센서의 필요

사양인 해상도를 c psi라고 가정하면, 본 발명의 실시예의 습도 센서의 돌출부의 개수(N) 범위는 " $\Delta C(\text{for } c \text{ psi}) = \Delta \epsilon_r \cdot N \cdot \epsilon_0 \cdot (A/d) \cdot 1.3 = (36.4\text{ppm/psi} \cdot c) \cdot N \cdot \epsilon_0 \cdot (A/d) \cdot 1.3$ " 을 충족하는 것이 바람직하다. 여기서, ϵ_r 는 상대 유전율을 나타내고, ϵ_0 는 진공 유전율을 나타내며, A 는 면적(height * length)이며, d 는 돌출부간 거리(cavity width)를 나타낼 수 있다. 본 발명의 실시예의 습도 센서는 이중 양자화 캐패시턴스 디지털 변환기(CDC)의 절대 해상도(absolute resolution) 보다 큰 변화만 감지 가능하다($\Delta C > C_{\text{abs.res}}$). 그에 따라, $N > b/(2^a \cdot 36.4\text{ppm} \cdot c \cdot \epsilon_0 \cdot (A/d) \cdot 1.3)$ 이어야 한다. 습도 센서의 전체 캐패시턴스는 이중 양자화 캐패시턴스 디지털 변환기(CDC)의 입력 캐패시턴스 영역 보다 작아야 한다. 만약, 플로팅 캐패시턴스(floating capacitance)로 사용하였을 경우 $N < b/(\epsilon_0 \cdot (A/d) \cdot 1.75)$ 일 것이다.

[102]

[103] 도 9는 도 2에 도시된 센서용 캐패시터가 가속도 센서용 캐패시터인 경우의 구성을 설명하기 위한 도면이다.

[104] 도 9에 도시된 가속도 센서는 3개의 본드 와이어(62, 63, 64)를 사용하여 구현된다. 즉, 3개의 본드 와이어(62, 63, 64)는 베이스(61; 패드라고도 할 수 있음)의 상면에 상호 이격되어 설치된다.

[105] 여기서, 3개의 본드 와이어(62, 63, 64) 중에서 중간의 본드 와이어(63)를 제외한 좌측 및 우측의 본드 와이어(62, 64)는 양측단이 베이스(61)의 상면에 고정되게 접속된다. 그리고, 중간의 본드 와이어(63)의 일단은 베이스(61)의 상면에 고정되게 접속되고 타단은 베이스(61)로부터 이격되게 분리되고 소정 사이즈의 검증 질량(proof mass)(65)이 부착된다.

[106] 상술한 구성의 가속도 센서는 검증 질량(65)이 추가로 부착됨에 따라 가속도에 의한 캐패시턴스 변화를 최대화할 수 있다.

[107] 한편, 검증 질량(65)의 크기(dimension)가 커질수록 감도(sensitivity)가 증가하지만, 측정가능한 가속도 범위가 줄어들게 된다. 따라서, 감도 및 측정가능한 가속도 범위 등을 고려하여 검증 질량(65)의 크기를 결정하여야 한다.

[108]

[109] 도 10은 도 2에 도시된 환경 정보 센서 회로에서 싱글 비트 1차 델타 시그마 경로 설명에 채용되는 신호 파형도이다.

[110] 싱글 비트 1차 델타 시그마 경로는 도 2의 환경 정보 센서 회로(10)에서 스위치 캐패시터(70) 및 싱글 비트 1차 델타 시그마 변환기(71)로 구성된다고 할 수 있으므로, 도 10의 신호 파형도를 이해하기 위해서는 도 2에서 싱글 비트 1차 델타 시그마 경로를 함께 보아야 할 것이다.

[111] 도 10에서, 제1 및 제2 클럭신호(ϕ_1, ϕ_2)는 비-오버래핑(non-overlapping)되는 신호이다.

[112] 제1 클럭신호(ϕ_1)가 로우("0")이고 제2 클럭신호(ϕ_2)가 하이("1")이면 스위치

캐패시터(70)의 출력(ΔQ)이 적분기(75)의 통합 캐패시터(C_{int})에게로 집적되어 적분된다. 여기서, 스위치 캐패시터(70)의 출력(ΔQ)에는 센서용 캐패시터(C_s)에서의 캐패시턴스(예컨대, 압력 정보, 습도 정보, 가속도 정보 중에서 어느 하나에 상응한 값)가 포함될 것이다.

[113] 반대로, 제1 클럭신호(ϕ_1)가 하이("1")이고 제2 클럭신호(ϕ_2)가 로우("0")로 되면 적분기(75)는 현재의 적분값(V_{out})을 출력한다.

[114] 그에 따라, 싱글 비트 양자화기(76)는 적분기(75)의 출력(V_{out})과 기설정된 임계전압(V_{th})을 비교연산하고 비교 연산한 결과값을 아날로그 디지털 변환을 하여 싱글 비트(즉, 1비트)의 디지털 신호(b_s)로 출력한다. 여기서, 싱글 비트(즉, 1비트)의 디지털 신호(b_s)는 PDM(Pulse Density Modulated) 신호일 수 있다.

[115] 예를 들어, 싱글 비트 양자화기(76)는 적분기(75)의 출력(V_{out})이 임계전압(V_{th}) 미만이면 로우("0")의 싱글 비트의 디지털 신호(b_s)를 출력할 수 있다. 반대로, 싱글 비트 양자화기(76)는 적분기(75)의 출력(V_{out})이 임계전압(V_{th}) 이상이면 하이("1")의 싱글 비트의 디지털 신호(b_s)를 출력할 수 있다.

[116] 그리고, 싱글 비트 양자화기(76)에서 출력되는 싱글 비트의 디지털 신호(b_s)는 디지털 필터(74)에게로 인가됨과 더불어 스위치 캐패시터(70)에게로 피드백된다. 여기서, 스위치 캐패시터(70)에게로 피드백되는 싱글 비트의 디지털 신호(b_s)는 스위치 캐패시터(70)의 제 7 스위치(7)를 온/오프시키는 제어신호가 될 것인데, 아날로그 신호로 변환되어 제 7 스위치(7)에게로 인가될 것이다.

[117]

[118] 도 11은 도 2에 도시된 환경 정보 센서 회로에서 멀티 비트 양자화기 설명에 채용되는 신호 파형도이다.

[119] 도 11을 참조하면, 멀티 비트 양자화기(73)는 주기적인 샘플링 신호(ϕ_{smp})에 따라 샘플링 스위치(11)가 온(ON)될 때마다 적분기(75)의 출력(즉, 아날로그 전압 신호(V_{out}))을 샘플링하여 양자화한다.

[120] 다시 말해서, 멀티 비트 양자화기(73)는 7비트 동기식 SAR-ADC로 구성될 수 있다. 멀티 비트 양자화기(73)는 적분기(75)의 출력(V_{out})을 주기적인 샘플링 신호(ϕ_{smp})에 따라 샘플링 스위치(11)가 온(ON)될 때마다 표본화(S&H)한다. 이어, 축차 비교 레지스터(SAR)의 MSB에 "1"을 대입한 후에 축차 비교 레지스터(SAR)의 디지털값을 D/A변환하여 아날로그 값(V_{th})으로 변환시킨다.

[121] 이후, 표본화된 전압과 아날로그 값(V_{th})의 대소를 비교한다. 예를 들어, 표본화된 전압이 아날로그 값(V_{th}) 이상이면 MSB를 "1"로 확정할 수 있고, 표본화된 전압이 아날로그 값(V_{th}) 미만이면 MSB를 "0"으로 확정할 수 있다. 이와 같이 LSB까지 동등한 축차 비교를 반복함으로써 원하는 비트수의 디지털 신호로의 변환이 완료된다.

[122]

[123] 도 12는 본 발명의 다른 실시예에 따른 환경 정보 센서 회로의 구성을 설명하기 위한 회로 개념도이다.

- [124] 도 12의 환경 정보 센서 회로의 구성과 도 2의 환경 정보 센서 회로에서 상호 동일한 구성에 대해서는 참조부호를 동일하게 부여한다.
- [125] 차이나는 점은 도 12의 적분기(80)는 도 2의 적분기(75)와 비교하여 볼 때 오토제로 기법(Autozeroing)을 추가로 채용하였다는 점이다. 오토제로 기법을 추가로 채용함에 따라 OP앰프의 오프셋(offset)과 플리커 잡음(flicker noise)을 제거할 수 있게 된다. 도 12의 적분기(80)의 OP앰프는 Folded-Cascode Amplifier로 구성될 수 있다.
- [126] 또한, 도 12는 적분기(80)와 멀티 비트 양자화기(73) 사이에 완전 차동 차등 증폭기(Fully differential difference amplifier ; FDDA)(82)를 추가시켰다는 점이 차이난다. 완전 차동 차등 증폭기(82)는 멀티 비트 양자화기(73)로부터의 킥백 잡음(Kickback noise)과 공통형 잡음(common-mode noise)을 억제할 수 있다.
- [127] 또한, 도 12에서는 멀티 비트 양자화기(73)를 싱글 비트 양자화기와 공유하도록 함으로써, 전력 소모를 줄일 수 있다.
- [128] 즉, 도 12의 환경 정보 센서 회로는 스위치 캐패시터(SC) 기반 단일 비트 1차 델타-시그마 변환기와 에너지 효율적인 동기식 SAR ADC가 결합된 구조의 CDC(캐패시턴스-디지털 변환기)라고 할 수 있다.
- [129]
- [130] 이상에서와 같이 도면과 명세서에서 최적의 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로, 본 기술 분야의 통상의 지식을 가진자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 청구범위의 기술적 사상에 의해 정해져야 할 것이다.
- [131] [부호의 설명]
- [132] 10 : 환경 정보 센서 회로
- [133] 20 : 환경 정보값 결정부
- [134] 30 : 출력부
- [135] 70 : 스위치 캐패시터
- [136] 71 : 싱글 비트 1차 델타 시그마 변환기
- [137] 73 : 멀티 비트 양자화기
- [138] 74 : 디지털 필터
- [139] 75 : 적분기
- [140] 76 : 싱글 비트 양자화기

청구범위

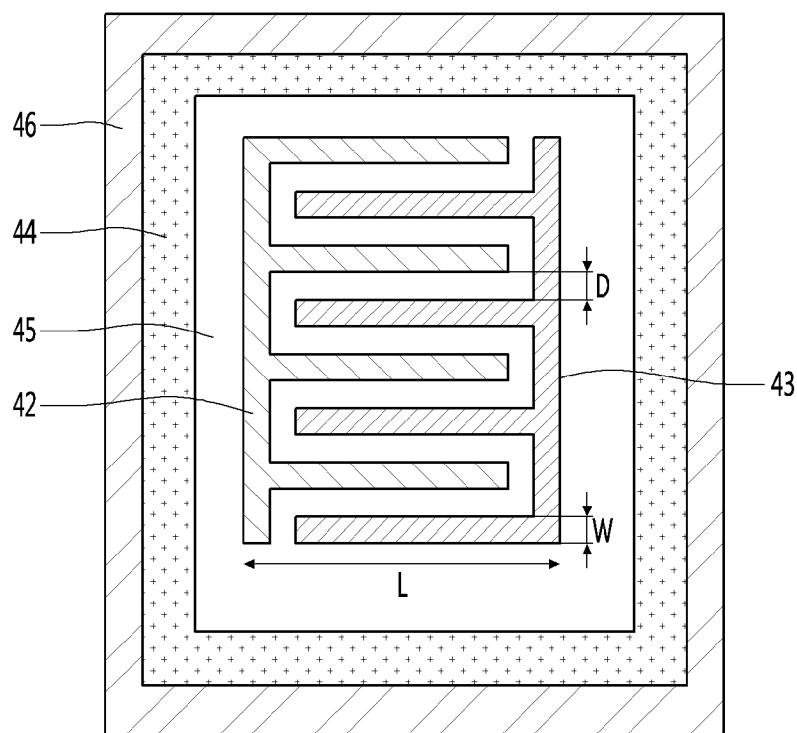
- [청구항 1] 압력 정보, 습도 정보, 및 가속도 정보 중 하나 이상을 포함하는 환경 정보를 센싱하는 센서 회로에 있어서,
비-오버래핑된 제 1 클럭신호 및 제 2 클럭신호를 이용하여, 상기 압력 정보, 상기 습도 정보 및 상기 가속도 정보 중 적어도 하나를 출력하는 스위치 캐패시터;
상기 스위치 캐패시터의 출력을 적분하여 아날로그 값으로 출력하는 적분기와, 상기 적분기의 출력과 기설정된 임계전압을 비교하여 비교 결과에 상응하는 싱글 비트 디지털 신호를 출력하는 싱글 비트 양자화기를 포함하는 싱글 비트 1차 델타 시그마 변환기; 및
샘플링 스위치를 매개로 상기 적분기의 출력단에 접속되고, 샘플링 신호에 따라 상기 샘플링 스위치가 온되는 시점의 상기 적분기의 출력을 양자화하는 멀티 비트 양자화기;를 포함하는 것을 특징으로 하는 환경 정보 센서 회로.
- [청구항 2] 청구항 1에 있어서,
상기 스위치 캐패시터는,
일단이 전원단에 연결되고 상기 제 2 클럭신호에 의해 온/오프되는 제 1 스위치의 타단과, 일단이 접지단에 연결되고 상기 제 1 클럭신호에 의해 온/오프되는 제 2 스위치의 타단이 접속된 노드에, 일단이 연결되는 센서용 캐패시터;
일단이 전원단에 연결되고 상기 제 2 클럭신호에 의해 온/오프되는 제 3 스위치의 타단과, 일단이 접지단에 연결되고 상기 제 1 클럭신호에 의해 온/오프되는 제 4 스위치의 타단이 접속된 노드에, 일단이 연결되는 기준전압 제공용 캐패시터;
일단이 전원단에 연결되고 상기 제 2 클럭신호에 의해 온/오프되는 제 5 스위치의 타단과, 일단이 접지단에 연결되고 상기 제 1 클럭신호에 의해 온/오프되는 제 6 스위치의 타단이 접속된 노드에, 일단이 연결되는 전하 제공용 캐패시터; 및
상기 전하 제공용 캐패시터의 타단과 출력단 사이에 설치되되 상기 싱글 비트 1차 델타 시그마 변환기로부터 피드백되는 싱글 비트의 디지털 신호에 근거하여 온/오프되는 제 7 스위치;를 포함하는 환경 정보 센서 회로.
- [청구항 3] 청구항 1에 있어서,
상기 전하 제공용 캐패시터 및 상기 제 7 스위치를 포함하는 전하 제공용 캐패시터부는, 상기 센서용 캐패시터 및 상기 기준전압 제공용 캐패시터와 상호 병렬 구조로 연결되는 것을 특징으로 하는 환경 정보 센서 회로.

- [청구항 4] 청구항 1에 있어서,
상기 싱글 비트의 디지털 신호는 아날로그 신호로 변환되어 상기 제 7 스위치로 인가되는 것을 특징으로 하는 환경 정보 센서 회로.
- [청구항 5] 청구항 2에 있어서,
상기 센서용 캐패시터는 특정 유전율을 형성하기 위한 공간을 형성하는 금속 구조체를 포함하는 압력 센서용 캐패시터 또는 습도 센서용 캐패시터이며,
상기 금속 구조체는,
일 지점으로부터 지면 방향으로 연속적으로 수평 형성되는 'ㄷ' 문자 형태를 갖는 제 1 금속 구조체; 및
상기 제 1 금속 구조체의 일 지점과 다른 일 지점으로부터 지면 방향으로 연속적으로 수평 형성되어 상기 제 1 금속 구조체와 일정하게 일정 거리가 이격되도록 형성되는 'ㄷ' 문자 형태의 제 2 금속 구조체;를 포함하고,
상기 제 1 금속 구조체 및 상기 제 2 금속 구조체는 각각 수평 형성된 위치로부터 상기 지면 방향에 대응한 수직 상방향으로 돌출된 돌출부를 포함하는 것을 특징으로 하는 환경 정보 센서 회로.
- [청구항 6] 청구항 5에 있어서,
상기 돌출부의 개수 N 은, $N > b / (2^a \cdot 36.4\text{ppm} \cdot c \cdot \epsilon_0 \cdot (A/d) \cdot 1.3)$ 인 것을 특징으로 하는(여기서, a 는 이중 양자화 캐패시턴스 디지털 변환기의 유효 비트수를 나타내며, b 는 이중 양자화 캐패시턴스 디지털 변환기의 입력 캐패시턴스 영역을 나타내고, c 는 해상도를 나타내며, ϵ_0 는 진공 유전율을 나타내고, ϵ_r 는 상대 유전율을 나타내며, A 는 면적(height * length), d 는 돌출부간 거리를 나타냄) 환경 정보 센서 회로.
- [청구항 7] 청구항 5에 있어서,
상기 센서용 캐패시터가 압력 센서용 캐패시터인 경우,
상기 제 1 금속 구조체 및 상기 제 2 금속 구조체는 공기에 노출된 머리빗 모양의 맞물림 구조를 형성하는 것을 특징으로 하는 환경 정보 센서 회로.
- [청구항 8] 청구항 2에 있어서,
상기 센서용 캐패시터는 가속도 센서용 캐패시터이며,
상기 가속도 센서용 캐패시터는 베이스의 상면에 상호 이격되게 설치된 적어도 3개 이상의 본드 와이어를 포함하고,
상기 본드 와이어 중에서 중간 본드 와이어를 제외한 좌측 및 우측 본드 와이어는 각각 양단이 상기 베이스의 상면에 고정되고, 상기 중간 본드 와이어는 일단만 상기 베이스의 상면에 고정되며 타단은 상기 베이스로부터 이격되게 분리 형성되고,
상기 중간 본드 와이어의 상기 타단에는 검증 질량이 부착된 것을 특징으로 하는 환경 정보 센서 회로.

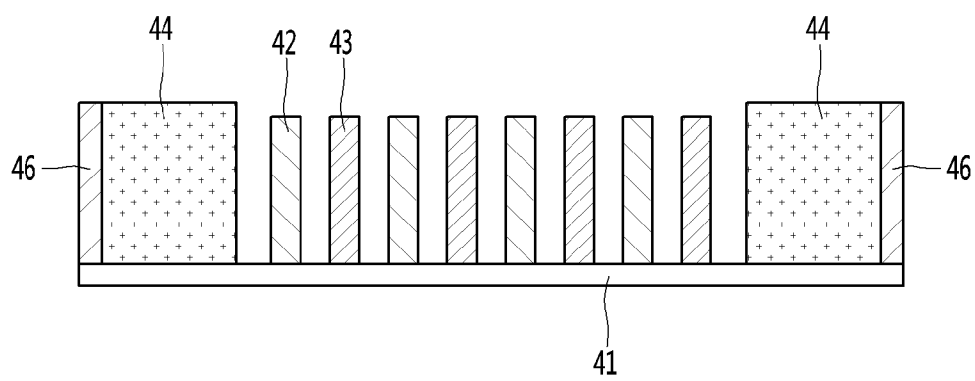
- [청구항 9] 청구항 1에 있어서,
 상기 적분기는 OP앰프 및 통합 캐패시터를 포함하고,
 상기 OP앰프의 반전 입력단자는 상기 스위치 캐패시터의 출력단에 접속되고,
 상기 OP앰프의 비반전 입력단자는 제 8 스위치를 매개로 상기 스위치 캐패시터의 출력단에 접속되며,
 상기 제 8 스위치와 비반전 입력단자 사이가 기준전압단(V_{com})에 접속되고,
 상기 통합 캐패시터는 제 9 스위치를 매개로 상기 OP앰프의 반전 입력단자와 출력단자 사이에 삽입되고,
 상기 제 8 스위치는 상기 제 1 클럭신호에 의해 제어되고, 상기 제 9 스위치는 상기 제 2 클럭신호에 의해 스위칭 제어되는 것을 특징으로 하는 환경 정보 센서 회로.
- [청구항 10] 청구항 9에 있어서,
 상기 제 1 클럭신호가 로우이고 상기 제 2 클럭신호가 하이이면 상기 스위치 캐패시터의 출력이 상기 적분기의 통합 캐패시터로 전달되어 적분되고,
 상기 제 1 클럭신호가 하이이고 상기 제 2 클럭신호가 로우이면 상기 적분기는 현재의 적분값을 출력하는 것을 특징으로 하는 환경 정보 센서 회로.
- [청구항 11] 청구항 1에 있어서,
 상기 멀티 비트 양자화기는 7비트 동기식 측차 비교 레지스터 기반의 아날로그-디지털 변환기(SAR-ADC)로 구성되는 것을 특징으로 하는 환경 정보 센서 회로.
- [청구항 12] 환경 정보 센서 회로;
 상기 환경 정보 센서 회로로부터 출력되는 센싱 신호에 상응하는 환경 정보값을 결정하는 환경 정보값 결정부; 및
 상기 환경 정보값 결정부에서 결정된 환경 정보값을 출력하는 출력부;를 포함하고,
 상기 환경 정보 센서 회로는
 비-오버래핑되는 제 1 클럭신호 및 제 2 클럭신호를 이용하여, 상기 압력 정보, 습도 정보 및 가속도 정보 중 적어도 하나를 출력하는 스위치 캐패시터;
 상기 스위치 캐패시터의 출력을 적분하여 아날로그 값으로 출력하는 적분기와, 상기 적분기의 출력과 기설정된 임계전압을 비교하여 비교 결과에 상응하는 싱글 비트의 디지털 신호를 출력하는 싱글 비트 양자화기를 포함하는 싱글 비트 1차 델타 시그마 변환기; 및
 샘플링 스위치를 매개로 상기 적분기의 출력단에 접속되고, 샘플링

신호에 따라 상기 샘플링 스위치가 온되는 시점의 상기 적분기의 출력을 양자화하는 멀티 비트 양자화기;를 포함하는 것을 특징으로 하는 환경 정보 센서 장치.

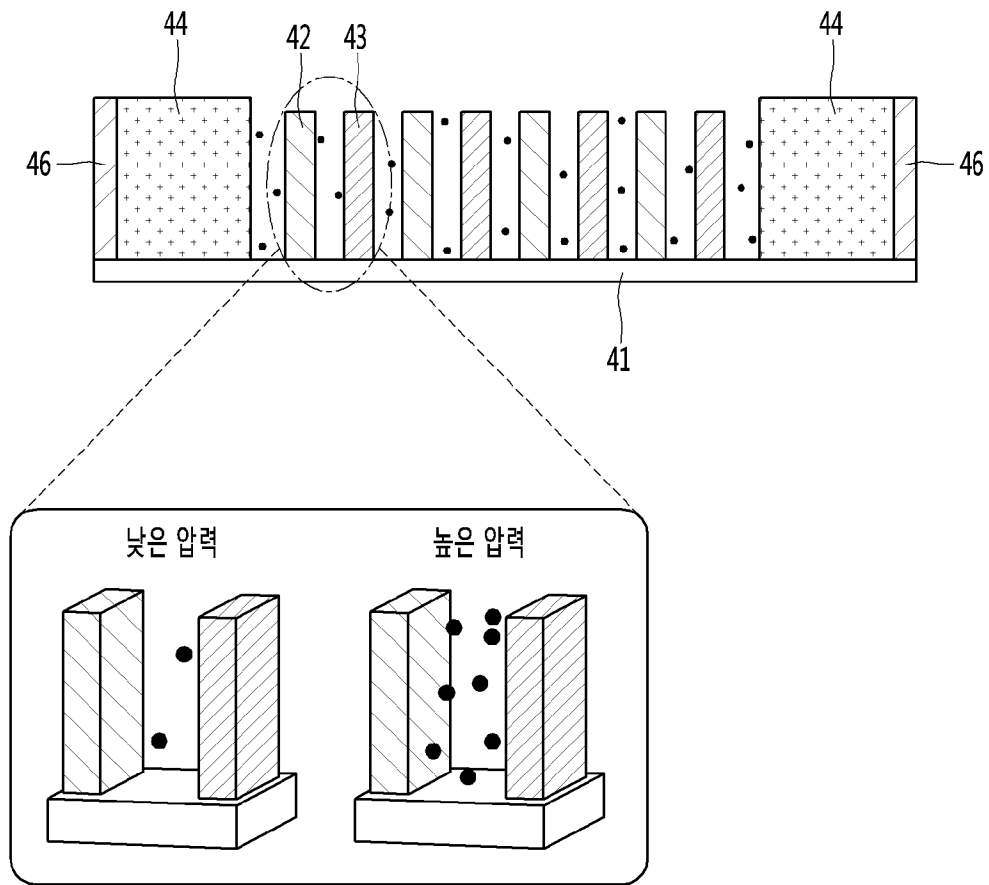
[도3]



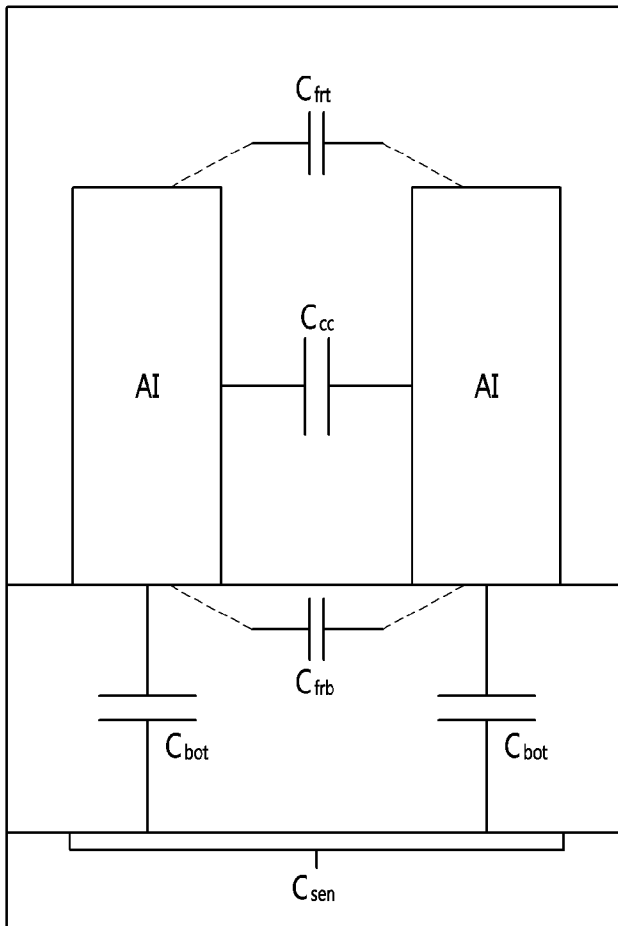
[도4]



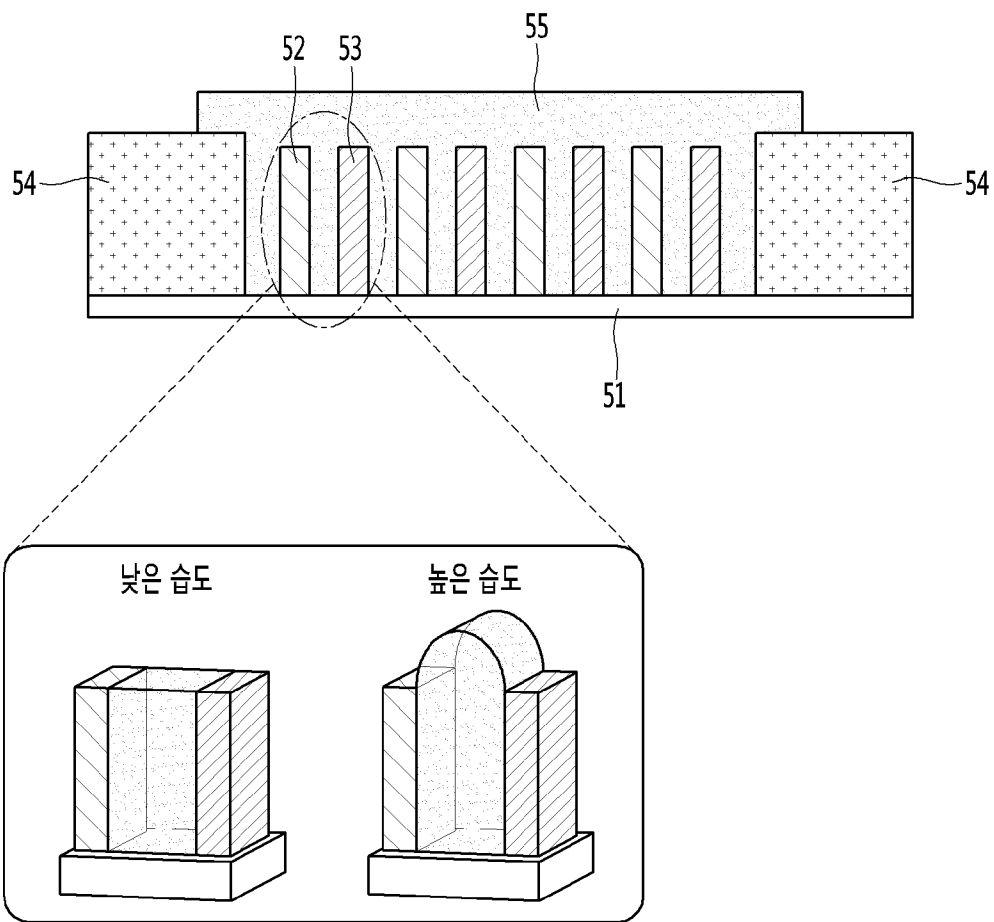
[도5]



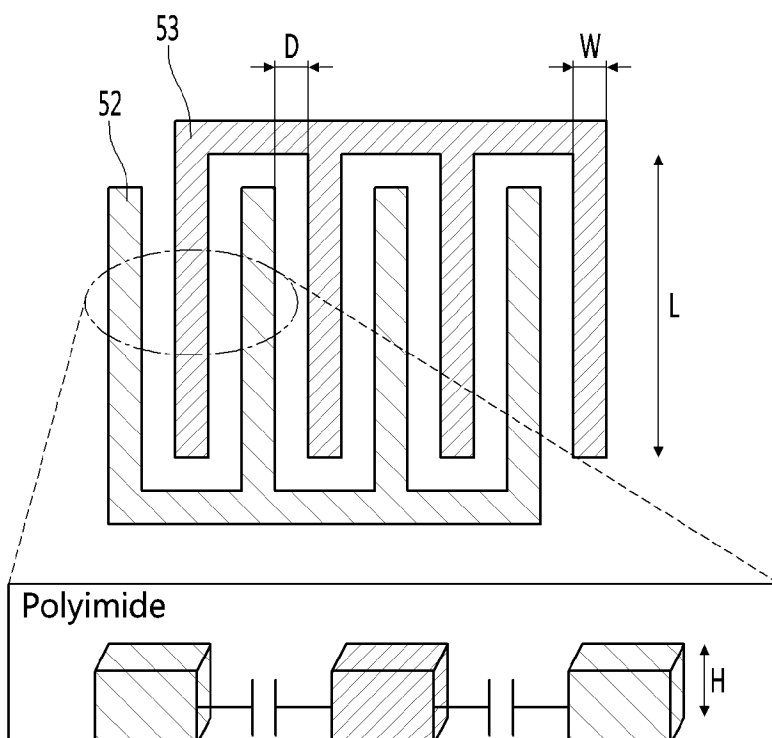
[도6]



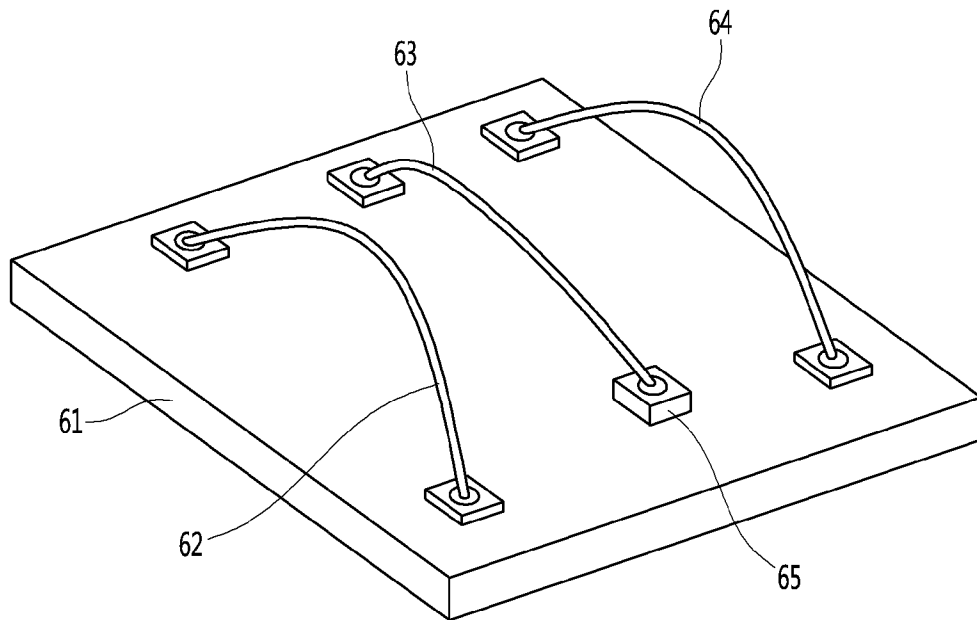
[도7]



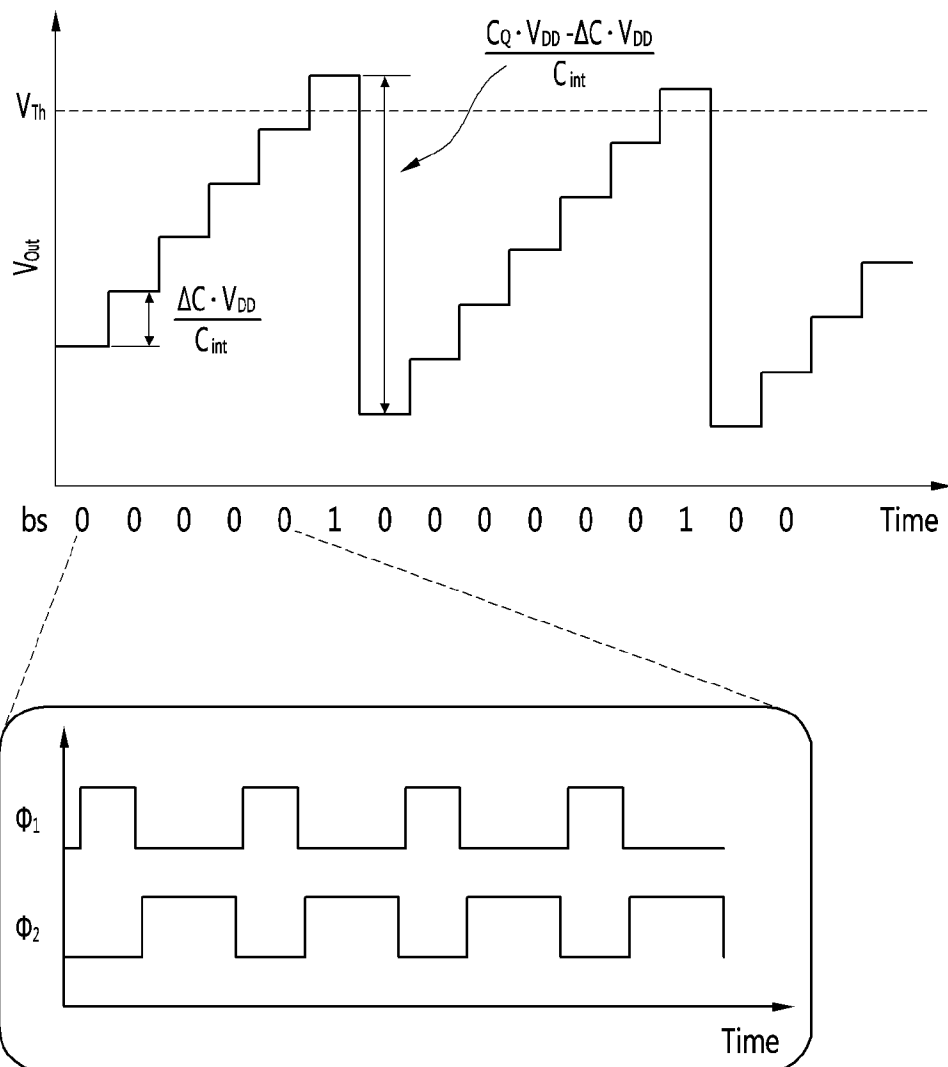
[도8]



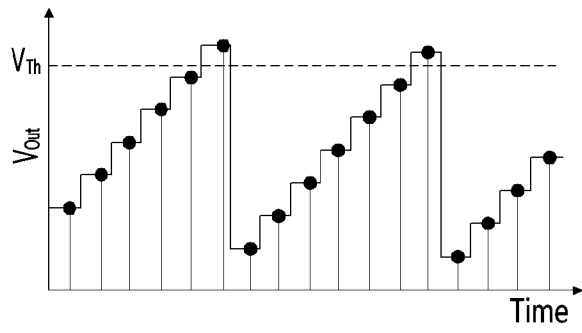
[도9]



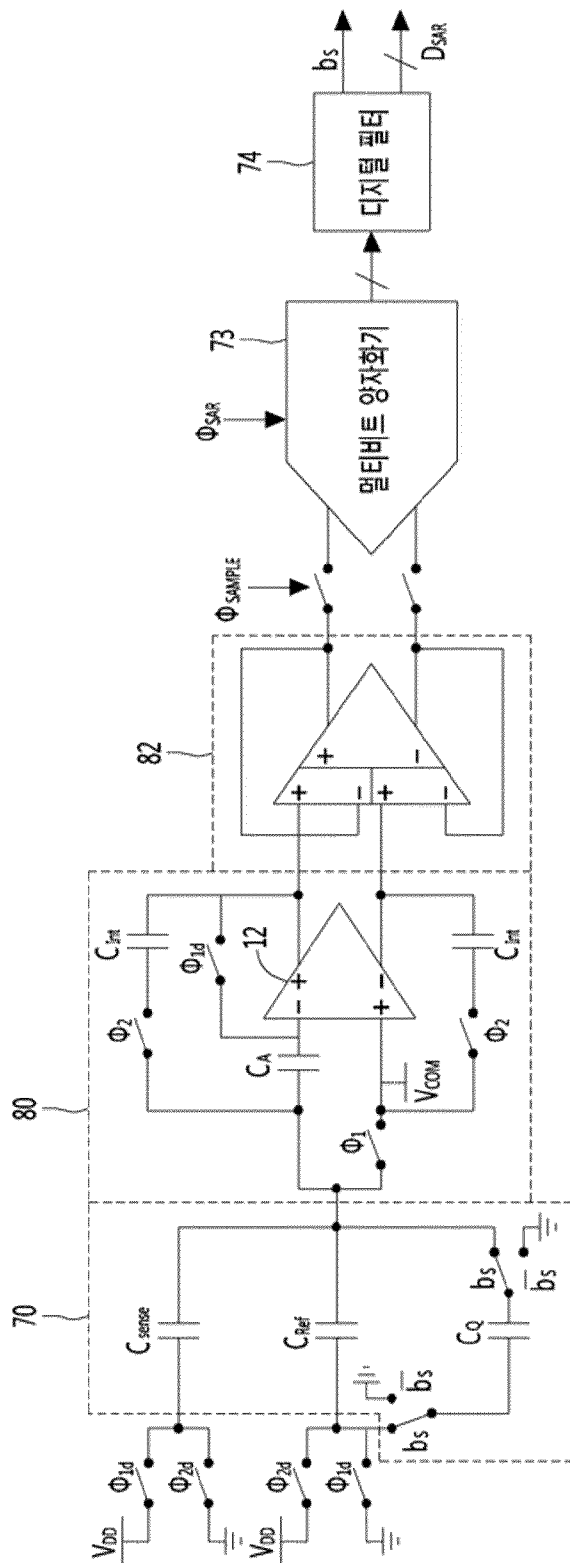
[도10]



[도11]



[도12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2019/007063

A. CLASSIFICATION OF SUBJECT MATTER

H04N 5/369(2011.01)i, H04N 5/378(2011.01)i, H04N 5/374(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N 5/369; G01N 27/04; G01R 15/00; G01R 19/25; H01G 7/00; H04N 5/378; H04N 5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above

Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: CMOS, pressure, humidity, acceleration, capacitor, switch, capacitance digital converter (CDC)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	박수진. CMOS 센서를 위한 에너지 효율적인 커패시턴스-디지털 변환기 연구. 석사 학위 논문. 한국과학기술원(KAIST). pages 1-36, 28 February 2018 (PARK, Sujin. (An) Energy-efficient Capacitance-to-digital Converter for Standard CMOS Sensors. Master's Thesis. Korea Advanced Institute of Science and Technology). [Retrieved on 15 October 2019], Retrieved from [http://library.kaist.ac.kr/search/detail/view.do?bibCtrlNo=734014&flag=dissertation]	1-5,7-12
A	See pages 4-9, 12, 15, 19, 32; table 3.1; and figures 2.2, 2.4, 2.6-2.7, 3.4-3.5, 3.7, 3.11.	6
A	KR 10-1760511 B1 (UMEDIX INC.) 21 July 2017 See paragraphs [0059]-[0060]; claims 1-9; and figures 1-8.	1-12
A	노태문 등. 센서 ROIC 기술 동향. 전자통신동향분석. vol. 28, no. 5, 미래 부품소재기술 특집. 한국전자통신연구원(ETRI). pages 83-92, 31 October 2013 (NOH, Taemun et al. ROIC Technology Trends for Sensors. Electronics and Telecommunications Trends. Future Parts and Materials Technology Special Feature. Electronics and Telecommunications Research Institute). [Retrieved on 16 October 2019], Retrieved from [https://ettrends.etri.re.kr/ettrends/143/0905001878/28-5_83-92.pdf]	1-12
A	KR 10-1875464 B1 (POSTECH ACADEMY-INDUSTRY FOUNDATION) 06 July 2018 See paragraphs [0013]-[0015]; claims 1-6, 8-9; and figures 1-2.	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

26 NOVEMBER 2019 (26.11.2019)

Date of mailing of the international search report

26 NOVEMBER 2019 (26.11.2019)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex Daejeon Building 4, 189, Cheongsu-ro, Seo-gu,
Daejeon, 35208, Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2019/007063

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	MARUYAMA, Masahiko et al. A 24-bit Multi-Functional Sensor Analog Front End Employing Low Noise Biasing Technique with $8.2\text{nV}/\sqrt{\text{Hz}}$ Input Referred Noise. IEEE Asian Solid-State Circuits Conference. pages 1-4, 11 November 2015 [Retrieved on 16 October 2019], Retrieved from [https://ieeexplore.ieee.org/abstract/document/7387485] See pages 1-4.	1-12
X	PARK, Sujin et al. A $2.69\mu\text{W}$ Dual Quantization-based Capacitance-to-Digital Converter for Pressure, Humidity, and Acceleration Sensing in $0.18\mu\text{m}$ CMOS. 2018 IEEE Symposium on VLSI Circuits. pages 163-164, 22 June 2018, [Retrieved on 16 October 2019], Retrieved from [https://ieeexplore.ieee.org/abstract/document/8502339] See pages 163-164. ※ The above document is a known document declaring exceptions to lack of novelty by the applicant.	1-5,7-11

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2019/007063

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-1760511 B1	21/07/2017	None	
KR 10-1875464 B1	06/07/2018	KR 10-2018-0028227 A	16/03/2018

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H04N 5/369(2011.01)i, H04N 5/378(2011.01)i, H04N 5/374(2011.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H04N 5/369; G01N 27/04; G01R 15/00; G01R 19/25; H01G 7/00; H04N 5/378; H04N 5/374

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: CMOS, 압력(pressure), 습도(humidity), 가속도(acceleration), 캐패시터(capacitor), 스위치(switch), 커패시턴스 디지털 변환기(CDC: capacitance digital converter)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	박수진, 'CMOS 센서를 위한 에너지 효율적인 커패시턴스-디지털 변환기 연구', 석사 학위 논문, 한국과학기술원(KAIST), 페이지 1-36, 2018.02.28 [검색일: 2019-10-15], 출처 [http://library.kaist.ac.kr/search/detail/view.do?bibCtrlNo=734014&flag=dissertation] 페이지 4-9, 12, 15, 19, 32; 표 3.1; 및 그림 2.2, 2.4, 2.6-2.7, 3.4-3.5, 3.7, 3.11 참조.	1-5, 7-12
A		6
A	KR 10-1760511 B1 (주식회사 유메딕스) 2017.07.21 단락 [0059]-[0060]; 청구항 1-9; 및 도면 1-8 참조.	1-12
A	노태문 등, '센서 ROIC 기술 동향', 전자통신동향분석, 제28권, 제5호, 미래 부품소재기술 특집, 한국전자통신연구원(ETRI), 페이지 83-92, 2013.10.31 [검색일: 2019-10-16], 출처 [https://ettrends.etri.re.kr/ettrends/143/0905001878/28-5_83-92.pdf] 페이지 84-91 참조.	1-12
A	KR 10-1875464 B1 (포항공과대학교 산학협력단) 2018.07.06 단락 [0013]-[0015]; 청구항 1-6, 8-9; 및 도면 1-2 참조.	1-12

☒ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"D" 본 국제출원에서 출원인이 인용한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후 "X"에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일

2019년 11월 26일 (26.11.2019)

국제조사보고서 발송일

2019년 11월 26일 (26.11.2019)

ISA/KR의 명칭 및 우편주소



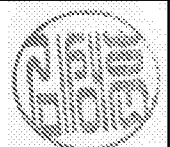
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

김성훈

전화번호 +82-42-481-8710



C (계속). 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	MASAHIKO MARUYAMA 등, 'A 24-bit Multi-Functional Sensor Analog Front End Employing Low Noise Biasing Technique with 8.2nV/ $\sqrt{\text{Hz}}$ Input Referred Noise', IEEE Asian Solid-State Circuits Conference, 페이지 1-4, 2015.11.11 [검색일: 2019-10-16], 출처 [https://ieeexplore.ieee.org/abstract/document/7387485] 페이지 1-4 참조.	1-12
X	SUJIN PARK 등, 'A 2.69uW Dual Quantization-based Capacitance-to-Digital Converter for Pressure, Humidity, and Acceleration Sensing in 0.18um CMOS', 2018 IEEE Symposium on VLSI Circuits, 페이지 163-164, 2018.06.22 [검색일: 2019-10-16], 출처 [https://ieeexplore.ieee.org/abstract/document/8502339] 페이지 163-164 참조. ※ 위 문헌은 출원인이 신규성 상실의 예외로서 선언한 공지문헌임.	1-5, 7-11

국제조사보고서에서
인용된 특허문헌

공개일

대응특허문헌

공개일

KR 10-1760511 B1

2017/07/21

없음

KR 10-1875464 B1

2018/07/06

KR 10-2018-0028227 A

2018/03/16