

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5386151号
(P5386151)

(45) 発行日 平成26年1月15日 (2014. 1. 15)

(24) 登録日 平成25年10月11日 (2013. 10. 11)

(51) Int. Cl.

F I

G02F 1/133 (2006.01)

G02F 1/133 535

G09G 3/36 (2006.01)

G09G 3/36

G09G 3/20 (2006.01)

G09G 3/20 612U

G09G 3/34 (2006.01)

G09G 3/34 J

G02F 1/13357 (2006.01)

G09G 3/20 642F

請求項の数 7 (全 44 頁) 最終頁に続く

(21) 出願番号 特願2008-289097 (P2008-289097)
 (22) 出願日 平成20年11月11日 (2008. 11. 11)
 (65) 公開番号 特開2009-139939 (P2009-139939A)
 (43) 公開日 平成21年6月25日 (2009. 6. 25)
 審査請求日 平成23年10月19日 (2011. 10. 19)
 (31) 優先権主張番号 特願2007-295011 (P2007-295011)
 (32) 優先日 平成19年11月14日 (2007. 11. 14)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (74) 代理人 100099173
 弁理士 澁谷 孝
 (72) 発明者 福留 貴浩
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 西 毅
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

画素電極、対向電極、及び前記画素電極と前記対向電極とにより電圧が印加される液晶を有する液晶素子を備えた画素と、
 前記画素に光を照射する光源と、
 前記画素電極の電位と基準となる電位とを比較してどちらが高いかで出力される電位が切り替わる比較回路と、
 前記比較回路から出力される電位が切り替わるタイミングに従って、前記光源の点灯と消灯とを切り替える制御回路と、
 を有することを特徴とする液晶表示装置。

【請求項 2】

請求項 1 において、
 前記液晶表示装置が置かれる環境下の輝度または光強度を検出して第 1 の信号を生成する光検出器と、
 前記第 1 の信号を用いて、前記環境下の輝度若しくは前記光強度が高いほど前記光源の輝度が高くなるように、または前記環境下の輝度若しくは前記光強度が低いほど前記光源の輝度が低くなるように、前記光源の輝度を調整するための第 2 の信号を生成する信号生成回路と、
 前記第 2 の信号に従って前記光源の輝度を調整する輝度制御回路と、
 を有することを特徴とする液晶表示装置。

10

20

【請求項 3】

請求項 1 または請求項 2 において、

前記制御回路は、前記比較回路から出力される電位を保持する記憶回路と、

前記記憶回路に保持されている電位が切り替わるタイミングに従って、前記光源への電力の供給を制御するスイッチング回路と、

を有することを特徴とする液晶表示装置。

【請求項 4】

第 1 の領域及び第 2 の領域を有し、画素電極、対向電極、及び前記画素電極と前記対向電極とにより電圧が印加される液晶を有する液晶素子を備えた画素を前記第 1 の領域及び前記第 2 の領域のそれぞれに有する画素部と、

10

前記第 1 の領域の画素に光を照射する第 1 の光源と、

前記第 2 の領域の画素に光を照射する第 2 の光源と、

前記第 1 の領域の画素における前記液晶素子の画素電極の電位と基準となる電位とを比較してどちらが高いかで出力される電位が切り替わる第 1 の比較回路と、

前記第 2 の領域の画素における前記液晶素子の画素電極の電位と前記基準となる電位とを比較してどちらが高いかで出力される電位が切り替わる第 2 の比較回路と、

前記第 1 の比較回路から出力される電位が切り替わるタイミングに従って、前記第 1 の光源の点灯と消灯とを切り替え、前記第 2 の比較回路から出力される電位が切り替わるタイミングに従って、前記第 2 の光源の点灯と消灯とを切り替える制御回路と、

前記第 1 の領域の画素の前記液晶素子に入力される第 1 のビデオ信号が有する階調を平均化し、前記第 2 の領域の画素の前記液晶素子に入力される第 2 のビデオ信号が有する階調を平均化する画像処理用フィルタと、

20

平均化された前記第 1 のビデオ信号が有する階調が、平均化された前記第 2 のビデオ信号が有する階調よりも高い場合に、前記第 1 の光源の輝度を前記第 2 の光源の輝度よりも高くし、平均化された前記第 1 のビデオ信号が有する階調が、平均化された前記第 2 のビデオ信号が有する階調よりも低い場合に、前記第 1 の光源の輝度を前記第 2 の光源の輝度よりも低くするための信号を生成する信号処理回路と、

前記信号処理回路が生成する信号に従って前記第 1 の光源及び前記第 2 の光源の輝度を調整する輝度制御回路と、

を有することを特徴とする液晶表示装置。

30

【請求項 5】

請求項 4 において、

前記制御回路は、前記第 1 の比較回路または前記第 2 の比較回路から出力される電位を保持する記憶回路と、

前記記憶回路に保持されている電位が切り替わるタイミングに従って、前記第 1 の光源及び前記第 2 の光源への電力の供給を制御するスイッチング回路と、を有することを特徴とする液晶表示装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか 1 項において、

前記画素は、前記液晶素子に直列に接続された容量素子を有することを特徴とする液晶表示装置。

40

【請求項 7】

請求項 1 乃至請求項 5 のいずれか 1 項において、

前記画素は、前記液晶素子に直列に接続された第 1 の容量素子及び前記液晶素子に並列に接続された第 2 の容量素子を有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶素子を用いた液晶表示装置に関する。

【背景技術】

50

【 0 0 0 2 】

液晶表示装置は、液晶に電界を加えると液晶分子の配向が変化するのに伴い液晶の屈折率が変化する現象、すなわち液晶の電気光学効果を利用して、画像の表示を行う。そして、液晶分子の配向の変化は、画像情報に基づく電気信号（ビデオ信号）の電圧の変化に追従する。

【 0 0 0 3 】

液晶表示装置で用いられる液晶では、印加される電圧が変化してから液晶分子の配向の変化が収束するまでの応答時間が、一般的に十数 m s e c 程度であるのに対し、例えば 60 Hz のフレーム周波数で液晶表示装置を駆動したときの1フレーム期間は約 17 m s e c である。よって、1フレーム期間に占める液晶の応答時間の割合が大きいため、液晶素子の透過率の変化が動画のぼやけとして視認されやすい。動画の画質を改善するために、液晶素子に印加する電圧を一時的に高いレベルにして液晶の配向を速く変化させるオーバードライブ駆動を用いる、或いは液晶自体に改良を加えるなどの対策を講じることで、応答時間を有る程度まで短縮させることは可能である。しかし、短縮化されたとしても応答時間は数 m s e c 程度存在し、動画の画質には未だ改善の余地が残されている。

10

【 0 0 0 4 】

また、液晶表示装置において動画がぼやけて視認されてしまうもう一つの原因として、上述した液晶の応答時間の他に、液晶表示装置が、液晶素子に常に電圧を印加するホールド型駆動であることが挙げられる。人間の目は残像が生じやすい性質を持っているので、連続して黒以外の階調を表示すると、ホールド型駆動では人間の目が階調の変化に追いつけず、動画がぼやけて見えやすい。

20

【 0 0 0 5 】

そこで、液晶の応答時間と、ホールド型駆動とによって生じる動画のぼやけを共に解消するために、液晶分子の配向の変化が著しい期間は、バックライトを消灯して黒を表示する、インパルス型駆動が提案されている。インパルス型駆動を用いることで、液晶素子において透過率の変化が著しい期間にバックライトを消灯することができ、なおかつ人間の目に残像が残るのを防ぐことができるので、動画のぼやけを解消することができる。

【 0 0 0 6 】

下記の特許文献1には、画素にデータが書き込まれた後、液晶が応答した頃に照明を光らせることで、動画表示時の尾引をなくす駆動方法について記載されている。

30

【特許文献1】特開平11-202286号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

ところで、液晶の応答時間は、液晶の温度によって変化する。液晶の材料にもよるが、一般的に温度が高いと応答時間が短くなり、温度が低くなると応答時間が長くなる傾向がある。そして液晶の温度は、液晶表示装置が置かれる環境の温度、半導体素子のセルフヒーティング、バックライトの発熱などにより大幅に変わるため、液晶の応答時間も変化が著しい。

【 0 0 0 8 】

40

例えば、ノーマリーホワイトのメルク社製のTN液晶（商品名：ZLI4792）の場合について説明する。ノーマリーホワイトのTN液晶は、液晶に電圧を印加していないと透光性の高い明状態であるが、液晶に電圧を印加すると透光性の高い明状態から透光性の低い暗状態に変化する。逆に、ノーマリーホワイトのTN液晶は、液晶に電圧を印加したまままだと透光性の低い暗状態であるが、液晶への電圧の印加を止めると透光性の低い暗状態から透光性の高い明状態に変化する。液晶が明状態から暗状態に変化するまでの応答時間 t_{on} に着目すると、液晶に印加する電圧が 5 V の場合、液晶の温度が 10 から 30 に変化すると、応答時間 t_{on} は 9.9 m s e c から 5.1 m s e c へと変化する。また、液晶が暗状態から明状態に変化する場合の応答時間 t_{off} に着目すると、液晶に印加する電圧が 5 V の場合、液晶の温度が 10 から 30 に変化すると、応答時間 t_{off}

50

は 23.4 msec から 11.9 msec へと変化する。

【0009】

一方、ビデオ信号は、室温下の液晶の粘性に合わせて電圧、周波数などの条件が設定されている。しかし、液晶は温度によって粘性が変化するのに対し、ビデオ信号には液晶の粘性の変化は反映されない。すなわち、室温よりも低温側の環境下において、液晶は、粘性が高い方向に変化し、それに伴い応答速度も低い方向に変化するが、ビデオ信号は室温下の液晶の粘性に合わせた条件で固定されたままである。そのため低温側の環境下では、液晶の応答速度の低下によって、ビデオ信号の電圧の変化に、液晶分子の配向の変化がより遅れて追従してしまい、動画がぼやけて表示されるなどの表示品質の劣化が顕著に見られた。

10

【0010】

また、上述したインパルス駆動では、液晶分子の配向の変化が著しい期間にバックライトを消灯し、液晶分子の配向の変化が収束している期間にバックライトを点灯するように、液晶素子に電圧を印加するタイミングと、バックライトの駆動のタイミングとを設定している。しかし、温度変化により液晶の応答時間が長くなることで、液晶分子の配向の変化が著しい期間が長くなり、液晶分子の配向の変化が収束している期間が短くなっても、液晶素子に電圧を印加するタイミングと、バックライトの駆動のタイミングとは、設定された当初のままに固定されている。よって、液晶分子の配向の変化が著しい期間においてバックライトが点灯するという事態が生じやすく、その結果、液晶分子の配向の変化、すなわち液晶素子の透過率の変化が視認され、動画がぼやけて見えやすい。

20

【0011】

本発明は上述した問題に鑑み、液晶の温度によらずに動画がぼやけて見えるのを防ぐことができる、液晶表示装置の提案を課題とする。

【課題を解決するための手段】

【0012】

本発明者らは、液晶に電界を加えると、その比誘電率が変化することに着目し、この比誘電率の変化を光源（バックライト）にフィードバックさせることで、液晶の温度によらずに動画のぼやけを防ぐことができるのではないかと考えた。

【0013】

液晶表示装置に用いられる液晶分子の形状は、棒状であるのが一般的である。そして、棒状である液晶分子は、長軸方向と短軸方向で分極率が異なる。そのため、液晶分子の配向の変化に伴い、液晶の屈折率が変化するのだが、同様の理由により比誘電率にも異方性があり、液晶の比誘電率は液晶分子の配向の状態に依存する。また、液晶の比誘電率は印加される電圧に依存する。

30

【0014】

よって、本発明では、比誘電率と配向の状態の関係、比誘電率と印加される電圧の関係を利用し、該電圧をモニターすることで、液晶分子の配向の状態を間接的に把握する。そして、液晶分子の配向の変化が収束するタイミングを見出し、液晶分子の配向の変化が著しい期間に光源を消灯し、液晶分子の配向の変化が収束している期間に光源を点灯するように、該タイミングに従って光源の駆動のタイミングを適宜設定する。

40

【0015】

具体的に本発明の液晶表示装置は、画素電極、対向電極、及び画素電極と対向電極とにより電圧が印加される液晶を有する液晶素子を備えた画素と、画素に光を照射する光源と、画素電極の電位と基準となる電位とを比較してどちらが高いかで出力される電位が切り替わる比較回路と、比較回路から出力される電位が切り替わるタイミングに従って、光源の点灯と消灯とを切り替える制御回路と、を有する。

【0016】

また具体的に本発明の液晶表示装置は、画素電極、対向電極、及び画素電極と対向電極とにより電圧が印加される液晶を有する液晶素子を備えた画素と、画素に光を照射する光源と、画素電極の電位と基準となる電位とを比較してどちらが高いかで出力される電位が切

50

り替わる比較回路と、比較回路から出力される電位を保持する記憶回路と、記憶回路に保持されている電位が切り替わるタイミングに従って、光源への電力の供給を制御するスイッチング回路と、を有する。

【 0 0 1 7 】

また本発明の液晶表示装置は上記構成に加え、液晶素子と並列に接続された容量素子と、液晶素子と直列に接続された容量素子とを、いずれか 1 つ有していても良いし、両方有していても良い。

【 0 0 1 8 】

さらに本発明の液晶表示装置は、液晶表示装置が置かれる環境下の輝度または光強度を検出して電気信号（第 1 の信号）を生成する光検出器と、該第 1 の信号を用いて、上記輝度
10
が高いほど光源の輝度が高くなるように、または上記輝度が低いほど光源の輝度が低くなるよう、光源の輝度を調整するための信号（第 2 の信号）を生成する信号生成回路と、第 2 の信号に従って光源の輝度を調整する輝度制御回路と、を有していても良い。

【 0 0 1 9 】

また具体的に本発明の液晶表示装置は、第 1 の領域及び第 2 の領域を有し、画素電極、対向電極、及び画素電極と対向電極とにより電圧が印加される液晶を有する液晶素子を備えた画素を第 1 の領域及び第 2 の領域のそれぞれに有する画素部と、第 1 の領域の画素に光を照射する第 1 の光源と、第 2 の領域の画素に光を照射する第 2 の光源と、第 1 の領域の画素における液晶素子の画素電極の電位と基準となる電位とを比較してどちらが高いかで出力される電位が切り替わる第 1 の比較回路と、第 2 の領域の画素における液晶素子の画
20
素電極の電位と基準となる電位とを比較してどちらが高いかで出力される電位が切り替わる第 2 の比較回路と、第 1 の比較回路から出力される電位が切り替わるタイミングに従って、第 1 の光源の点灯と消灯とを切り替え、第 2 の比較回路から出力される電位が切り替わるタイミングに従って、第 2 の光源の点灯と消灯とを切り替える制御回路と、第 1 の領域の画素の液晶素子に入力される第 1 のビデオ信号が有する階調を平均化し、第 2 の領域の画素の液晶素子に入力される第 2 のビデオ信号が有する階調を平均化する画像処理用フィルタと、平均化された第 1 のビデオ信号が有する階調が、平均化された第 2 のビデオ信号が有する階調よりも高い場合に、第 1 の光源の輝度を第 2 の光源の輝度よりも高くし、平均化された第 1 のビデオ信号が有する階調が、平均化された第 2 のビデオ信号が有する階調よりも低い場合に、第 1 の光源の輝度を第 2 の光源の輝度よりも低くするための信号
30
を生成する信号処理回路と、信号に従って第 1 の光源及び第 2 の光源の輝度を調整する輝度制御回路と、を有する。

【発明の効果】

【 0 0 2 0 】

本発明の液晶表示装置では、液晶分子の配向の変化が収束するタイミングが把握できるので、該タイミングに従って光源の駆動のタイミングを適宜設定することができる。よって、液晶の温度によらず、液晶分子の配向の変化が著しい期間に光源を消灯し、液晶分子の配向の変化が収束している期間に光源を点灯し、動画がぼやけて視認されてしまうのを防ぐことができる。

【発明を実施するための最良の形態】

【 0 0 2 1 】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 2 2 】

（実施の形態 1）

図 1（A）に、本発明の液晶表示装置の構成を示す。図 1（A）に示す液晶表示装置は、画素 100 と、比較回路 101 と、制御回路 102 と、光源 103 とを有する。また画素 100 は、液晶素子 104 と、スイッチング素子 105 と、容量素子 106 とを少なくと
50

も有する。液晶素子 104 は、画素電極と、対向電極と、画素電極及び対向電極間の電圧が印加される液晶と、を有している。

【0023】

光源 103 は、画素 100 に光を照射する機能を有する。

【0024】

スイッチング素子 105 は、液晶素子 104 の画素電極にビデオ信号の電位を与えるか否かを制御する。液晶素子 104 の対向電極には、所定の電位 COM が与えられている。また容量素子 106 は一对の電極を有しており、一方の電極（第 1 電極）は液晶素子 104 の画素電極に接続されており、他方の電極（第 2 電極）には所定の電位 GND が与えられている。なお、本明細書において接続とは、電氣的な接続と、直接的な接続とを両方含む。

10

【0025】

スイッチング素子 105 がオンになると、ビデオ信号の電位 Vs がスイッチング素子 105 を介して液晶素子 104 の画素電極及び容量素子 106 の第 1 電極に与えられる。よって、スイッチング素子 105 がオンになった当初は、液晶素子 104 の画素電極と対向電極間の電圧 VL は、電位 Vs と電位 COM の差分に等しくなり、容量素子 106 の第 1 電極と第 2 電極間の電圧 Vcs は、電位 Vs と電位 GND の差分と等しくなる。なお、容量素子 106 は必ずしも設ける必要はないが、容量素子 106 を設けることで、スイッチング素子 105 からの電荷のリークに起因する画素電極の電位の変化を防ぐことができる。

【0026】

20

そして、画素電極と対向電極の間に電圧が与えられると、液晶素子 104 が有する液晶内の液晶分子は、その配向が変化し始める。なお、液晶は比誘電率に異方性を有しており、液晶分子を楕円に見立てたときの長軸方向における比誘電率と、長軸方向に対して垂直方向、すなわち短軸方向における比誘電率とが異なる。よって、液晶分子の配向が変化することによって、液晶の比誘電率にも変化が生じる。例えばメルク社製の TN 液晶（商品名：MJ001393）の場合、液晶分子の長軸方向における比誘電率が 8.1、短軸方向における比誘電率が 3.8 であり、液晶分子の配向の変化により比誘電率が最大 2.1 倍程度も変化する。

【0027】

図 18 (A) に、ネマティック液晶を用いた場合における、液晶素子に印加される電圧（印加電圧）と比誘電率の関係を、一例として示す。ただし図 18 (A) は、図 18 (B) の断面模式図に示すように、液晶素子が画素電極 3001 と対向電極 3002 の間に液晶層 3003 を有する構成である場合のデータであり、液晶層 3003 にメルク社製の液晶（商品名：ZLI4792）を用い、セルギャップ d を 3.7 μm としている。また、画素電極 3001 面に対して液晶層 3003 の液晶分子が平行に配向するように予め配向処理が施されているものとする。図 18 から、液晶の比誘電率が液晶素子に印加される電圧に依存していることがわかる。

30

【0028】

なお、液晶素子 104 を容量として見立てると、その容量値 CL は、以下の式 1 で表すことができる。ただし、ε0 は真空の誘電率、ε は液晶の比誘電率、S は液晶素子 104 の面積、d は液晶素子 104 の第 1 電極と第 2 電極間の距離（セルギャップ）を意味する。ただし、実際には配向膜の比誘電率も容量値 CL の値に影響を与えるが、説明の便宜上、式 1 において配向膜の比誘電率は考慮しないものとする。

40

【0029】

（式 1）

$$C_L = \epsilon_0 \times \epsilon \times S / d$$

【0030】

そして、容量値 CL と、電荷 Q と、液晶素子 104 の画素電極と対向電極間の電圧 VL の関係は、以下の式 2 で表すことができる。

【0031】

50

(式2)

$$Q = C_L \times V_L$$

【0032】

よって、式1と式2から、以下の式3が導き出される。

【0033】

(式3)

$$V_L = d \times Q / (\epsilon_0 \times \epsilon \times S)$$

【0034】

式3において、第1電極と第2電極間の距離 d と、液晶素子104の面積 S 、真空の誘電率 ϵ_0 は固定された値である。また、液晶素子104の電荷 Q がリークしない理想状態であると仮定すると、電荷 Q も固定された値とみなすことができる。よって、式3から、液晶分子の配向が変化することにより液晶の比誘電率が変化すると、液晶素子104の画素電極と対向電極間の電圧 V_L が変化することが分かる。従って、スイッチング素子105をオンにしてビデオ信号の電位 V_s を液晶素子104の画素電極に与えた後、スイッチング素子105をオフにしてからの電圧 V_L の変化、すなわち液晶素子104が有する画素電極の電位の変化を追跡することで、液晶分子の配向の状態を把握し、液晶分子の配向の変化が収束するタイミングを見出すことができる。

【0035】

なお、図1(A)の場合、液晶素子104と容量素子106とが直列に接続されているため、画素電極の電位は、液晶素子104の容量値と、容量素子106の容量値の比によって定まる。例えば、ビデオ信号の電圧 V_s を印加する前の状態において、液晶素子104の容量値 C_L と容量素子106の容量値 C_S の比が100:100であるとする。そして、上述したメルク社製のTN液晶(商品名:MJ001393)を液晶素子104に用いる場合、ビデオ信号の電圧 V_s の印加により、最終的に液晶分子の比誘電率が最大2.1倍程度変化するため、液晶素子104の容量値 C_L も2.1倍に変化する。よって、ビデオ信号の電圧 V_s を印加した後に液晶分子の配向の変化が収束すると、液晶素子104の容量値 C_L と容量素子106の容量値 C_S の比は210:100になる。したがって、液晶分子の配向の変化が収束すると、液晶素子104の画素電極と対向電極間の電圧 V_L と、容量素子106の第1電極と第2電極間の電圧 V_{CS} との比が210:100になるように、画素電極の電位も収束する。

【0036】

比較回路101は、画素100から与えられる液晶素子104の画素電極の電位と、基準となる電位REFとを比較し、その結果に従って互いに値の異なる2値の電位を出力する。例えば、画素電極の電位が電位REFより高い場合は電位OUT1、画素電極の電位が電位REFと同じか、それより低い場合は電位OUT2を出力する。そして電位REFを、液晶分子の配向の変化が収束したときに得られるであろう画素電極の電位と同じ高さに設定しておくことで、液晶分子の配向の変化が収束する前と後とで、比較回路101から出力される電位を切り替えることができる。なお、実際の液晶表示装置の駆動では、液晶素子104の電荷 Q が多少なりともリークする。そのため、該リーク分に起因する画素電極の電位の変化分を考慮に入れて、電位REFの値を設定することが望ましい。

【0037】

なお、図1(A)では、比較回路101としてオペアンプを用いる例を示しているが、オペアンプに限らず、画素100から与えられる電位と基準となる電位REFとを比較した結果に従って2値の電位の一つを出力することができる回路であれば、比較回路101として用いることができる。

【0038】

制御回路102は、比較回路101から出力された電位に従って、光源103の駆動を制御する。具体的には、2値の電位のうち、一方の電位が比較回路101から出力されたとき、制御回路102は光源103が点灯するように制御し、他方の電位が比較回路101から出力されたとき、制御回路102は光源103が消灯するように制御する。比較回路

10

20

30

40

50

101から出力される電位は、液晶分子の配向の変化が収束する前と後とで、その値が切り替わるので、制御回路102は液晶分子の配向が変化するタイミングに従って、光源103の駆動を制御することができる。

【0039】

従って、本発明では、液晶分子の配向の変化が収束するタイミングを把握できるので、該タイミングに従って光源103の駆動のタイミングを適宜設定し直すことができる。よって、液晶の応答速度が変化しても、液晶分子の配向の変化が著しい期間に光源103を消灯し、液晶分子の配向の変化が収束している期間に光源103を点灯し、動画がぼやけて視認されてしまうのを防ぐことができる。

【0040】

なお、図1(A)では、液晶素子104の対向電極に電位COMが与えられ、容量素子106の第2電極に電位GNDが与えられている例を示しているが、液晶素子104の対向電極と容量素子106の第2電極とに、共に電位COMが与えられていても良い。この場合、液晶素子104と容量素子106とが並列に接続されていることになるので、下記の式4が成り立つ。

【0041】

(式4)

$$V_L = Q / (C_L + C_S)$$

【0042】

液晶素子104と容量素子106とが並列に接続されている場合、例えば、ビデオ信号の電圧Vsを印加する前の状態において、液晶素子104の容量値CLと容量素子106の容量値CSの比が100:100であるとする。そして、上述したメルク社製のTN液晶(商品名:MJ001393)を液晶素子104に用いる場合、ビデオ信号の電圧Vsの印加により、最終的に液晶分子の比誘電率が最大2.1倍程度変化するため、液晶素子104の容量値CLも2.1倍に変化する。よって、ビデオ信号の電圧Vsを印加した後に液晶分子の配向の変化が収束すると、液晶素子104の容量値CLと容量素子106の容量値CSの比は210:100になる。したがって、液晶分子の配向の変化が始まる前と、液晶分子の配向の変化が収束した後とでは、液晶素子104の画素電極と対向電極間の電圧VLは、0.31倍に変化することになる。

【0043】

液晶素子104と容量素子106の接続関係によって、液晶分子の配向の変化が収束したときに得られるであろう画素電極の電位が変化する。よって、画素100の構成に合わせて、基準となる電位REFを適宜設定すれば良い。

【0044】

次に、図1(B)に、図1(A)とは異なる、本発明の液晶表示装置の別の構成を示す。図1(B)に示す液晶表示装置は、画素200と、比較回路201と、制御回路202と、光源203とを有する。また画素200は、液晶素子204と、スイッチング素子205と、容量素子206と、容量素子207とを少なくとも有する。液晶素子204は、画素電極と、対向電極と、画素電極及び対向電極間の電圧が印加される液晶と、を有している。

【0045】

スイッチング素子205は、液晶素子204の画素電極にビデオ信号の電位を与えるか否かを制御する。液晶素子204の対向電極には、所定の電位COMが与えられている。また容量素子206は一对の電極を有しており、一方の電極(第1電極)は液晶素子204の画素電極に接続されており、他方の電極(第2電極)には所定の電位GNDが与えられている。また容量素子207は一对の電極を有しており、一方の電極(第1電極)は液晶素子204の画素電極に接続されており、他方の電極(第2電極)には所定の電位COMが与えられている。よって、図1(B)に示す液晶表示装置では、液晶素子204と容量素子206が直列に接続されており、液晶素子204と容量素子207が並列に接続されている。

10

20

30

40

50

【 0 0 4 6 】

スイッチング素子 2 0 5 がオンになると、ビデオ信号の電位 V_s がスイッチング素子 2 0 5 を介して液晶素子 2 0 4 の画素電極、容量素子 2 0 6 の第 1 電極及び容量素子 2 0 7 の第 1 電極に与えられる。よって、スイッチング素子 2 0 5 がオンになった当初は、液晶素子 2 0 4 の画素電極と対向電極間の電圧 V_L は、電位 V_s と電位 $C O M$ の差分に等しくなり、容量素子 2 0 6 の第 1 電極と第 2 電極間の電圧 $V_{C S 1}$ は、電位 V_s と電位 $G N D$ の差分と等しくなり、容量素子 2 0 7 の第 1 電極と第 2 電極間の電圧 $V_{C S 2}$ は、電位 V_s と電位 $C O M$ の差分に等しくなる。

【 0 0 4 7 】

そして、画素電極と対向電極の間に電圧が与えられると、液晶素子 2 0 4 が有する液晶内の液晶分子は、その配向が変化し始める。そして、上述したように、液晶分子の配向が変化することにより液晶の比誘電率が変化すると、液晶素子 2 0 4 の画素電極と対向電極間の電圧 V_L が変化する。よって、スイッチング素子 2 0 5 をオンにしてビデオ信号の電位 V_s を液晶素子 2 0 4 の画素電極に与えた後、スイッチング素子 2 0 5 をオフにしてからの電圧 V_L の変化、すなわち液晶素子 2 0 4 が有する画素電極の電位の変化を追跡することで、液晶分子の配向の状態を把握し、液晶分子の配向の変化が収束するタイミングを見出すことができる。

10

【 0 0 4 8 】

なお、図 1 (B) の場合、液晶素子 2 0 4 と容量素子 2 0 6 とが直列に接続されており、液晶素子 2 0 4 と容量素子 2 0 7 とが並列に接続されている。そのため、画素電極の電位は、液晶素子 2 0 4 の容量値と、容量素子 2 0 6 の容量値と、容量素子 2 0 7 の容量値との比によって値が定まる。

20

【 0 0 4 9 】

図 1 (A) に示す容量素子 1 0 6 の容量値は、電荷のリークに起因する画素電極の電位の変化を防ぐことができる程度に、十分な大きさに設定する。しかし、液晶素子 1 0 4 の容量値に対して容量素子 1 0 6 の容量値が大きすぎると、液晶素子 1 0 4 の容量値が変化しても、液晶素子 1 0 4 の画素電極の電位の変化が小さくなり、液晶分子の配向の状態を把握しにくくなる。よって、図 1 (A) に示す画素 1 0 0 の場合、液晶素子 1 0 4 の画素電極の電位の変化を大きくして液晶分子の配向の状態をより明確に把握するために、容量素子 1 0 6 の容量値と液晶素子 1 0 4 の容量値とが大きく異ならないように、より望ましくは同程度になるように、設定しておくのが良い。

30

【 0 0 5 0 】

一方、図 1 (B) に示す画素 2 0 0 の場合、図 1 (A) とは異なり、液晶素子 2 0 4 と直列に接続されるように容量素子 2 0 6 が設けられており、液晶素子 2 0 4 と並列に接続されるように容量素子 2 0 7 が設けられている。そのため、液晶素子 2 0 4 の電圧 V_L と、容量素子 2 0 6 の電圧 $V_{C S 2}$ との比は、液晶素子 2 0 4 の容量値に容量素子 2 0 7 の容量値を加算した値と、容量素子 2 0 6 の容量値との比に相当する。したがって、容量素子 2 0 6 の容量値を、電荷のリークに起因する画素電極の電位の変化を防ぐことができる程度に、十分な大きさに設定したとしても、容量素子 2 0 7 の容量値をそれに見合う程度に大きく設定することで、液晶素子 2 0 4 の容量値を小さく抑えつつ、液晶素子 2 0 4 の電圧 V_L と、容量素子 2 0 6 の電圧 $V_{C S 2}$ とが大きく異ならないように、より望ましくは同程度になるようにすることができる。よって、液晶素子 2 0 4 の容量値を小さく抑えつつ、液晶素子 2 0 4 の画素電極の電位の変化を大きくして液晶分子の配向の状態をより明確に把握することができる。

40

【 0 0 5 1 】

比較回路 2 0 1 は、画素 2 0 0 から与えられる液晶素子 2 0 4 の画素電極の電位と、基準となる電位 $R E F$ とを比較し、その結果に従って互いに値の異なる 2 値の電位を出力する。例えば、画素電極の電位が電位 $R E F$ より高い場合は電位 $O U T 1$ 、画素電極の電位が電位 $R E F$ と同じか、それより低い場合は電位 $O U T 2$ を出力する。そして電位 $R E F$ を、液晶分子の配向の変化が収束したときに得られるであろう画素電極の電位と同じ高さに

50

設定しておくことで、液晶分子の配向の変化が収束する前と後とで、比較回路 201 から出力される電位を切り替えることができる。

【0052】

なお、図 1 (B) では、比較回路 201 としてオペアンプを用いる例を示しているが、オペアンプに限らず、画素 200 から与えられる電位と基準となる電位 REF とを比較した結果に従って 2 値の電位の一つを出力することができる回路であれば、比較回路 201 として用いることができる。

【0053】

制御回路 202 は、比較回路 201 から出力された電位に従って、光源 203 の駆動を制御する。具体的には、2 値の電位のうち、一方の電位が比較回路 201 から出力されたとき、制御回路 202 は光源 203 が点灯するように制御し、他方の電位が比較回路 201 から出力されたとき、制御回路 202 は光源 203 が消灯するように制御する。比較回路 201 から出力される電位は、液晶分子の配向の変化が収束する前と後とで、その値が切り替わるので、制御回路 202 は液晶分子の配向が変化するタイミングに従って、光源 203 の駆動を制御することができる。

10

【0054】

従って、本発明では、液晶分子の配向の変化が収束するタイミングを把握できるので、該タイミングに従って光源 203 の駆動のタイミングを適宜設定し直すことができる。よって、液晶の応答速度が変化しても、液晶分子の配向の変化が著しい期間に光源 203 を消灯し、液晶分子の配向の変化が収束している期間に光源 203 を点灯し、動画がぼやけて視認されてしまうのを防ぐことができる。

20

【0055】

なお、液晶表示装置では、焼き付きと呼ばれる液晶の劣化を防ぐために、液晶素子に印加する電圧の極性を所定のタイミングに従って反転させる交流駆動が行われることが多い。例えば、フレーム期間ごとに液晶素子に印加する電圧の極性を反転させる交流駆動を行う場合、図 1 (A)、図 1 (B) に示す本発明の液晶表示装置では、画素電極の電位の極性が同じフレーム期間においてのみ、光源の駆動のタイミングを新たに設定し直すようにし、その他のフレーム期間では、直前のフレーム期間と同じタイミングで光源を駆動させれば良い。或いは、全てのフレーム期間ごとに光源の駆動のタイミングを適宜設定し直すために、基準となる電位 REF をフレーム期間ごとに変えるようにしても良いし、各極性に対応した比較回路及び制御回路を新たに設けるようにしても良い。また、極性が同じフレーム期間において、必ず光源の駆動のタイミングを設定し直す必要はない。液晶の温度変化がさほど著しくない場合などは、例えば 60 フレーム期間ごとに 1 回とするなど、光源の駆動のタイミングを設定し直す回数を、少なくとも良い。

30

【0056】

また、本発明の液晶表示装置は、画素部が画素を複数有する場合、該画素の少なくとも 1 つから、画素電極の電位を比較回路に出力できていればよい。図 2 に、本発明の液晶表示装置が有する、複数の画素 300 が設けられた画素部 301 と、比較回路 302 と、制御回路 303 と、光源 304 とを一例として示す。

【0057】

40

図 2 において、各画素 300 は、信号線 S1 ~ Sx の少なくとも 1 つと、走査線 G1 ~ Gy の少なくとも 1 つとを有している。また画素 300 は、スイッチング素子として機能するトランジスタ 305 と、液晶素子 306 と、容量素子 307 とを有している。なお図 2 では、画素 300 において、一のトランジスタ 305 をスイッチング素子として用いている場合について示しているが、本発明はこの構成に限定されない。スイッチング素子としてトランジスタ以外の半導体素子を用いていても良い。或いは、複数のトランジスタをスイッチング素子として用いていても良い。

【0058】

また図 2 では、図 1 (A) と同様に、画素 300 において、液晶素子 306 と容量素子 307 とが直列に接続されている場合を例示しているが、液晶素子 306 と容量素子 307

50

とは、並列に接続されていても良い。また図1(B)と同様に、画素300が、液晶素子306に直列に接続されている容量素子307に加えて、液晶素子306に並列に接続されている容量素子を有していても良い。

【0059】

図2では、複数の画素300のうち、信号線Sxと走査線Gyとを有するモニター用画素300aにおいて、液晶素子306が有する画素電極の電位をモニターするべく、該電位を比較回路302に inputs する。なお、全ての画素300のうち、最も端に位置している画素300を、画素電極の電位をモニターするためのモニター用画素300aとする必要は必ずしもない。モニター用画素300aは、他の画素300と構成を変える必要はないので、いずれの画素300をモニター用画素300aとして用いるかは、設計者が適宜決めることができる。また、画素部301が有する複数の画素300のうち、実際の映像の表示には用いることのないダミー用の画素の一つを、モニター用画素300aとして用いるようにしても良い。ただし、いずれの場合にせよ、全ての画素300のうち、最後にビデオ信号の入力が行われる画素において、液晶分子の配向の変化が収束するタイミングが最も遅くなる。よって、最後にビデオ信号の入力が行われる画素の一つをモニター用画素300aとして用いることで、全ての画素300において液晶分子の配向の変化が収束するタイミングを把握することができ、望ましい。

10

【0060】

次に、図2に示す画素部301の動作と、光源304の駆動について説明する。まず、走査線G1~Gyが順に選択されると、選択された走査線を有する画素300において、トランジスタ305がオンになる。そして信号線S1~Sxに、順にまたは同時にビデオ信号の電位が与えられると、オンのトランジスタ305を介して、ビデオ信号の電位が液晶素子306の画素電極に与えられる。次に走査線の選択が終了すると、該走査線を有する画素300において、トランジスタ305がオフになる。そして液晶素子306は、液晶分子の配向の変化に伴い、その画素電極の電位が変化する。

20

【0061】

図3に、画素部301における、ビデオ信号の画素300への入力のタイミングを示す。図3では、横軸は時間を示しており、縦軸は走査線が選択される方向(走査方向)を示している。また、図3において、光源304の点灯期間は白地で示し、消灯期間はハッチで示す。期間Taは、最初の走査線が選択されてから最後の走査線が選択されるまでの期間を意味しており、期間Ta内に全ての画素300にビデオ信号が入力される。

30

【0062】

期間Taでは、複数の画素300に順にビデオ信号が入力されている最中なので、画素300によっては液晶素子306が有する液晶分子の配向の変化が著しい。また、期間Taにおいて最後にビデオ信号が入力される画素300では、他の画素300に比べて、液晶分子の配向の変化が収束するタイミングは最も遅い。そして、液晶分子の配向の変化が収束するタイミングは、液晶の温度によっても随時変わってくる。

【0063】

図4(A)と図4(B)に、最後にビデオ信号が入力される画素300における、液晶素子306の透過率の時間変化と、光源の駆動のタイミングを示す。図4(A)、(B)では、横軸は時間を示し、縦軸は液晶素子306の透過率を示す。また、光源304の点灯時間は白地で示し、消灯期間はハッチで示す。また図4(C)には、信号線に入力される電位の時間変化も併せて示す。ただし、図4(C)では、信号線に与えられる電位が、第1フレーム期間と第3フレーム期間において電位COMよりも高く、第2フレーム期間では電位COMと同じである場合を例示している。

40

【0064】

図4(A)と図4(B)の透過率の変化は、共に図4(C)に示すタイミングチャートに同期している。しかし、図4(A)と図4(B)とでは、温度変化により液晶の比誘電率が異なっており、透過率の変化が著しい期間401の長さが異なっている。より詳細に説明すると、図4(A)の方が図4(B)よりも、期間401が短く、期間402が長くな

50

っている。

【0065】

本発明では、モニター用画素300aが有する液晶素子306の画素電極の電位から、液晶分子の配向の変化が収束するタイミングを把握することができる。そして、制御回路303は、画素300へのビデオ信号の入力が開始されてから、全ての画素300において液晶分子の配向の変化が収束するまでの期間Tb（図3参照）において、光源304が消灯するように、光源304の駆動を制御する。よって本発明では、図4（A）と図4（B）のいずれの場合においても、少なくとも期間401において消灯するように光源304を駆動させることができる。期間Tbにおいて光源304を消灯にしておくことで、液晶分子の配向の変化、すなわち液晶素子の透過率の変化が視認されにくくなり、動画がぼやけて見えるのを防ぐことができる。

10

【0066】

なお、期間401は、液晶の比誘電率のみならず、液晶素子に印加される電圧の変化量によっても異なる。例えばVA液晶の場合だと、黒表示から中間階調表示に移行する際に液晶の応答速度が最も遅くなるため、期間401が最長となる。よって、光源304の駆動のタイミングを設定する際、まず先のフレーム期間において黒表示を行った後、次の第2のフレーム期間において中間階調表示を行うように、モニター用画素300aにビデオ信号を入力する。そして、上記第2のフレーム期間における画素電極の電位を用いて光源304の駆動のタイミングを設定するのが望ましい。上記構成により、いずれの階調を表示する場合でも、液晶分子の配向の変化が収束するまでの期間Tbにおいて光源304が消灯するように光源304の駆動を制御し、動画がぼやけて見えるのを防ぐことができる。

20

【0067】

なお、VA液晶の場合だと、黒表示から中間階調表示に移行する際に液晶の応答速度が最も遅くなるが、液晶の応答速度が最も遅くなる表示のパターンは液晶の種類によって異なる。よって、液晶の種類に合わせて、光源304の駆動のタイミングを設定する際に、応答速度が最長となるよう、モニター用画素300aにおいて階調が変化する表示パターンを、適宜選択すればよい。例えばTN液晶、OCB液晶の場合、白表示から中間階調表示に移行する際に液晶の応答速度が最も遅くなる。よって、この場合、白表示の次に中間階調表示を行う表示パターンを用いて、光源304の駆動のタイミングを設定するのが望ましい。また、例えばIPS液晶の場合、VA液晶と同様に、黒表示から中間階調表示に移行する際に液晶の応答速度が最も遅くなる。よって、この場合、黒表示の次に中間階調表示を行う表示パターンを用いて、光源304の駆動のタイミングを設定するのが望ましい。

30

【0068】

また、図4（A）、図4（B）では、期間401のみならず期間403においても液晶分子の配向の変化が著しい。期間401は、液晶素子の画素電極の電位が、対向電極の電位からより離れた電位に変化する際に起こる、液晶分子の配向の変化の著しい期間である。一方、期間403は、液晶素子の画素電極の電位が、対向電極の電位により近い電位に変化する際に起こる、液晶分子の配向の変化の著しい期間である。本実施の形態では、期間401における画素電極の電位の変化を用い、光源304の駆動のタイミングを設定しているが、期間403における画素電極の電位の変化を用いて、光源304の駆動のタイミングを設定しても良い。液晶の種類にもよるが、期間401よりも期間403の方が長くなる場合がある。よって、期間401よりも期間403の方が長くなる場合は、期間403における画素電極の電位の変化を用いて、光源304の駆動のタイミングを設定することで、より確実に動画がぼやけて見えるのを防ぐことができる。

40

【0069】

なお、期間403において光源304の駆動のタイミングを設定する場合も、期間403が最長となる表示パターンを用いるのが望ましい。例えばVA液晶の場合だと、白表示から黒表示に移行する際に、液晶の応答時間が最も長くなり、期間401が最長となる。よって、光源304の駆動のタイミングを設定する際、まず先のフレーム期間において白表

50

示を行った後、次の第2のフレーム期間において黒表示を行うように、モニター用画素300aにビデオ信号を入力する。そして、上記第2のフレーム期間における画素電極の電位を用いて光源304の駆動のタイミングを設定するのが望ましい。上記構成により、いずれの階調を表示する場合でも、液晶分子の配向の変化が収束するまでの期間Tbにおいて光源304が消灯するように光源304の駆動を制御し、動画がぼやけて見えるのを防ぐことができる。

【0070】

なお、VA液晶の場合だと、白表示から黒表示に移行する際に液晶の応答時間が最も長くなるが、液晶の応答時間が最も長くなる表示のパターンは液晶の種類によって異なる。よって、液晶の種類に合わせて、光源304の駆動のタイミングを設定する際の、表示パターンを適宜選択すればよい。例えばTN液晶、OCB液晶の場合、黒表示から白表示に移行する際に液晶の応答速度が最も遅くなる。よって、この場合、黒表示の次に白表示を行う表示パターンを用いて、光源304の駆動のタイミングを設定するのが望ましい。また、例えばIPS液晶の場合、VA液晶と同様に、白表示から黒表示に移行する際に液晶の応答速度が最も遅くなる。よって、この場合、白表示の次に黒表示を行う表示パターンを用いて、光源304の駆動のタイミングを設定するのが望ましい。

【0071】

また、図1(A)では光源103を一つだけ図示している。図1(B)では光源203を一つだけ図示している。図2では光源304を一つだけ図示している。しかし、本発明はこれらの構成に限定されない。光源103と、光源203と、光源304とは、その数がそれぞれ単数であっても良いが、複数であっても良い。

【0072】

なお、本実施の形態では、アクティブマトリクス型の液晶表示装置を例に挙げて説明したが、本発明の液晶表示装置はパッシブマトリクス型であっても良い。

【0073】

(実施の形態2)

本実施の形態では、本発明の液晶表示装置が有する制御回路の具体的な構成の一例について説明する。

【0074】

図5(A)は、本発明の液晶表示装置が有する比較回路501と、制御回路502と、光源503とを示している。図5(A)に示す制御回路502は、記憶回路504と、スイッチング回路505とを少なくとも有している。

【0075】

比較回路501は、画素から与えられる液晶素子の画素電極の電位 V_E と、基準となる電位REFとが入力されている。そして比較回路501は電位 V_E と電位REFとを比較し、その結果に従って互いに値の異なる電位OUT1または電位OUT2を出力する。

【0076】

制御回路502では、比較回路501から出力された電位が、電位OUT1と電位OUT2のうちのいずれであるかを、記憶回路504においてデータとして記憶する。記憶回路504には、記憶回路504に記憶されているデータを保持するための電源電位VDDと、記憶が行われるタイミングを制御する信号 S_{igL} とが入力されている。具体的には、信号 S_{igL} によって、光源503の駆動のタイミングを設定する際に、記憶回路504に新たにデータが書き込まれるようになる。また逆に、信号 S_{igL} によって、光源503の駆動のタイミングを設定された状態のまま維持する際に、記憶回路504に新たにデータが書き込まれないようになる。なお、全ての画素のうち、最初の画素にビデオ信号が入力されるタイミングが信号 S_{igL} によって制御されている場合、該信号 S_{igL} を用いることで、上記最初の画素にビデオ信号が入力されるタイミングに合わせて、光源503を消灯させるタイミングをも制御することができる。

【0077】

光源の駆動のタイミングを設定するタイミングは、上述したように設計者が適宜決めるこ

10

20

30

40

50

とができる。具体的には、信号 S_{ig} またはその他の制御信号を用いることで、光源 503 の駆動のタイミングを設定するタイミングを、リアルタイムに制御することができる。なお、光源の駆動のタイミングを、毎フレーム期間ごとにリアルタイムで設定し直すのではなく、複数のフレーム期間ごとに設定し直す場合、制御回路 502 内にタイミング検出用回路を更に設け、設定された光源 503 の駆動のタイミングを次の設定時まで、上記タイミング検出用回路で記憶するようにしても良い。例えばタイミング検出用回路は、光源 503 の駆動のタイミングを設定し直すように指示が来たら、比較回路 501 から出力される電位を用いて、1 フレーム期間が開始されてから全ての画素において液晶分子の配向の変化が収束するまでの期間を検出するための回路と、各フレーム期間が開始されてからの時間を計測するための回路と、上記 2 つの回路から出力される信号に従って、記憶回路 504 のデータを書き換える回路と、を用いれば良い。

10

【0078】

スイッチング回路 505 は、記憶回路 504 において記憶されているデータに従ってスイッチングを行うことで、光源 503 への電力の供給を制御する。なお図 5 (A) では、スイッチング回路 505 に、トランジスタを一つ用いている例を示しているが、本発明はこの構成に限定されない。スイッチング回路 505 に、トランジスタ以外の半導体素子を用いていても良いし、複数のトランジスタを用いていても良い。また記憶回路 504 として、ラッチ回路などを用いることができる。光源 503 として、LED を用いることができる。ただし本発明の液晶表示装置に用いることができる光源は、必ずしも LED に限定されない。LED のように点灯と消灯を高速で切り替えることが可能な発光素子であれば、本発明の液晶表示装置の光源として用いることは可能である。

20

【0079】

なお、本実施の形態では、記憶回路 504 を有している制御回路 502 の構成について説明したが、本発明の液晶表示装置が有する制御回路は、必ずしも記憶回路を用いる必要はない。記憶回路を用いない場合は、制御回路 502 において、比較回路 501 の後段にスイッチング回路 505 が設けられる。そして記憶回路を用いない場合、全てのフレーム期間ごとに光源の駆動のタイミングを適宜設定し直すことになるので、基準となる電位 R_{EF} をフレーム期間ごとに変えるか、若しくは各極性に対応した比較回路及び制御回路を新たに設けるようにする。

【0080】

なお制御回路 502 は、図 5 (A) に示した構成に加え、バッファを有していても良い。図 5 (B) に、比較回路 501 と、バッファ 506 をさらに有する制御回路 502 と、光源 503 とを示す。図 5 (B) に示す制御回路 502 では、記憶回路 504 から出力される電位を、バッファ 506 を介して制御回路 502 に入力している。バッファ 506 を用いることで、スイッチング回路 505 におけるスイッチングの制御に大電力が必要な場合でも、確実にそのスイッチングを制御することができる。

30

【0081】

なお、図 5 に示した構成の制御回路 502 が有する機能は、比較回路 501 において検出された電位を用い、CPU (central processing unit) で行うことも可能である。ただし本発明では、CPU を用いた複雑な制御系の回路を使用せずに、液晶の応答速度に合わせて光源 503 の駆動を制御することができるというメリットを有する。或いは本発明では、CPU を使用していたとしても、CPU の負荷を低減させつつ、液晶の応答速度に合わせて光源 503 の駆動を制御することができるというメリットを有する。

40

【0082】

なお、図 5 (A) 、図 5 (B) では、光源 503 を一つだけ図示しているが、本発明はこの構成に限定されない。光源 503 は、その数が単数であっても良いが、複数であっても良い。

【0083】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

50

【 0 0 8 4 】

(実施の形態 3)

本実施の形態では、本発明の液晶表示装置の全体的な構成の一例について説明する。図 6 に、本発明の液晶表示装置のブロック図を示す。

【 0 0 8 5 】

図 6 に示す液晶表示装置は、液晶素子を備えた画素を複数有する画素部 6 0 0 と、各画素をラインごとに選択する走査線駆動回路 6 1 0 と、選択されたラインの画素へのビデオ信号の入力を制御する信号線駆動回路 6 2 0 と、比較回路 6 3 0 と、制御回路 6 3 1 と、光源 6 3 2 とを有する。そして本発明では画素部 6 0 0 が有する画素のうち、いずれか 1 つをモニター用画素 6 3 3 として用いる。モニター用画素 6 3 3 の画素電極の電位は、比較回路 6 3 0 に与えられる。

10

【 0 0 8 6 】

図 6 において信号線駆動回路 6 2 0 は、シフトレジスタ 6 2 1、第 1 の記憶回路 6 2 2、第 2 の記憶回路 6 2 3、D A (D i g i t a l t o A n a l o g) 変換回路 6 2 4 を有している。シフトレジスタ 6 2 1 には、クロック信号 S - C L K、スタートパルス信号 S - S P が入力される。シフトレジスタ 6 2 1 は、これらクロック信号 S - C L K 及びスタートパルス信号 S - S P に従って、パルスが順次シフトするタイミング信号を生成し、第 1 の記憶回路 6 2 2 に出力する。タイミング信号のパルスの出現する順序は、走査方向切り替え信号に従って切り替えるようにしても良い。

20

【 0 0 8 7 】

第 1 の記憶回路 6 2 2 にタイミング信号が入力されると、該タイミング信号のパルスに従って、ビデオ信号が順に第 1 の記憶回路 6 2 2 に書き込まれ、保持される。なお、第 1 の記憶回路 6 2 2 が有する複数の記憶素子に順にビデオ信号を書き込んでも良いが、第 1 の記憶回路 6 2 2 が有する複数の記憶素子をいくつかのグループに分け、該グループごとに並行してビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループ数を分割数と呼ぶ。例えば 4 つの記憶素子ごとにグループに分けた場合、4 分割で分割駆動することになる。

【 0 0 8 8 】

第 1 の記憶回路 6 2 2 の全ての記憶素子への、ビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

30

【 0 0 8 9 】

1 ライン期間が終了すると、第 2 の記憶回路 6 2 3 に入力されるラッチ信号 S - L S のパルスに従って、第 1 の記憶回路 6 2 2 に保持されているビデオ信号が、第 2 の記憶回路 6 2 3 に一斉に書き込まれ、保持される。ビデオ信号を第 2 の記憶回路 6 2 3 に送出し終えた第 1 の記憶回路 6 2 2 には、再びシフトレジスタ 6 2 1 からのタイミング信号に従って、次のビデオ信号の書き込みが順次行われる。この 2 順目の 1 ライン期間中には、第 2 の記憶回路 6 2 3 に書き込まれ、保持されているビデオ信号が、D A 変換回路 6 2 4 に入力される。

【 0 0 9 0 】

そして D A 変換回路 6 2 4 は、入力されたデジタルのビデオ信号をアナログのビデオ信号に変換し、信号線を介して画素部 6 0 0 内の各画素に入力する。

40

【 0 0 9 1 】

なお信号線駆動回路 6 2 0 は、シフトレジスタ 6 2 1 の代わりに、パルスが順次シフトする信号を出力することができる別の回路を用いても良い。

【 0 0 9 2 】

なお図 6 では D A 変換回路 6 2 4 の後段に画素部 6 0 0 が直接接続されているが、本発明はこの構成に限定されない。画素部 6 0 0 の前段に、D A 変換回路 6 2 4 から出力されたビデオ信号に信号処理を施す回路を設けることができる。信号処理を施す回路の一例として、例えば波形を整形することができるバッファなどが挙げられる。

50

【0093】

次に、走査線駆動回路610の動作について説明する。本発明の液晶表示装置では、画素部600の各画素に走査線が複数設けられている。走査線駆動回路610は選択信号を生成し、該選択信号を複数の各走査線に入力することで、画素をラインごとに選択する。選択信号により画素が選択されると、該画素が有するスイッチング素子がオンになり、画素へのビデオ信号の入力が行われる。

【0094】

なお、本実施の形態では複数の走査線に入力される選択信号を、全て一の走査線駆動回路610で生成している例について述べたが、本発明はこの構成に限定されない。複数の走査線駆動回路610で複数の走査線に入力される選択信号の生成を行うようにしても良い。

10

【0095】

また、画素部600、走査線駆動回路610、信号線駆動回路620、比較回路630、制御回路631は、同一基板上に形成することができるが、いずれかを異なる基板上に形成することもできる。

【0096】

また、図6では、光源632を一つだけ図示しているが、本発明はこの構成に限定されない。光源632は、その数が単数であっても良いが、複数であっても良い。

【0097】

次に図7に、図6とは異なる、本実施の形態の液晶表示装置のブロック図を一例として示す。

20

【0098】

図7に示す本発明の液晶表示装置は、複数の画素を有する画素部640と、複数の画素をラインごとに選択することができる走査線駆動回路650と、選択されたライン内の画素へのビデオ信号の入力を制御する信号線駆動回路660と、比較回路670と、制御回路671と、光源672とを有する。そして本発明では画素部640が有する画素のうち、いずれか1つをモニター用画素673として用いる。モニター用画素673の画素電極の電位は、比較回路670に与えられる。

【0099】

信号線駆動回路660は、シフトレジスタ661と、サンプリング回路662と、アナログ信号を記憶することができる記憶回路663とを少なくとも有する。シフトレジスタ661にクロック信号S-CLKと、スタートパルス信号S-SPが入力されると、シフトレジスタ661はこれらクロック信号S-CLK及びスタートパルス信号S-SPに従って、パルスが順次シフトするタイミング信号を生成し、サンプリング回路662に入力する。サンプリング回路662では、入力されたタイミング信号に従って、信号線駆動回路660に入力された1ライン期間分のアナログのビデオ信号をサンプリングする。そして1ライン期間分のビデオ信号が全てサンプリングされると、サンプリングされたビデオ信号はラッチ信号S-LSに従って一斉に記憶回路663に出力され、保持される。記憶回路663に保持されるビデオ信号は、信号線を介して画素部640に入力される。

30

【0100】

なお本実施の形態では、サンプリング回路662において1ライン期間分のビデオ信号を全てサンプリングした後に、一斉に下段の記憶回路663にサンプリングされたビデオ信号を入力する場合を例に挙げて説明するが、本発明はこの構成に限定されない。サンプリング回路662において各画素に対応するビデオ信号をサンプリングしたら、1ライン期間を待たずに、その都度下段の記憶回路663にサンプリングされたビデオ信号を入力しても良い。

40

【0101】

またビデオ信号のサンプリングは対応する画素毎に順に行っても良いし、1ライン内の画素をいくつかのグループに分け、各グループに対応する画素ごとに並行して行っても良い。

50

【 0 1 0 2 】

なお図 7 では記憶回路 6 6 3 の後段に直接画素部 6 4 0 が接続されているが、本発明はこの構成に限定されない。画素部 6 4 0 の前段に、記憶回路 6 6 3 から出力されたアナログのビデオ信号に信号処理を施す回路を設けることができる。信号処理を施す回路の一例として、例えば波形を整形することができるバッファなどが挙げられる。

【 0 1 0 3 】

そして、記憶回路 6 6 3 から画素部 6 4 0 にビデオ信号が入力されるのと並行して、サンプリング回路 6 6 2 は次のライン期間に対応するビデオ信号を再びサンプリングすることができる。

【 0 1 0 4 】

次に、走査線駆動回路 6 5 0 の動作について説明する。本発明の液晶表示装置では、画素部 6 4 0 の各画素に走査線が複数設けられている。走査線駆動回路 6 5 0 は選択信号を生成し、該選択信号を複数の各走査線に入力することで、画素をラインごとに選択する。選択信号により画素が選択されると、該画素が有するスイッチング素子がオンになり、画素へのビデオ信号の入力が行われる。

【 0 1 0 5 】

なお、本実施の形態では複数の走査線に入力される選択信号を、全て一の走査線駆動回路 6 5 0 で生成している例について述べたが、本発明はこの構成に限定されない。複数の走査線駆動回路 6 5 0 で複数の走査線に入力される選択信号の生成を行うようにしても良い。

【 0 1 0 6 】

また、画素部 6 4 0、走査線駆動回路 6 5 0、信号線駆動回路 6 6 0、比較回路 6 7 0、制御回路 6 7 1 は、同一基板上に形成することができるが、いずれかを異なる基板上に形成することもできる。

【 0 1 0 7 】

また、図 7 では、光源 6 7 2 を一つだけ図示しているが、本発明はこの構成に限定されない。光源 6 7 2 は、その数が単数であっても良いが、複数であっても良い。

【 0 1 0 8 】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【 0 1 0 9 】

(実施の形態 4)

本実施の形態では、液晶表示装置が置かれる環境下の輝度を検出し、検出された輝度に合わせて光源の輝度を調整する液晶表示装置の構成について説明する。

【 0 1 1 0 】

図 8 (A) に、本実施の形態の液晶表示装置が有する、光源 8 0 1 の制御系の回路の一例を示す。図 8 (A) に示す光源 8 0 1 の制御系の回路は、比較回路 8 0 2、制御回路 8 0 3、光検出器 8 0 4、信号生成回路 8 0 5、輝度制御回路 8 0 6 を有する。

【 0 1 1 1 】

比較回路 8 0 2 は、画素から与えられる液晶素子の画素電極の電位 V_E と、基準となる電位 R_{EF} とを比較し、その結果に従って互いに値の異なる 2 値の電位を出力する。制御回路 8 0 3 は、比較回路 8 0 2 から出力された電位に従って、光源 8 0 1 の駆動を制御する。具体的には、2 値の電位のうち、一方の電位が比較回路 8 0 2 から出力されたとき、制御回路 8 0 3 は光源 8 0 1 が点灯するように制御し、他方の電位が比較回路 8 0 2 から出力されたとき、制御回路 8 0 3 は光源 8 0 1 が消灯するように制御する。比較回路 8 0 2 から出力される電位は、液晶分子の配向の変化が収束する前と後とで、その値が切り替わるので、制御回路 8 0 3 は液晶分子の配向が変化するタイミングに従って、光源 8 0 1 の駆動を制御することができる。

【 0 1 1 2 】

光検出器 8 0 4 は、液晶表示装置が置かれる環境下の輝度または光強度を検出し、該輝度または光強度の情報を含む電気信号 (第 1 の信号) を生成することができる。光検出器 8

10

20

30

40

50

04として、例えばフォトダイオード、フォトトランジスタ、電荷結合素子（CCD：Charge Coupled Device）などの、光を電気エネルギーに変換する光電変換素子を用いることができる。

【0113】

信号生成回路805は、光検出器804で生成される電気信号を用い、検出された輝度の情報に従って光源801の輝度を決める。図8（A）では、信号生成回路805が積分回路807と、輝度比較回路808とを有する例を示している。

【0114】

積分回路807は光検出器804において検出された光強度を時間で積分する。人間は、一定時間内の光強度を積分して知覚するという特性を有しているので、積分回路807を用いることで、人間の目が感じる輝度を算出することができる。輝度比較回路808は、積分回路807によって算出された輝度と、あらかじめ設定しておいた基準となる輝度とを比較する。

10

【0115】

そして、比較の結果が情報として含まれる信号（第2の信号）を出力する。輝度制御回路806は、上記第2の信号を、光源の輝度を調整するための信号として用い、輝度比較回路808における比較の結果に従って光源801の輝度の制御を行う。具体的には、算出された輝度が設定された輝度よりも高い場合、光源801の輝度がより高くなるように、逆に算出された輝度が設定された輝度よりも低い場合、光源801の輝度がより低くなるように、第2の信号に従って光源801の輝度の制御を行う。

20

【0116】

よって本実施の形態の液晶表示装置では、液晶表示装置が置かれる環境下の輝度が高い場合に光源801の輝度を高め、逆に環境下の輝度が低い場合に光源801の輝度を低くすることができる。上記構成により、明るい場所では液晶表示装置に表示される映像を明るくすることで見やすくし、逆に、暗い場所では映像の明るさを抑えて消費電力を低減させることができる。

【0117】

なお、基準となる輝度は必ずしも1つである必要はなく、基準となる輝度が複数設定されていても良い。例えば、輝度の低い順から第1の輝度、第2の輝度、第3の輝度というように、3つの基準となる輝度が設定されている場合、点灯時の光源801の輝度を4段階に調整できるようにする。そして、算出された輝度が第1の輝度よりも低い時は、4段階のうち最も低い輝度になるように、第2の信号に従って光源801を点灯させる。また、算出された輝度が第1の輝度よりも高く、第2の輝度よりも低い時は、4段階のうち2番目に低い輝度になるように、第2の信号に従って光源801を点灯させる。また、算出された輝度が第2の輝度よりも高く、第3の輝度よりも低い時は、4段階のうち2番目に高い輝度になるように、第2の信号に従って光源801を点灯させる。また、算出された輝度が第3の輝度よりも高い時は、4段階のうち最も高い輝度になるように、第2の信号に従って光源801を点灯させる。

30

【0118】

さらに、本実施の形態の液晶表示装置では、上記効果に加え、液晶分子の配向の変化が収束するタイミングを把握できるので、該タイミングに従って光源801の駆動のタイミングを適宜設定し直すことができる。よって、液晶の応答速度が変化しても、液晶分子の配向の変化が著しい期間に光源801を消灯し、液晶分子の配向の変化が収束している期間に光源801を点灯し、動画がぼやけて視認されてしまうのを防ぐことができる。

40

【0119】

次に図8（B）に、輝度制御回路806の具体的な回路の一例を示す。図8（B）に示す輝度制御回路806は、4段階で光源801の輝度を制御する場合を例示しており、4つのスイッチング素子810と、4つの抵抗素子811とを有している。スイッチング素子810と抵抗素子811とは一対一で直列に接続されている。そして、直列に接続されたスイッチング素子810と抵抗素子811の4つの組が、制御回路803と光源801と

50

の間において、全て並列に接続されている。

【0120】

各スイッチング素子810のスイッチングは、信号生成回路805から出力される第2の信号に従って行われる。オンになるスイッチング素子810の数が多いほど、制御回路803と光源801との間における抵抗値が低くなる。逆に、オンになるスイッチング素子810の数が少ないほど、制御回路803と光源801との間における抵抗値は高くなる。よって、制御回路803において設定されたタイミングに従って、電力の供給が行われると、各スイッチング素子810のスイッチングに従って、光源801に供給される電力を調整することができ、光源801の輝度を4段階に制御することができる。

【0121】

なお、光源801への電力の供給の有無は、制御回路803において制御されるので、輝度制御回路806では光源801へ供給される電力量を制御するのみで良い。よって、複数のスイッチング素子810のうち、少なくとも1つは常にオンにしておく。ただし、本発明は必ずしもこの構成に限定されず、輝度制御回路806においても光源801への電力の供給の有無を制御するべく、全てのスイッチング素子810をオフにできる構成としても良い。

【0122】

また、 m 個の抵抗素子811全てが同じ抵抗値を有するのであれば、 m 段階で輝度の制御を行うことになるが、各抵抗素子811が有する抵抗値の値を変えることで、最高で $(2^m - 1)$ 段階まで細かく輝度の制御を行うことが可能である。

【0123】

また、図8では、光源801を一つだけ図示しているが、本発明はこの構成に限定されない。光源801は、その数が単数であっても良いが、複数であっても良い。

【0124】

本実施の形態は、上記実施の形態と適宜組み合わせる実施することが可能である。

【0125】

(実施の形態5)

本実施の形態では、液晶表示装置が有する画素部を複数の領域に分割し、各領域に配置されている画素の階調の平均値に合わせて、領域ごとに対応する光源の輝度を調整する、液晶表示装置の構成について説明する。

【0126】

本実施の形態の液晶表示装置は、各領域に対応した複数の光源を有する。図9(A)に、第1の領域の画素に対応した第1の光源820と、第2の領域の画素に対応した第2の光源821とを有する液晶表示装置における、第1の光源820及び第2の光源821の制御系の回路の一例を示す。なお、光源の数は2つに限定されず、分割する領域の数に合わせて、対応する光源の数を適宜設定することができる。

【0127】

図9(A)に示す第1の光源820及び第2の光源821の制御系の回路は、比較回路(比較回路8221及び比較回路8222)、制御回路823、画像処理用フィルタ824、信号処理回路825、第1の輝度制御回路826及び第2の輝度制御回路827を有する。

【0128】

比較回路8221は、第1の領域の画素から与えられる液晶素子の画素電極の電位 V_{E1} と、基準となる電位 R_{EF} とを比較し、その結果に従って比較回路8221から値の異なる2値の電位を制御回路823に出力する。

【0129】

比較回路8222は、第2の領域の画素から与えられる液晶素子の画素電極の電位 V_{E2} と、基準となる電位 R_{EF} とを比較し、その結果に従って比較回路8222から互いに値の異なる2値の電位を制御回路823に出力する。

【0130】

制御回路 8 2 3 は、比較回路 8 2 2 1 及び比較回路 8 2 2 2 から出力された電位に従って、第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 の駆動を制御する。具体的には、比較回路 8 2 2 1 から 2 値の電位のうち、一方の電位が制御回路 8 2 3 に出力されたとき、制御回路 8 2 3 は第 1 の光源 8 2 0 が点灯するように制御し、他方の電位が制御回路 8 2 3 に出力されたとき、制御回路 8 2 3 は第 1 の光源 8 2 0 が消灯するように制御する。また、比較回路 8 2 2 2 から 2 値の電位のうち、一方の電位が制御回路 8 2 3 に出力されたとき、制御回路 8 2 3 は第 2 の光源 8 2 1 が点灯するように制御し、他方の電位が制御回路 8 2 3 に出力されたとき、制御回路 8 2 3 は第 2 の光源 8 2 1 が消灯するように制御する。比較回路 8 2 2 1 及び比較回路 8 2 2 2 から出力される電位は、液晶分子の配向の変化が収束する前と後とで、その値が切り替わるので、制御回路 8 2 3 は液晶分子の配向が変化するタイミングに従って、第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 の駆動を制御することができる。

10

【 0 1 3 1 】

一方、画像処理用フィルタ 8 2 4 は、各領域の画素に入力されるビデオ信号を用い、領域ごとに画素の階調の平均値を算出し、該平均値を情報として含む信号を生成する。画像処理用フィルタ 8 2 4 として、例えばランクフィルタ、コンボフィルタなどの、階調の平均値を算出できる画像処理用フィルタを、用いることができる。

【 0 1 3 2 】

信号処理回路 8 2 5 は、画像処理用フィルタ 8 2 4 で生成される信号を用い、算出された階調の平均値に従って第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 の輝度を決める。具体的に信号処理回路 8 2 5 では、算出された階調の平均値と、あらかじめ設定しておいた階調とを比較する。そして、比較の結果が情報として含まれる信号を出力する。第 1 の輝度制御回路 8 2 6 及び第 2 の輝度制御回路 8 2 7 は、上記比較の結果が含まれる信号を、第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 の輝度を調整するための信号として用い、該信号に従って第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 の輝度の制御を行う。具体的には、算出された階調の平均値が設定された階調よりも高い場合、第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 の輝度がより高くなるように、逆に算出された階調の平均値が設定された階調よりも低い場合、第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 の輝度がより低くなるように、第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 の輝度の制御を行う。

20

【 0 1 3 3 】

図 9 (B) に、4 つの領域 8 4 0、領域 8 4 1、領域 8 4 2、領域 8 4 3 に分割した画素部と、領域 8 4 0 に対応する光源 8 4 4、領域 8 4 1 に対応する光源 8 4 5、領域 8 4 2 に対応する光源 8 4 6、領域 8 4 3 に対応する光源 8 4 7 の配置を一例として示す。なお実際に光源からの光は、対応する領域以外の別の領域にも照射される場合が多いが、各領域に対応する光源は、主に該領域に光を照射することができるものであれば良い。

30

【 0 1 3 4 】

領域 8 4 0、領域 8 4 1、領域 8 4 2、領域 8 4 3 において、それぞれ配置されている画素の階調を平均化した結果、例えば、領域 8 4 0、領域 8 4 1、領域 8 4 2、領域 8 4 3 の順に平均化された階調が低くなっているものと仮定する。この場合、光源 8 4 4、光源 8 4 5、光源 8 4 6、光源 8 4 7 の順に、光源の輝度を低くすれば良い。

40

【 0 1 3 5 】

なお、図 9 (B) は、画素部の端に光源を配置するエッジライト型の光源を例示しているが、本発明の液晶表示装置は光源が画素部の直下に配置される直下型であっても良い。また、図 9 (A) では、第 1 の光源 8 2 0 と、第 2 の光源 8 2 1 とをひとつずつ図示しているが、本発明はこの構成に限定されない。第 1 の光源 8 2 0 と、第 2 の光源 8 2 1 の数は、それぞれ単数であっても良いが、複数であっても良い。

【 0 1 3 6 】

よって、本実施の形態の液晶表示装置では、階調が高くて明るい画像を表示する領域では、より画像を明るく表示することができ、階調が低くて暗い画像を表示する領域では、より画像を暗く表示することができる。上記構成により、本実施の形態の液晶表示装置では

50

、画素部全体に表示される画像のコントラストを高めることができる。

【 0 1 3 7 】

さらに、本実施の形態の液晶表示装置では、上記効果に加え、液晶分子の配向の変化が収束するタイミングを把握できるので、該タイミングに従って第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 の駆動のタイミングを適宜設定し直すことができる。よって、液晶の応答速度が変化しても、液晶分子の配向の変化が著しい期間に第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 を消灯し、液晶分子の配向の変化が収束している期間に第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 を点灯し、動画がぼやけて視認されてしまうのを防ぐことができる。

【 0 1 3 8 】

なお、図 9 (A) に示す液晶表示装置では、第 1 の光源 8 2 0 及び第 2 の光源 8 2 1 にそれぞれ対応するように第 1 の輝度制御回路 8 2 6 及び第 2 の輝度制御回路 8 2 7 を設けているが、本発明はこの構成に限定されない。複数の光源の階調を、一つの輝度制御回路で制御するようにしても良い。また、第 1 の輝度制御回路 8 2 6 及び第 2 の輝度制御回路 8 2 7 は、図 8 (B) に示した輝度制御回路の構成を用いることができる。

10

【 0 1 3 9 】

なお、本実施の形態で示したような、画素部の領域ごとに対応する光源の輝度を調整する場合においても、実施の形態 4 で示したように、液晶表示装置が置かれる環境下の輝度を検出し、検出された輝度に合わせて各光源の輝度を調整するようにしても良い。

【 0 1 4 0 】

また本実施の形態は、実施の形態 4 以外の、上記実施の形態と適宜組み合わせて実施することが可能である。

20

【 0 1 4 1 】

(実施の形態 6)

本実施の形態では、実施の形態 3 とは異なる、本発明の液晶表示装置の全体的な構成の一例について説明する。図 1 0 に、本発明の液晶表示装置のブロック図を示す。

【 0 1 4 2 】

図 1 0 に示す液晶表示装置は、液晶素子を備えた画素を複数有する画素部 9 0 0 と、各画素をラインごとを選択する走査線駆動回路 9 1 0 と、選択されたラインの画素へのビデオ信号の入力を制御する信号線駆動回路 9 2 0 と、比較回路 9 3 0 と、制御回路 9 3 1 と、光源 9 3 2 とを有する。そして本発明では画素部 9 0 0 が有する画素のうち、いずれか 1 つをモニター用画素 9 3 3 として用いる。モニター用画素 9 3 3 の画素電極の電位は、比較回路 9 3 0 に与えられる。

30

【 0 1 4 3 】

図 1 0 において信号線駆動回路 9 2 0 は、シフトレジスタ 9 2 1、第 1 の記憶回路 9 2 2、第 2 の記憶回路 9 2 3 を有している。シフトレジスタ 9 2 1 には、クロック信号 S - C L K、スタートパルス信号 S - S P が入力される。シフトレジスタ 9 2 1 は、これらクロック信号 S - C L K 及びスタートパルス信号 S - S P に従って、パルスが順次シフトするタイミング信号を生成し、第 1 の記憶回路 9 2 2 に出力する。タイミング信号のパルスの出現する順序は、走査方向切り替え信号に従って切り替えるようにしても良い。

【 0 1 4 4 】

第 1 の記憶回路 9 2 2 にタイミング信号が入力されると、該タイミング信号のパルスに従って、ビデオ信号が順に第 1 の記憶回路 9 2 2 に書き込まれ、保持される。なお、第 1 の記憶回路 9 2 2 が有する複数の記憶素子に順にビデオ信号を書き込んでも良いが、第 1 の記憶回路 9 2 2 が有する複数の記憶素子をいくつかのグループに分け、該グループごとに並行してビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループ数を分割数と呼ぶ。例えば 4 つの記憶素子ごとにグループに分けた場合、4 分割で分割駆動することになる。

40

【 0 1 4 5 】

第 1 の記憶回路 9 2 2 の全ての記憶素子への、ビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた

50

期間をライン期間に含むことがある。

【 0 1 4 6 】

1 ライン期間が終了すると、第 2 の記憶回路 9 2 3 に入力されるラッチ信号 S - L S のパルスに従って、第 1 の記憶回路 9 2 2 に保持されているビデオ信号が、第 2 の記憶回路 9 2 3 に一斉に書き込まれ、保持される。ビデオ信号を第 2 の記憶回路 9 2 3 に送出し終えた第 1 の記憶回路 9 2 2 には、再びシフトレジスタ 9 2 1 からのタイミング信号に従って、次のビデオ信号の書き込みが順次行われる。この 2 順目の 1 ライン期間中には、第 2 の記憶回路 9 2 3 に書き込まれ、保持されているビデオ信号が、デジタルのまま、信号線を介して画素部 9 0 0 内の各画素に入力する。

【 0 1 4 7 】

なお信号線駆動回路 9 2 0 は、シフトレジスタ 9 2 1 の代わりに、パルスが順次シフトする信号を出力することができる別の回路を用いても良い。

【 0 1 4 8 】

なお図 1 0 では第 2 の記憶回路 9 2 3 の後段に画素部 9 0 0 が直接接続されているが、本発明はこの構成に限定されない。画素部 9 0 0 の前段に、第 2 の記憶回路 9 2 3 から出力されたビデオ信号に信号処理を施す回路を設けることができる。信号処理を施す回路の一例として、例えば波形を整形することができるバッファ、電圧の振幅を制御するレベルシフタなどが挙げられる。

【 0 1 4 9 】

次に、走査線駆動回路 9 1 0 の動作について説明する。本発明の液晶表示装置では、画素部 9 0 0 の各画素に走査線が複数設けられている。走査線駆動回路 9 1 0 は選択信号を生成し、該選択信号を複数の各走査線に入力することで、画素をラインごとに選択する。選択信号により画素が選択されると、該画素が有するスイッチング素子がオンになり、画素へのビデオ信号の入力が行われる。

【 0 1 5 0 】

なお、本実施の形態では複数の走査線に入力される選択信号を、全て一つの走査線駆動回路 9 1 0 で生成している例について述べたが、本発明はこの構成に限定されない。複数の走査線駆動回路 9 1 0 で複数の走査線に入力される選択信号の生成を行うようにしても良い。

【 0 1 5 1 】

本実施の形態に示す液晶表示装置は、画素部 9 0 0 にデジタルのビデオ信号が入力される。画素部 9 0 0 に入力されるビデオ信号がデジタルの場合、画素が白表示を行う時間を制御することで、階調を表示しても良いし（時間階調方式）、または白表示を行う画素の面積で階調を表示しても良い（面積階調方式）。例えば本実施の形態において時間階調方式を用いる場合、1 フレーム期間を、ビデオ信号の各ビットに対応する複数のサブフレーム期間に分割する。そして、1 フレーム期間のうち、画素が白表示を行ったサブフレーム期間のトータルの長さをビデオ信号で制御することで、階調を表示することができる。

【 0 1 5 2 】

また、画素部 9 0 0、走査線駆動回路 9 1 0、信号線駆動回路 9 2 0、比較回路 9 3 0、制御回路 9 3 1 は、同一基板上に形成することができるが、いずれかを異なる基板上に形成することもできる。

【 0 1 5 3 】

また、図 1 0 では、光源 9 3 2 を一つだけ図示しているが、本発明はこの構成に限定されない。光源 9 3 2 は、その数が単数であっても良いが、複数であっても良い。

【 0 1 5 4 】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【実施例 1】

【 0 1 5 5 】

次に、本発明の液晶表示装置の作製方法について詳しく述べる。なお本実施例では薄膜トランジスタ（TFT）を半導体素子の一例として示すが、本発明の液晶表示装置に用いら

10

20

30

40

50

れる半導体素子はこれに限定されない。例えばＴＦＴの他に、記憶素子、ダイオード、抵抗素子、コイル、容量素子、インダクタなどを用いることができる。

【０１５６】

まず図１１（Ａ）に示すように、耐熱性を有する基板７００上に、絶縁膜７０１、剥離層７０２、絶縁膜７０３と、半導体膜７０４とを順に形成する。絶縁膜７０１、剥離層７０２、絶縁膜７０３及び半導体膜７０４は連続して形成することが可能である。

【０１５７】

基板７００として、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板等を用いることができる。また、ステンレス基板を含む金属基板、またはシリコン基板等の半導体基板を用いても良い。プラスチック等の可撓性を有する合成樹脂からなる基板は、上記基板と比較して耐熱温度が一般的に低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。

【０１５８】

プラスチック基板として、ポリエチレンテレフタレート（ＰＥＴ）に代表されるポリエステル、ポリエーテルスルホン（ＰＥＳ）、ポリエチレンナフタレート（ＰＥＮ）、ポリカーボネート（ＰＣ）、ポリエーテルエーテルケトン（ＰＥＥＫ）、ポリスルホン（ＰＳＦ）、ポリエーテルイミド（ＰＥＩ）、ポリアリレート（ＰＡＲ）、ポリブチレンテレフタレート（ＰＢＴ）、ポリイミド、アクリロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。

【０１５９】

なお本実施例では、剥離層７０２を基板７００上の全面に設けているが本発明はこの構成に限定されない。例えばフォトリソグラフィ法などを用いて、基板７００上において剥離層７０２を部分的に形成する様にしても良い。

【０１６０】

絶縁膜７０１、絶縁膜７０３は、ＣＶＤ法やスパッタリング法等を用いて、酸化珪素、窒化珪素、酸化窒化珪素（ SiO_xN_y ）（ $x > y > 0$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y > 0$ ）等の絶縁性を有する材料を用いて形成する。

【０１６１】

絶縁膜７０１、絶縁膜７０３は、基板７００中に含まれるＮａなどのアルカリ金属やアルカリ土類金属が半導体膜７０４中に拡散し、ＴＦＴなどの半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。また絶縁膜７０３は、剥離層７０２に含まれる不純物元素が半導体膜７０４中に拡散するのを防ぎ、なおかつ後の半導体素子を剥離する工程において、半導体素子を保護する役目も有している。

【０１６２】

絶縁膜７０１、絶縁膜７０３は、単数の絶縁膜を用いたものであっても、複数の絶縁膜を積層して用いたものであっても良い。本実施例では、膜厚１００ｎｍの酸化窒化珪素膜、膜厚５０ｎｍの窒化酸化珪素膜、膜厚１００ｎｍの酸化窒化珪素膜を順に積層して絶縁膜７０３を形成するが、各膜の材質、膜厚、積層数は、これに限定されるものではない。例えば、下層の酸化窒化珪素膜に代えて、膜厚０．５～３μｍのシロキサン系樹脂をスピンコート法、スリットコーター法、液滴吐出法、印刷法などによって形成しても良い。また、中層の窒化酸化珪素膜に代えて、窒化珪素膜を用いてもよい。また、上層の酸化窒化珪素膜に代えて、酸化珪素膜を用いてもよい。また、それぞれの膜厚は、０．０５～３μｍとするのが望ましく、その範囲から自由に選択することができる。

【０１６３】

或いは、剥離層７０２に最も近い、絶縁膜７０３の下層を酸化窒化珪素膜または酸化珪素膜で形成し、中層をシロキサン系樹脂で形成し、上層を酸化珪素膜で形成しても良い。

【０１６４】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたＳｉ－Ｏ－Ｓｉ結合を含む樹脂に相当する。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキ

10

20

30

40

50

ル基、または芳香族炭化水素のうち、少なくとも１種を有していても良い。

【０１６５】

酸化珪素膜は、シランと酸素、ＴＥＯＳ（テトラエトキシシラン）と酸素などの組み合わせの混合ガスを用い、熱ＣＶＤ、プラズマＣＶＤ、常圧ＣＶＤ、バイアスＥＣＲＣＶＤ等の方法によって形成することができる。また、窒化珪素膜は、代表的には、シランとアンモニアの混合ガスを用い、プラズマＣＶＤによって形成することができる。また、酸化窒化珪素膜、窒化酸化珪素膜は、代表的には、シランと一酸化二窒素の混合ガスを用い、プラズマＣＶＤによって形成することができる。

【０１６６】

剥離層７０２は、金属膜、金属酸化膜、金属膜と金属酸化膜とを積層して形成される膜を用いることができる。金属膜と金属酸化膜は、単層であっても良いし、複数の層が積層された積層構造を有していても良い。また、金属膜や金属酸化膜の他に、金属窒化物や金属酸化窒化物を用いてもよい。剥離層７０２は、スパッタ法やプラズマＣＶＤ法等の各種ＣＶＤ法等を用いて形成することができる。

【０１６７】

剥離層７０２に用いられる金属としては、タングステン（Ｗ）、モリブデン（Ｍｏ）、チタン（Ｔｉ）、タンタル（Ｔａ）、ニオブ（Ｎｂ）、ニッケル（Ｎｉ）、コバルト（Ｃｏ）、ジルコニウム（Ｚｒ）、亜鉛（Ｚｎ）、ルテニウム（Ｒｕ）、ロジウム（Ｒｈ）、パラジウム（Ｐｄ）、オスミウム（Ｏｓ）またはイリジウム（Ｉｒ）等が挙げられる。剥離層７０２は、上記金属で形成された膜の他に、上記金属を主成分とする合金で形成された膜、或いは上記金属を含む化合物を用いて形成された膜を用いても良い。

【０１６８】

また剥離層７０２は珪素（Ｓｉ）単体で形成された膜を用いても良いし、珪素（Ｓｉ）を主成分とする化合物で形成された膜を用いても良い。或いは、珪素と上記金属とを含む合金で形成された膜を用いても良い。珪素を含む膜は、非晶質、微結晶、多結晶のいずれでもよい。

【０１６９】

剥離層７０２は、上述した膜を単層で用いても良いし、上述した複数の膜を積層して用いても良い。金属膜と金属酸化膜とが積層された剥離層７０２は、元となる金属膜を形成した後、該金属膜の表面を酸化または窒化させることで形成することができる。具体的には、酸素雰囲気中または一酸化二窒素雰囲気中で元となる金属膜にプラズマ処理を行ったり、酸素雰囲気中または一酸化二窒素雰囲気中で金属膜に加熱処理を行ったりすればよい。また元となる金属膜上に接するように、酸化珪素膜または酸化窒化珪素膜を形成することでも、金属膜の酸化を行うことが出来る。また元となる金属膜上に接するように、窒化酸化珪素膜、窒化珪素膜を形成することで、窒化を行うことが出来る。

【０１７０】

金属膜の酸化または窒化を行うプラズマ処理として、プラズマ密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上、好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ から $9 \times 10^{15} \text{ cm}^{-3}$ 以下であり、マイクロ波（例えば周波数 2.45 GHz ）などの高周波を用いた高密度プラズマ処理を行っても良い。

【０１７１】

なお、もととなる金属膜の表面を酸化することで、金属膜と金属酸化膜とが積層した剥離層７０２を形成するようにしても良いが、金属膜を形成した後に金属酸化膜を別途形成するようにしても良い。例えば金属としてタングステンを用いる場合、スパッタ法やＣＶＤ法等により元となる金属膜としてタングステン膜を形成した後、該タングステン膜にプラズマ処理を行う。これにより、金属膜に相当するタングステン膜と、該金属膜に接し、なおかつタングステンの酸化物で形成された金属酸化膜とを、形成することができる。

【０１７２】

半導体膜７０４は、絶縁膜７０３を形成した後、大気に曝さずに形成することが望ましい。半導体膜７０４の膜厚は $20 \sim 200 \text{ nm}$ （望ましくは $40 \sim 170 \text{ nm}$ 、好ましくは

10

20

30

40

50

50 ~ 150 nm) とする。なお半導体膜 704 は、非晶質半導体であっても良いし、多結晶半導体であっても良い。また半導体は珪素だけではなくシリコンゲルマニウムも用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は 0.01 ~ 4.5 atomic % 程度であることが好ましい。

【0173】

なお半導体膜 704 は、公知の技術により結晶化しても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせることもできる。また、基板 700 として石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプアニール結晶化法、触媒元素を用いる結晶化法、950 10 程度の高温アニールを適宜組み合わせた結晶法を用いても良い。

【0174】

例えばレーザ結晶化を用いる場合、レーザ結晶化の前に、レーザに対する半導体膜 704 の耐性を高めるために、550、4 時間の加熱処理を該半導体膜 704 に対して行なう。そして連続発振が可能な固体レーザを用い、基本波の第 2 高調波 ~ 第 4 高調波のレーザ光を照射することで、大粒径の結晶を得ることができる。例えば、代表的には、Nd:YVO₄ レーザ (基本波 1064 nm) の第 2 高調波 (532 nm) や第 3 高調波 (355 nm) を用いるのが望ましい。具体的には、連続発振の YVO₄ レーザから射出されたレーザ光を非線形光学素子により高調波に変換し、出力 10 W のレーザ光を得る。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、半導体 20 膜 704 に照射する。このときのエネルギー密度は 0.01 ~ 100 MW/cm² 程度 (好ましくは 0.1 ~ 10 MW/cm²) が必要である。そして、走査速度を 10 ~ 2000 cm/sec 程度とし、照射する。

【0175】

連続発振の気体レーザとして、Ar レーザ、Kr レーザなどを用いることが出来る。また連続発振の固体レーザとして、YAG レーザ、YVO₄ レーザ、YLF レーザ、YAlO₃ レーザ、フォルステライト (Mg₂SiO₄) レーザ、GdVO₄ レーザ、Y₂O₃ レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti:サファイアレーザなどを用いることが出来る。

【0176】

またパルス発振のレーザとして、例えば Ar レーザ、Kr レーザ、エキシマレーザ、CO₂ レーザ、YAG レーザ、Y₂O₃ レーザ、YVO₄ レーザ、YLF レーザ、YAlO₃ レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti:サファイアレーザ、銅蒸気レーザまたは金蒸気レーザを用いることができる。

【0177】

また、パルス発振のレーザ光の発振周波数を 10 MHz 以上とし、通常用いられている数十 Hz ~ 数百 Hz の周波数帯よりも著しく高い周波数帯を用いてレーザ結晶化を行なっても良い。パルス発振でレーザ光を半導体膜 704 に照射してから半導体膜 704 が完全に固化するまでの時間は数十 nsec ~ 数百 nsec と言われている。よって上記周波数を用いることで、半導体膜 704 がレーザ光によって溶融してから固化するまでに、次のパ 40 ルスのレーザ光を照射できる。したがって、半導体膜 704 中において固液界面を連続的に移動させることができるので、走査方向に向かって連続的に成長した結晶粒を有する半導体膜 704 が形成される。具体的には、含まれる結晶粒の走査方向における幅が 10 ~ 30 μm、走査方向に対して垂直な方向における幅が 1 ~ 5 μm 程度の結晶粒の集合を形成することができる。該走査方向に沿って連続的に成長した単結晶の結晶粒を形成することで、少なくとも TFT のチャネル方向には結晶粒界のほとんど存在しない半導体膜 704 の形成が可能となる。

【0178】

なおレーザ結晶化は、連続発振の基本波のレーザ光と連続発振の高調波のレーザ光とを並行して照射するようにしても良いし、連続発振の基本波のレーザ光とパルス発振の高調波 50

のレーザ光とを並行して照射するようにしても良い。

【0179】

なお、希ガスや窒素などの不活性ガス雰囲気中でレーザ光を照射するようにしても良い。これにより、レーザ光照射による半導体表面の荒れを抑えることができ、界面準位密度のばらつきによって生じる閾値電圧のばらつきを抑えることができる。

【0180】

上述したレーザ光の照射により、結晶性がより高められた半導体膜704が形成される。なお、予め半導体膜704に、スパッタ法、プラズマCVD法、熱CVD法などで形成した多結晶半導体を用いるようにしても良い。

【0181】

また本実施例では半導体膜704を結晶化しているが、結晶化せずに非晶質珪素膜または微結晶半導体膜のまま、後述のプロセスに進んでも良い。非晶質半導体、微結晶半導体を用いたTFTは、多結晶半導体を用いたTFTよりも作製工程が少ない分、コストを抑え、歩留まりを高くすることができるというメリットを有している。

【0182】

非晶質半導体は、珪素を含む気体をグロー放電分解することにより得ることができる。珪素を含む気体としては、 SiH_4 、 Si_2H_6 が挙げられる。この珪素を含む気体を、水素、水素及びヘリウムで希釈して用いても良い。

【0183】

次に半導体膜704に対して、p型を付与する不純物元素又はn型を付与する不純物元素を低濃度に添加するチャネルドーピングを行う。チャネルドーピングは半導体膜704全体に対して行っても良いし、半導体膜704の一部に対して選択的に行っても良い。p型を付与する不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。n型を付与する不純物元素としては、リン(P)やヒ素(As)等を用いることができる。ここでは、不純物元素として、ボロン(B)を用い、当該ボロンが $1 \times 10^{16} \sim 5 \times 10^{17} / \text{cm}^3$ の濃度で含まれるよう添加する。

【0184】

次に図11(B)に示すように、半導体膜704を所定の形状に加工(パターニング)し、島状の半導体膜705~707を形成する。そして、島状の半導体膜705~707を覆うように、ゲート絶縁膜709を形成する。ゲート絶縁膜709は、プラズマCVD法またはスパッタリング法などを用い、窒化珪素、酸化珪素、窒化酸化珪素または酸化窒化珪素を含む膜を、単層で、または積層させて形成することができる。積層する場合には、例えば、基板700側から酸化珪素膜、窒化珪素膜、酸化珪素膜の3層構造とするのが好ましい。

【0185】

ゲート絶縁膜709は、高密度プラズマ処理を行うことにより島状の半導体膜705~707の表面を酸化または窒化することで形成しても良い。高密度プラズマ処理は、例えばHe、Ar、Kr、Xeなどの希ガスと酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスとを用いて行う。この場合プラズマの励起をマイクロ波の導入により行うことで、低電子温度で高密度のプラズマを生成することができる。このような高密度のプラズマで生成された酸素ラジカル(OHラジカルを含む場合もある)や窒素ラジカル(NHラジカルを含む場合もある)によって、半導体膜の表面を酸化または窒化することにより、1~20nm、代表的には5~10nmの絶縁膜が半導体膜に接するように形成される。この5~10nmの絶縁膜をゲート絶縁膜709として用いる。

【0186】

上述した高密度プラズマ処理による半導体膜の酸化または窒化は固相反応で進むため、ゲート絶縁膜と半導体膜の界面準位密度をきわめて低くすることができる。また高密度プラズマ処理により半導体膜を直接酸化または窒化することで、形成される絶縁膜の厚さのばらつきを抑えることが出来る。また半導体膜が結晶性を有する場合、高密度プラズマ処理を用いて半導体膜の表面を固相反応で酸化させることにより、結晶粒界においてのみ酸化

10

20

30

40

50

が速く進んでしまうのを抑え、均一性が良く、界面準位密度の低いゲート絶縁膜を形成することができる。高密度プラズマ処理により形成された絶縁膜を、ゲート絶縁膜の一部または全部に含んで形成されるトランジスタは、特性のばらつきを抑えることができる。

【0187】

次に図11(C)に示すように、ゲート絶縁膜709上に導電膜を形成した後、該導電膜を所定の形状に加工(パターニング)することで、島状の半導体膜705~707の上方に電極710を形成する。本実施例では積層された2つの導電膜をパターニングして電極710を形成する。導電膜は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等を用いることができる。また上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。または、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。

10

【0188】

本実施例では、1層目の導電膜として窒化タンタル膜またはタンタル膜を、2層目の導電膜としてタングステン膜を用いる。2つの導電膜の組み合わせとして、本実施例で示した例の他に、窒化タングステン膜とタングステン膜、窒化モリブデン膜とモリブデン膜、アルミニウム膜とタンタル膜、アルミニウム膜とチタン膜等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、2層の導電膜を形成した後の工程において、熱活性化を目的とした加熱処理を行うことができる。また、2層の導電膜の組み合わせとして、例えば、n型を付与する不純物がドーピングされた珪素とニッケルシリサイド、n型を付与する不純物がドーピングされたSiとWSix等も用いることができる。

20

【0189】

また、本実施例では電極710を積層された2つの導電膜で形成しているが、本実施例はこの構成に限定されない。電極710は単層の導電膜で形成されていても良いし、3つ以上の導電膜を積層することで形成されていても良い。3つ以上の導電膜を積層する3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

【0190】

導電膜の形成にはCVD法、スパッタリング法等を用いることができる。本実施例では1層目の導電膜を20~100nmの厚さで形成し、2層目の導電膜を100~400nmの厚さで形成する。

30

【0191】

なお電極710を形成する際に用いるマスクとして、レジストの代わりに酸化珪素、酸化窒化珪素等をマスクとして用いてもよい。この場合、パターニングして酸化珪素、酸化窒化珪素等のマスクを形成する工程が加わるが、エッチング時におけるマスクの膜減りがレジストよりも少ないため、所望の幅を有する電極710を形成することができる。またマスクを用いずに、液滴吐出法を用いて選択的に電極710を形成しても良い。

【0192】

なお液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出または噴出することで所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。

40

【0193】

次に、電極710をマスクとして、島状の半導体膜705~707に、n型を付与する不純物元素(代表的にはP(リン)またはAs(砒素))を低濃度にドーピングする(第1のドーピング工程)。第1のドーピング工程の条件は、ドーピング量: $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ 、加速電圧: 50~70keVとしたが、これに限定されるものではない。この第1のドーピング工程によって、ゲート絶縁膜709を介してドーピングがなされ、島状の半導体膜705~707に、低濃度不純物領域711がそれぞれ形成される。なお、第1のドーピング工程は、pチャネル型TFTとなる島状の半導体膜706をマスクで覆って行っても良い。

【0194】

50

次に図12(A)に示すように、nチャネル型TFETとなる島状の半導体膜705、707を覆うように、マスク712を形成する。そしてマスク712に加えて電極710をマスクとして用い、島状の半導体膜706に、p型を付与する不純物元素(代表的にはB(ホウ素))を高濃度にドーピングする(第2のドーピング工程)。第2のドーピング工程の条件は、ドーピング量： $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ 、加速電圧： $20 \sim 40 \text{ keV}$ として行なう。この第2のドーピング工程によって、ゲート絶縁膜709を介してドーピングがなされ、島状の半導体膜706に、p型の高濃度不純物領域713が形成される。

【0195】

次に図12(B)に示すように、マスク712をアッシング等により除去した後、ゲート絶縁膜709及び電極710を覆うように、絶縁膜を形成する。該絶縁膜は、プラズマCVD法やスパッタリング法等により、珪素膜、酸化珪素膜、酸化窒化珪素膜または窒化酸化珪素膜や、有機樹脂などの有機材料を含む膜を、単層または積層して形成する。本実施例では、膜厚100nmの酸化珪素膜をプラズマCVD法によって形成する。

【0196】

そして、垂直方向を主体とした異方性エッチングにより、ゲート絶縁膜709及び該絶縁膜を部分的にエッチングする。上記異方性エッチングによりゲート絶縁膜709が部分的にエッチングされて、島状の半導体膜705~707上に部分的に形成されたゲート絶縁膜714が形成される。また上記異方性エッチングにより、ゲート絶縁膜709及び電極710を覆うように形成された絶縁膜が部分的にエッチングされて、電極710の側面に接するサイドウォール715が形成される。サイドウォール715は、LDD(Lightly Doped drain)領域を形成する際のドーピング用のマスクとして用いる。本実施例ではエッチングガスとしては、 CHF_3 とHeの混合ガスを用いる。なお、サイドウォール715を形成する工程は、これらに限定されるものではない。

【0197】

次に図12(C)に示すように、pチャネル型TFETとなる島状の半導体膜706を覆うようにマスク716を形成する。そして、形成したマスク716に加えて電極710及びサイドウォール715をマスクとして用い、n型を付与する不純物元素(代表的にはPまたはAs)を島状の半導体膜705、707に高濃度にドーピングする(第3のドーピング工程)。第3のドーピング工程の条件は、ドーピング量： $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ 、加速電圧： $60 \sim 100 \text{ keV}$ として行なう。この第3のドーピング工程によって、島状の半導体膜705、707に、n型の高濃度不純物領域717が形成される。

【0198】

なおサイドウォール715は、後に高濃度のn型を付与する不純物をドーピングし、サイドウォール715の下部に低濃度不純物領域またはノンドープのオフセット領域を形成する際のマスクとして機能するものである。よって、低濃度不純物領域またはオフセット領域の幅を制御するには、サイドウォール715を形成する際の異方性エッチングの条件またはサイドウォール715を形成するための絶縁膜の膜厚を適宜変更し、サイドウォール715のサイズを調整すればよい。なお、半導体膜706において、サイドウォール715の下部に低濃度不純物領域またはノンドープのオフセット領域を形成しても良い。

【0199】

次に、マスク716をアッシング等により除去した後、不純物領域の加熱処理による活性化を行っても良い。例えば、50nmの酸化窒化珪素膜を形成した後、550℃、4時間、窒素雰囲気中において、加熱処理を行えばよい。

【0200】

また、水素を含む窒化珪素膜を、100nmの膜厚に形成した後、410℃、1時間、窒素雰囲気中において加熱処理を行ない、島状の半導体膜705~707を水素化する工程を行なっても良い。或いは、水素を含む雰囲気中で、300~450℃で1~12時間の加熱処理を行ない、島状の半導体膜705~707を水素化する工程を行なっても良い。加熱処理には、熱アニール、レーザーアニール法またはRTA法などを用いることが出来る。加熱処理により、水素化のみならず、半導体膜に添加された不純物元素の活性化も行

うことが出来る。また、水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。この水素化の工程により、熱的に励起された水素によりダングリングボンドを終端することができる。

【0201】

上述した一連の工程により、nチャネル型TFT718、720と、pチャネル型TFT719とが形成される。

【0202】

次に図13(A)に示すように、TFT718、719、720を保護するための絶縁膜722を形成する。絶縁膜722は必ずしも設ける必要はないが、絶縁膜722を形成することで、アルカリ金属やアルカリ土類金属などの不純物がTFT718、719、720へ侵入するのを防ぐことが出来る。具体的に絶縁膜722として、窒化珪素、窒化酸化珪素、窒化アルミニウム、酸化アルミニウム、酸化珪素などを用いるのが望ましい。本実施例では、膜厚600nm程度の酸化窒化珪素膜を、絶縁膜722として用いる。この場合、上記水素化の工程は、該酸化窒化珪素膜形成後に行っても良い。

10

【0203】

次に、TFT718、719、720を覆うように、絶縁膜722上に絶縁膜723を形成する。絶縁膜723は、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、PSG（リンガラス）、BPSG（リンボロンガラス）、アルミナ等を用いることができる。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有していても良い。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁膜723を形成しても良い。

20

【0204】

絶縁膜723の形成には、その材料に応じて、CVD法、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

【0205】

次に島状の半導体膜705～707がそれぞれ一部露出するように絶縁膜722及び絶縁膜723にコンタクトホールを形成する。そして、該コンタクトホールを介して島状の半導体膜705～707に接する導電膜725～730を形成する。コンタクトホール開口時のエッチングに用いられるガスは、 CHF_3 とHeの混合ガスを用いたが、これに限定されるものではない。

30

【0206】

導電膜725～730は、CVD法やスパッタリング法等により形成することができる。具体的に導電膜725～730として、アルミニウム（Al）、タングステン（W）、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、マンガン（Mn）、ネオジム（Nd）、炭素（C）、珪素（Si）などを用いることが出来る。また上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。導電膜725～730は、上記金属が用いられた膜を単層または複数積層させて形成することが出来る。

40

【0207】

アルミニウムを主成分とする合金の例として、アルミニウムを主成分としニッケルを含むものが挙げられる。また、アルミニウムを主成分とし、ニッケルと、炭素または珪素の一方または両方を含むものも例として挙げることが出来る。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜725～730を形成する材料として最適である。特にアルミニウムシリコン膜は、導電膜725～730をパターンニングするとき、レジストバークにおけるヒロックの発生をアルミニウム膜に比べて防止することができる。また、珪素の代わりに、アルミニウム膜に0.5%程度の銅（Cu）を混入させ

50

ても良い。

【0208】

導電膜725～730は、例えば、バリア膜とアルミニウムシリコン膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデンまたはモリブデンの窒化物を用いて形成された膜である。アルミニウムシリコン膜を間に挟むようにバリア膜を形成すると、アルミニウムやアルミニウムシリコンのヒロックの発生をより防止することができる。また、還元性の高い元素であるチタンを用いてバリア膜を形成すると、島状の半導体膜705～707上に薄い酸化膜ができていたとしても、バリア膜に含まれるチタンがこの酸化膜を還元し、導電膜725～730と島状の半導体膜705～707が良好なコンタクトをとることができる。またバリア膜を複数積層するようにして用いても良い。その場合、例えば、導電膜725～730を下層からチタン、窒化チタン、アルミニウムシリコン、チタン、窒化チタンの5層構造とすることが出来る。

10

【0209】

なお、導電膜725、726はnチャネル型TF718の高濃度不純物領域717に接続されている。導電膜727、728はpチャネル型TF719の高濃度不純物領域713に接続されている。導電膜729、730はnチャネル型TF720の高濃度不純物領域717に接続されている。

【0210】

次に図13(B)に示すように、導電膜730に接するように、絶縁膜723上に電極731を形成する。図13(B)では、光を透過しやすい導電膜を用いて電極731を形成し、透過型の液晶素子を作製する例を示すが、本発明はこの構成に限定されない。本発明の液晶表示装置は、半透過型であっても良い。

20

【0211】

電極731に用いられる透明導電膜には、例えば酸化珪素を含む酸化インジウムスズ(ITSO)、酸化インジウムスズ(ITO)、酸化亜鉛(ZnO)、酸化インジウム亜鉛(IZO)、ガリウムを添加した酸化亜鉛(GZO)などを用いることができる。

【0212】

次に図13(C)に示すように、導電膜725～730及び電極731を覆うように、絶縁膜723上に保護層736を形成する。保護層736は、後に剥離層702を境にして基板700を剥離する際に、絶縁膜723、導電膜725～730及び電極731を保護することができる材料を用いる。例えば、水またはアルコール類に可溶なエポキシ系、アクリレート系、シリコン系の樹脂を全面に塗布することで保護層736を形成することができる。

30

【0213】

本実施例では、スピンコート法で水溶性樹脂(東亜合成製:VL-WSHL10)を膜厚30μmとなるように塗布し、仮硬化させるために2分間の露光を行ったあと、紫外線を裏面から2.5分、表面から10分、合計12.5分の露光を行って本硬化させて、保護層736を形成する。なお、複数の有機樹脂を積層する場合、有機樹脂同士では使用している溶媒によって塗布または焼成時に一部溶解する、密着性が高くなりすぎるなどの恐れがある。従って、絶縁膜723と保護層736を共に同じ溶媒に可溶な有機樹脂を用いる場合、後の工程において保護層736の除去がスムーズに行なわれるように、絶縁膜723を覆うように、無機絶縁膜(窒化珪素膜、窒化酸化珪素膜、 AlN_x 膜、または AlN_xO_y 膜)を形成しておくことが好ましい。

40

【0214】

次に図13(C)に示すように、絶縁膜703から絶縁膜723上に形成された導電膜725～730及び電極731までの、TF7に代表される半導体素子や各種導電膜を含む層(以下、「素子形成層738」と記す)と、保護層736とを、基板700から剥離する。本実施例では、第1のシート材737を保護層736に貼り合わせ、物理的な力を用いて基板700から素子形成層738と、保護層736とを剥離する。剥離層702は、

50

全て除去せず一部が残存した状態であっても良い。

【0215】

また上記剥離は、剥離層702のエッチングを用いた方法で行っても良い。この場合、剥離層702が一部露出するように溝を形成する。溝は、ダイシング、スクライピング、UV光を含むレーザ光を用いた加工、フォトリソグラフィ法などにより、形成する。溝は、剥離層702が露出する程度の深さを有していれば良い。そしてエッチングガスとしてフッ化ハロゲンを用い、該ガスを溝から導入する。本実施例では、例えば CF_3 （三フッ化塩素）を用い、温度：350、流量：300 sccm、気圧：800 Pa、時間：3 hの条件で行なう。また、 CF_3 ガスに窒素を混ぜたガスを用いても良い。 CF_3 等のフッ化ハロゲンを用いることで、剥離層702が選択的にエッチングされ、基板700を素子形成層738から剥離することができる。なおフッ化ハロゲンは、気体であっても液体であってもどちらでも良い。

10

【0216】

次に図14(A)に示すように、素子形成層738の上記剥離により露出した面に、第2のシート材744を貼り合わせる。そして、素子形成層738及び保護層736を第1のシート材737から剥離した後、保護層736を除去する。

【0217】

第2のシート材744として、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、可撓性を有する紙またはプラスチックなどの有機材料を用いることができる。または第2のシート材744として、フレキシブルな無機材料を用いても良い。プラスチック基板は、極性基のついたポリノルボルネンからなるARTON（JSR製）を用いることができる。また、ポリエチレンテレフタレート（PET）に代表されるポリエステル、ポリエーテルスルホン（PES）、ポリエチレンナフタレート（PEN）、ポリカーボネート（PC）、ポリエーテルエーテルケトン（PEEK）、ポリスルホン（PSF）、ポリエーテルイミド（PEI）、ポリアリレート（PAR）、ポリブチレンテレフタレート（PBT）、ポリイミド、アクリロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。

20

【0218】

なお基板700上に複数の液晶表示装置に対応する半導体素子を形成している場合には、素子形成層738を液晶表示装置ごとに分断する。分断は、レーザ照射装置、ダイシング装置、スクライブ装置等を用いることができる。

30

【0219】

次に図14(B)に示すように、導電膜730、電極731を覆うように、配向膜750を形成し、ラビング処理を施す。配向膜750は、液晶表示装置となる領域に、パターンニング等により選択的に形成する。そして、液晶を封止するためのシール材751を形成する。一方、透明導電膜を用いた電極752と、ラビング処理が施された配向膜753とが形成された基板754を用意する。そして、シール材751で囲まれた領域に液晶755を滴下し、別途用意しておいた基板754を、電極752と電極731とが向かい合うように、シール材751を用いて貼り合わせる。なおシール材751にはフィラーが混入されていても良い。

40

【0220】

なお、カラーフィルタや、ディスクリネーションを防ぐための遮蔽膜（ブラックマトリクス）などが形成されていても良い。また、基板754の電極752が形成されている面とは逆の面に、偏光板756を貼り合わせておく。

【0221】

電極731または電極752に用いられる透明導電膜には、例えば酸化珪素を含む酸化インジウムスズ（ITO）、酸化インジウムスズ（ITO）、酸化亜鉛（ZnO）、酸化インジウム亜鉛（IZO）、ガリウムを添加した酸化亜鉛（GZO）などを用いることができる。電極731と液晶755と電極752が重なり合うことで、液晶素子760が形

50

成されている。

【0222】

上述した液晶の注入は、ディスペンサ式（滴下式）を用いているが、本発明はこれに限定されない。基板754を貼り合わせてから液晶を注入するディップ式（汲み上げ式）を用いていても良い。

【0223】

なお本実施例では素子形成層738を基板700から剥離して利用する例を示しているが、剥離層702を設けずに、基板700上に上述の素子形成層738を作製し、液晶表示装置として利用しても良い。

【0224】

また本実施例では、全てのTFT718、719、720において、ゲート絶縁膜714の膜厚を全て同じにしているが、本発明はこの構成に限定されない。例えば、より高速での駆動が要求される回路において、他の回路よりもTFTが有するゲート絶縁膜の膜厚を薄くするようにしても良い。

【0225】

なお本実施例では薄膜トランジスタを例に挙げて説明しているが、本発明はこの構成に限定されない。薄膜トランジスタの他に、単結晶シリコンを用いて形成されたトランジスタ、SOI基板を用いて形成されたトランジスタなども用いることができる。

【0226】

本実施例は、上記実施の形態と適宜組み合わせて実施することが可能である。

【実施例2】

【0227】

本実施例では、本発明の液晶表示装置を例に挙げ、その外観について図15を用いて説明する。図15(A)は、第1の基板上に形成されたトランジスタ及び液晶素子を、第1の基板と第2の基板の間に形成したパネルの上面図であり、図15(B)は、図15(A)のA-A'における断面図に相当する。

【0228】

第1の基板4001上に設けられた画素部4002と、信号線駆動回路4003と、走査線駆動回路4004とを囲むように、シール材4020が設けられている。また画素部4002、信号線駆動回路4003、走査線駆動回路4004の上に、第2の基板4006が設けられている。よって画素部4002、信号線駆動回路4003、走査線駆動回路4004は、第1の基板4001と第2の基板4006の間において、シール材4020により、液晶4013と共に密封されている。

【0229】

また第1の基板4001上に設けられた画素部4002、信号線駆動回路4003及び走査線駆動回路4004は、それぞれトランジスタを複数有している。図15(B)では、信号線駆動回路4003に含まれるトランジスタ4008、4009と、画素部4002に含まれるトランジスタ4010とを例示している。

【0230】

また液晶素子4011は、トランジスタ4010のソース領域またはドレイン領域と、配線4017を介して接続されている画素電極4030と、第2の基板4006に形成された対向電極4012と、液晶4013とを有している。

【0231】

なお図示していないが、本実施例に示した液晶表示装置は配向膜、偏光板を有し、更にカラーフィルタや遮蔽膜を有していても良い。

【0232】

またスペーサ4035は、球状であり、画素電極4030と対向電極4012との間の距離（セルギャップ）を制御するために設けられている。なお絶縁膜をパターンニングすることで得られるスペーサを用いていても良い。

【0233】

信号線駆動回路4003、走査線駆動回路4004または画素部4002に与えられる各種信号及び電圧は、配線4014及び4015を介して、接続端子4016から供給されている。接続端子4016は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0234】

本実施例は、上記実施の形態または上記実施例と適宜組み合わせる実施することができる。

【実施例3】

【0235】

本実施例では、本発明の液晶表示装置における、液晶パネルと光源の配置について説明する。

【0236】

図16は、本発明の液晶表示装置の構造を示す斜視図の一例である。図16に示す液晶表示装置は、一対の基板間に液晶素子が形成された液晶パネル1601と、第1の拡散板1602と、プリズムシート1603と、第2の拡散板1604と、導光板1605と、反射板1606と、光源1607と、回路基板1608とを有している。

【0237】

液晶パネル1601と、第1の拡散板1602と、プリズムシート1603と、第2の拡散板1604と、導光板1605と、反射板1606とは、順に積層されている。光源1607は導光板1605の端部に設けられており、導光板1605内部に拡散された光源1607からの光は、第1の拡散板1602、プリズムシート1603及び第2の拡散板1604によって、均一に液晶パネル1601に照射される。

【0238】

なお、本実施例では、第1の拡散板1602と第2の拡散板1604とを用いているが、拡散板の数はこれに限定されず、単数であっても3以上であっても良い。そして、拡散板は導光板1605と液晶パネル1601の間に設けられていれば良い。よって、プリズムシート1603よりも液晶パネル1601に近い側にのみ拡散板が設けられていても良いし、プリズムシート1603よりも導光板1605に近い側にのみ拡散板が設けられていても良い。

【0239】

またプリズムシート1603は、図16に示した断面が鋸歯状の形状に限定されず、導光板1605からの光を液晶パネル1601側に集光できる形状を有していれば良い。

【0240】

回路基板1608には、液晶パネル1601に入力される各種信号を生成する回路、またはこれら信号に処理を施す回路などが設けられている。そして図16では、回路基板1608と液晶パネル1601とが、FPC(Flexible Printed Circuit)1609を介して接続されている。なお、上記回路は、COG(Chip ON Glass)法を用いて液晶パネル1601に接続されていても良いし、上記回路の一部がFPC1609にCOF(Chip ON Film)法を用いて接続されていても良い。

【0241】

図16では、光源1607の駆動を制御する、比較回路、制御回路などの制御系の回路が回路基板1608に設けられており、該制御系の回路と光源1607とがFPC1610を介して接続されている例を示している。ただし、上記制御系の回路は液晶パネル1601に形成されていても良く、この場合は液晶パネル1601と光源1607とがFPCなどにより接続されるようにする。

【0242】

なお、図16は、液晶パネル1601の端に光源1607を配置するエッジライト型の光源を例示しているが、本発明の液晶表示装置は光源1607が液晶パネル1601の直下に配置される直下型であっても良い。

【 0 2 4 3 】

本実施例は、上記実施の形態または上記実施例と適宜組み合わせて実施することができる。

【 実施例 4 】

【 0 2 4 4 】

本発明の液晶表示装置を用いることができる電子機器として、携帯電話、携帯型ゲーム機または電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）などが挙げられる。これら電子機器の具体例を図17に示す。

10

【 0 2 4 5 】

図17（A）は携帯電話であり、本体2101、表示部2102、音声入力部2103、音声出力部2104、操作キー2105を有する。表示部2102に本発明の液晶表示装置を用いることで、動画がぼやけて視認されてしまうのを防ぐことができる携帯電話が得られる。

【 0 2 4 6 】

図17（B）はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609、接眼部2610等を有する。表示部2602に本発明の液晶表示装置を用いることで、動画がぼやけて視認されてしまうのを防ぐことができるビデオカメラが得られる。

20

【 0 2 4 7 】

図17（C）は映像表示装置であり、筐体2401、表示部2402、スピーカー部2403等を有する。表示部2402に本発明の液晶表示装置を用いることで、動画がぼやけて視認されてしまうのを防ぐことができる映像表示装置が得られる。なお、映像表示装置には、パーソナルコンピュータ用、TV放送受信用、広告表示用などの、映像を表示するための全ての映像表示装置が含まれる。

【 0 2 4 8 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

30

【 0 2 4 9 】

本実施例は、上記実施の形態または上記実施例と適宜組み合わせて実施することができる。

【 図面の簡単な説明 】

【 0 2 5 0 】

【 図 1 】 本発明の液晶表示装置の構成を示す図。

【 図 2 】 複数の画素を有する本発明の液晶表示装置の構成を示す図。

【 図 3 】 本発明の液晶表示装置の駆動を説明するためのタイミングチャート。

40

【 図 4 】 液晶素子の透過率の時間変化と、信号線に入力される電圧の時間変化を示す図。

【 図 5 】 制御回路の具体的な構成を示す図。

【 図 6 】 本発明の液晶表示装置の全体的な構成を示すブロック図。

【 図 7 】 本発明の液晶表示装置の全体的な構成を示すブロック図。

【 図 8 】 制御回路の具体的な構成を示す図。

【 図 9 】 制御回路の具体的な構成を示す図。

【 図 1 0 】 本発明の液晶表示装置の全体的な構成を示すブロック図。

【 図 1 1 】 本発明の液晶表示装置の作製方法を示す図。

【 図 1 2 】 本発明の液晶表示装置の作製方法を示す図。

【 図 1 3 】 本発明の液晶表示装置の作製方法を示す図。

50

【図 1 4】本発明の液晶表示装置の作製方法を示す図。

【図 1 5】本発明の液晶表示装置の断面図及び上面図。

【図 1 6】本発明の液晶表示装置の構成を示す斜視図。

【図 1 7】本発明の液晶表示装置を用いた電子機器の図。

【図 1 8】印加電圧と比誘電率の関係を示すグラフ及び液晶素子の断面模式図。

【符号の説明】

【 0 2 5 1 】

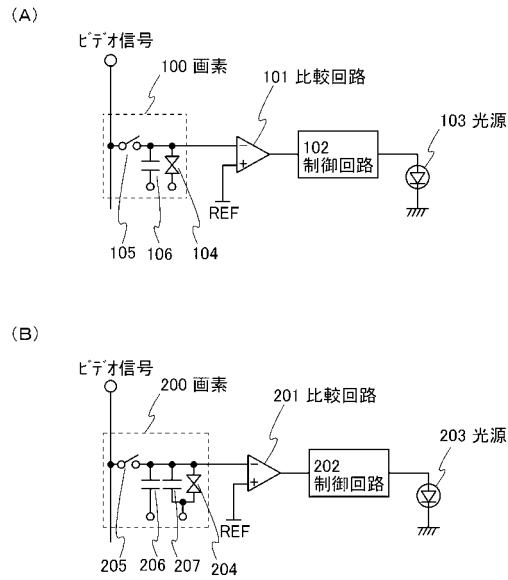
1 0 0	画素	
1 0 1	比較回路	
1 0 2	制御回路	10
1 0 3	光源	
1 0 4	液晶素子	
1 0 5	スイッチング素子	
1 0 6	容量素子	
2 0 0	画素	
2 0 1	比較回路	
2 0 2	制御回路	
2 0 3	光源	
2 0 4	液晶素子	
2 0 5	スイッチング素子	20
2 0 6	容量素子	
2 0 7	容量素子	
3 0 0	画素	
3 0 0 a	モニター用画素	
3 0 1	画素部	
3 0 2	比較回路	
3 0 3	制御回路	
3 0 4	光源	
3 0 5	トランジスタ	
3 0 6	液晶素子	30
3 0 7	容量素子	
4 0 1	期間	
4 0 2	期間	
4 0 3	期間	
5 0 1	比較回路	
5 0 2	制御回路	
5 0 3	光源	
5 0 4	記憶回路	
5 0 5	スイッチング回路	
5 0 6	バッファ	40
6 0 0	画素部	
6 1 0	走査線駆動回路	
6 2 0	信号線駆動回路	
6 2 1	シフトレジスタ	
6 2 2	記憶回路	
6 2 3	記憶回路	
6 2 4	D A 変換回路	
6 3 0	比較回路	
6 3 1	制御回路	
6 3 2	光源	50

6 3 3	モニター用画素	
6 4 0	画素部	
6 5 0	走査線駆動回路	
6 6 0	信号線駆動回路	
6 6 1	シフトレジスタ	
6 6 2	サンプリング回路	
6 6 3	記憶回路	
6 7 0	比較回路	
6 7 1	制御回路	
6 7 2	光源	10
6 7 3	モニター用画素	
7 0 0	基板	
7 0 1	絶縁膜	
7 0 2	剥離層	
7 0 3	絶縁膜	
7 0 4	半導体膜	
7 0 5	半導体膜	
7 0 6	半導体膜	
7 0 7	半導体膜	
7 0 9	ゲート絶縁膜	20
7 1 0	電極	
7 1 1	低濃度不純物領域	
7 1 2	マスク	
7 1 3	高濃度不純物領域	
7 1 4	ゲート絶縁膜	
7 1 5	サイドウォール	
7 1 6	マスク	
7 1 7	高濃度不純物領域	
7 1 8	T F T	
7 1 9	T F T	30
7 2 0	T F T	
7 2 2	絶縁膜	
7 2 3	絶縁膜	
7 2 5	導電膜	
7 2 7	導電膜	
7 2 9	導電膜	
7 3 0	導電膜	
7 3 1	電極	
7 3 6	保護層	
7 3 7	シート材	40
7 3 8	素子形成層	
7 4 4	シート材	
7 5 0	配向膜	
7 5 1	シール材	
7 5 2	電極	
7 5 3	配向膜	
7 5 4	基板	
7 5 5	液晶	
7 5 6	偏光板	
7 6 0	液晶素子	50

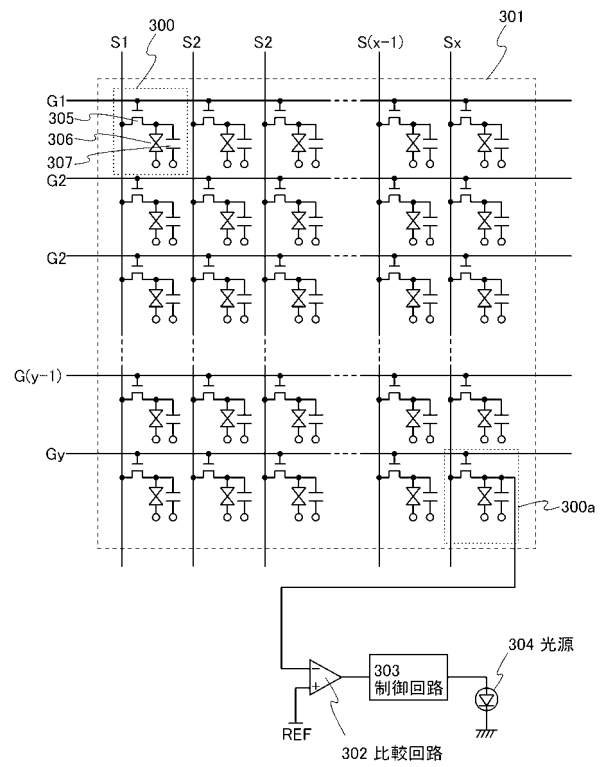
8 0 1	光源	
8 0 2	比較回路	
8 0 3	制御回路	
8 0 4	光検出器	
8 0 5	信号生成回路	
8 0 6	輝度制御回路	
8 0 7	積分回路	
8 0 8	輝度比較回路	
8 1 0	スイッチング素子	
8 1 1	抵抗素子	10
8 2 0	光源	
8 2 1	光源	
8 2 2 1	比較回路	
8 2 2 2	比較回路	
8 2 3	制御回路	
8 2 4	画像処理用フィルタ	
8 2 5	信号処理回路	
8 2 6	第 1 の輝度制御回路	
8 2 7	第 2 の輝度制御回路	
8 4 0	領域	20
8 4 1	領域	
8 4 2	領域	
8 4 3	領域	
8 4 4	光源	
8 4 5	光源	
8 4 6	光源	
8 4 7	光源	
9 0 0	画素部	
9 1 0	走査線駆動回路	
9 2 0	信号線駆動回路	30
9 2 1	シフトレジスタ	
9 2 2	記憶回路	
9 2 3	記憶回路	
9 3 0	比較回路	
9 3 1	制御回路	
9 3 2	光源	
9 3 3	モニター用画素	
1 6 0 1	液晶パネル	
1 6 0 2	第 1 の拡散板	
1 6 0 3	プリズムシート	40
1 6 0 4	第 2 の拡散板	
1 6 0 5	導光板	
1 6 0 6	反射板	
1 6 0 7	光源	
1 6 0 8	回路基板	
1 6 0 9	F P C	
1 6 1 0	F P C	
2 1 0 1	本体	
2 1 0 2	表示部	
2 1 0 3	音声入力部	50

2 1 0 4	音声出力部	
2 1 0 5	操作キー	
2 4 0 1	筐体	
2 4 0 2	表示部	
2 4 0 3	スピーカー部	
2 6 0 1	本体	
2 6 0 2	表示部	
2 6 0 3	筐体	
2 6 0 4	外部接続ポート	
2 6 0 5	リモコン受信部	10
2 6 0 6	受像部	
2 6 0 7	バッテリー	
2 6 0 8	音声入力部	
2 6 0 9	操作キー	
2 6 1 0	接眼部	
3 0 0 1	画素電極	
3 0 0 2	対向電極	
3 0 0 3	液晶層	
4 0 0 1	基板	
4 0 0 2	画素部	20
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 6	基板	
4 0 0 8	トランジスタ	
4 0 1 0	トランジスタ	
4 0 1 1	液晶素子	
4 0 1 2	対向電極	
4 0 1 3	液晶	
4 0 1 4	配線	
4 0 1 6	接続端子	30
4 0 1 7	配線	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	シール材	
4 0 3 0	画素電極	

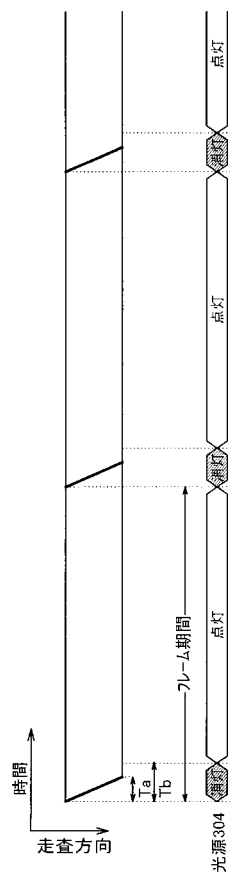
【図 1】



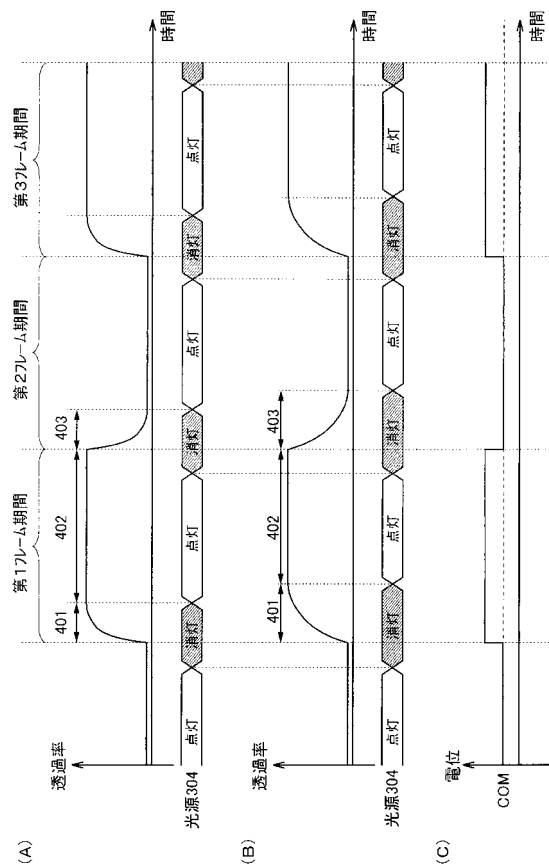
【図 2】



【図 3】

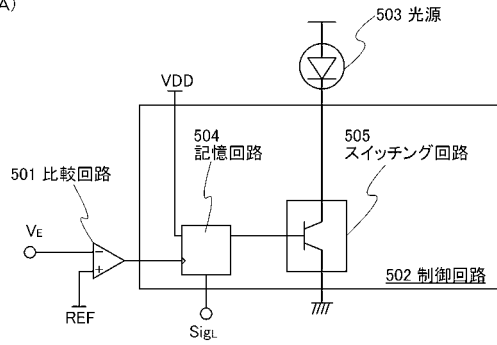


【図 4】

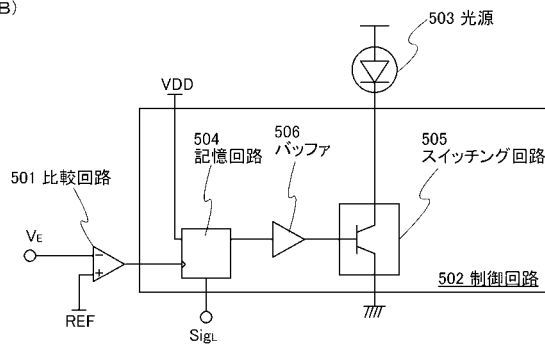


【図 5】

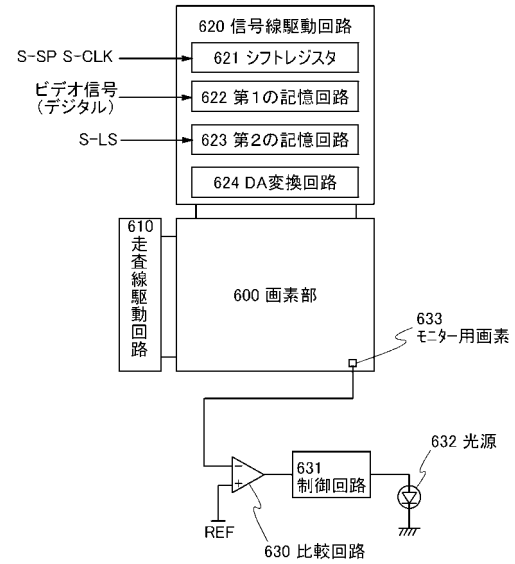
(A)



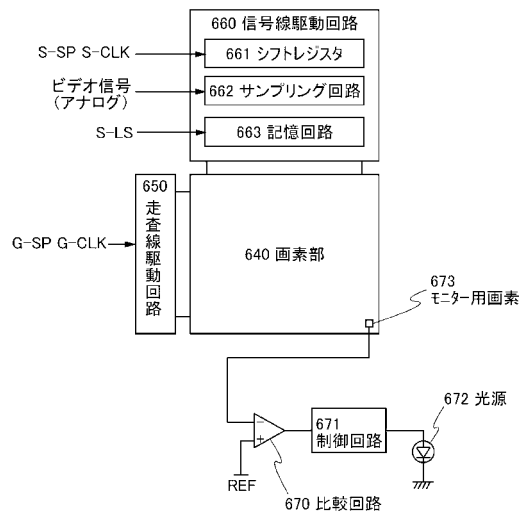
(B)



【図 6】

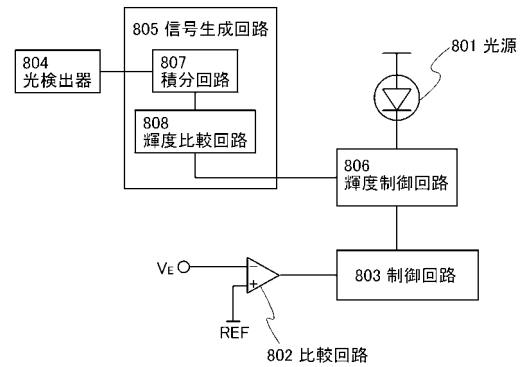


【図 7】

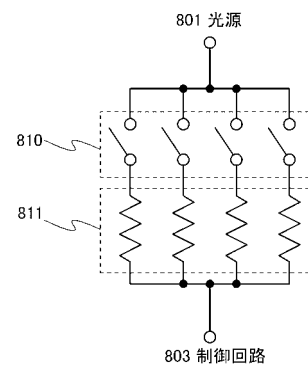


【図 8】

(A)

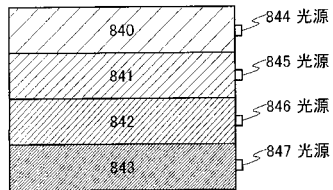


(B)

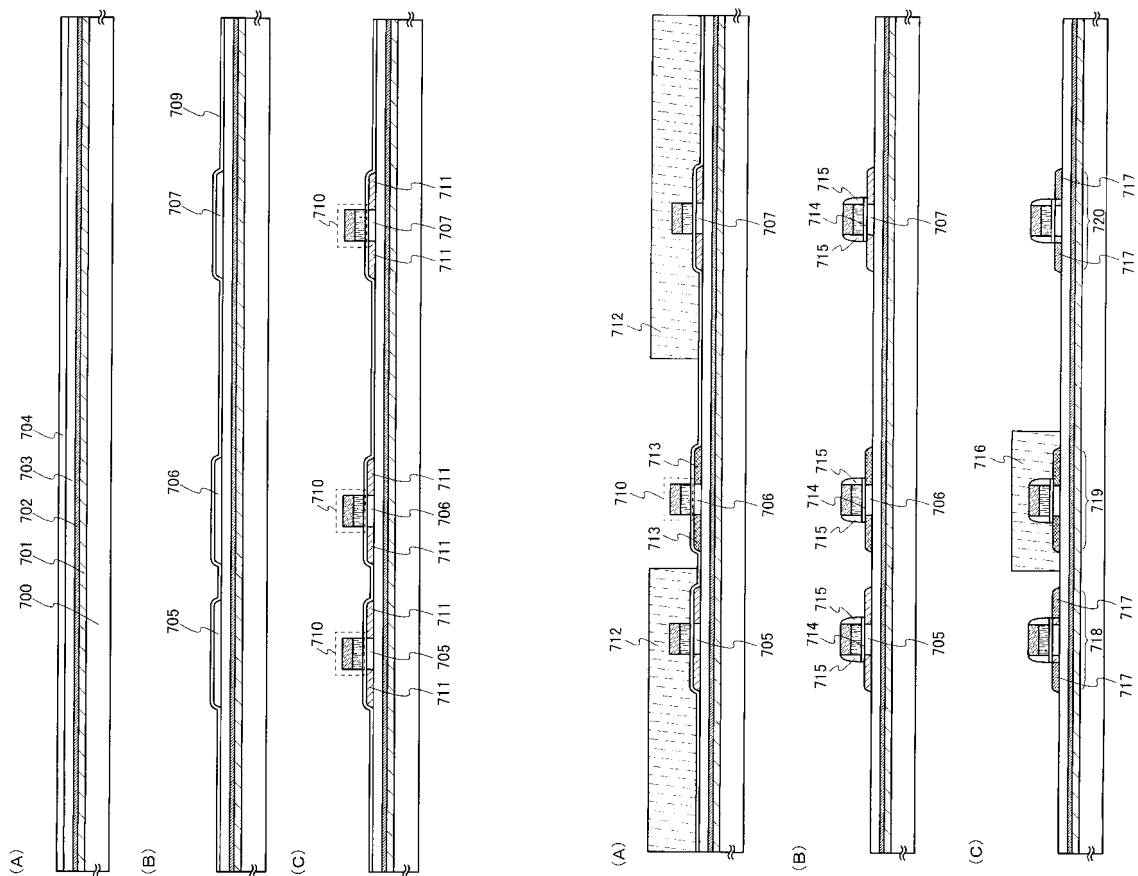
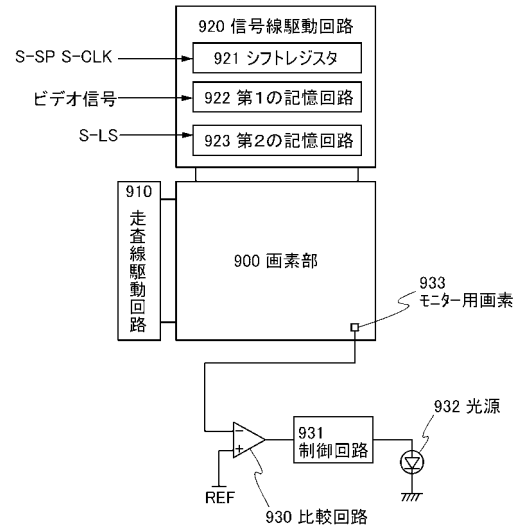


【 図 1 0 】

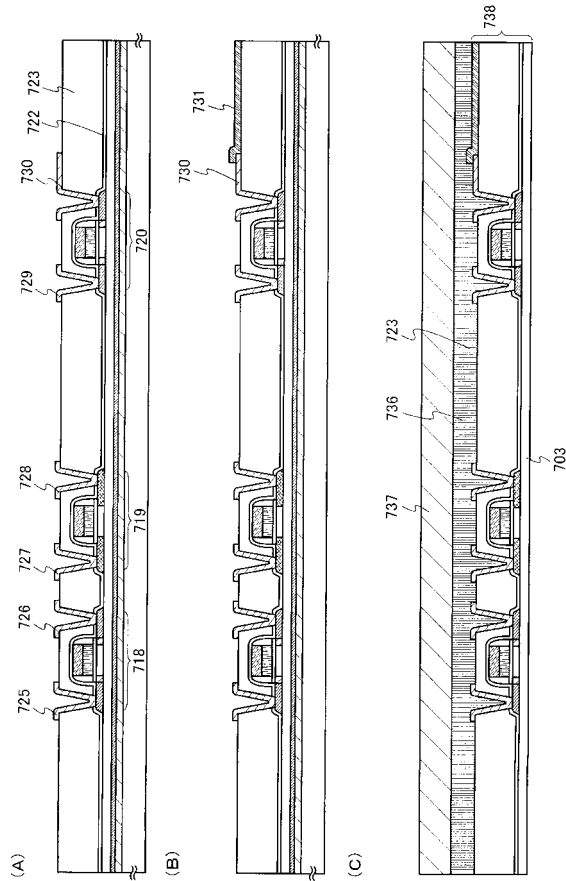
(B)



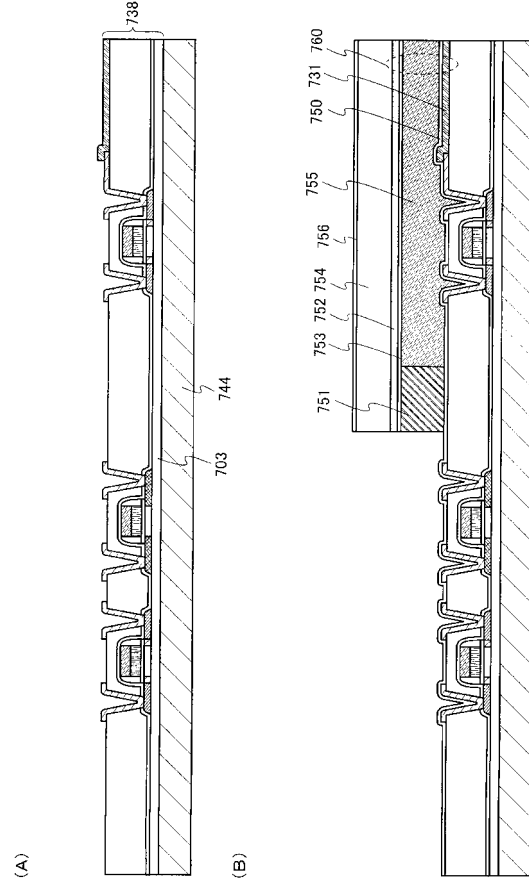
【圖 12】



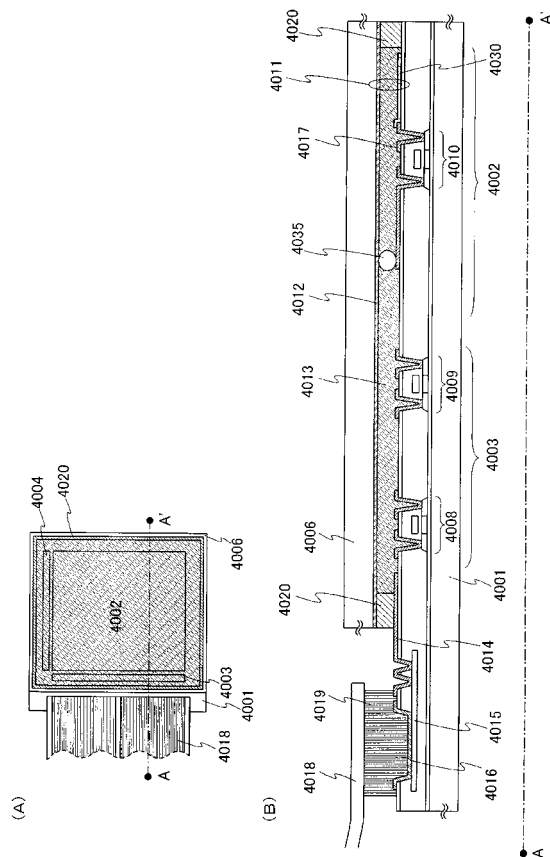
【図 13】



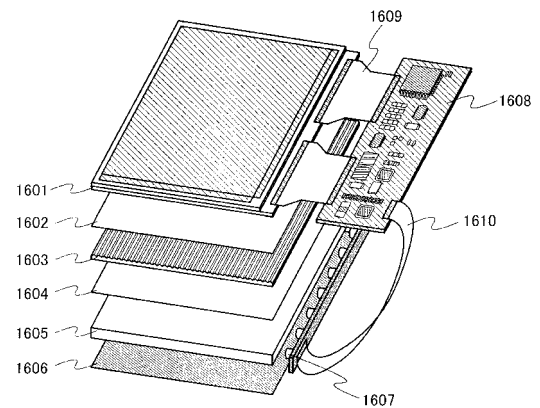
【図 14】



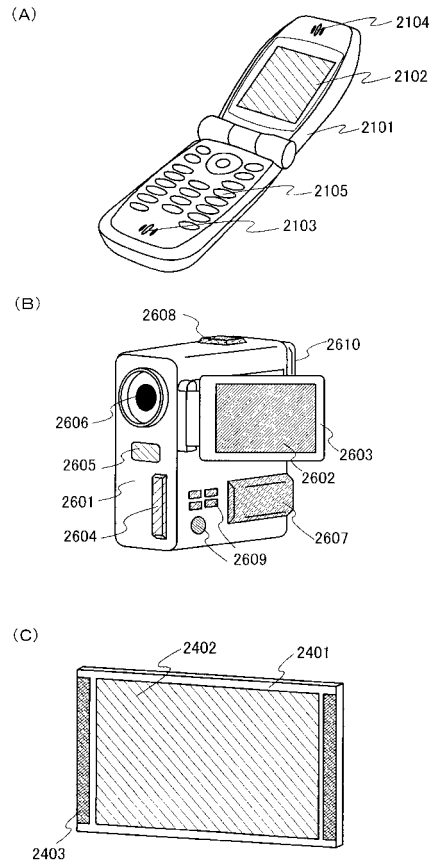
【図 15】



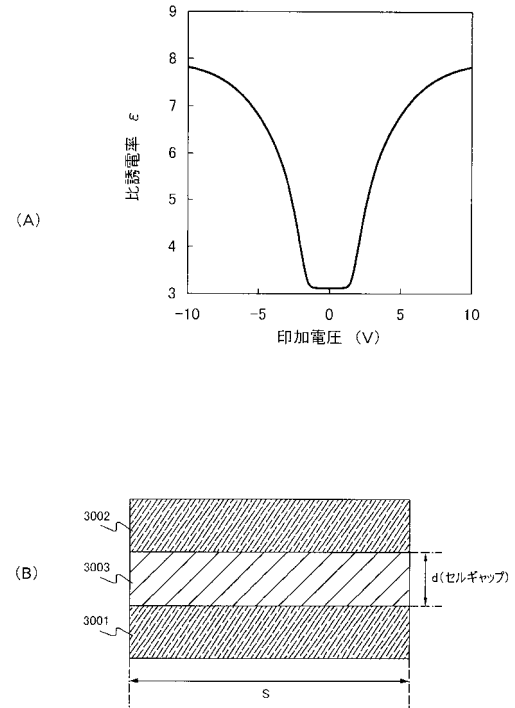
【図 16】



【図 17】



【図 18】



フロントページの続き

(51)Int.Cl.		F I
F 2 1 S 2/00	(2006.01)	G 0 9 G 3/20 6 2 1 E
F 2 1 Y 101/02	(2006.01)	G 0 9 G 3/20 6 2 1 A
		G 0 9 G 3/20 6 3 2 F
		G 0 9 G 3/20 6 3 1 U
		G 0 9 G 3/20 6 2 4 B
		G 0 9 G 3/20 6 2 1 F
		G 0 9 G 3/20 6 4 1 R
		G 0 9 G 3/20 6 4 2 P
		G 0 2 F 1/133 5 7 5
		G 0 2 F 1/13357
		F 2 1 S 2/00 4 3 1
		F 2 1 Y 101:02

(56)参考文献 特開 2 0 0 5 - 2 4 5 5 5 2 (J P , A)
 特開平 0 6 - 0 0 4 0 4 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3		
G 0 2 F	1 / 1 3 3 5 7		
F 2 1 S	2 / 0 0		
F 2 1 Y	1 0 1 / 0 2		