



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0062342
(43) 공개일자 2020년06월03일

(51) 국제특허분류(Int. Cl.)
H01L 43/12 (2006.01) G11C 11/16 (2006.01)
H01L 27/22 (2006.01) H01L 43/02 (2006.01)
H01L 43/08 (2006.01) H01L 43/10 (2006.01)
(52) CPC특허분류
H01L 43/12 (2013.01)
G11C 11/161 (2013.01)
(21) 출원번호 10-2020-7014195
(22) 출원일자(국제) 2018년10월18일
심사청구일자 2020년05월19일
(85) 번역문제출일자 2020년05월18일
(86) 국제출원번호 PCT/US2018/056447
(87) 국제공개번호 WO 2019/079553
국제공개일자 2019년04월25일
(30) 우선권주장
15/789,150 2017년10월20일 미국(US)

(71) 출원인
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
(72) 발명자
양 이
미국 캘리포니아주 94539 프리몬트 오크쇼 카미노
2298
셴 동나
미국 캘리포니아주 95131 산 호세 애버포드 드라이브
1278
왕 유-젠
미국 캘리포니아주 95118 산 호세 미레일 드라이브
5655
(74) 대리인
김태홍, 김진희

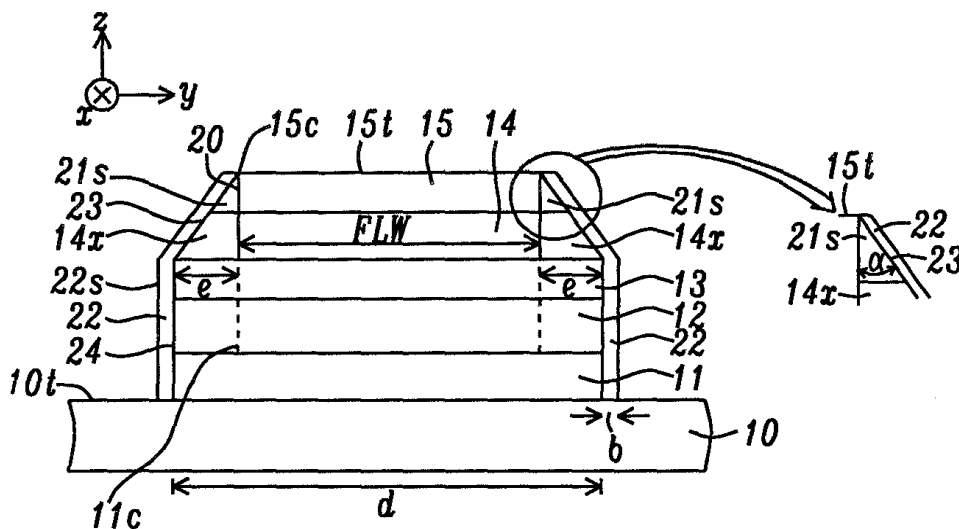
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 고성능 자기저항 랜덤 액세스 메모리(MRAM) 디바이스를 위한 자유층 측벽 산화 및 스페이서
보조 자기 터널 접합부(MTJ) 에칭

(57) 요약

전기적 단락을 회피하고 개선된 데이터 유지를 가지는 자기 터널 접합부(MTJ)가 개시된다. 최상부 캐핑층은 외부 산화된 부분과, FL 폭(FLW)을 가지는 자유층(FL)의 중심 강자성 부분 사이의 계면과 동일 평면 내에 있는 제1 측벽을 가진다. 유전체 스페이서는 제1 측벽 및 산화된 외측 FL 부분 상에서 형성된다. 고정층(PL)은 실질적으로 FLW보다 더 큰 폭(PLW)을 가지고, 그 상의 제2 측벽은 유전체 스페이서 및 캐핑층을 에칭 마스크로서 이용하는 자기-정렬 에칭에 의해 형성된다. 측벽층은 제2 측벽 및 유전체 스페이서 상에서 형성될 수 있지만, 측벽층은 디바이스 성능을 담당하는 FL 및 PL 중심 부분과 접촉하지 않으므로, MTJ 성질을 열화시키지 않는다. PL 폭 > FLW는 특히, FLW < 60 nm에 대하여, 데이터 유지를 위한 더 큰 능력을 보장한다.

대표도 - 도1



(52) CPC특허분류

H01L 27/222 (2013.01)

H01L 43/02 (2013.01)

H01L 43/08 (2013.01)

H01L 43/10 (2013.01)

명세서

청구범위

청구항 1

자기 터널 접합부(magnetic tunnel junction; MTJ) 구조물에 있어서,

(a) 기판 상에 순차적으로 형성되는 선택적인 시드층, 고정층, 및 터널 배리어층을 포함하고, 상기 기판의 상단 표면에 직교하게 정렬되는 제1 측벽에 의해 결정되는 제1 폭을 가지는 제1 층 스택;

(b) 제2 층 스택으로서,

(1) 상기 터널 배리어층 상에 형성된 자유층(free layer; FL) - 상기 FL은 강자성 중심 부분, 및 중심 FL 부분과의 계면을 각각 형성하는 산화된 외측 부분을 가짐 - ; 및

(2) 상기 중심 FL 부분 위의 캐핑층 - 상기 중심 FL 부분 및 상기 캐핑층은, 상기 제1 폭보다 더 작은 자유층 폭(free layer width; FLW)을 가지고, 상기 캐핑층은, 상기 계면과 동일 평면 내에 있는 제2 측벽을 가짐 -

을 포함하는 상기 제2 층 스택; 및

(c) 상기 제2 측벽에 인접하고, 산화된 외측 FL 부분의 상단 표면과 접촉하는 유전체 스페이서 - 상기 유전체 스페이서는, 상기 산화된 외측 FL 부분의 외측 표면과 함께 제3 측벽을 형성하는 외측 표면을 가지고, 상기 캐핑층의 상단 표면으로부터의 거리가 증가함에 따라서 증가하는 폭을 가짐 -

를 포함하는, MTJ 구조물.

청구항 2

제1항에 있어서,

상기 중심 FL 부분의 각 측부에서 상기 산화된 외측 FL 부분의 하단 표면의 폭이 적어도 10 옴스트롬이도록, 상기 제1 폭은 상기 FLW보다 적어도 20 옴스트롬 더 큰, MTJ 구조물.

청구항 3

제2항에 있어서,

상기 FLW는 60 nm보다 더 작은, MTJ 구조물.

청구항 4

제1항에 있어서,

상기 기판은 메모리 디바이스에서의 하단 전극인, MTJ 구조물.

청구항 5

제1항에 있어서,

상기 유전체 스페이서는 실리콘 산화물, 실리콘 질화물, 실리콘 산화질화물, 실리콘 탄화물, 마그네슘 산화물, 알루미늄 산화물, 탄탈륨 산화물, 금속 산화물, 금속 산화질화물, 금속 탄화물, 또는 금속 질화물을 포함하는, MTJ 구조물.

청구항 6

제1항에 있어서,

상기 제3 측벽은 상기 터널 배리어층의 상단 표면에 인접하여 상기 제1 측벽과 접속되는, MTJ 구조물.

청구항 7

제1항에 있어서,

상기 제2 층 스택은 Hk 강화층을 더 포함하며, 상기 Hk 강화층은 상기 FLW를 가지고, 상기 중심 FL 부분의 상단 표면 및 상기 캐핑층의 하단 표면과 접촉하고, 상기 제2 측벽에 의해 경계가 정해지는, MTJ 구조물.

청구항 8

제1항에 있어서,

상기 산화된 외측 FL 부분은 화학량론적 산화 상태(stoichiometric oxidation state)를 가지는, MTJ 구조물.

청구항 9

자기 터널 접합부(MTJ) 셀을 제조하는 방법에 있어서,

(a) 기판 상에 순차적으로 형성되는 선택적인 시드층, 고정층, 터널 배리어층, 및 자유층(FL), 그리고 최상부 캐핑층을 포함하는 MTJ 층 스택을 제공하는 단계;

(b) 제1 폭 및 상기 캐핑층 상의 제1 측벽을 형성하기 위하여 상기 캐핑층을 패터닝하는 단계;

(c) 상기 캐핑층에 의해 커버되지 않은 상기 FL의 외측 부분을 산화시키는 단계 - 상기 산화시키는 단계에 의해, 산화된 외측 FL 부분과 중심 FL 부분 사이에 계면을 형성하며, 상기 중심 FL 부분이 상기 제1 폭을 가지도록 상기 계면은 상기 제1 측벽과 동일 평면 내에 있음 - ;

(d) 상기 산화된 외측 FL 부분 상에 그리고 상기 제1 측벽 상에 유전체 스페이서를 형성하는 단계; 및

(e) 자기-정렬 에칭을 수행하는 단계 - 상기 유전체 스페이서 및 상기 캐핑층은, 상기 고정층이 상기 제1 폭보다 더 큰 제2 폭을 가지도록 상기 터널 배리어층, 상기 고정층, 및 상기 선택적인 시드층 상에 제2 측벽을 산출하고, 제3 측벽이 상기 터널 배리어층의 상단 표면에 인접하여 상기 제2 측벽과 접촉되도록 상기 산화된 외측 FL 부분 및 상기 유전체 스페이서의 외측 표면 상에 상기 제3 측벽을 산출하기 위한 에칭 마스크로서 사용됨 -

를 포함하는, MTJ 셀을 제조하는 방법.

청구항 10

제9항에 있어서,

단계 (a)에서, 상기 자유층 상에 있고 상기 최상부 캐핑층의 하단 표면과 접촉하는 Hk 강화층을 형성하는 단계를 더 포함하며, 단계 (b)의 결과로서, 상기 제1 측벽은 상기 캐핑층 및 상기 Hk 강화층 상에 형성되는, MTJ 셀을 제조하는 방법.

청구항 11

제9항에 있어서,

상기 캐핑층을 패터닝하는 단계는:

(a) 상기 캐핑층 상에 하단 반사방지 코팅(bottom antireflective coating; BARC) 또는 유전체 반사방지 코팅(dielectric antireflective coating; DARC)을 형성하는 단계;

(b) 상기 BARC 또는 상기 DARC 상에 포토레지스트층을 형성하고, 상기 제1 폭을 가지는 포토레지스트 아일랜드(photoresist island)를 산출하기 위하여 상기 포토레지스트층을 패터닝하는 단계; 및

(c) 상기 BARC 또는 상기 DARC를 관통해 그리고 상기 캐핑층을 관통해 상기 포토레지스트 아일랜드에서의 상기 제1 폭을 전사하기 위하여 이온 빔 에칭(ion beam etch; IBE) 또는 반응성 이온 에칭(reactive ion etch; RIE)을 수행하는 단계를 포함하는, MTJ 셀을 제조하는 방법.

청구항 12

제9항에 있어서,

상기 FL의 외측 부분을 산화시키는 단계는, 자연적 산화, 열적 산화, 또는 산소계 플라즈마를 이용하여 수행되는, MTJ 셀을 제조하는 방법.

청구항 13

제12항에 있어서,

상기 자연적 산화는, 순수한 O_2 또는 O_3 인 산화제, 또는 N_2 , NH_3 , H_2O , 및 H_2O_2 중 하나 이상과 순수한 O_2 또는 O_3 의 조합인 산화제를 포함하는, MTJ 셀을 제조하는 방법.

청구항 14

제13항에 있어서,

상기 자연적 산화는 100 sccm(standard cubic centimeters per minute) 내지 10000 sccm의 산화제 유량에 의해 발생하는, MTJ 셀을 제조하는 방법.

청구항 15

제12항에 있어서,

상기 열적 산화는, 순수한 O_2 또는 O_3 인 산화제, 또는 N_2 , NH_3 , H_2O , 및 H_2O_2 중 하나 이상과 순수한 O_2 또는 O_3 의 조합인 산화제를 포함하는, MTJ 셀을 제조하는 방법.

청구항 16

제15항에 있어서,

상기 열적 산화는 100 sccm 내지 10000 sccm의 산화제 유량, 그리고 $100^\circ C$ 내지 $400^\circ C$ 의 온도로의 가열을 포함하는, MTJ 셀을 제조하는 방법.

청구항 17

제12항에 있어서,

상기 산소계 플라즈마는, 순수한 O_2 또는 O_3 인 산화제, 또는 N_2 , NH_3 , H_2O , 및 H_2O_2 중 하나 이상과 순수한 O_2 또는 O_3 의 조합인 산화제를 포함하는, MTJ 셀을 제조하는 방법.

청구항 18

제17항에 있어서,

상기 산소계 플라즈마는, 10 sccm 내지 500 sccm의 산화제 유량, 50 와트 내지 500 와트의 RF 전력, 50 와트보다 더 작은 바이어스 전력, 및 5 mTorr 내지 50 mTorr의 챔버 압력을 포함하는 반응성 이온 에칭 조건에 의해 발생하는, MTJ 셀을 제조하는 방법.

청구항 19

제11항에 있어서,

상기 유전체 스페이서를 형성하는 단계는,

(a) 상기 산화된 외측 FL 부분, 상기 제1 측벽, 및 상기 BARC 또는 DARC의 상단 표면 상에 유전체층을 퇴적시키는 단계; 및

(b) 상기 BARC 또는 DARC 상에서, 그리고 상기 산화된 외측 FL 부분 상의 상단 표면의 섹션으로부터 상기 유전체층을 제거하기 위하여 수직 IBE 또는 RIE를 수행하는 단계

를 포함하는 프로세스를 이용해 달성되는, MTJ 셀을 제조하는 방법.

청구항 20

제9항에 있어서,

상기 자기-정렬 에칭의 결과로서 상기 선택적인 시드층, 상기 고정층, 및 상기 터널 배리어층의 손상된 부분 및

제퇴적된 물질 중 적어도 하나를 포함하는 측벽층이 상기 제2 측벽 및 상기 제3 측벽 상에 형성되고, 상기 측벽층은, 상기 제1 폭과 동일한 폭을 가지는 상기 고정층의 중심 부분과 접촉하지 않는, MTJ 셀을 제조하는 방법.

청구항 21

제9항에 있어서,

인접한 MTJ 셀로부터 상기 MTJ 셀을 전기적으로 절연시키는 봉지화층을 퇴적시키고, 상기 캐핑층의 상단 표면과 동일 평면 내에 있는 상단 표면을 가지도록 상기 봉지화층을 평탄화하는 단계를 더 포함하는, MTJ 셀을 제조하는 방법.

청구항 22

제9항에 있어서,

상기 제2 폭은 상기 제1 폭보다 적어도 20 옴스트롬 더 큰, MTJ 셀을 제조하는 방법.

청구항 23

제9항에 있어서,

상기 제1 폭은 60 nm보다 더 작은, MTJ 셀을 제조하는 방법.

청구항 24

제11항에 있어서,

상기 FL의 외측 부분을 산화시키는 단계는, 상기 포토레지스트 아일랜드를 포함하는 상기 포토레지스트층을 제거하는, MTJ 셀을 제조하는 방법.

청구항 25

제11항에 있어서,

상기 자기-정렬 에칭을 수행하는 단계는, 상기 DARC 또는 상기 BARC를 제거하는, MTJ 셀을 제조하는 방법.

발명의 설명

기술 분야

[0001] [관련 특허 출원]

[0002] 이 출원은 17/5/5자로 출원된 일람 번호 HT17-005, 일련 번호 15/595,484; 및 17/3/22자로 출원된 일람 번호 HT17-007, 일련 번호 15/465,644에 관련되고; 이들은 공동 양수인에게 양도되고 그 전체적으로 참조로 본원에 편입된다.

[0003] [기술분야]

[0004] 본 개시내용은 복수의 MTJ 셀을 형성하기 위하여 채용된 기존의 반응성 이온 에칭(reactive ion etch; RIE) 및 이온 빔 에칭(ion beam etch; IBE) 프로세스에 의해 전형적으로 야기된 전기적 단락뿐만 아니라 MTJ 측벽에 대한 화학적 및 물리적 손상을 제거함으로써, 각각의 MTJ에서의 자유층 상의 고정층(pinned layer)의 개선된 자기저항 비율(magnetoresistive ratio) 및 더 큰 피닝 강도(pinning strength)를 가능하게 하기 위하여, 자유층의 산화된 외측 부분 및 캐핑층에 인접하는 위에 놓이는 스페이서를 형성하는 방법에 관한 것이다.

배경 기술

[0005] MTJ 메모리 소자는 MTJ 셀로서 또한 지칭되고, 자기적 레코딩 디바이스에서, 그리고 MRAM 및 스핀 토크 전달(spin torque transfer; STT)-MRAM과 같은 메모리 디바이스에서의 핵심 컴포넌트이다. MTJ 셀의 어레이를 제조함에 있어서의 중요한 단계는, 최신식 디바이스에서, 하향식 뷰(top-down view)로부터 실질적으로 100 nm 미만인 임계 치수(critical dimension; CD)를 갖는 MTJ 셀의 어레이를 형성하기 위한 MTJ 층 스택을 통한 위에 놓이는 하드 마스크에서의 패턴의 에칭 전사(etch transfer)이다. 에칭 전사 프로세스는 RIE 및 IBE 중의 하나 또는

양자를 수반하는 복수의 에칭 단계를 전형적으로 수반한다.

[0006] MTJ 층 스택은 자유층(free layer; FL) 및 고정층(pinned layer; PL)으로 칭해진 2 개의 강자성층(ferromagnetic layer), 및 FL과 PL 사이에서 하나 이상의 유전체층으로 이루어진 터널 배리어층을 포함한다. PL/터널 장벽/FL 스택의 위 및 아래의 전도성 층(전극)은 각각 MTJ 위 및 아래에 있는 비트 라인(bit line) 및 소스 라인(source line)에 대한 전기적 접속부로서 역할을 한다. PL은 바람직하게는, 평면에 대해 수직인 방향(수직인 자기적 비등방성(perpendicular magnetic anisotropy) 또는 PMA)에서 고정된 자화를 가지는 반면, FL은 PL 자화 방향에 대해 평행(parallel; P) 또는 역평행(anti-parallel; AP)인 방향으로 자유롭게 회전함으로써, MTJ를 위한 "0" 또는 "1" 메모리 상태를 확립한다. 자기저항 비율(magnetoresistive ratio; DRR)은 dR/R 에 의해 표현되고, 여기서, dR 은 전류가 MTJ를 통과하게 될 때에 P와 AP 자기적 상태 사이의 저항에서의 차이이고, R 은 최소 저항 값이다. 최하단 MTJ층은 통상적으로, 위에 놓이는 층에서의 균일한 성장을 촉진시키고 위에 놓이는 PL 또는 FL에서의 PMA를 강화시키는 비-자기적 시드층이다. Ta와 같은 캐핑층(또한, 상단 전극으로서 지칭됨)은 일반적으로 최상부 MTJ층으로서 형성되고, 후속 물리적 및 화학적 에칭 동안에 보호층으로서 역할을 한다.

[0007] 포토리소그래피 및 RIE를 포함하는 정밀한 패터닝 기법은 MRAM 어레이에서 수백만 개의 MTJ 셀을 정의하기 위하여 전형적으로 관여된다. 아래에 놓이는 MTJ 층 스택을 통해 포토레지스트 마스크에서의 패턴을 전사하기 위한 에칭 프로세스는, IBE 또는 RIE를 받을 때에 상이한 에칭 레이트를 각각 가지는 MTJ 층 스택에서 다양한 물질(자기적 합금, 비-자기적 금속, 및 유전체 막)이 있기 때문에 도전적이다. 또한, RIE 동안의 화학적 반응으로 인해, 측벽에 인접하는 MTJ층의 부분은 습기, 산소, 및 메탄올과 같은 다른 산화제에 대한 노출 때문에 용이하게 손상됨으로써, DRR 및 보자력(coercivity; H_c)을 저하시킨다. 이 손상은 셀 크기 종속적이어서, 셀 크기가 감소함에 따라, 문제가 더 심각해진다는 것을 의미한다.

[0008] MTJ 측벽에 대한 화학적 손상을 회피하기 위하여, Ar 기반 RIE 또는 IBE와 같은 순수한 물리적 에칭 기법이 적용되었다. 그러나, 그 비-휘발성 본질로 인해, 상단 및 하단 전극으로부터의 Ta와 같은 금속, 또는 PL 또는 FL로부터의 강자성 물질은 MTJ 측벽 상에서 용이하게 재퇴적되고, 디바이스를 이용불가능하게 하는 전기적 단락을 야기시킨다. 측벽에 대한 물리적 손상은 또한, 물리적 에칭 시의 고도로 활성적인 이온 때문에 발생할 수 있다. 측벽 또는 재퇴적된 물질에 대한 물리적 손상을 제거하기 위하여, 수평 RIE 또는 IBE 트리밍과 같은 추가적인 단계가 채용되었지만, 이 추가적인 단계는 제조 비용 및 사이클 시간을 증가시킨다. 표면 트리밍의 실현가능성은 MTJ 셀 밀도에 의해 또한 제한된다.

[0009] 기존의 MTJ 에칭 프로세싱에서의 또 다른 쟁점은 FL 및 PL의 체적(폭 x 두께)이 동일하거나 실질적으로 동일하다는 것이다. 이에 따라, 셀 크기가 60 nm 미만으로 수축함에 따라, PL 자화는 너무 약해져서 FL 내부 자기적 상태를 안정화할 수 없다. 또한, 데이터 유지는 PL 크기 및 에너지 장벽(E_b)이 계속 감소할 경우에 영향받는다. 자기층에서의 E_b 는 이하의 수학적 (1)에서 도시된 열적 안정성(Δ)에 관련된다는 것에 주목한다.

[0010] 수학적 (1) $\Delta = kV / k_B T$

[0011] 여기서, k 는 상수이고, V 은 자기층(PL)의 체적이고, k_B 는 볼츠만 상수이고, T 는 온도이다.

[0012] 기존의 MTJ 패터닝 기술과 연관되는 전술한 쟁점을 극복하기 위하여, 새로운 제조 프로세스 흐름은, DRR, MTJ 측벽의 무결성, 및 FL 상에서의 PL의 피닝 강도와 같은 자기적 성질을 유지하면서, 실질적으로 60 nm 미만인 CD를 가지는 MTJ 셀이 형성될 수 있도록 요구된다. 또한, 새로운 제조 시퀀스는 다른 메모리 디바이스와 경쟁하기 위하여 높은 스루풋 및 낮은 비용을 가져야 한다.

발명의 내용

[0013] 본 개시내용의 제1 목적은, 전기적 단락을 방지하고 고정층 및 자유층의 측벽에 대한 화학적 손상을 회피함으로써, 기존의 설계와 비교하여 자기저항 비율 및 H_c 를 포함하는 자기적 성질을 강화시키는 구조물을 가지는 MTJ 셀을 제공하기 위한 것이다.

[0014] 본 개시내용의 제2 목적은, 제1 목적을 만족시키고, 특히, $CD \leq 60$ nm인 MTJ 셀에 대하여, 개선된 데이터 유지 및 자유층 상에서의 강화된 피닝 강도를 갖는 고정층을 또한 가지는 MTJ 셀을 제공하기 위한 것이다.

- [0015] 본 개시내용의 또 다른 목적은, RIE 또는 IBE가 결과적인 MTJ 셀에서의 디바이스 성능을 위하여 타당한 자유층 및 고정층의 부분을 손상시키지 않도록, MTJ 스택을 패터닝하기 위한 방법을 제공하기 위한 것이다.
- [0016] 바람직한 실시예에 따르면, 첫 번째 2 개의 목적은 적어도 고정층, 자유층, 자유층과 고정층 사이의 터널 장벽, 및 상단 전극으로서 또한 알려진 최상부 캐핑층을 가지는 MTJ 층 스택으로 달성된다. 일부 실시예에서, 시드층은 최하단 MTJ층으로서 채용된다. MTJ 스택은 평면에 대해 수직인 방향에서의 두께를 갖고 평면내(in-plane) 방향에서의 자유층 폭(free layer width; FLW)을 포함하는 층의 폭을 가지는 셀로서 구성된다. 바람직한 실시예에서, 선택적인 시드층, 고정층, 및 터널 배리어층은 하단 전극 상에서 순차적으로 형성되고, 제1 폭(w1), 및 하단 전극 상단 표면에 대해 실질적으로 직교하게 정렬된 제1 측벽을 가진다. 자유층은 터널 장벽의 상단 표면과 접촉하고, 자유층의 상단 표면에 대해 직교하게 정렬된 측벽을 갖는 캐핑층은 자유층 상에서 형성된다. 핵심 특징은 자유층이 산화된 외측 부분, 및 FLW를 정의하는 강자성 중심 부분을 가진다는 것이다. FL 중심 부분은 캐핑층 측벽과 본질적으로 동일 평면 내에 있는 계면에서 외측 부분과 인접한다. 이에 따라, FL 중심 부분 및 캐핑층의 각각은 FLW와 동등한 제2 폭을 가지고, 여기서, $FLW < w1$ 이다. 또한, 캐핑층 측벽과 인접하는 FL 외측 부분의 상단 표면 상에서 형성된 유전체 스페이서가 있다.
- [0017] 일부 실시예에서는, 스페이서 및 FL 외측 부분의 외측 표면, 및 제1 측벽과 인접하는, 제퇴적된 물질 또는 IBE 또는 RIE로부터의 손상된 물질로 이루어진 측벽층이 있다. 그러나, 디바이스 성능을 담당하는 FL 및 고정층의 중심 부분은, DRR 및 Hc가 기존의 MTJ 설계와 비교하여 강화되도록, 측벽층과 접촉하지 않는다. 또한, $w1 > FLW$ 이므로, 고정층은 w1이 FLW와 실질적으로 동일한 종래 기술보다 FL 상에서 더 큰 피닝 강도를 가진다.
- [0018] 본 개시내용은 전술한 MTJ 셀을 제조하는 방법을 또한 망라한다. 바람직하게는, 선택적인 시드층, 고정층, 터널 배리어층, FL, 및 캐핑층이 하단 전극(bottom electrode; BE) 상에서 순차적으로 형성된다. 그 다음으로, 하단 반사-방지 코팅(bottom anti-reflective coating; BARC) 또는 유전체 반사-방지 코팅(dielectric anti-reflective coating; DARC)은 캐핑층 상에서 퇴적된다. 포토레지스트층은 BARC 또는 DARC 상에서 형성되고, 포토리소그래피 방법에 의해 패턴별로 노출된다. 포토레지스트 현상제 용액에 의한 처리 후에, 결과적인 포토레지스트 패턴은 복수의 포토레지스트 아일랜드(photoresist island)로 이루어지고, BARC 또는 DARC, 및 캐핑층을 통해 패턴을 전사하는 REI 및 IBE 중의 하나 또는 양자를 수반하는 후속 에칭 프로세스를 위한 에칭 마스크로서 역할을 한다. 제1 측벽은 BARC 또는 DARC 상에서 그리고 캐핑층 상에서 형성되고, FL 상단 표면 상에서 정지된다.
- [0019] 그 후에, O_2 , O_3 , 또는 N_2 , NH_3 , H_2O , 또는 또 다른 산화제와의 그 혼합물로부터 생성된 플라즈마는 위에 놓이는 캐핑층에 의해 보호되지 않는 FL의 외측 부분을 산화하기 위하여 채용된다. 따라서, FL 외측 부분은 FL 중심 부분과 계면을 이루는 산화된 FL 부분으로 변환되고, 포토레지스트 마스크는 제거된다. 계면은 사실상, 제1 측벽의 확장부이고, 상기 측벽과 본질적으로 동일 평면 내에 있다. 다음으로, 유전체 스페이서는 부분적으로 형성된 MTJ 셀 상부에 퇴적되고, 다음 단계에서, 캐핑층에 인접한 FL 외측 부분의 섹션 위를 제외한 수직 에칭에 의해 제거된다. 이에 따라, 스페이서는 제1 측벽에 인접하고, BARC 또는 DARC 상단 표면의 코너로부터의 증가하는 거리를 갖는 증가하는 폭을 가진다. 부분적으로 형성된 MTJ 셀은 그 다음으로, 스페이서 또는 캐핑층에 의해 보호되지 않는 산화된 FL, 터널 배리어층, 및 고정층의 부분을 제거하기 위하여 RIE 및 IBE 중의 하나 또는 양자로 에칭됨으로써, 상단 전극 상에서 정지되는 제2 측벽을 터널 배리어층, 고정층, 및 시드층 상에서 형성한다. 추가적으로, BARC 또는 DARC는 캐핑층 상단 표면을 노출시키기 위하여 제거된다. 제2 측벽은 BE 상단 표면에 대해 본질적으로 직교하고, FLW보다 더 큰 고정층 폭을 결정한다. FL의 산화된 부분의 외측 표면, 및 캐핑층과 인접하는 스페이서의 외측 표면은 터널 배리어층의 상단 표면에 인접한 제2 측벽과 접촉하는 제3 측벽을 형성한다.
- [0020] 전형적으로, 제퇴적된 MTJ 물질로 이루어진 측벽층은 제2 및 제3 측벽 상에서 형성된다. 그러나, 산화된 FL과의 계면을 포함하는 FL 중심 부분, 및 디바이스 성능을 결정하는 고정층의 중심 부분은 측벽층에 의해 손상되거나 영향받지 않는다. 그 후에, 하나 이상의 유전체층으로 이루어진 봉지화층은 인접한 MTJ 셀 사이의 공간을 충전시키기 위하여 퇴적된다. 화학적 기계적 연마(chemical mechanical polish; CMP) 또는 또 다른 평탄화 단계는 캐핑층 상단 표면과 동일 평면 내에 있는 봉지화층 상에서 상단 표면을 형성하기 위하여 채용된다.

도면의 간단한 설명

- [0021] 도 1은 자유층이 산화된 외측 부분, 및 고정층 및 터널 배리어층 폭보다 더 작은 중심 강자성 부분에서의 폭을 가지는 본 개시내용의 제1 실시예에 따라 형성된 MTJ 셀의 단면도이다.
- 도 2는 포토레지스트 패턴이 형성되었던 MTJ 층 스택의 단면도이고, 본 개시내용의 실시예에 따라 MTJ 셀을 제

조할 시의 제1 단계를 표현한다.

도 3은 본 개시내용의 실시예에 따른, 에칭 단계가 캐핑층 및 BARC 또는 DARC 하드 마스크를 통해 포토레지스트 패턴을 전사하기 위하여 이용된 후의 도 2에서의 MTJ 스택의 단면도이다.

도 4는 본원에서 설명된 실시예에 따른, 산소 플라즈마 처리가 캐핑층에 의해 보호되지 않는 자유층의 외측 부분을 산화하기 위하여 이용된 후의 도 3에서의 MTJ 스택의 단면도이다.

도 5는 본 개시내용의 실시예에 따른, 유전체 스페이서층이 산화된 자유층 부분 및 하드 마스크 상에서 퇴적된 후의 도 4에서의 MTJ 스택의 단면도이다.

도 6은 본원에서 설명된 실시예에 따른, 또 다른 에칭 단계가 하드 마스크 및 캐핑층의 측벽을 따르는 것을 제외하고 스페이서층을 제거하기 위하여 이용된 후의 도 5로부터의 MTJ 스택의 단면도이다.

도 7은 본 개시내용의 실시예에 따른, 자기 정렬된 에칭이 스페이서 아래의 모든 MTJ층 상에서 측벽을, 그리고 완성된 MTJ 셀 상에서 측벽층을 형성한 후의 도 6에서의 MTJ 스택의 단면도이다.

도 8은 본 개시내용의 실시예에 따른, 봉지화층의 퇴적 및 MTJ 셀을 전기적으로 절연시키기 위한 평탄화 후의 도 7에서의 MTJ 셀의 단면도이다.

도 9는 본원에서 설명된 실시예에 따른, 행(row) 및 열(column)의 어레이에서 원형 형상을 가지는 복수의 MTJ 셀의 하향식 뷰이다.

도 10은 자유층이 산화된 외측 부분, 및 고정층 및 터널 배리어층 폭보다 더 작은 중심 강자성 부분의 폭을 가지는 본 개시내용의 제2 실시예에 따라 형성된 MTJ 셀의 단면도이다.

도 11 내지 도 14는 도 10에서의 MTJ 셀의 제조 동안의 중간 단계를 도시하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 본 개시내용은, 자유층이 FLW - FLW는 터널 장벽 및 고정층의 폭보다 더 작은 - 를 가지는 중심 부분과의 계면을 형성하는 산화된 외측 부분을 가지고, 유전체 스페이서가 산화된 외측 FL 부분 상에서 형성되고, 측벽 및 계면이 동일 평면 내에 있도록 캐핑층의 측벽과 인접하고, 전기적 단락이 회피되는 MTJ 셀이다. 본 개시내용은 IBE 또는 RIE 에칭이 디바이스 성능을 담당하는 고정층의 FL 중심 부분 또는 내부 부분을 물리적으로 또는 화학적으로 손상시키지 않는 전술한 MTJ 셀을 제조하는 프로세스를 또한 망라한다. 오직 하나의 MTJ 셀이 도면에서 도시되지만, 당해 분야의 당업자는 복수의 MTJ 셀이 전형적인 메모리 디바이스 패턴으로 형성된다는 것을 인식할 것이다. 본원에서 정의된 바와 같은 프로세스는 하나 이상의 단계를 포함할 수 있다. MTJ층의 평면은 x-축 및 y-축 방향에 있는 반면, 각각의 층의 두께는 z-축 방향에 있다.

[0023] 관련된 미국 특허 출원 일련 번호 제15/595,484호에서, 본 발명자는 전기적 단락을 야기시킬 수 있는 MTJ 측벽에 대한 화학적 손상 및 MTJ 측벽 상에서의 재퇴적된 물질의 형성을 최소화하기 위하여, 불활성 가스(noble gas) 및 산화제의 양자를 포함하는 MTJ 층 스택을 에칭하는 방법을 개시하였다. 실제적인 실무에서는, 측벽 또는 그 상의 재퇴적된 물질에 대한 화학적 손상을 완전히 방지하는 것이 매우 어렵다. 그 결과, 더 높은 제조 비용 및 사이클 시간을 추구하는 수평 RIE 또는 IBE에 의한 측벽 트리밍의 추가적인 단계가 종종 채용된다. 또한, 기존의 MTJ 셀 설계는 FL 및 고정층을 위한 실질적으로 동일한 체적(폭)을 가진다. MTJ 셀 크기가 60 nm 미만으로 계속 감소함에 따라, 고정층 자화는 너무 약해져서 FL 자기적 상태를 안정화할 수 없다. 또한, 고정층의 에너지 장벽(E_b)은 감소하고, 데이터 유지에 악영향을 준다.

[0024] 관련된 특허 출원 일련 번호 제15/465,644호에서, 본 발명자는 고정층 폭이 실질적으로 FLW보다 더 크도록, MTJ를 패터닝하기 위한 프로세스를 개시하였다. 그러나, FL의 IBE 트림은 손상된 물질을 제거하기 위하여, MTJ 측벽이 형성된 후에 요구된다. 더 바람직하게는, 스루풋이 개선되고 생산 비용이 최소화되도록, IBE 트림이 MTJ 측벽 형성 후에 채용되지 않는 MTJ 패터닝 프로세스가 희망된다.

[0025] 도 1을 참조하면, 본 개시내용의 제1 실시예는 셀 크기가 진보된 디바이스에서 60 nm 미만으로 수축함에 따라 기존의 MTJ 셀 및 종래 기술의 제조 방법과 연관된 쟁점을 극복하는 MTJ 셀 설계에서 도시된다. MTJ 셀은 하나의 실시예에서, 메모리 디바이스에서의 하단 전극(BE)(10)을 포함하는 기판 상에서 형성된다. BE는 다층 구조물일 수 있고, 전형적으로 유전체층(도시되지 않음) 내에 내장된다. 또한, BE에 전기적으로 접속되는 비트 라인(또는 소스 라인)과 같은 BE 아래의 다른 디바이스층(도시되지 않음)이 전형적으로 있다.

- [0026] MTJ 셀은 상단 표면(10t)을 갖는 하단 전극(BE)(10)일 수 있는 기판 상에서 형성되는 층(11 내지 15)의 스택을 포함한다. 예시적인 실시예에서, 시드층(11), 고정층(12), 터널 배리어층(13), 자유층(FL)(14), 및 캐핑층(15)은 BE 상에서 순차적으로 형성된다. 핵심 특징은 층(11 내지 13)이 상단 표면(10t)에 실질적으로 직교하게 정렬되고 자유층의 중심 부분(14)에서의 FLW보다 더 큰 고정층 폭(d)을 정의하는 측벽(24)을 가진다는 것이다. 캐핑층(15)은 상단 표면(10t)에 실질적으로 직교하게 또한 정렬되고 FL 중심 부분과 외부 산화된 부분(14x) 사이의 계면(14s)과 동일 평면 내에 있는 측벽(20)을 가진다는 것에 주목한다. 바람직한 실시예에서, 차이(d - FLW)는 적어도 20 옹스트롬이고, 일부 MTJ 셀에서는, 실질적으로 20 옹스트롬 초과이고, 이것은 외측 부분(14x)의 기저부 폭(e)이 FL 중심 부분의 각각의 면 상에서 적어도 10 옹스트롬인 것을 의미한다. 또한, FL 외측 부분은 본질적으로 모든 금속 원자가 완전히 산화되는 화학량론적 산화 상태(stoichiometric oxidation state)를 가진다. FLW보다 실질적으로 더 큰 고정층 폭을 가지는 장점은 고정층이 특히, FLW가 60 nm 미만으로 수축할 때, FL 자기적 모멘트(magnetic moment)를 안정화하기 위하여 충분한 자화를 유지한다는 점이다. 또한, 고정층의 에너지 장벽은 더 작은 FL의 에너지 장벽처럼 감소하지 않고, 그러므로, FLW가 고정층 폭에 인접하는 종래 기술의 MTJ 셀과 비교하여 개선된 데이터 유지를 제공한다.
- [0027] 제1 실시예의 MTJ 셀의 추가적인 특징은 외측 산화된 FL 부분(14x) 상에서 그리고 측벽(20) 상에서 형성되는 유전체 스페이서(21s)이다. 유전체 스페이서는 측벽(22)에서의 전도성 물질이 MTJ 셀에서 전기적 단락을 야기시키는 것을 방지하기 위한 버퍼로서 역할을 한다. 측벽층은 측벽(24)을 더 이후의 섹션에서 설명된 바와 같이 형성하는 IBE 또는 RIE 단계 동안에 퇴적된다는 것에 주목한다. 전술한 에칭 단계는 또한, 유전체 스페이서(21s) 및 외측 산화된 FL 부분(14x)의 외측 표면 상에서 측벽(23)을 생성한다. 측벽(23)은 캐핑층 상단 표면(15t)의 코너(15c)로부터 각도 α 로 연장되고, 여기서, α 는 0° 초과이지만, 희망된 기저부 폭(e)에 따라서는 30° 미만일 수 있고, 측벽(23)은 터널 배리어층(13)의 상단 표면에 인접한 측벽(24)과 접촉한다는 것에 주목한다.
- [0028] 측벽층(22)은 측벽(24)을 생성하기 위하여 이용된 IBE 또는 RIE의 본질에 따라서는 5 내지 10 옹스트롬의 범위에 있을 수 있는 폭(b)을 가지고, 고정층(12)으로부터의 자기적 금속 또는 합금, 및 시드층(11) 및 BE(10)로부터의 금속 또는 합금으로 이루어진다는 것이 이해되어야 한다. 기존의 MTJ에서의 유사한 측벽층은 터널 배리어층(13) 주위에 경로를 형성할 경우에 전기적 단락을 용이하게 야기시킬 수 있고, 자기적 성능을 열화시킬 수 있다. 그러나, 스페이서(21s) 및 외측 산화된 FL 부분(14x)의 존재는 본 개시내용에서 단락의 가능성을 본질적으로 제거하는, 터널 배리어층 위의 MTJ 셀로의 전기적 접촉을 방지한다. 측벽층은 또한, 측벽(24)을 형성하는 IBE 또는 RIE 동안에 화학적으로 손상되거나 부분적으로 산화되는 고정층 및 시드층의 외부 영역을 포함할 수 있다. 본 개시내용에서, 디바이스 성능을 주로 담당하는 (파선(11c) 내의) FLW에 인접한 폭을 가지는 고정층의 중심 부분은 측벽층을 포함하거나 측벽층과 인접하지 않다. 따라서, 자기적 성능은 모든 MTJ층을 따라 단일 측벽을 가지는 종래 기술의 방식과 비교하여 강화되고, 여기서, 측벽층은 단일 측벽 상에서 형성된다.
- [0029] 측벽층(22)은 일부 실시예에서, 터널 배리어층(13)의 상단 표면 아래의 측벽(24)에 대해 실질적으로 평행하게, 그리고 터널 배리어층의 상단 표면 위의 측벽(23)에 대해 평행하게 형성되는 외측 면(22s)을 가진다. 더 이후의 섹션에서 설명된 바와 같이, 봉지화층은 전형적으로, 인접한 MTJ 셀을 절연시키기 위하여 퇴적된다. 봉지화층은 적어도 하나의 유전체층이 외측 면(22s)과 인접하는 하나 이상의 유전체층을 포함할 수 있다. 측벽층은 MTJ 성능에 대해 불리한 효과를 가지지 않으므로, 봉지화 이전에 IBE 또는 RIE 트리밍 단계를 수행함으로써 층을 제거하기 위한 필요성이 없고, 이에 의해, 기존의 프로세스 방식에 비해 스루풋을 개선시킨다.
- [0030] 본 개시내용은 도 1에서 도시된 MTJ 셀을 제조하는 프로세스를 또한 망라한다. 프로세스 흐름의 핵심 양태는 도 2 내지 도 7에서 예시된 단계에 대하여 설명된다.
- [0031] 도 2를 참조하면, MTJ 스택(1)은 기판(10) 상에서 퇴적되고, 예시적인 실시예에서, 선택적인 시드층(11), 고정층(12), 터널 배리어층(13), FL(14), 및 캐핑층(15)이 기판 상에서 순차적으로 형성되는 하단 스핀 밸브 구성을 가진다. 고정층 및 FL의 각각은 바람직하게는, 포지티브 또는 네거티브 z-축 방향으로 정렬된 자화를 갖는 PMA를 가진다. 다른 실시예에서는, 자유층에서 PMA를 강화시키는, FL과 캐핑층 사이의 금속 산화물층인 Hk 강화층과 같은 적어도 하나의 추가적인 층이 전술한 MTJ 스택 내에 포함될 수 있다. 시드층은 NiCr, Ta, Ru, Ti, TaN, Cu, Mg, 또는 위에 놓이는 층에서 평활하고 균일한 그레인 구조를 촉진시키기 위하여 전형적으로 채용된 다른 물질 중의 하나 이상으로 이루어질 수 있다.
- [0032] 고정층(12)은 AP2/Ru/AP1에 의해 표현된 합성 역평행(synthetic anti-parallel; SyAP) 구성을 가질 수 있고, 여기서, 예를 들어, Ru, Rh, 또는 Ir로 이루어진 반강자성(antiferromagnetic) 커플링층은 AP2 자기층과 AP1 자기층(도시되지 않음) 사이에 끼워진다. 외부 고정층으로서 또한 지칭되는 AP2 층은 시드층 상에서 형성되는

반면, AP1은 내부 고정층이고, 전형적으로, 터널 배리어층과 접촉한다. AP1 및 AP2 층은 CoFe, CoFeB, Co, 또는 그 조합으로 이루어질 수 있다. 다른 실시예에서, 기준층은 $(\text{Co/Ni})_n$, $(\text{CoFe/Ni})_n$, $(\text{Co/NiFe})_n$, $(\text{Co/Pt})_n$, $(\text{Co/Pd})_n$ 등과 같은 내재적인 PMA를 갖는 라미네이팅된 스택일 수 있고, 여기서, n 은 라미네이션 수이다. 또한, CoFeB 또는 Co와 같은 과도기적 층은 라미네이팅된 스택에서의 최상부층과 터널 배리어층 사이에서 삽입될 수 있다.

[0033] 터널 배리어층(13)은 바람직하게는, MgO, TiO_x , AlTiO, MgZnO, Al_2O_3 , ZnO, ZrO_x , HfO_x , 및 MgTaO 중이 하나 이상을 포함하는 금속 산화물층이다. 더 바람직하게는, MgO 특히, 예를 들어, 2 개의 CoFeB 층 사이에 끼워질 때, 가장 높은 자기저항 비율을 제공하기 때문에, MgO는 터널 배리어층으로서 선택된다.

[0034] 자유층(14)은 Co, Fe, CoFe, 또는 B 및 Ni 중의 하나 또는 양자와의 그 합금, 또는 전술한 조성의 조합을 포함하는 다층 스택일 수 있다. 또 다른 실시예에서, FL은 강자성적으로 커플링되는 2 개의 CoFe 또는 CoFeB 층 사이에서 삽입된 Ta 또는 Mg와 같은 비-자기적 모멘트 희석층(non-magnetic moment diluting layer)을 가질 수 있다. 대안적인 실시예에서, FL은 FL1/Ru/FL2와 같은 SyAP 구성 - FL1 및 FL2는 반강자성적으로 커플링되는 2 개의 자기층임 - 이거나, 고정층 조성에 대하여 이전에 설명된 내재적인 PMA를 갖는 라미네이팅된 스택이다.

[0035] 캐핑층(15)은 또한, 복수의 MTJ 셀을 제조하기 위하여 이용되는 후속 에칭 단계 동안에 하드 마스크로서 역할을 하고, Ta, Ru, TaN, Ti, TiN, 및 W 중의 하나 이상으로 전형적으로 이루어진다. MnPt, 또는 RuO_x 와 같은 전도성 산화물을 포함하는 다른 캐핑층 물질은, 완성된 MTJ 셀에서의 고정층 폭을 정의하고 기판(10) 상에서 정지되는 에칭 단계 동안에 아래에 놓이는 MTJ층에 비해 높은 에칭 선택성을 제공하기 위하여 선택될 수 있다는 것이 이해되어야 한다. MTJ 스택에서의 모든 층은, 다수의 타겟 및 적어도 하나의 산화 챔버를 갖는 초고 진공(ultra high vacuum) DC 마그네트론 스퍼터 챔버를 포함하는 Anelva C-7100 스퍼터 퇴적 시스템과 같은 스퍼터링 시스템의 DC 스퍼터링 챔버에서 퇴적될 수 있다. 통상적으로, 스퍼터 퇴적 프로세스는 아르곤 스퍼터 가스 및 5×10^{-8} 내지 5×10^{-9} torr 사이의 기저 압력을 수반한다.

[0036] 일단 모든 층(11 내지 15)이 형성되면, MTJ 스택(1)은 고정층, FL, 및 터널 배리어층에서 bcc 구조물을 성장시키기 위하여 복수의 시간에 이르는 주기에 대하여 약 360°C 내지 400°C 사이의 온도로의 가열에 의해 어닐링될 수 있음으로써, 고정층 및 FL에서 PMA를 강화시킬 수 있다. 전술한 층에서의 정합하는 결정 구조물은 또한, 후속 패터닝 프로세스에 의해 형성된 MTJ 셀에서의 자기저항 비율을 개선시키는 것으로 믿어진다.

[0037] 본 개시내용에 따른 MTJ 패터닝 프로세스에서의 제1 단계로서, BARC 또는 DARC 층(16), 및 포토레지스트층은 캐핑층(15) 상에서 순차적으로 코팅된다. 상단 표면(16t)을 갖는 BARC 또는 DARC는 후속 패터닝 노출 동안에 광의 반사를 최소화하는 굴절률을 가짐으로써, 더 적은 CD 변동을 갖는 더 균일한 포토레지스트 아일랜드(40)가 패터닝된 포토레지스트층에서 형성되는 것을 가능하게 한다. 다음으로, 기존의 패터닝 노출 및 현상제 시퀀스로 이루어진 포토리소그래피 프로세스는 측벽(40s)을 갖는 복수의 아일랜드를 포함하는 포토레지스트층에서 패터를 형성하기 위하여 채용된다. 도 9에서의 하향식 뷰에 의해 더 이후에 표시된 바와 같이, 아일랜드는 복수의 행 및 열을 갖는 어레이로 되어 있다. 그러나, 도면을 단순화하기 위하여, 오직 하나의 아일랜드가 도 2에서 도시된다. 각각의 아일랜드는 최신 기술의 메모리 디바이스에서 요구된 CD에 대응하는, 일부 실시예에서, 10 nm 내지 60 nm 사이인 임계 치수 w 를 가진다. 일부 디바이스는 w 가 x -축 및 y -축 방향의 양자에서 형성되도록 원형인 것에 주목한다. 그러나, 아일랜드(40)의 하향식 형상은 y -축 치수가 x -축 치수와 상이하도록 타원 또는 다각형일 수 있다.

[0038] 도 3을 참조하면, 초기 에칭 단계(29)가 채용되고, 초기 에칭 단계(29)는 이온이 Ar, Kr, Xe, 또는 Ne 중의 하나 이상으로부터 생성되는 IBE일 수 있거나, BARC 또는 DARC 층(16) 및 캐핑층(15)을 통해 아일랜드(40)의 형상을 전사하기 위하여 플루오르화탄소 또는 염화탄소 가스와 RIE를 포함할 수 있다. 또한, IBE 또는 RIE는 O_2 를 포함할 수 있다. 따라서, 측벽(20)이 형성되고, 측벽(20)은 FL(14)의 14t의 상단 표면까지의 측벽(40s)의 확장부이다. CD w 는 측벽(20)이 FL 상단 표면에 대해 실질적으로 직교하는 실시예에서의 층(15, 16)에서 효과적으로 복제된다는 것에 주목한다.

[0039] 일부 실시예에서, 산소 플라즈마를 적용하는 것, 또는 초기 REI 또는 IBE가 완료된 직후에 그리고 진공을 파괴시키지 않으면서, 산소를 프로세스 챔버로 유동시키는 것으로 이루어진 패시베이션 단계는 더 평활한 측벽(20)을 생성하기 위하여 수행된다.

[0040] 본원에서 설명된 실시예에서는, IBE가 전형적으로, MTJ 층 스택 및 기판이 그 상에 형성되는 작업물(웨이퍼)을

회전시키는 것을 포함한다는 것이 이해되어야 한다. 또한, 기관(10)으로 지향된 불활성 가스 이온의 입사 또는 침투 각도는 0° 내지 90° 사이에서 변동될 수 있다. 다른 한편으로, RIE는 정지된 웨이퍼를 수반하고, 결과적인 플라즈마는 (웨이퍼 표면에 대해 직교하는) 90° 방향으로 제한된다.

[0041] 도 4를 참조하면, 본 개시내용의 프로세스에 따른 핵심 특징은, 순수한 O_2 , O_3 , 또는 N_2 , NH_3 , H_2O , 또는 H_2O_2 중의 하나 이상, 또는 또 다른 산화제와의 그 혼합물로 이루어진 플라즈마가 RIE 조건으로 생성되고 캐핑층(15)에 의해 커버되지 않는 FL의 외측 부분(14x)을 산화시키기 위하여 이용되는 단계(30)를 포함한다. 그 결과, FLW는 중심 FL 부분(14)의 폭에 의해 정의되고, 이것은 강자성 특성을 유지한다. 계면(14s)은 FL 부분(14, 14x) 사이에서 형성되고, 측벽(20) 아래에 정렬되고 측벽(20)과 동일 평면 내에 있다. 50 와트 미만인 낮은 바이어스 전력은 바람직하게는, 이온 또는 플라즈마가 아래에 놓이는 고정층으로 침투하고 그 부분을 산화시키는 것을 방지하기 위하여 이용된다. 바람직하게는, RIE 조건은 10 내지 500 sccm(standard cubic centimeters per minute)의 산화제의 유량, 50 내지 500 와트의 RF 전력, 50 와트보다 더 작은 바이어스 전력, 및 5 내지 50 mTorr의 챔버 압력을 포함한다.

[0042] 대안적으로, 단계(30)는 산화된 외측 FL 부분(14x)을 산출하기 위하여 자연적 산화, 열적 산화, 또는 다른 잘 알려진 산화 방법을 포함할 수 있다. 예를 들어, 자연적 산화는 100 내지 10000 sccm의 산화제의 유량을 포함할 수 있다. 또한, 열적 산화는 바람직하게는, 순수한 O_2 또는 O_3 , 또는 N_2 , NH_3 , H_2O , 또는 H_2O_2 중의 하나 이상과의 그 조합인 산화제로 이루어진다. 일부 실시예에서, 열적 산화는 100 내지 10000 sccm의 산화제의 유량, 그리고 $100^\circ C$ 내지 $400^\circ C$ 의 온도로의 가열로 수행된다.

[0043] 더 이전에 언급된 바와 같이, 외측 산화된 FL 부분은 전기적 단락, 및 DRR 및 Hc를 포함하는 디바이스 성능을 담당하는 중심 FL 부분(14)에 대한 화학적 손상을 방지하기 위한 절연 버퍼로서 역할을 한다. 단계(30)는 또한, 아일랜드(40)를 포함하는 포토레지스트 패턴을 제거한다.

[0044] 도 5를 참조하면, 실리콘 산화물, 실리콘 질화물, 실리콘 산화질화물, 실리콘 탄화물, 마그네슘 산화물, 알루미늄 산화물, 탄탈륨 산화물, 또는 또 다른 금속 산화물, 금속 산화질화물, 금속 질화물, 또는 금속 탄화물로 이루어지고 적어도 50 옹스트롬의 두께를 갖는 유전체층(21)은 물리적 기상 증착(physical vapor deposition; PVD), 화학적 기상 증착(chemical vapor deposition; CVD), 또는 플라즈마 강화 CVD(plasma enhanced CVD; PECVD) 방법에 의해 상단 표면(14t, 16t) 상에서 그리고 측벽(20) 상에서 퇴적된다. 바람직하게는, CVD는 측벽(20) 상에서의 유전체층 커버리지(coverage)를 최대화하기 위하여 이용된다. 유전체층은 일반적으로 등각적(conformal)이지 않고, 이것은 상단 표면(16t) 상의 두께(t)가 통상적으로 측벽(20) 상의 그 두께보다 더 큰 것을 의미한다.

[0045] 그 후에, 도 6에서 예시된 바와 같이, 상단 표면(16t) 상에서, 그리고 상단 표면(14t)의 상당한 부분으로부터 유전체층(21)을 제거하는 수직 에칭(31)(IBE 또는 RIE)이 수행된다. 바람직하게는, 에칭 단계(31)는 산화된 외측 FL 부분(14x)의 상단 표면(14t)의 섹션 상에서 그리고 측벽(20) 상에서, 스페이서(21s)로서 이하에서 지칭된 유전체 스페이서를 산출한다. 스페이서는 상단 표면(16t)에서 상부 BARC 또는 DARC 코너(16c)와 접촉하고, 상단 표면(14t)에서 적어도 10 옹스트롬의 폭(c)에 도달할 때까지 점점 더 큰 폭을 가진다. IBE 또는 RIE 단계(31)는 플루오르화탄소, 염소, 또는 아르곤으로부터 생성되는 이온 또는 플라즈마에 기초할 수 있다. 스페이서(21s) 및 층(15, 16)은 MTJ 스택에서의 나머지 층(11 내지 13 및 14x)을 통해 다음 에칭 단계를 위한 에칭 마스크로서 역할을 한다.

[0046] 도 7을 참조하면, 에칭 단계(32)가 수행되고, 에칭 단계(32)는 IBE, RIE, 또는 그 조합을 포함한다. 하나의 바람직한 실시예에서, 에칭 단계(32)는, Ar, Kr, Ne, 또는 Xe 중의 하나인 불활성 가스, 및 메탄올, 에탄올, O_2 , H_2O_2 , H_2O , N_2O , 또는 CO 중의 하나 이상인 산화제로부터 생성된 이온 또는 플라즈마에 기초한다. 따라서, 측벽(24)은 터널 배리어층(13), 고정층(12), 및 시드층(11) 상에서 형성되고, 기관의 상단 표면(10t) 상에서 정지된다. BARC 또는 DARC 층(16), 및 스페이서(21s)에 의해 커버되지 않는 산화된 외측 FL 부분(14x)의 부분이 또한 제거된다. 층(11 내지 13) 상의 측벽(24)은 터널 배리어층의 상단 표면에 인접한, 외측 FL 부분(14x) 및 스페이서(21s) 상의 측벽(23)과 접촉한다는 것에 주목한다. 단계(32)는 바람직한 실시예에서, FLW보다 실질적으로 더 큰 고정층 폭(d)을 결정한다. 터널 장벽 및 선택적인 시드층은 또한, 폭(d)을 가진다. 다른 실시예에서, 불활성 가스 또는 산화제에 기초한 어느 하나의 IBE 또는 RIE는 에칭 단계(32)를 위하여 채용될 수 있다. RIE 또는 IBE 조건에 따라서는, 외측 FL 부분의 기저부 폭(e)이 에칭(32) 이전의 최대 스페이서 폭(c) 미만일 수 있지만, 바람직하게는, 중심 FL 부분(14)의 각각의 면 상에서 적어도 10 옹스트롬이다.

- [0047] 에칭 단계(32)가 RIE 조건을 포함하는 실시예에서, 플라즈마는 바람직하게는, 실온에 인접한 온도에서 600 와트 내지 3000 와트 사이의 RF 전력으로 유도되고 유지된다. 또한, 상단 전극에 적용된 RF 전력은 RIE 프로세스 챔버에서의 하단 전극에 적용된 RF 전력과 상이할 수 있다. 어떤 IBE 또는 RIE 조건으로, 측벽(24)은 예시적인 실시예에서 표시된 바와 같이 상단 표면(10t)에 실질적으로 직교할 수 있다. 또한, 약 5 내지 10 옴스트롬에 이르는 폭(b)을 가지는 측벽층(22)은 일반적으로, 에칭 단계(32)의 결과로서 측벽(23) 및 측벽(24) 상에서 형성된다. 측벽층은 층(11 내지 13), 외부 산화된 FL(14x), 및 기관(10)으로부터의 재퇴적된 물질로 이루어진다. 에칭 단계(32)가 산화제를 포함할 때, 측벽층은 산화로부터 기인하는 층(11 내지 13)의 손상된 부분을 또한 포함할 수 있다. 패턴 밀도(MTJ 셀 사이의 이격)에 따라서는, 더 큰 이격을 갖는 MTJ 셀 사이의 하단 층(11)이 더 근접한 이격을 갖는 MTJ 셀 사이의 하단층(11) 전에 제거되는 경향이 있다는 것이 이해되어야 한다. 그 결과, 에칭 단계(32)는 더 큰 이격을 갖는 MTJ 셀 사이에서 노출되는 기관의 부분을 제거할 수 있는 반면, 상단 표면(10t)의 영역은 최종적으로 더 작은 이격을 가지는 MTJ 셀 사이에서 커버되지 않는다.
- [0048] 에칭 단계(32)는 자기-정렬 프로세스이고, 이것은 측벽(24)을 생성하기 위하여 포토리소그래피 프로세스가 필요하지 않다는 것을 의미한다는 것에 주목한다. 이에 따라, 이미 패터닝된 FL 아래의 고정층을 패터닝하기 위하여 특히 어려운 오버레이 켈점은 본원에서 정의된 MTJ 패터닝 시퀀스로 회피된다. MTJ 패터닝 시퀀스는 종래 기술의 디바이스에서의 FL 및 고정층의 활성 부분과 접촉하거나 이들을 포함하는 측벽층(22)과 연관된 성능에서의 가변성을 제거함으로써 더 많이 제어되므로, 본 발명자는 MTJ 스위칭 전류가 마찬가지로 더 균일하다는 것을 발견하였다.
- [0049] 도 8을 참조하면, 유전체 물질로 이루어지는 봉지화층(25)은 도 7에서의 MTJ 셀에서의 측벽층(22) 상에서 그리고 상단 표면(15t) 상에서, 그리고 메모리 어레이에서의 다른 MTJ 셀(도시되지 않음) 상에서 퇴적된다. 바람직하게는, 봉지화층은 5 내지 250 nm의 두께를 가지고, SiO_2N_z , AlO_2N_z , TiO_2N_z , SiC_yN_z , MgO , TaO_y , 및 $\text{AlO}_y - y + z > 0$ 임 - 을 포함하지만 이것으로 제한되지는 않는 실리콘 산화물, 실리콘 질화물, 실리콘 산화질화물, 실리콘 탄화물, 금속 질화물, 금속 산화물, 금속 산화질화물, 금속 탄화질화물 중의 하나 이상이다. 바람직하게는, 봉지화층은 에칭 단계(32)를 위하여 이전에 채용된 프로세스 챔버에서 진공을 파괴하지 않으면서, PVD, CVD, 이온 빔 퇴적(ion beam deposition; IBD), 또는 원자층 퇴적(atomic layer deposition; ALD)에 의해 퇴적된다.
- [0050] 그 후에, 화학적 기계적 연마(CMP) 프로세스 또는 또 다른 평탄화 방법은 캐핑층(15) 상의 상단 표면(15t)과 동일 평면 내에 있는 봉지화층 상에서 상단 표면(25t)을 형성하기 위하여 수행된다. 일부 실시예에서, CMP 프로세스는 에칭 단계(32) 후에 남아 있는 임의의 DARC 또는 BARC 층(16)을 제거한다.
- [0051] 도 9를 참조하면, 본 개시내용의 프로세스 흐름에 의해 형성된 MTJ 셀의 복수의 아일랜드 형상은 CMP 또는 대안적인 평탄화 프로세스 후에 하향식 뷰로부터 도시된다. 상단 표면(15t)에서의 MTJ 셀은 폭(w) 및 길이(v)를 가진다. 이전에 설명된 바와 같이, MTJ 셀은 원형 형상 - $w = v$ 임 - 으로 도시되지만, w가 v와 동일하지 않도록, 다른 실시예에서 타원형 또는 다각형 형상을 가질 수 있다. 일반적으로, 수백만 개의 MTJ 셀은 행 및 열의 어레이로 형성되지만, 도면을 단순화하기 위하여, 오직 4 개가 여기에서 예시된다.
- [0052] 그 후에, 복수의 평행한 전도성 라인(도시되지 않음)으로 이루어진 상단 전도성 층은 당해 분야의 당업자에 의해 인식된 바와 같이, MTJ 셀 및 봉지화층(25) 상에서 기존의 방법에 의해 형성된다. 따라서, FL에서 자기적 상태를 스위칭하기 위한 기록 전류, 또는 디바이스에서 실제적인 자기적 상태를 검출하기 위한 판독 전류는 상단 전도성 라인으로부터 하단 전극(10)으로, 또는 역방향으로 MTJ 셀을 통과하게 될 수 있다.
- [0053] 도 10에서 도시된 본 개시내용의 제2 실시예에 따르면, 도 1에서의 MTJ는, 중심 FL 부분(14)의 상단 표면 및 캐핑층(15)의 하단 표면과 접촉하는 Hk 강화층(17)의 삽입으로 MTJ 셀을 산출하도록 수정된다. 측벽(20)은 이제, 캐핑층 상단 표면(15t)으로부터 FL 상단 표면(14t)으로 연장되고, FLW와 실질적으로 동일한 폭을 가지는 Hk 강화층의 외측 표면을 결정한다. 또한, 유전체 스페이서(21s)는 캐핑층 상단 표면으로부터 FL 상단 표면까지 측벽(20)과 인접한다.
- [0054] 도 11을 참조하면, 도 10에서의 MTJ 셀의 제조 시의 제1 단계는 선택적인 시드층(11), 고정층(12), 터널 배리어층(13), FL(14), Hk 강화층(17), 및 캐핑층(15)이 기관(10) 상에서 순차적으로 퇴적되는 MTJ 스택(2)의 형성이다. Hk 강화층은 바람직하게는, 터널 장벽 조성에 대하여 이전에 언급되었던 MgO 또는 또 다른 금속 산화물과 같은 금속 산화물이다. Hk 강화층은 바람직하게는, 제2 FL/금속 산화물 계면이 (FL/터널 장벽 계면에 추가적으로) 제공됨으로써, FL 내에서의 PMA를 증가시킨다는 점에서, 열적 안정성을 개선시키기 위하여 유리하게 이용된다. BARC 또는 DARC(16)가 캐핑층 상에서 퇴적된 후에, 측벽(40s)을 갖는 아일랜드(40)를 포함하는 포토레지스

트 패턴은 제1 실시예와 유사하게, 캐핑층 상단 표면(16t) 상에서 형성된다.

[0055] 그 후에, 더 이전에 설명된 에칭 단계(29) 및 플라즈마 산화(30)는 도 12에서 예시된 중간 MTJ 셀 구조물을 생성하기 위하여 뒤따른다. 측벽(20)은 BARC 또는 DARC(16)의 상단 표면으로부터 외측 산화된 FL 부분(14x)의 상단 표면(14t)까지 연장된다는 것에 주목한다. 다시 말해서, 층(15 내지 17)의 각각은, 외측 산화된 FL 부분과의 계면(14s)을 가지는 FL 중심 부분(14)에서의 폭(FLW)과 실질적으로 동일한 폭(w)을 가진다.

[0056] 다음으로, 도 13에서 도시된 바와 같이, 유전체층이 퇴적되고, 그 다음으로, 수직 에칭은 Hk 강화층(17), 캐핑층(15), 및 BARC 또는 DARC(16) 상의 측벽(20)과 인접하는 유전체 스페이서(21s)를 제공하기 위하여 채용된다. 유전체 스페이서는 산화된 외측 FL 부분(14x) 상의 상단 표면(14t)에서의 폭(c)에 도달할 때까지 상단 코너(16c)로부터 증가하는 거리를 갖는 더 큰 폭을 가진다.

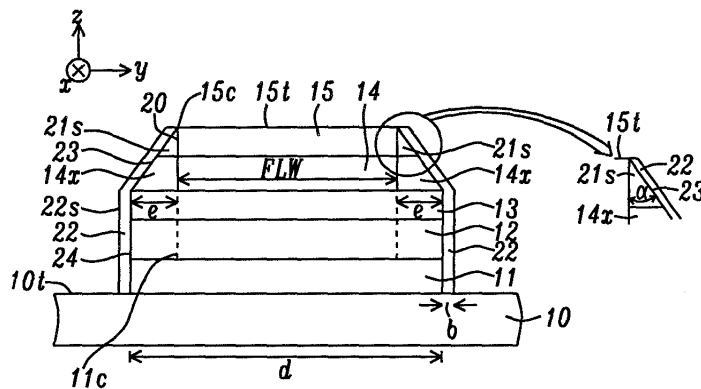
[0057] 도 14를 참조하면, 봉지화된 MTJ 셀은 도 13에서의 중간 MTJ 셀이 측벽(24)을 형성하기 위하여 에칭되고, 봉지화층(25)이 퇴적되고, 평탄화 단계가 제1 실시예에서의 도 7 내지 도 8에 관하여 이전에 설명된 바와 같이 수행된 후에 도시된다. 이에 따라, 제2 실시예에 따른 MTJ 셀은 제1 실시예의 모든 특징 및 이득을 유지한다. 또한, Hk 강화층(17)은 표류장(stray field) 또는 고온 조건 때문에, (+) z-축 방향으로부터 (-) z-축 방향으로의 자유층 자화(도시되지 않음)의 우연한 스위칭에 대하여 보호하기 위한 더 높은 열적 안정성의 추가적인 장점을 제공할 것으로 예상된다.

[0058] 본원에서 개시된 모든 실시예에서, 고정층 폭은 실질적으로 FLW보다 더 크다. 따라서, 고정층이 특히, 60 nm보다 더 작은 FLW 값에 대하여, FL 자화에 대한 더 큰 안정성을 제공하므로, MTJ 셀에서의 데이터 유지는 고정층 폭과 본질적으로 동일한 FLW를 가지는 종래 기술의 MTJ 셀과 비교하여 개선되는 것으로 믿어진다.

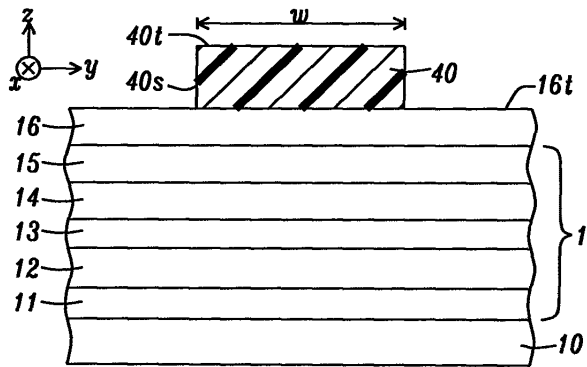
[0059] 이 개시내용은 그 바람직한 실시예를 참조하여 특히 도시되고 설명되었지만, 형태 및 세부사항에서의 다양한 변경은 이 개시내용의 사상 및 범주로부터 이탈하지 않으면서 행해질 수 있다는 것이 당해 분야의 당업자에 의해 이해될 것이다.

도면

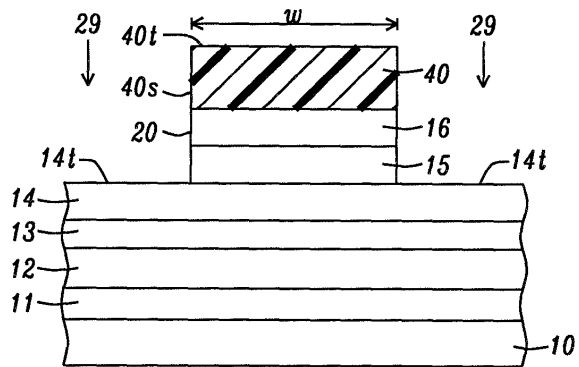
도면1



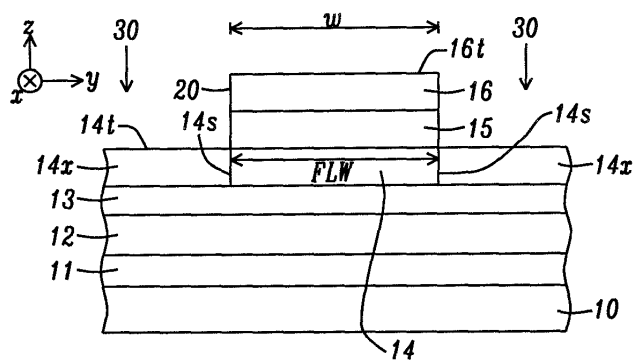
도면2



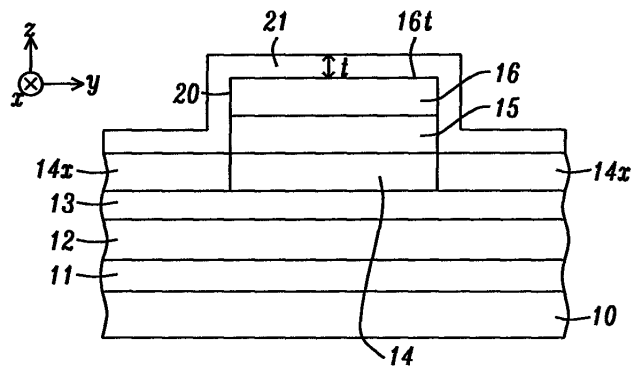
도면3



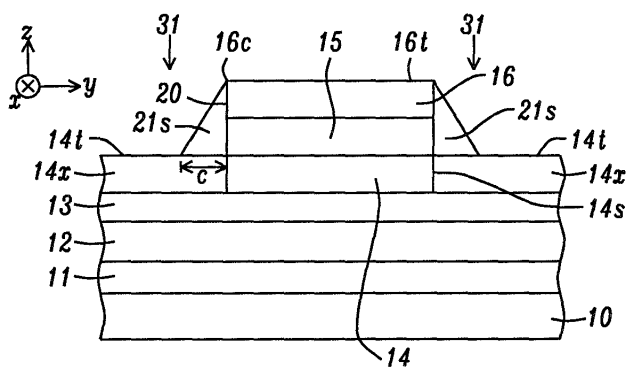
도면4



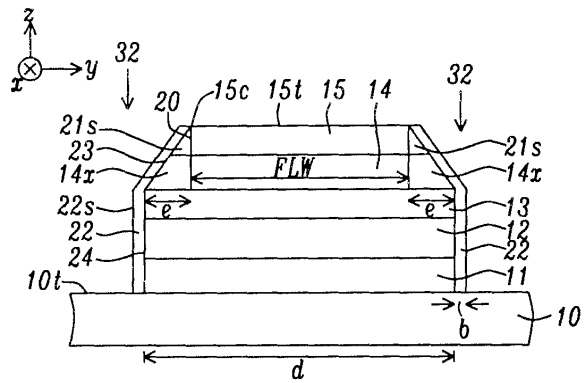
도면5



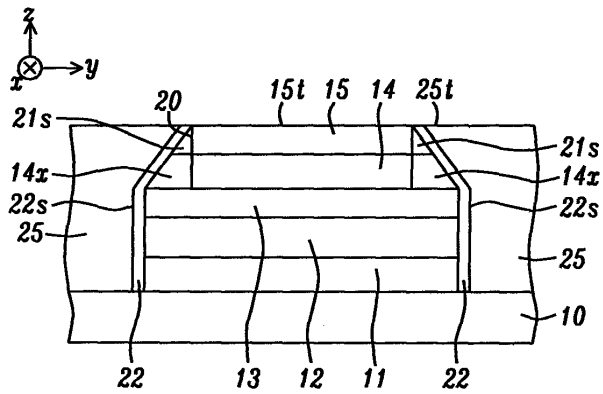
도면6



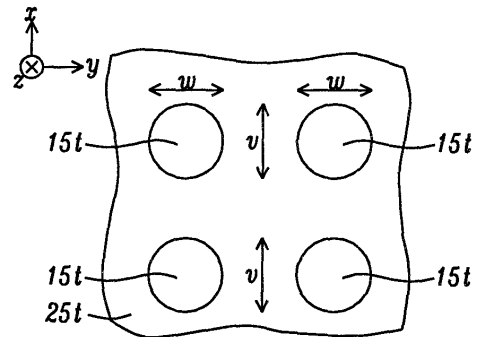
도면7



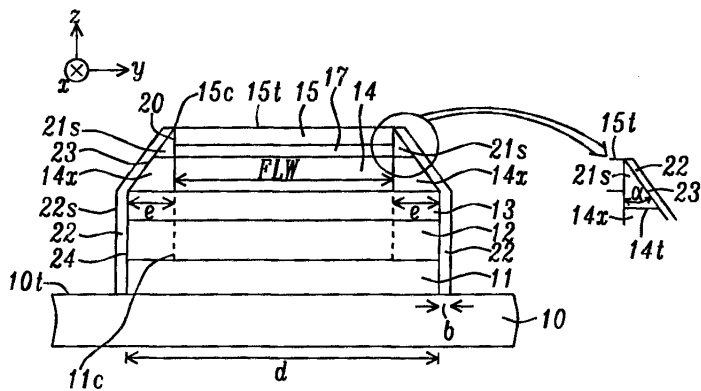
도면8



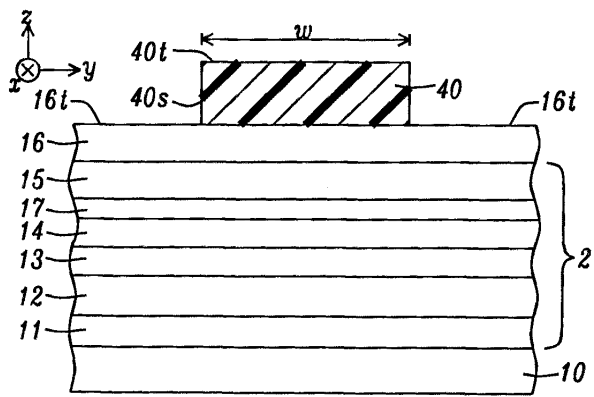
도면9



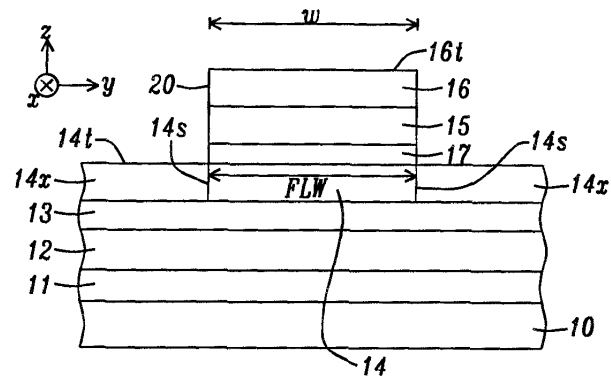
도면10



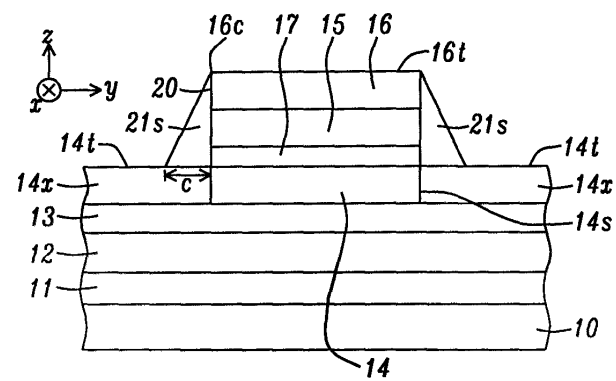
도면11



도면12



도면13



도면14

