



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년07월05일
(11) 등록번호 10-1636453
(24) 등록일자 2016년06월29일

(51) 국제특허분류(Int. Cl.)
H01L 51/05 (2006.01) H01L 51/10 (2006.01)
(52) CPC특허분류
H01L 51/0508 (2013.01)
H01L 51/107 (2013.01)
(21) 출원번호 10-2015-0014103
(22) 출원일자 2015년01월29일
심사청구일자 2015년01월29일
(56) 선행기술조사문헌
JP2008159722 A*
KR1020100056937 A*
KR1020130012823 A*
tienne Menard 외 7명, "Micro- and Nanopatterning Techniques for Organic Electronic and Optoelectronic Systems", Chem.Rev., 2007, 107, 1117-1160*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한림대학교 산학협력단
강원도 춘천시 한림대학길 1, 한림대학교(옥천동)
(72) 발명자
박재훈
강원도 춘천시 동면 만천로 242, 아이파크아파트 101동 1004호
이서연
경기도 남양주시 와부읍 덕소로 72 벽산메가트림 B동 2102호
(74) 대리인
유민규

전체 청구항 수 : 총 10 항

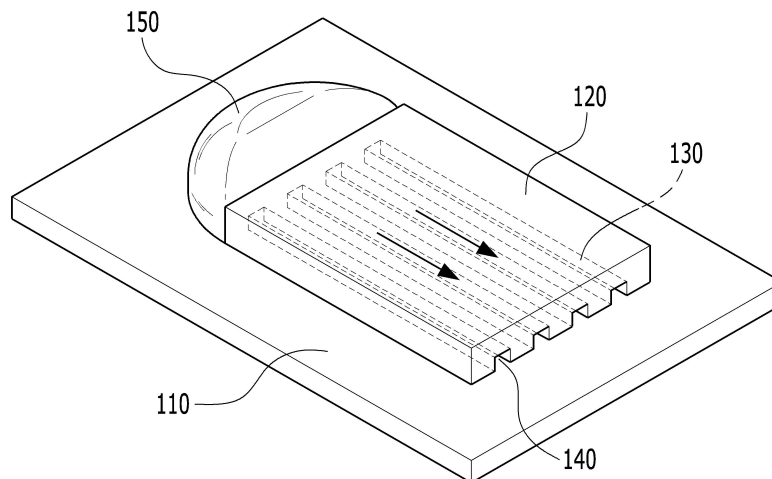
심사관 : 김효욱

(54) 발명의 명칭 유기 박막 트랜지스터 및 그 제조 방법

(57) 요약

유기 박막 반도체 소자의 패턴 형성 방법이 개시되며, 상기 유기 박막 반도체 소자의 패턴 형성 방법은 홈을 가지는 몰드 구조체를 준비하는 단계, 상기 홈과 기판이 관을 형성하도록 상기 몰드 구조체를 기판의 상부에 위치시키는 단계, 유기 반도체 물질을 상기 기판의 표면에 공급하는 단계, 및 상기 유기 반도체 물질을 경화시키는 단계를 포함할 수 있다.

대표도 - 도1a



이 발명을 지원한 국가연구개발사업

과제고유번호 2014-D-7288-010100
 부처명 교육부
 연구관리전문기관 한국연구재단
 연구사업명 산학협력 선도대학(LINC) 육성사업
 연구과제명 산학협력 선도대학(LINC) 육성사업
 기 여 율 1/2
 주관기관 한림대학교 산학협력단
 연구기간 2014.03.01 ~ 2015.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호 NRF-2014R1A1A2057057
 부처명 교육부
 연구관리전문기관 한국연구재단
 연구사업명 일반연구자지원사업(기본연구)
 연구과제명 모세관 현상을 이용한 고결정성 반도체 박막 형상화 기술 개발 및 소자 응용 연구
 기 여 율 1/2
 주관기관 한림대학교 산학협력단
 연구기간 2014.11.01 ~ 2015.04.30

명세서

청구범위

청구항 1

홈을 가지는 몰드 구조체를 준비하는 단계;

상기 홈과 기관이 관을 형성하도록 상기 몰드 구조체를 기관의 상부에 위치시키는 단계;

유기 반도체 물질을 상기 기관의 표면에 공급하는 단계;

상기 유기 반도체 물질을 경화시키는 단계; 및

상기 기관의 표면 중 상기 유기 반도체 물질과 접촉하는 영역에 대해서만 선택적으로 산소 플라즈마 처리를 수행하여 상기 유기 반도체 물질과 접촉하는 기관의 표면의 표면 에너지를 감소시키는 단계,

를 포함하고,

상기 유기 반도체 물질은 상기 몰드 구조체의 홈과 상기 기관이 형성한 관을 따라 흐르고,

상기 몰드 구조체의 일면 및 상기 일면과 마주보는 타면에 각각 상기 유기 반도체 물질이 유입되는 복수의 개구부가 형성되고,

상기 몰드 구조체의 일면의 개구부로 유입되는 유기 반도체 물질과 상기 몰드 구조체의 타면의 개구부로 유입되는 유기 반도체 물질의 종류가 상이하고,

상기 몰드 구조체의 일면의 개구부로 유입되는 유기 반도체 물질은 N타입 반도체 물질이고, 상기 몰드 구조체의 타면의 개구부로 유입되는 유기 반도체 물질은 P타입 반도체 물질인 것을 특징으로 하는 유기 박막 반도체 소자의 패턴 형성 방법.

청구항 2

제 1 항에 있어서,

상기 유기 반도체 물질은 용액 공정을 통하여 박막 형성이 가능한 물질을 포함하는 것을 특징으로 하는 유기 박막 반도체 소자의 패턴 형성 방법.

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 유기 반도체 물질이 상기 기관의 표면에 투입되었을 때 상기 유기 반도체 물질이 형성하는 높이가 상기 관의 높이보다 큰 것을 특징으로 하는 유기 박막 반도체 소자의 패턴 형성 방법.

청구항 5

제 1 항에 있어서,

상기 유기 반도체 물질을 경화시키는 단계는 어닐링(annealing) 처리를 포함하는 것을 특징으로 하는 유기 박막 반도체 소자의 패턴 형성 방법.

청구항 6

기관에 게이트 전극을 형성하는 단계;

상기 게이트 전극의 상부에 유기 반도체층을 형성하는 단계; 및

상기 유기 반도체층과 전기적으로 연결되는 소스 전극 및 드레인 전극을 형성하는 단계,
를 포함하고,

상기 유기 반도체층을 형성하는 단계는,

상기 제1항에 따른 유기 박막 반도체 소자의 패턴 형성 방법에 의해 수행되는 것을 특징으로 하는 유기 박막 트랜지스터의 제조 방법.

청구항 7

제 6 항에 있어서,

상기 유기 반도체 물질은 용액 공정을 통하여 박막 형성이 가능한 물질을 포함하는 것을 특징으로 하는 유기 박막 트랜지스터의 제조 방법.

청구항 8

제 6 항에 있어서,

상기 유기 반도체 물질을 경화시키는 단계는 어닐링(annealing) 처리를 포함하는 것을 특징으로 하는 유기 박막 트랜지스터의 제조 방법.

청구항 9

기판에 소스 전극 및 드레인 전극을 형성하는 단계;

상기 소스 전극 및 드레인 전극과 접하는 유기 반도체층을 형성하는 단계;

상기 유기 반도체층, 상기 소스 전극 및 상기 드레인 전극의 상부에 게이트 전극을 형성하는 단계,
를 포함하고,

상기 유기 반도체층을 형성하는 단계는,

상기 제1항에 따른 유기 박막 반도체 소자의 패턴 형성 방법에 의해 수행되는 것을 특징으로 하는 유기 박막 트랜지스터의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 유기 반도체 물질은 용액 공정을 통하여 박막 형성이 가능한 물질을 포함하는 것을 특징으로 하는 유기 박막 트랜지스터의 제조 방법.

청구항 11

제 9 항에 있어서,

상기 유기 반도체 물질을 경화시키는 단계는 어닐링(annealing) 처리를 포함하는 것을 특징으로 하는 유기 박막 트랜지스터의 제조 방법.

청구항 12

삭제

청구항 13

삭제

발명의 설명

기술 분야

[0001] 본원은 유기 박막 트랜지스터 및 유기 박막 트랜지스터의 제조 방법에 관한 것이다.

배경 기술

[0002] 현대 사회가 고도로 정보화 되어감에 따라 표시 장치는 대형화 및 박형화에 대한 시장의 요구에 직면하고 있으며, 종래의 CRT 장치로는 이러한 요구를 충분히 만족시키지 못함에 따라 PDP(Plasma Display Panel) 장치, PALC(Plasma Address Liquid Crystal display panel) 장치, LCD(Liquid Crystal Display) 장치, OLED(Organic Light Emitting Diode) 장치 등으로 대표되는 평판 표시 장치에 대한 수요가 폭발적으로 늘어나고 있다.

[0003] 평판 표시 장치에는 스위칭 소자로서 삼단자 소자인 박막 트랜지스터(thin film transistor, TFT)를 사용하며, 이 박막 트랜지스터를 제어하기 위한 주사 신호를 전달하는 게이트선(gate line)과 화소 전극에 인가될 신호를 전달하는 데이터선(data line)이 평판 표시 장치에 구비된다.

[0004] 이러한 박막 트랜지스터 중에서, 규소(Si)와 같은 무기 반도체 대신 저분자 또는 고분자와 같은 유기 반도체(organic semiconductor)를 포함하는 유기 박막 트랜지스터(organic thin film transistor, OTFT)에 대한 연구가 활발히 이루어지고 있다. 예를 들어, 종래의 유기 박막 트랜지스터는 대한민국 특허공개 번호 제2004-0012212호에 개시되어 있다.

[0005] 유기 박막 트랜지스터는 유기 물질의 특성상 섬유(fiber) 또는 필름(film)과 같은 형태로 만들 수 있어서 가요성 표시 장치(flexible display device)의 핵심 소자로 주목받고 있다. 또한 유기 박막 트랜지스터는 잉크젯 인쇄와 같은 용액 공정(solution process)으로 제작할 수 있어서 증착 공정만으로 한계가 있는 대면적 평판 표시 장치에도 쉽게 적용할 수 있다.

[0006] 다만, 기존의 박막 트랜지스터는 제조 공정 과정에서의 편차로 인해 구동 성능이 크게 좌우된다. 특히, 포토레지스트층을 노광하는 과정에서 노광량의 차이는 박막 트랜지스터의 채널의 폭 및 형상에 편차를 발생시킨다. 또한, 화학적으로 저분자, 단결정을 형성한 후 전사방식으로 소자에 이식하는 트랜스퍼 프린팅(Transfer Printing) 방식은 별도의 전사 공정이 필요하고, 전사 공정 중 정교한 정렬(align) 과정이 반드시 필요하고, 계면특성이 좋지 않은 문제점이 있었다. 또한, 원하는 타겟에 직접 프린팅하는 방법인 다이렉트 프린팅(Direct Printing) 방식은 유기반도체 결정의 방향성 제어가 어렵고, 결정의 크기 제어가 어려운 문제점이 있었다.

[0007] 따라서, 우수한 전하 이동도를 가지고, 우수한 전류 출력의 특성을 가지는 고품질의 단결정 박막 트랜지스터 및 이를 용이하게 제조하기 위한 제조 방법에 대한 수요가 있었다.

발명의 내용

해결하려는 과제

[0008] 본원은 전술한 종래 기술의 문제점을 해결하기 위한 것으로서, 높은 전하 이동도 및 전류 출력 특성을 가지는 고품질의 단결정의 유기 반도체 박막 및 그 제조 방법을 제공하는 것을 목적으로 한다.

[0009] 또한, 본원은 공정을 단순화하여 신속성을 향상시키고, 재료의 사용량을 절약할 수 있는 용액 공정을 적용한 단결정 유기 박막 트랜지스터의 제조 방법을 제공하는 것을 목적으로 한다.

[0010] 또한, 본원은 미세 패턴을 가지는 유기 박막 트랜지스터를 보다 용이하고 신속하게 제조할 수 있는 제조 방법을 제공하는 것을 목적으로 한다.

[0011] 다만, 본 실시예가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제들로 한정되지 않으며, 또 다른 기술적 과제들이 존재할 수 있다

과제의 해결 수단

[0012] 상기한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본원의 일 실시예에 따른 유기 박막 반도체 소자의 패턴 형성 방법은 홈을 가지는 몰드 구조체를 준비하는 단계; 상기 홈과 기판이 관을 형성하도록 상기 몰드 구조체를 기판의 상부에 위치시키는 단계; 유기 반도체 물질을 상기 기판의 표면에 공급하는 단계; 및 상기 유기 반도체 물질을 경화시키는 단계를 포함하고, 상기 유기 반도체 물질은 상기 몰드 구조체의 홈과 상기 기판이 형성한 관을 따라 흐를 수 있다.

[0013] 또한, 상기한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본원의 일 실시예에 따른 유기 박막 트랜지스터

의 제조 방법은 기판에 게이트 전극을 형성하는 단계; 상기 게이트 전극의 상부에 유기 반도체층을 형성하는 단계; 및 상기 유기 반도체층과 전기적으로 연결되는 소스 전극 및 드레인 전극을 형성하는 단계를 포함하고, 상기 유기 반도체층을 형성하는 단계는, 홈을 가지는 몰드 구조체를 준비하는 단계; 상기 홈과 상기 기판이 관을 형성하도록 상기 몰드 구조체를 기판의 상부에 위치시키는 단계; 유기 반도체 물질을 상기 기판에 공급하는 단계; 및 상기 유기 반도체 물질을 경화시키는 단계를 포함하고, 상기 유기 반도체 물질은 상기 몰드 구조체의 홈과 상기 기판이 형성한 관을 따라 흐를 수 있다.

[0014] 또한, 상기한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본원의 다른 일 실시예에 따른 유기 박막 트랜지스터의 제조 방법은 기판에 소스 전극 및 드레인 전극을 형성하는 단계; 상기 소스 전극 및 드레인 전극과 접하는 유기 반도체층을 형성하는 단계; 상기 유기 반도체층, 상기 소스 전극 및 상기 드레인 전극의 상부에 게이트 전극을 형성하는 단계를 포함하고, 상기 유기 반도체층을 형성하는 단계는, 홈을 가지는 몰드 구조체를 준비하는 단계; 상기 홈과 상기 기판이 관을 형성하도록 상기 몰드 구조체를 기판의 상부에 위치시키는 단계; 유기 반도체 물질을 상기 기판에 공급하는 단계; 및 상기 유기 반도체 물질을 경화시키는 단계를 포함하고, 상기 유기 반도체 물질은 상기 몰드 구조체의 홈과 상기 기판이 형성한 관을 따라 흐를 수 있다.

[0015] 또한, 상기한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본원의 일 실시예에 따른 유기 박막 트랜지스터는 유기 반도체 물질로 형성된 유기 반도체층; 상기 유기 반도체층과 접하며 서로 마주보며 위치하는 소스 전극 및 드레인 전극; 상기 유기 반도체층에 전계를 인가하기 위한 게이트 전극; 및 상기 게이트 전극과 상기 유기 반도체층 사이에 위치하는 게이트 절연층을 포함하고, 상기 유기 반도체층은 홈을 가지는 몰드 구조체를 준비하는 단계; 상기 홈과 기판이 관을 형성하도록 상기 몰드 구조체를 기판의 상부에 위치시키는 단계; 유기 반도체 물질을 상기 기판의 표면에 공급하는 단계; 및 상기 유기 반도체 물질을 경화시키는 단계를 포함하고, 상기 유기 반도체 물질은 상기 몰드 구조체의 홈과 상기 기판이 형성한 관을 따라 흐르는 것을 특징으로 하는 반도체 소자의 패턴 형성 방법에 의해 형성될 수 있다.

[0016] 또한, 상기한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본원의 다른 일 실시예에 따른 유기 박막 트랜지스터는 게이트 전극; 상기 게이트 전극의 상부에 형성되는 유기 반도체층; 및 상기 유기 반도체층과 전기적으로 연결되는 소스 전극 및 드레인 전극을 포함하고, 상기 유기 반도체층은 홈을 가지는 몰드 구조체를 준비하는 단계; 상기 홈과 기판이 관을 형성하도록 상기 몰드 구조체를 기판의 상부에 위치시키는 단계; 유기 반도체 물질을 상기 기판의 표면에 공급하는 단계; 및 상기 유기 반도체 물질을 경화시키는 단계를 포함하고, 상기 유기 반도체 물질은 상기 몰드 구조체의 홈과 상기 기판이 형성한 관을 따라 흐르는 것을 특징으로 하는 반도체 소자의 패턴 형성 방법에 의해 형성될 수 있다.

발명의 효과

[0017] 진술한 본원의 과제 해결 수단에 의하면, 높은 전하 이동도 및 전류 출력 특성을 가지는 고품질의 단결정의 유기 반도체 박막을 제조할 수 있다.

[0018] 또한, 본원의 과제 해결 수단에 의하면, 유기 박막 트랜지스터를 제조함에 있어서, 공정을 단순화하여 신속성을 향상시키고, 재료의 사용량을 줄일 수 있다.

[0019] 또한, 본원의 과제 해결 수단에 의하면, 미세 패턴을 가지는 유기 박막 트랜지스터를 신속하고 용이하게 제조할 수 있다.

도면의 간단한 설명

[0020] 도 1a 및 도 1b는 본원의 일 실시예에 따른 유기 박막 반도체 소자의 패턴 형성 과정을 나타내는 개념도이다.

도 2는 본원의 다른 일 실시예에 따른 유기 박막 반도체 소자의 패턴 형성 과정을 나타내는 개념도이다.

도 3a 및 도 3b는 본원의 또 다른 일 실시예에 따른 유기 박막 반도체 소자의 패턴 형성 과정을 나타내는 개념도이다.

도 4는 본원의 일 실시예에 따른 유기 박막 트랜지스터의 단면도이다.

도 5는 본원의 다른 일 실시예에 따른 유기 박막 트랜지스터의 단면도이다.

도 6은 본원의 일 실시예에 따른 유기 박막 반도체 소자의 패턴 형성 방법의 흐름도이다.

도 7은 본원의 일 실시예에 따른 유기 박막 트랜지스터의 제조 방법의 흐름도이다.

도 8은 본원의 다른 일 실시예에 따른 유기 박막 트랜지스터의 제조 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 아래에서는 첨부한 도면을 참조하여 본원이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본원의 실시예를 상세히 설명한다. 그러나 본원은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본원을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0022] 본원 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다.
- [0023] 본원 명세서 전체에서, 어떤 부재가 다른 부재 "상에" 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다.
- [0024] 본원 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.
- [0025] 본원 명세서 전체에서 사용되는 정도의 용어 "약", "실질적으로" 등은 언급된 의미에 고유한 제조 및 물질 허용 오차가 제시될 때 그 수치에서 또는 그 수치에 근접한 의미로 사용되고, 본원의 이해를 돕기 위해 정확하거나 절대적인 수치가 언급된 개시 내용을 비양심적인 침해자가 부당하게 이용하는 것을 방지하기 위해 사용된다. 본원 명세서 전체에서 사용되는 정도의 용어 "~(하는) 단계" 또는 "~의 단계"는 "~를 위한 단계"를 의미하지 않는다.
- [0026] 본 명세서에 있어서 단말, 장치 또는 디바이스가 수행하는 것으로 기술된 동작이나 기능 중 일부는 해당 단말, 장치 또는 디바이스와 연결된 서버에서 대신 수행될 수도 있다. 이와 마찬가지로, 서버가 수행하는 것으로 기술된 동작이나 기능 중 일부도 해당 서버와 연결된 단말, 장치 또는 디바이스에서 수행될 수도 있다. 이하 첨부된 도면을 참고하여 본 발명의 일 실시예를 상세히 설명하기로 한다.
- [0027] 도 1a 및 도 1b는 본원의 일 실시예에 따른 유기 박막 반도체 소자의 패턴 형성 과정을 나타내는 개념도이다.
- [0028] 도 1a 및 도 1b에 도시된 바와 같이, 기판(110)의 상부에 반도체 소자의 미세 패턴을 형성하기 위한 몰드 구조체(120)를 위치시킬 수 있다. 예를 들어, 상기 기판(110)은 실리콘 기판, 유리 기판, 플라스틱 기판 또는 메탈 기판 중 적어도 어느 하나를 포함할 수 있다. 상기 유리 기판은 실리콘 산화물, 실리콘 질화물 등으로 이루어질 수 있다. 또한, 상기 플라스틱 기판은 절연성 유기물로 이루어질 수 있는데, 예를 들면, 폴리에테르술폰(PES, polyethersulphone), 폴리아크릴레이트(PAR, polyacrylate), 폴리에테르 이미드(PEI, polyetherimide), 폴리에틸렌 나프탈레이트(PEN, polyethylenenapthalate), 폴리에틸렌 테레프탈레이트(PET, polyethyleneterephthalate), 폴리페닐렌 설파이드(polyphenylene sulfide: PPS), 폴리알릴레이트(polyallylate), 폴리이미드(polyimide), 폴리카보네이트(PC), 셀룰로오스 트리 아세테이트(TAC), 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate: CAP)로 이루어진 그룹으로부터 선택되는 유기물로 이루어질 수 있으나, 이에 한정되는 것은 아니다. 또한, 상기 금속 기판은 탄소, 철, 크롬, 망간, 니켈, 티타늄, 몰리브덴, 스테인레스 스틸(SUS), Invar 합금, ZInconel 합금 및 Kovar 합금으로 이루어진 군으로부터 선택된 하나 이상을 포함할 수 있으나, 이에 한정되는 것은 아니다.
- [0029] 상기 몰드 구조체(120)는 하나 이상의 홈(130)을 가지는 형상으로 형성될 수 있다. 예를 들어, 상기 몰드 구조체(120)는 레진(resin) 물질의 몰드(mold), 자외선 처리 및 디몰드(demold) 과정을 포함하는 일반적인 몰드 제작 공정에 의하여 형성될 수 있다. 유연한 재료의 물질을 사용하여 몰드 구조체를 형성함으로써, 다양한 형상의 패턴을 형성할 수 있다.
- [0030] 예를 들어, 상기 홈(130)의 폭은 수십 나노미터(nm) 내지 수 마이크로미터(μm)의 범위의 크기를 가질 수 있고, 상기 홈(130)의 높이는 수백 나노미터(nm)의 크기를 가질 수 있다. 또한, 몰드 구조체(120)에 포함되어 있는 인접하는 홈 사이의 간격은 수백 나노미터(nm)의 크기를 가질 수 있다.
- [0031] 몰드 구조체(120)는 몰드 구조체(120)의 홈(130)과 기판(110)의 상면이 관(140) 또는 통로를 형성하도록 기판(110)의 상부에 위치할 수 있다. 예를 들어, 준비된 몰드 구조체(120)를 홈(130)의 밑면이 기판(110)의 상면과

마주하도록 기관(110)의 상면에 접촉제를 이용하여 접합시킬 수 있다. 상기 관(140)의 폭, 높이 및 인접하는 관과의 간격의 크기는 앞서 설명한 몰드 구조체(120)의 홈(130)의 폭, 높이 및 인접하는 홈과의 간격의 크기와 동일하다.

[0032] 이와 같이, 몰드 구조체(120)가 기관(110)의 상면에 위치한 상태에서, 유기 반도체 물질(150)이 기관(110)의 표면에 공급될 수 있다. 공급된 유기 반도체 물질(150)은 몰드 구조체(120)의 홈(130)과 기관(110)이 형성한 관(140)에 유입되어 관(140)을 따라 기관(110)의 상면에서 흐르게 된다. 보다 구체적으로, 유기 반도체 물질(150)이 기관(110)의 표면에 투입되었을 때 유기 반도체 물질(150)이 형성하는 높이(160)가 관(140)의 높이(170)보다 크다. 다시 말해, 관(140)의 내부와 외부의 압력 차이에 의해 유기 반도체 물질(150)이 관(140)의 내부로 유입되고 관(140)을 따라 기관(110)의 상면에서 흐르게 된다. 몰드 구조체(120)의 홈(130)의 크기 및 형태에 따라 유기 반도체 물질(150)이 투입되는 관(140)의 크기가 결정되고, 그에 따라 관(140)의 내부와 외부의 압력 차이가 변화될 수 있다. 따라서, 유기 반도체 물질(150)이 관(140)의 내부를 통과하는 속도가 달라질 수 있으며, 속도에 따라, 유기물 분자들의 결정의 질, 정렬 방향 또는 양호도가 결정되어 유기 박막 반도체 소자 또는 트랜지스터의 성능이 결정될 수 있다.

[0033] 또한, 기관(110)의 표면의 표면 에너지를 제어하기 위한 처리를 수행함으로써 유기 반도체 물질(150)을 관(140) 내부로 유입시키고, 더 나아가 유기 반도체 물질(150)이 관(140) 내부를 흐르는 속도를 제어할 수 있다. 예를 들어, 기관(110)의 표면에 자외선 오존(UVO) 처리 또는 산소 플라즈마 처리를 수행함으로써, 기관의 표면 에너지를 낮추어 유기 반도체 물질(150)을 관(140) 내부로 유입시킬 수 있다. 예를 들어, 기관(110)의 표면 중 유기 반도체 물질(150)과 접촉하는 영역에 대하여 선택적으로 상기 자외선 오존(UVO) 처리 또는 산소 플라즈마 처리를 수행할 수 있다.

[0034] 도 1b에 도시된 바와 같이, 유기 반도체 물질(150)이 관(140) 내부에 유입되고 흐르는 과정에서, 유기 반도체 물질(150)의 내부에 포함되어 있는 유기물 분자들이 일정한 방향성을 가지도록 배열되어 단결정의 반도체 소자 패턴이 형성될 수 있다.

[0035] 또한, 추가적으로, 관(140)을 따라 흐르는 유기 반도체 물질(150)을 경화시킬 수 있다. 예를 들어, 자연 건조를 통해 유기 반도체 물질(150)을 경화시키거나, 어닐링(annealing) 과정을 통해 유기 반도체 물질(150)을 경화시킬 수 있다. 이렇게 함으로써, 유기 반도체 물질(150)에 포함되어 있는 액(용매) 성분이 증발한다. 유기 반도체 물질(150)을 경화시킴으로써, 관(140) 내부에 존재하는 유기 반도체 물질(150)이 관(140)의 형상을 따라 유기 박막 반도체 소자의 패턴으로 형성될 수 있다.

[0036] 유기 반도체 물질(150)의 종류에 따라 액 성분의 증발 속도가 달라질 수 있다. 또한, 액 성분의 증발 속도에 따라 유기 반도체 물질(150)이 관(140) 내부를 흐르면서 진행해 나가는 속도가 달라질 수 있다. 예를 들어, 액 성분의 증발 속도가 빠르면 유기 반도체 물질(150)이 관(140) 내부를 흐르면서 진행해 나가는 속도가 빨라질 수 있다. 또한, 유기 반도체 물질(150)이 관(140) 내부를 흐르면서 진행해 나가는 속도에 따라, 유기물 분자들의 결정의 질 또는 양호도가 결정되어 유기 박막 반도체 소자 또는 트랜지스터의 성능이 결정될 수 있다.

[0037] 또한, 기관(110)의 표면의 특성 및 기관(110)의 표면에 공급되는 유기 반도체 물질(150)의 종류 및 특성, 나아가 기관(110)의 표면과 유기 반도체 물질(150) 간의 표면 상호 작용의 정도에 따라 유기 박막 반도체 소자 또는 트랜지스터의 성능이 결정될 수 있다. 이러한 특성, 표면 상호 작용의 정도 등은 전술한 기관(110) 표면의 처리 공정을 통해 조절할 수 있다.

[0038] 유기 반도체 물질(150)은 용액 공정을 통하여 박막 형성이 가능한 유기 반도체 물질이라면 어느 것이든 사용 가능하다. 예를 들어, 펜타센(pentacene) 전구체, 폴리티오펜 및 그 유도체, 폴리파라페닐렌비닐렌 및 그 유도체, 폴리파라페닐렌 및 그 유도체, 폴리플로렌 및 그 유도체, 폴리티오펜비닐렌 및 그 유도체, 폴리티오펜-헥테로고리 방향족 공중합체 및 그 유도체, 금속을 함유하거나 함유하지 않은 프탈로시아닌 및 그 유도체, TESADT (triethylsilylethynyl anthradithiophene), BTBT (benzothienobenzothiophene), TTF (tetrathiafulvalene) 등이 사용될 수 있다. 또한, 이들 중 2 이상을 사용하는 것도 물론 가능하다.

[0039] 또한, 유기 반도체 물질(150)의 결정의 크기 및/또는 방향은 유기 반도체 물질(150)의 종류의 특성에 따라 결정될 수 있다. 예를 들어, 본원의 일 실시예에 따른 패턴 형성 방법에 의하여 유기물 분자들의 결정의 방향이 수직 방향으로 배열되어 있는 고결정성의 TIPS-Pn 필름을 제조할 수 있고, 유기물 분자들의 결정의 방향이 수평 방향으로 배열되어 있는 고결정성의 PCBM 필름을 제조할 수 있다. 또한, 유기 반도체 물질(150)의 결정의 크기 및/또는 방향은 유기 반도체 물질(150)의 종류의 특성뿐만 아니라, 몰드 구조체(120)의 홈(130)의 크기, 다

시 말해, 관(140)의 크기에 따라 제어될 수 있다.

- [0040] 유기 반도체 물질(150)에 의해 형성된 단결정의 반도체 소자 패턴의 폭 및 높이는 관(140)의 폭 및 높이의 크기에 따라 결정될 수 있다. 예를 들어, 단결정의 반도체 소자 패턴의 폭은 수십 나노미터(nm) 내지 수 마이크로미터(μm)의 범위의 크기를 가질 수 있고, 단결정의 반도체 소자 패턴의 높이는 수십 나노미터(nm) 내지 수백 나노미터(nm)의 크기를 가질 수 있다.
- [0041] 이상 설명한 바와 같이, 용액 공정 유기 반도체 물질을 마이크로 또는 나노 크기의 미세 패턴이 형성되어 있는 몰드 구조체에 공급하여 모세관 현상(Capillary phenomenon)을 이용하여 유기 박막 반도체 소자를 패터닝할 수 있다. 본 발명에 따른 모세관 현상 리소그래피(lithography)에 따르면, 종래의 성막 공정, 포토리소그래피 공정, 전사 공정, 열라인 공정 등이 불필요하여 공정을 단순화시키고, 공정 속도를 향상시켜 수율(throughput)을 향상시킬 수 있다. 또한, 몰드 구조체의 크기에 적합하도록 적정량의 유기 반도체 물질을 투입함으로써, 공정에 투입된 유기 반도체 물질의 대부분을 공정에 사용하여 자원 활용도를 높이고, 공정 후 폐기물을 최소화할 수 있다. 또한, 본 발명에 따른 모세관 현상 리소그래피에 따르면, 높은 전하 이동도 및 전류 출력 특성을 가지는 고결정성의 유기 반도체 소자를 용이하게 형성할 수 있다. 또한, 몰드 구조체의 크기 및 형태를 조절 및 변경하고, 그에 따른 관 내부 및 외부의 압력차이의 크기 및 방향을 조절함으로써, 유기 분자의 결정성, 정렬 및 결정 성장의 방향 등을 조절할 수 있다.
- [0042] 도 2는 본원의 다른 일 실시예에 따른 유기 박막 반도체 소자의 패턴 형성 과정을 나타내는 개념도이다.
- [0043] 도 2에 도시된 바와 같이, 본 발명의 일 실시예에 따르면 동일한 형상의 홈의 어레이(array)를 가지는 몰드 구조체(220)가 기판(210)의 상부에 위치할 수 있다. 몰드 구조체(220)의 홈과 기판(210)이 유기 반도체 물질(230)이 흐르는 통로를 형성하도록 몰드 구조체(220)가 기판(210)의 상부에 위치한다.
- [0044] 예를 들어, 도 2에 도시된 바와 같이, 몰드 구조체(220)의 홈은 유기 반도체 물질(230)이 투입되는 투입부(240) 및 유기 반도체 물질(230)이 기판의 상면을 따라 흐르는 관을 형성하는 진행부(250)를 포함할 수 있다. 또한, 몰드 구조체(220)는 유기 반도체 물질(230)의 용매 성분의 증발을 유도하고 촉진하기 위한 홀(260)을 포함할 수 있다. 도 2에 도시된 몰드 구조체(220)의 홈의 형상은 일 예에 불과하며, 유기 반도체 물질(230)이 투입되어 흐르는 관을 형성할 수 있는 다른 형태를 가질 수 있다.
- [0045] 또한, 도 2에 도시된 바와 같이, 유기 반도체 물질(230)이 투입되어 접촉하는 기판(210)의 영역(270) (예를 들어, 투입부(240)에 대응하는 기판의 표면)에 대하여 선택적으로 상기 자외선 오존(UVO) 처리 또는 산소 플라즈마 처리를 수행할 수 있다. 이와 같이, 유기 반도체 물질(230)이 최초로 투입되어 응집되는 기판의 표면(270)의 표면 에너지를 제어함으로써, 유기 반도체 물질(230)이 몰드 구조체(220) 외부로 흘러 넘치지 않고, 몰드 구조체(220)의 홈과 기판(210)이 형성한 관(250)에 유입되어 기판(210)의 표면을 따라 흐르도록 유도할 수 있다.
- [0046] 본원의 다른 일 실시예에 따른 유기 박막 반도체 소자의 패턴 형성 방법에 따르면, 다량의 홈을 포함하는 대면적의 홈 어레이가 형성된 몰드 구조체를 준비하고 몰드 구조체와 기판을 접합시켜, 유기 반도체 물질이 흐를 수 있는 통로를 형성하여 유기 반도체 물질을 상기 통로로 유도함으로써, 모세관 현상에 바탕을 둔 용액 공정을 이용하여 다량의 유기 박막 반도체 소자의 패턴을 신속하고 용이하게 생성할 수 있다.
- [0047] 도 3a 및 도 3b는 본원의 또 다른 일 실시예에 따른 유기 박막 반도체 소자의 패턴 형성 과정을 나타내는 개념도이다. 도 3a에 도시된 바와 같이, 홈을 가지는 몰드 구조체(320)를 홈과 기판(310)의 상면이 관을 형성하도록 기판(310)의 상부에 위치시킨다. 또한, 서로 다른 종류의 유기 반도체 물질(330, 340)을 소정의 시간 차이를 두고 순차적으로 기판(310)의 표면에 공급한다. 예를 들어, 상기 서로 다른 종류의 유기 반도체 물질(330, 340)은 각각 N 타입 반도체 물질 및 P타입 반도체 물질을 포함할 수 있다.
- [0048] 본 발명의 일 실시예에 따른 몰드 구조체(320)는, 도 3a에 도시된 바와 같이, 양 단에 유기 반도체 물질(330, 340)이 유입될 수 있는 개구부를 가지도록 형성된다. 한 종류의 유기 반도체 물질(330)은 몰드 구조체(320)의 일단에 인접한 기판(310)의 표면에 공급되어 관의 중앙부를 향해 유입되어 흐를 수 있다. 또한, 다른 한 종류의 유기 반도체 물질(340)은 몰드 구조체(320)의 나머지 다른 일단에 인접한 기판(310)의 표면에 공급되어 관의 중앙부를 향해 유입되어 흐를 수 있다. 시간차를 두고 공급되어 몰드 구조체(320)와 기판(310)이 형성한 관을 따라 흐르는 유기 반도체 물질(330, 340)은 관 내부에서 중첩될 수 있다(350). 이와 같이, 서로 다른 종류의 유기 반도체 물질(330, 340)의 순차적인 모세관 현상을 이용하여 CMOS 소자, 유기 발광 트랜지스터 소자 및 그 내부의 패턴을 용이하고 신속하게 제조할 수 있다.
- [0049] 또한, 본 발명의 다른 일 실시예에 따르면, 도 3b에 도시된 바와 같이, 홈을 가지는 몰드 구조체(370)를 홈과

기관(360)의 상면이 관을 형성하도록 기관(360)의 상부에 위치시킨다. 또한, 서로 다른 종류의 유기 반도체 물질(380, 390)을 기관(360)의 표면에 공급한다. 예를 들어, 상기 서로 다른 종류의 유기 반도체 물질(380, 390)은 각각 N 타입 반도체 물질 및 P타입 반도체 물질을 포함할 수 있다.

[0050] 본 발명의 다른 일 실시예에 따른 몰드 구조체(370)에는, 도 3b에 도시된 바와 같이, 유기 반도체 물질(380, 390)이 유입될 수 있는 개구부의 방향이 교차적으로 형성된 복수의 홈이 형성될 수 있다. 예를 들어, 유기 반도체 물질(380, 390)의 종류에 따라 유기 반도체 물질(380, 390)이 유입될 수 있는 개구부의 방향이 결정될 수 있다. 한 종류의 유기 반도체 물질(380)은 몰드 구조체(370)의 일단에 인접한 기관(310)의 표면에 공급되어 관의 중앙부를 향해 유입되어 흐를 수 있다. 또한, 다른 한 종류의 유기 반도체 물질(390)은 몰드 구조체(370)의 나머지 다른 일단에 인접한 기관(310)의 표면에 공급되어 관의 중앙부를 향해 유입되어 흐를 수 있다. 예를 들어, 유기 반도체 물질(380)은 왼쪽에서 유입되고, 유기 반도체 물질(390)은 오른쪽에서 유입되며, 그에 따라 유기 반도체 물질(380)에 의해 형성된 패턴과 유기 반도체 물질(390)에 의해 형성된 패턴이 교차적으로 배치될 수 있다.

[0051] 이와 같이, 서로 다른 종류의 유기 반도체 물질(380, 390)의 모세관 현상을 이용하고, 서로 다른 종류의 유기 반도체 물질(380, 390)이 유입되어 흐르는 관을 교차적으로 배치함으로써, 이중 반도체 박막 트랜지스터와 같은 소자 및 그 내부의 패턴을 신속하게 제조할 수 있다.

[0052] 또한, 도 3a 및 도 3b에 도시된 바와 같이, 몰드 구조체(320, 370)의 크기 및 형상을 다양하게 형성함으로써, 다양한 형태의 패턴 및 소자를 제조할 수 있으며, 몰드 구조체(320, 370)의 구조에 따라 유기 반도체 물질의 사용량을 조절 및 절약할 수 있다.

[0053] 도 4는 본원의 일 실시예에 따른 유기 박막 트랜지스터(400)의 단면도이다. 본원의 일 실시예에 따른 유기 박막 트랜지스터(400)는 게이트 전극(410)이 유기 반도체층(420) 아래에 형성된 바텀(bottom) 게이트 구조이다. 도 4에 도시된 바와 같이, 기관(405) 상에 게이트 전극(410)이 형성되어 있고, 기관(405) 상에 게이트 전극(410)을 덮는 게이트 절연층(420)이 형성될 수 있다. 또한, 게이트 절연층(420) 상에 유기 반도체 물질로 형성된 유기 반도체층(430)이 형성될 수 있다. 유기 반도체층(430)은 게이트 전극(410)으로부터 전계를 인가받을 수 있다. 또한, 유기 반도체층(430) 상에 서로 마주보며 위치하는 소스 전극(440) 및 드레인 전극(450)이 형성될 수 있다. 또한, 도시하지는 않았지만, 유기 반도체층(430) 상에 유기 반도체층(430)을 보호하기 위한 보호층이 형성될 수 있으며, 게이트 절연층(420) 상에 유기 반도체층(430), 소스 전극(440) 및 드레인 전극(450)을 덮는 패시베이션층(passivation layer)이 형성될 수 있다.

[0054] 예를 들어, 상기 기관(405)은 실리콘 기관, 유리 기관 및 플라스틱 기관 중 하나일 수 있다. 또한, 예를 들어, 상기 게이트 전극(410)은 Au, Ag, Cu, Ni, Pt, Pd, Al, Mo, 또는 Al:Nd, Mo:W 합금 등과 같은 금속 또는 금속의 합금으로 이루어질 수 있으나, 반드시 이에 한정되는 것은 아니다.

[0055] 또한, 예를 들어, 상기 게이트 절연층(420)은 절연성의 유기 고분자를 포함할 수 있다. 유기 절연체의 정전 용량을 증가시킬 수 있고, 누설 전류를 최소화할 수 있도록, 상기 절연성 유기 고분자 내부에는 전하를 수용할 수 있는 이중 결합, 삼중 결합, 방향족 고리 등이 포함되는 것이 바람직하다. 상기 절연성 유기 고분자는 불소계 고분자로서 불소를 포함하는 형태의 고분자라면 모두 사용가능하며, 예를 들어, 싸이토프(Cytop)이라는 물질, 폴리테트라플루오로에틸렌, 테트라플루오로에틸렌/퍼플루오로(알킬 비닐에테르)공중합체, 테트라플루오로에틸렌/헥사플루오로프로필렌 공중합체, 퍼플루오로페닐렌, 퍼플루오로비페닐렌, 퍼플루오로나프타닐렌, 에틸렌-테트라플루오로에틸렌 및 폴리(비닐리덴 플루오라이드) 등과 같은 고분자들이 사용될 수 있으며, 불소계 고분자와 일반적인 유기 절연체 고분자와의 혼합을 통해서도 소수성 절연층을 형성할 수 있다.

[0056] 상기 유기 반도체층(420)을 이루는 유기 반도체 물질은 용액 공정을 통하여 박막 형성이 가능한 유기 반도체 물질이라면 어느 것이든 사용가능하다. 게이트 절연층(420)의 상부에 유기 반도체층(430)이 형성될 수 있다. 유기 반도체층(430)은 앞서 도 1a 내지 도 3을 참조하여 설명한 본원의 유기 박막 반도체 소자의 패턴 형성 방법에 의하여 형성될 수 있다. 따라서, 유기 반도체층(430)의 형성 방법에 대한 중복 설명은 생략한다.

[0057] 또한, 예를 들어, 상기 소스 전극(440) 및 드레인 전극(450)은 Au, Pd, Pt, Ni, Rh, Ru, Ir, Os 외에도, Al, Mo, Al:Nd 합금, MoW 합금 등과 같은 2 종 이상의 금속으로 이루어진 합금을 사용할 수 있으며, 금속의 산화물로서는 ITO, IZO, NiO, Ag₂O, In₂O₃-Ag₂O, CuAlO₂, SrCu₂O₂ 및 Zr으로 도핑된 ZnO 등을 사용할 수 있으나, 이에 한정되는 것은 아니다. 전술한 바와 같은 금속 또는 금속 산화물 중 2 이상을 조합하여 사용할 수 있음은 물론이다.

- [0058] 도 5는 본원의 다른 일 실시예에 따른 유기 박막 트랜지스터(500)의 단면도이다. 본원의 다른 일 실시예에 따른 유기 박막 트랜지스터(500)는 게이트 전극(510)이 유기 반도체층(520), 소스 전극(530) 및 드레인 전극(540)위에 형성된 탑(top) 게이트 구조이다. 도 5에 도시된 바와 같이, 기판(550)의 상부에 소스 전극(530) 및 드레인 전극(540)이 서로 마주보며 형성될 수 있다. 또한, 기판(550)의 상부에는 소스 전극(530) 및 드레인 전극(540)과 접하는 유기 반도체층(520)이 형성될 수 있다. 또한, 유기 반도체층(520)의 상부에는 게이트 절연층(560)이 형성될 수 있다.
- [0059] 유기 박막 트랜지스터(500)의 각 층 및 전극의 특성, 재료 및 형성 방법은 도 4를 참조하여 설명한 유기 박막 트랜지스터(400)의 각 층 및 전극의 특성, 재료 및 형성 방법과 동일하므로, 자세한 설명은 생략한다.
- [0060] 상기 유기 박막 트랜지스터(400, 500)는 다양한 전자 소자에 스위칭 소자 또는 구동 소자로 적용될 수 있으며, 상기 전자 소자는 예컨대 액정 표시 장치, 유기 발광 표시 장치, 전기 영동 표시 장치 및 유기 센서 등을 포함할 수 있다.
- [0061] 도 6은 본원의 일 실시예에 따른 유기 박막 반도체 소자의 패턴 형성 방법의 흐름도이다. 도 6에 도시된 실시예에 따른 유기 박막 반도체 소자의 패턴 형성 방법은 앞서 도 1a 내지 도 5를 통해 설명된 유기 박막 반도체 소자의 패턴 형성과정에서 시계열적으로 처리되는 단계들을 포함한다. 따라서, 이하 생략된 내용이라고 하더라도 도 1a 내지 도 5를 참조하여 기술된 내용은 도 6에 도시된 실시예에 따른 유기 박막 반도체 소자의 패턴 형성 방법에도 적용될 수 있다.
- [0062] 도 6을 참조하면, 단계 S610에서, 하나 이상의 홈을 가지는 몰드 구조체를 준비한다. 몰드 구조체는 일반적인 몰드 제작 공정에 의하여 형성될 수 있다. 또한, 몰드 구조체에 형성되어 있는 홈은 수십 나노미터(nm) 내지 수 마이크로미터(μm)의 범위의 폭과 높이를 가질 수 있다.
- [0063] 단계 S620에서, 몰드 구조체를 기판의 상부에 위치시킬 수 있다. 몰드 구조체의 홈과 기판이 관(통로)를 형성하도록 몰드 구조체를 기판의 상면에 위치시킨다. 예를 들어, 몰드 구조체의 홈의 밑면이 기판의 상면과 마주하도록 몰드 구조체와 기판의 상면을 접합시킬 수 있다.
- [0064] 단계 S630에서, 유기 반도체 물질을 기판의 표면에 공급할 수 있다. 공급된 유기 반도체 물질은 몰드 구조체의 홈과 기판이 형성한 관에 유입되어 관을 따라 기판의 상면에서 흐르게 된다.
- [0065] 단계 S640에서, 관을 따라 흐르는 유기 반도체 물질을 경화시킬 수 있다. 예를 들어, 자연 건조를 통해 유기 반도체 물질을 경화시키거나, 어닐링(annealing) 과정을 통해 유기 반도체 물질을 경화시킬 수 있다. 이렇게 함으로써, 유기 반도체 물질에 포함되어 있는 액(용매) 성분이 증발한다. 유기 반도체 물질을 경화시킴으로써, 관 내부에 존재하는 유기 반도체 물질이 관의 형상을 따라 유기 박막 반도체 소자의 패턴으로 형성될 수 있다.
- [0066] 단계 S650에서, 유기 반도체 물질이 경화되어 패턴이 형성된 후, 몰드 구조체를 제거할 수 있다.
- [0067] 상술한 설명에서, 단계 S610 내지 단계 S650은 본 발명의 구현예에 따라서, 추가적인 단계들로 더 분할되거나, 더 적은 단계들로 조합될 수 있다. 또한, 일부 단계는 필요에 따라 생략될 수도 있고, 단계 간의 순서가 변경될 수도 있다.
- [0068] 도 7은 본원의 일 실시예에 따른 유기 박막 트랜지스터의 제조 방법의 흐름도이다. 도 7에 도시된 실시예에 따른 유기 박막 트랜지스터의 제조 방법은 앞서 도 1a 내지 도 5를 통해 설명된 유기 박막 반도체 소자의 패턴 형성 과정 및 유기 박막 트랜지스터의 제조 과정에서 시계열적으로 처리되는 단계들을 포함한다. 따라서, 이하 생략된 내용이라고 하더라도 도 1a 내지 도 5를 참조하여 기술된 내용은 도 7에 도시된 실시예에 따른 유기 박막 트랜지스터의 제조 방법에도 적용될 수 있다.
- [0069] 도 7을 참조하면, 단계 S710에서, 기판에 게이트 전극을 형성하고, 게이트 전극 상에 게이트 전극을 덮는 게이트 절연층을 형성할 수 있다. 예를 들어, 게이트 절연층은 PECVD(plasma enhanced chemical vapor deposition) 방법으로 형성할 수 있다. 또한, 단계 S710에서, 게이트 절연층 형성 후, 게이트 절연층 상면에 존재하는 불순물들을 제거하기 위한 습식 세정을 수행할 수 있다. 상기 습식 세정에서 세정액으로는 IPA(isopropyl alcohol)와 탈이온수(deionized water) 및 아세톤(aceton) 중 적어도 어느 하나를 사용할 수 있다.
- [0070] 단계 S720에서, 게이트 전극의 상부에 유기 반도체층을 형성할 수 있다. 유기 반도체층은 도 6을 참조하여 설명한 유기 박막 반도체 소자의 패턴 형성 방법에 의하여 형성될 수 있다. 예를 들어, 하나 이상의 홈을 가지는 몰드 구조체를 준비하여, 몰드 구조체의 홈과 기판이 관(통로)를 형성하도록 몰드 구조체를 기판의 상면에 위치

시키고, 유기 반도체 물질을 기판의 표면에 공급할 수 있다. 공급된 유기 반도체 물질은 몰드 구조체의 홈과 기판이 형성한 관에 유입되어 관을 따라 기판의 상면에서 흐르게 되고, 경화 과정을 거쳐 유기 박막 트랜지스터의 패턴으로 형성될 수 있다.

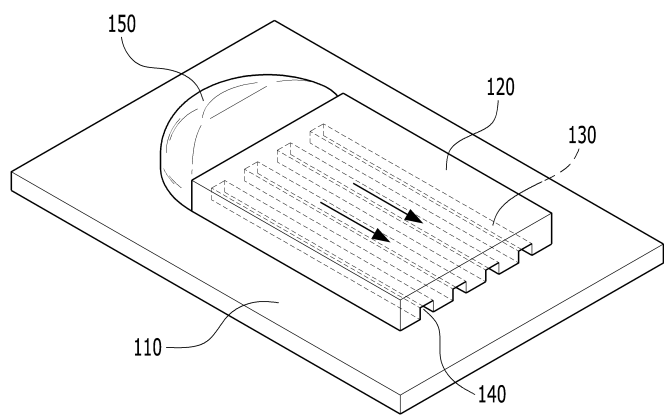
- [0071] 단계 S730에서, 유기 반도체층과 전기적으로 연결되는 소스 전극 및 드레인 전극을 형성할 수 있다. 예를 들어, 소스 전극 및 드레인 전극은 금속층을 형성하고 마스크를 이용하여 습식 또는 건식 식각의 방법으로 금속층을 패터닝하여 형성될 수 있다.
- [0072] 상술한 설명에서, 단계 S710 내지 단계 S730은 본 발명의 구현예에 따라서, 추가적인 단계들로 더 분할되거나, 더 적은 단계들로 조합될 수 있다. 또한, 일부 단계는 필요에 따라 생략될 수도 있고, 단계 간의 순서가 변경될 수도 있다.
- [0073] 도 8은 본원의 다른 일 실시예에 따른 유기 박막 트랜지스터의 제조 방법의 흐름도이다. 도 8에 도시된 실시예에 따른 유기 박막 트랜지스터의 제조 방법은 앞서 도 1a 내지 도 5를 통해 설명된 유기 박막 반도체 소자의 패턴 형성 과정 및 유기 박막 트랜지스터의 제조 과정에서 시계열적으로 처리되는 단계들을 포함한다. 따라서, 이하 생략된 내용이라고 하더라도 도 1a 내지 도 5를 참조하여 기술된 내용은 도 8에 도시된 실시예에 따른 유기 박막 트랜지스터의 제조 방법에도 적용될 수 있다.
- [0074] 도 8을 참조하면, 단계 S810에서, 기판에 소스 전극 및 드레인 전극을 형성할 수 있다. 예를 들어, 소스 전극 및 드레인 전극은 금속층을 형성하고 마스크를 이용하여 습식 또는 건식 식각의 방법으로 금속층을 패터닝하여 형성될 수 있다.
- [0075] 또한, 단계 S820에서, 소스 전극 및 드레인 전극과 접하는 유기 반도체층을 형성할 수 있다. 유기 반도체층은 도 6을 참조하여 설명한 유기 박막 반도체 소자의 패턴 형성 방법에 의하여 형성될 수 있다.
- [0076] 다음으로, 단계 S830에서, 상기 유기 반도체층, 상기 소스 전극 및 상기 드레인 전극의 상부에 게이트 전극 및 게이트 절연층을 형성할 수 있다.
- [0077] 상술한 설명에서, 단계 S810 내지 단계 S830은 본 발명의 구현예에 따라서, 추가적인 단계들로 더 분할되거나, 더 적은 단계들로 조합될 수 있다. 또한, 일부 단계는 필요에 따라 생략될 수도 있고, 단계 간의 순서가 변경될 수도 있다.
- [0078] 전술한 본원의 설명은 예시를 위한 것이며, 본원이 속하는 기술분야의 통상의 지식을 가진 자는 본원의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.
- [0079] 본원의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본원의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

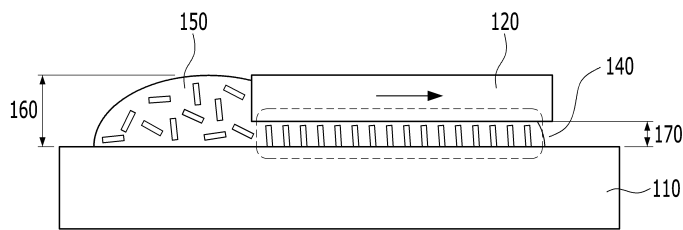
- [0080] 110, 210, 310, 360: 기판 120, 220, 320, 370: 몰드 구조체
130: 몰드 구조체의 홈 140: 관
150: 반도체 물질

도면

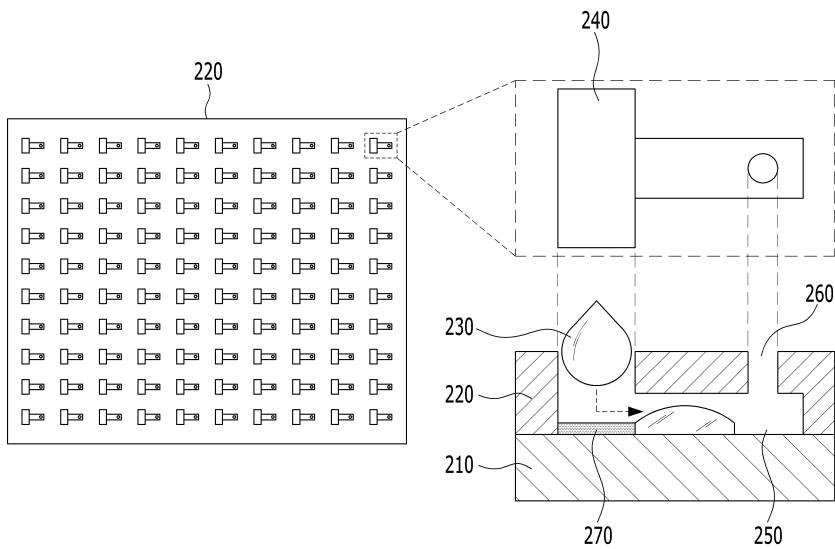
도면1a



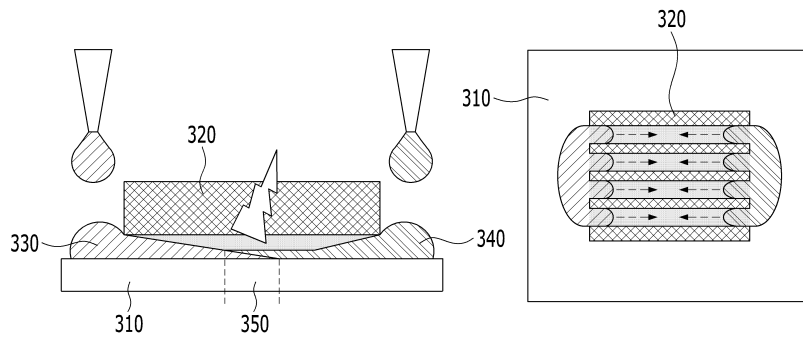
도면1b



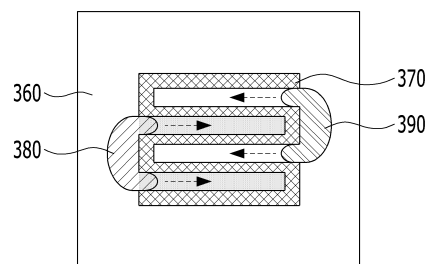
도면2



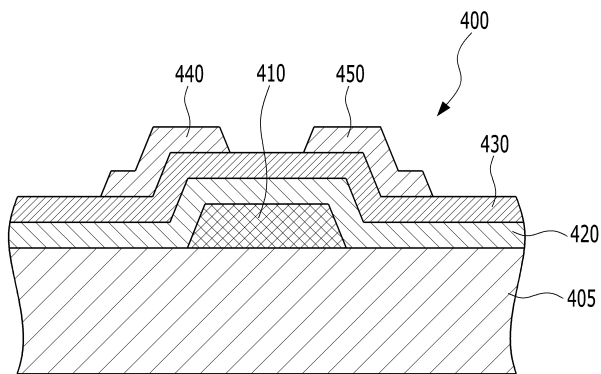
도면3a



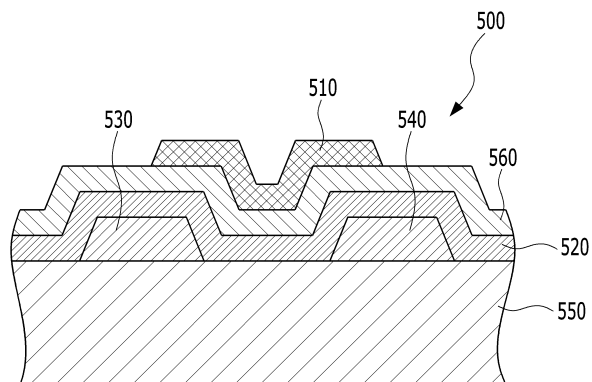
도면3b



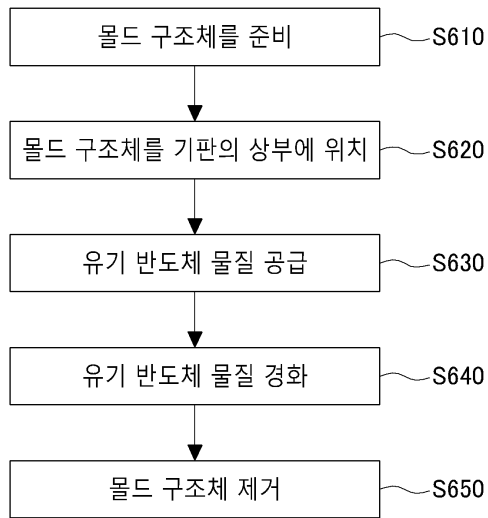
도면4



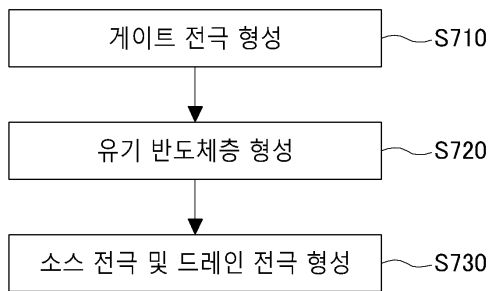
도면5



도면6



도면7



도면8

